

# TCA9539A-Q1 割り込み出力、リセットピン、構成レジスタ搭載、車載用、低電圧 16 ビット I<sup>2</sup>C および SMBus 低消費電力 I/O エクスパンダ

## 1 特長

- 車載アプリケーション向けに AEC-Q100 認定済み
  - 温度グレード 1: -40°C ~ +125°C, T<sub>A</sub>
- 機能安全対応**
  - 機能安全システムの設計に役立つ資料を利用可能
- I<sup>2</sup>C からパラレル ポートへのエクスパンダ
- オープンドレインのアクティブ LOW 割り込み出力
- アクティブ LOW のリセット入力
- 5V 許容の入力および出力ポート
- ほとんどのマイクロコントローラと互換
- 400kHz の Fast I<sup>2</sup>C バス
- 極性反転レジスタ
- パワーオン リセット内蔵
- 電源オン時のグリッチなし
- 2 本のハードウェア アドレスピンにより、4 つまでのデバイスをアドレス指定可能
- ラッチ付き出力により LED を直接駆動
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能
- JESD 22 を上回る ESD 保護
  - 2000V、人体モデル (A114-A)
  - 荷電デバイス モデルで 1000V (C101)

## 2 アプリケーション

- 車載用** インフォテインメント、先進運転支援システム (ADAS)、車載用ボディ エレクトロニクス、HEV、EV、パワートレイン
- 産業用** オートメーション、ファクトリ オートメーション、ビルディング オートメーション、試験および測定、EPOS
- I<sup>2</sup>C GPIO の拡張

## 3 説明

TCA9539A-Q1 は 24 ピン デバイスで、2 ライン双方向 I<sup>2</sup>C バス (または SMBus プロトコル) 用に 16 ビットの汎用パラレル入出力 (I/O) 拡張機能を提供します。このデバイスは、1.65V ~ 5.5V の電源電圧 (V<sub>CC</sub>) で動作します。このデバイスは、100kHz (I<sup>2</sup>C 標準モード) および 400kHz (I<sup>2</sup>C 高速モード) のクロック周波数をサポートしています。このデバイスをはじめとする I/O エクスパンダは、スイッチ、センサ、押しボタン、LED、ファン、その他の類似デバイス用に I/O を追加する必要がある場合に簡単なソリューションとして使用できます。

このデバイスの機能には、入力ポートの状態が変化するたびに INT ピンで発生する割り込みがあります。A0 および A1 ハードウェア選択アドレスピンを使うと、最大 4 つのデバイスを同じ I<sup>2</sup>C バスに接続できます。このデバイスは、電源を一度オフにして再びオンにしてパワーオン リセットを掛けることで、デフォルト状態にリセットできます。また、このデバイスは、ハードウェア RESET ピンも備えており、デバイスをデフォルト状態にリセットするために使用できます。

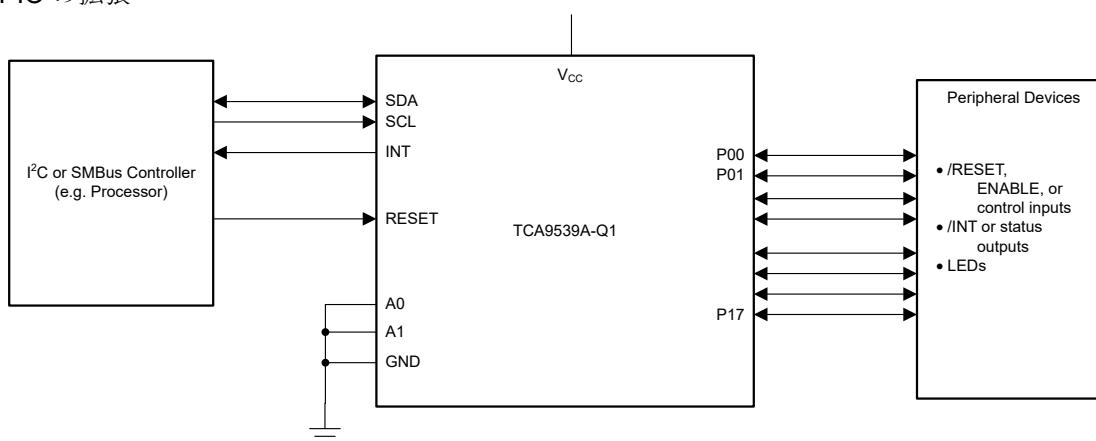
TCA9539A-Q1 I<sup>2</sup>C I/O エクスパンダは、車載アプリケーション用に認定済みです。

### パッケージ情報

部品番号	パッケージタイプ <sup>(1)</sup>	パッケージサイズ <sup>(2)</sup>
TCA9539A-Q1	TSSOP (24)	7.8mm × 6.4mm

(1) 詳細については、[セクション 11](#) を参照してください。

(2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



概略ブロック図

**⚠️** このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

## 目次

1 特長	1	7.3 機能説明	20
2 アプリケーション	1	7.4 デバイスの機能モード	21
3 説明	1	7.5 プログラミング	21
4 ピン構成および機能	3	7.6 レジスタ マップ	23
5 仕様	4	8 アプリケーションと実装	25
5.1 絶対最大定格	4	8.1 アプリケーション情報	25
5.2 ESD 定格	4	8.2 代表的なアプリケーション	25
5.3 推奨動作条件	4	8.3 電源に関する推奨事項	28
5.4 熱に関する情報	5	8.4 レイアウト	28
5.5 電気的特性	5	9 デバイスおよびドキュメントのサポート	30
5.6 I <sup>2</sup> C インターフェイス タイミングの要件	6	9.1 ドキュメントのサポート	30
5.7 RESET タイミング要件	7	9.2 ドキュメントの更新通知を受け取る方法	30
5.8 スイッチング特性	7	9.3 サポート・リソース	30
5.9 代表的特性	8	9.4 商標	30
6 パラメータ測定情報	14	9.5 静電気放電に関する注意事項	30
7 詳細説明	18	9.6 用語集	30
7.1 概要	18	10 改訂履歴	30
7.2 機能ブロック図	19	11 メカニカル、パッケージ、および注文情報	30

## 4 ピン構成および機能

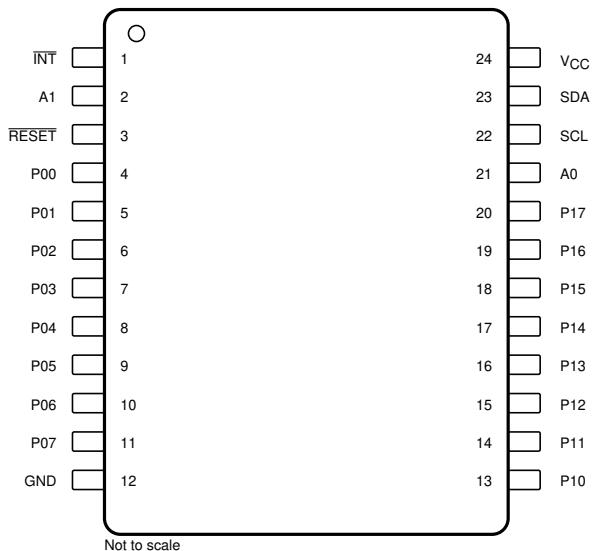


図 4-1. PW パッケージ、24 ピン TSSOP (上面図)

表 4-1. ピンの機能

ピン		タイプ	説明
番号	名称		
1	INT	O	割り込みオーブンドレイン出力。プルアップ抵抗を経由して $V_{CC}$ に接続します
2	A1	I	アドレス入力。 $V_{CC}$ またはグランドに直接接続します
3	RESET	I	アクティブ Low のリセット入力。アクティブな接続が使用されていない場合は、プルアップ抵抗を経由して $V_{CC}$ に接続します
4	P00	I/O	P ポート入出力。ブッシュブルの設計構造。パワーオン時に、P00 は入力として構成されます
5	P01	I/O	P ポート入出力。ブッシュブルの設計構造。パワーオン時に、P01 は入力として構成されます
6	P02	I/O	P ポート入出力。ブッシュブルの設計構造。パワーオン時に、P02 は入力として構成されます
7	P03	I/O	P ポート入出力。ブッシュブルの設計構造。パワーオン時に、P03 は入力として構成されます
8	P04	I/O	P ポート入出力。ブッシュブルの設計構造。パワーオン時に、P04 は入力として構成されます
9	P05	I/O	P ポート入出力。ブッシュブルの設計構造。パワーオン時に、P05 は入力として構成されます
10	P06	I/O	P ポート入出力。ブッシュブルの設計構造。パワーオン時に、P06 は入力として構成されます
11	P07	I/O	P ポート入出力。ブッシュブルの設計構造。パワーオン時に、P07 は入力として構成されます
12	GND	—	グランド
13	P10	I/O	P ポート入出力。ブッシュブルの設計構造。パワーオン時に、P10 は入力として構成されます
14	P11	I/O	P ポート入出力。ブッシュブルの設計構造。パワーオン時に、P11 は入力として構成されます
15	P12	I/O	P ポート入出力。ブッシュブルの設計構造。パワーオン時に、P12 は入力として構成されます
16	P13	I/O	P ポート入出力。ブッシュブルの設計構造。パワーオン時に、P13 は入力として構成されます
17	P14	I/O	P ポート入出力。ブッシュブルの設計構造。パワーオン時に、P14 は入力として構成されます
18	P15	I/O	P ポート入出力。ブッシュブルの設計構造。パワーオン時に、P15 は入力として構成されます
19	P16	I/O	P ポート入出力。ブッシュブルの設計構造。パワーオン時に、P16 は入力として構成されます
20	P17	I/O	P ポート入出力。ブッシュブルの設計構造。パワーオン時に、P17 は入力として構成されます
21	A0	I	アドレス入力。 $V_{CC}$ またはグランドに直接接続します
22	SCL	I	シリアル クロック バス。プルアップ抵抗を経由して $V_{CC}$ に接続します
23	SDA	I/O	シリアル データ バス。プルアップ抵抗を経由して $V_{CC}$ に接続します
24	$V_{CC}$	—	電源電圧

## 5 仕様

### 5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

			最小値	最大値	単位
$V_{CC}$	電源電圧		-0.5	6	V
$V_I$	入力電圧 <sup>(2)</sup>		-0.5	6	V
$V_O$	出力電圧 <sup>(2)</sup>		-0.5	6	V
$I_{IK}$	入力クランプ電流	$V_I < 0$		-20	mA
$I_{OK}$	出力クランプ電流	$V_O < 0$		-20	mA
$I_{IOK}$	入力 / 出力クランプ電流	$V_O < 0$ または $V_O > V_{CC}$		$\pm 20$	mA
$I_{OL}$	連続出力 Low 電流	$V_O = 0 \sim V_{CC}$		50	mA
$I_{OH}$	連続出力 High 電流	$V_O = 0 \sim V_{CC}$		-50	mA
$I_{CC}$	GND を流れる連続電流			-250	mA
	$V_{CC}$ を流れる連続電流			160	
$T_{J(MAX)}$	最大接合部温度			140	°C
$T_{stg}$	保存温度		-65	150	°C

- 絶対最大定格を超えた動作は、デバイスに恒久的な損傷を与える可能性があります。絶対最大定格は、これらの条件において、または推奨動作条件に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- 入力と出力の電流の定格を順守しても、入力の負電圧と出力電圧の定格を超えることがあります。

### 5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 <sup>(1)</sup> HBM ESD 分類レベル 2 準拠	$\pm 2000$	V
		デバイス帯電モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C6 準拠	$\pm 1000$	

- AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

### 5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	最大値	単位	
$V_{CC}$	電源電圧		1.65	5.5	V	
$V_{IO}$	I/O ポート電圧	SCL, SDA, A0, A1, $\overline{RESET}$ , $\overline{INT}$ <sup>(1)</sup>	-0.5	5.5	V	
		P00~P07 の場合、P10 ~ P17 は出力として構成されます	-0.5	5.5	V	
		P00~P07 の場合、P10 ~ P17 は入力として構成されます <sup>(1)</sup>	-0.5	5.5	V	
$V_{IH}$	High レベル入力電圧	SCL, SDA, A0, A1, $\overline{RESET}$ , P07 ~ P00, P10 ~ P17	$0.7 \times V_{CC}$		V	
$V_{IL}$	Low レベル入力電圧	SCL, SDA, A0, A1, $\overline{RESET}$ , P07 ~ P00, P10 ~ P17		$0.3 \times V_{CC}$	V	
$I_{OH}$	High レベル出力電流	P00~P07, P10~P17		-8	mA	
$I_{OL}$	Low レベル出力電流	P00~P07, P10~P17	$T_j \leq 132^\circ\text{C}$	4.5	mA	
$I_{OL}$	Low レベル出力電流	$\overline{INT}$ , SDA	$T_j \leq 132^\circ\text{C}$	6	mA	
$P_d$	電力散逸 <sup>(2)</sup>		$T_j \leq 132^\circ\text{C}$	65	mW	
$T_J$	接合部温度	接合部温度	接合部温度	-40	132	°C
$T_{PCB}$	PCB 温度	デバイスから 1mm 離れた位置で測定	$P_d \leq 65 \text{ mW}$	-40	128	°C
$T_A$	自由空気での動作温度			-40	125	°C

- $V_{CC}$  よりも高い電圧を印加すると、 $I_{CC}$  が増加します。
- 接合部温度の計算方法については、セクション 8.2.2.1 セクションを参照してください。

## 5.4 热に関する情報

热評価基準 <sup>(1)</sup>		TCA9539A-Q1	単位
		PW (TSSOP)	
		24 ピン	
$R_{\theta JA}$	接合部から周囲への热抵抗	108.8	°C/W
$R_{\theta JC(\text{top})}$	接合部からケース(上面)への热抵抗	54	°C/W
$R_{\theta JB}$	接合部から基板への热抵抗	62.8	°C/W
$\Psi_{JT}$	接合部から上面への特性パラメータ	11.1	°C/W
$\Psi_{JB}$	接合部から基板への特性パラメータ	62.3	°C/W

(1) 従来および最新の热評価基準の詳細については、[半導体およびIC パッケージの热評価基準](#)をご覧ください。

## 5.5 電気的特性

自由空気での推奨動作温度範囲内(特に記述のない限り)

パラメータ		テスト条件	$V_{CC}$	最小値	代表値 <sup>(1)</sup>	最大値	単位
$V_{IK}$	入力ダイオードクランプ電圧	$I_I = -18\text{mA}$	1.65V ~ 5.5V	-1.2			V
$V_{PORR}$	パワーオンリセット電圧、 $V_{CC}$ 立ち上がり	$V_I = V_{CC}$ または GND	1.65V ~ 5.5V		1.2	1.5	V
$V_{PORF}$	パワーオンリセット電圧、 $V_{CC}$ 立ち下がり	$V_I = V_{CC}$ または GND	1.65V ~ 5.5V	0.75	1		V
$V_{OH}$	P ポート High レベル出力電圧 <sup>(2)</sup>	$I_{OH} = -8\text{mA}$	1.65V	1.2			V
			2.3V	1.8			
			3V	2.6			
			3.6V	3.3			
			5.5V	4.7			
		$I_{OH} = -10\text{mA}$	1.65V	1			
			2.3V	1.7			
			3V	2.5			
			3.6V	3.2			
			5.5V	4.5			
$I_{OL}$	SDA	$V_{OL} = 0.4\text{ V}$	1.65V ~ 5.5V	3			mA
	P ポート <sup>(3)</sup>	$V_{OL} = 0.5\text{ V}$		8			
		$V_{OL} = 0.7\text{ V}$		10			
		$\overline{INT}$		3			

## 5.5 電気的特性 (続き)

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	V <sub>CC</sub>	最小値	代表値 <sup>(1)</sup>	最大値	単位	
I <sub>I</sub>	SCL、SDA	V <sub>I</sub> = V <sub>CC</sub> または GND	1.65V ~ 5.5V	±1		±1	μA	
	A0、A1、RESET			±1				
I <sub>IH</sub>	P ポート	V <sub>I</sub> = V <sub>CC</sub>	1.65V ~ 5.5V	1				
I <sub>IL</sub>	P ポート	V <sub>I</sub> = GND	1.65V ~ 5.5V	-1				
I <sub>CC</sub>	動作モード	V <sub>I</sub> = V <sub>CC</sub> または GND、I <sub>O</sub> = 0、 I/O = 入力、f <sub>SCL</sub> = 400kHz、無負荷	5.5V 3.6V 2.7V 1.95V	22		52	μA	
				10		30		
				5		19		
				4		11		
	スタンバイ モード	I <sub>O</sub> = 0、I/O = 入力、 f <sub>SCL</sub> = 0kHz、無負荷	V <sub>I</sub> = V <sub>CC</sub>	5.5V 3.6V 2.7V 1.95V		1.5		
				1.1		5		
				1		4.5		
				0.4		3.5		
		I <sub>O</sub> = 0、I/O = 入力、 f <sub>SCL</sub> = 0kHz、無負荷	V <sub>I</sub> = GND	5.5V 3.6V 2.7V 1.95V		1.5		
				20		20		
				1.1		13		
				1		9.5		
C <sub>i</sub>	SCL	V <sub>I</sub> = V <sub>CC</sub> または GND	1.65V ~ 5.5V	3		8	pF	
C <sub>io</sub>	SDA	V <sub>IO</sub> = V <sub>CC</sub> または GND	1.65V ~ 5.5V	3		9.5	pF	
	P ポート			3.7		9.5		

(1) すべての標準値は公称電源電圧 (1.8V、2.5V、3.3V、または 5.0V、V<sub>CC</sub>)、T<sub>A</sub> = 25°C での値です。

(2) 各 I/O 端子には、外部で許容最大 I<sub>OL</sub> (シンク電流) を超えないよう制限を設ける必要があります。また、各オクタル (P07 ~ P00 および P17 ~ P10) についても、接合部温度 T<sub>j</sub> が 135°C 以下となるよう制限してください。詳細は [セクション 5.3](#) をご参照ください。

(3) すべての I/O から供給される合計電流は、T<sub>j</sub> ≤ 135°C を維持するように制限する必要があります。詳細については、[セクション 5.3](#) 表を参照してください。

## 5.6 I<sup>2</sup>C インターフェイス タイミングの要件

自由空気での推奨動作温度範囲内 (特に記述のない限り) ([図 6-1](#) を参照)

			最小値	最大値	単位
<b>I<sup>2</sup>C パス - スタンダード モード</b>					
f <sub>SCL</sub>	I <sup>2</sup> C クロック周波数		0	100	kHz
t <sub>sch</sub>	I <sup>2</sup> C クロックの High 時間		4		μs
t <sub>scl</sub>	I <sup>2</sup> C クロックの Low 時間		4.7		μs
t <sub>sp</sub>	I <sup>2</sup> C スパイク時間			50	ns
t <sub>sds</sub>	I <sup>2</sup> C シリアル データ セットアップ時間		250		ns
t <sub>sdh</sub>	I <sup>2</sup> C シリアル データ ホールド時間		0		ns
t <sub>icr</sub>	I <sup>2</sup> C 入力の立ち上がり時間			1000	ns
t <sub>icf</sub>	I <sup>2</sup> C 入力の立ち下がり時間			300	ns
t <sub>ocf</sub>	I <sup>2</sup> C 出力の立ち下がり時間	10pF~400pF パス		300	ns
t <sub>buf</sub>	STOP と START 間の I <sup>2</sup> C パスのフリー時間		4.7		μs
t <sub>sts</sub>	I <sup>2</sup> C START または反復 START 条件の設定		4.7		μs
t <sub>ssth</sub>	I <sup>2</sup> C START または反復 START 条件ホールド		4		μs
t <sub>sps</sub>	I <sup>2</sup> C STOP 条件の設定		4		μs
t <sub>vd(data)</sub>	有効データ時間	SCL Low から SDA 出力有効まで		3.45	μs
t <sub>vd(ack)</sub>	ACK 条件の有効データ時間	SCL Low から SDA (出力) Low への ACK 信号		3.45	μs

## 5.6 I<sup>2</sup>C インターフェイス タイミングの要件 (続き)

自由空気での推奨動作温度範囲内 (特に記述のない限り) (図 6-1 を参照)

		最小値	最大値	単位	
C <sub>b</sub>	I <sup>2</sup> C バスの容量性負荷		400	pF	
<b>I<sup>2</sup>C バス (ファスト モード)</b>					
f <sub>scl</sub>	I <sup>2</sup> C クロック周波数	0	400	kHz	
t <sub>sclh</sub>	I <sup>2</sup> C クロックの High 時間	0.6		μs	
t <sub>scll</sub>	I <sup>2</sup> C クロックの Low 時間	1.3		μs	
t <sub>sp</sub>	I <sup>2</sup> C スパイク時間		50	ns	
t <sub>sds</sub>	I <sup>2</sup> C シリアル データ セットアップ時間	100		ns	
t <sub>sdh</sub>	I <sup>2</sup> C シリアル データ ホールド時間	0		ns	
t <sub>icr</sub>	I <sup>2</sup> C 入力の立ち上がり時間	20	300	ns	
t <sub>icf</sub>	I <sup>2</sup> C 入力の立ち下がり時間	20 × (V <sub>CC</sub> / 5.5V)	300	ns	
t <sub>ocf</sub>	I <sup>2</sup> C 出力の立ち下がり時間	10pF~400pF バス	20 × (V <sub>CC</sub> / 5.5V)	300	ns
t <sub>buf</sub>	STOP と START 間の I <sup>2</sup> C バスのフリー時間		1.3	μs	
t <sub>sts</sub>	I <sup>2</sup> C START または反復 START 条件の設定	0.6		μs	
t <sub>sth</sub>	I <sup>2</sup> C START または反復 START 条件ホールド	0.6		μs	
t <sub>sps</sub>	I <sup>2</sup> C STOP 条件の設定	0.6		μs	
t <sub>vd(data)</sub>	有効データ時間	SCL Low から SDA 出力有効まで		0.9	μs
t <sub>vd(ack)</sub>	ACK 条件の有効データ時間	SCL Low から SDA (出力) Low への ACK 信号		0.9	μs
C <sub>b</sub>	I <sup>2</sup> C バスの容量性負荷		400	pF	

## 5.7 RESET タイミング要件

自由空気での推奨動作温度範囲内 (特に記述のない限り) (図 6-4 を参照)

		最小値	最大値	単位
t <sub>W</sub>	リセット パルス時間	6		ns
t <sub>REC</sub>	リセット復帰時間	0		ns
t <sub>RESET</sub>	リセットまでの時間、V <sub>CC</sub> = 2.3V ~ 5.5V の場合	400		ns
	リセットまでの時間、V <sub>CC</sub> = 1.65V ~ 2.3V	550		ns

## 5.8 スイッチング特性

自由気流での推奨動作温度範囲内、C<sub>L</sub> = 100pF (特に記述のない限り) (図 6-2 および 図 6-3 を参照)

パラメータ		始点 (入力)	終点 (出力)	最小値	最大値	単位
t <sub>lv</sub>	割り込み有効時間	P ポート	INT		4	μs
t <sub>lr</sub>	割り込みリセット遅延タイミング	SCL	INT		4	μs
t <sub>pv</sub>	出力データ有効: V <sub>CC</sub> = 2.3V ~ 5.5V の場合	SCL	P ポート		200	ns
	出力データ有効: V <sub>CC</sub> = 1.65V ~ 2.3V の場合				300	ns
t <sub>ps</sub>	入力データ セットアップ時間	P ポート	SCL	150		ns
t <sub>ph</sub>	入力データ ホールド時間	P ポート	SCL	1		μs

## 5.9 代表的特性

$T_A = 25^\circ\text{C}$  (特に記述のない限り)

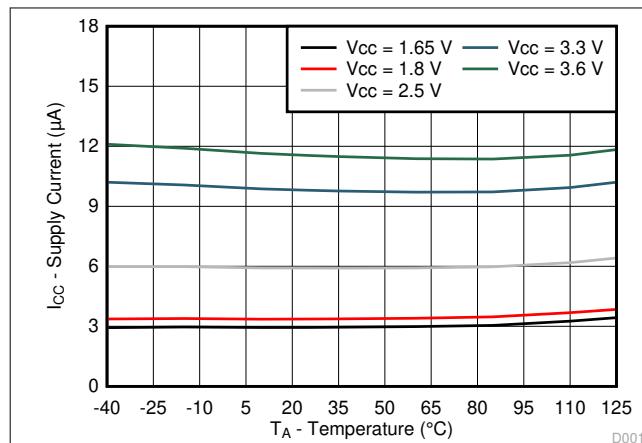


図 5-1. 各種電源電圧 ( $V_{CC}$ ) での電源電流と温度との関係

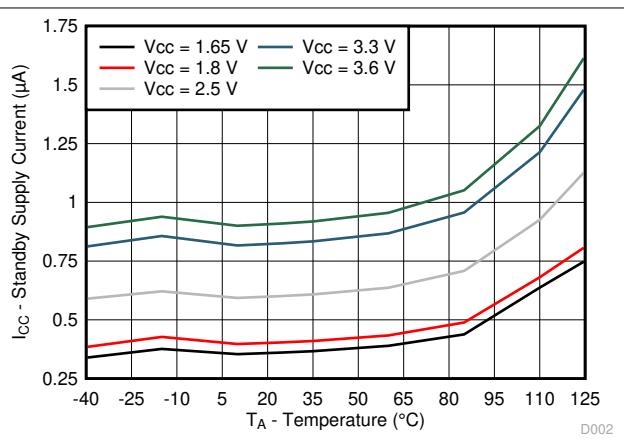


図 5-2. 各種電源電圧 ( $V_{CC}$ ) でのスタンバイ電源電流と温度との関係

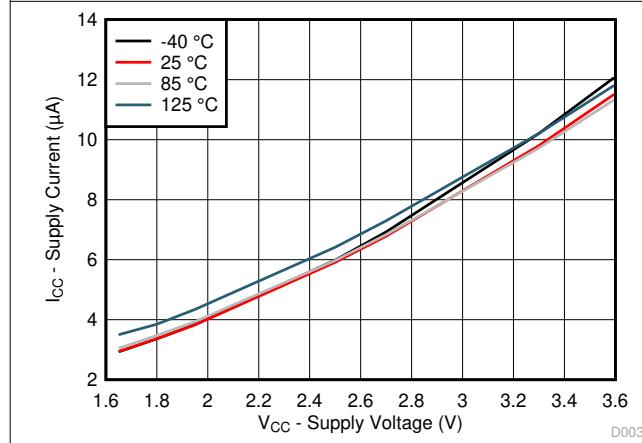


図 5-3. 各種温度での電源電流と電源電圧との関係 ( $T_A$ )

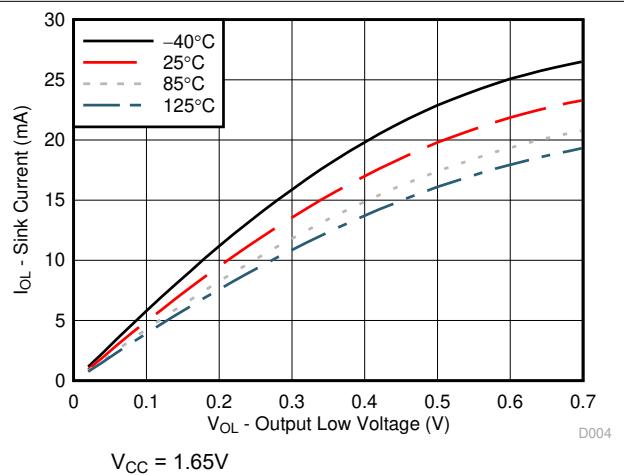
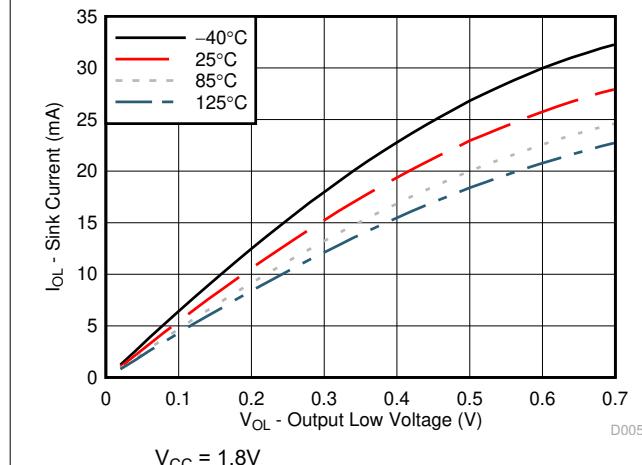


図 5-4. 異なる温度での I/O シンク電流と出力 Low 電圧との関係 ( $T_A$ )



$V_{CC} = 1.8\text{V}$

図 5-5. 異なる温度での I/O シンク電流と出力 Low 電圧との関係 ( $T_A$ )

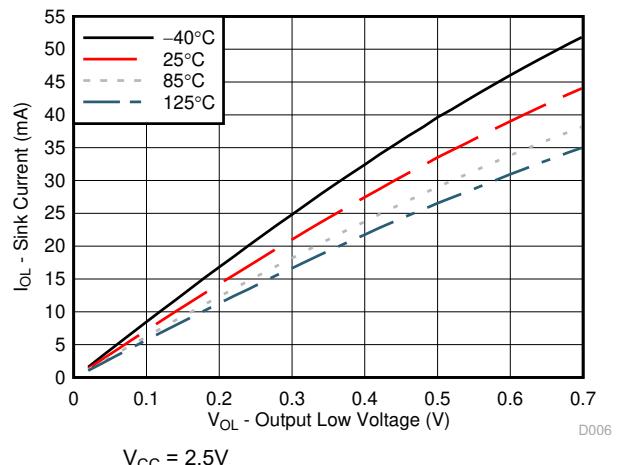


図 5-6. 異なる温度での I/O シンク電流と出力 Low 電圧との関係 ( $T_A$ )

## 5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$  (特に記述のない限り)

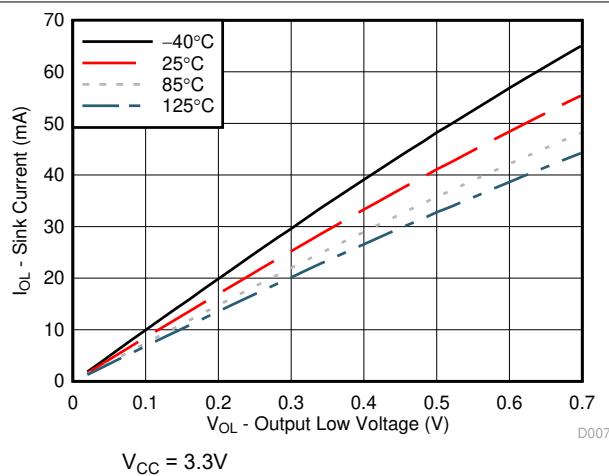


図 5-7. 異なる温度での I/O シンク電流と出力 Low 電圧との関係  
( $T_A$ )

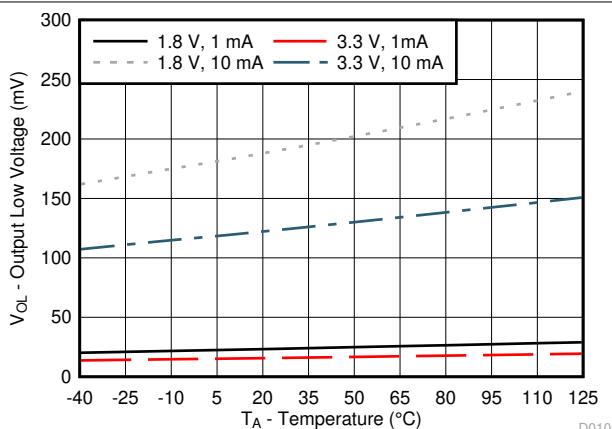


図 5-8. 異なる V<sub>CC</sub> および I<sub>OL</sub> での I/O Low 電圧と温度との関係

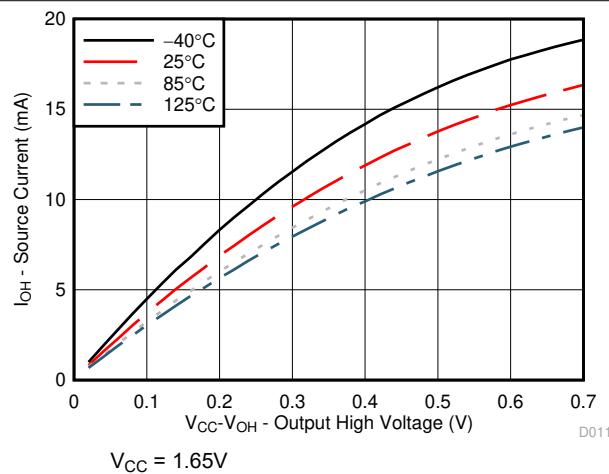


図 5-9. 異なる温度での I/O ソース電流と出力 High 電圧との関係  
( $T_A$ )

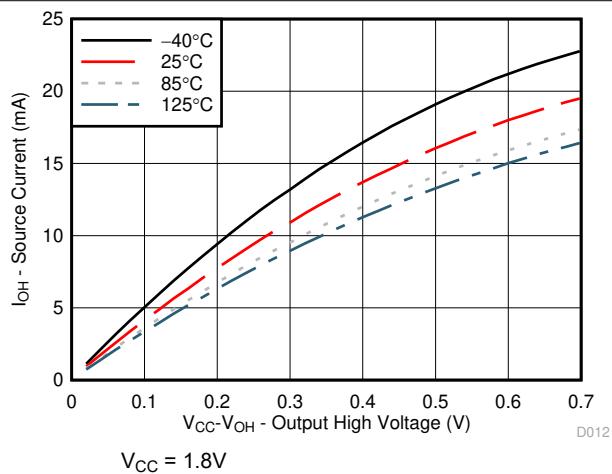


図 5-10. 異なる温度での I/O ソース電流と出力 High 電圧との関係  
( $T_A$ )

## 5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$  (特に記述のない限り)

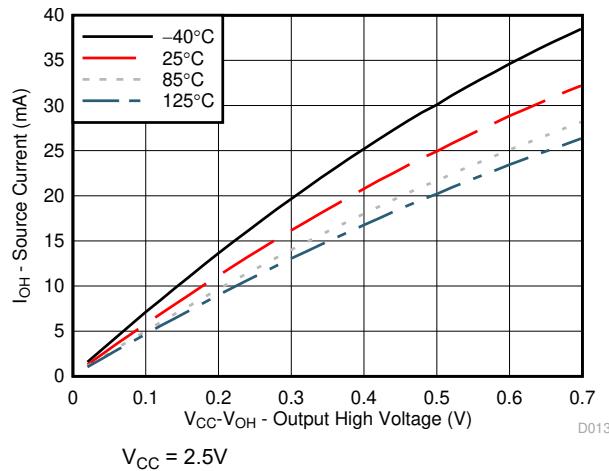


図 5-11. 異なる温度での I/O ソース電流と出力 High 電圧との関係 ( $T_A$ )

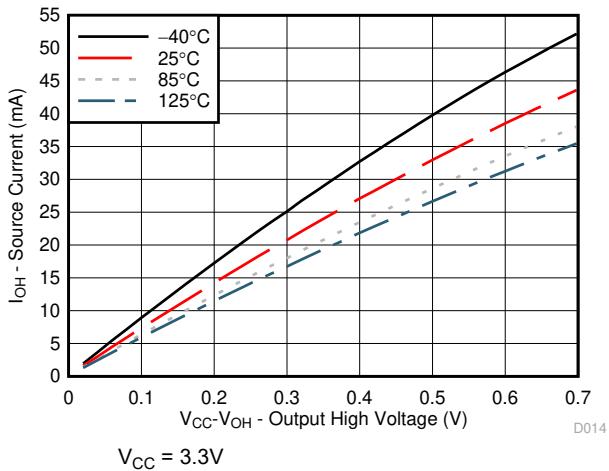


図 5-12. 異なる温度での I/O ソース電流と出力 High 電圧との関係 ( $T_A$ )

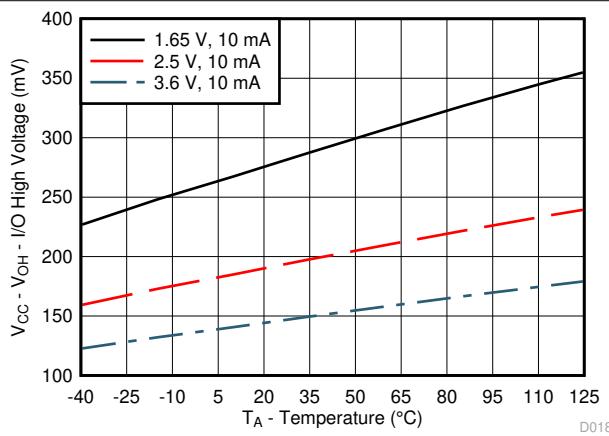


図 5-13. 異なる  $V_{CC}$  での  $V_{CC} - V_{OH}$  電圧

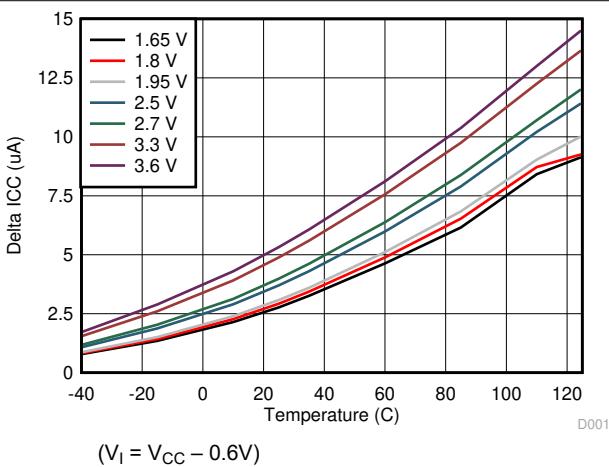


図 5-14. 異なる  $V_{CC}$  での  $\Delta I_{CC}$  と温度の関係

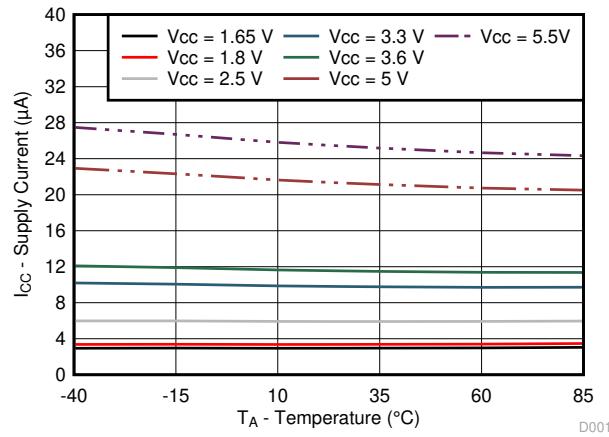


図 5-15. 各種電源電圧 ( $V_{CC}$ ) での電源電流と温度との関係

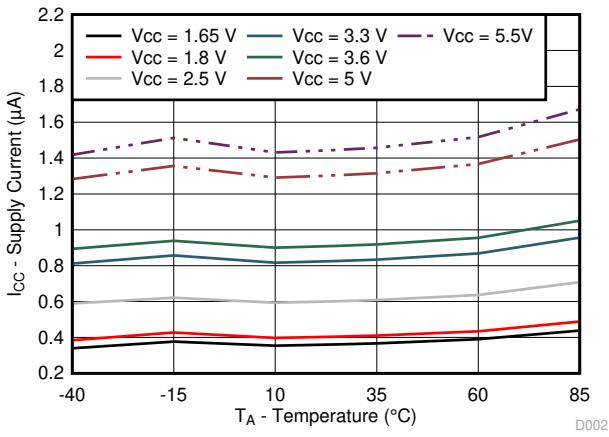


図 5-16. 各種電源電圧 ( $V_{CC}$ ) でのスタンバイ電源電流と温度との関係

## 5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$  (特に記述のない限り)

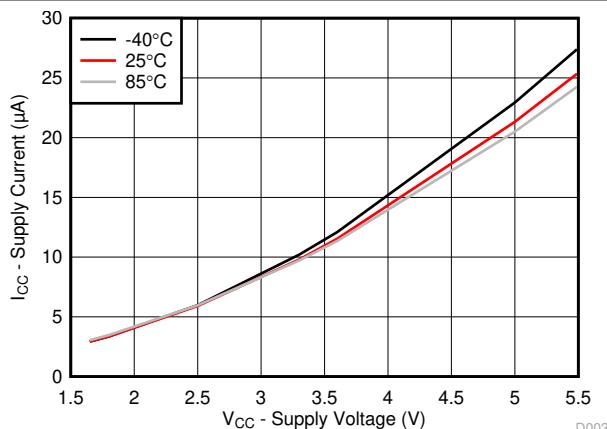


図 5-17. 各種温度での電源電流と電源電圧との関係 ( $T_A$ )

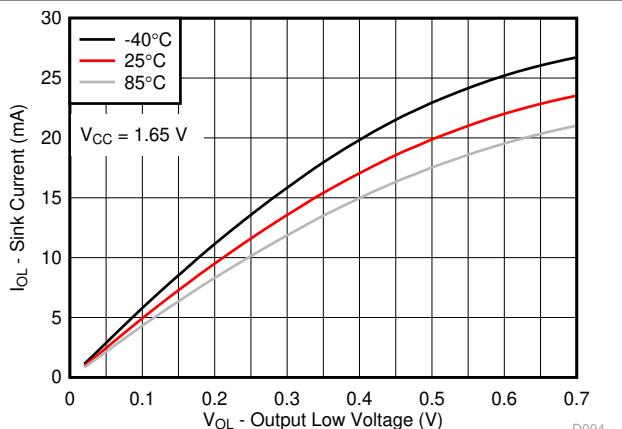


図 5-18.  $V_{CC} = 1.65\text{ V}$  での各種温度 ( $T_A$ ) での I/O シンク電流と出力 Low 電圧との関係

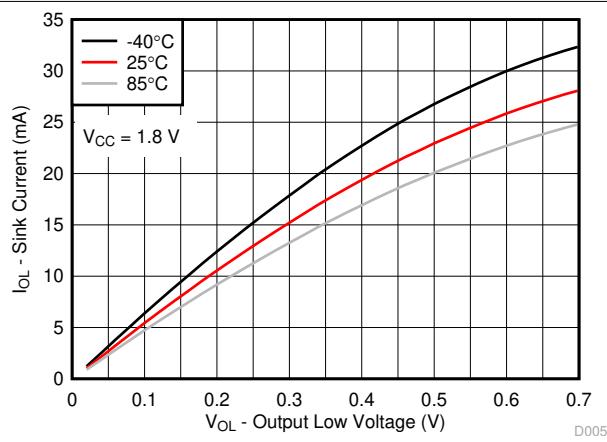


図 5-19.  $V_{CC} = 1.8\text{ V}$  での各種温度 ( $T_A$ ) での I/O シンク電流と出力 Low 電圧との関係

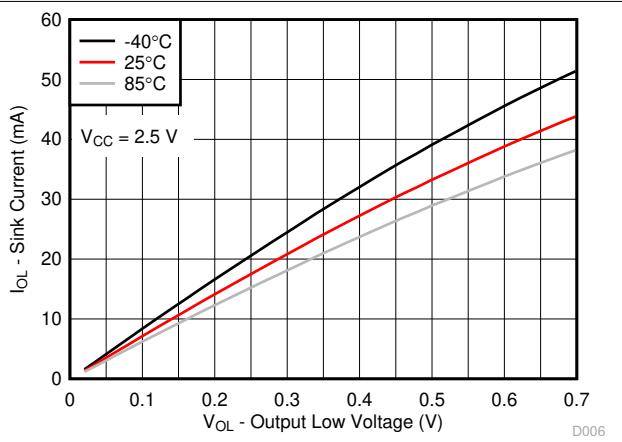


図 5-20.  $V_{CC} = 2.5\text{ V}$  での各種温度 ( $T_A$ ) での I/O シンク電流と出力 Low 電圧との関係

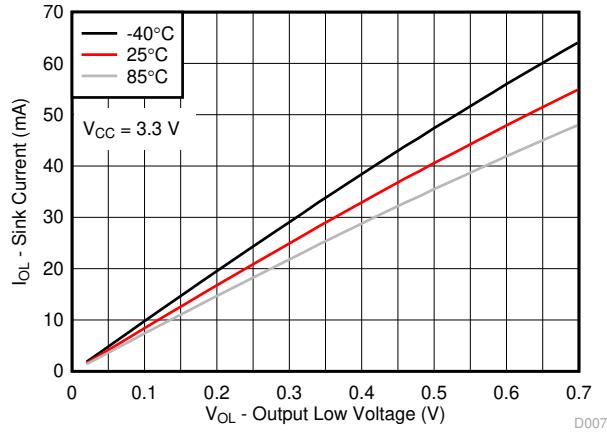


図 5-21.  $V_{CC} = 3.3\text{ V}$  での各種温度 ( $T_A$ ) での I/O シンク電流と出力 Low 電圧との関係

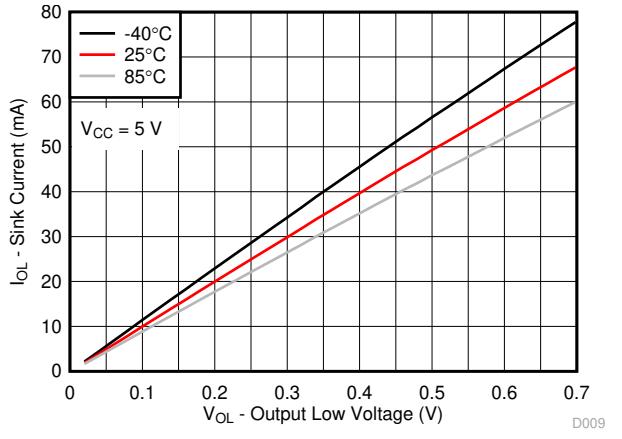


図 5-22.  $V_{CC} = 5\text{ V}$  での各種温度 ( $T_A$ ) での I/O シンク電流と出力 Low 電圧との関係

## 5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$  (特に記述のない限り)

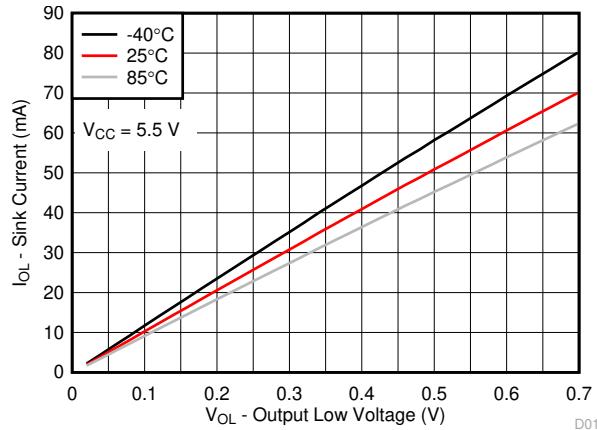


図 5-23.  $V_{CC} = 5.5\text{ V}$  での各種温度 ( $T_A$ ) での I/O シンク電流と出力 Low 電圧との関係

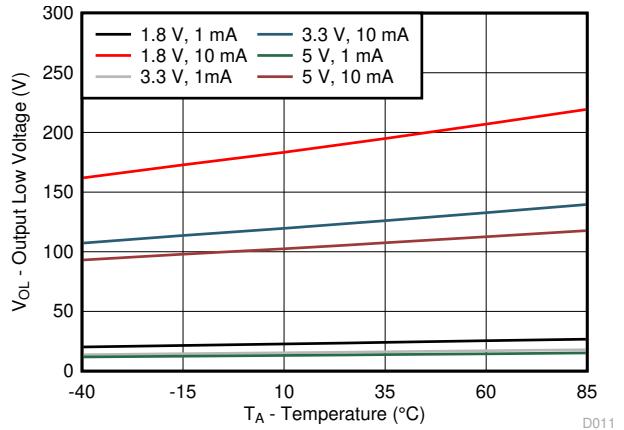


図 5-24. 各種の  $V_{CC}$  および  $I_{OL}$  での I/O Low 電圧と温度との関係

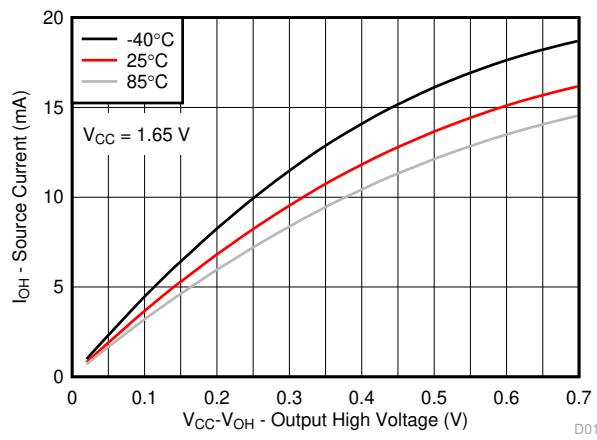


図 5-25.  $V_{CC} = 1.65\text{ V}$  での各種温度 ( $T_A$ ) での I/O ソース電流と出力 High 電圧との関係

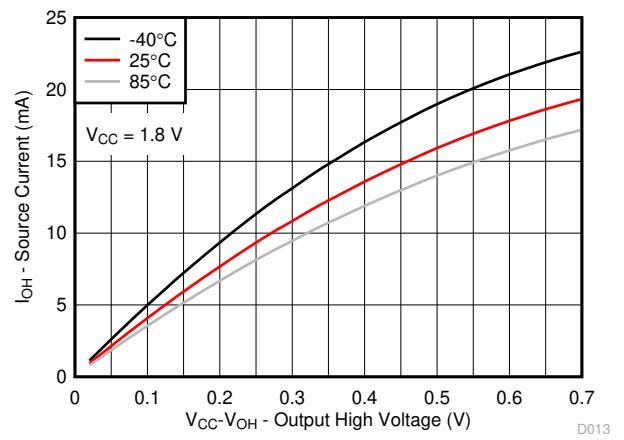


図 5-26.  $V_{CC} = 1.8\text{ V}$  での各種温度 ( $T_A$ ) での I/O ソース電流と出力 High 電圧との関係

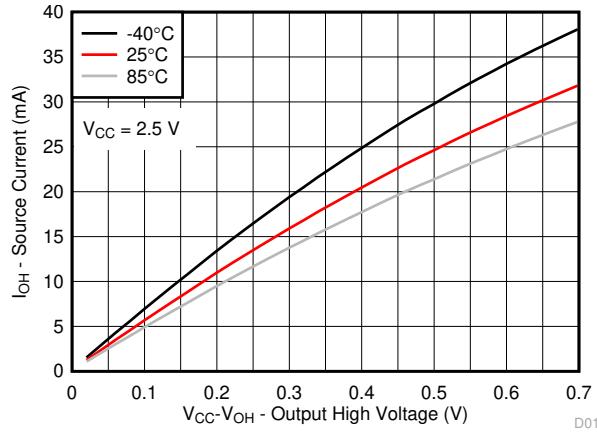


図 5-27.  $V_{CC} = 2.5\text{ V}$  での各種温度 ( $T_A$ ) での I/O ソース電流と出力 High 電圧との関係

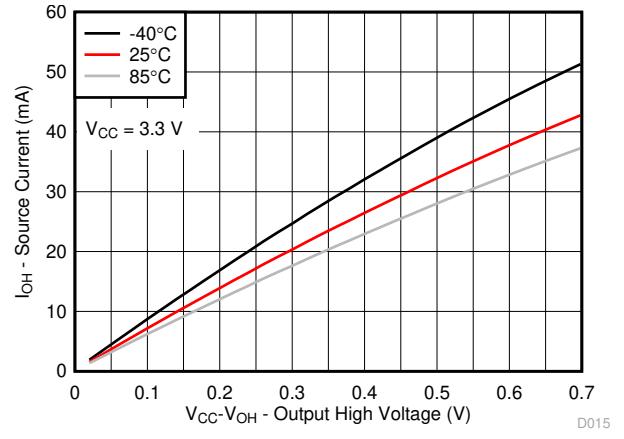


図 5-28.  $V_{CC} = 3.3\text{ V}$  での各種温度 ( $T_A$ ) での I/O ソース電流と出力 High 電圧との関係

## 5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$  (特に記述のない限り)

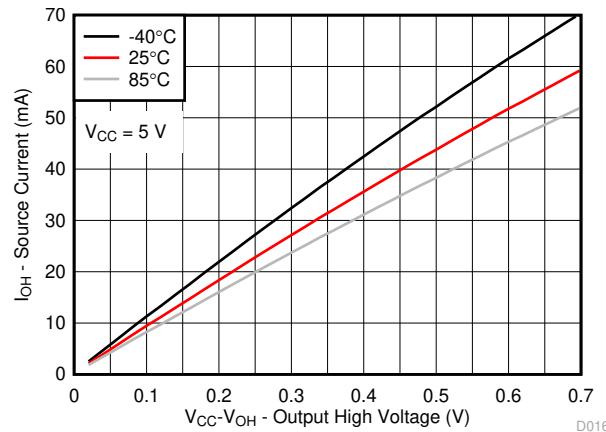


図 5-29.  $V_{CC} = 5\text{ V}$  での各種温度 ( $T_A$ ) での I/O ソース電流と出力 High 電圧との関係

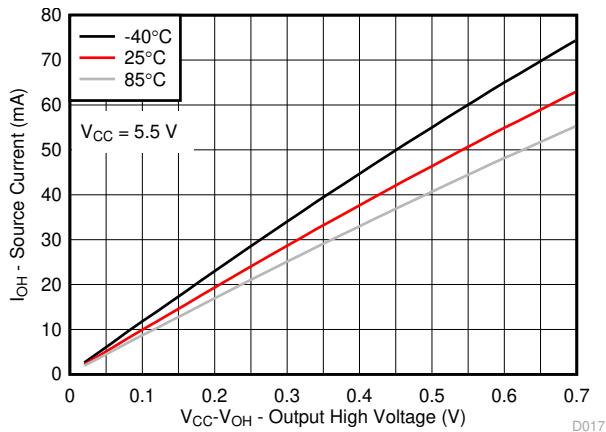


図 5-30.  $V_{CC} = 5.5\text{ V}$  での各種温度 ( $T_A$ ) での I/O ソース電流と出力 High 電圧との関係

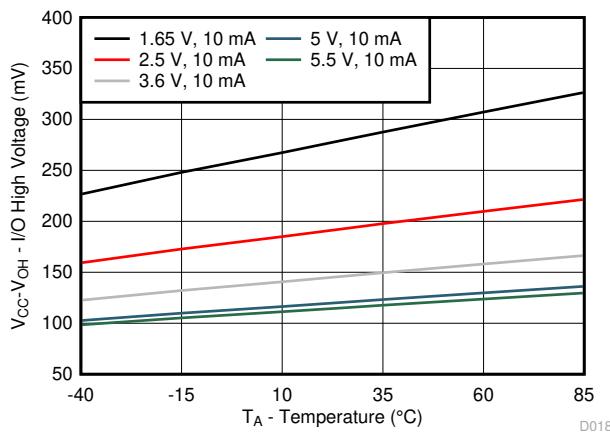


図 5-31. 異なる  $V_{CC}$  での  $V_{CC} - V_{OH}$  電圧

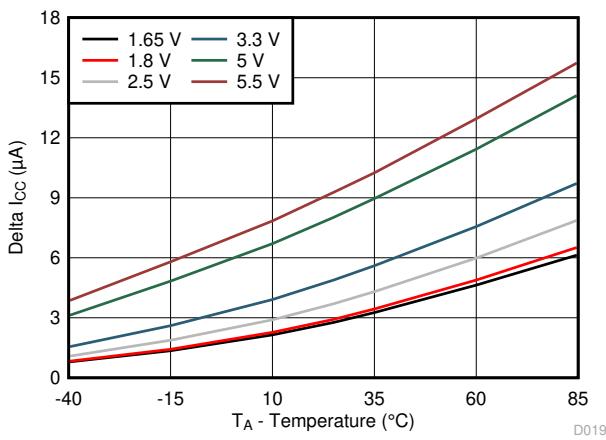
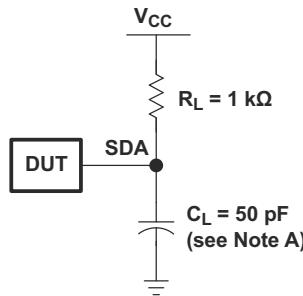
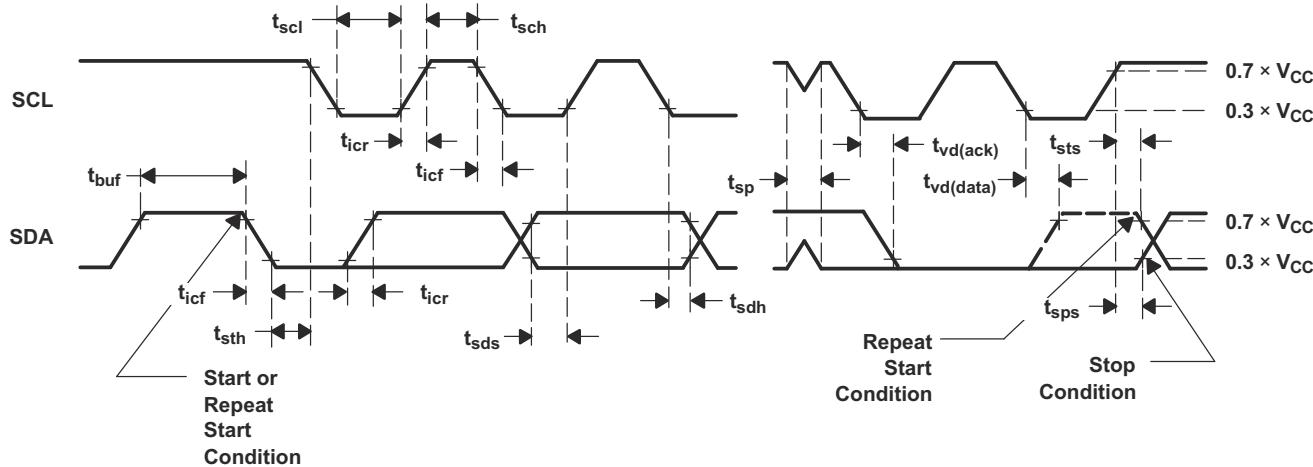


図 5-32. 異なる  $V_{CC}$  での  $\Delta I_{CC}$  と温度の関係 ( $V_I = V_{CC} - 0.6\text{ V}$ )

## 6 パラメータ測定情報



SDA Load Configuration

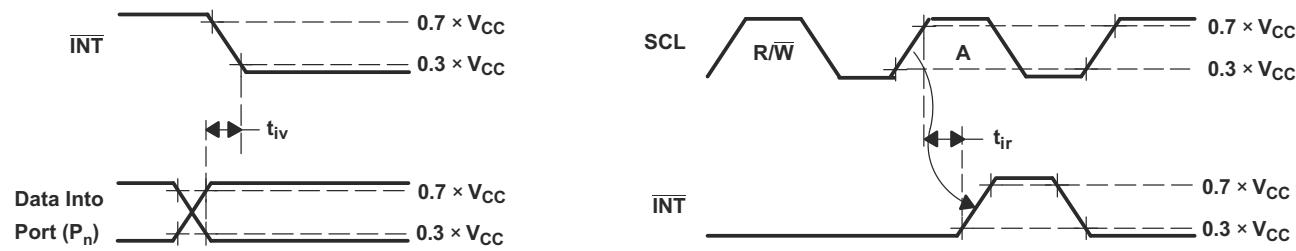
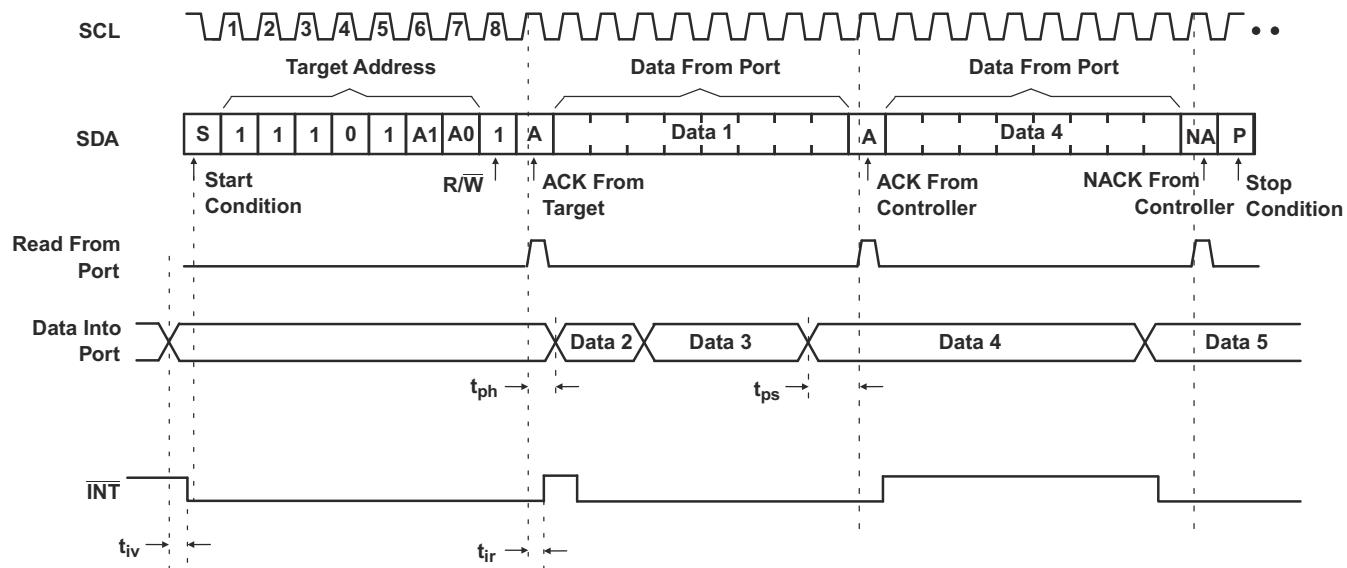
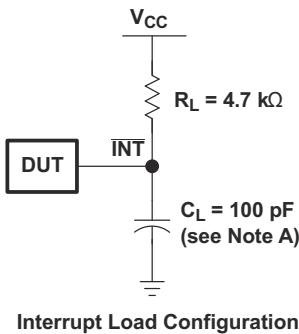


Voltage Waveforms

BYTE	DESCRIPTION
1	I <sup>2</sup> C address
2, 3	P-port data

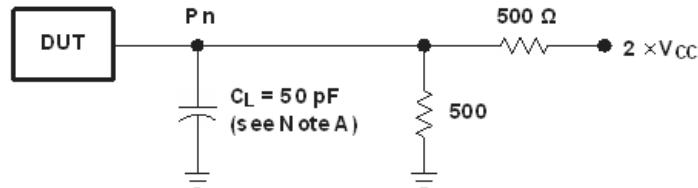
- A.  $C_L$  にはプローブと治具の容量が含まれます。
- B. すべての入力は、以下の特性を持つジェネレータから供給されます: PRR  $\leq 10\text{MHz}$ ,  $Z_O = 50\Omega$ ,  $t_f/t_r = 30\text{ns}$ 。
- C. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 6-1. I<sup>2</sup>C インターフェイスの負荷回路と電圧波形

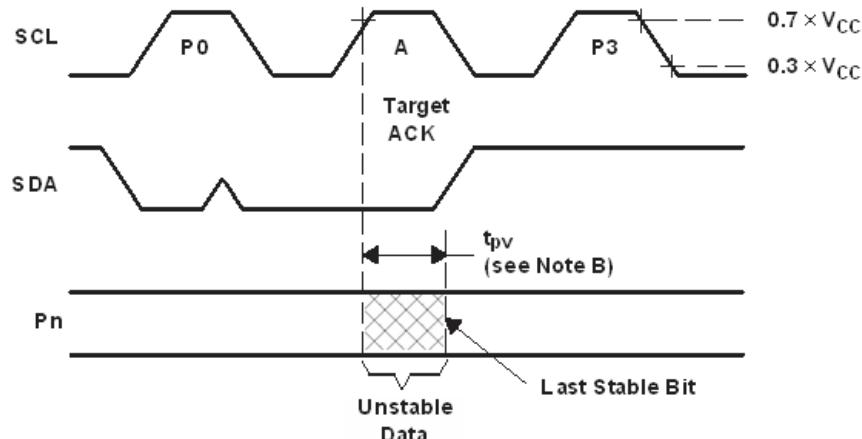


- A.  $C_L$  にはプローブと治具の容量が含まれます。
- B. すべての入力は、以下の特性を持つジェネレータから供給されます:  $PRR \leq 10\text{Hz}$ ,  $Z_O = 50\Omega$ ,  $t_r/t_f = 30\text{ns}$ 。
- C. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

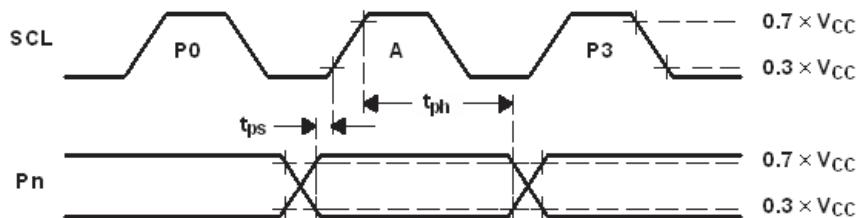
図 6-2. 割り込み負荷回路および電圧波形



P-Port Load Configuration



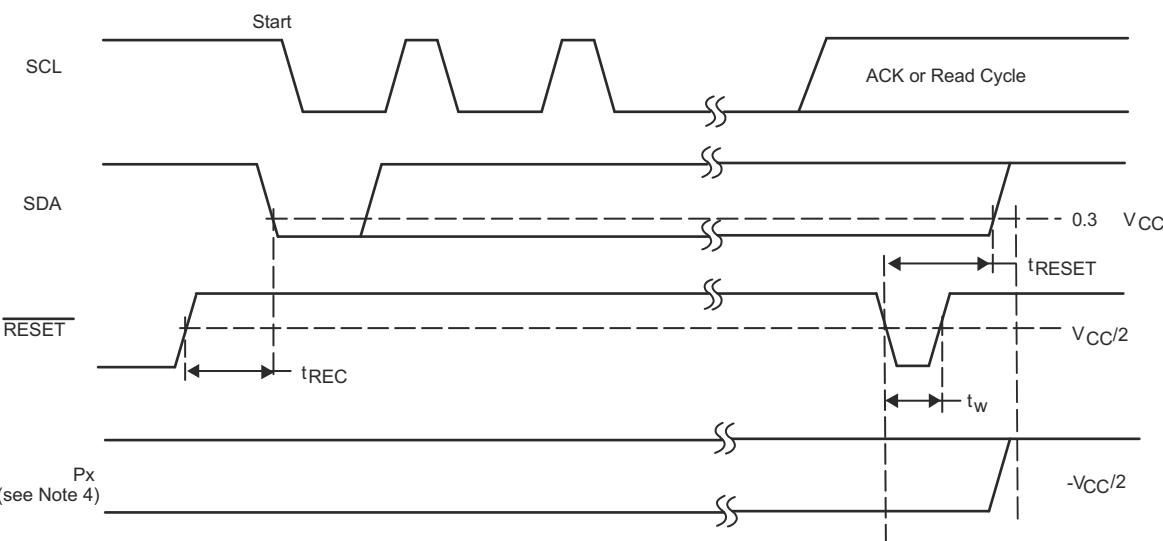
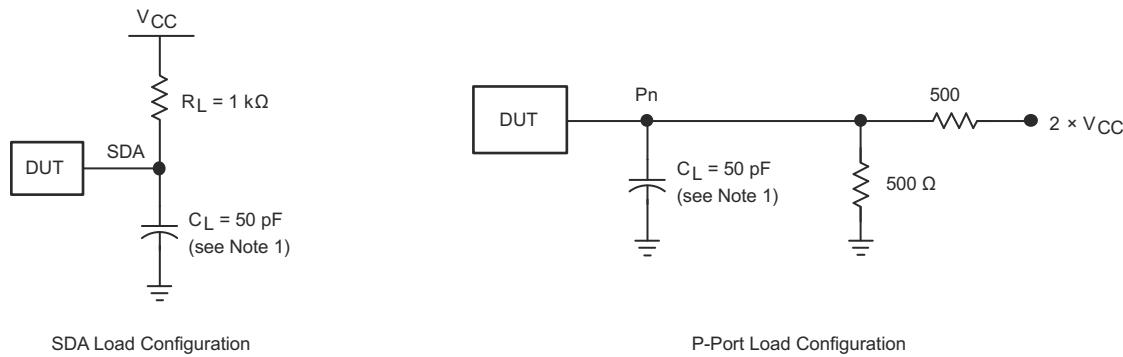
Write Mode (R/W = 0)



Read Mode (R/W = 1)

- A.  $C_L$  にはプローブと治具の容量が含まれます。
- B.  $t_{pv}$  は、SCL で  $0.7 \times V_{CC}$  から 50% の I/O ( $P_n$ ) 出力まで測定されます。
- C. すべての入力は、以下の特性を持つジェネレータから供給されます: PRR  $\leq 10\text{MHz}$ ,  $Z_0 = 50\Omega$ ,  $t_r/t_f = 30\text{ns}$ 。
- D. 出力は一度に 1 つずつ測定され、測定するたびに 1 回遷移します。
- E. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 6-3. P ポートの負荷回路および電圧波形



- A.  $C_L$  にはプローブと治具の容量が含まれます。
- B. すべての入力は、以下の特性を持つジェネレータから供給されます: PRR  $\leq 10\text{MHz}$ ,  $Z_O = 50\text{\Omega}$ ,  $t_r/t_f = 30\text{ns}$ 。
- C. 出力は一度に 1 つずつ測定され、測定するたびに 1 回遷移します。
- D. I/O は入力として構成されます。
- E. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 6-4. リセット負荷回路および電圧波形

## 7 詳細説明

### 7.1 概要

TCA9539A-Q1 は、1.65V ~ 5.5V の  $V_{CC}$  動作に対応した、2 線式双方向バス (I<sup>2</sup>C) 用の 16 ビット I/O エキスパンダです。I<sup>2</sup>C インターフェイス (シリアル クロック (SCL)、シリアル データ (SDA)) により、ほとんどのマイコン ファミリの汎用リモート I/O 拡張に使用できます。

TCA9539A-Q1 は、構成 (入力 / 出力選択)、入力ポート、出力ポート、極性反転 (アクティブ HIGH またはアクティブ LOW 動作) 用の 8 ビットレジスタをそれぞれ 2 個ずつ搭載しています。電源オン時に、I/O は入力として構成されます。システムコントローラは、構成レジスタビットに書き込むことで、I/O を入力にするか出力にするかを設定できます。それぞれの入力または出力のデータは、対応する入力または出力レジスタに保持されます。入力ポートレジスタの極性は、極性反転レジスタで反転できます。すべてのレジスタは、システムコントローラで読み出すことができます。

システムコントローラは、タイムアウトまたはその他の不適切な動作が発生した場合、RESET 入力を LOW にアサートすることで TCA9539A-Q1 をリセットできます。パワーオンリセットにより、レジスタはデフォルト状態に戻り、I<sup>2</sup>C-SMBus モードが初期化されます。RESET をアサートすると、デバイスを電源オフせずに、同じリセットと初期化が行われます。

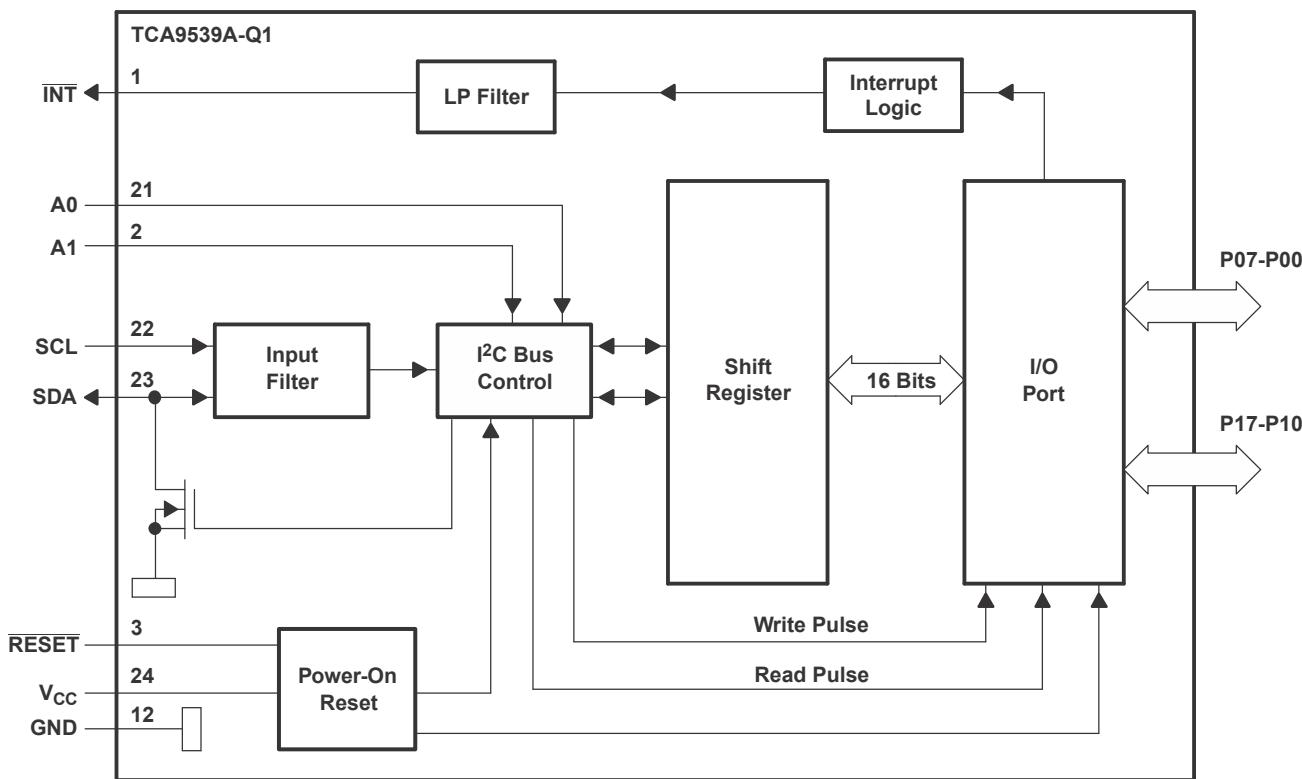
TCA9539A-Q1 のオープンドレイン割り込み (INT) 出力は、いずれかの入力状態が対応する **Input Port** レジスタの状態と異なる場合にアクティブになって、入力状態が変化したことをシステムコントローラに示すために使用されます。

INT はマイクロコントローラの割り込み入力に接続できます。この配線で割り込み信号を送ることでリモート I/O は、I<sup>2</sup>C バス経由で通信しなくともポート上に受信データが存在するかどうかをマイコンに通知できます。そのため、TCA9539A-Q1 はシンプル ターゲット デバイスとして機能できます。

TCA9539A-Q1 は、内部 I/O プルアップ抵抗が除去されていること、A2 が RESET に置き換わっていること、アドレス範囲が異なることを除いて TCA9555 と同じです。内部 I/O プルアップ抵抗の除去により、I/O を LOW に保持する際の消費電力が低減されています。TCA9539A-Q1 は PCA9539 と類似しており、低電圧対応 (最小  $V_{CC} = 1.65V$ ) で、各種のアプリケーション シナリオ用にパワーオンリセット回路が改善されています。

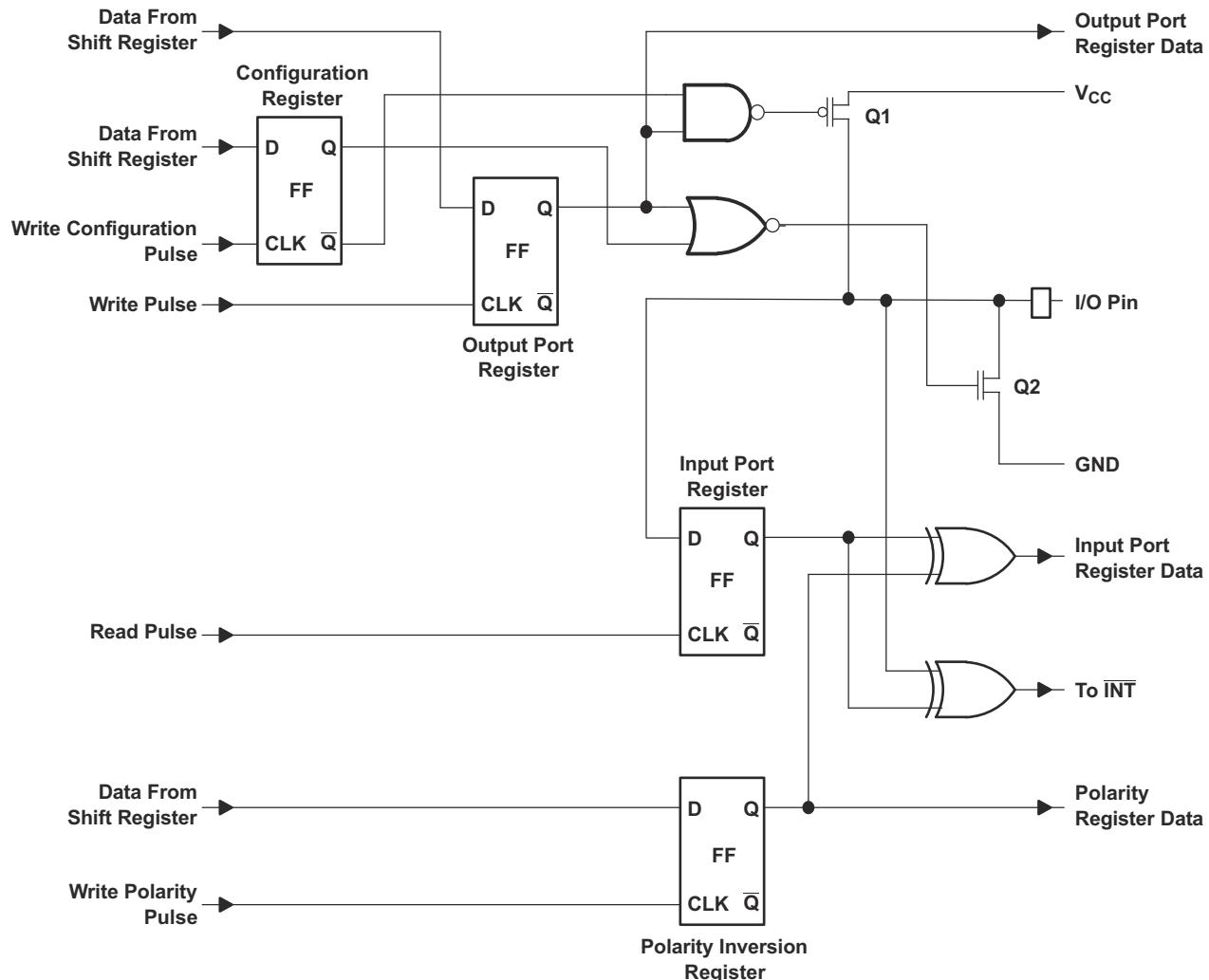
2 本のハードウェア ピン (A0, A1) を使って固定 I<sup>2</sup>C アドレスをプログラムおよび変更することで、最大 4 つのデバイスが同じ I<sup>2</sup>C バスまたは SMBus を共有できます。

## 7.2 機能ブロック図



ここに示すピン番号は、PW パッケージのものです。  
すべての I/O は、リセット時に入力に設定されます。

図 7-1. 論理図 (正論理)



Copyright © 2016, Texas Instruments Incorporated

パワーオンリセット時に、すべてのレジスタがデフォルト値に戻ります。

図 7-2. P ポート I/O の概略回路図

### 7.3 機能説明

#### 7.3.1 I/O ポート

I/O が入力として構成されている場合、FET Q1 と Q2 はオフになり、高インピーダンス入力が生成されます。入力電圧は  $V_{CC}$  を超えて最大 5.5V まで上げることができます。

I/O が出力として構成されている場合、Q1 または Q2 は出力ポートレジスタの状態に応じてイネーブルになります。この場合、I/O ピンと  $V_{CC}$  または GND の間には低インピーダンスの経路が存在します。この I/O ピンに印加される外部電圧は、適切に動作させるために推奨レベルを超えないようにする必要があります。

#### 7.3.2 RESET 入力

リセットを行うには、 $t_W$  の最小時間の間、RESET ピンを Low に保持します。TCA9539A-Q1 のレジスタと I<sup>2</sup>C/SMBus のステートマシンは、RESET が再び High になると、デフォルト状態に変更されます。アクティブ接続が使用されない場合、この入力には  $V_{CC}$  へのプルアップ抵抗が必要です。

### 7.3.3 割り込み (INT) 出力

入力モードのポート入力に立ち上がりまたは立ち下がりエッジが発生すると、割り込みが生成されます。 $t_{IV}$  時間が経過すると、 $\overline{INT}$  信号は有効になります。割り込み回路は、ポート上のデータが元の設定に戻されたとき、または割り込みを生成したポートからデータが読み取られたときにリセットされます。リセットは、読み取りモード時に **SCL** 信号の立ち上がりエッジの後のアクリッジ (ACK) ビットで発生します。 $\overline{INT}$  は、変更されたデータのバイトが送信される直前の ACK 時にリセットされることに注意してください。**ACK** クロック パルス中に発生する割り込みは、このパルス中に割り込みがリセットされるため、失われる (または非常に短くなる) ことがあります。リセット後に I/O の各変化が検出され、 $\overline{INT}$  として送信されます。

他のデバイスとの間での読み取りや書き込みは、割り込み回路に影響しません。また、出力として構成されたピンが割り込みを発生させることはできません。I/O を出力から入力に変更すると、ピンの状態が入力ポートレジスタの内容と一致しない場合、誤って割り込みが発生する可能性があります。各 8 ビット ポートは独立して読み取られるため、ポート 0 によって発生した割り込みはポート 1 の読み取りではクリアされませんし、その逆も同様です。

$\overline{INT}$  にはオープンドレイン構造があり、 $V_{CC}$  へのプルアップ抵抗が必要です。

## 7.4 デバイスの機能モード

### 7.4.1 パワーオン リセット

$V_{CC}$  に電源 (0V から) が印加されると、内部のパワーオン リセット回路により、 $V_{CC}$  が  $V_{PORR}$  に到達するまで TCA9539A-Q1 はリセット状態に保たれます。このとき、リセット状態は解除され、TCA9539A-Q1 のレジスタと I<sup>2</sup>C-SMBus のステート マシンはそれぞれのデフォルト状態に初期化されます。パワーリセット サイクルを行うには、その後  $V_{CC}$  を  $V_{PORF}$  未満に下げてから、再び動作電圧まで戻す必要があります。図 7-3 を参照してください。

## 7.5 プログラミング

### 7.5.1 I<sup>2</sup>C インターフェイス

TCA9539A-Q1 には標準の双方向 I<sup>2</sup>C インターフェイスがあり、このデバイスのステータスを構成または読み取りするためにコントローラ デバイスによって制御されます。I<sup>2</sup>C バスの各ターゲットには特定のデバイス アドレスがあり、同じ I<sup>2</sup>C バスにある他のターゲット デバイスと区別できます。多くのターゲット デバイスでは、スタートアップ時にデバイスの動作を設定するための構成が必要です。これは通常、一意のレジスタ アドレスを持つターゲットの内部レジスタ マップにコントローラがアクセスするときに行われます。デバイスには 1 つまたは複数のレジスタがあり、データの保存、書き込み、読み取りが行われます。詳細については、[I<sup>2</sup>C バスについて](#)を参照してください。

物理的な I<sup>2</sup>C インターフェイスは、シリアル クロック (SCL) ラインとシリアル データ (SDA) ラインで構成されます。SDA ラインおよび SCL ラインは、どちらもプルアップ抵抗を介して  $V_{CC}$  に接続する必要があります。プルアップ抵抗のサイズは、I<sup>2</sup>C ラインの容量によって決まります。詳細については、[I<sup>2</sup>C のプルアップ抵抗の計算](#)を参照してください。データ転送は、バスがアイドル状態のときのみ開始できます。STOP 条件の後に SDA ラインと SCL ラインの両方が High になると、バスはアイドルと見なされます。表 7-1 を参照してください。

コントローラがターゲット デバイスにアクセスするための、一般的な手順を図 7-3 と図 7-4 に示します:

1. コントローラがデータをターゲットに送信する場合:
  - コントローラのトランスマッタは START 条件を送信し、ターゲットのレシーバをアドレス指定します。
  - コントローラのトランスマッタは、ターゲットのレシーバにデータを送信します。
  - コントローラのトランスマッタは、STOP 条件で転送を終了します。
2. コントローラがターゲットからデータを受信または読み取る場合:
  - コントローラのレシーバは START 条件を送信し、ターゲットのトランスマッタをアドレス指定します。
  - コントローラのレシーバは、ターゲットのトランスマッタから読み出すため必要なレジスタを送信します。
  - コントローラのレシーバは、ターゲットのトランスマッタからデータを受信します。

- コントローラのレシーバは、STOP 条件で転送を終了します。

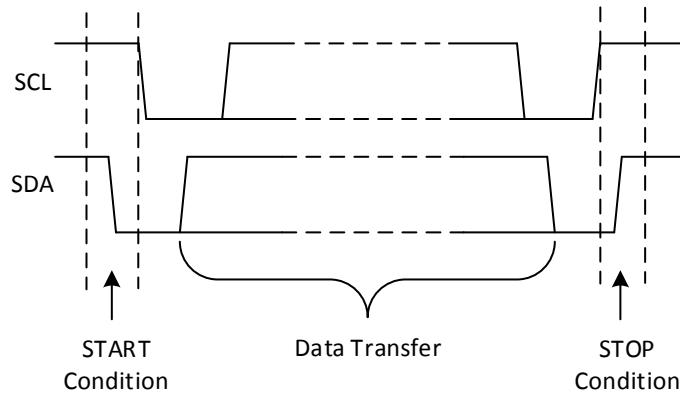


図 7-3. START 条件と STOP 条件の定義

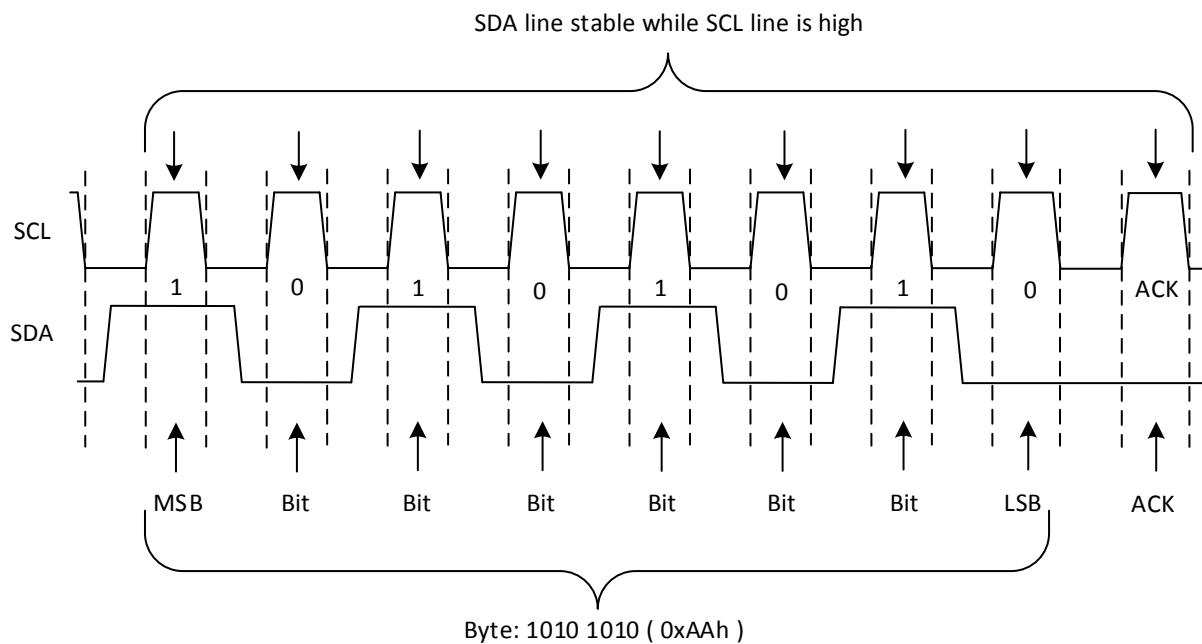


図 7-4. ピット転送

表 7-1 に、インターフェイスの定義を示します。

表 7-1. インターフェイスの定義

バイト	ビット							
	7 (MSB)	6	5	4	3	2	1	0 (LSB)
I <sup>2</sup> C ターゲット アドレス	H	H	H	L	H	A1	A0	R/W
P0x I/O データ バス	P07	P06	P05	P04	P03	P02	P01	P00
P1x I/O データ バス	P17	P16	P15	P14	P13	P12	P11	P10

## 7.6 レジスタ マップ

### 7.6.1 デバイス アドレス

図 7-5 に、TCA9539A のアドレスを示します。

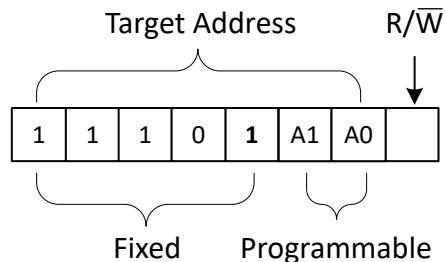


図 7-5. デバイス #1 のアドレス (TCA9539A)

表 7-2 に、TCA9539A のアドレス参照を示します。

表 7-2. アドレス参照

入力		I2C バスターゲット アドレス
A1	A0	
L	L	116 (10 進)、74 (16 進)
L	H	117 (10 進)、75 (16 進)
H	L	118 (10 進)、76 (16 進)
H	H	119 (10 進)、77 (16 進)

図 7-6 に、TCA9539B のアドレス参照を示します。

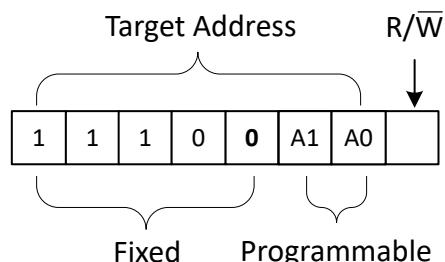


図 7-6. デバイス #2 のアドレス (TCA9539B)

表 7-3 に、TCA9539B のアドレス参照を示します。

表 7-3. アドレス参照

入力		I2C バスターゲット アドレス
A1	A0	
L	L	112 (10 進)、70 (16 進)
L	H	113 (10 進)、71 (16 進)
H	L	114 (10 進)、72 (16 進)
H	H	115 (10 進)、73 (16 進)

ターゲットのアドレスの最後のビットにより、実行する動作 (読み取りまたは書き込み) が定義されます。High (1) を選択すると読み取り動作、Low (0) を選択すると書き込み動作となります。

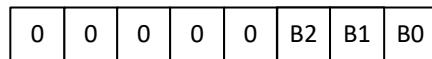
## 7.6.2 制御レジスタとコマンド バイト

アドレス バイトのアクノリッジが成功すると、バス コントローラはコマンド バイト (表 7-4 に表示) を送信します。このバイトは TCA9539-Q1 の制御レジスタに保存されます。このデータ バイトのうち 3 ビットは、操作内容 (読み取りまたは書き込み) と、影響を受ける内部レジスタ (入力、出力、極性反転、または設定) を指定します。このレジスタは、I<sup>2</sup>C バス経由で書き込みや読み出しができます。コマンド バイトは、書き込み転送中にのみ送信されます。

**表 7-4. コマンド バイト**

制御レジスタ ビット			コマンド バイト (16 進数)	レジスタ	プロトコル	電源投入時のデフ オルト値
B2	B1	B0				
0	0	0	0x00	入力ポート 0	バイトの読み取り	XXXX XXXX
0	0	1	0x01	入力ポート 1	バイトの読み取り	XXXX XXXX
0	1	0	0x02	出力ポート 0	読み取り/ 書き込み バイト	1111 1111
0	1	1	0x03	出力ポート 1	読み取り/ 書き込み バイト	1111 1111
1	0	0	0x04	極性反転ポート 0	読み取り/ 書き込み バイト	0000 0000
1	0	1	0x05	極性反転ポート 1	読み取り/ 書き込み バイト	0000 0000
1	1	0	0x06	構成ポート 0	読み取り/ 書き込み バイト	1111 1111
1	1	1	0x07	構成ポート 1	読み取り/ 書き込み バイト	1111 1111

コマンド バイトが送信されると、新たなコマンド バイトが送信されるまで、指定されたレジスタ ペアは読み取り操作で引き続きアクセスされます。図 7-7 に、制御レジスタビットを示します。



**図 7-7. 制御レジスタ ビット**

## 8 アプリケーションと実装

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

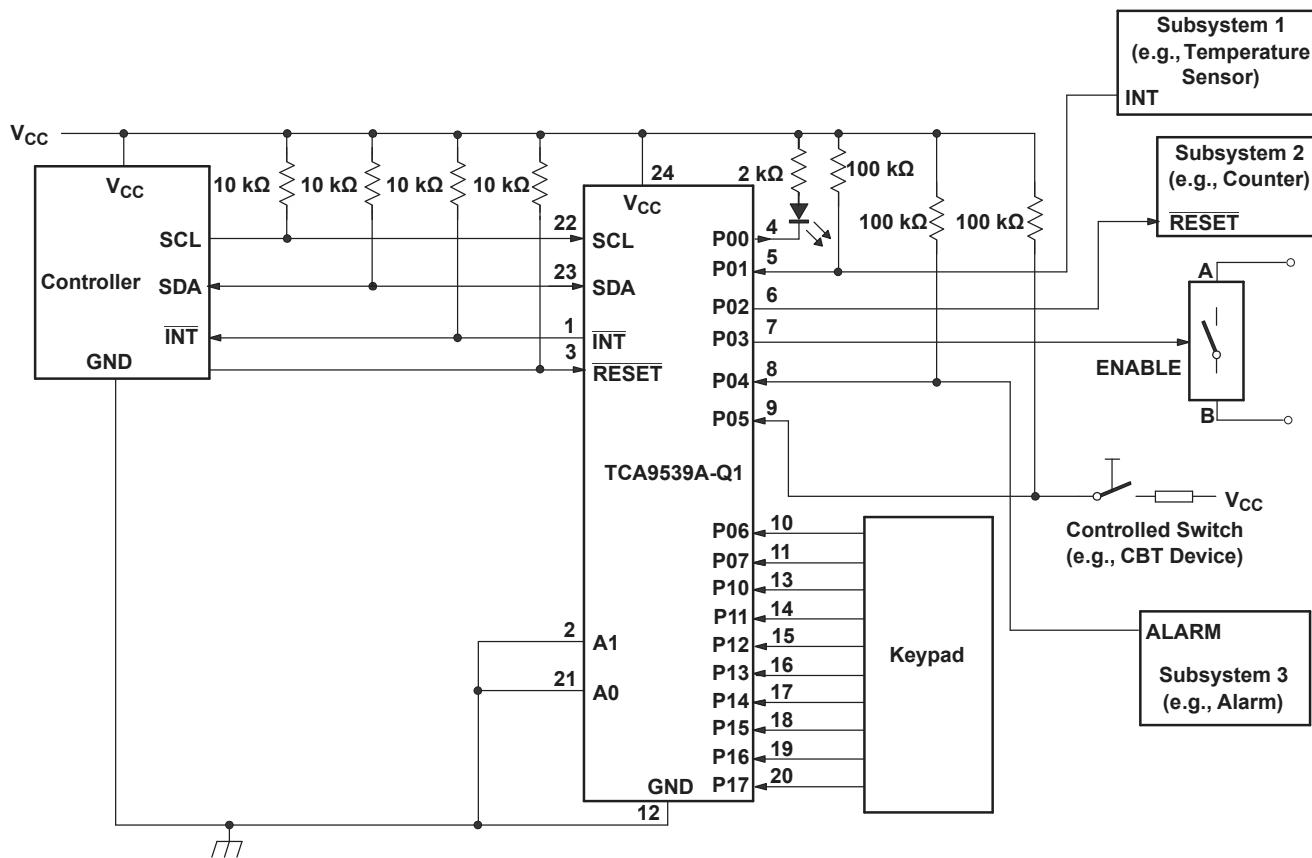
### 8.1 アプリケーション情報

TCA9539A-Q1 のアプリケーションでは、このデバイスを I<sup>2</sup>C コントローラ（プロセッサ）のターゲットとして接続し、I<sup>2</sup>C バスには他の任意の数のターゲットデバイスを含めることができます。TCA9539A-Q1 は通常コントローラから離れた場所で、コントローラが監視または制御する必要のある GPIO の近くに配置されます。

TCA9539A-Q1 などの IO エクスパンダは一般に、LED（フィードバックまたはステータスライト用）の制御、他のデバイスのイネーブルまたはリセット信号の制御、他のデバイスやボタンの出力の読み取りに使用されます。

### 8.2 代表的なアプリケーション

図 8-1 は、TCA9539A-Q1 を使用可能なアプリケーションを示します。



この例では、デバイスアドレスを 1110100 に設定しています。

P00、P02、P03 は出力として構成されています。

P01 および P04～P17 は入力として構成されています。

ここに示すピン番号は、PW パッケージのものです。

図 8-1. アプリケーション回路図

## 8.2.1 設計要件

### 8.2.2 詳細な設計手順

SCL および SDA ライン用のプルアップ抵抗 ( $R_P$ ) は、I<sup>2</sup>C バス上のすべてのターゲットの総容量を考慮して、適切に選定する必要があります。必要な最小プルアップ抵抗値は、 $V_{CC}$ 、 $V_{OL,max}$ 、および  $I_{OL}$  に依存し、式 1 に示されているように算出します。

$$R_{p(min)} = \frac{V_{CC} - V_{OL(max)}}{I_{OL}} \quad (1)$$

最大のプルアップ抵抗値は、最大立ち上がり時間 ( $t_r$ : 高速モード動作では 300ns、 $f_{SCL} = 400\text{kHz}$  時) とバス容量 ( $C_b$ ) に依存し、式 2 に示されているように算出します。

$$R_{p(max)} = \frac{t_r}{0.8473 \times C_b} \quad (2)$$

I<sup>2</sup>C バスの最大バス容量は、標準モードおよび高速モード動作の場合、400pF を超えないものとします。バス容量は、TCA9539A-Q1 の容量、SCL 用の  $C_i$  または SDA 用の  $C_{io}$ 、配線、接続、パターンの容量、バス上の追加ターゲットの容量を追加することで近似値を求めるすることができます。

表 8-1. 設計パラメータ

パラメータ	値
$V_{CC}$	5.5V
$V_{OL(max)}$	0.4V
$I_{OL}$	3.0mA
$R_{p(min)}$	1.7kΩ
$f_{SCL}$	400kHz
$C_b$	200pF
$t_r$	150ns
$R_{p(max)}$	885Ω
プルアップ $R$ ( $R_{p(max)}$ と $R_{p(min)}$ の間)	$1.2 \pm 10\% \text{k}\Omega$

#### 8.2.2.1 接合部温度と消費電力の計算

TCA9539A-Q1 を設計に使用する際は、推奨動作条件に違反しないことが重要です。本デバイスの多くのパラメータは接合部温度に基づいて規定されているため、安全に動作していることを確認するには、接合部温度を計算する必要があります。式 3 に、接合部温度の基本的な式を示します。

$$T_j = T_A + (\theta_{JA} \times P_d) \quad (3)$$

$\theta_{JA}$  は、セクション 5.4 表に示すように、パッケージの接合部から周囲への標準的な熱抵抗測定値です。 $P_d$  はデバイスの合計消費電力で、その近似値を式 4 に示します。

$$P_d \approx (I_{CC\_STATIC} \times V_{CC}) + \sum P_{d\_PORT\_L} + \sum P_{d\_PORT\_H} \quad (4)$$

式 4 は、デバイス内の消費電力の近似値です。この式は、静的電力と、各ポートで消費される電力 (ポートが High 出力か Low 出力かによって異なる計算式を用います) の合計となります。ポートが入力に設定されている場合、消費電力はピンの入力リーアル電流にピンの電圧を掛けた値となります。これは、これらの過渡が小さいと仮定して、INT および SDA ピン

の消費電力を無視することに注意してください。これらは、式 5 を使用して、Low にしながら  $\overline{INT}$  または SDA の消費電力を計算することで、消費電力の計算に含めることができます。これにより、最大消費電力が得られます。

$$P_{d\_PORT\_L} = (I_{OL} \times V_{OL}) \quad (5)$$

出力 Low に設定された 1 つのポートの消費電力を、式 5 に示します。ポートによって消費される電力は、ポートの  $V_{OL}$  にシンクしている電流を掛けた値になります。

$$P_{d\_PORT\_H} = (I_{OH} \times (V_{CC} - V_{OH})) \quad (6)$$

出力 High に設定された 1 つのポートの消費電力を式 6 に示します。ポートによって消費される電力は、ポートから供給される電流にデバイスでの電圧降下 ( $V_{CC}$  と出力電圧の差) を乗算した値です。

### 8.2.2.2 I/O で LED を制御する場合の $I_{CC}$ 最小化

I/O で LED を制御する場合、通常は抵抗を介して  $V_{CC}$  に接続します (図 8-1 を参照)。LED はダイオードとして機能するため、LED がオフのとき、I/O の  $V_{IN}$  は  $V_{CC}$  よりも約 1.2V 低くなります。「電気的特性」表に記載されている  $\Delta I_{CC}$  パラメータは、 $V_{IN}$  が  $V_{CC}$  より低くなると  $I_{CC}$  がどのように増加するかを示しています。バッテリ駆動の用途では、消費電流を最小限に抑えるため、LED 消灯時に I/O ピンの電圧が  $V_{CC}$  以上になるようにすることが重要です。

図 8-2 に、LED と並列に設置した値の大きな抵抗を示します。図 8-3 では、 $V_{CC}$  が LED 電源電圧よりも、少なくとも 1.2V だけ低くなっています。これら両方の方法により、I/O の  $V_{CC}$  が  $V_{CC}$  以上に維持され、LED 消灯時の追加の電源電流消費を防ぐことができます。

ポート全体の推奨最大  $I_{OL}$  が接合部温度に基づいて規定されないように注意してください。詳細については、「推奨動作条件」の参照してください。

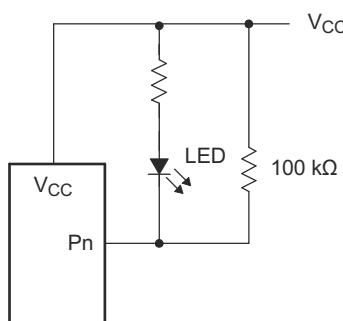


図 8-2. LED と並列に設置した値の大きな抵抗

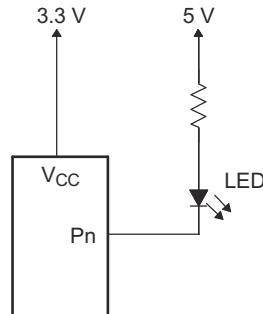


図 8-3. 低電圧で供給されるデバイス

### 8.2.3 アプリケーション曲線

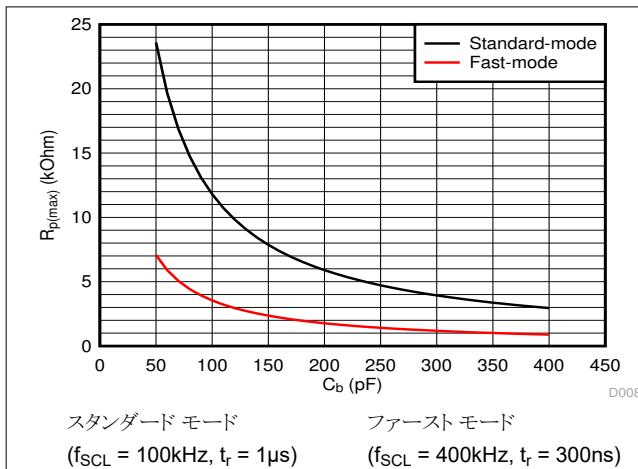


図 8-4. 最大プルアップ抵抗 ( $R_{p(\max)}$ ) とバス容量 ( $C_b$ ) との関係

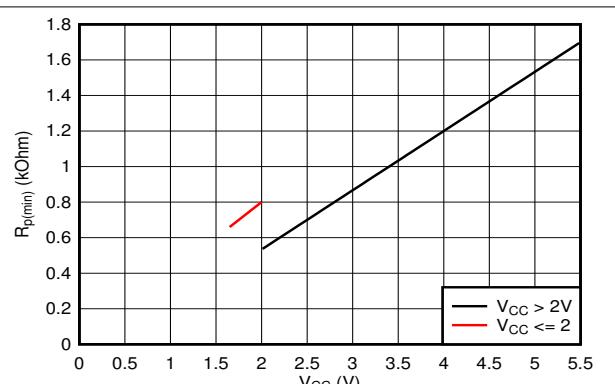


図 8-5. 最小プルアップ抵抗 ( $R_{p(\min)}$ ) とプルアップ ファレンス電圧 ( $V_{cc}$ ) との関係

## 8.3 電源に関する推奨事項

### 8.4 レイアウト

#### 8.4.1 レイアウトのガイドライン

TCA9539A-Q1 のプリント回路基板 (PCB) レイアウトでは、一般的な PCB レイアウトの慣例に従う必要がありますが、適合したインピーダンスや差動ペアなどの高速データ転送は、 $\text{I}^2\text{C}$  信号速度では大きな問題にはなりません。

すべての PCB レイアウトにおける最善策は、信号トレースを直角に曲げないこと、集積回路 (IC) の近接部を離れるときに信号トレースが互いに離れていくように配置すること、トレース幅を太くして電源とグランドのトレースを通常時に大容量の電流が流れるようにすることです。バイパスコンデンサとデカップリングコンデンサは、一般的に  $V_{cc}$  ピンの電圧の制御に使用されます。大容量コンデンサを使用すると、短時間の電源グリッチ時に追加電力を供給し、容量の小さいコンデンサを使用すると、高周波リップルをフィルタリングできます。これらのコンデンサは、できる限り TCA9539A-Q1 の近くに配置してください。理想的な配置を 図 8-6 に示します。

図 8-6 に示されているレイアウト例の場合、トップ層を信号配線、ボトム層を電源 ( $V_{cc}$ ) およびグランド (GND) の分割プレーンとして使用することで、2 層基板のみで PCB を製作することができます。ただし、信号配線密度の高い基板では、4 層基板が推奨されます。4 層 PCB では、信号を最上層および最下層に配線できます。1 つの内部層をグランドプレーン専用、もう 1 つの内部層を電源プレーン専用にしてください。電源とグランドにプレーンまたは分割プレーンを使用する基板レイアウトの場合は、 $V_{cc}$  または GND に接続する必要がある表面実装部品パッドのすぐ隣にビアを配置し、ビアを内部層または基板の反対側に電気的に接続します。ビアは、信号パターンを基板の反対側に配線する必要がある場合にも使用されますが、この方法は 図 8-6 には示されていません。

#### 8.4.2 レイアウト例

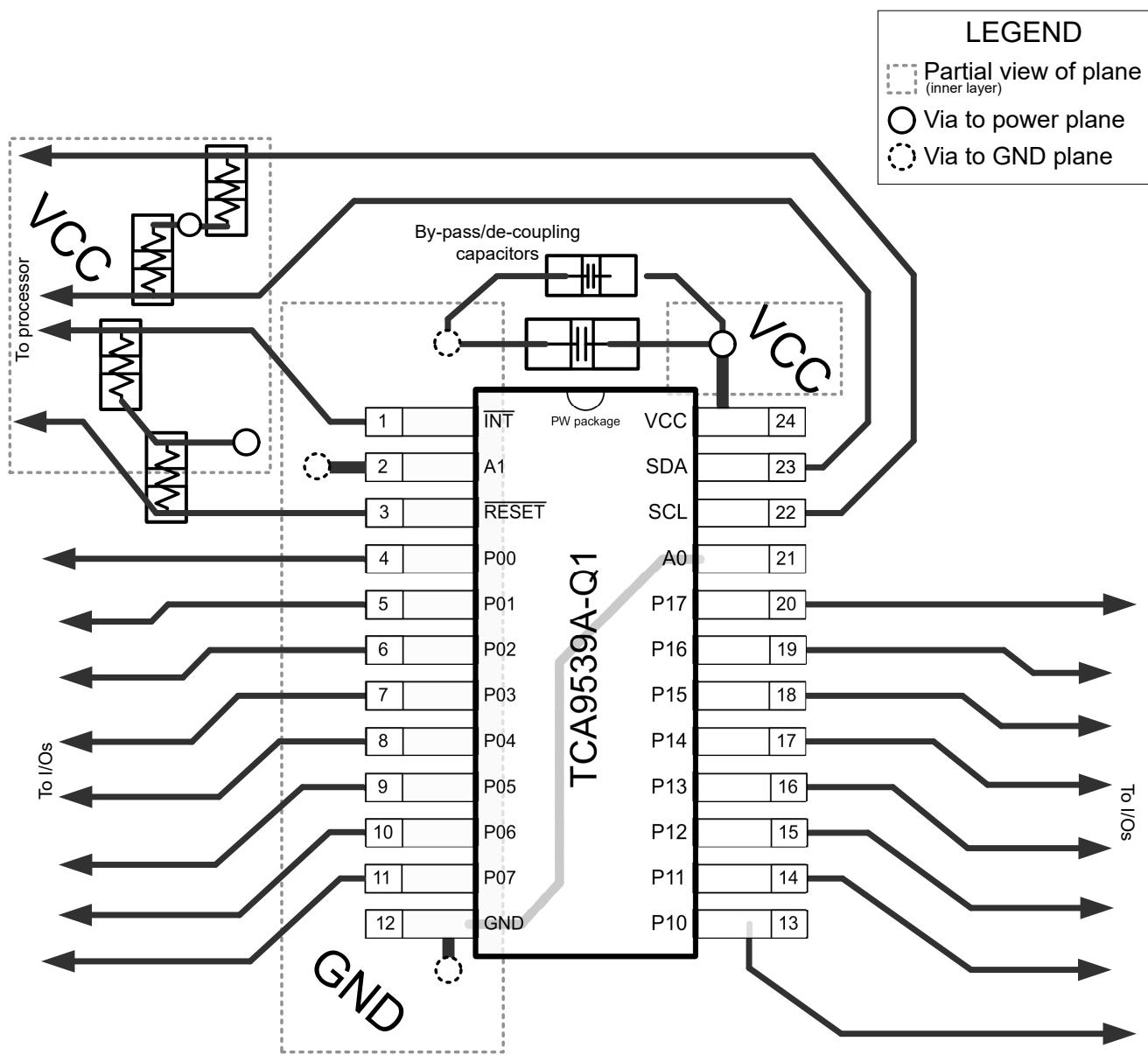


図 8-6. TCA9539A-Q1 のレイアウト

## 9 デバイスおよびドキュメントのサポート

### 9.1 ドキュメントのサポート

#### 9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、[I2C バスを理解する](#)
- テキサス・インスツルメンツ、[I2C プルアップ抵抗の計算](#)
- テキサス・インスツルメンツ、[ロジック入門](#)
- テキサス・インスツルメンツ、[リピータを使用する I2C バスの最大クロック周波数](#)
- テキサス・インスツルメンツ、[I2C バスのプルアップ抵抗の計算](#)

### 9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 9.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
July 2025	*	初版リリース

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](http://ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TCA9539AQPWRQ1	Active	Production	TSSOP (PW)   24	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TCA539AQ
TCA9539BQPWRQ1	Active	Production	TSSOP (PW)   24	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TCA539BQ

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

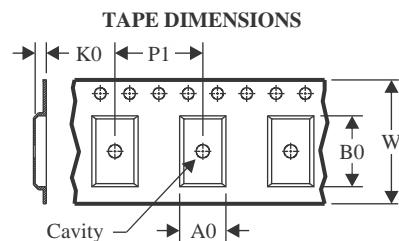
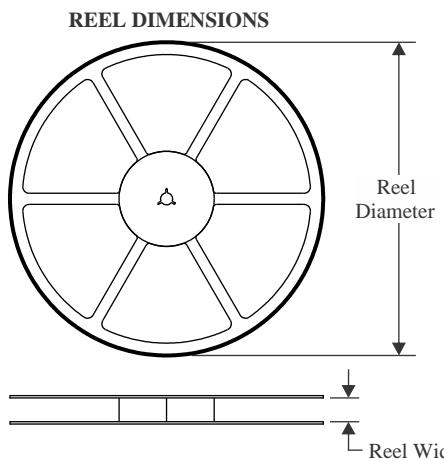
<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

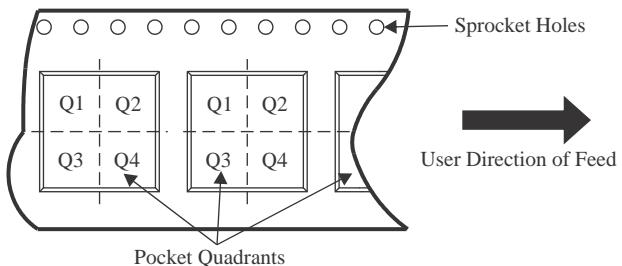
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

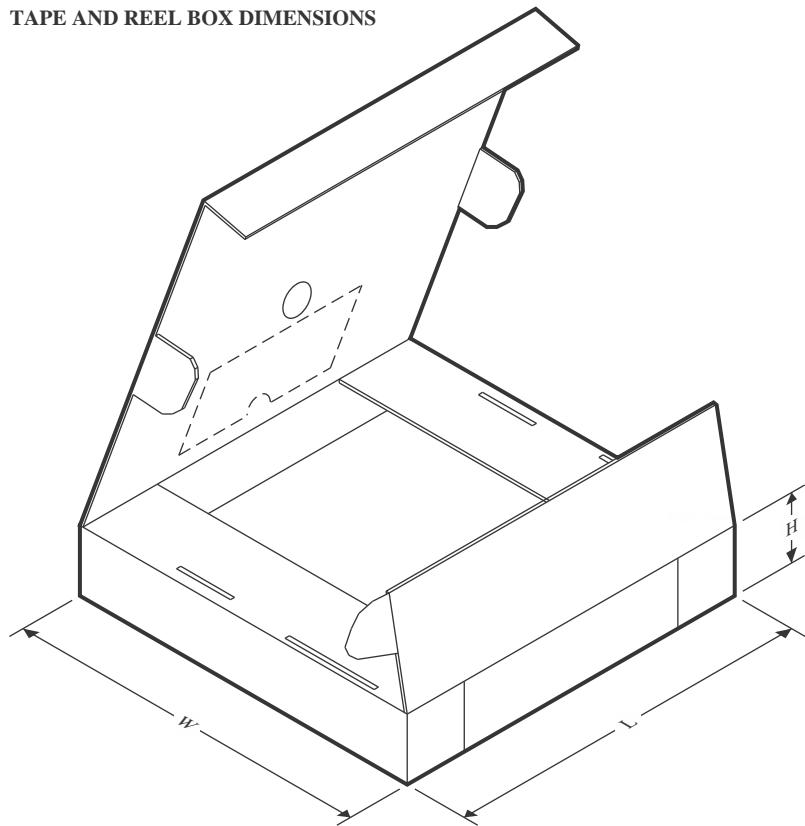
**TAPE AND REEL INFORMATION**


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TCA9539AQPWRQ1	TSSOP	PW	24	3000	330.0	16.4	6.95	8.3	1.6	8.0	16.0	Q1
TCA9539BQPWRQ1	TSSOP	PW	24	3000	330.0	16.4	6.95	8.3	1.6	8.0	16.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TCA9539AQPWRQ1	TSSOP	PW	24	3000	353.0	353.0	32.0
TCA9539BQPWRQ1	TSSOP	PW	24	3000	353.0	353.0	32.0

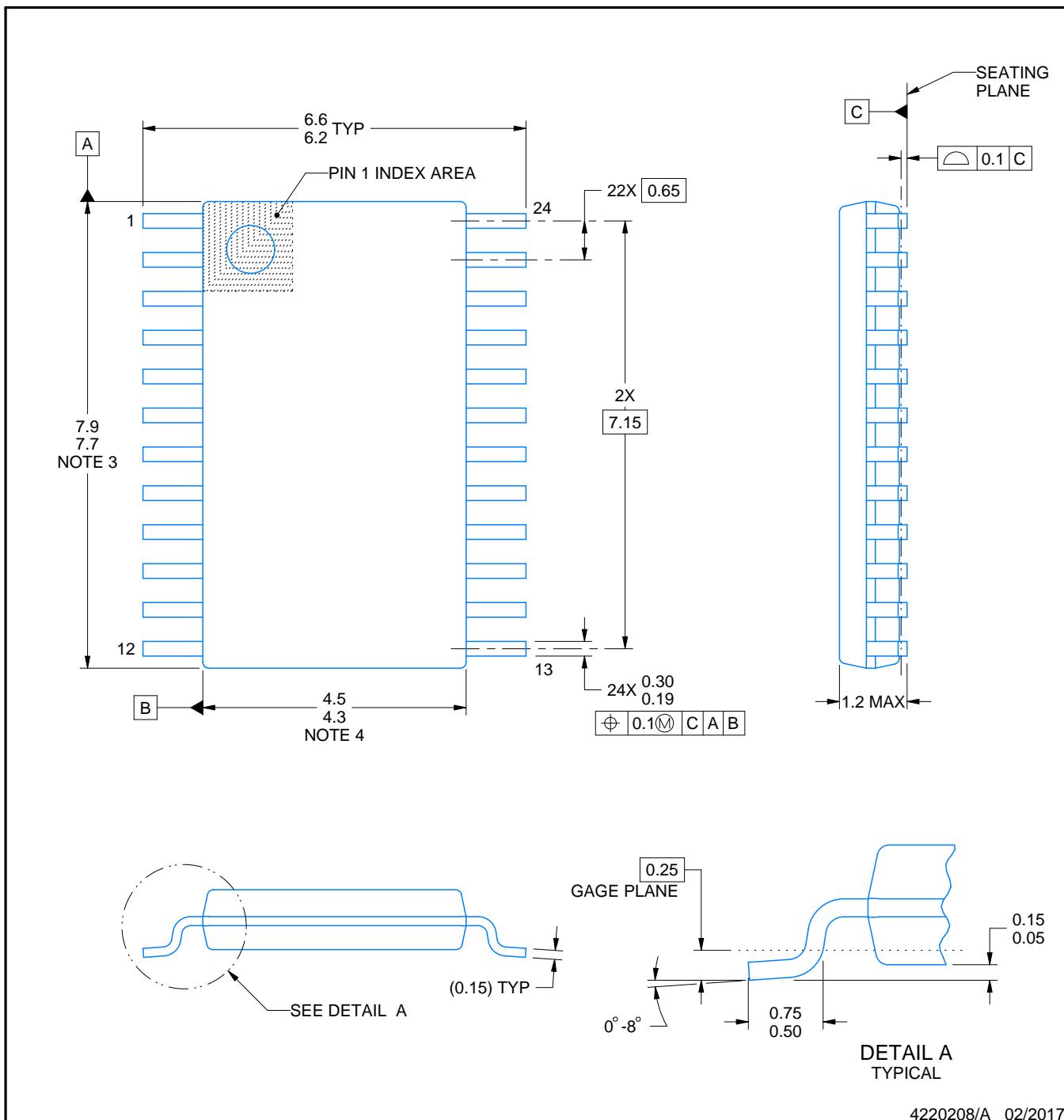
# PACKAGE OUTLINE

PW0024A



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

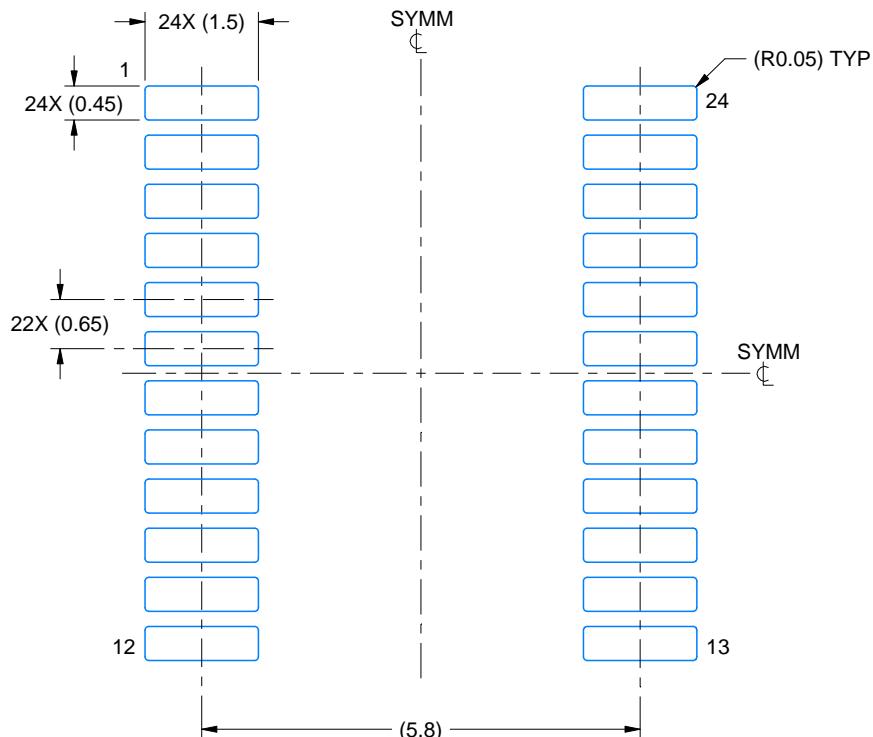
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

# EXAMPLE BOARD LAYOUT

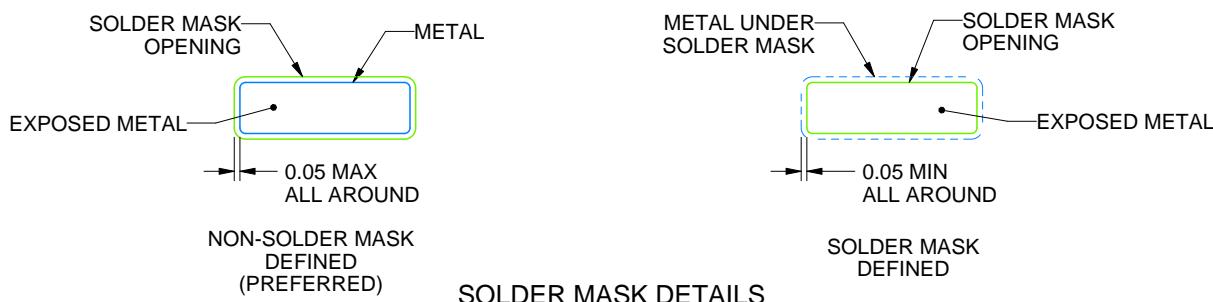
PW0024A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



4220208/A 02/2017

NOTES: (continued)

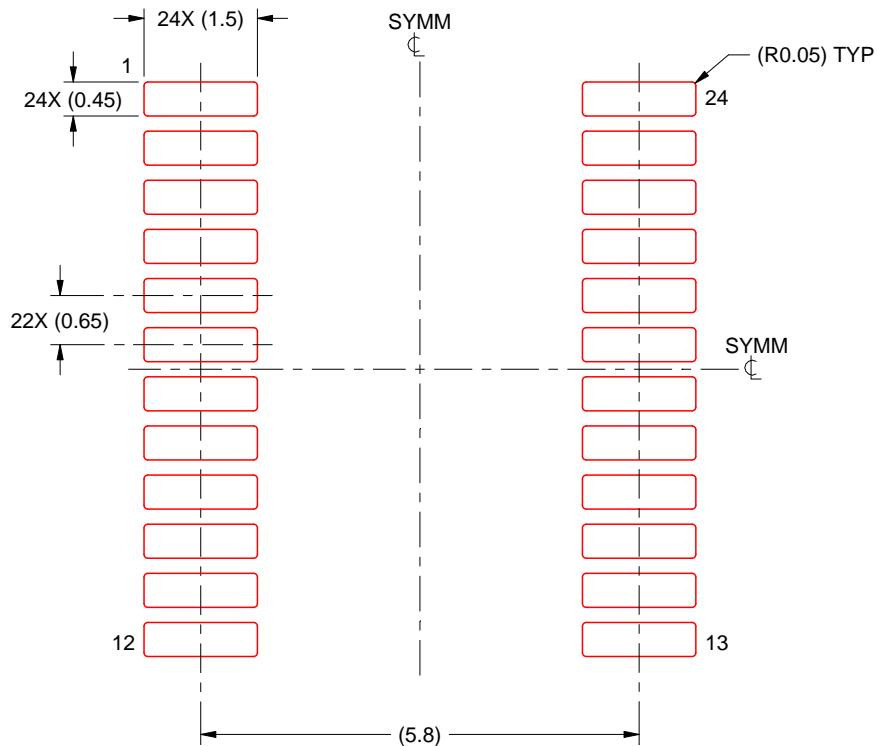
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

PW0024A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 10X

4220208/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月