TCA9517A レベル変換 I^2C バス リピータ

1 特長

- 2 チャネルの双方向バッファ
- I^2C バスおよび SMBus 互換
- A 側の動作電源電圧範囲：0.9V～5.5V
- B 側の動作電源電圧範囲：2.7V～5.5V
- 0.9V ～ 5.5V から 2.7V ～ 5.5V の電圧レベル変換
- フットプリントと機能において PCA9515B を代替可能
- アクティブ HIGH のリピータ イネーブル入力
- オープン ドレインの I^2C I/O
- 5.5V 許容の I^2C およびイネーブル入力で、混在モードの信号動作に対応
- 標準モードおよびファースト モード I^2C デバイスおよび複数のマスタに対応
- 電源オフ時に I^2C ピンが高インピーダンス
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能
- JESD 22 を超える ESD 保護
  - 5500V、人体モデル (A114-A)
  - 200V、マシン モデル (A115-A)
  - 荷電デバイス モデルで 1000V (C101)

2 アプリケーション

- サーバー
- ルーター (テレコム スイッチング機器)
- 産業用機器
- 多くの I^2C ターゲットや長い PCB 配線を持つ製品

3 説明

TCA9517A は、I^2C および SMBus システム用の、レベルシフト機能付き双方向バッファです。混在モード アプリケーションで、低電圧（最低 0.9V）と、より高い電圧（2.7V～5.5V）との間の双方向電圧レベル変換（昇圧変換/降圧変換）を行います。このデバイスにより、I^2C および SMBus システムを拡張でき、レベル変換時にも性能劣化を防ぐことができます。

TCA9517A は、I^2C バス上でシリアル データ (SDA) 信号とシリアル クロック (SCL) 信号の両方をバッファするため、最大 400pF のバス容量を持つ 2 つのバスを I^2C アプリケーション内で接続できます。

TCA9517A は、次の 2 種類のドライバを備えています。(A 側ドライバと B 側ドライバ) を備えています。すべての入力と I/O は、デバイスの電源がオフのとき (V_{CCB} と V_{CCA} の両方またはどちらかが 0V)、5.5V までの過電圧を許容します。

TCA9517A は、競合レベル スレッショルド、V_{ILC} が TCA9517 よりも高いため、プルダウン能力が小さいスレーブに接続できます。

B 側のバッファ設計のタイプに起因して、本デバイスは、静的電圧オフセットを使用するデバイスと直列にして使用することはできません。これは、これらのデバイスがバッファされた LOW 信号を有効な LOW とは認識せず、バッファされた LOW として再伝搬しないことが理由です。

B 側のドライバは、2.7V ～ 5.5V で動作します。この内部バッファの出力 low レベルは約 0.5V ですが、出力が内部で low に駆動されるとき、入力電圧は出力 low レベルよりも 70mV 以上低い必要があります。より電圧の高い LOW 信号は、バッファされた LOW と呼ばれます。B 側の I/O が内部で LOW に駆動されるとき、この LOW は入力によって LOW と認識されません。この機能により、入力 LOW 条件が解除されたとき、ロックアップ状況が発生することが防止されます。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

A 側のドライバは 0.9V～5.5V で動作し、より大きな電流を駆動します。これらのドライバには、バッファされた LOW の機能 (または、静的なオフセット電圧) が必要ありません。つまり、B 側の LOW 信号は、A 側でほぼ 0V の LOW に変換され、低電圧ロジックの小さな電圧スイングにも対応できるということです。A 側の出力プルダウンがハード Low を駆動するようにし、入力レベルを 0.3 × V_{CCA} に設定することで、低電圧側の電源電圧が低いシステム (最小 0.9V) でより低い Low レベルが必要な場合に対応できます。

2 つ以上の TCA9517A の A 側を互いに接続することで、A 側を共通バスとして多くの回路構成を実現できます (図 8-2 および図 8-3 を参照)。また、A 側は静的または動的オフセット電圧を持つ他の任意のバッファに直接接続できます。複数の TCA9517A を A 側から B 側へ直列に接続できます。この場合、オフセット電圧の増加を考慮する必要はなく、タイム オブ フライト遅延のみを考慮すれば十分です。B 側からのバッファされた Low 電圧の関係で、TCA9517A を B 側から B 側に接続することはできません。B 側は、立ち上がり時間アクセラレータを持つデバイスには接続できません。

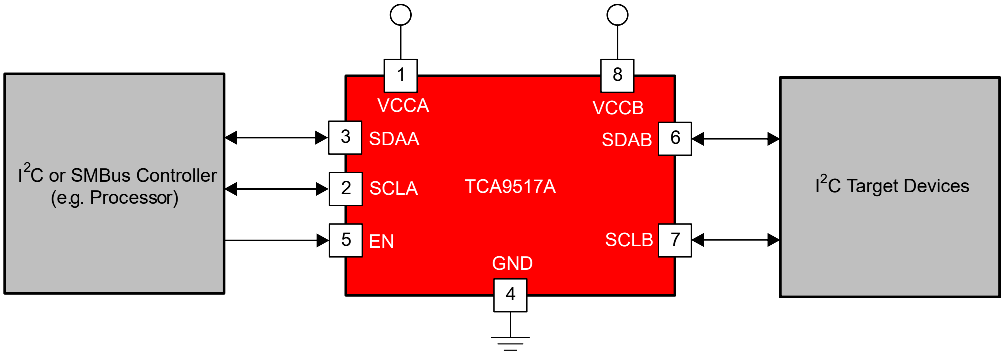
VCCA は、A 側の入力コンパレータに 0.3 × V_{CCA} の基準電圧を供給するためと、パワー グッド検出回路にのみ使用されます。TCA9517A のロジックおよびすべての I/O は、VCCB ピンから電力を供給されます。

標準の I^2C システムと同様に、バッファされたバスにロジック High レベルを与えるにはプルアップ抵抗が必要です。TCA9517A は、I^2C バスの標準的なオープン ドレイン構成を持っています。これらのプルアップ抵抗のサイズはシステムに依存しますが、リピータの各側にプルアップ抵抗が必要です。このデバイスは、SMBus デバイスに加えて、標準モードおよびファースト モードの I^2C デバイスとともに動作するよう設計されています。標準モードの I^2C デバイスは、一般的な I^2C システムで 3mA のみが規定されており、標準モード デバイスと複数のマスタを使用可能です。特定の条件では、より大きな終端電流を使用できます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TCA9517A	VSSOP (8)	3mm × 3mm

(1) 詳細については、セクション 13 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図

Copyright © 2025 Texas Instruments Incorporated

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 ピン構成および機能 ... 4
5 仕様 ... 5
5.1 絶対最大定格 ... 5
5.2 ESD 定格 ... 5
5.3 推奨動作条件 ... 5
5.4 熱に関する情報 ... 6
5.5 電気的特性 ... 7
5.6 タイミング要件 ... 8
5.7 I^2C インターフェイス スイッチング特性 ... 9
5.8 代表的特性 ... 10
6 パラメータ測定情報 ... 11
7 詳細説明 ... 12
7.1 概要 ... 12
7.2 機能ブロック図 ... 12
7.3 機能説明 ... 13
7.4 デバイスの機能モード ... 13
8 アプリケーションと実装 ... 14
8.1 アプリケーション情報 ... 14
8.2 代表的なアプリケーション ... 14
9 電源に関する推奨事項 ... 17
10 レイアウト ... 17
10.1 レイアウトのガイドライン ... 17
10.2 レイアウト例 ... 17
11 デバイスおよびドキュメントのサポート ... 19
11.1 ドキュメントの更新通知を受け取る方法 ... 19
11.2 サポート・リソース ... 19
11.3 商標 ... 19
11.4 静電気放電に関する注意事項 ... 19
11.5 用語集 ... 19
12 改訂履歴 ... 19
13 メカニカル、パッケージ、および注文情報 ... 20
13.1 テープおよびリール情報 ... 21
13.2 メカニカル データ ... 23

4 ピン構成および機能

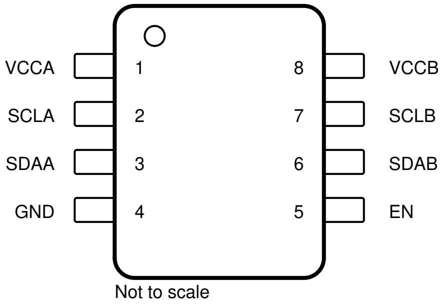


図 4-1. DGK パッケージ、8 ピン VSSOP (上面図)

表 4-1. ピンの機能

ピン		タイプ	説明
番号	名称		
1	VCCA	電源	A 側電源電圧 (0.9V ～ 5.5V)
2	SCLA	入力 / 出力	シリアルクロックバス、A 側。プルアップ抵抗を経由して V_{CCA} に接続します未使用の場合は、グランドに接続します。
3	SDAA	入力 / 出力	シリアルデータバス、A 側。プルアップ抵抗を経由して V_{CCA} に接続します未使用の場合は、グランドに接続します。
4	GND	グランド	グランド
5	EN	入力	アクティブ HIGH のリピータ イネーブル入力
6	SDAB	入力 / 出力	シリアルデータバス、B 側。プルアップ抵抗を経由して V_{CCB} に接続します未使用の場合は、グランドに接続します。
7	SCLB	入力 / 出力	シリアルクロックバス、B 側。プルアップ抵抗を経由して V_{CCB} に接続します未使用の場合は、グランドに接続します。
8	VCCB	電源	B 側およびデバイス電源電圧 (2.7V ～ 5.5V)

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
V_{CCB}	電源電圧範囲		-0.5	7	V
V_{CCA}	電源電圧範囲		-0.5	7	V
V_I	イネーブル入力電圧範囲(2)		-0.5	7	V
$V_{I/O}$	I^2C バス電圧範囲(2)		-0.5	7	V
I_{IK}	入力クランプ電流	$V_I < 0$		-50	mA
I_{OK}	出力クランプ電流	$V_O < 0$		-50	mA
I_O	連続出力電流			±50	mA
	V_{CC} または GND を通過する連続電流			±100	mA
T_{stg}	保管温度範囲		-65	150	°C

(1) 「*絶対最大定格*」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、「*推奨動作条件*」に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 入力と出力の電流の定格を順守しても、入力の負電圧と出力電圧の定格を超えることがあります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM) ANSI/ESDA/JEDEC JS-001 準拠(1)	±5500	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±1000	
		マシン モデル (A115-A)	±200	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

			最小値	最大値	単位
V_{CCA}	電源電圧、A サイド バス		0.9(2)	5.5	V
V_{CCB}	電源電圧、B サイド バス		2.7	5.5	V
V_{IH}	High レベル入力電圧	SDAA、SCLA	$0.7 \times V_{CCA}$	5.5	V
		SDAB、SCLB	$0.7 \times V_{CCB}$	5.5	
		EN	$0.7 \times V_{CCB}$	5.5	
V_{IL}	Low レベル入力電圧	SDAA、SCLA		$0.3 \times V_{CCA}$	V
		SDAB、SCLB(1)		$0.3 \times V_{CCB}$	
		EN		$0.3 \times V_{CCB}$	
I_{OL}	Low レベル出力電流			6	mA
T_A	外気温度での動作時		-40	85	°C

(1) V_{IL} の仕様は、SDAB および SCLB ラインから見られる最初の low レベルです。V_{ILc} は、SDAB および SCLB ラインで見られる二番目の low レベルのためのものです。V_{ILC} アプリケーションの詳細については、*セクション 8.2.2.2* を参照してください
(2) Low レベル電源電圧

Copyright © 2025 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準[(1)]		TCA9517A DGK (VSSOP) 8 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	187.6	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	59.3	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	108.6	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	3.4	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	106.9	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性

V_{CCB} = 2.7V ～ 5.5V、GND = 0V、T_J = -40°C ～ 85°C (特に記述の無い限り)

パラメータ			テスト条件	V_{CCB}	最小値	標準値	最大値	単位
V_{IK}	入力クランプ電圧		I_I = -18mA	2.7V ～ 5.5V			-1.2	V
V_{OL}	Low レベル出力電圧	SDAB、SCLB	I_{OL} =100μA または 6mA、V_{ILA} = V_{ILB} = 0V	2.7V ～ 5.5V	0.45	0.52	0.6	V
		SDAA、SCLA	I_{OL} = 6mA			0.1	0.2	
$V_{OL} – V_{ILc}$	Low レベル出力電圧より low レベル入力電圧	SDAB、SCLB	設計により保証されています	2.7V ～ 5.5V		70		mV
V_{ILC}	SDA と SCL の low レベル入力電圧競合	SDAB、SCLB		2.7V ～ 5.5V		0.45		V
I_{CC}	V_{CCA} の静止電源電流		両方のチャネルが low、SDAA = SCLA = GND および SDAB = SCLB = オープン、または SDAA = SCLA = オープン および SDAB = SCLB = GND				1	mA
I_{CC}	静止電源電流		両方のチャネルが high、SDAA = SCLA = V_{CCA} および SDAB = SCLB = V_{CCB} および EN = V_{CCB}	5.5V		1.5	5	mA
			両方のチャネルが low、SDAA = SCLA = GND および SDAB = SCLB = オープン			1.5	5	
			競合時は、SDAA = SCLA = GND および SDAB = SCLB = GND です			3	5	
I_I	入力リーク電流	SDAB、SCLB	V_I = V_{CCB}	2.7V ～ 5.5V			±1	μA
			V_I = 0.2V				10	
		SDAA、SCLA	V_I = V_{CCB}				±1	
			V_I = 0.2V				10	
		EN	V_I = V_{CCB}				±1	
			V_I = 0.2V			-10	-30	
I_{OH}	High レベルの出力リーク電流	SDAB、SCLB	V_O = 3.6V	2.7V ～ 5.5V			10	μA
		SDAA、SCLA					10	
C_I	入力容量	EN	V_I = 3V または 0V	3.3V		6	10	pF
		SCLA、SCLB	V_I = 3V または 0V	3.3V		8	13	
				0V		7	11	
C_{IO}	入力/出力ピンの容量	SDAA、SDAB	V_I = 3V または 0V	3.3V		8	13	pF
				0V		7	11	

Copyright © 2025 Texas Instruments Incorporated

5.6 タイミング要件

自由空気での推奨動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
t_{su}	セットアップ時間、開始条件の前に EN が high[(1)]	100		ns
t_h	ホールド時間、停止条件の後に EN が high[(1)]	100		ns

(1) EN の状態が変化するのは、グローバルバスとリピータポートがアイドル状態のときのみです。

Copyright © 2025 Texas Instruments Incorporated

5.7 I^2C インターフェイス スイッチング特性

V_{CCB} = 2.7V ~ 5.5V、GND = 0V、T_A = –40°C ~ 85°C、(特に記述の無い限り)[(1)] [(4)]

パラメータ			始点 (入力)	終点 (出力)	テスト条件	最小値	標準値[(5)]	最大値	単位
t_{PLZ}	伝搬遅延		SDAB、SCLB[(3)] (図 6-4 を参照)	SDAA、SCLA[(3)] (図 6-4 を参照)		80	141	350	ns
			SDAA、SCLA[(2)] (図 6-3 を参照)	SDAB、SCLB[(2)] (図 6-3 を参照)		25	74	110	
t_{PZL}	伝搬遅延		SDAB、SCLB	SDAA、SCLA	V_{CCA} ≤ 2.7V (図 6-2 を参照)	30	76[(6)]	110	ns
					V_{CCA} ≥ 3V (図 6-2 を参照)	10	86	230	
			SDAA、SCLA[(2)] (図 6-3 を参照)	SDAB、SCLB[(2)] (図 6-3 を参照)		60	107	230	
t_{TLH}	遷移時間	B 側から A 側に接続	80%	20%	V_{CCA} ≤ 2.7V (図 6-3 を参照)	10	12	15	ns
					V_{CCA} ≥ 3V (図 6-3 を参照)	40	42	45	
		A 側から B 側 (図 6-2 を参照)				110	125	140	
t_{THL}	遷移時間	B 側から A 側に接続	80%	20%	V_{CCA} ≤ 2.7V (図 6-3 を参照)	1	52[(6)]	105	ns
					V_{CCA} ≥ 3V (図 6-3 を参照)	20	67	175	
		A 側から B 側 (図 6-2 を参照)				30	48	90	

(1) 時間は、B 側に 1.35kΩ のプルアップ抵抗および 50pF の負荷容量、A 側に 167Ω のプルアップ抵抗および 57pF の負荷容量を接続した条件で規定されています。負荷抵抗および容量によって RC 時定数が変化し、結果として伝搬遅延と遷移時間が変化します。
(2) A 側から B 側への比例遅延データは、A 側で 0.3V_{CCA}、B 側で 1.5V まで測定されています。
(3) B 側から A 側への t_{PLH} 遅延データは、V_{CCA} が 2V 未満の場合は、B 側の 0.4V から A 側 の 0.5V_{CCA} まで、V_{CCA} が 2V を超える場合は A 側の 1.5V まで測定されます。
(4) プルアップ電圧は、A 側では V_{CCA}、B 側では V_{CCB} です。
(5) 特に記述のない限り、標準値は V_{CCA} = V_{CCB} = 3.3V で T_A = 25°C で測定されました。
(6) 代表値はすべて、V_{CCA} = 2.7V、T_A = 25°Cにおける値です

Copyright © 2025 Texas Instruments Incorporated

5.8 代表的特性

V_{CCA} = 0.9 V、V_{CCB} = 2.7 V

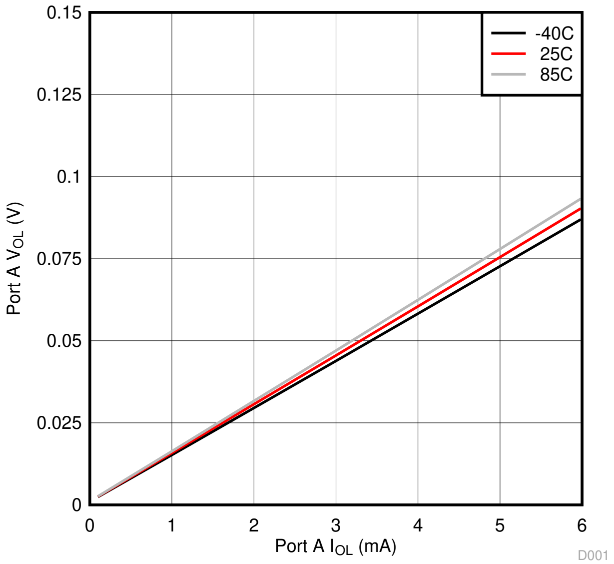


図 5-1. ポート A V_{OL} と I_{OL} の関係

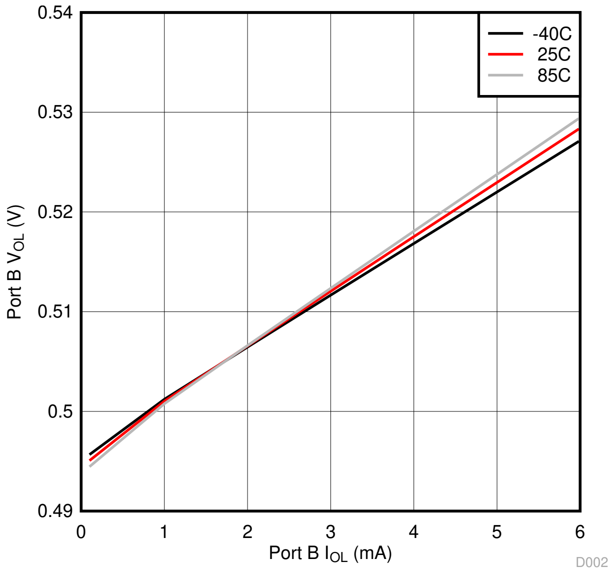
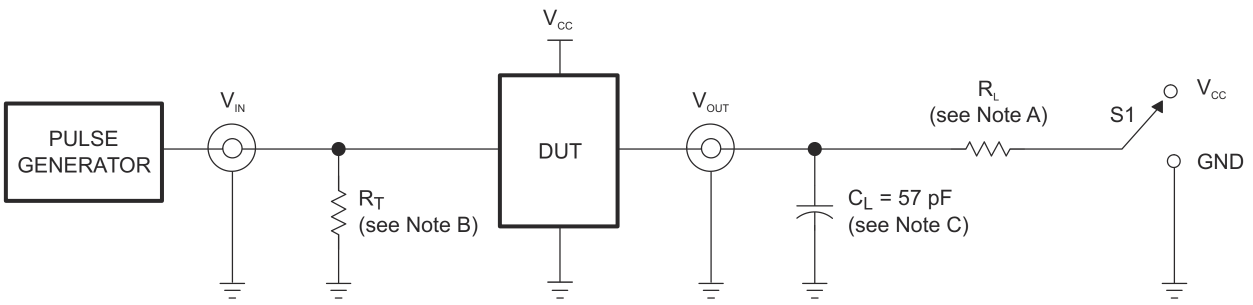


図 5-2. ポート B V_{OL} と I_{OL} の関係

Copyright © 2025 Texas Instruments Incorporated

6 パラメータ測定情報



TEST	S1
t_{PLZ}/t_{PZL}	V_{CC}

TEST CIRCUIT FOR OPEN-DRAIN OUTPUT

Copyright © 2017, Texas Instruments Incorporated

A. A 側の R_L = 167Ω (0.9V ～ 2.7V)、R_L = 450Ω (3.0V ～ 5.5V) および B 側の 1.35kΩ
B. R_T の終端抵抗はパルス発生器の Z_{OUT} と等しくする必要があります。
C. C_L にはプローブと治具の容量が含まれます。
D. すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≤ 10MHz、Z_O = 50Ω、スルーレート ≥ 1V/ns。
E. 出力は一度に 1 つずつ測定され、測定するたびに 1 回遷移します。
F. t_{PLH} と t_{PHL} は t_{pd} と同じです。
G. t_{PLZ} と t_{PHZ} は t_{dis} と同じです。
H. t_{PZL} と t_{PZH} は t_{en} と同じです。

図 6-1. テスト回路

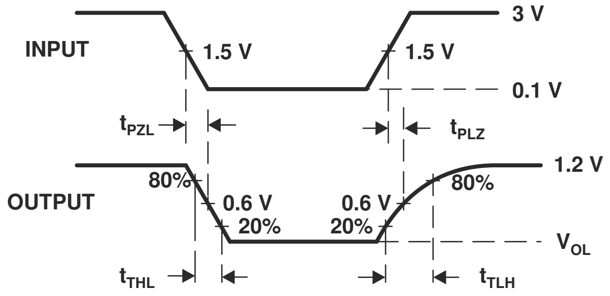


図 6-2. 波形 1 — B 側から A 側への伝搬遅延と遷移時間

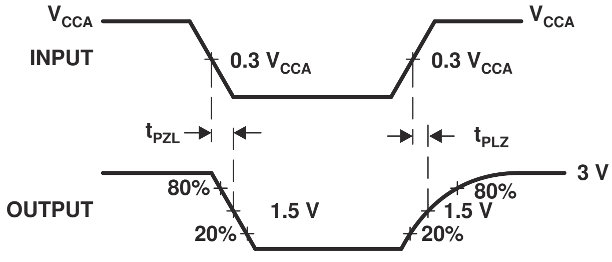


図 6-3. 波形 2 — A 側から B 側への伝搬遅延と遷移時間

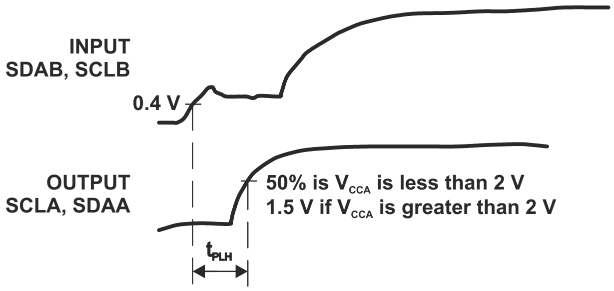


図 6-4. 波形 3 — B 側から A 側への伝搬遅延

7 詳細説明

7.1 概要

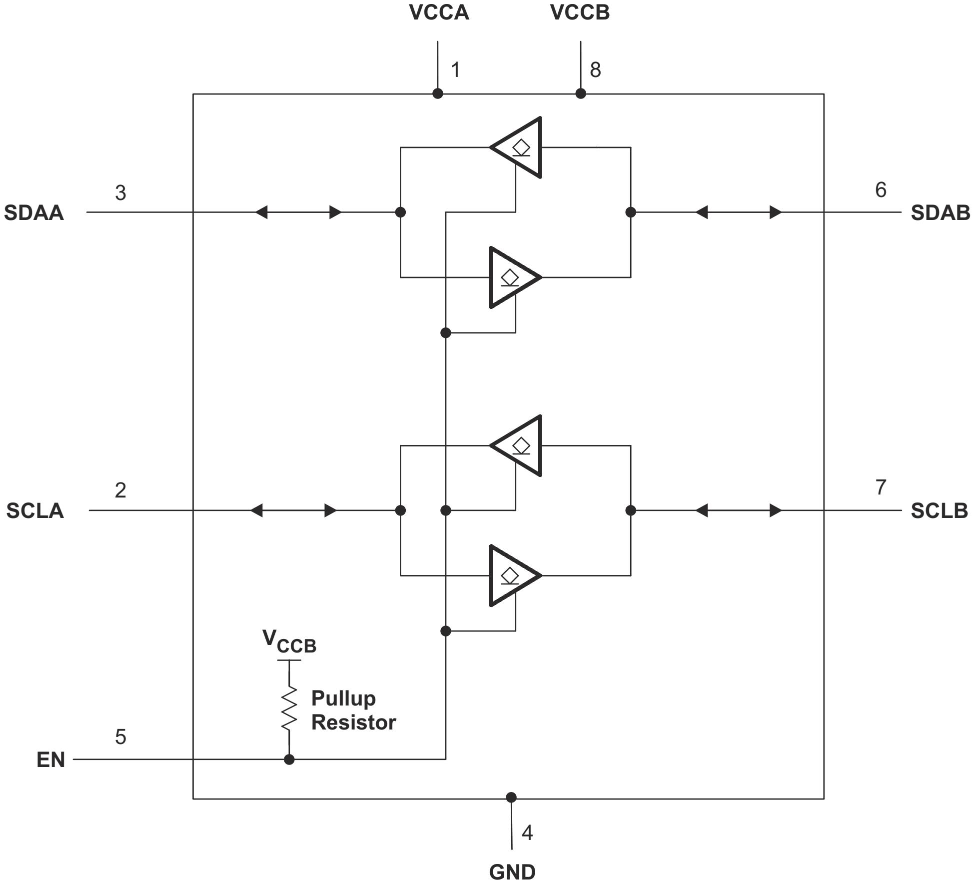
TCA9517A は、I²C および SMBus システム用の、レベル シフト機能付き双方向バッファです。混在モード アプリケーションで、低電圧 (最低 0.9V) と、より高い電圧 (2.7V～5.5V) との間の双方向電圧レベル変換 (昇圧変換/降圧変換) を行います。このデバイスにより、I²C および SMBus システムを拡張でき、レベル変換時にも性能劣化を防ぐことができます。

TCA9517A は、I²C バス上でシリアル データ (SDA) 信号とシリアル クロック (SCL) 信号の両方をバッファするため、最大 400pF のバス容量を持つ 2 つのバスを I²C アプリケーション内で接続できます。

TCA9517A は、次の 2 種類のドライバを備えています。(A 側ドライバと B 側ドライバ) を備えています。すべての入力と I/O は、デバイスの電源がオフのとき (V_{CCB} と V_{CCA} の両方またはどちらかが 0V)、5.5V までの過電圧を許容します。

TCA9517A は、競合レベル スレッショルド、V_{ILC} が TCA9517 よりも高いため、プルダウン能力が小さいスレーブに接続できます。

7.2 機能ブロック図



Copyright © 2025 Texas Instruments Incorporated

7.3 機能説明

7.3.1 2 チャネルの双方向バッファ

TCA9517A は、レベルシフト機能付きの二チャネル双方向バッファです

7.3.2 アクティブ HIGH のリピーター イネーブル入力

TCA9517A にはアクティブ high のイネーブル (EN) 入力があり、V_{CCB} までの内部プルアップを備えているため、ユーザーはリピータを有効にするタイミングを選択できます。これを使用して、パワーアップリセット時に不適切に動作するターゲットを分離できます。システムの故障を防止するため、グローバルバスとリピータポートがアイドル状態のときのみ、EN 入力の状態が変化する必要があります。

7.3.3 V_{OL} B 側オフセット電圧

B 側のドライバは、2.7V ～ 5.5V で動作します。この内部バッファの出力 low レベルは約 0.5V ですが、出力が内部で low に駆動されるとき、入力電圧は出力 low レベルよりも 70mV 以上低い必要があります。より電圧の高い LOW 信号は、バッファされた LOW と呼ばれます。B 側の I/O が内部で LOW に駆動されるとき、この LOW は入力によって LOW と認識されません。この機能により、入力 LOW 条件が解除されたとき、ロックアップ状況が発生することが防止されます。このタイプの設計により、2 つの B 側ポートが相互に接続されないようになっています。

7.3.4 標準モードとファースト モードのサポート

TCA9517A は、標準モードとファースト モードの I^2C をサポートしています。システムの最大動作周波数は、システム設計とリピータによる追加の遅延によって異なります。

7.3.5 クロック ストレッチングのサポート

TCA9517A はクロックストレッチングに対応できますが、ターゲットとコントローラとの間のハンドオフ時に発生するオーバーシュート電圧を最小限に抑えるように注意する必要があります。これは、プルアップ抵抗の値を大きくすることで最適です。

7.4 デバイスの機能モード

表 7-1. 機能表

入力 **EN**	機能
L	出力ディセーブル
H	SDAA = SDAB SCLA = SCLB

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

代表的なアプリケーション回路を 図 8-1 に示します。この例では、システムコントローラは 3.3V の I^2C バスで動作し、ターゲットは 1.2V の I^2C バスに接続されています。どちらのバスも 400kHz で動作します。コントローラデバイスは、どちらのバスにも配置できます。

TCA9517A は 5V に対応しているため、0.9V ～ 5.5V のバス電圧と 2.7V ～ 5.5V のバス電圧の間で変換を行うための追加回路は必要ありません。

TCA9517A A 側が I^2C バスのドライバによって、プルロされると、コンパレータが 0.3 × V_{CCA} を下回るときの立ち下がりエッジを検出し、B 側の内部ドライバがオンになり、B 側は約 0.5V にプルダウンします。TCA9517A の B 側が低下したとき、最初に CMOS ヒステリシスタイプの入力が立ち下がりエッジを検出し、A 側の内部ドライバがオンになり、A 側のピンがグランドにプルダウンされます。代表的なアプリケーションで何が表示されるかを説明するには、図 8-3 および 図 8-4 を参照してください。図 8-1 のバスコントローラが TCA9517A 経由でターゲットに書き込みする場合、図 8-3 に示す波形が A バスで観測されます。ただし、high レベルが 0.9V まで低下して、アクノリッジ信号のオン / オフがわずかに遅延していることを除いて、これは通常の I^2C 送信と似ています。

TCA9517A の B 側バスでは、クロックおよびデータラインのグランドからの正のオフセットは、TCA9517A V_{OL} に等しい値になります。八番目のクロックパルスの後、データラインはターゲットデバイスの V_{OL} にプルされます。この例ではグランドに非常に近い値です。アクノリッジが終了すると、レベルは TCA9517A のドライバによって設定された low レベルまで短時間上昇し、A バス側は 0.3 × V_{CCA} を上回りその後 high に継続します。

8.2 代表的なアプリケーション

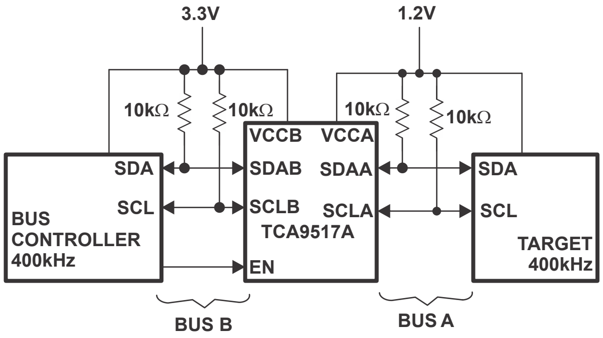


図 8-1. 代表的なアプリケーション回路図

8.2.1 設計要件

レベル変換アプリケーションでは、次の条件を満たす必要があります：

- V_{CCA} = 0.9V～5.5V
- V_{CCB} = 2.7V ～ 5.5V
- B 側ポートは互いに接続しないでください

Copyright © 2025 Texas Instruments Incorporated

8.2.2 詳細な設計手順

8.2.2.1 クロック ストレッチングのサポート

TCA9517A はクロックストレッチングに対応できますが、ターゲットとコントローラとの間のハンドオフ時に発生するオーバーシュート電圧を最小限に抑えるように注意する必要があります。これは、プルアップ抵抗の値を大きくすることで最適です。

8.2.2.2 V_{ILC} とプルアップ抵抗のサイズ設定

TCA9517A を正常に機能させるには、B 側のすべてのデバイスが、電圧入力 low 競合レベル (V_{ILC}) よりも B 側をプルできる必要があります。これは、B 側の任意のデバイスの V_{OL} が 0.45V 未満である必要があることを意味します。

デバイスの V_{OL} は、プルアップ抵抗値によって設定される I_{OL} を変更することで調整できます。ロジックレベルが A 側に正しく転送されるように、B 側のプルアップ抵抗を慎重に選択する必要があります。

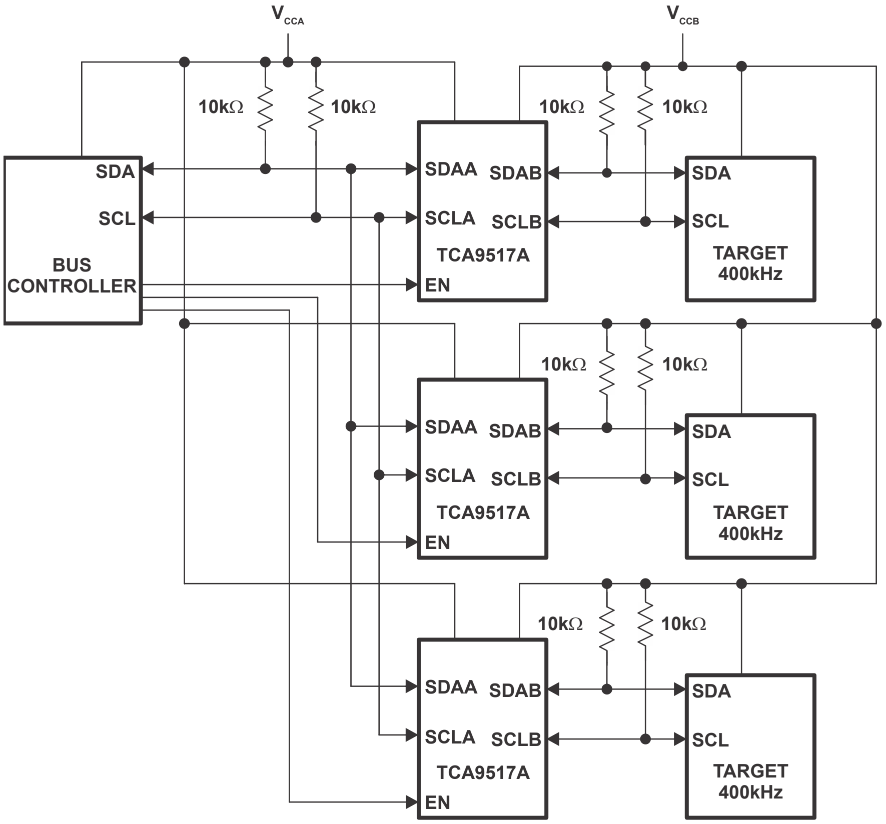


図 8-2. 代表的なスター アプリケーション

TCA9517A の複数の A 側をスター構成で接続できるため、すべてのノードが互いに通信できます。

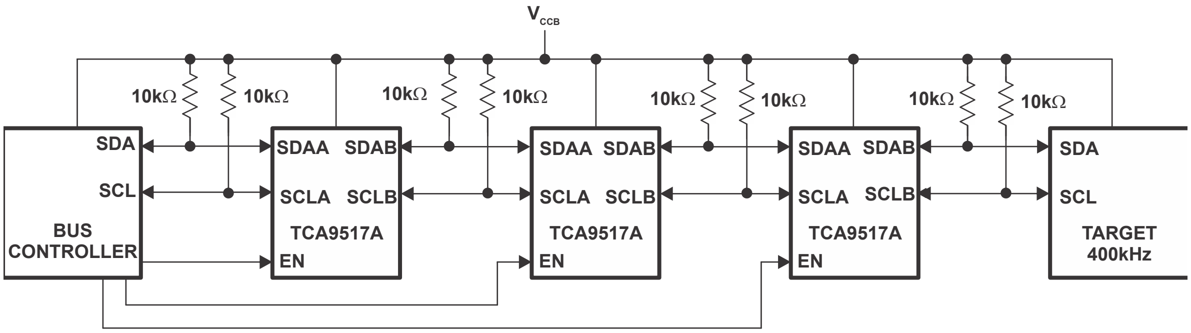


図 8-3. 代表的なシリーズ アプリケーション

長いパターン/ケーブルの I²C バスをさらに拡張するため、A 側が B 側に接続されている限り、複数の TCA9517A を直列に接続できます。I²C バスターゲットデバイスは、どのバスセグメントにも接続できます。直列に接続できるデバイスの数は、最大バス速度要件に関するリピータの遅延/タイム オブ フライトの考慮事項によって制限されます。

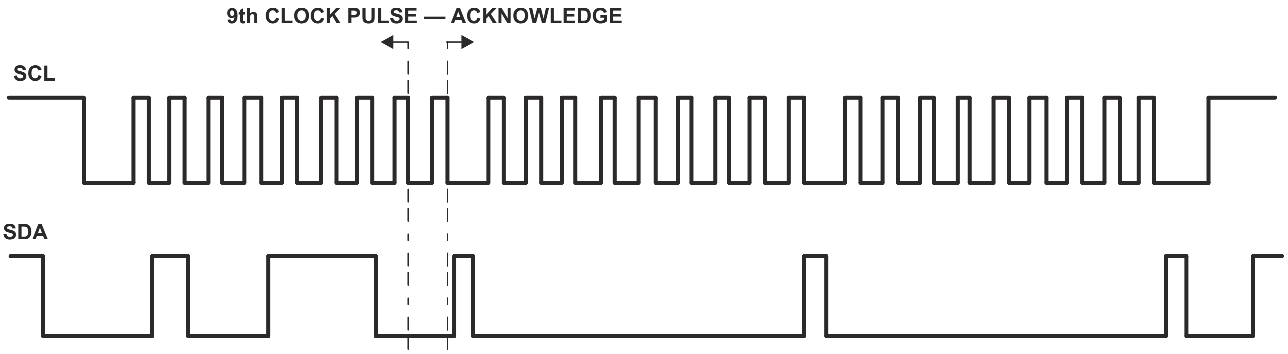


図 8-4. バス A (0.9V ~ 5.5V バス) の波形

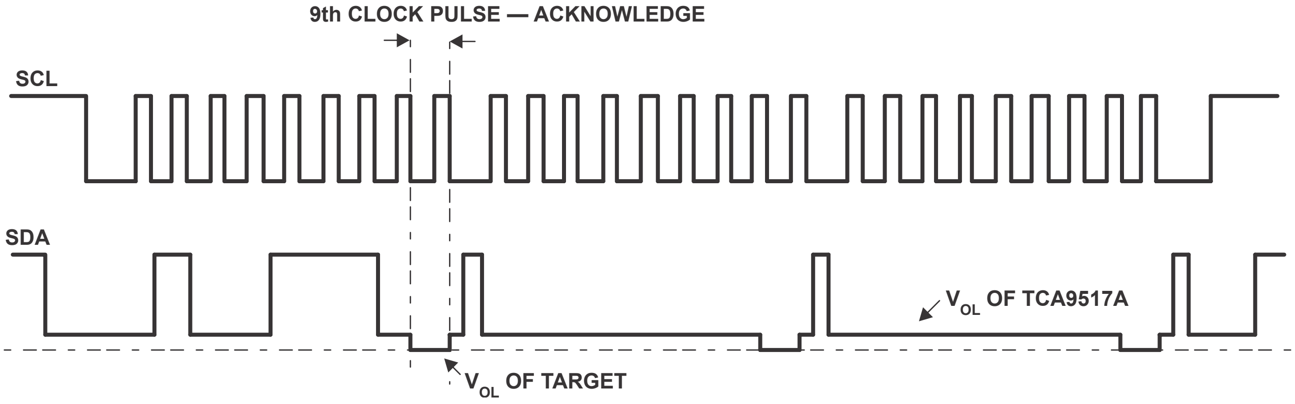


図 8-5. バス B (2.7V ~ 5.5V バス) の波形

Copyright © 2025 Texas Instruments Incorporated

8.2.3 アプリケーション曲線

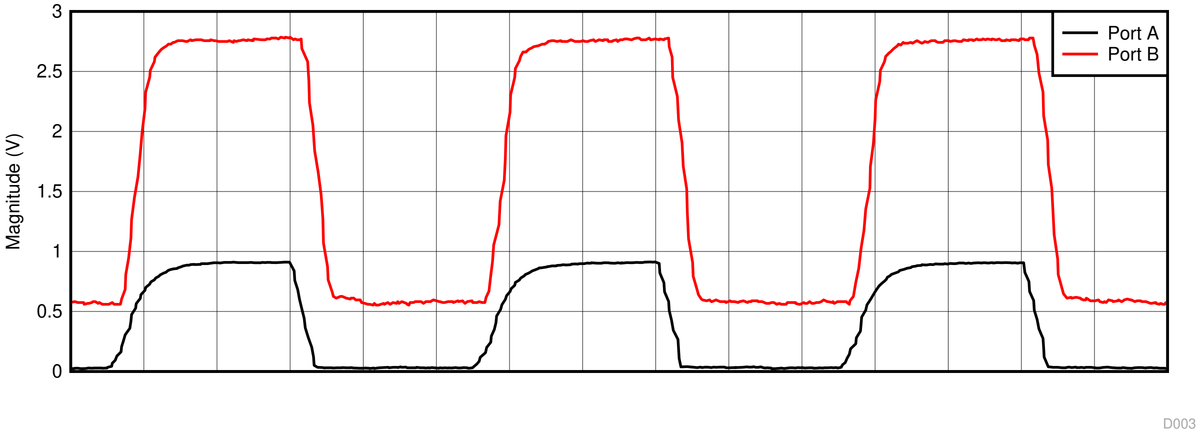


図 8-6. 400kHz での電圧変換、V_{CCA} = 0.9V、V_{CCB} = 2.7V

9 電源に関する推奨事項

V_{CCB} および V_{CCA} は、電源投入時に任意のシーケンスで適用できます。TCA9517A にはパワーアップ回路が内蔵されており、V_{CCB} が 2.5V を上回り、V_{CCA} が 0.8V を上回るまで、出力ドライバをオフに維持します。電源投入後かつ EN が high のとき、A 側 (0.3 × V_{CCA} 以下) が low レベルのとき、対応する B 側ドライバ (SDA または SCL) がオンになり、B 側が約 0.5V まで駆動されます。A 側が 0.3 × V_{CCA} を上回ると、B 側のプルダウン ドライバがオフになり、外付けプルアップ抵抗がピンを high にプルします。B 側が最初に低下して 0.3 × V_{CCB} を下回ると、A 側ドライバがオンになり、A 側が 0V にプルダウンされます。B 側のプルダウンは、B 側の電圧が 0.4V を下回るまでイネーブルになりません。B 側の low 電圧が 0.5V を下回らない場合、B 側の電圧が 0.7 × V_{CCB} を上回ると、A 側のドライバがオフになります。B 側の low 電圧が 0.4V を下回ると、B 側のプルダウンドライバがイネーブルになり、A 側が 0.3 × V_{CCA} を上回るまで、B 側はわずか 0.5V まで上昇します。

TI は,デカップリングコンデンサを使用し,約 100nF の VCCA および VCCB ピンの近くに置くことを推奨します。

10 レイアウト

10.1 レイアウトのガイドライン

TCA9517A には、特別なレイアウト手順はありません。デカップリング コンデンサは、可能な限り VCC ピンの近くに配置する必要があります。

10.2 レイアウト例

図 10-1 に、DGK パッケージの基板レイアウト例が示されています。

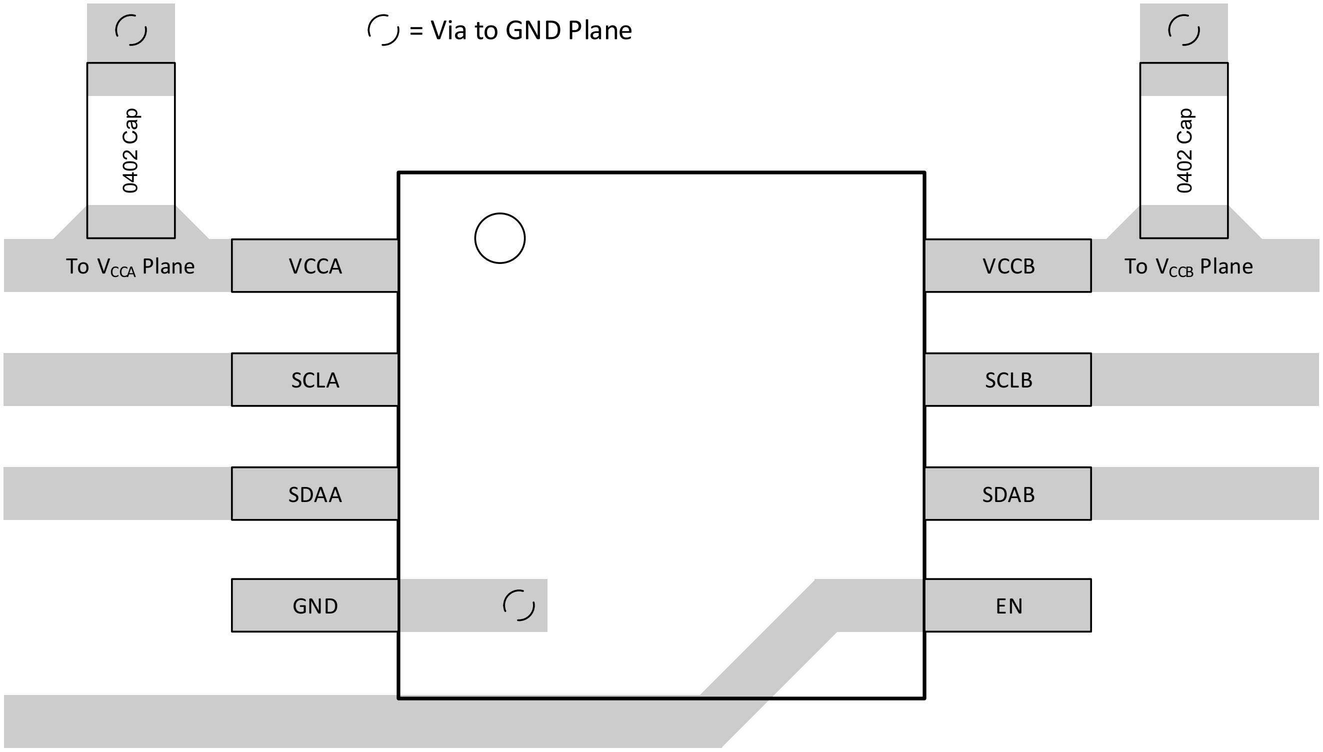


図 10-1. TCA9517A のレイアウト例

Copyright © 2025 Texas Instruments Incorporated

11 デバイスおよびドキュメントのサポート

11.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

11.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

11.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

11.4 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

12 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (September 2024) to Revision E (October 2025) — **Page**

- 「パッケージ情報」表を更新 1
- テープおよびリール情報を更新 21

Changes from Revision C (December 2018) to Revision D (September 2024) — **Page**

- テープおよびリール情報を更新 21
- メカニカル データを更新 23

Changes from Revision B (June 2015) to Revision C (December 2018) — **Page**

- DGK のピン配置画像の外観を変更 4
- *設計要件の*一覧から $V_{CCA} < V_{CCB}$ を削除しました 14

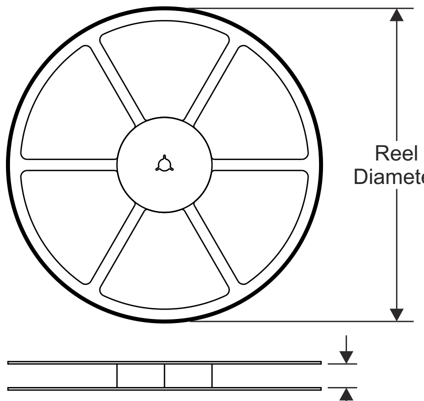
Changes from Revision A (April 2013) to Revision B (June 2015)	Page
• 「*ピン構成および機能*」セクション、「*ESD 定格*」表、「*機能説明*」セクション、「*デバイスの機能モード*」セクション、「*アプリケーションと実装*」セクション、「*電源に関する推奨事項*」セクション、「*レイアウト*」セクション、「*デバイスおよびドキュメントのサポート*」セクション、「*メカニカル、パッケージ、および注文情報*」セクションを追加	1

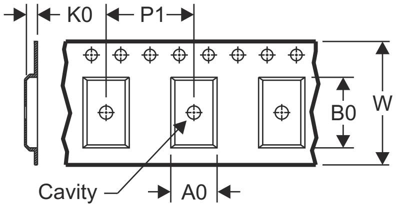
13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

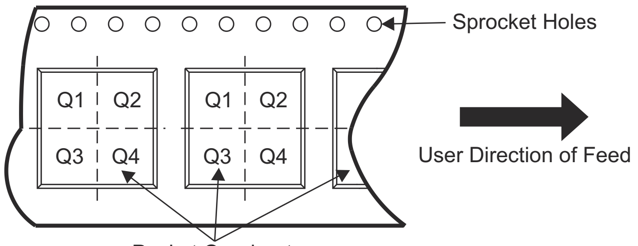
Copyright © 2025 Texas Instruments Incorporated

13.1 テープおよびリール情報



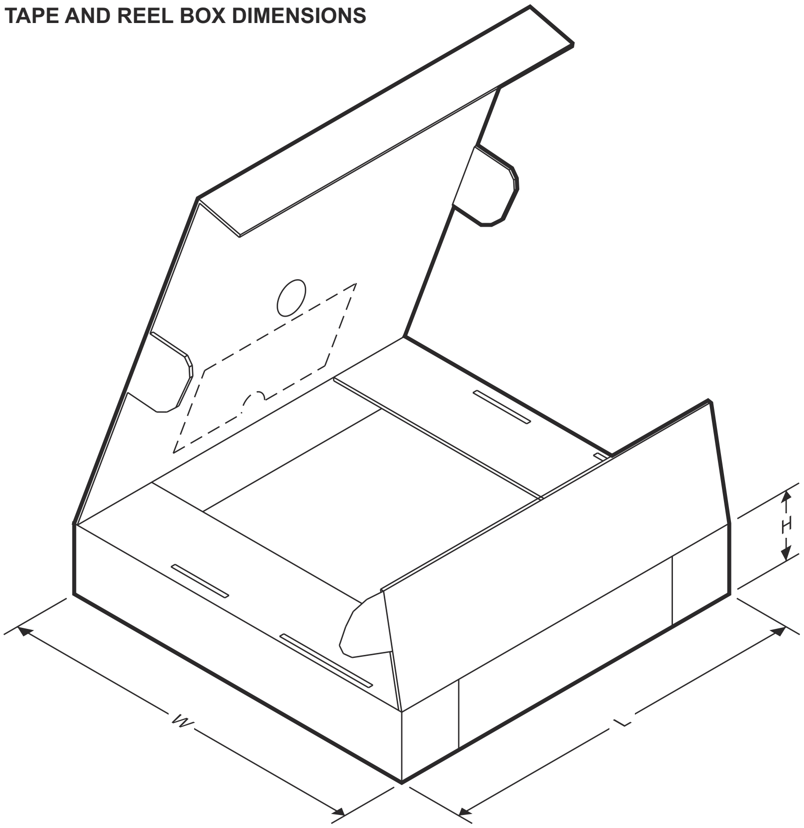


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	リール直径 (mm)	リール幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の象限
TCA9509MRVHR	X2QFN	RVH	8	5000	180.0	8.4	1.8	1.8	0.5	4.0	8.0	Q1
TCA9509RVHR	X2QFN	RVH	8	5000	180.0	8.4	1.8	1.8	0.5	4.0	8.0	Q3
TCA9509DGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

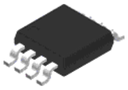
TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージ タイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
TCA9509MRVHR	X2QFN	RVH	8	5000	183.0	183.0	20.0
TCA9509RVHR	X2QFN	RVH	8	5000	202.0	201.0	28.0
TCA9509DGKR	VSSOP	DGK	8	2500	364.0	364.0	27.0

Copyright © 2025 Texas Instruments Incorporated

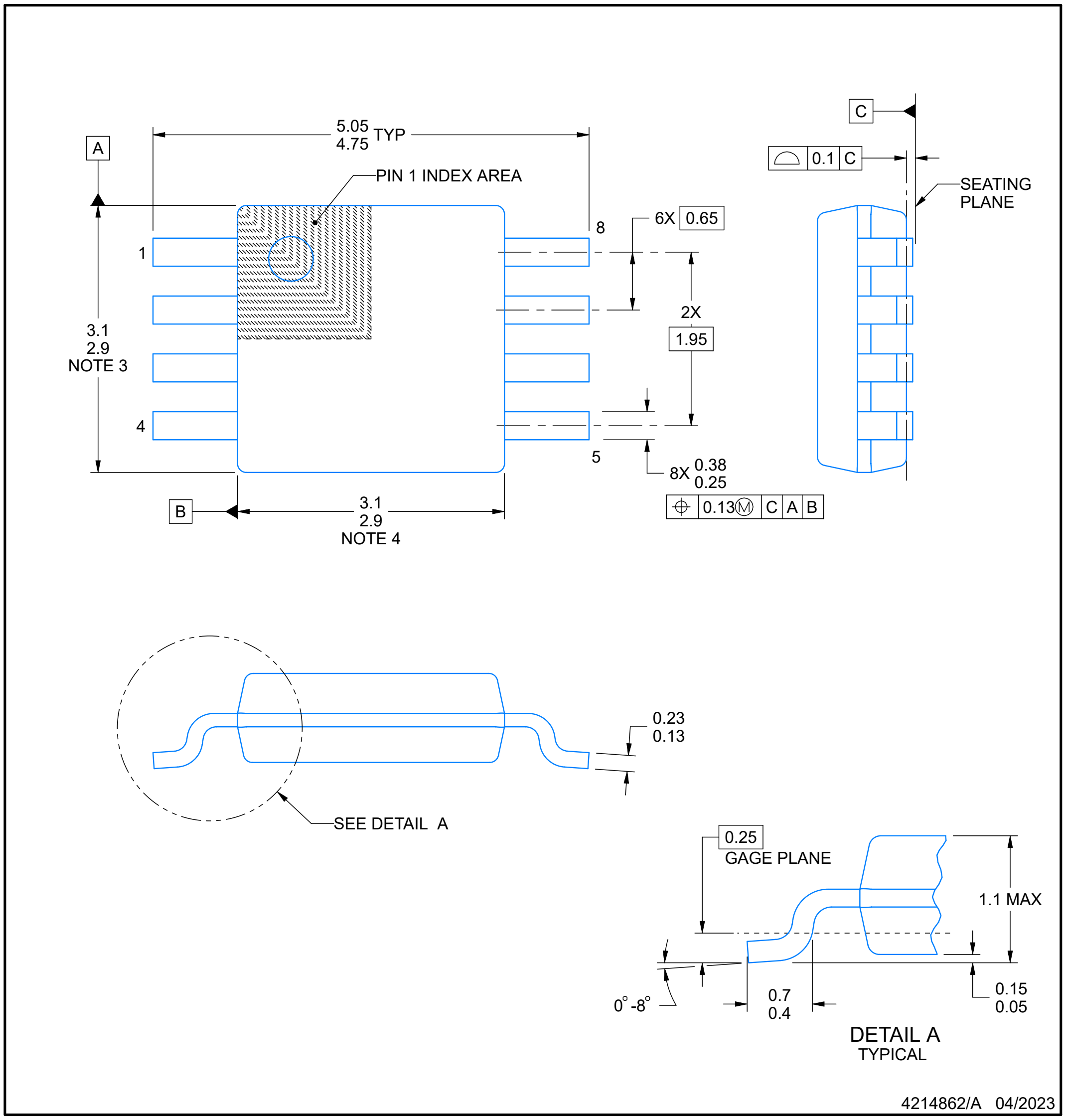
13.2 メカニカル データ



PACKAGE OUTLINE

DGK0008A **VSSOP - 1.1 mm max height**

SMALL OUTLINE PACKAGE



PowerPAD is a trademark of Texas Instruments.

NOTES:

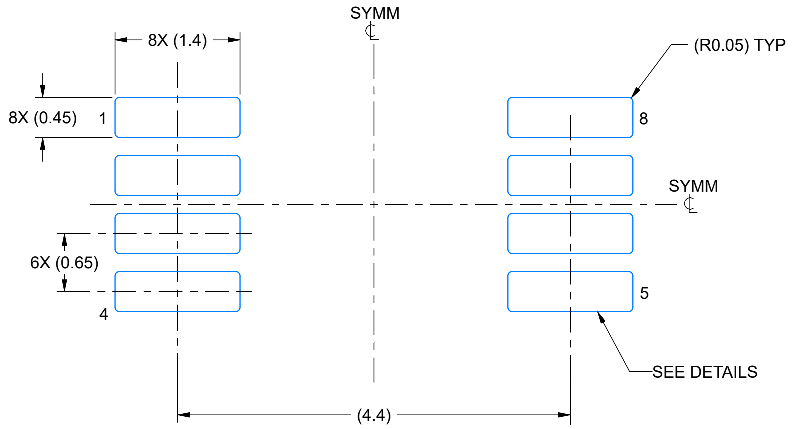
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

www.ti.com

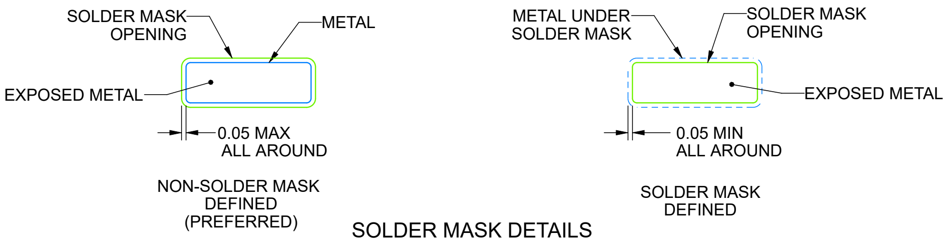
EXAMPLE BOARD LAYOUT

DGK0008A ™ **VSSOP - 1.1 mm max height**

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

TEXAS INSTRUMENTS
www.ti.com

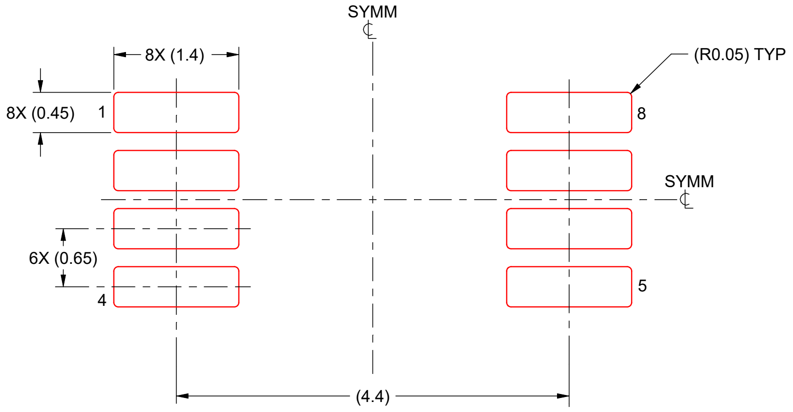
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TCA9517ADGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN | NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	BSK
TCA9517ADGKR.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	BSK

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月