

TAS6754-Q1 1L 変調、2MHz デジタル入力の 4 チャンネル車載用 Class-D オーディオアンプ、電流センス機能およびリアルタイム負荷診断機能を搭載

1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
 - 温度グレード 1: -40°C ~ +125°C, T_A
- 一般的な動作
 - 4.5V ~ 19V の電源電圧、40V の負荷ダンブ
 - 低レイテンシ・パスにより、48kHz 時にグループ遅延を 70% 以上低減
 - 1.8V および 3.3V I/O をサポート
 - 8 つのアドレス オプションを持つ I²C 制御
- 1L 変調
 - 必要なのは、チャンネルごとに 1 つのインダクタのみ。これにより、従来の設計に比べ 4 つのインダクタを節約できます
 - インダクタのシステム部品コストを低減できます
 - PCB フットプリントの小型化
- オーディオ性能
 - THD+N 0.03% 未満 (4Ω, 1W, 1kHz)
 - 出力ノイズ: 14.4V で 35μV_{RMS}, A 特性
 - 効率 > 87% @ 4×25W, 4Ω, 14.4V
- I²S または TDM により、チャンネルごとの出力電流検出
 - 外付け回路は不要です
- リアルタイムの負荷診断
 - オーディオ再生中に出力状態を監視
 - 開放負荷および短絡負荷の検出
- DC および AC スタンバイ負荷の診断
- オーディオ入力
 - 2-4 チャンネルの I²S 入力または 4-16 チャンネルの TDM 入力
 - 入力サンプルレート: 44.1、48、96、192kHz
- オーディオ出力
 - 4 チャンネルのブリッジ接続負荷 (BTL)、
 - 2MHz の出力スイッチング周波数
 - 4×30W (4Ω, 14.4V, 1kHz, 10% THD+N)
 - 4×50W (2Ω, 14.4V, 1kHz, 10% THD+N)
- 高度なスペクトラム拡散機能と選択可能な位相オフセット
- 保護および監視
 - サイクル単位の電流制限
 - 出力短絡保護
 - 設定可能なスレッショルド付きのクリップ検出
 - サーマル フォールドバックと PVDD フォールドバック
 - I²C による温度と電源電圧の読み出し
 - 過熱警告と個別チャンネルのシャットダウンを設定可能

– DC オフセット、低電圧、過電圧

2 アプリケーション

- 車載用ヘッドユニット
- 車載用外部アンプ
- 車両接近通報装置 (AVAS)

3 概要

TAS6754-Q1 は、4 チャンネルのデジタル入力 Class-D オーディオアンプで、BTL チャンネルごとに インダクタが 1 個のみ必要な 1L 変調を実装し、従来のソリューションに比べてインダクタを 4 個減らし、システム サイズとコストを削減します。さらに、従来の Class-D 変調方式に比べて、1L 変調はスイッチング損失を低減します。

TAS6754-Q1 は、DC および AC 負荷の診断機能を内蔵しており、接続されている負荷の状態を判定できます。オーディオの再生中、電流センスによってこの状態を監視できます。これは各チャンネルに対して利用可能で、TDM により最小限の遅延で測定値をホスト プロセッサに報告します。このデバイスは、ホストおよびオーディオ入力から独立したリアルタイム負荷診断機能によって、オーディオ再生中に出力負荷状態を監視します。

TAS6754-Q1 デバイスには各チャンネルに追加の低レイテンシの信号パスがあり、48kHz での信号処理を最大 70% 高速化できるので、時間に制約のあるアクティブ ノイズ キャンセル (ANC)、ロード ノイズ キャンセル (RNC) アプリケーションを実現できます。

このデバイスは、I²C 読み出しにより、全体的な温度、チャンネル温度、PVDD の値をサポートしているため、システムレベルの熱管理を簡単にします。

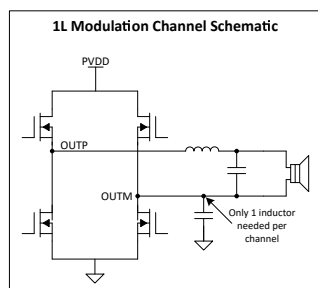
このデバイスは、サーマル パッドが上面に露出した 56 ピン HSSOP パッケージで供給されます。

製品情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
TAS6754-Q1	HSSOP (56)	18.42mm × 10.35mm

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。





簡素化されたチャネル回路図

目次

1 特長.....	1	7.4 デバイスの機能モード.....	38
2 アプリケーション.....	1	7.5 プログラミング.....	42
3 概要.....	1	8 アプリケーション情報に関する免責事項.....	46
4 ピン構成および機能.....	4	8.1 アプリケーション情報.....	46
5 仕様.....	6	8.2 代表的なアプリケーション.....	47
5.1 絶対最大定格.....	6	8.3 レイアウト.....	49
5.2 推奨動作条件.....	7	9 デバイスおよびドキュメントのサポート.....	52
5.3 ESD 定格.....	7	9.1 ドキュメントのサポート.....	52
5.4 熱に関する情報.....	7	9.2 ドキュメントの更新通知を受け取る方法.....	52
5.5 電気的特性.....	8	9.3 サポート・リソース.....	52
5.6 代表的特性.....	11	9.4 商標.....	52
6 パラメータ測定情報.....	16	9.5 静電気放電に関する注意事項.....	52
7 詳細説明.....	17	9.6 用語集.....	52
7.1 概要.....	17	10 改訂履歴.....	52
7.2 機能ブロック図.....	18	11 メカニカル、パッケージ、および注文情報.....	53
7.3 機能説明.....	19		

4 ピン構成および機能

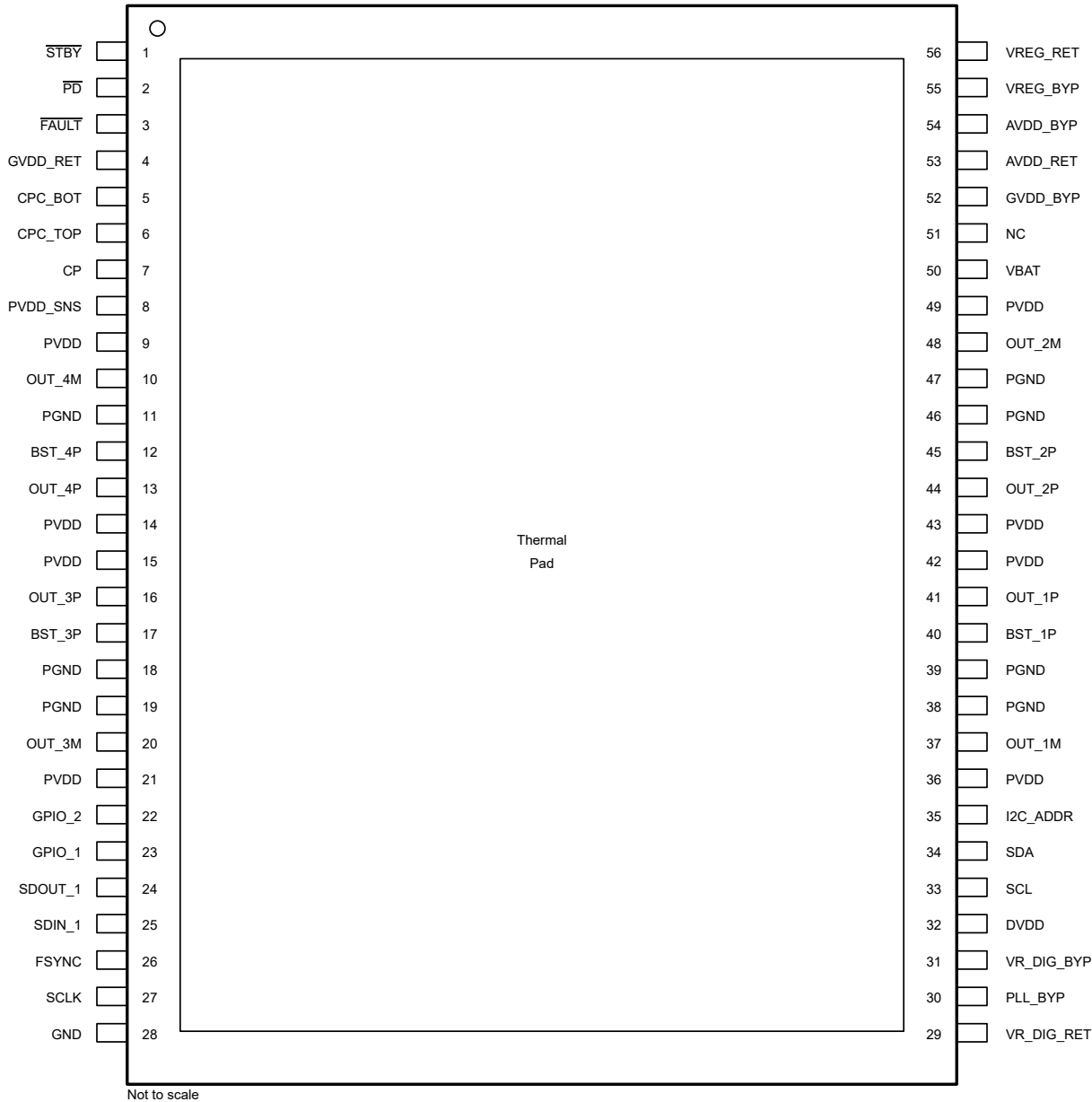


図 4-1. DKQ パッケージ 56 ピン HSSOP 露出サーマルパッド付き 上面図

表 4-1. ピンの機能

ピン		I/O ⁽¹⁾	説明
名称	番号		
AVDD_BYP	54	PWR	電圧レギュレータのバイパス。1μF コンデンサを AVDD_BYP から AVDD_RET に接続します
AVDD_RET	53	PWR	AVDD バイパスコンデンサのリターン
BST_1P	40	PWR	ハイサイド ゲートドライバ用ブートストラップ コンデンサ接続ピン
BST_2P	45	PWR	ハイサイド ゲートドライバ用ブートストラップ コンデンサ接続ピン
BST_3P	17	PWR	ハイサイド ゲートドライバ用ブートストラップ コンデンサ接続ピン
BST_4P	12	PWR	ハイサイド ゲートドライバ用ブートストラップ コンデンサ接続ピン
CP	7	PWR	チャージポンプ用メインストレージコンデンサの上部。330nF のコンデンサをピンから PVDD に接続

表 4-1. ピンの機能 (続き)

ピン		I/O ⁽¹⁾	説明
名称	番号		
CPC_BOT	5	PWR	チャージポンプ用フライングコンデンサの下部。100nF のコンデンサをピンから CPC_TOP ピンに接続
CPC_TOP	6	PWR	チャージポンプ用フライングコンデンサの上部 100nF のコンデンサをピンから CPC_BOT ピンに接続
DVDD	32	PWR	DVDD 電源入力
FAULT	3	DO	フォルト(アクティブ LOW、オープンドレイン)を通知、100kΩ 内部プルアップ抵抗
FSYNC	26	DI	オーディオフレームクロック入力
GND	28	GND	グランド
GPIO_1	23	DI/O	汎用 IO、レジスタプログラミングにより機能を設定
GPIO_2	22	DI/O	汎用 IO、レジスタプログラミングにより機能を設定
GVDD_BYP	52	PWR	VBAT 入力ピンから導かれるゲート駆動電圧レギュレータ。2.2μF コンデンサを GVDD_RET に接続
GVDD_RET	4	PWR	GVDD バイパスコンデンサのリターン
I2C_ADDR	35	DI	I ² C アドレス ピン
NC	51	NC	内部接続なし未接続のままにするか、グランドに接続。
OUT_1M	37	PWR	チャネルの負の出力
OUT_1P	41	PWR	チャネルの正の出力
OUT_2M	48	PWR	チャネルの負の出力
OUT_2P	44	PWR	チャネルの正の出力
OUT_3M	20	PWR	チャネルの負の出力
OUT_3P	16	PWR	チャネルの正の出力
OUT_4M	10	PWR	チャネルの負の出力
OUT_4P	13	PWR	チャネルの正の出力
PD	2	DI	消費電力最小化用デバイスのシャットダウン(アクティブ LOW)、110kΩ 内部プルダウン抵抗
PGND	11,18,19,38,39,46,47	GND	グランド
PLL_BYP	30	PWR	DVDD 入力由来の PLL 電源バイパス
PVDD	9,14,15,21,36,42,43,49	PWR	PVDD 電圧入力(バッテリーに接続可能)
PVDD_SNS	8	PWR	センシティブな内部回路用の PVDD 入力。PVDD と同じ電圧レベルに維持
SCL	33	DI	I ² C クロック入力
SCLK	27	DI	オーディオ入力シリアルクロック
SDA	34	DI/O	I ² C データ入出力
SDIN_1	25	DI	チャネル 1 および 2 の TDM データ入力およびオーディオ I ² S データ入力
SDOUT_1	24	DO	I ² S / TDM データ出力
STBY	1	DI	低消費電力 DEEP SLEEP 状態(アクティブ Low)の有効化、110kΩ 内部プルダウン抵抗
VBAT	50	PWR	バッテリー電圧入力
VR_DIG_BYP	31	PWR	DSP コアレギュレータ出力。1μF を GND に接続
VR_DIG_RET	29	PWR	VR_DIG バイパスコンデンサのリターン
VREG_BYP	55	PWR	5V 内部電圧レギュレータ
VREG_RET	56	PWR	VREG バイパスコンデンサのリターン
サーマル パッド	-	GND	デバイスの電気的および熱的接続を提供。ヒートシンクは GND に接続する必要があります。

(1) DI = デジタル入力、DO = デジタル出力、DI/O = デジタル入力/出力、GND = グランド、NC = 接続なし、NO = 負の出力、PO = 正の出力、PWR = 電源

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

			最小値	最大値	単位
PVDD, VBAT	GND に対する DC 電源電圧範囲		-0.3	30	V
V _{MAX}	過渡電源電圧 - PVDD, VBAT	t ≤ 400ms の曝露	-1	40	V
V _{RAMP}	電源電圧ランプレート - PVDD, VBAT			75	V/ms
DVDD	GND に対する DC 電源電圧範囲		-0.3	3.9	V
I _{MAX}	ピンあたりの最大電流 - PVDD, VBAT, GND, OUT_xP, OUT_xM			±9	A
I _{MAX_PULSED}	PVDD ピンあたりのパルス電源電流 (1 ショット)	t < 100ms		±12	A
I _{MAX_Peak}	ピン OUT_xP, OUT_xM あたりの最大ピーク電流	t < 100ms		±12	A
V _{LOGIC}	ロジックピンの入力電圧 - SCL, SDA, FAULT, STBY, GPIOx		-0.3	DVDD + 0.5	V
V _{GND}	GND ピン間の最大電圧			±0.3	
T _J	最大動作時の接合部温度範囲		-55	175	°C
T _{stg}	保管温度範囲		-55	150	

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 推奨動作条件

			最小値	標準値	最大値	単位
PVDD	FET 出力 電源電圧範囲	GND に対する相対値	4.5	14.4	19	V
VBAT	バッテリー電源電圧入力	GND に対する相対値	4.5	14.4	19	V
DVDD	DC ロジック電源	GND に対する相対値	1.62		3.6	V
T _A	周囲温度		-40		125	°C
T _J	接合部温度	適切な熱設計が必要	-40		175	
R _L	スピーカの公称負荷インピーダンス	BTL モード	2	4		Ω
R _{PU_I2C}	SDA および SCL ピンの I ² C ブルアップ抵抗		1	4.7	10	kΩ
C _{Bypass}	バイパスピンの外部容量	ピン 30、31、32、54、55		1		μF
C _{GVDD}	GVDD ピンの外部容量	ピン 52		2.2		μF
L _O	OUTP 出力フィルタのインダクタンス - I _{SD}	I _{SD} 電流レベルでの最小出力フィルタのインダクタンス。グラウンド短絡または電源保護に適用。	1			μH

5.3 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾	±3500	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠 すべてのピン	±1000	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		TAS6754-Q1 ⁽²⁾	単位
R _{θJA}	接合部から周囲への熱抵抗	38.9	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	0.3	°C/W
R _{θJB}	接合部から基板への熱抵抗	17.1	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.2	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	16.6	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	-	°C/W

(1) 従来および最新の熱評価基準の詳細については、[半導体および IC パッケージの熱評価基準](#) アプリケーション レポートを参照してください。

(2) JEDEC 規格 4 層 PCB

5.5 電気的特性

試験条件 (特に注記のない限り): $T_C = 25^\circ\text{C}$ 、 $PVDD = 14.4\text{V}$ 、 $VBAT = 14.4\text{V}$ 、 $DVDD = 1.8\text{V}$ 、 $R_L = 4\Omega$ 、

$P_{out} = 1\text{W/ch}$ 、 $f_{out} = 1\text{kHz}$ 、 $F_{sw} = 2.048\text{MHz}$ 、AES17 フィルタ、再構成フィルタ インダクタを使用: $3.3\mu\text{H}$ -VCMT053T-3R3MN5 および $1\mu\text{F}$ 、デフォルトの I²C 設定+ 起動スクリプト、アプリケーション図を参照

パラメータ		テスト条件	最小値	標準値	最大値	単位
動作電流						
I _{DVDD}	DVDD 電源電流	再生中の全チャンネル、-60dB 信号		22	28	mA
		再生中の全チャンネル、-60dB 信号、DVDD = 3.3V		22		
I _{PVDD_IDLE}	PVDD アイドル電流	再生中の全チャンネル、オーディオ入力なし、F _{SW} = 2.048MHz		47	60	mA
I _{VBAT_IDLE}	VBAT アイドル電流	再生中の全チャンネル、オーディオ入力なし、F _{SW} = 2.048MHz		115	130	mA
I _{PVDD_Shutdown}	PVDD シャットダウン電流	PD̄ アクティブ、DVDD = 0V		4	5	μA
I _{VBAT_Shutdown}	VBAT シャットダウン電流	PD̄ アクティブ、DVDD = 0V		5	7	μA
I _{TOTAL_Shutdown}	PVDD+VBAT シャットダウン電流	PD̄ アクティブ、DVDD = 0V			12	μA
I _{DVDD_Shutdown}	DVDD シャットダウン電流	PD̄ アクティブ、DVDD = 1.8V		1	3	μA
		PD̄ アクティブ、DVDD = 3.3V		1	3	
出力電力						
P _{O_BTL}	チャンネルあたりの出力電力、BTL	4Ω、PVDD=14.4V、THD+N = 1%、T _C = 75°C	21	23		W
		4Ω、PVDD=14.4V、THD+N = 10%、T _C = 75°C	26	30		
		4Ω、PVDD=18V、THD+N = 1%、T _C = 75°C	33	37		
		4Ω、PVDD=18V、THD+N = 10%、T _C = 75°C	41	46		
		2Ω、PVDD = 14.4V、THD+N = 1%、T _C = 75°C	37	40		
		2Ω、PVDD = 14.4V、THD+N = 10%、T _C = 75°C	44	50		
EFF _p	高い電力効率	4 チャンネルの動作、チャンネルあたり 25W の出力電力、R _L = 4Ω、PVDD = 14.4V、T _C = 25°C (出力フィルタの損失を含む)		87		%
オーディオ性能						
V _n	出力ノイズ電圧	ゼロ入力、A-重み付け、14.4V の PVDD に合わせてゲイン = -5dB		35		μV
G	ゲイン	フルスケールデジタル入力時のピーク出力電圧		28		V/FS
THD+N	全高調波歪み + ノイズ			0.03		%
		20Hz ~ 20kHz		0.08		%
F _{BW}	周波数応答	20Hz ~ 20kHz、LC フィルタの影響または統合補償なし		0.5		dB
G _{MUTE}	出力減衰	MUTE をアサートし、4Ω で 1W オーディオを再生するアンプと比較		100		dB
クロストーク	チャンネルクロストーク	PVDD = 14.4Vdc、f = 1kHz	-90		-80	dB
PSRR	電源除去比	PVDD = 14.4Vdc + 1V _{RMS} 、f = 1kHz	-75			dB
デジタル入力ピン						
V _{IH}	入力ロジックレベル High		70		30	%DVDD
V _{IL}	入力ロジックレベル Low					
I _{IH}	入力ロジック電流	V _I = DVDD			15	μA
I _{IL}		V _I = 0			-15	
デジタル出力ピン						
V _{OH}	ロジックレベル High の出力電圧	I = ±1mA	90		10	%DVDD
V _{OL}	ロジックレベル Low の出力電圧					
V _{OH}	ロジックレベル High の出力電圧	DVDD = 3.3V、I = ±2mA	90			%DVDD
V _{OL}	ロジックレベル Low の出力電圧	DVDD = 3.3V、I = ±2mA			10	%DVDD
バイパス電圧						
V _{GVDD}	ゲートドライブ バイパスピン電圧			5		V
V _{AVDD_BYP} 、V _{VREG_BYP}	アナログバイパスピン電圧			5		V
V _{DVDD_BYP} 、V _{PLL_BYP} 、V _{VR_DIG}	デジタルレギュレータ ピン電圧			1.5		V
過電圧保護 (OV)						
PVDD _{OV_SET}	PVDD 過電圧シャットダウン設定		19.1	20	21	V
PVDD _{OV_HYS}	PVDD 過電圧回復ヒステリシス			0.5		V

試験条件 (特に注記のない限り): $T_C = 25^{\circ}\text{C}$ 、 $PVDD = 14.4\text{V}$ 、 $VBAT = 14.4\text{V}$ 、 $DVDD = 1.8\text{V}$ 、 $R_L = 4\Omega$ 、

$P_{\text{out}} = 1\text{W/ch}$ 、 $f_{\text{out}} = 1\text{kHz}$ 、 $F_{\text{sw}} = 2.048\text{MHz}$ 、AES17 フィルタ、再構成フィルタ インダクタを使用: $3.3\mu\text{H}$ -VCMT053T-3R3MN5 および $1\mu\text{F}$ 、デフォルトの $I^2\text{C}$ 設定+ 起動スクリプト、アプリケーション図を参照

パラメータ		テスト条件	最小値	標準値	最大値	単位
VBAT_OV_SET	VBAT 過電圧シャットダウン設定		19.1	20	22	V
VBAT_OV_HYS	VBAT 過電圧回復ヒステリシス			0.5		V
低電圧(UV)保護						
PVDD_UV_SET	PVDD 低電圧シャットダウン設定		3.5	4	4.5	V
PVDD_UV_HYS	PVDD 低電圧ヒステリシス			0.5		V
VBAT_UV_SET	VBAT 低電圧シャットダウン設定		3.5	4	4.5	V
VBAT_UV_HYS	VBAT 低電圧回復ヒステリシス			0.5		V
DVDD_UV_SET	DVDD 低電圧シャットダウン設定		1.4		1.59	V
パワーオンリセット (POR)						
V_POR_SET	DVDD パワーオンリセット 設定	DVDD の増加	0.9		1.51	V
V_POR_HYS	DVDD パワーオンリセット回復ヒステリシス			0.2		V
V_POR_OFF	DVDD 電源オフしきい値	DVDD の減少	0.5		1.3	V
過熱(OT)保護と温度センシング						
OTSD (I)	チャネルごとの過熱シャットダウン			175		°C
OTW	グローバル接合部過熱警告			135		°C
TOTSD	グローバル接合部過熱シャットダウン			155		°C
OT_HYS_Global	過熱回復ヒステリシス			15		°C
OT_HYS_Local	過熱回復ヒステリシス			15		°C
負荷過電流保護						
I_LIM	サイクルごとの過電流制限	OC レベル 1	2.5	3.5		A
		OC レベル 2	3.3	4.3		
		OC レベル 3	4.6	5.6		
		OC レベル 4	6.3	6.7		
I_SD	過電流シャットダウン	OC レベル 1、電源、グランド、その他のチャネルへの短絡		5		A
		OC レベル 2、電源、グランド、その他のチャネルへの短絡		6		
		OC レベル 3、電源、グランド、その他のチャネルへの短絡		8		
		OC レベル 4、電源、グランド、その他のチャネルへの短絡		9		
クリックおよびポップ						
V_CP_Multi	出力クリックおよびポップ電圧	ITU-R 2k フィルタ、Hi-Z ~ PLAY、PLAY ~ Hi-Z、マルチステップ ターンオン、PVDD = 14.4V		5		mV
DC オフセット						
V_OFFSET	出力オフセット電圧	T_C = 50°C		2	5	mV
DC 検出						
DC_FAULT	DC 出力フォルト保護		1.4	2	2.5	V
負荷診断						
S2P	OUT ピンから PVDD への短絡を検出するための最大抵抗		2000			Ω
S2G	OUT ピンからグランドへの短絡を検出するための最大抵抗		200			Ω
SL	短絡負荷検出の許容誤差	Hi-Z の他のチャネル		±0.5		Ω
OL	開放負荷(OL) 検出しきい値	Hi-Z の他のチャネル		40		Ω
AC_IMP	AC インピーダンス精度	f = 18.75kHz、R_L = 4Ω、出力ピンでのインピーダンス		±0.75		Ω
f_AC	AC 診断テストの周波数	デフォルト		18.75		kHz
I²C アドレス ビン LSB						
t_2C_ADDR	I²C アドレスの設定に必要な時間遅延			300		μs
I²C 制御ポート						
t_BUS	開始条件と停止条件間のバス開放時間		1.3			μs
t_h1	ホールド時間、SCL から SDA		0			ns

TAS6754-Q1

JAJSLH5A – DECEMBER 2024 – REVISED MARCH 2025

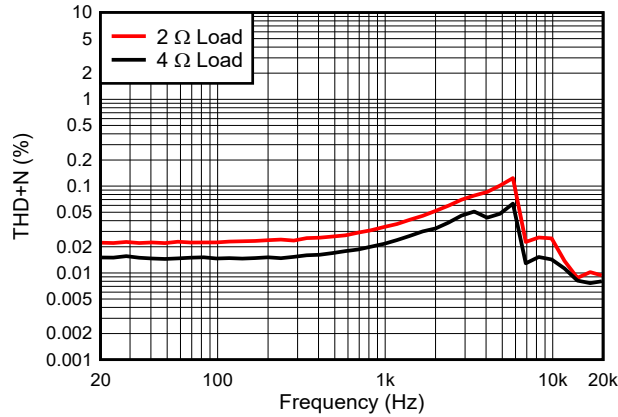
 試験条件 (特に注記のない限り) : $T_C = 25^{\circ}\text{C}$ 、 $PVDD = 14.4\text{V}$ 、 $VBAT = 14.4\text{V}$ 、 $DVDD = 1.8\text{V}$ 、 $R_L = 4\Omega$ 、

 $P_{out} = 1\text{W/ch}$ 、 $f_{out} = 1\text{kHz}$ 、 $F_{sw} = 2.048\text{MHz}$ 、AES17 フィルタ、再構成フィルタ インダクタを使用: $3.3\mu\text{H}$ -VCMT053T-3R3MN5 および $1\mu\text{F}$ 、デフォルトの I²C 設定+ 起動スクリプト、アプリケーション図を参照

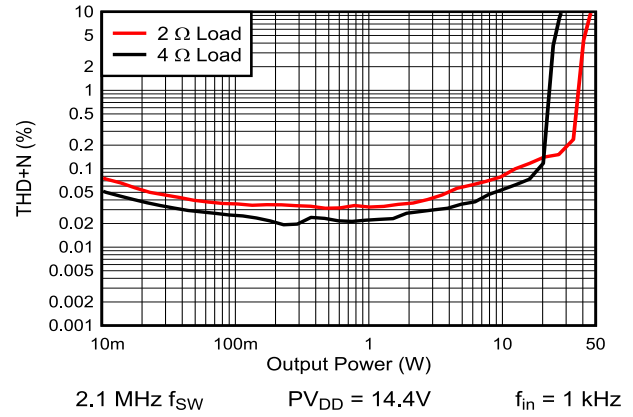
パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{h2}	ホールド時間、開始条件から SCL		0.6			μs
t_{START}	DVDD パワーオンリセット後の I ² C 起動時間				12	ms
t_{RISE}	SCL および SDA の立ち上がり時間				300	ns
t_{FALL}	SCL および SDA の立ち下がり時間				300	ns
t_{SU1}	セットアップ、SDA から SCL		100			ns
t_{SU2}	セットアップ、SCL から開始条件		0.6			μs
t_{SU3}	セットアップ、SCL から停止条件		0.6			μs
$t_{W(H)}$	必要なパルス持続期間 SCL 「High」		0.6			μs
$t_{W(L)}$	必要なパルス持続期間 SCL 「Low」		1.3			μs
シリアル オーディオ ポート						
D _{SCLK}	許容入力クロックデューティサイクル		45%	50%	55%	
f_s	サポートしている入力サンプルレート		44.1		192	kHz
f_{SCLK}	サポートしている SCLK 周波数		32		512	xFS
f_{SCLK_Max}	最大周波数				24.576	MHz
t_{SCY}	SCLK パルスサイクル時間		40			ns
t_{SCL}	SCLK パルス LOW		16			ns
t_{SCH}	SCLK パルス-HIGH		16			ns
t_{SF}	SCLK 立ち上がりエッジから FSYNC エッジ		8			ns
t_{FS}	FSYNC エッジから SCLK 立ち上がりエッジ		8			ns
t_{DS}	DATA のセットアップ時間		8			ns
C_I	入力容量、ピン SCLK、FSYNC、SDIN_1、SDOUT_1、GPIO_x				10	pF
t_{DH}	DATA のホールド時間		8			ns
$T_{AudioLA}$	FSYNC サンプル数で測定した入力から出力までのオーディオパス遅延	FSYNC = 44.1kHz または 48kHz			22	サンプル
		FSYNC = 96kHz			23	
		FSYNC = 192kHz			24	
T_{LLpLA}	FSYNC サンプル数で測定した入力から出力への低遅延パスの遅延	FSYNC = 44.1kHz または 48kHz			6	サンプル
		FSYNC = 96kHz			7	

5.6 代表的特性

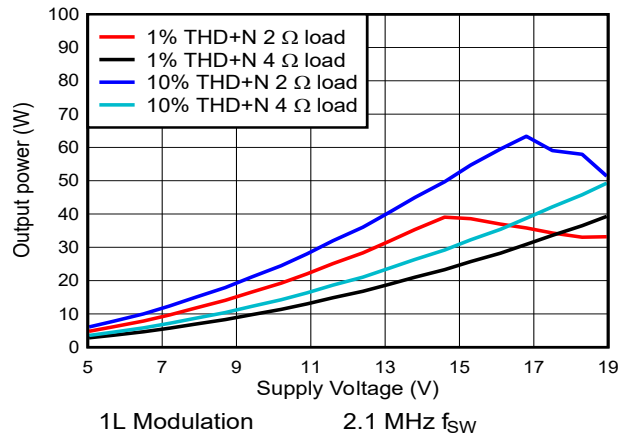
試験条件(特に注記のない限り): $T_C = 25^\circ\text{C}$ 、 $PV_{DD} = 14.4\text{V}$ 、 $VBAT = 14.4\text{V}$ 、 $DV_{DD} = 1.8\text{V}$ 、 $R_L = 4\Omega$ 、 $P_{out} = 1\text{W/ch}$ 、 $f_{out} = 1\text{kHz}$ 、 $F_{sw} = 2.048\text{MHz}$ 、AES17 フィルタ、パラメータ測定情報、デフォルト I²C 設定+スタートアップスクリプトで説明されている再構成フィルタ、アプリケーション図を参照してください。



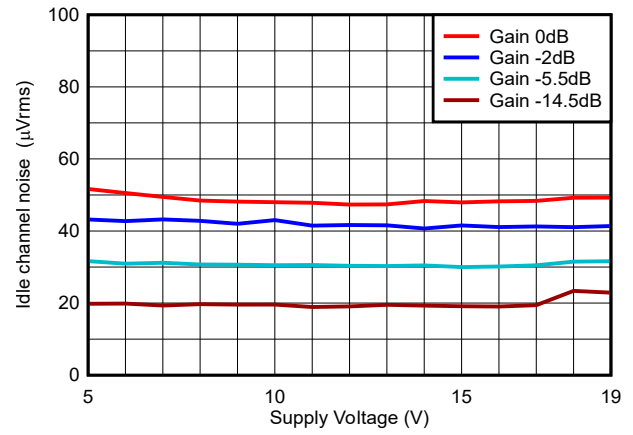
2.1 MHz f_{sw} $PV_{DD} = 14.4\text{V}$
図 5-1. THD+N と周波数との関係



2.1 MHz f_{sw} $PV_{DD} = 14.4\text{V}$ $f_{in} = 1\text{kHz}$
図 5-2. THD+N と電源との関係



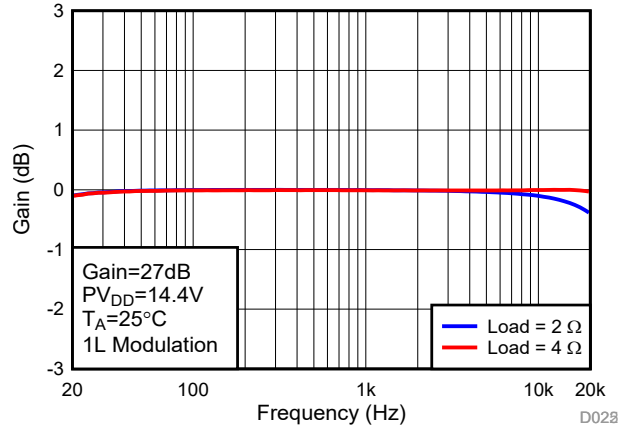
1L Modulation 2.1 MHz f_{sw}
図 5-3. 出力電力と電源電圧との関係



A-weighted 2.1 MHz f_{sw} SS Disabled
図 5-4. ノイズと電源電圧との関係

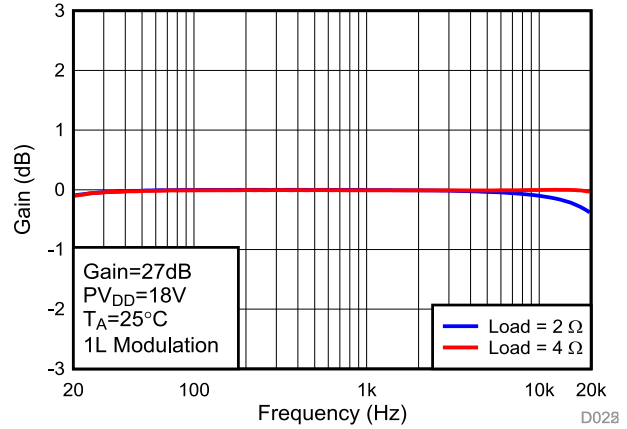
5.6 代表的特性 (続き)

試験条件 (特に注記のない限り): $T_C = 25^\circ\text{C}$ 、 $PV_{DD} = 14.4\text{V}$ 、 $VBAT = 14.4\text{V}$ 、 $DV_{DD} = 1.8\text{V}$ 、 $R_L = 4\Omega$ 、 $P_{out} = 1\text{W/ch}$ 、 $f_{out} = 1\text{kHz}$ 、 $F_{sw} = 2.048\text{MHz}$ 、AES17 フィルタ、パラメータ測定情報、デフォルト I²C 設定+スタートアップスクリプトで説明されている再構成フィルタ、アプリケーション図を参照してください。



ゲインバイクワッド無効

図 5-5. 周波数応答



ゲインバイクワッド無効

図 5-6. 周波数応答 - PVDD = 18V

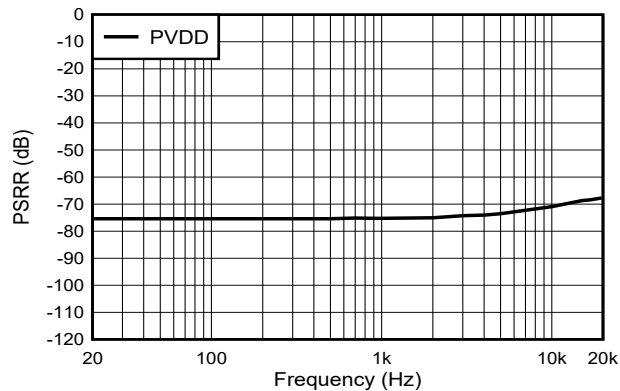


図 5-7. PVDD PSRR と周波数との関係

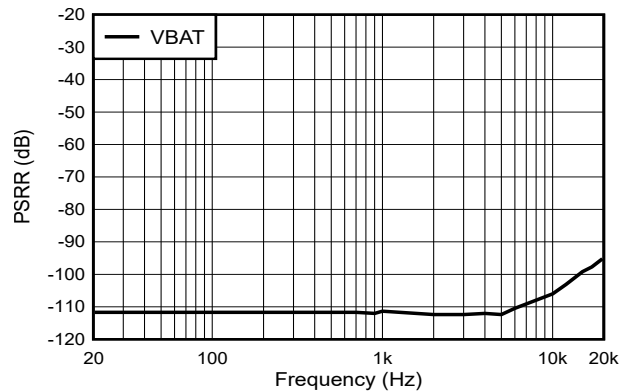


図 5-8. VBAT PSRR と周波数との関係

5.6 代表的特性 (続き)

試験条件 (特に注記のない限り): $T_C = 25^\circ\text{C}$, $PV_{DD} = 14.4\text{V}$, $VBAT = 14.4\text{V}$, $DV_{DD} = 1.8\text{V}$, $R_L = 4\Omega$, $P_{out} = 1\text{W/ch}$, $f_{out} = 1\text{kHz}$, $F_{sw} = 2.048\text{MHz}$, AES17 フィルタ、[パラメータ測定情報](#)、デフォルト I²C 設定+スタートアップスクリプトで説明されている再構成フィルタ、アプリケーション図を参照してください。

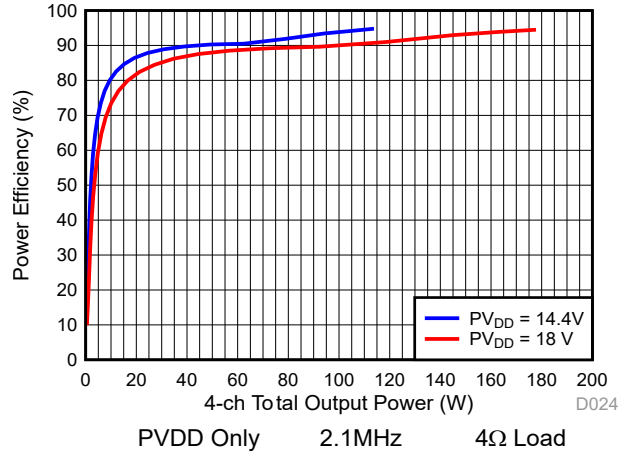


図 5-9. 効率と出力電源との関係 - 4Ω, PVDD

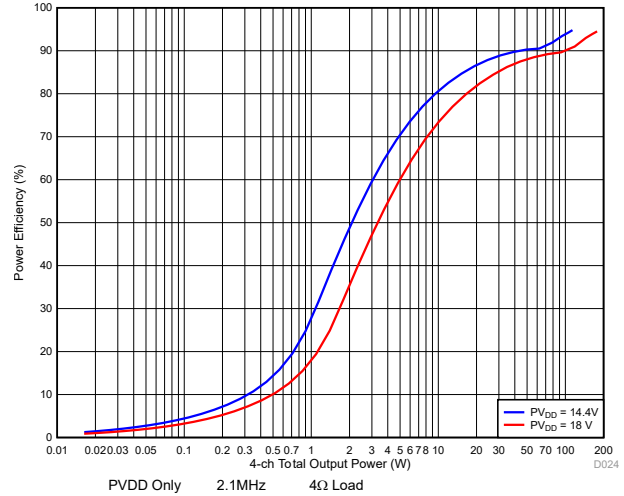


図 5-10. 効率と出力電源との関係 - 4Ω, PVDD (拡大)

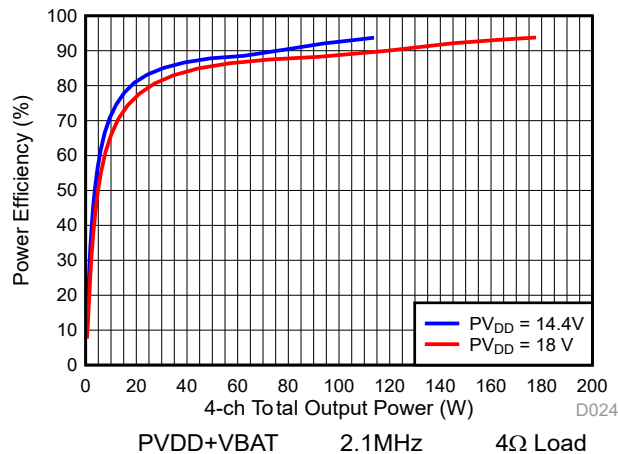


図 5-11. 合計効率と出力電源との関係 - 4Ω

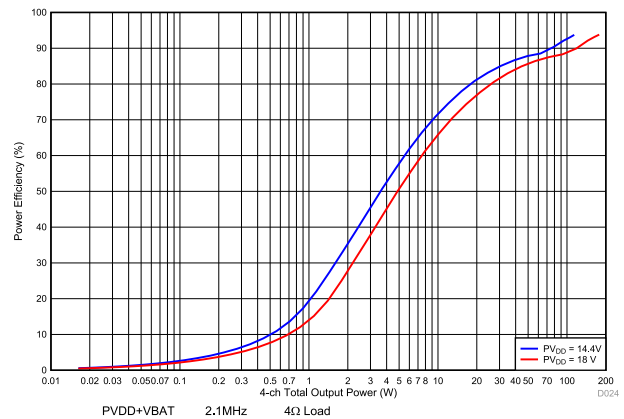
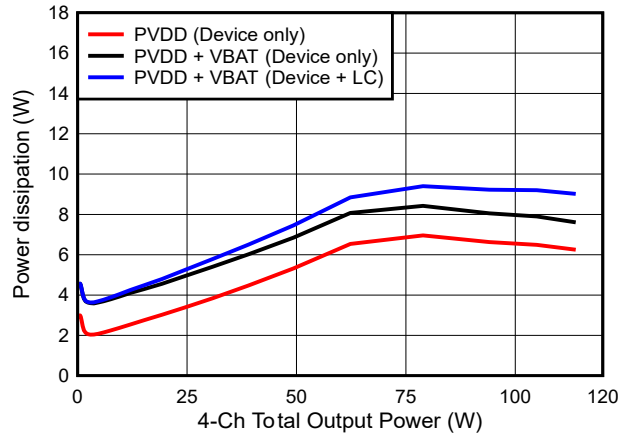


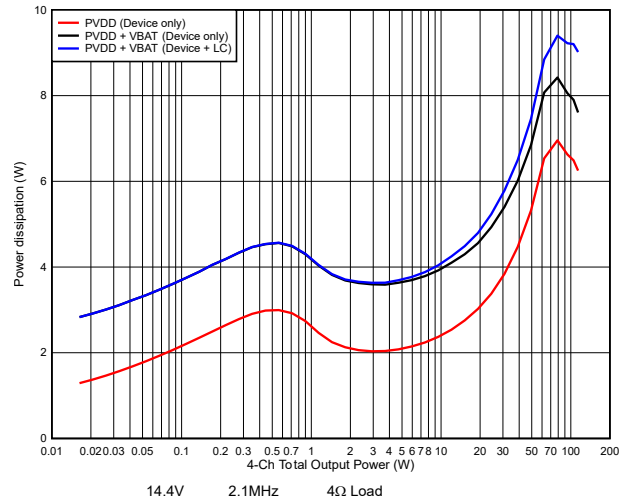
図 5-12. 合計効率と出力電源との関係 - 4Ω (拡大)

5.6 代表的特性 (続き)

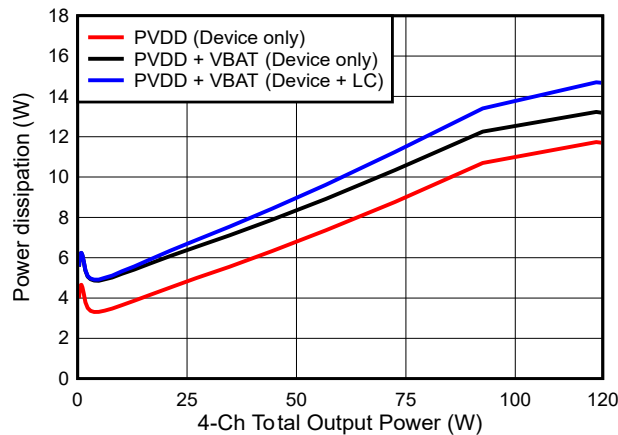
試験条件 (特に注記のない限り): $T_C = 25^\circ\text{C}$, $PVDD = 14.4\text{V}$, $VBAT = 14.4\text{V}$, $DVDD = 1.8\text{V}$, $R_L = 4\Omega$, $P_{out} = 1\text{W/ch}$, $f_{out} = 1\text{kHz}$, $F_{sw} = 2.048\text{MHz}$, AES17 フィルタ、[パラメータ測定情報](#)、デフォルト I²C 設定+スタートアップスクリプトで説明されている再構成フィルタ、アプリケーション図を参照してください。



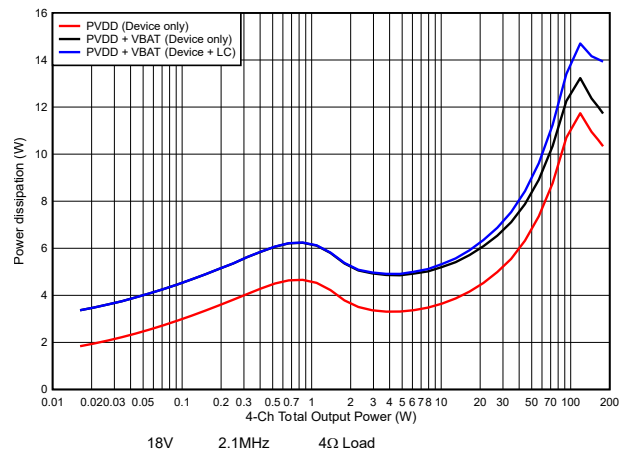
14.4V 2.1MHz 4Ω Load
図 5-13. 消費電力と出力電源との関係 - 4Ω



14.4V 2.1MHz 4Ω Load
図 5-14. 消費電力と出力電源との関係 - 4Ω (拡大)



18V 2.1MHz 4Ω Load
図 5-15. 消費電力と出力電源との関係 - 4Ω、PVDD = 18V



18V 2.1MHz 4Ω Load
図 5-16. 消費電力と出力電源との関係 - 4Ω、PVDD = 18V (拡大)

5.6 代表的特性 (続き)

試験条件 (特に注記のない限り): $T_C = 25^\circ\text{C}$ 、 $PVDD = 14.4\text{V}$ 、 $VBAT = 14.4\text{V}$ 、 $DVDD = 1.8\text{V}$ 、 $R_L = 4\Omega$ 、 $P_{out} = 1\text{W/ch}$ 、 $f_{out} = 1\text{kHz}$ 、 $F_{sw} = 2.048\text{MHz}$ 、AES17 フィルタ、[パラメータ測定情報](#)、デフォルト I²C 設定+スタートアップスクリプトで説明されている再構成フィルタ、アプリケーション図を参照してください。

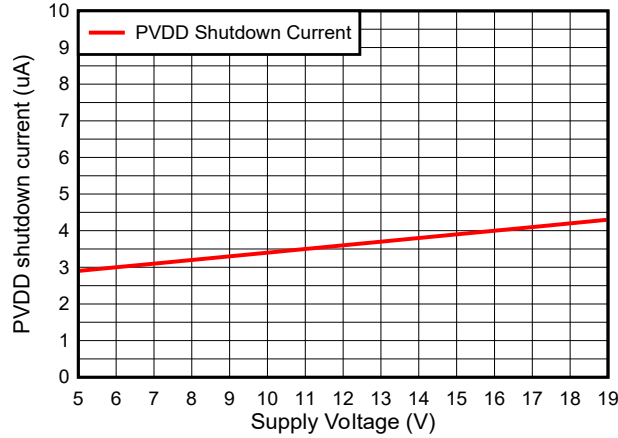


図 5-17. シャットダウン電流と電源電圧との関係, PVDD

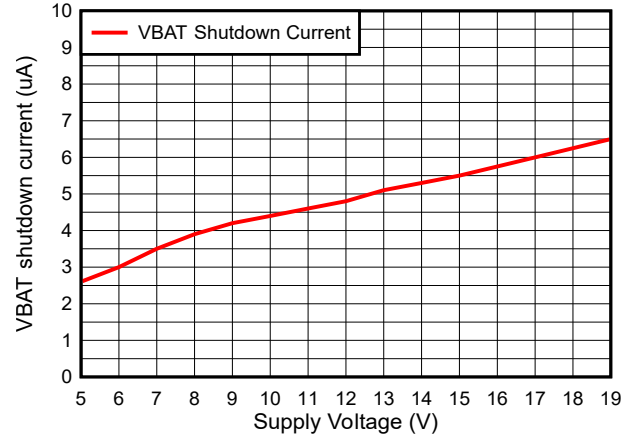


図 5-18. シャットダウン電流と電源電圧との関係, VBAT

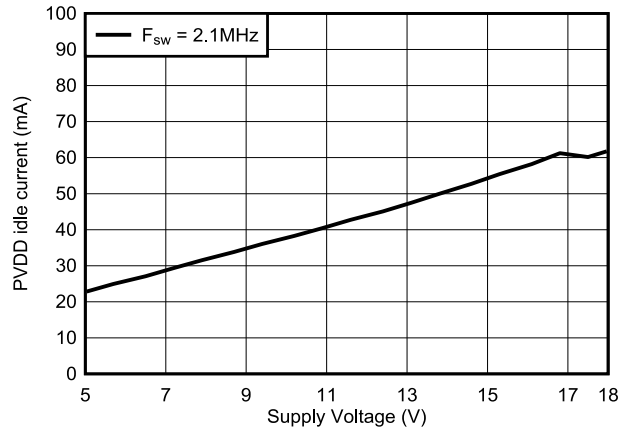


図 5-19. PVDD のアイドル電流と電圧との関係

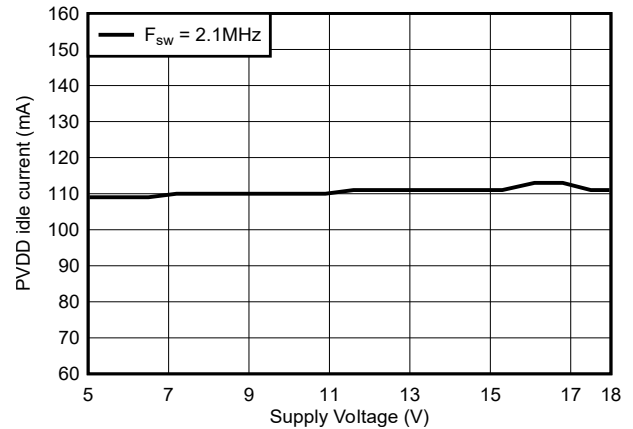


図 5-20. VBAT のアイドル電流と電圧との関係

6 パラメータ測定情報

測定には、LC 再構成フィルタ Cyntec VCMT053T-3R3MN5 3.3 μ H インダクタ + 1 μ F コンデンサを使用します。

内蔵パイロットトーンでリアルタイム負荷診断を有効化するときは、誤った値の測定結果を避けるため、アナログ平衡化入力フィルタを使用する必要があります。カットオフ周波数が 20Hz の APx500 シリーズが提供する楕円型ハイパスフィルタと、AES17 (20kHz) などのローパスフィルタを推奨します。試験装置がこのフィルタタイプをサポートしていない場合は、正確な性能測定を行うために、TI ではリアルタイム負荷診断をオフにすることをお勧めします。

7 詳細説明

7.1 概要

TAS6754-Q1 は、自動車業界向けに特別に設計された 4 チャンネル デジタル入力 Class-D オーディオ アンプです。このデバイスは、19 の最大 V まで車両バッテリーで動作し、最大 40V のロードダンプリに対応するように設計されています。高度な 1L 変調を用いた超高効率 Class-D テクノロジーにより、スイッチング損失を低減し、PCB 面積を小さくすることができます。このデバイスは、小型かつ軽量で、高度な機能を備えた高忠実度 (ハイファイ) オーディオ サウンド システムを実現します。

コア設計ブロックは次のとおりです。

- シリアル オーディオ ポート
- PLL およびクロック管理
- デュアルコアオーディオ DSP サブシステム
- 出力段フィードバック付きのパルス幅変調器 (PWM)
- ゲートドライブ
- パワー FET
- 電流センス
- リアルタイム負荷診断を含む診断
- 保護
- 電源
- I²C シリアル通信バス
- センシング

7.2 機能ブロック図

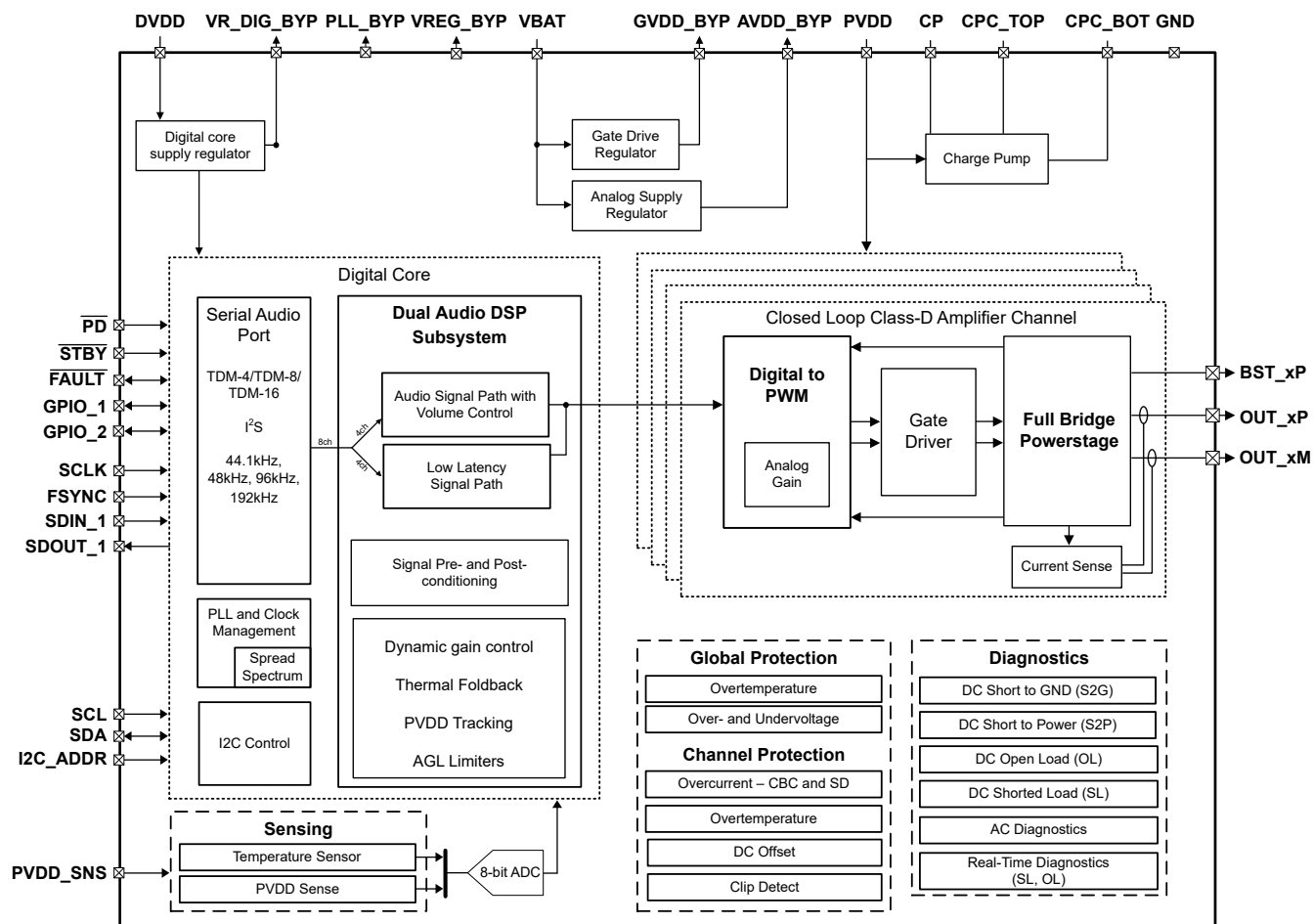


図 7-1. 機能ブロック図

7.3 機能説明

7.3.1 電源

このデバイスの 3 つの電源入力 (DVDD、VBAT、PVDD) があり、以下に説明します。

DVDD これは DVDD ピンに接続された 1.8V または 3.3V の電源で、デジタル回路に電力を供給します。

VBAT このピンは、推奨制限範囲内で、車両バッテリーまたは調節用の昇圧システムの電圧レールに接続できる、高圧電源です。最善の性能を得るには、このレールは 10V 以上です。最大電源電圧については、[推奨動作条件](#) の表を参照してください。この電源レールは高電圧のアナログ回路に使用されますが、出力 FET には使用しません。

PVDD このピンは、車両バッテリーまたは昇圧システム内の別の電圧レールに接続できる高電流電源です。PVDD ピンは出力 FET に電力を供給します。これは、VBAT 電源電圧を下回っていても [推奨動作条件](#) 内に収まるため、動的な電圧システムを実現できます。

内部回路に必要な電圧を生成する、複数のオンチップ レギュレータが内蔵されています。外部ピンは、電源をフィルタリングするためのバイパスコンデンサにのみ使用でき、他の回路への電力供給には使用できません。

このデバイスは、デバイスの絶対最大定格内の偶発的なオープングランドおよび電力条件に耐えられます。通常、スピーカーの配線がグランドに短絡し、意図しないオープングランドが発生した場合、出力 FET のボディ ダイオードを経由する 2 番目のグランドパスが利用できます。

7.3.1.1 電源シーケンス

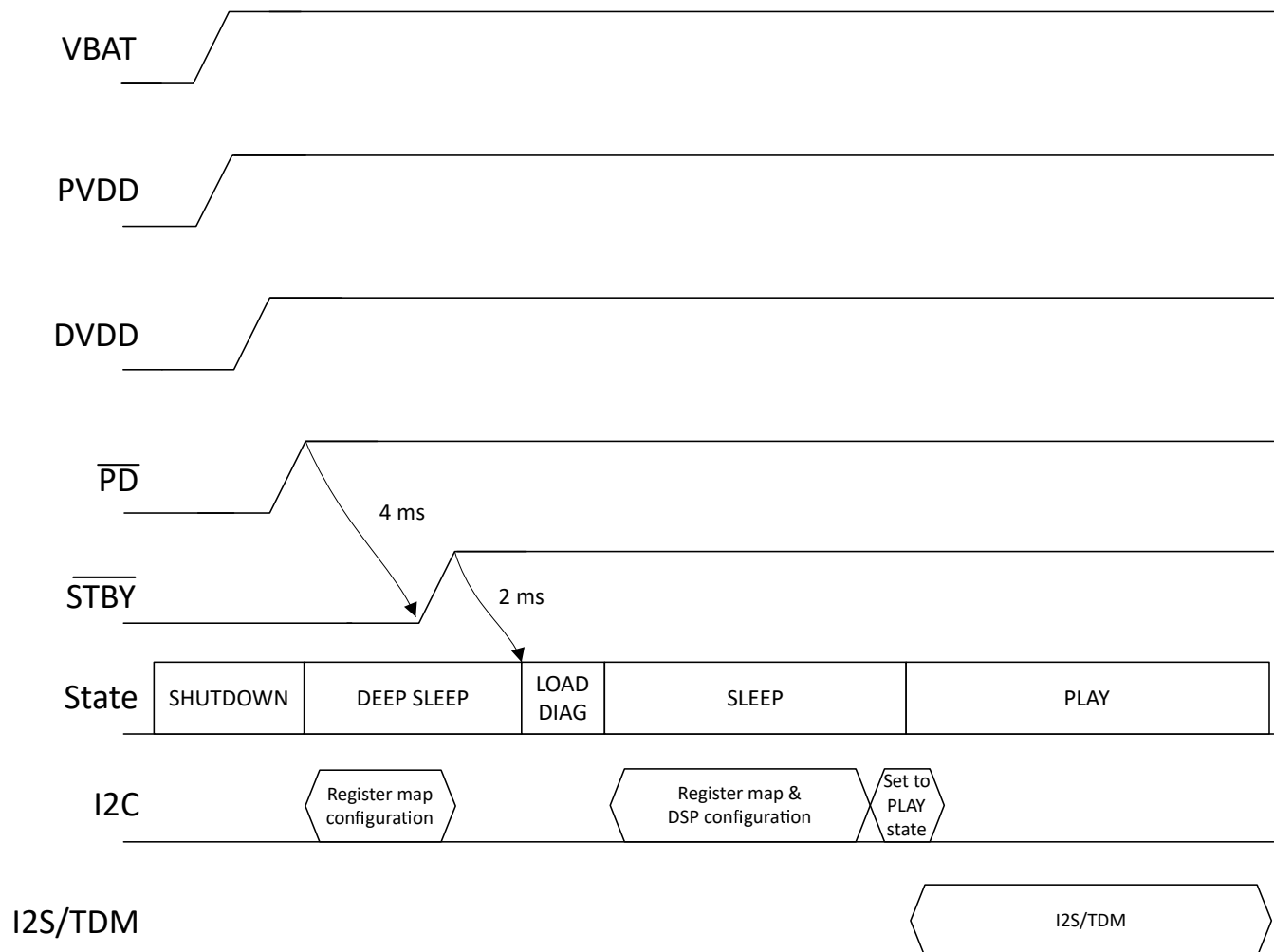
標準的なシステムでは、VBAT と PVDD の両方の電源は車両のバッテリーに接続され、同時に電源投入されます。

7.3.1.1.1 パワーアップシーケンス

電源投入時には、3 つの電源レール (VBAT、PVDD、DVDD) すべてが [推奨動作条件](#) 内になるまで $\overline{\text{PD}}$ ピンを LOW に維持することを推奨します。

すべての電源レールが印加され準備ができた時点で、 $\overline{\text{PD}}$ ピンを解放すると、内部デジタル回路に電源が投入されます。 $\overline{\text{PD}}$ ピンを解放した後、 $\overline{\text{STBY}}$ ピンを解放する前に、最低 4ms の待機時間が推奨されます。 $\overline{\text{STBY}}$ ピンを解放すると、内部アナログ回路が起動します。このシーケンスが不可能で、 $\overline{\text{PD}}$ と $\overline{\text{STBY}}$ を同時に解放する必要がある場合、次の状態遷移に最大 6ms かかる場合があります。このとき、デバイスはアナログ回路を起動し、適切な内部ブート手順を維持します。

アナログ回路の電源投入後 (VBAT Ready および $\overline{\text{STBY}}$ が解放された後) に電源故障が発生すると、必ず TAS6754-Q1 は PLAY またはその他の状態を終了して、電源故障が解消されるまで [自動復帰 \(AUTOREC\)](#) 状態に戻ります。



Applying DVDD before VBAT will lead to a reported "VBAT Undervoltage Fault" which needs to be cleared

図 7-2. TAS6754-Q1 のパワーアップ シーケンス

7.3.1.1.2 電源オフ シーケンス

デバイスの電源をオフにするには、まず $\overline{\text{STBY}}$ ピンまたは $\overline{\text{PD}}$ ピンを 10ms 以上 低く設定してから、PVDD、VBAT、または DVDD を取り外します。10ms 後に、電源を取り外すことができます。DVDD 電源を取り外す前に、まず PVDD と VBAT を取り外すことを推奨します。

7.3.1.2 デバイスの初期化とパワーオン リセット (POR)

デバイスは、システムの電源投入時、 $\overline{\text{PD}}$ ピンを HIGH にするか、DVDD 電圧が POR しきい値を下回った後、通常状態に復帰すると初期化されます。

デバイスが初期化されると、すべての I²C レジスタはデフォルト値に設定されます。

I²C のデバイスアドレスは、I2C_ADDR ピンによって決定されます。詳細については、[I²C アドレスの選択](#) を参照してください。

7.3.2 シリアル オーディオ ポート

シリアルオーディオのインターフェイスは、左揃えの I²S または DSP モードのフォーマットでデータを受信できます。さらに、時分割多重 (TDM) を実装して、最大 TDM16 をサポートするマルチチャネル動作を実現できます。

SDIN_1 ピンと SDOUT_1 ピンはデータ転送に利用できますが、必要に応じて、GPIO ピンのいずれかを SDIN_2 および SDOUT_2 に割り当てることができます。詳細については、[GPIO ピン](#) を参照してください。

7.3.2.1 左詰めタイミング

左詰めタイミングでは、FSYNC ピンを使用して、左チャンネルまたは右チャンネルのデータが送信されるタイミングを定義します。左チャンネルの MSB は、オーディオフレームクロック (FSYNC) の立ち上がりエッジに続くシリアルクロック (SCLK) の立ち上がりエッジで有効です。同様に、右チャンネルの MSB は、FSYNC の立ち下がりエッジに続く SCLK クロックの立ち上がりエッジで有効です。チャンネルのオフセットは設定可能で、すべてのチャンネルで同一です。

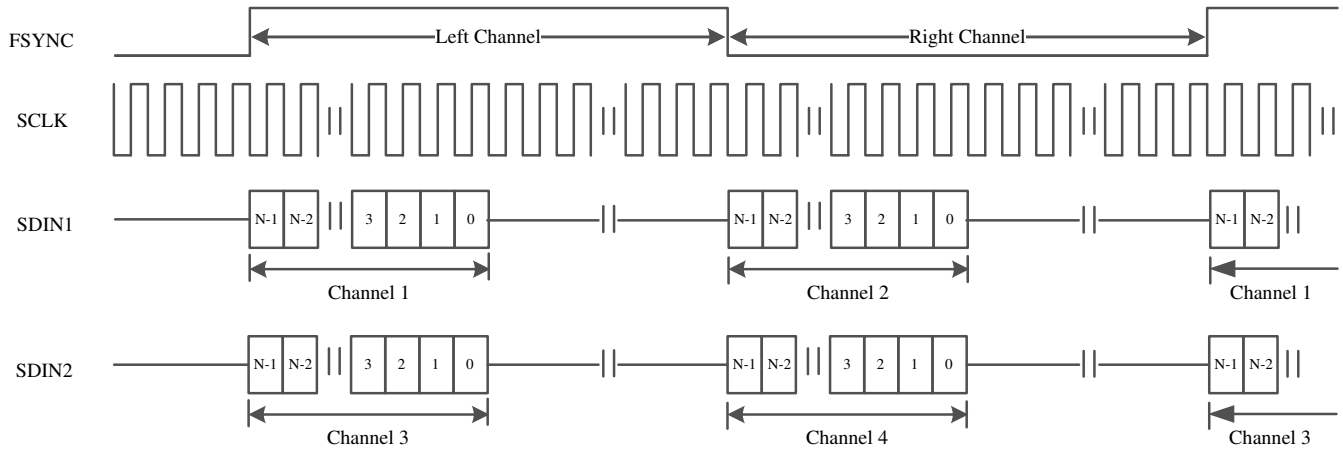


図 7-3. 左詰めタイミングのタイミング図

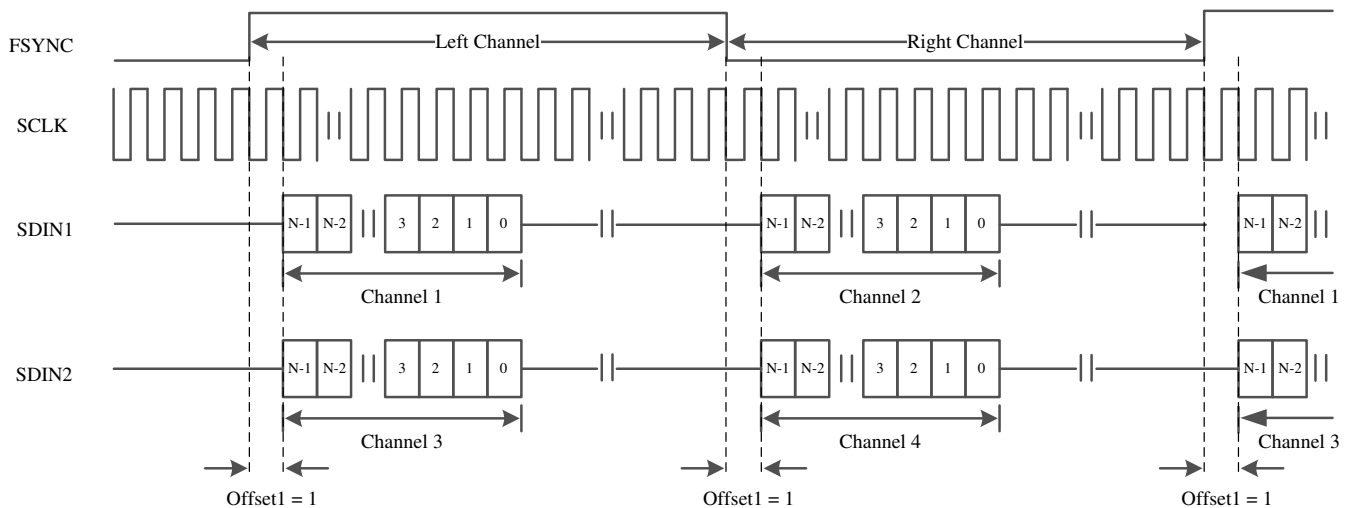


図 7-4. オフセット 1 = 1 による左詰めタイミングのタイミング図

7.3.2.2 I²S モード

I²S モードでは、FSYNC ピンを使用して、左チャンネルのデータを送信するタイミング、右チャンネルのデータを送信するタイミングを定義します。I²S モードでは、左チャンネルの MSB は、オーディオフレームクロック (FSYNC) の立ち下がりエッジ後のシリアルクロック (SCLK) の 2 番目の立ち上がりエッジで有効になります。同様に、右チャンネルの MSB は、FSYNC の立ち上がりエッジ後の SCLK の 2 番目の立ち上がりエッジで有効です。チャンネルのオフセットは設定可能で、チャンネル間で同一です。

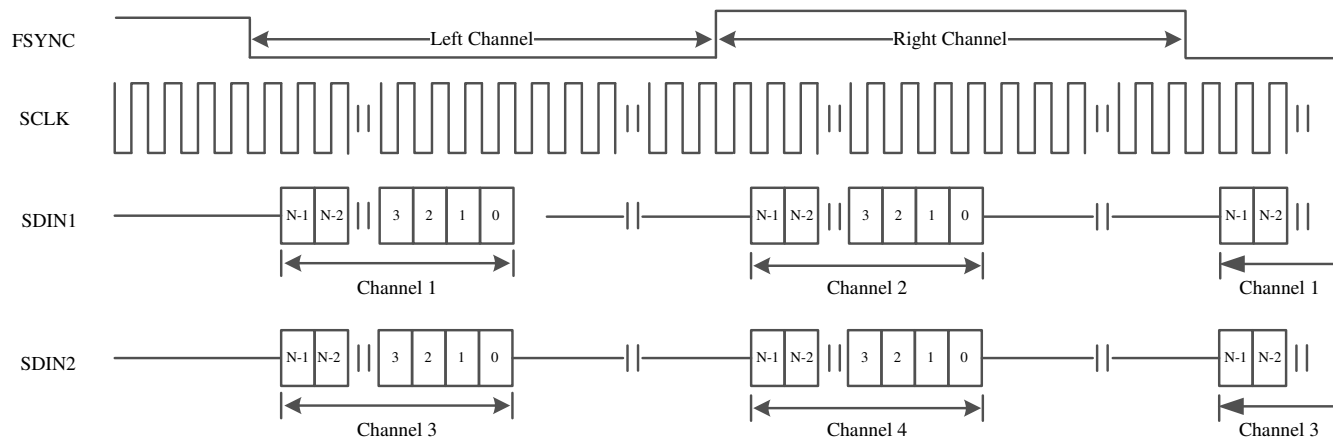


図 7-5. I2S モードのタイミング図

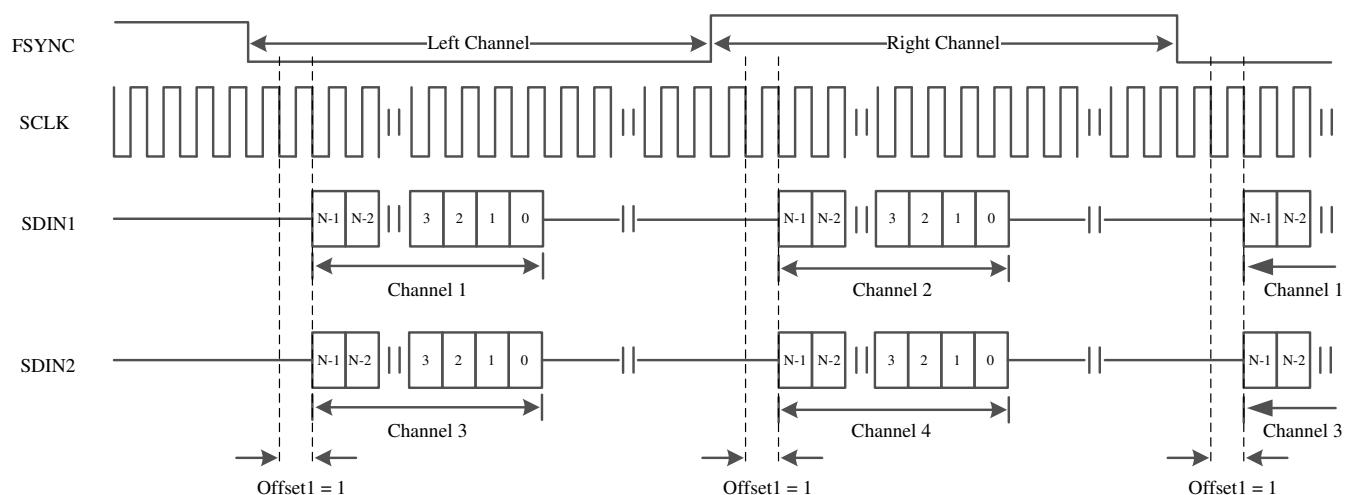


図 7-6. オフセット = 1 による I2S モードのタイミング図

7.3.2.3 DSP モード

DSP モードでは、FSYNC ピンを使用してオーディオデータの開始を定義しますが、チャンネルを区別することはできません。オーディオフレームクロック (FSYNC) の立ち上がりエッジで、左チャンネルデータを最初に使用してデータ転送を開始し、その後直ちに右チャンネルデータが続きます。各データビットは、シリアルクロック (SCLK) の立ち上がりエッジで有効となります。10 ビットのチャンネルオフセットは設定可能ですが、すべてのチャンネルで同一です。

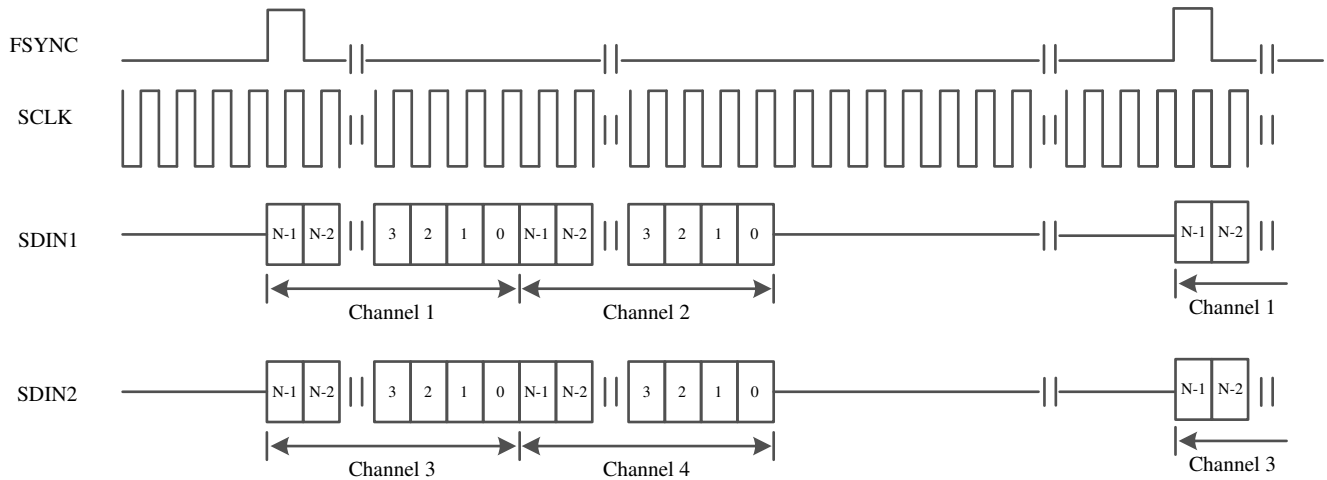


図 7-7. DSP モードのタイミング図

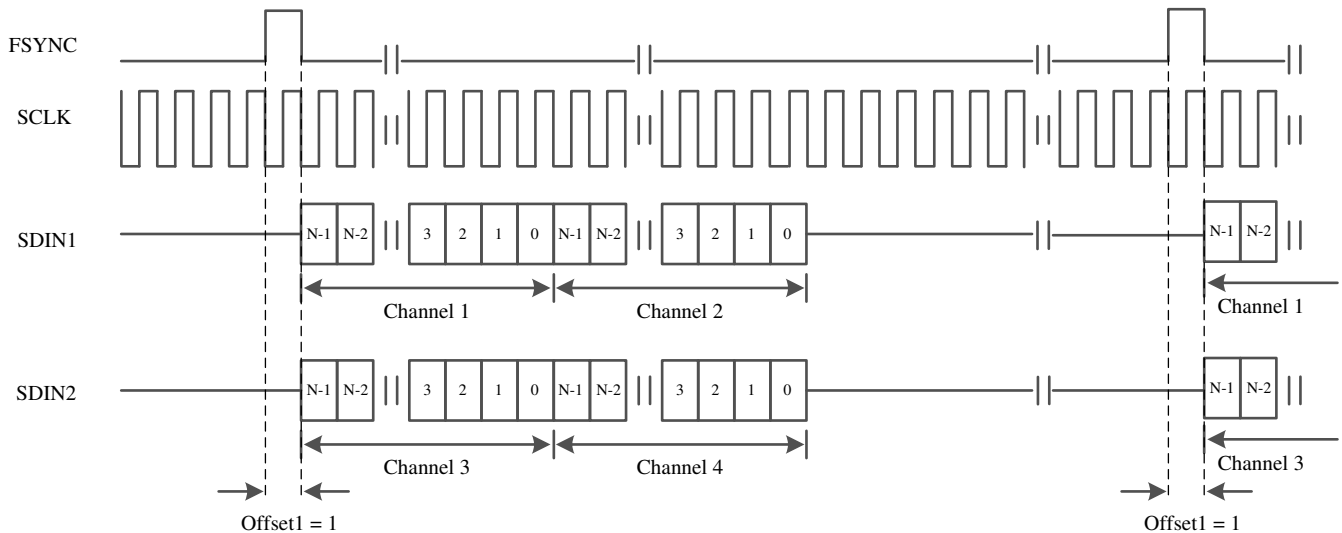


図 7-8. オフセット = 1 による DSP モードのタイミング図

7.3.2.4 TDM モード

TDM モードは SDIN 経由で 4、8、または 16 チャンネルのオーディオデータをサポートしています。このデータは単一のピンで受信することも、SDIN_1 と SDIN_2 に分割して受信することもできます。データフォーマットは、**DSP モード** に準拠します。

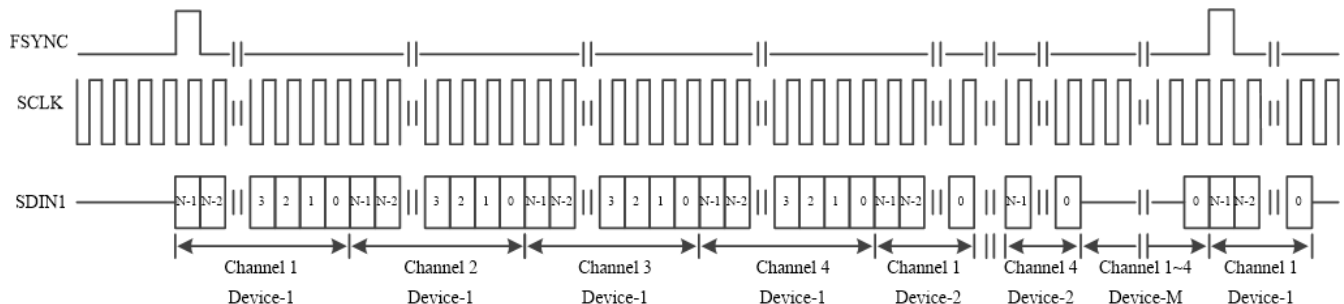


図 7-9. TDM モードのタイミング図

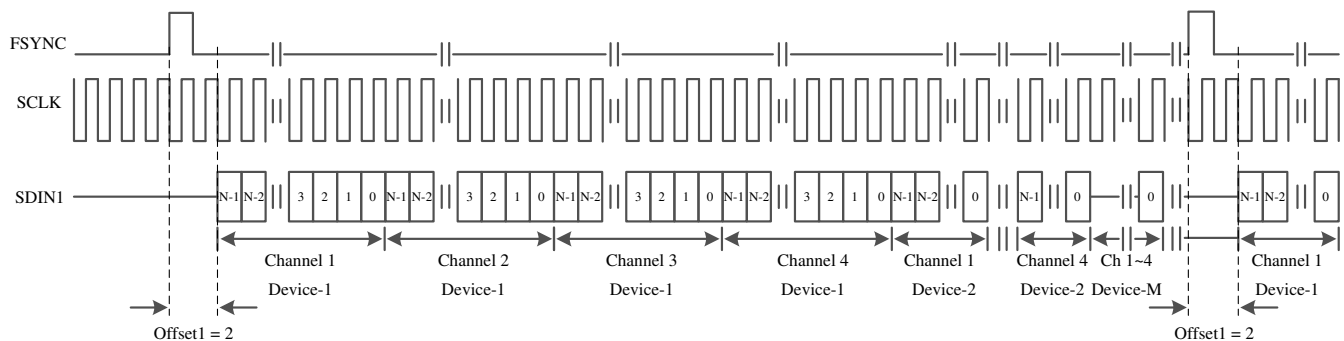


図 7-10. TDM モードのタイミング図（オーディオチャンネルがオフセット 1 = 2 の場合）

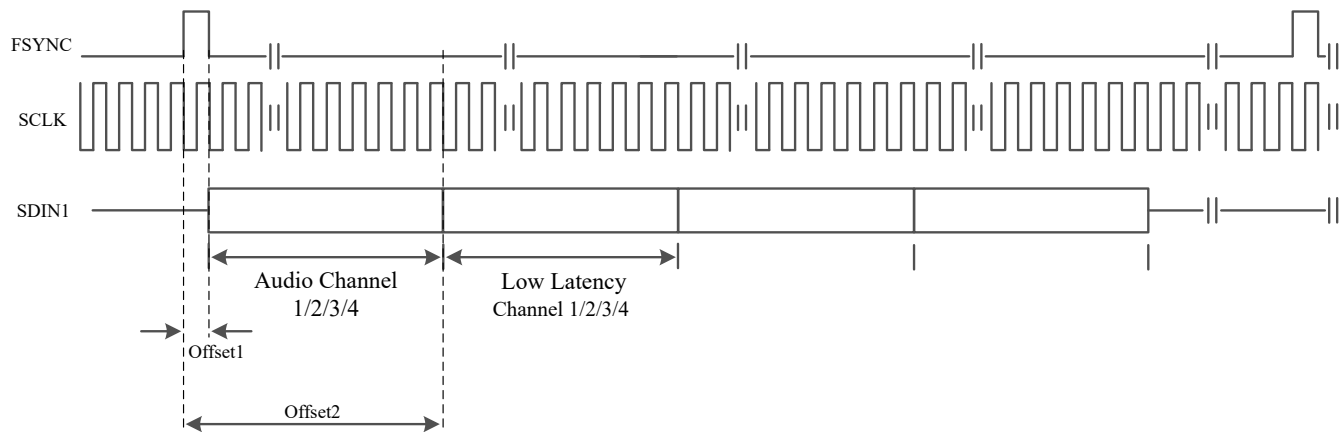


図 7-11. オーディオチャンネルオフセット 1、低遅延チャンネルオフセット 2 による TDM モードのタイミング図

7.3.2.5 SDOUT - データ出力

TAS6754-Q1 は、I²S モードと TDM モードのどちらかで、選択したデータを送信します。オーディオ入力のシリアルクロック (SCLK) とオーディオフレームクロック (FSYNC) は再利用され、出力データにはオーディオ入力信号と同じサンプリング周波数と最大オーディオフレームサイズがあります。

7.3.2.6 デバイス クロッキング

TAS6754-Q1 は柔軟なクロッキングシステムを搭載しています。内部的には、デバイスを正しく機能させるために、主に関連するクロックレートで、いくつかの追加クロックが必要です。これらのクロックは、すべてシリアルオーディオインターフェイスから入手できます。

図 7-12 に、基本的なデータフローとクロック ディストリビューションを示します。

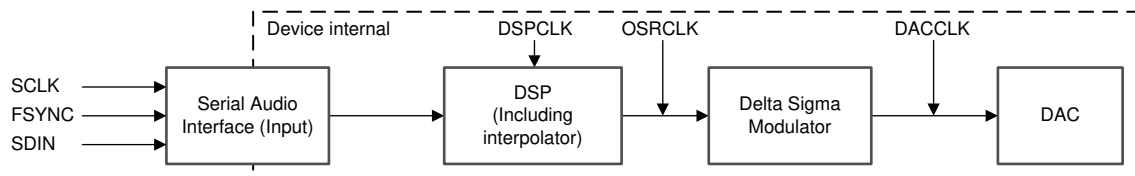


図 7-12. 各クロックのオーディオフロー

シリアルオーディオインターフェイスには、通常、以下の 3 つの接続ピンがあります。

- SCLK (オーディオシリアルクロック)
- FSYNC (TDM または I²S の左/右におけるフレーム同期)
- SDIN (入力データ)。TDM モードでは、単一の SDIN を使用しますが、I²S では 4 チャンネルのオーディオデータを提供するために 2 つの SDIN ピンが必要です
- オプション: 発信データ転送用 SDOUT。最大 2 つの SDOUT ピンを設定可能

このデバイスには内部 PLL が搭載されており、SCLK をリファレンスクロックとして使用し、DSP および DAC クロックに必要なより高速なクロックを生成します。

TAS6754-Q1 には、オーディオサンプリングレート検出回路が搭載されており、サンプリング周波数を自動検出します。44.1kHz ~ 48kHz、88.2kHz ~ 96kHz、192kHz の一般的なオーディオ・サンプリング周波数に対応しています。サンプリング周波数検出器は、DAC と DSP のクロックを自動的に設定します。

7.3.2.6.1 クロック レート

シリアル オーディオ インターフェイス ポートは、信号 SCLK、FSYNC、SDIN_1 と、I²S モードのオプションである SDIN_2 を持つ 3 線式シリアルポートです。

SCLK は、SDIN_x にあるシリアルデータをオーディオ インターフェイスのシリアル シフト レジスタにクロック供給するために使用されるシリアル オーディオ ビット クロックです。シリアルデータは、SCLK によって TAS6754-Q1 デバイスにクロック入力されます。

FSYNC ピンは、デバイスが TDM モードで動作している場合、シリアルオーディオの左/右ワード クロックまたはフレーム同期です。

SDIN_1 は TDM データ入力です。I²S モードでは、SDIN_1 はチャンネル 1 と 2 のデータ入力であり、チャンネル 3 と 4 のデータ入力を受信するには、GPIO ピンを SDIN_2 として設定する必要があります。

表 7-1. オーディオデータの形式、ビット深度、クロックレート

フォーマット	データビット	FSYNC 最大周波数 (kHz)	SCLK レート (f _s)
I ² S / LJ	32, 24, 20, 16	44.1 ~ 192	x64, x32
TDM	32, 24, 20, 16	44.1 / 48	x128, x256, x512
		96	x128, x256
		192	x128

7.3.2.6.2 クロック HALT 自動回復

オーディオが再生中でない場合、特定のホストプロセッサにより、オーディオクロックを停止されます。クロックが停止すると、デバイスはすべてのチャンネルを **Hi-Z** 状態に移行して、ラッチエラー通知を発行します。**Hi-Z** への遷移は、オーディオインターフェイスから最後に受信したサンプルを保持し、音量を下げることでスムーズに行われます。この動作は、ビット 7 で変更できます。ラッチエラー通知は、読み取ると消去されます。オーディオクロックが復旧すると、デバイスは自動的に以前の状態に戻ります。

7.3.2.6.3 サンプル レートの即時変更

TAS6754-Q1 は、FSYNC レートの即時変更をサポートしています。例えば 48kHz から 96kHz に FSYNC を変更する場合、ホストプロセッサは新しいサンプルレートに変更する前に少なくとも 30ms の間、FSYNC/SCLK を停止状態にする必要があります。この HALT 状態中に、クロックエラーが通知されます。詳細については、[クロック HALT 自動回復](#) セクションを参照してください。

7.3.2.7 クロック エラー処理

パワーオン リセット(POR) の後、デバイスはクロックエラーが存在することを想定しますが、クロックエラー検出結果が有効になるまでクロックエラーフラグをアサートしません。

入力クロックの変化が検出されると、自動検出システムは、オーディオインターフェイスから最後に受信したサンプルを保持することで、ただちにミュートするようデバイスに要求します。一方、自動検出は引き続き監視を続け、新しく安定した状態を識別します。

7.3.3 デジタル オーディオ処理

TAS6754-Q1 は、次のような先進のデジタルオーディオ処理機能を提供します：

- High フィルタ / DC ブロッキング
- デジタル ボリューム制御
- PVDD フォールドバック / AGL
- サーマル フォールドバック
- ゲイン補償バイクワッド
- リアルタイム負荷診断
- クリップ検出
- 低遅延の信号パス

特定の機能が利用できるかどうかは、選択したサンプリング周波数によって異なります。サンプリング周波数を高くすると、内蔵 DSP 処理時間が短縮され、並列動作できる機能が制限されます。有効化した機能の合計処理要件が、すべてのサンプリング周波数で利用可能な処理時間を超えないようご注意ください。

7.3.3.1 PVDD フォールドバック

PVDD フォールドバックは、電源電圧 (PVDD) が変化しても一貫したダイナミックレンジを維持するため、オーディオ信号にスムーズな圧縮をかけます。この機能は、オーディオ信号が電源のヘッドルームを超えているシステムで、予期しない出力クリッピングや歪みを防止するのに役立ちます。自動ゲインリミッタ (AGL) と呼ぶこともあります。

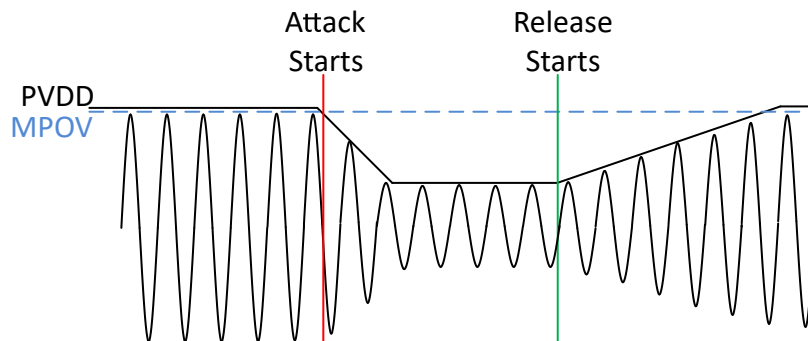


図 7-13. PVDD フォールドバックの例

7.3.3.2 ハイパス フィルタ

TAS6754-Q1 に接続されているスピーカを保護するため、オーディオ処理パスに DC ブロッキングハイパスフィルタが内蔵されています。

7.3.3.3 アナログ ゲイン

TAS6754-Q1 では、ユーザーが各チャネルペアのアナログゲインを 0.5dB 単位で設定できます。

ゲイン設定の 0dB は、フルスケールデジタル入力における 28V/FS のピーク出力電圧に対応します。出力ノイズとダイナミックレンジ性能を最適化するため、TI では予想される PVDD による動作に対して可能な限り低いゲインを選択することを推奨しています

アナログゲイン設定を変更できるのは、影響を受けるチャネルが **DEEP SLEEP** または **SLEEP** 状態のときのみです。

デバイスが **PLAY 状態** に移行すると、デバイスはアナログゲインを 0.5dB 単位で徐々に目的の値まで上昇させます。

7.3.3.4 デジタル ボリューム制御

出力チャネルには、0.5dB 刻みで、-103dB ~ 0dB の範囲でデジタルボリューム制御機能があります。

7.3.3.4.1 自動ミュート

オーディオ入力でゼロサンプルの連続したストリームを検出すると、デバイスはチャネルを自動的にミュートに設定できます。このモードでは、デバイスは入力信号を監視し続け、設定に応じて、有効なゼロ以外の信号が届けられると、個別のチャネルまたはすべてのチャネルのいずれかのミュートを同時に解除します。

7.3.3.5 ゲイン補償バイクワッド

Class-D アンプの変調器と出力 LC フィルタは、周波数応答の直線性に望ましくない影響を及ぼし、周波数ドロップ/ピークを引き起こす可能性があります。この効果を補償し、フラットな応答を実現できるように、TAS6754-Q1 には統合型およびチャネルベースのゲイン補償バイクワッド機能が搭載されています。

バイクワッドは、チャネルごとに設定可能ですが、デフォルトでは無効になっています。希望の調整を有効にするには、それぞれの係数を DSP メモリに書き込む必要があります。

7.3.3.6 低レイテンシの信号パス

アクティブノイズキャンセリング (ANC) やロードノイズキャンセレーション (RNC) など、最小の処理遅延時間が必要なオーディオ信号に対して、TAS6754-Q1 は低遅延の信号パスを提供します。サンプリング周波数が 48kHz の場合、このパスは内部信号処理を最小化することにより、アンプの入力と出力間の信号遅延を 70% 以上短縮します。

低遅延の信号パスは、通常のオーディオ信号パスと並列に確立されます。両方の信号パスに入力データが供給されると、各チャネルの 2 つの信号 (オーディオおよび低遅延) は、チャネルの出力増幅段の直前に内部で混合されます。両信号は加算され、合計信号振幅は、歪みを避けるために、利用可能なゲインレンジと電圧ヘッドルームを超えないようにしてください。低遅延の信号は、通常のオーディオパス信号よりも短い遅延でデバイスを通過しますのでご注意ください。

低遅延の信号パスは、サンプリング周波数が 48kHz または 96kHz の場合にのみ利用できます。

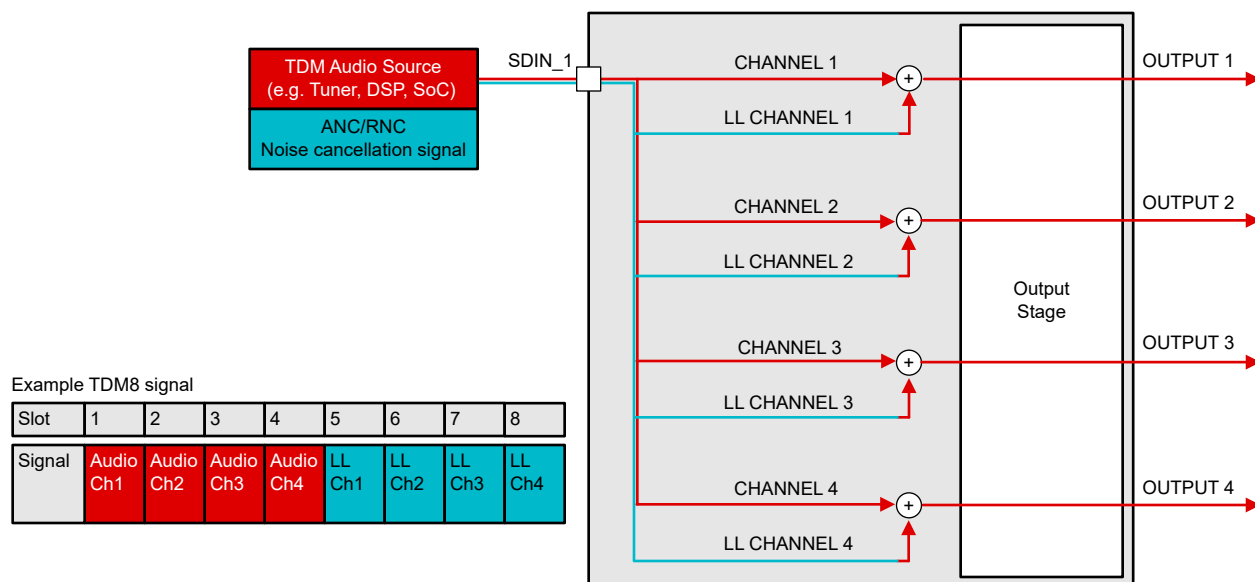


図 7-14. 低遅延とオーディオ信号パス

7.3.3.7 フル機能の低遅延パス

低遅延信号パスに加えて、TAS6754-Q1 にはフル機能の低遅延パスが内蔵されています。フル機能の低遅延パスを使用するアクティブノイズキャンセル(ANC)や走行ノイズキャンセル(RNC)など、時間に制約のあるオーディオ信号をプリミックスできるので、時間に制約のないオーディオデータと分離する必要はありません。プリミックスされたオーディオデータは、DSP を介して処理され、出力段で増幅されることで、グループ遅延をより小さくします。

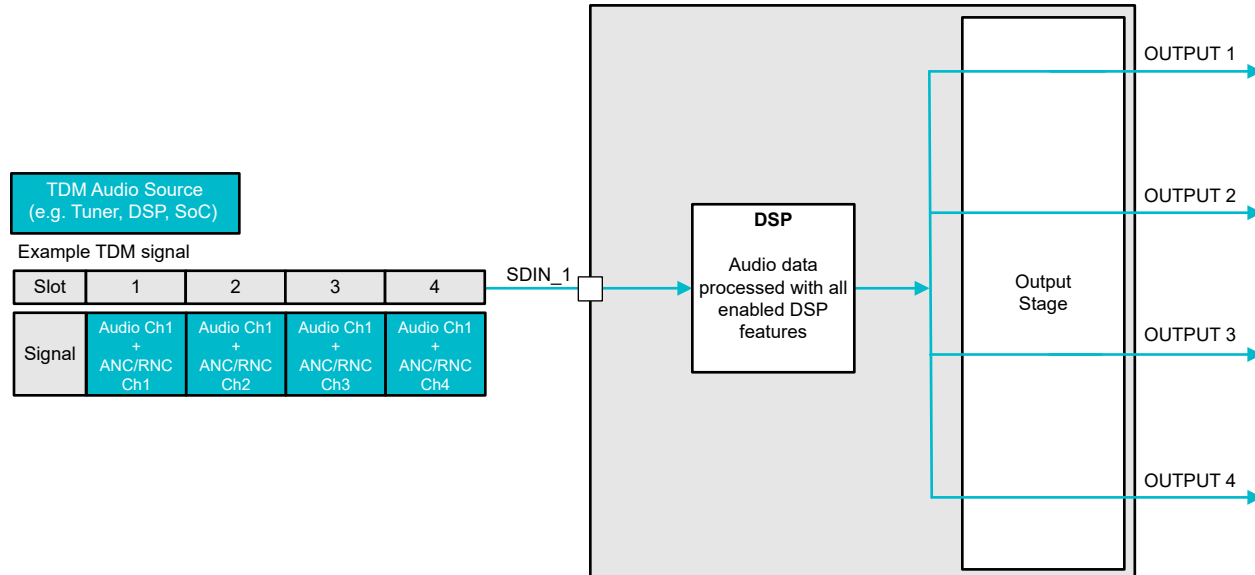


図 7-15. フル機能による低遅延パスとオーディオ信号パス

7.3.4 Class-D 動作とスペクトラム拡散制御

7.3.4.1 1L 変調

TAS6754-Q1 は、1L 変調をサポートしています。1L 変調により、OUT_xP 側は 0V から、スイッチング周波数 (Fsw) の電源電圧に切り替わります。OUT_xM 側は、0V からオーディオ周波数の電源電圧に切り替わります。チャンネルの OUT_xM 側はより低い周波数でスイッチングするため、BTL チャンネルの OUT_xM 側にはインダクタは必要ありません。

7.3.4.2 高周波パルス幅変調器 (PWM)

PWM 変調器は、入力オーディオデータを、デューティサイクルが変動するスイッチング信号に変換します。PWM 変調器は、高帯域幅、低ノイズ、低歪み、優れた安定性を備えた高度な設計です。

TAS6754-Q1 は、伝導型と放射型の電磁波を管理する設定可能な出力 PWM 位相制御機能を搭載しています。この機能により、チャンネル出力の PWM 位相オフセットを、他のチャンネルに合わせて変更できます。

7.3.4.3 スペクトラム拡散制御

TAS6754-Q1 はスペクトラム拡散制御を変調器のクロック信号に適用します。クロック信号のスペクトルを制御すると、EMI 試験中に表示される高周波数の信号部品の動作が最適化されます。スペクトラム拡散変調は、PWM 変調技術であり、出力 PWM 周波数を変化させることで EMI 測定値のピークを引き下げます。スペクトルは広くなりますが、その結果、EMI ノイズはより低いレベルになります。

7.3.4.4 ゲート ドライブ

ゲートドライバは低電圧 PWM 信号を受け入れ、レベルシフトを行い、大電流、フルブリッジのパワー FET 段を駆動します。

このデバイスは、独自の手法を使用して、EMI とオーディオ性能を最適化します。ゲートドライバの電源電圧 GVDD は内部で生成されるため、デカップリングコンデンサを接続する必要があります。

フル H ブリッジ出力段では、NMOS トランジスタのみを使用します。そのため、OUT-xP 側のハイサイド NMOS トランジスタを適切に作動させるためには、ブートストラップコンデンサが必要です。印加電圧 (負荷ダンブ電圧を含む) に適した定格を持つ、品質 X7R 以上の 1 μ F セラミックコンデンサを、各出力に対応するブートストラップ入力に接続しなければなりません。BST ピンと対応する出力との間に接続されたブートストラップコンデンサは、ハイサイド N チャンネル パワー MOSFET ゲート駆動回路用のフローティング電源として機能します。各ハイサイドスイッチングサイクルの間、ブートストラップコンデンサはゲートソース間電圧を High に保持し、ハイサイド MOSFET をオンに保ちます。

OUT_xM 側のハイサイド FET ゲートドライバには、4 つのチャンネルすべてにチャージポンプ (CP) 電源が供給されます。印加電圧 (負荷ダンブ電圧を含む) に適した定格を持つ、品質 X7R 以上の 330nF セラミックコンデンサを、CP ピンと PVDD の間に接続しなければなりません。さらに、同様の定格で 100nF のセラミックコンデンサを CPC_TOP ピンから CPC_BOT ピンに接続しなければなりません。

7.3.4.5 パワー FET

BTL 出力チャンネルは、高効率と負荷に最大限の電力供給を実現する 4 個の N-チャンネル FET で構成されています。これらの FET は、[推奨動作条件](#) 内での動作時に高速なスイッチング周波数や大きな電圧過渡に対応できるよう設計されています。

7.3.5 負荷診断

このデバイスには、DC および AC 負荷診断機能が内蔵されており、負荷のステータスを判定するために使用されます。DC 診断は、デフォルトではオンになっています。

7.3.5.1 DC 負荷診断

DC 負荷診断機能は、負荷が適切に接続されているかどうかを検証するために使用されます。

ファストタイムオーディオに関するシステムレベルの起動要件をサポートすると:

- デバイスが DEEP SLEEP モードを終了し、電源が推奨動作範囲内になると、すぐに診断機能が利用可能になります。
- 診断機能は、外部オーディオ入力信号、利用可能なクロック周波数や同期周波数に依存しません。

DC 診断は正常に完了し、次のテストに合格した場合、チャンネルが MUTE モードまたは PLAY モードに移行することができます。

- [グラウンドへの短絡](#) なし
- [電源への短絡](#) なし

- 負荷短絡 なし
- 開放負荷 なし

7.3.5.1.1 デバイス初期化時の自動 DC 負荷診断

TAS6754-Q1 は、デバイス起動時に自動的、自律的な DC 負荷診断をサポートしています。DEEP SLEEP 状態を終了し、すべての電源が推奨動作範囲内にあるという条件下では、デバイスは SLEEP 状態に移行し、4 つのチャンネルすべてで DC 負荷診断を自動的に開始します。

TAS6754-Q1 では、デフォルト設定に基づいて電源への短絡 (S2P)、グランドへの短絡 (S2G)、開放負荷 (OL)、短絡負荷 (SL) の試験を実施する場合、I²C 設定もオーディオ信号も必要ありません。システムは、オーディオチェーンのデジタル部分を起動しながら負荷診断を実施できるため、この自律的な動作を活用できます。

7.3.5.1.2 Hi-Z または PLAY 中の自動 DC 負荷診断

チャンネルが Hi-Z または PLAY 状態のときに故障が発生した場合、デバイスはそのチャンネルを FAULT 状態 または 自動復帰状態 のいずれかに設定します。故障が解消されると、デバイスは影響を受けたチャンネルで自動的に DC 負荷診断を実行し、I²C、以前の Hi-Z、再生状態 にそれぞれ回復します。

7.3.5.1.3 DC 負荷診断の手動による開始

手動 DC 負荷診断は、すべての電源が推奨動作範囲内にあり、かつデバイスが初めて SLEEP 状態に移行した後であれば、どのような状態でも有効にできます。DC 診断は、I²C 制御状態レジスタを設定し、一切のチャンネルで LOAD DIAG 状態 を実行することにより、手動で有効化できます。STBY ピンまたは GPIO ピンのどちらかの機能がデバイスを SLEEP または DEEP SLEEP 状態 に設定している場合、手動の DC 負荷診断は実行できません。このことは、I²C 制御によってデバイスが SLEEP 状態または DEEP SLEEP 状態 に設定されている場合には適用されません。この場合、手動の DC 負荷診断を利用できます。

7.3.5.1.4 グランド短絡

グランド短絡 (S2G) 試験では、試験対象チャンネル (I) の出力ピン OUT_(I)M または OUT_(I)P から GND までの導電性パスがあり、電気的特性 セクションに規定されているインピーダンスより低い場合に、フォルト条件がトリガされます。

7.3.5.1.5 電源への短絡

電源への短絡 (S2P) テストでは、テストしたチャンネル (I) の出力ピン OUT_(I)M または OUT_(I)P から、電気的特性 セクションに規定されているインピーダンス以下の電源レールまでの導電性パスがある場合、フォルト条件がトリガされます。

7.3.5.1.6 短絡負荷と開放負荷

短絡負荷 (SL) テストでは、テスト対象のチャンネル (I) の OUT_(i)M ピンと OUT_(I)P ピンの間の導電性パスがしきい値設定を下回った場合、FAULT 条件がトリガされます。SL テストでは、接続する予定の負荷に応じてしきい値を設定できます。各チャンネルに接続されているスピーカーとケーブルのインピーダンスは異なるため、各チャンネルに固有のしきい値を割り当てることができます。

開放負荷 (OL) テストでは、テストしたチャンネル (I) の OUT_(I)M ピンと OUT_(I)P ピンの間の導電性パスのインピーダンスが、電気的特性 セクションに指定されたインピーダンスよりも高い場合にフォルト条件がトリガされます。

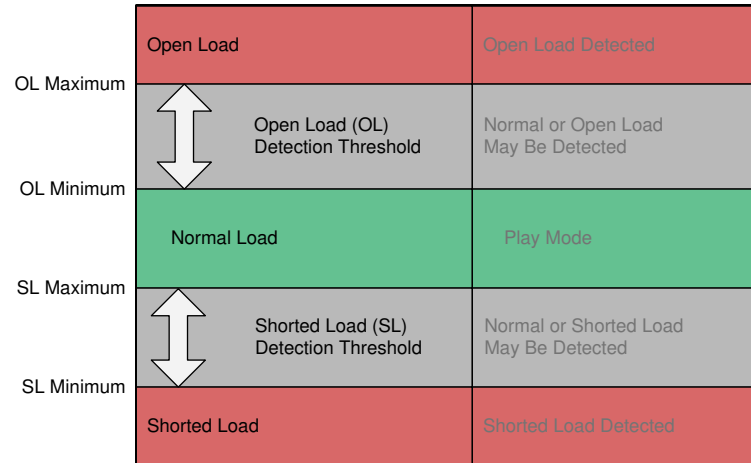


図 7-16. DC 負荷診断を通知するしきい値

7.3.5.2 ライン出力診断

このデバイスは、ライン出力負荷 (LO) を検出するためのオプションとして試験機能も搭載しています。ライン出力負荷が、開放負荷 (OL) しきい値を上回る高インピーダンス負荷になると、DC 負荷診断によって OL 状態が通知されます。DC 診断試験中に OL 状態が検出されると、ライン出力検出ビットが High に設定されている場合、ライン出力負荷が存在するかどうかシステムがテストします。

7.3.5.3 AC 負荷診断

AC 負荷診断は、パッシブクロスオーバで使用される場合、容量性カップリングスピーカやツイータの適切な接続を判定するために使用されます。AC 負荷診断は、I²C 通じてコントロールされます。TAS6754-Q1 は、AC インピーダンスを判定し、ツイータ検出結果を I²C レジスタに通知するために必要な信号ソースを提供します。I²C で選択したテスト周波数により、適切に検出できるように、目的のスピーカに電流が流れます。AC 負荷診断は、TDM/I²S クロックが存在しなくても動作できます。

注

AC 診断中にフォルトが発生すると、AC 診断は停止します。AC 診断は、DC 診断が実行されるまで再度実行することはできません。これは、AC 診断中の障害に潜在的な危険性がないことを確認するためです。

7.3.5.3.1 動作原理

TAS6754-Q1 の AC 負荷診断回路は、負荷に対して内部で生成されたスティミュラスを提供し、負荷応答をキャプチャします。キャプチャされた複素負荷インピーダンスの実数部分と虚数部分を提供し、振幅推定機能とツイータ検出コンパレータを提供します。

7.3.5.3.2 刺激信号

このデバイスは、負荷を通して低レベルの 10mA 出力電流を駆動します。これにより、スピーカから大きな音圧レベルが生じることはありません。

7.3.5.3.3 負荷インピーダンス

デバイスから見た負荷インピーダンスは、単に出力ピンにかかる電圧と負荷を流れる電流の比を表したものです。

通常、負荷には周波数に依存した大きさがあり、電流と電圧に位相シフトを引き起こします。TAS6754-Q1 は、負荷インピーダンスを実数部と虚数部からなる複素値として内部的に取り込みます。負荷インピーダンスを大きさと位相、または実数部と虚数部で表現することは、数学的に等価です。両方の形式は、情報を失うことなく互いに変換することができます。AC 負荷診断が完了すると、複素数インピーダンスの実数部分と虚数部はチャンネルで利用でき、I²C レジスタから入手することができます。

7.3.5.3.4 ツイーター検出

ほとんどの場合、TAS6754-Q1 内蔵の振幅推定機能とツイータ検出レポートを使用すれば、希望のツイータ検出テストを実行するのに十分です。システムにツイーターが正しく接続されている場合、負荷インピーダンスの大きさはスピーカの公称インピーダンス(たとえば 4Ω など)に近くなります。

7.3.5.4 リアルタイム負荷診断

リアルタイム負荷診断(RTLDG)により、アンプのオーディオ動作中に負荷の短絡(SL)と開放負荷(OL)状態を検出できます。再生状態中に負荷インピーダンスを監視するため、TAS6754-Q1 はデバイスに内蔵された電流センス機能を使用してチャンネルごとの出力インピーダンスを測定し、その結果設定可能なしきい値と比較します。内部で生成されるパイロット・トーンにより、外部オーディオ入力信号が存在するかどうかにかかわらず、出力インピーダンスを連続的に検出し続けます。

7.3.5.5 DC 抵抗の測定

TAS6754-Q1 は、各チャンネルに接続した負荷の DC 抵抗測定をサポートしており、これらの負荷は I²C 経由でシステムプロセッサへリードバックすることができます。各チャンネルに接続している負荷の DC 抵抗を読み取るには、DC 負荷診断を完了する必要があります。

7.3.6 保護および監視

7.3.6.1 過電流制限 (サイクル バイ サイクル)

通常動作時に、高レベルの音楽再生中に、動的負荷電流がデバイスの最大負荷電流 I_{LIM} を超える場合があります。このような場合、デバイスは負荷に流入する電流を動的に制限し、動作を中断することなく継続し、過渡的な音楽イベントで望ましくないシャットダウンを防止します。

7.3.6.2 過電流シャットダウン

出力負荷電流が I_{SD} (出力から GND への短絡時など)に達すると、過電流シャットダウン(OCSO)イベントが発生し、ピーク電流が制限され、影響を受けるチャンネルがシャットダウンされます。チャンネルをシャットダウンする時間は、短絡状態の重大度によって異なります。

チャンネルが **FAULT 状態** になると、出力段は Hi-Z になります。

設定に基づき Fault 信号が生成されますが、デフォルトでは $\overline{\text{FAULT}}$ ピンにアクティブ LOW 信号が生成されます。

7.3.6.3 電流センス

TAS6754-Q1 は、各チャンネルの出力電流を同時に測定できます。この機能は完全に統合されており、外付け部品は必要ありません。

チャンネル出力電流の測定は、サンプリング周波数 F_s のレートで行われます。電流振幅の測定値は、SDOUT によって提供されます。データ送信設定の詳細については、SDOUT を参照してください。電流測定とデータ送信は 2 つの別個の機能であり、どちらもデータを利用できるようにするために適切な設定が必要です。

7.3.6.4 DC 検出

この回路は、通常動作中、アンプの DC オフセットを連続的に検出します。DC オフセットが DC_{FAULT} のしきい値を超えると、DC フォルトイベントがトリガーされて **FAULT 状態** になり、出力段は高インピーダンスに設定されます。

設定に基づいてフォルト信号が生成され、デフォルトでは $\overline{\text{FAULT}}$ ピンにアクティブ LOW 信号が生成されます。

過剰な DC バイアス出力によるスピーカの損傷を防止するため、TI では常に DC 検出を有効にしておくことを推奨しています。

7.3.6.5 デジタル クリップ検出

DSP は各チャンネルのオーディオ信号を個別に監視し、入力でのオーディオ信号の振幅を補間フィルタと、設定可能なしきい値と比較します。オーディオ信号がしきい値を超えると、**クリップ検出警告イベント** がトリガされます。

TAS6754-Q1 は、疑似アナログクリップ検出 (PACD) をサポートしています。PACD では、DSP 処理が、出力を設定したクリッピングしきい値に対してクリッピングしているかどうかを判断するときに、アナログゲインと電源電圧を考慮して、アナログクリップ検出アプローチを模倣します。

7.3.6.6 チャージポンプ

TAS6754-Q1 には、チャージポンプのピン (CP、CPC_TOP、CPC_BOT) に保護機能が組み込まれています。デバイスがチャージピンで障害状態を検出すると、チャージポンプはクロックサイクルをスキップします。これは、1 回の故障サイクルとみなされます。デバイスは、次の受信クロックサイクルで再試行します。2 回連続してまたは合計で 3 回の故障条件を検出すると、チャージポンプは受信クロックを無視し始め、出力段が Hi-Z になり、チャージポンプがシャットダウンする **チャージポンプ障害** の状態になります。

設定に基づき Fault 信号が生成されますが、デフォルトでは $\overline{\text{FAULT}}$ ピンにアクティブ LOW 信号が生成されます。

7.3.6.7 温度保護および監視

このデバイスは、5 つの温度センサを使用して温度を監視します。出力チャネルには、出力チャネル出力段の中央付近に温度センサがあり、各チャネルの温度を個別に監視します。追加の温度センサはダイ上のグローバルポジションに配置されています。これは、実際のダイ接合部温度を適切に表しています。これらのセンサに基づいて、警告信号やフォルト信号が生成されます。**サーマルゲインフォールドバック** 方式が利用可能で、オーディオゲインを自律的に調整し、結果的にダイ温度を制限します。

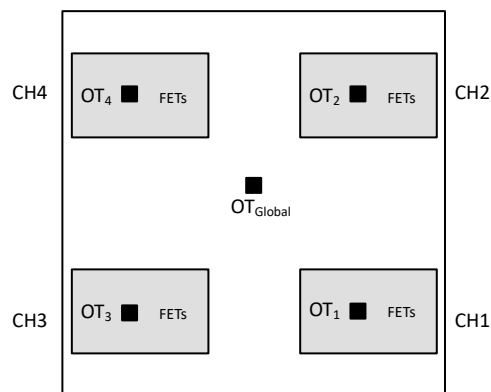


図 7-17. デバイス内の温度センサ位置の概要

7.3.6.7.1 過熱シャットダウン

グローバル OTSD と出力チャネルによって生成される過熱シャットダウンのしきい値温度は、OTSD (i) で固定した値に設定します。公称温度および回復ヒステリシスの値については、**セクション 5.5** を参照してください。

グローバル OTSD: グローバル接合部温度が OTSD しきい値を上回ると、すべてのチャネルが保護シャットダウン状態になり、**過熱シャットダウン (OTSD) イベント** が生成されます。

チャネル固有の OTSD: チャネルの接合部温度が OTSD しきい値を上回ると、影響を受けるチャネルは保護状態になり、**過熱シャットダウン (OTSD) イベント** が生成されます。

警告レベルと OTSD の温度の許容誤差は互いに追従します。

デフォルトでは、OTSD イベントが発生すると、フォルト信号により $\overline{\text{FAULT}}$ ピンにアクティブ LOW 信号が生成されます。

7.3.6.7.2 過熱警告

グローバル過熱警告 (OTW) のしきい値温度は、**電氣的特性** に示されているレベルに固定されています。各出力チャネルには独立した温度センサがあります。

動作中に、デバイスが過熱してしきい値を超えると、グローバル [過熱警告イベント](#) が生成されます。同様に、チャンネルの温度がしきい値を上回ると、そのチャンネルの過熱警告イベントが生成されます。デバイスが動作を続けている間、OTW 情報によって高度なソフトウェアが熱システムの性能を最適化する決定を下すことができます。

[過熱警告イベント](#) で説明されているように、このレポートは、I²C レジスタによってポーリングするか、または警告信号用の GPIO ピンを割り当て、OTW レポートルーティングをイネーブルにすることでハードウェア信号を生成することができます。

7.3.6.7.3 サーマル ゲイン フォールドバック

サーマルゲインフォールドバック(TGFB)は、オーディオ出力を維持しながら TAS6754-Q1 を過剰なダイ温度から保護するための電力制限機能です。

フォールドバック電力制限の主な目的は、予期しない [過熱シャットダウン](#) を回避するために、出力段を安全な消費電力制限内に維持することです。この機能により、スムーズなオーディオ応答が得られ、温度制限を超えた場合でも、中断なく音楽を再生できます。つまり、TAS6754-Q1 は、単純にシャットダウンするのではなく、OTSD のトリガを避けながら、相当程度の音楽出力パワーで動作を継続します。

TAS6754-Q1 の DSP は、安全な動作のためにダイ温度をリアルタイムで継続的に監視します。ダイの温度が OTW 制限に近づいてくると、デバイスはホストに警告を発します。TAS6754-Q1 は、温度が OTSD しきい値に達するまで機能しますが、その時点で個別のチャンネルまたはアンプがシャットダウンされます。

チャンネルのダイ温度が設定したフォールドバックレベルを上回ると、最初はサーマルゲインフォールドバック回路がアクティブになります。デバイスは、サンプルごとに 0.25dB ずつゲインを減らし、これによって出力電力の低減を開始します。このアタックレートを設定できます。設定された最大減衰はレベルごとに異なり、レベル間で累積されません。

温度がフォールドバックレベルより以下の場合、減衰は設定可能なサンプル数を保持します。その後、サンプルあたり 0.1dB のゲインステップレートで減衰の解放を始めます。TGFB によるリリースレートはプログラム可能です。

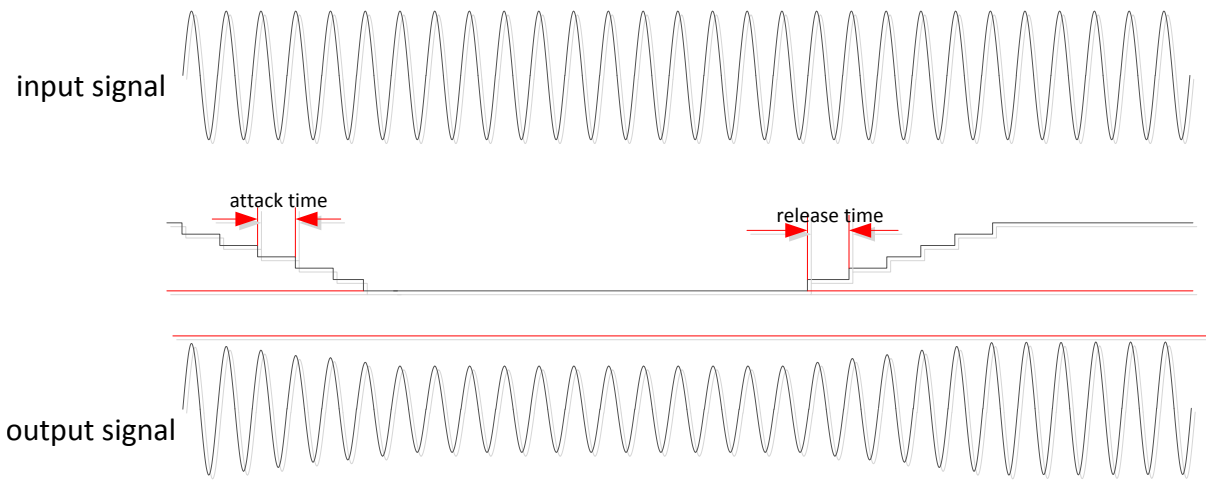


図 7-18. サーマルフォールドバックアタックおよびリリース

7.3.6.8 電源障害

電源 VBAT、PVDD、DVDD、チャージポンプは、[電源フォルトイベント](#) に記載されているように、低電圧および過電圧イベントを監視しています。これにより自動的にシャットダウンが開始され、デバイスが保護されます。VBAT および PVDD の安全動作電圧範囲については、[推奨動作条件](#) の表をご確認ください。

DVDD 電源が V_{POR_OFF} を下回ると、デバイスはシャットダウンします。DVDD POR フォルトイベントについては、[DVDD パワーオンリセット](#) で説明します。

7.3.7 ハードウェア制御ピン

7.3.7.1 $\overline{\text{FAULT}}$ ピン

デフォルトでは、 $\overline{\text{FAULT}}$ ピンはフォルトイベントを通知し、以下のいずれかの条件でアクティブ Low になります。

- 過熱シャットダウン (OTSD) - ラッチングとラッチングなし
- 過電流制限およびシャットダウンイベント - ラッチ
- DC 検出 - ラッチング

レジスタビットは、フォルトカテゴリを $\overline{\text{FAULT}}$ ピンへの通知からマスクすることができます。これらのビットはピンの設定をマスクするだけで、デバイスのレジスタレポートまたは保護には影響しません。追加のフォルトイベントを $\overline{\text{FAULT}}$ ピンによるレポートに割り当てることができます。以下のものが該当します。

- 電源フォルト - ラッチングとラッチングなし
- DC 負荷診断エラー
- リアルタイム負荷診断レポート - ラッチングおよび
- クロックエラー - ラッチング
- チャージポンプの故障 - ラッチングとラッチングなし
- 警告イベント

このピンは内部の 110k Ω プルアップ抵抗を介して DVDD に接続されているオープンドレイン出力です。

7.3.7.2 $\overline{\text{PD}}$ ピン

$\overline{\text{PD}}$ ピンは、アクティブ Low です。アサートされると、デバイスはシャットダウンを開始し、消費電流が最小値に制限されます。シャットダウン時には、すべての内部ブロック電源がオフになり、次の起動時にレジスタはデフォルト値に初期化されます。

このピンには、110k Ω の内部プルダウン抵抗があります。

7.3.7.3 $\overline{\text{STBY}}$ ピン

$\overline{\text{STBY}}$ ピンは、アクティブ Low です。アサートされると、 $\overline{\text{STBY}}$ ピンはデバイスを DEEP SLEEP 状態に設定します。このモードでは、出力ピンが Hi-Z 状態になっている間、デバイスの電流が減少します。内部のアナログバイアスはすべて無効になっています。DEEP SLEEP 状態で、DVDD が存在するとき、I²C バスと内部レジスタが有効になります。

このピンには、内部に DGND への 110k Ω プルダウン抵抗があります。

7.3.7.4 GPIO ピン

TAS6754-Q1 には、設定可能な 2 つの GPIO ピンがあります。これらの GPIO は、入力または出力として設定できます。デバイス初期化およびパワーオンリセット(POR)後で、動作させる前に、これらのピンを I²C を通じて設定する必要があります。

7.3.7.4.1 汎用入力

汎用入力 (GPI) ピンは、関連するレジスタの I²C を使用してピンに機能を割り当てることで設定できます。

7.3.7.4.2 汎用出力

汎用出力 (GPO) ピンは、目的の出力機能の値を I²C を介して GPO ピンの設定レジスタに書き込むことでできます。すべての GPIO ピンの GPO 設定レジスタアドレスをリストアップします。

7.3.7.5 高度な GPIO 機能

7.3.7.5.1 クロックの同期

TAS6754-Q1 は、システムの EMI 挙動向上と電源ピーク電流条件の制御のため、クロック同期のため複数のオプションをサポートしています。

7.3.7.5.1.1 外部同期信号 (GPIO sync)

複数の TAS6754-Q1 は、外部から供給される SYNC 信号を使用して、クロックを同期します。

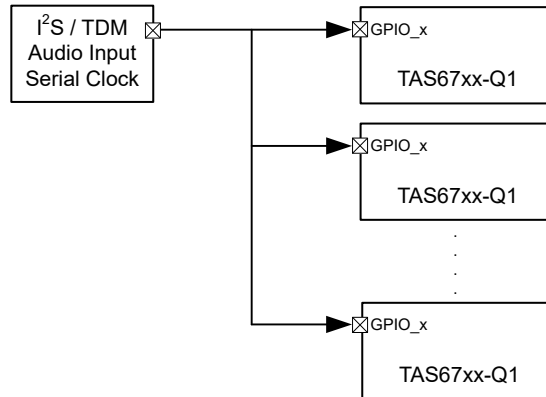


図 7-19. 外部同期信号のアーキテクチャ

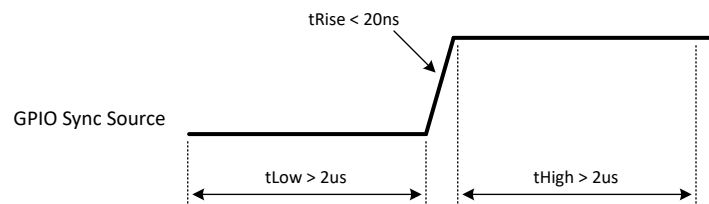


図 7-20. GPIO 同期ソース信号

7.3.7.5.1.2 オーディオシリアルクロック (SCLK) による同期

複数の TAS6754-Q1 は、オーディオシリアルクロック (SCLK) を経由してクロックを同期します。

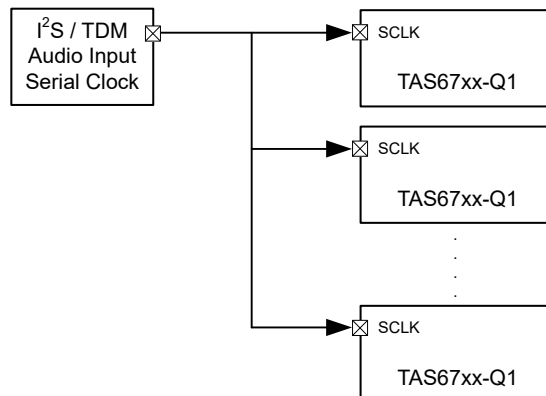


図 7-21. オーディオシリアルクロック (SCLK) の同期アーキテクチャ

7.3.7.5.1.3 外部デバイス用のクロックソースとしての TAS6754-Q1

この同期オプションを使用すると、TAS6754-Q1 はデバイスのクロックを、DC-DC レギュレータなどの外部システムコンポーネントと共有できます。このモードでは、デバイスは選択した GPIO ピンを通じて内部ランプクロックを共有します。スペクトラム拡散が有効化されている場合、クロック出力は影響を受け、接続部品と拡散信号周波数を共有します。クロック同期の正しいシーケンスを維持し、予期しないシステム動作を回避するには、接続しているシステムコンポーネントの技術資料を参照してください。

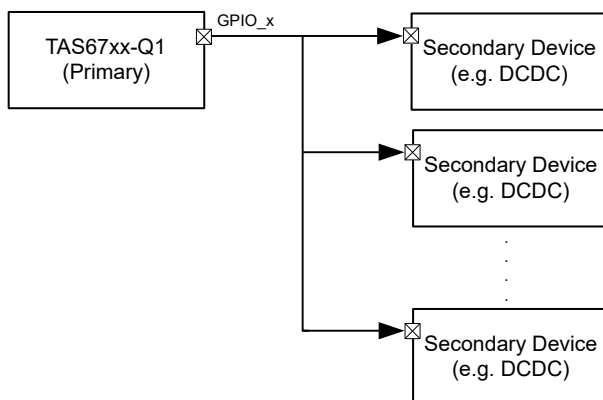


図 7-22. 外部デバイス アーキテクチャ用のクロックソース

7.4 デバイスの機能モード

7.4.1 内部報告信号

ソフトウェアドライバの開発をサポートするため、TAS6754-Q1 によって内部のフォルト信号および警告信号を柔軟に設定できます。これらの信号は、該当する場合、現在のデバイスステータスレジスタまたはメモリレジスタに保存されているイベントに基づいて設定できます。これらの信号は、信号伝達の目的で、使用可能な GPIO ピンに設定およびルーティングできます。

7.4.1.1 フォルト信号

車載システムでは、予期しない状況が発生した場合、デバイス情報の収集に対して厳しく要求します。TAS6754-Q1 のなどのレジスタでは、上位レベルのシステムソフトウェアがシステムを効果的に制御するのに必要なフォルト情報を柔軟に設定できます。

Fault (異常検知) 信号は、以下の [フォルトイベント](#) に応答してアクティブになるよう設定できます：

- 電源の故障 (ラッチ付きまたはラッチなし)
- 過熱シャットダウン (ラッチまたはラッチなし)
- DC 負荷診断イベント
- 過電流制限およびシャットダウン (ラッチ)
- DC 検出 (ラッチ)
- FAULT 状態のチャネル
- リアルタイム負荷診断フォルト (ラッチ)
- クロックエラー (ラッチ)
- チャージポンプフォルト (ラッチ)

デフォルトでは、Fault (異常検知) 信号は [FAULT](#) にルーティングされ、HW 信号を生成します。Fault (異常検知) 信号は、オプションで追加の [GPIO ピン](#) に配線することもできます。

FAULT 信号には、次の 2 つのレポートビットがあります。

- グローバルフォルト - フォルト信号の設定にかかわらず、デバイス内の 任意 のアクティブなフォルトを通知します
- FAULT 信号 - フォルト信号設定レジスタで適切に設定されたアクティブな FAULT 信号を報告します

7.4.1.2 警告信号

警告信号は、次の [警告イベント](#) に応答するように有効化設定ができます：

- 電源の故障 (ラッチ付きまたはラッチなし)
- 過熱シャットダウン (ラッチまたはラッチなし)
- 過熱警告 (ラッチ付きまたはラッチなし)
- DC 負荷診断イベント
- 過電流制限 (ラッチ付きまたはラッチなし)
- クリップ検出 (ラッチ付きまたはラッチなし)
- リアルタイム負荷診断フォルト (ラッチ)
- クロックエラー (ラッチ)

警告信号は、デフォルトではピンにルーティングされていません。TAS6754-Q1 では、警告信号を [GPIO ピン](#) にルーティングして HW 信号を生成するように設定することができます。

- グローバル警告 - クロックフォルトイベントを除く警告信号の設定にかかわらず、デバイス内のアクティブな警告を通知します。
- 警告信号 - アクティブな警告信号を通知します。この信号は、警告信号設定レジスタに応じて設定されます

7.4.2 デバイスの状態とフラグ

7.4.2.1 オーディオ チャンネルの状態

すべてのオーディオチャンネルには音源から負荷までのオーディオパスのセットアップとシャットダウンの手順を入念に制御する一連のステータスがあります。これらの状態を [表 7-2](#) に示します。

表 7-2. オーディオ チャンネルの状態

状態名	出力 FETS	DSP	発振器	I ² C	レベル
シャットダウン	ハイ インピーダンス	停止中	停止中	高インピーダンス	デバイス
ディープ スリープ	ハイ インピーダンス	停止中	アクティブ	アクティブ	デバイス
負荷 DIAG	ハイ インピーダンス	停止中	アクティブ	アクティブ	チャンネル
SLEEP	ハイ インピーダンス	停止中	アクティブ	アクティブ	チャンネル
ハイ インピーダンス	ハイ インピーダンス	アクティブ	アクティブ	アクティブ	チャンネル
PLAY	オーディオによるスイッチング	アクティブ	アクティブ	アクティブ	チャンネル
フォルト	ハイ インピーダンス	停止中	アクティブ	アクティブ	チャンネル
AUTOREC	ハイ インピーダンス	停止中	アクティブ	アクティブ	チャンネル

7.4.2.1.1 シャットダウン状態

$\overline{\text{PD}}$ ピンが **Low** になると、デバイスは、シャットダウン状態を維持したままになります。消費電力を最小限に抑えるため、内部のレギュレータはすべて無効化されています。

$\overline{\text{PD}}$ ピンを解放するとデバイスが起動し、すべてのレジスタがデフォルト値にリセットされます。SHUTDOWN により、個々のチャンネルは逸脱することなく、デバイスレベルで維持されます。

7.4.2.1.2 DEEP SLEEP 状態

DEEP SLEEP では、デバイスはスタンバイ状態になります。DEEP SLEEP 時には、I²C 通信とレジスタ、デジタルコア用の 1.5V LDO がアクティブになります。他のすべてのレギュレータは、エネルギーを節約するために無効のままです。

DEEP SLEEP では、電源投入前に I²C を使用したデバイスの設定に適した状態になっています。シャットダウン状態とは異なり、DEEP SLEEP 状態に移行したり終了したりしても、レジスタマップと DSP メモリは維持されます。

注

DSP は DEEP SLEEP 時に非アクティブになります。

7.4.2.1.3 負荷診断の状態

診断モードでは、DC 診断回路を作動させ、出力電力ステージを作動させることなく、電源への短絡、グランドへの短絡、負荷短絡、負荷開放のテストを行います。出力 FET をアクティブにするには、その前にこれらのテストを異常なく終える必要があります。詳細については、[DC 負荷診断](#) を参照してください。

DC 診断は、デバイスの電源が [推奨動作条件](#) の範囲内であれば、すぐに利用できます。DC 診断機能は、外部のオーディオ入力信号、クロック周波数および同期周波数が利用可能である必要はありません。

Load DIAG は、チャンネルレベルで設定できます。診断テストにパスすると、チャンネルは [SLEEP 状態](#) モードに遷移します。

7.4.2.1.4 SLEEP 状態

SLEEP 状態は、DEEP SLEEP 状態と比較して、アナログ回路やゲートドライバ用の内部 LDO を含む、さらなる機能ブロックをアクティブにします。デジタルから PWM への変換の電源は非アクティブのままです。

SLEEP はチャンネルレベルで設定できます。クロック エラーが存在しない状態で、状態制御レジスタを Hi-Z または PLAY のいずれかに設定することにより、各チャンネルは [Hi-Z 状態](#) に遷移します。

7.4.2.1.5 Hi-Z 状態

Hi-Z 状態では、出力ドライバが ハイ インピーダンス状態に設定され、他のすべてのブロックは完全に機能します。

ステートコントロールレジスタを **PLAY** に設定することにより、チャンネルは **PLAY 状態** に移行します。

7.4.2.1.6 PLAY 状態

PLAY 状態では、デバイスは完全に動作可能です。出力段はアクティブであり、入力信号をスイッチングして増幅します。

リアルタイム負荷診断 をアクティブにすると、接続されている負荷の短絡や開放状態を監視できます。

7.4.2.1.7 FAULT 状態

故障状態は、デバイス内部で生成されるモードで、ユーザーが手動で設定することはできません。

デバイスの 1 つまたは複数のチャンネルが **PLAY** 状態になって故障が発生した場合、デバイスは保護動作を行い、1 つまたは複数のオーディオチャンネルをシャットダウンする必要があります。影響を受けるチャンネルに限って出力 **FET** はオフになり、出力ピンは高インピーダンスになります。影響を受けるチャンネルの状態が「故障」であることが通知されます。

各チャンネルがこの状態に移行する理由として、次のことが考えられます：

- ・ 過電流シャットダウン
- ・ 負荷電流 故障
- ・ DC 診断不具合
- ・ リアルタイム負荷診断 故障
- ・ チャンネル過熱シャットダウン(自動回復なしに設定されている場合)

すべてのチャンネルがこの状態に移行する理由として、以下が考えられます：

- ・ 自動回復を行わないように設定されている場合、グローバル過熱シャットダウン
- ・ チャージポンプ 故障

7.4.2.1.8 自動復旧 (AUTOREC) 状態

AUTOREC はデバイス内部で生成される状態のことで、ユーザーが手動で設定することはできません。

デバイスの 1 つまたは複数のチャンネルが **PLAY** 状態になって故障が発生した場合、デバイスは保護動作を行い、1 つまたは複数のオーディオチャンネルをシャットダウンする必要があります。影響を受けるチャンネルの出力 **FET** はオフになり、出力ピンは高インピーダンスになります。保護シャットダウンの原因が解消されると、デバイスは自動的に復旧し、**PLAY** に戻ります。影響を受けたチャンネルの通知済の状態が「**AUTOREC**」です。

各チャンネルがこの状態に移行する理由としては、次のことが考えられます：

- ・ チャンネル過熱シャットダウン、OTSD (I)、(自動復旧に設定されている場合)

すべてのチャンネルがこの状態に移行する理由としては、次のことが考えられます。

- ・ 電源障害
- ・ クロック エラー
- ・ グローバル過熱シャットダウン、OTSD (自動復旧に設定されている場合)

7.4.3 フォルト イベント

7.4.3.1 電源フォルト イベント

電源フォルトイベントは、デフォルトではピン通知からマスクされています。これは有効化できます。詳細については、**FAULT** をご覧ください。

7.4.3.1.1 DVDD パワーオン リセット (POR)

DVDD が V_{POR_OFF} を下回ると、デバイスはシャットダウンします。すべてのチャンネルが **SLEEP** 状態に設定され、DSP が無効化され、 I^2C 通信が終了します。DVDD が V_{POR_SET} を上回るか、デバイスに最初に電力が供給されたときに、

DVDD が V_{POR_SET} を上回っていると、デバイスはパワーオンリセットルーチンを開始します。このルーチン中は、すべてのレジスタとデバイスの状態がデフォルト値に設定されます。

7.4.3.1.2 DVDD 低電圧フォルト

DVDD 低電圧 (UV) 保護機能は、DVDD ピンの低電圧を検出します。UV 条件が発生した場合、デバイスはすべてのチャネルを **PLAY/Hi-Z** (ハイ インピーダンス) から **自動復帰 (AUTOREC)** 状態に移行し、DSP を無効化して、I²C レポートレジスタを更新します。

7.4.3.1.3 VBAT 過電圧フォルト

VBAT 電源レールが公称範囲を上回ると、VBAT 過電圧フォルトイベントが生成され、デバイスは **自動回復 (AUTOREC) 状態** になります。VBAT が公称範囲内に戻ると、フォルトイベントがクリアされます。

7.4.3.1.4 VBAT 低電圧フォルト

VBAT 電源レールが公称範囲を下回ると、VBAT 低電圧フォルトイベントが発生し、デバイスは **自動回復 (AUTOREC) 状態** になります。VBAT が公称範囲まで戻ると、フォルト イベントはクリアされます。

7.4.3.1.5 PVDD 過電圧フォルト

PVDD 電源レールが公称範囲を上回ると、PVDD 過電圧フォルトイベントが生成され、デバイスは **自動回復 (AUTOREC) 状態** になります。PVDD が公称範囲内に戻ると、フォルトイベントはクリアされます。

7.4.3.1.6 PVDD 低電圧フォルト

PVDD 電源レールが公称範囲を下回ると、PVDD 低電圧フォルト イベントが生成され、デバイスは **自動回復 (AUTOREC) 状態** に移行します。PVDD が公称範囲まで戻ると、フォルト イベントはクリアされます。

7.4.3.2 過熱シャットダウン (OTSD) イベント

過熱シャットダウン セクションでは、デバイスが OTSD イベントを発生させる状況と設定可能な回復動作について説明します。

7.4.3.3 過電流制限フォルト イベント

「**過電流制限 (サイクル毎)**」セクションでは、デバイスが過電流制限フォルトイベントを発生させる状況について説明します。これは、限られた時間だけ続く一時的なイベントです。

7.4.3.4 過電流シャットダウン イベント

過電流保護 のセクションでは、デバイスが OCSD イベントを生成する状況についてご説明します。

過電流シャットダウン (OCSD) イベントは過渡イベントであり、ステータスレジスタには通知されません。ラッチされた OCSD イベントは、チャネル過電流および DC 検出フォルトメモリレジスタに通知されます。影響を受けているチャネルは **FAULT 状態** になります。

7.4.3.5 DC フォルト イベント

DC 検出 セクションでは、デバイスが DC フォルトイベントを生成する状況についてご説明します。

DC フォルトイベントは過渡イベントであり、ステータスレジスタでは通知されません。ラッチされた DC フォルトイベントは、チャネル過電流および DC 検出フォルトメモリレジスタに通知されます。影響を受けているチャネルは **FAULT 状態** になります。

7.4.3.6 クロック エラー イベント

クロックレート セクションでは、サポートしているオーディオデータ形式、ビット深度、クロックレートについて解説します。これらの条件に違反した場合やクロックが停止した場合、デバイスはクロック **Error Fault** イベントを通知し、徐々に **AUTOREC 状態** に遷移します。オーディオクロックの回復後、デバイスは自動的に以前の状態に戻ります。

クロックエラーイベントは過渡イベントであり、ステータスレジスタでは通知されません。

7.4.3.7 チャージポンプの故障事象

チャージポンプ のセクションでは、デバイスがチャージポンプの故障事象を発生させる状況とそのリカバリ動作について説明します。

7.4.4 警告イベント

7.4.4.1 過熱警告イベント

過熱警告 セクションでは、デバイスが過熱警告イベントを発生させる状況について説明します。

7.4.4.2 過電流制限警告イベント

過電流制限(サイクル毎) セクションでは、デバイスが過電流制限警告イベントを生成する状況について説明します。これは、限られた時間だけ続く一時的なイベントです。

7.4.4.3 クリップ検出警告イベント

クリップ検出 セクションでは、デバイスがクリップ検出警告イベントを発生させる状況について説明します。

7.5 プログラミング

7.5.1 I²C シリアル通信バス

このデバイスは、I²C シリアル通信バスを介して I²C ターゲット専用デバイスとしてシステムプロセッサと通信し、100kHz および 400kHz のデータ転送レートをサポートして、ランダムおよびシーケンシャルの書き込みおよび読み取り動作をサポートしています。プロセッサは I²C を介してデバイスをポーリングし、動作ステータスの判定、設定の構成、診断の実行を行うことができます。

TAS6754-Q1 のレジスタマップと DSP メモリは、複数のページとブックにまたがっています。ユーザーは、個別のレジスタや DSP メモリに書き込む前に、ページからページへの変更を行います。ページからページへの変更は、各ページのレジスタ 0 を介して行われます。このレジスタ値は、ページアドレスを 0 ~ 255 の範囲で選択します。TAS6754-Q1 データシートに記載されているすべてのレジスタは、ページ 0 に属します。

すべての I²C 制御の完全な一覧と説明については、レジスタマップのセクションを参照してください。

7.5.2 I²C アドレスの選択

TAS6754-Q1 は、8 つの I²C アドレスをサポートしているため、バス切り替えハードウェアを追加しなくても、最大 8 つのデバイスを 1 つのシステム使用できます。

デバイスの I2C_ADDR ピンと DVDD レール(プルアップ)または GND(プルダウン)の間に接続されているプルアップまたはプルダウン抵抗によって、電源投入時の I²C アドレスが決まります。I²C アドレスは POR イベントの後にラッチされ、次の POR イベントまでロックされます。

表 7-3. I²C アドレス

I2C_ADDR ピン、プルアップ抵抗	I2C_ADDR ピン、プルダウン抵抗	I ² C 書き込み	I ² C 読み出し
-	0	0xE0	0xE1
-	1kΩ	0xE2	0xE3
-	4.7kΩ	0xE4	0xE5
-	24kΩ	0xE6	0xE7
24kΩ	-	0xE8	0xE9
4.7kΩ	-	0xEA	0xEB
1kΩ	-	0xEC	0xED
0	-	0xEE	0xEF

7.5.3 I²C バス プロトコル

I²C バスは、SDA (データ) と SCL (クロック) の 2 つの信号を使用して、シリアル データ伝送によりシステム内の集積回路間で通信を行います。データはバス上に 1 ビットずつシリアルに送信されます。アドレスとデータはバイト (8 ビット) 形式で転送され、最上位ビット (MSB) から送信されます。さらに、バス上で転送される各バイトは、受信デバイスによってアクノリッジ ビットで確認されます。各転送操作は、コントローラ デバイスがバス上にスタート コンディションを生成することで開始し、ストップ コンディションを生成することで終了します。バスは、クロックが HIGH のときに、データ ピン (SDA) の遷移を使用して、開始条件および停止条件を示します。SDA ラインでの HIGH から LOW への遷移は開始条件を示し、LOW から HIGH への遷移は停止条件を示します。通常のデータ ビット遷移は、クロック (SCL) が LOW のときです。コントローラ は、7 ビットのターゲット アドレスを生成し、読み取り / 書き込み (R/W) ビットを送信して他のデバイスとの通信を開始し、次にアクノリッジ (ACK) 条件を待ちます。デバイスは、アクノリッジ クロック期間に SDA LOW を保持し、アクノリッジを示します。この状態になると、コントローラ デバイスはシーケンスの次のバイトを送信します。各デバイスは、固有の 7 ビットのターゲット アドレスと R/W ビット (1 バイト) によってアドレス指定されます。すべての互換デバイスは、ワイヤード-AND 接続を使用した双方向バスを介して、同じ信号を共有します。外部プルアップ抵抗により SDA 信号と SCL 信号の両方にバスの HIGH レベルを設定する必要があります。開始条件と停止条件の間で送信できるバイト数は無制限です。最後のワードが転送されると、コントローラはバスを解放するために停止条件を生成します。

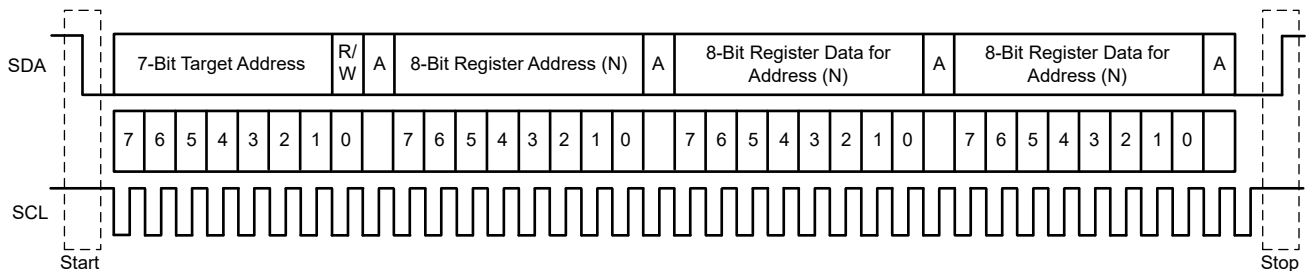


図 7-23. 代表的な I²C シーケンス

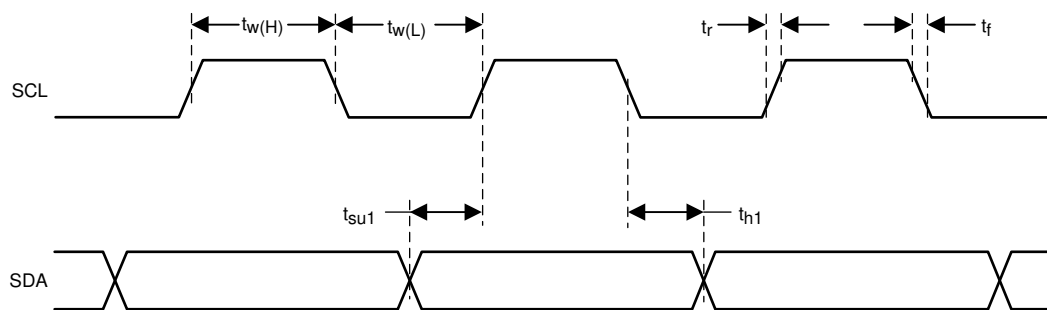


図 7-24. SCL と SDA のタイミング

7.5.4 ランダム書き込み

図 7-25 に示す通り、シングル バイトのデータ書き込み転送では、最初にマスター デバイスが開始条件を送信し、次に I²C デバイス アドレスと R/W ビットがこれに続きます。データ転送方向は、R/W ビットによって決定されます。書き込みデータ転送する場合、R/W ビットは 0 です。正しい I²C デバイス アドレスと R/W ビットを受信すると、デバイスはアクノリッジ ビットを返します。次に、コントローラは、アドレスバイトまたはアクセスしている内部メモリ アドレスに対応する バイトを送信します。デバイスは、レジスタ バイトを受信すると、再度アクノリッジ ビットを返信します。次に、コントローラ デバイスはアクセスしているメモリアドレスに書き込まれたデータバイトを送信します。デバイスは、レジスタ バイトを受信すると、再度アクノリッジ ビットを返信します。最後に、コントローラ デバイスが停止条件を送信すると、シングル バイト データの書き込み転送が完了します。

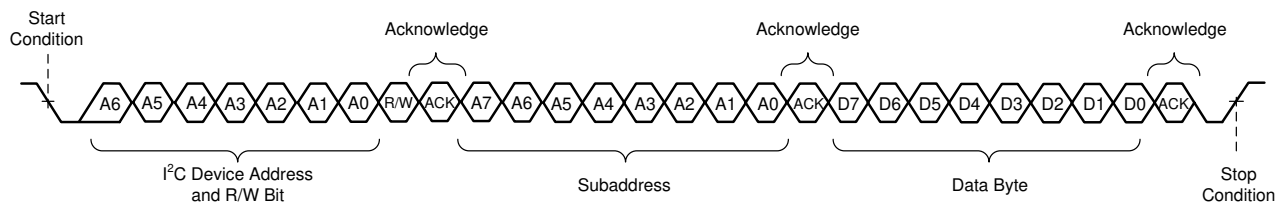


図 7-25. ランダム書き込み転送

7.5.5 シーケンシャル書き込み

シーケンシャル データの書き込み転送は、図 7-26 に示すように、複数のデータ バイトがコントローラからデバイスに送信される点を除き、シングル バイト データの書き込み転送と同じです。各データバイトを受信すると、デバイスはアクノリッジビットで応答し、I²C サブアドレスが自動的に 1 つずつ増加します。

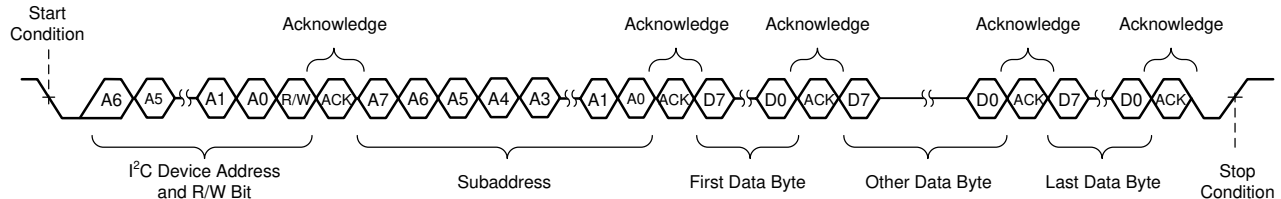


図 7-26. シーケンシャル書き込み転送

7.5.6 ランダム読み出し

図 7-27 に示すように、シングル バイトのデータ読み取り転送では、コントローラ デバイスが開始条件を送信し、次に I²C デバイス アドレスと R/W ビットを送信することで開始されます。データ読み取り転送の場合、書き込みとその次の読み取りの両方が行われます。最初に、内部メモリ アドレスの読み取りに必要なアドレス バイトを転送するために、書き込みが実行されます。その結果、R/W ビットは 0 になります。このデバイスは、アドレスと 読み取り / 書き込み ビットを受信すると、アクノリッジビットで応答します。さらに、内部メモリアドレスバイトを送信後、コントローラデバイスは別の開始条件に続いて、アドレス、R/W ビットを送信します。このとき、R/W ビットは 1 に設定され、読み取り転送が実行されたことを示します。デバイスは、アドレスと R/W ビットを受信すると、再度アクノリッジビットで応答します。次に、デバイスは読み取り中のメモリアドレスからデータ バイトを送信します。データ バイトを受信すると、コントローラデバイスは非応答 (not-acknowledge) を送信し、その後、停止条件を出して、シングルバイトデータ読み取り転送が完了します。

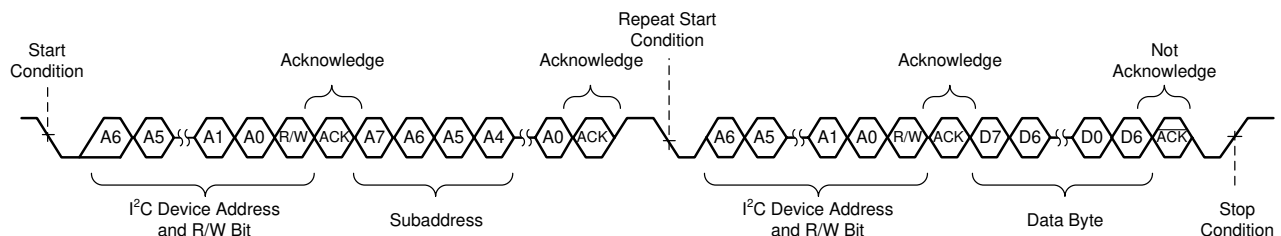


図 7-27. ランダム読み取り転送

7.5.7 シーケンシャル読み出し

シーケンシャルデータの読み取り転送はシングル バイトのデータ読み取り転送と同じですが、[図 7-28](#) に示すように、複数のデータ バイトがデバイス によってコントローラデバイスに送信されます。コントローラデバイスは、最後のデータバイトを除いて、各データバイトを受信すると肯定応答ビットで応答し、**I²C** サブアドレスを自動的に 1 ずつインクリメントします。最後のデータバイトを受信した後、コントローラデバイスは、転送を完了するために非応答 (**NACK**) を送信し、その後に停止条件を送信します。

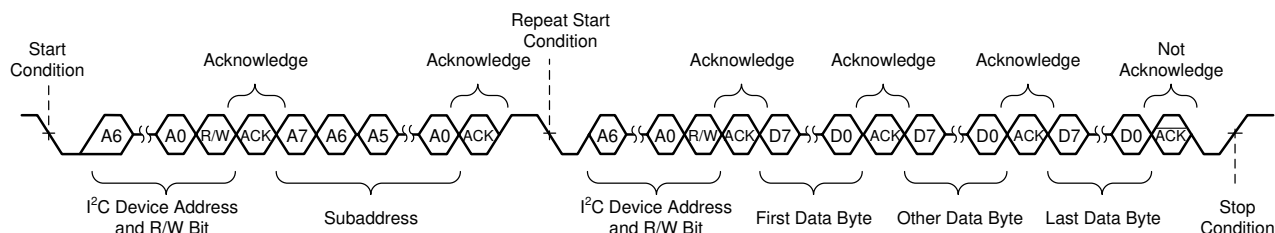


図 7-28. シーケンシャルリード転送

8 アプリケーション情報に関する免責事項

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

TAS6754-Q1 は、車載用ヘッドユニットや外部アンプモジュールで使用するための 4 チャンネルのデジタル入力 Class-D オーディオアンプの設計で、リアルタイム電流フィードバックと DSP が内蔵されています。TAS6754-Q1 は、厳しい条件が要求される車載用 OEM アプリケーションで機能するために必要な機能を搭載しています。

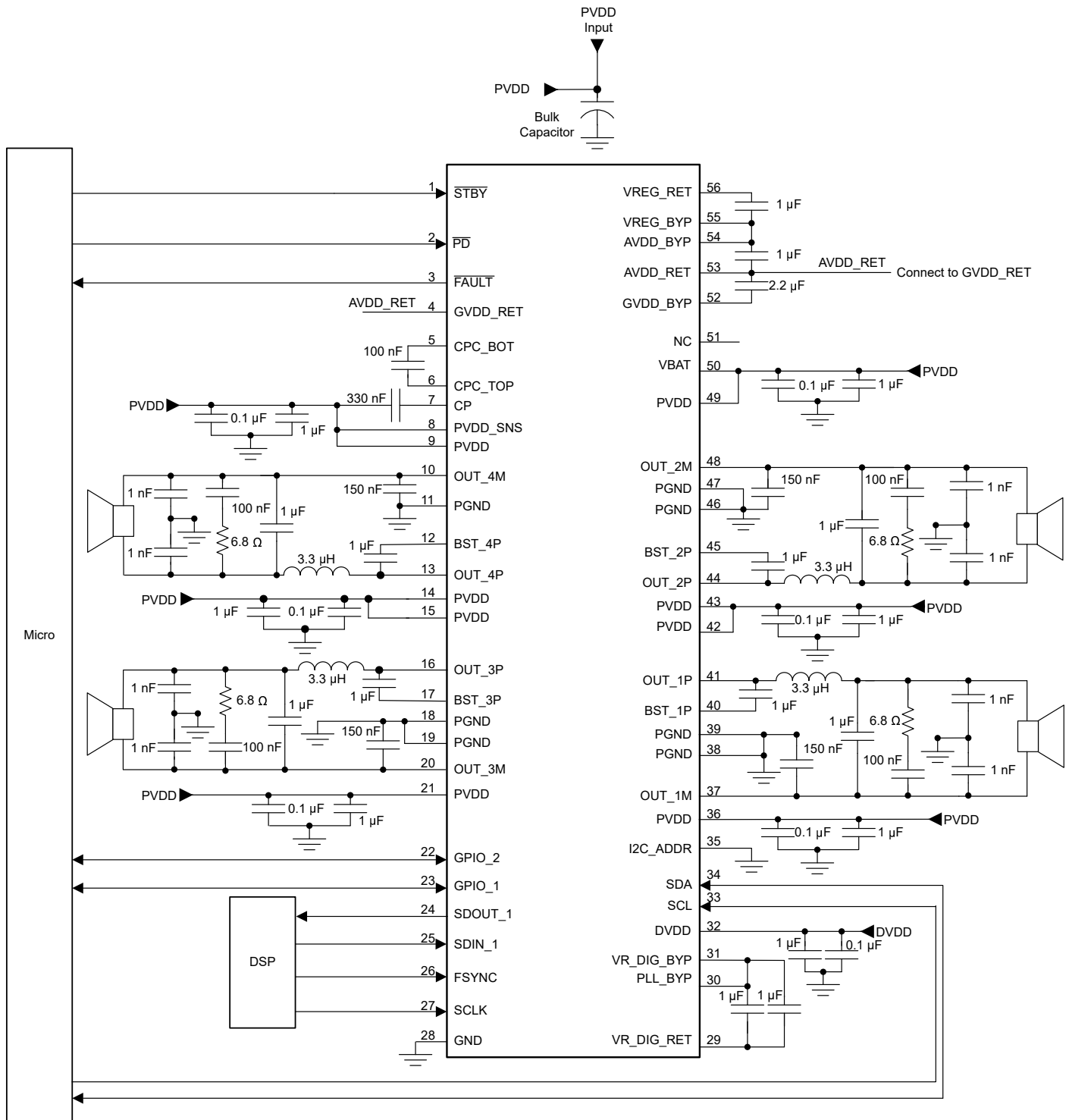
8.1.1 再構成フィルタ設計

アンプ出力は、H-ブリッジ設定の高電流 LDMOS トランジスタによって駆動されます。OUTP トランジスタは完全にオフになっているか、完全にオンになっています。その結果、オーディオ信号の振幅に比例するデューティサイクルの方形波出力信号が生成されます。オーディオ信号の復元には、LC 復調フィルタを使用します。このフィルタは、オーディオ帯域外の出力信号の高周波成分を減衰させます。復調フィルタの設計は、パワーアンプのオーディオ性能に大きな影響を及ぼします。したがって、システムの THD+N 要件を満たすためには、出力フィルタで使用するインダクタを、慎重に検討した上で、選定する必要があります。

8.2 代表的なアプリケーション

8.2.1 BTL アプリケーション

図 8-1 に、代表的な 4 チャンネルアプリケーションの回路図を示しています。



8.2.2 電源に関する推奨事項

TAS6754-Q1 には、3 つの電源が必要です。PVDD 電源は、推奨電源範囲内の高電流電源です。VBAT 電源は、推奨電源電圧範囲内の低電流電源です。PVDD ピンと VBAT ピンは同じ電源に接続できます。より高い電圧を使用する場合、TI では VBAT に車載用バッテリー電圧を使用して効率を向上させることを推奨しています。DVDD 電源は 1.8Vdc または 3.3Vdc のロジック電源であり、デバイスデータシートの「推奨動作条件」に示されている許容誤差を守る必要があります。

8.2.3 電源のデカップリング

電源のデカップリングには複数の機能があります。大容量電解コンデンサは、オーディオ周波数による PVDD 電圧リップルを低減するために使用されます。PVDD ピンの各グループの 1 μ F MLCC は、PWM スイッチング周波数での PVDD 電圧リップルを低減するためのもので、100nF は EMI を低減するためのものです。大きな電解コンデンサの容量は、使用する昇圧コンバータのレギュレーション能力によって異なります。バッテリーで長いワイヤを使用する場合、出力電力要件を満たすようにオーディオ帯域の電圧リップルを低減するには、より大きな容量が必要です。

8.3 レイアウト

8.3.1 レイアウトのガイドライン

TAS6754-Q1 には、デバイスの両側に 2 つの出力チャンネルがあり、最高の熱性能を実現しています。代表的なアプリケーション回路図については、[代表的なアプリケーション](#) を参照してください。[図 8-2](#) に、低 EMI の参考レイアウトを示します。

8.3.1.1 サーマル パッドとヒートシンクの電氣的接続

DKQ パッケージの場合、デバイスのサーマルパッドに接続されたヒートシンクを GND に接続します。ヒートスラグは、他の電気ノードに接続しないでください。

8.3.1.2 EMI に関する考慮事項

車載レベルの EMI 特性は、慎重な IC 設計と適切なシステムレベル設計の双方に依存しています。電磁干渉(EMI)の発生源を制御することは、設計のあらゆる面で主な検討事項になっていました。この設計では、パッケージ上のリードが短いため、寄生インダクタンスが最小限に抑えられています。これにより、ダイからシステム PCB に電流が流れることによる EMI を低減できます。また、チャンネルごとに異なる位相で動作します。この設計には、EMI を引き起こす出力遷移を最適化する回路も内蔵されています。

EMI の最適化には、ソリッドなグラウンドレイヤプレーンを推奨します。TAS6754-Q1 の EVM レイアウトは適切な出発点ですが、EVM レイアウトは EMC 試験には推奨されません。EMI 要件にパスし続けるには、基板レベルのさらなる最適化が推奨されます。[図 8-2](#) で、最初の参考資料をご覧ください

8.3.1.3 一般ガイドライン

次のガイドラインについては [セクション 8.3.2](#) を参照ください:

- PVDD デカップリングコンデンサである **A**、100nF のコンデンサは同じレイヤでデバイスのごく近くに配置されており、グラウンドリターンは PGND ピンの近くに配置されています。1 μ F コンデンサは、PCB の背面に配置することができます。
- 大電流を運ぶ配線には、複数のビアである **B** が組み込まれており、これらのトレースの直列インピーダンスを低減します。
- デバイスのピンと同じ側にグラウンドプレーン **C** を配置すると、高周波スイッチング電流に対して非常に小さいループインピーダンスを実現することができ、EMI を低減に役立ちます。このプレーンには、もう一方のレイヤのグラウンドプレーンとの間に多数のビアがあります。
- LC フィルタのコンデンサのグラウンド接続 **D** では、デバイスに戻るための直接パスを備えており、各チャンネルのグラウンドリターンも共有されます。この直接パスにより、同位相 EMI 除去性能を向上させることができます。これは、PCB の TAS6754-Q1 と同じレイヤにあります。
- OUT_xP インダクタ、OUT_xP から OUT_xM コンデンサ、OUT_xM から GND コンデンサ **E** には、デバイスの OUT ピンから GND ピンまで、最小ループサイズが必要です。これらは、スイッチング関連の PCB 配線です。ループサイズは電界結合に直接影響します。

- ヒートシンク取り付けねじ **F**、デバイスの近くに配置されており、パッケージからグランドへのループ短絡が保持されます。これにより、ヒートシンクに結合された高周波ノイズを PCB に戻すための低インピーダンストレースを提供します。
- デカップリングコンデンサ **G**、PLL_BYP、VR_DIG_BYP、VR_DIG_RET、AVDD_BYP、AVDD_RET、VREG_BYP、VREG_RET、GVDD_BYP、DVDD は、デバイスと同じレイヤに配置されていますが、LC フィルタ **D** からの帰路には影響を与えません。
- PVDD 電源配線 **H** を、内部レイヤにデバイスの両側のチャンネルに対して対称となるよう配置することを推奨します。
- デバイスの出力配線 **I** を内部レイヤでデバイスの両側に対称となるよう配置することを推奨します。

8.3.2 レイアウト例

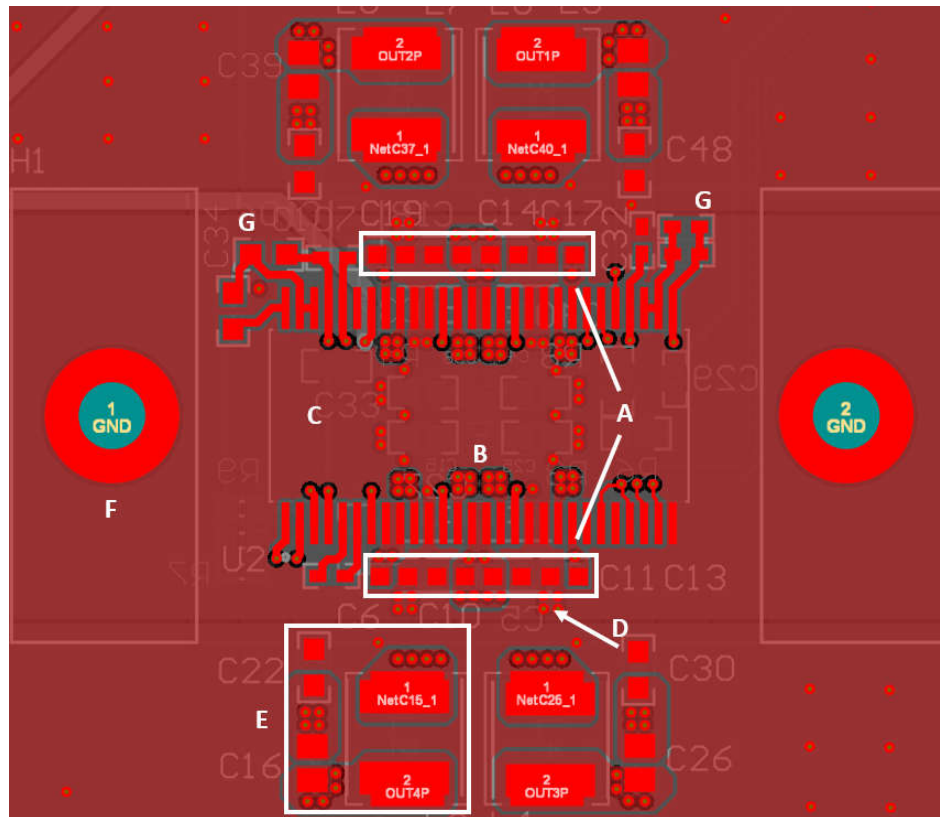


図 8-2. TAS6754-Q1 レイアウトトップ例

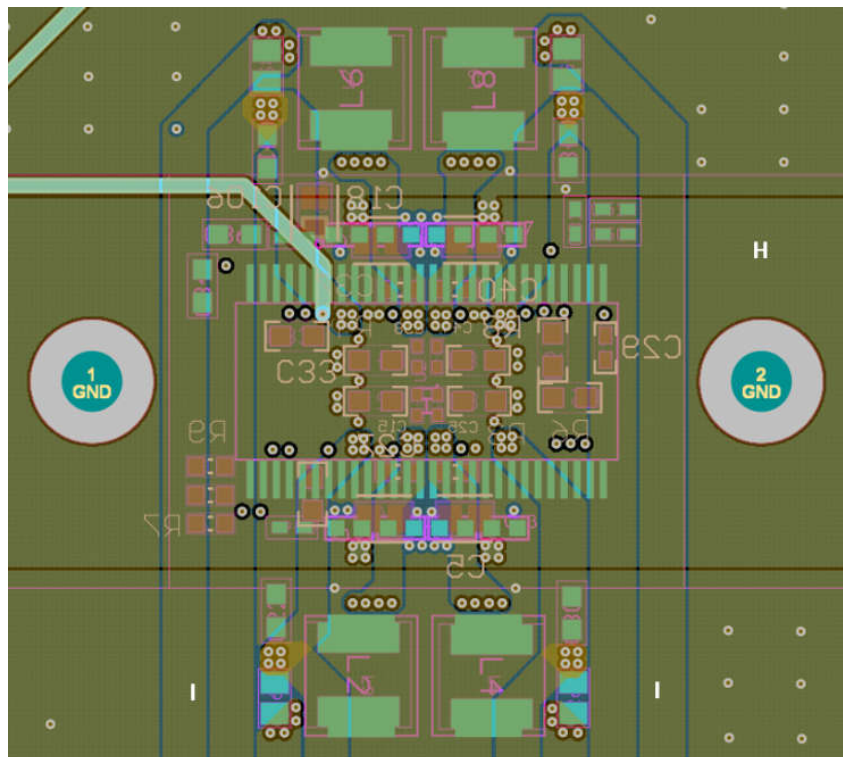


図 8-3. TAS6754-Q1 PVDD トレースと出力トレースの例

8.3.3 熱に関する注意事項

熱的に強化された PowerPAD パッケージは、ヒートシンク接続用の露出パッドを備えています。アンプの出力電力は、アンプの放熱性能と、システムがアンプに課す動作周囲温度などの制限によって決定されます。ヒートシンクは、TAS6754-Q1 の熱を吸収し、空气中に放出します。適切な熱管理を行えば、このプロセスは平衡状態になり、デバイスから熱を継続的に伝達できます。Class-D アンプの優れた効率により、ヒートシンクを従来のリニアアンプ設計のものよりも小型化できます。このデバイスはヒートシンクで使用することを目的としているため、接合部から露出した金属パッケージまでの熱抵抗として $R_{\theta JC}$ を使用します。この抵抗が熱管理を支配するため、その他の熱伝達は考慮されていません。フルの熱設計を決定するには、 $R_{\theta JA}$ (接合部から周囲へ) の熱抵抗が必要です。熱抵抗は次の要素で構成されます。

- TAS6754-Q1 の $R_{\theta JC}$
- 熱インターフェイス材料の熱抵抗
- ヒートシンクの熱抵抗

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、システムの開発を行うためのツールやソフトウェアを、以下に挙げます。

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- [TAS6754-Q1 テクニカル リファレンス マニュアル](#)
- [TAS6754Q1EVM 評価基板 ユーザー ガイド](#)
- [PurePath™ コンソール 3](#) グラフィカル開発スイート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (December 2024) to Revision A (March 2025)

Page

- | Changes from Revision * (December 2024) to Revision A (March 2025) | Page |
|--|------|
| • ドキュメントのステータスを 事前情報 から 量産データ に変更。..... | 1 |

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTAS6754QDKQRQ1	Active	Preproduction	HSSOP (DKQ) 56	1000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTAS6754QDKQRQ1.A	Active	Preproduction	HSSOP (DKQ) 56	1000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
TAS6754QDKQRQ1	Active	Production	HSSOP (DKQ) 56	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	6754
TAS6754QDKQRQ1.A	Active	Production	HSSOP (DKQ) 56	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	6754

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

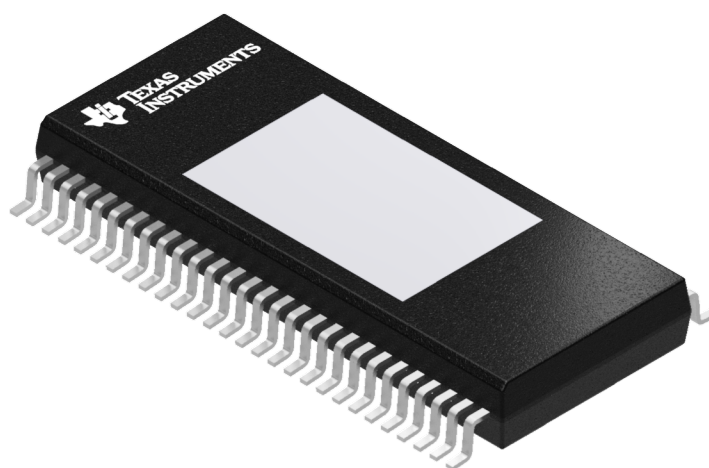
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TAS6754QDKQRQ1	HSSOP	DKQ	56	1000	330.0	32.4	11.35	18.67	3.1	16.0	32.0	Q1

TAPE AND REEL BOX DIMENSIONS

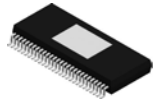


*All dimensions are nominal

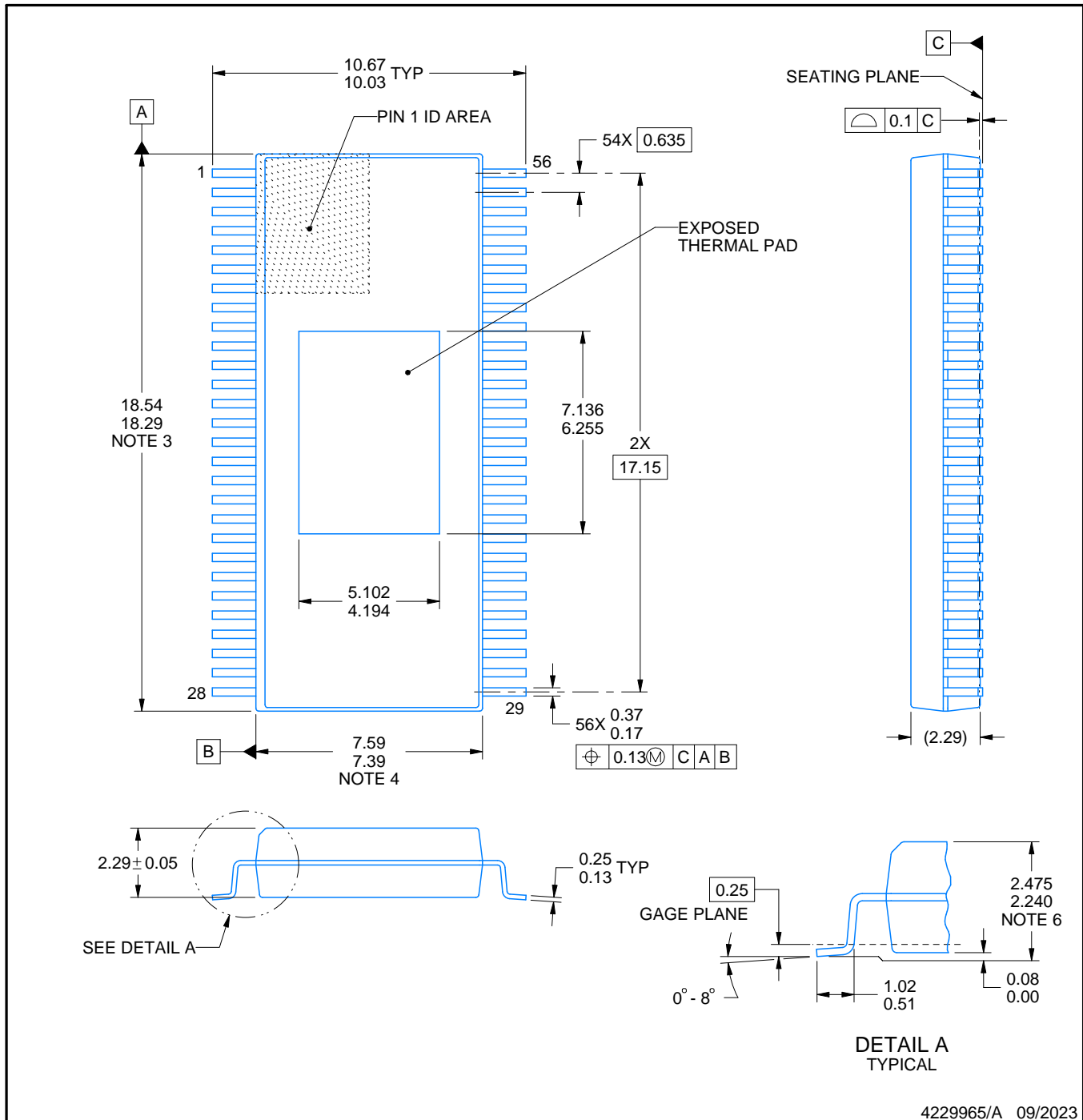
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TAS6754QDKQRQ1	HSSOP	DKQ	56	1000	356.0	356.0	53.0



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

DKQ0056D**PowerPAD™ HSSOP - 2.475 mm max height**

PLASTIC SMALL OUTLINE



4229965/A 09/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

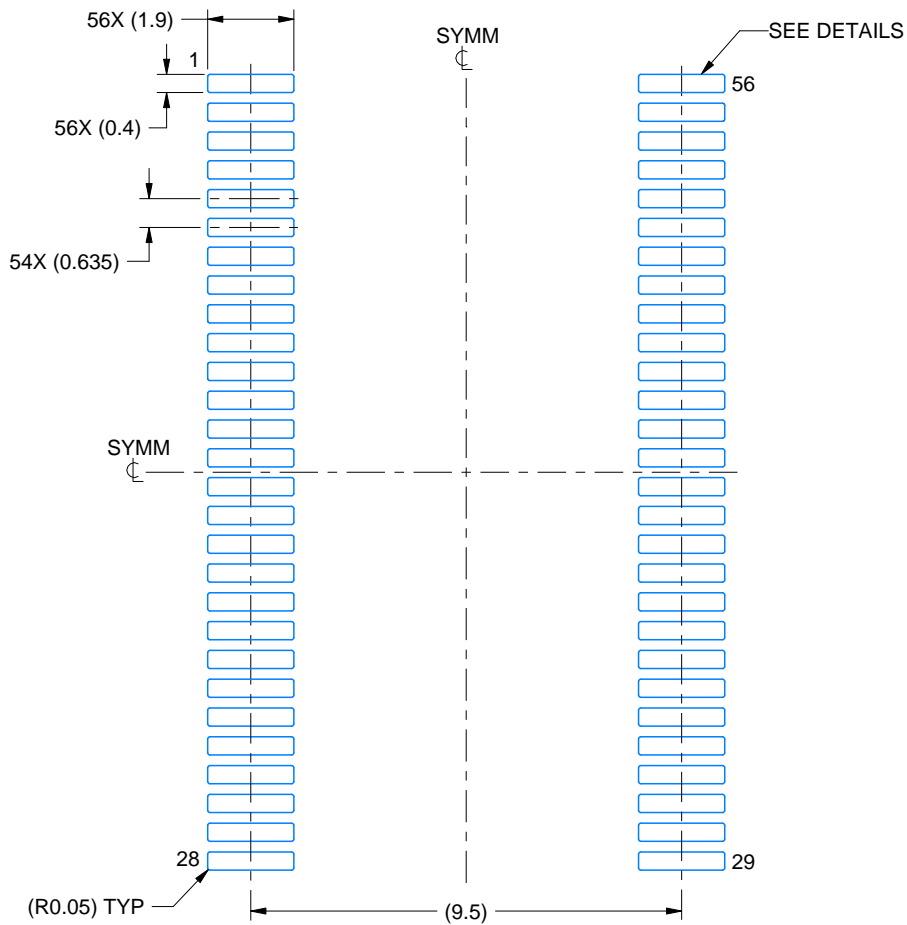
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. The exposed thermal pad is designed to be attached to an external heatsink.
6. For clamped heatsink design, refer to overall package height above the seating plane as 2.325 +/- 0.075 and molded body thickness dimension.

EXAMPLE BOARD LAYOUT

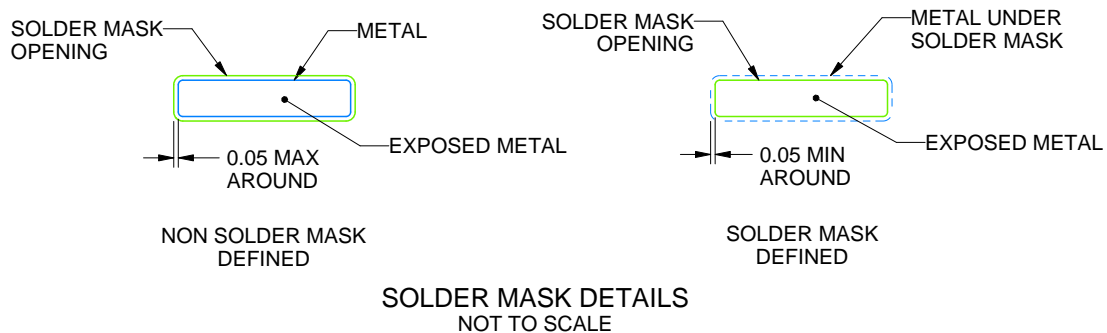
DKQ0056D

PowerPAD™ HSSOP - 2.475 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



SOLDER MASK DETAILS
NOT TO SCALE

4229965/A 09/2023

NOTES: (continued)

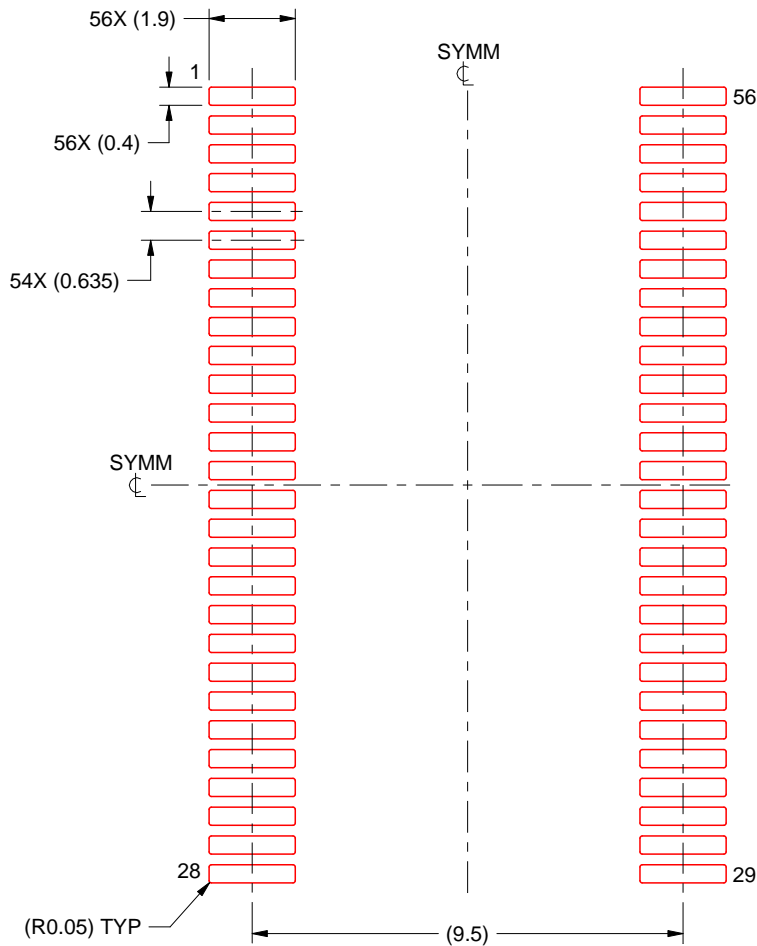
7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DKQ0056D

PowerPAD™ HSSOP - 2.475 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE:6X

4229965/A 09/2023

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月