TAS5830 65W ステレオ、デジタル入力、クラス H アルゴリズム搭載の高効率 クローズドループ クラス D アンプ

1 特長

- 複数の出力構成をサポート
  - 2 × 80W、BTL モード (4Ω、26V、THD + N = 10%)
  - 2 × 65W、BTL モード (4Ω、26V、THD + N = 1%)
  - 2 × 74W、BTL モード (6Ω、30V、THD + N = 10%)
  - 2 × 63W、BTL モード (6Ω、30V、THD + N = 1%)
  - 1 × 151W、PBTL モード (3Ω、30V、THD + N = 10%)
  - 1 × 131W、PBTL モード (3Ω、30V、THD + N = 1%)
- 柔軟なオーディオ I/O:
  - 32、44.1、48、88.2、96、192kHz のサンプル レートをサポート
  - I^2S、LJ、RJ、4～16 チャネル TDM 入力
  - SDOUT によるオーディオ モニタ、サブチャネル、エコー キャンセル
  - 3 線式のデジタル オーディオ インターフェイスをサポート (MCLK 不要)
- 高効率 Class-D 変調
  - 90% を超える電力効率、70mΩ の R_{DS} オン
- 優れたオーディオ性能:
  - THD+N ≦ 0.03% (1W、1kHz、PVDD = 12V)
  - SNR ≥ 110dB (A-weighted)、ICN ≤ 40μVrms
- フレキシブルな処理機能
  - 3 バンドの高度な DRC + 2 EQ + AGL + 2 EQ
  - チャネルごとに 15 の BQ、レベル メーター
  - 96kHz、192kHz のプロセッサ サンプリング
  - ミキサ、ボリューム、動的 EQ、出力クロスバー
  - PVDD センシングと Class-H アルゴリズム オーディオ信号トラッキング
  - ラトル抑制、周波数リミッタ
- 柔軟な電源構成
  - PVDD:4.5V ～ 30V
  - DVDD および I/O:1.8V または 3.3V
- 優れた自己保護機能を内蔵:
  - 過電流エラー (OCE)
  - サイクルごとの電流制限は、4 つの選択可能な OC レベルをサポート
  - 過熱警告 (OTW)
  - 過熱エラー (OTE)
  - 低電圧 / 過電圧誤動作防止 (UVLO/OVLO)
  - PVDD 電圧降下検出
- システム統合が簡単
  - I^2C ソフトウェア制御 (TAS5830 は、高速モードと高速モード プラスの両方をサポート) またはハードウェア モード
  - 開ループ デバイスと比べて少ない受動部品数

2 アプリケーション

- バッテリ駆動スピーカー
- ワイヤレス Bluetooth スピーカー
- サウンドバーとサブウーファー
- スマート スピーカ

3 説明

TAS5830 は高性能のステレオ、閉ループの Class-D アンプで、オーディオ プロセッサと最高 192kHz のオーディオ サポートが内蔵されています。

ソフトウェア制御モードで起動すると、TAS5830 は従来の BQ、3 バンド DRC、AGL だけでなく、独自のオーディオ エンベロープ トラッキング Class-H 制御アルゴリズムも実装しています。Class-H アルゴリズムは、必要なオーディオ電力の需要を検出し、GPIO ピンにより DC-DC コンバータに PWM 形式の制御信号を出力します。TAS5830 は、BTL モードで最大 5ms、PBTL モードで最大 10ms の遅延バッファをサポートしており、Class-H 制御はシステム効率の向上に大きく役立ちます。

デバイスをハードウェア制御モードに設定する場合、TAS5830 は、ピン設定によるスイッチング周波数、アナログ ゲイン、BTL/PBTL モード、サイクル単位の電流制限スレッショルドの選択をサポートしています。このモードは、エンド システムのソフトウェア ドライバの統合に手間がかからないように設計されています。

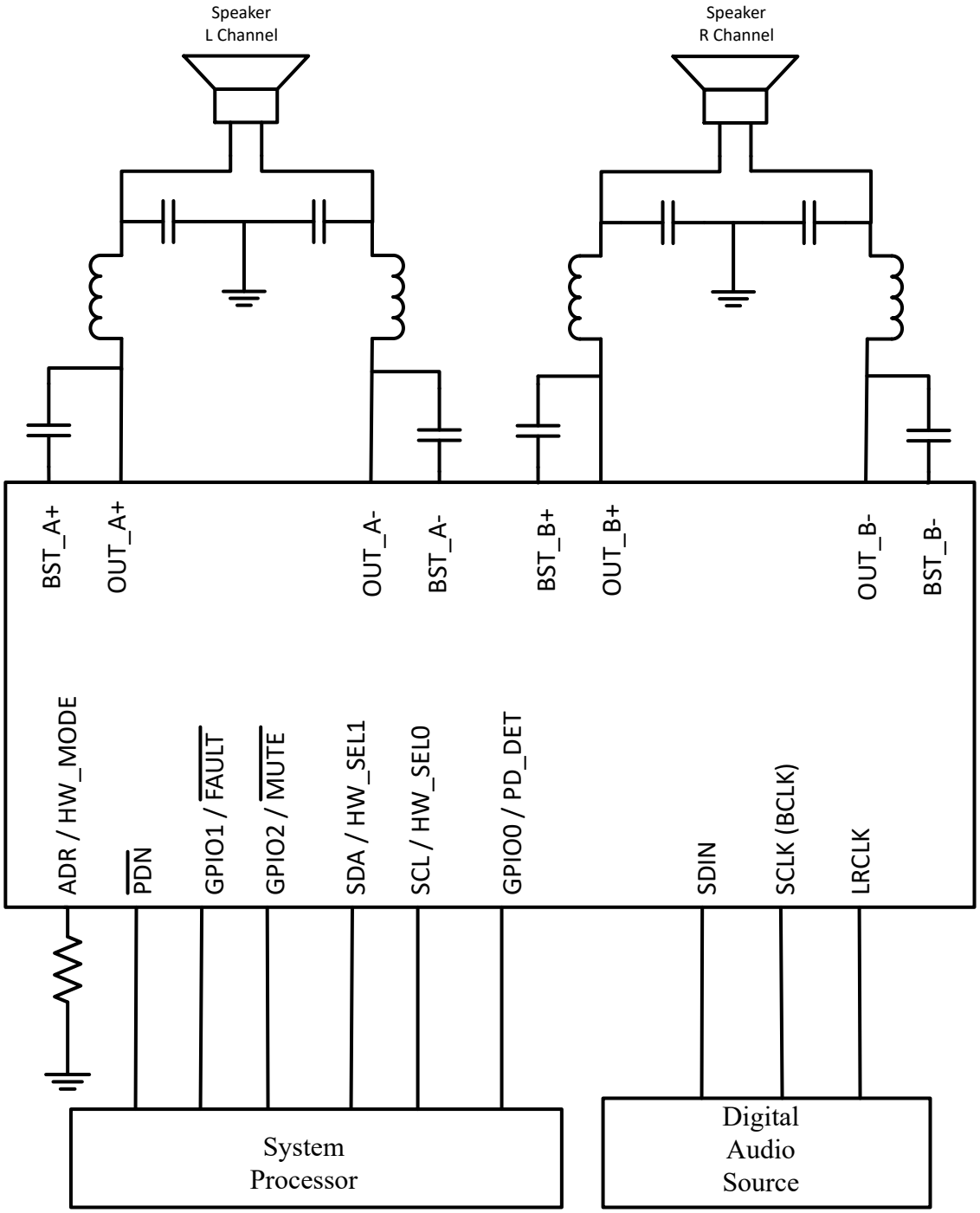
また TAS5830 には、ラトル抑制や周波数リミッタという DSP 機能も搭載されています。ラトル抑制は、スピーカ筐体との相互作用によるラトル音の原因となる周波数での信号のゲインを低減し、音質を向上させます。周波数リミッタ プロセスは入力レベルを感知し、EQ のゲインを動的に制限して、位相を変化させない SPL を実現します。

製品情報

部品番号	パッケージ(1)	本体サイズ (公称)
TAS5830	TSSOP (32) DAD	11.00mm × 6.20mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



Copyright © 2025 Texas Instruments Incorporated

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....7
5.1 絶対最大定格.....7
5.2 ESD 定格.....7
5.3 推奨動作条件.....7
5.4 熱に関する情報.....7
5.5 電気的特性.....8
5.6 タイミング要件.....13
5.7 代表的特性.....14
6 詳細説明.....29
6.1 概要.....29
6.2 機能ブロック図.....30
6.3 機能説明.....31
6.4 デバイスの機能モード.....35
7 レジスタ マップ.....49
7.1 REG_MAP レジスタ.....49
8 アプリケーションと実装.....98
8.1 代表的なアプリケーション.....99
8.2 電源に関する推奨事項.....100
8.3 レイアウト.....102
9 デバイスおよびドキュメントのサポート.....108
9.1 デバイス サポート.....108
9.2 ドキュメントの更新通知を受け取る方法.....108
9.3 サポート・リソース.....108
9.4 商標.....109
9.5 静電気放電に関する注意事項.....109
9.6 用語集.....109
10 改訂履歴.....109

4 ピン構成および機能

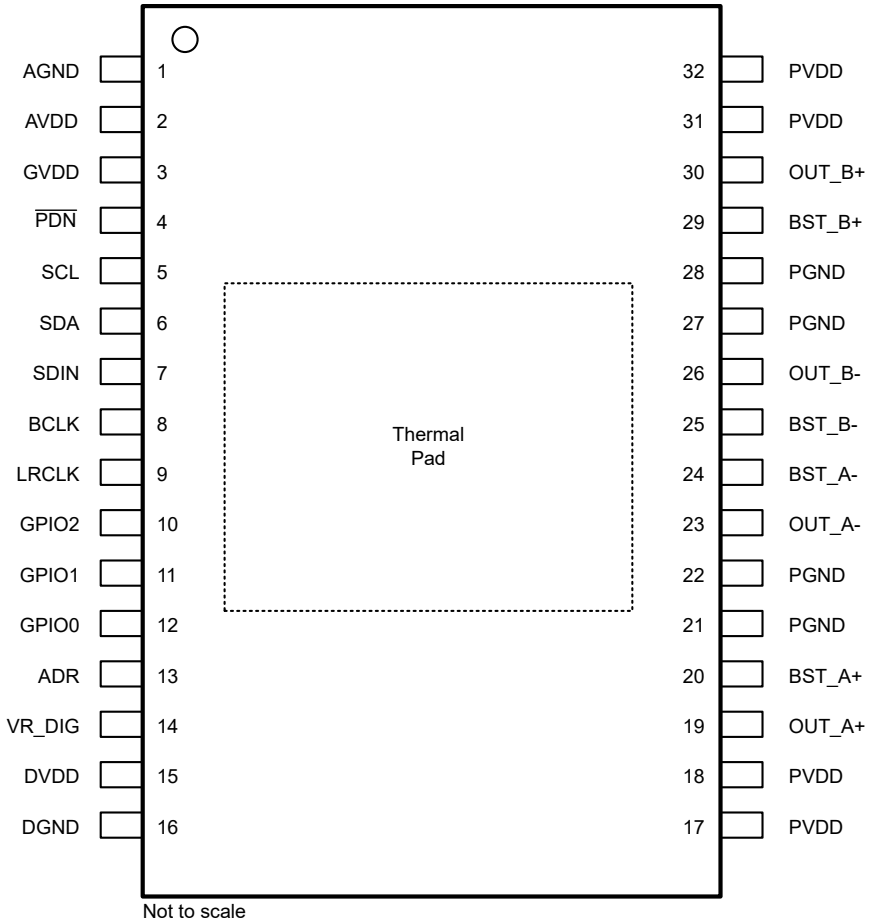


図 4-1. DAD (TSSOP) パッケージ、32 ピン PadUp、ソフトウェア モード、上面図

表 4-1. ピン機能 - ソフトウェア モード

ピン		タイプ[1]	説明
名称	番号		
AGND	1	G	アナログ グランド。
AVDD	2	P	内部的に調整された 5V アナログ電源電圧。このピンを外部デバイスの駆動に使用しないでください。
GVDD	3	P	ゲート駆動内部レギュレータ出力。このピンを外部デバイスの駆動に使用しないでください。
$\overline{\text{PDN}}$	4	DI	パワーダウン、アクティブ low。$\overline{\text{PDN}}$ アンプをシャットダウンにし、すべての内蔵レギュレータをオフにします。
SCL	5	DI	I^2C シリアル制御クロック入力
SDA	6	DI/O	I^2C シリアル制御データインターフェース入出力。
SDIN	7	DI	シリアル データ ポートへのデータ ライン。
BCLK	8	DI	シリアル データ ポートの入力データ ラインでアクティブなデジタル信号のビット クロック。
LRCLK	9	DI	シリアル ポートの入力データ ラインでアクティブなデジタル信号のワード セレクト クロック。I^2S、LJ、RJ では、これは左チャネルと右チャネルの境界に対応しています。TDM モードでは、これはフレーム同期境界に対応します。
GPIO2	10	DI/O	汎用入出力。このピンの機能は、レジスタ (レジスタ アドレス 0x60h および 0x62h) によってプログラムできます。オープンドレイン出力またはプッシュプル出力に構成可能。
GPIO1	11	DI/O	汎用入出力。このピンの機能は、レジスタ (レジスタ アドレス 0x60h および 0x61h) によってプログラムできます。オープンドレイン出力またはプッシュプル出力に構成可能。
GPIO0	12	DI/O	汎用入出力。このピンの機能は、レジスタ (レジスタ アドレス 0x60h および 0x63h) によってプログラムできます。オープンドレイン出力またはプッシュプル出力に構成可能。
ADR	13	AI	抵抗値の表 (GND にプルダウン) により、デバイスの I2C アドレスが決定されます。セクション 6.4.7.3 を参照してください。
VR_DIG	14	P	内部で安定化された 1.5V デジタル電源電圧。このピンを外部デバイスの駆動に使用しないでください。
DVDD	15	P	3.3V または 1.8V デジタル電源。
DGND	16	G	デジタル グランド。
PVDD	17	P	PVDD 電圧入力。
	18	P	
	31	P	
	32	P	
PGND	21	G	電源デバイス回路用のグランド リファレンス。このピンはシステム グランドに接続します。
	22	G	
	27	G	
	28	G	
OUT_A+	19	O	差動スピーカ アンプ出力 A の正ピン
BST_A +	20	P	OUT_A+ ブートストラップ コンデンサの接続点。これを使って、OUT_A+ の 1 次側ゲート駆動用の電源を作成します。
OUT_A-	23	O	差動スピーカ アンプ出力 A の負ピン
BST_A-	24	P	OUT_A- ブートストラップ コンデンサの接続点。これを使って、OUT_A- の 1 次側ゲート駆動用の電源を作成します。
BST_B-	25	P	OUT_B- ブートストラップ コンデンサの接続点。これを使用して、OUT_B- の 1 次側ゲート駆動用の電源を生成します。
OUT_B-	26	O	差動スピーカ アンプ出力 B の負ピン
BST_B+	29	P	OUT_B+ ブートストラップ コンデンサの接続点。これを使用して、OUT_B+ の 1 次側ゲート駆動用の電源を生成します。
OUT_B+	30	O	差動スピーカ アンプ出力 B の正ピン
PowerPAD™		P	最高のシステム性能を得るため、グランド接続されたヒートシンクに接続してください。

(1) AI = アナログ入力、AO = アナログ出力、DI = デジタル入力、DO = デジタル出力、DI/O = デジタル双方向 (入力および出力) 、PO = 正出力、NO = 負出力、P = 電源、G = グランド (0V)

Copyright © 2025 Texas Instruments Incorporated

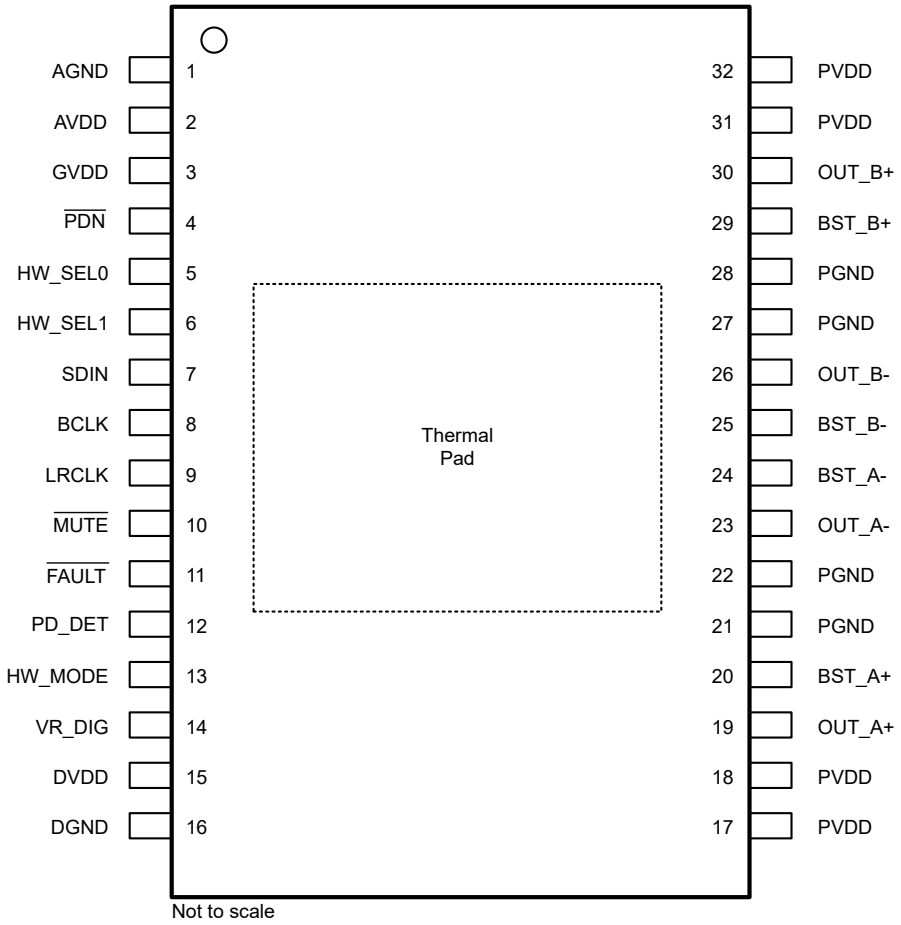


図 4-2. DAD (TSSOP) パッケージ、32 ピン PadUp、ハードウェア モード、上面図

表 4-2. ピン機能 - ハードウェア モード

ピン		タイプ[(1)]	説明
名称	番号		
AGND	1	G	アナログ グランド。
AVDD	2	P	内部的に調整された 5V アナログ電源電圧。このピンを外部デバイスの駆動に使用しないでください。
GVDD	3	P	ゲート駆動内部レギュレータ出力。このピンを外部デバイスの駆動に使用しないでください。
PDN	4	DI	パワーダウン、アクティブ low。PDN アンプをシャットダウンにし、すべての内蔵レギュレータをオフにします。
HW_SEL0	5	DI	ハードウェア モードでのアナログ ゲインおよび BTL/PBTL モードの選択。それぞれの抵抗を使用して DVDD にプルアップするか、グランドにプルダウンします。セクション 6.4.7.2 を参照してください。
HW_SEL1	6	DI	ハードウェア モードでの PWM スイッチング周波数と拡散スペクトラムのイネーブル/ディセーブルの選択。それぞれの抵抗を使用して DVDD にプルアップするか、グランドにプルダウンします。セクション 6.4.7.2 を参照してください。
SDIN	7	DI	シリアル データ ポートへのデータ ライン。
BCLK	8	DI	シリアル データ ポートの入力データ ラインでアクティブなデジタル信号のビット クロック。
LRCLK	9	DI	シリアル ポートの入力データ ラインでアクティブなデジタル信号のワード セレクト クロック。I^2S、LJ、RJ では、これは左チャネルと右チャネルの境界に対応しています。TDM モードでは、これはフレーム同期境界に対応します。
MUTE	10	DI	スピーカー アンプ ミュートミュート状態を終了するには、これを low にプル (DGND に接続) し、high (DVDD に接続) にプルアップする必要があります。ミュート状態では、デバイスの出力は Hi-Z 状態を維持します。
障害	11	DO	フォルト端子。内部フォルトが発生すると low にプルされます。
PD_DET	12	DO	PVDD 電圧降下検出。PVDD 電圧が 8V 未満に低下すると Low になります。
HW_MODE	13	AI	DVDD に直接接続して、デバイスがハードウェア制御モードに移行することを確認します。
VR_DIG	14	P	内部で安定化された 1.5V デジタル電源電圧。このピンを外部デバイスの駆動に使用しないでください。
DVDD	15	P	3.3V または 1.8V デジタル電源。

表 4-2. ピン機能 - ハードウェア モード (続き)

ピン		タイプ[1]	説明
名称	番号		
DGND	16	G	デジタル グランド。
PVDD	17	P	PVDD 電圧入力。
	18	P	
	31	P	
	32	P	
PGND	21	G	電源デバイス回路用のグランド リファレンス。このピンはシステム グランドに接続します。
	22	G	
	27	G	
	28	G	
OUT_A+	19	O	差動スピーカ アンプ出力 A の正ピン
BST_A +	20	P	OUT_A+ ブートストラップ コンデンサの接続点。これを使って、OUT_A+ の 1 次側ゲート駆動用の電源を作成します。
OUT_A-	23	O	差動スピーカ アンプ出力 A の負ピン
BST_A-	24	P	OUT_A- ブートストラップ コンデンサの接続点。これを使って、OUT_A- の 1 次側ゲート駆動用の電源を作成します。
BST_B-	25	P	OUT_B- ブートストラップ コンデンサの接続点。これを使用して、OUT_B- の 1 次側ゲート駆動用の電源を生成します。
OUT_B-	26	O	差動スピーカ アンプ出力 B の負ピン
BST_B+	29	P	OUT_B+ ブートストラップ コンデンサの接続点。これを使用して、OUT_B+ の 1 次側ゲート駆動用の電源を生成します。
OUT_B+	30	O	差動スピーカ アンプ出力 B の正ピン
PowerPAD™		P	最高のシステム性能を得るため、グランド接続されたヒートシンクに接続してください。

(1) AI = アナログ入力、AO = アナログ出力、DI = デジタル入力、DO = デジタル出力、DI/O = デジタル双方向 (入力および出力) 、PO = 正出力、NO = 負出力、P = 電源、G = グランド (0V)

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での室温 25°C (特に記述のない限り)[1]

		最小値	最大値	単位
DVDD	低電圧デジタル電源	-0.3	3.9	V
PVDD	PVDD 電源	-0.3	35	V
$V_{I(DigIn)}$	DVDD 基準のデジタル入力[2]	-0.5	V_{DVDD} + 0.5	V
$V_{I(SPK_OUTxx)}$	スピーカー出力ピンの電圧	-0.3	32	V
T_A	動作時周囲温度	-40	85	℃
T_J	動作時接合部温度	-40	150	℃
T_{stg}	保存温度	-40	125	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) DVDD 基準のデジタル ピンには以下が含まれます ADR/$\overline{FAULT}$、LRCLK、SCLK、SDIN、SDOUT、SCL、SDA、$\overline{PDN}$

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[1]	±2000	V
		荷電デバイス モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠[2]	±500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
$V_{(POWER)}$	電源入力	PVDD	4.5		30	V
		DVDD	1.62		3.63	V
R_{SPK}	スピーカーの最小負荷	PVDD 範囲 4.5V ～ 30V、BTL モード	3.2			Ω
		PVDD 範囲 4.5V ～ 30V、PBTL モード	1.6			Ω
$V_{IH(DigIn)}$	DVDD 参照デジタル入力の入力ロジック high		0.9 × V_{DVDD}		DVDD	V
$V_{IL(DigIn)}$	DVDD 参照デジタル入力の入力ロジック low				0.1 × V_{DVDD}	V
L_{OUT}	短絡状態での LC フィルタの最小インダクタ値		1			µH

5.4 熱に関する情報

熱評価基準[1]		TAS5830-TSSOP32 (DAD) — 32 ピン JEDEC 規格 4-LAYER PCB	単位
$R_{\theta JA(top)}$	接合部から周囲への熱抵抗	60.2	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	1.2	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	28.1	℃/W
ψ_{JT}	接合部から上面への特性パラメータ	0.7	℃/W
ψ_{JB}	接合部から基板への特性パラメータ	27.7	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、『*半導体および IC パッケージの熱評価基準*』アプリケーション レポートを参照してください。

5.5 電気的特性

自由気流での室温 25°C、1SPW モード、LC フィルタ = 10uH + 0.68μF、Fsw = 384kHz、Class-D 帯域幅 = 80kHz (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
デジタル I/O						
|IIH|	DVDD 参照デジタル入力ピンの入力ロジック high 電流レベル	$V_{IN(DigIn)} = V_{DVDD}$			10	μA
|IIL|	DVDD 参照デジタル入力ピンの入力ロジック low 電流レベル	$V_{IN(DigIn)}$ = 0 V			-10	μA
$V_{IH(Digin)}$	DVDD 参照デジタル入力の入力ロジック high しきい値		70%			V_{DVDD}
$V_{IL(Digin)}$	DVDD 参照デジタル入力の入力ロジック low しきい値				30%	V_{DVDD}
$V_{OH(Digin)}$	ロジック high 出力電圧レベル	I_{OH} = 4mA	80%			V_{DVDD}
$V_{OL(Digin)}$	出力ロジック low 電圧レベル	I_{OH} = -4mA			20%	V_{DVDD}
I^2C 制御ポート						
$C_{L(I2C)}$	各 I^2C ラインで許容される負荷容量				400	pF
$f_{SCL(fast)}$	SCL 周波数をサポート	ウェイトなし、高速モード		400	1000	kHz
$f_{SCL(slow)}$	SCL 周波数をサポート	ウェイトなし、スロー モード			100	kHz
シリアル オーディオ ポート						
t_{DLY}	必要な LRCLK/SCLK から FS までの立ち上がりエッジ遅延		5			ns
D_{SCLK}	許容される SCLK デューティ サイクル		40%		60%	
f_S	サポートしている入力サンプルレート		32		192	kHz
f_{SCLK}	サポートしている SCLK 周波数		32		64	f_S
f_{SCLK}	SCLK 周波数				24.576	MHz
アンプの動作モードと DC パラメータです						
t_{off}	ターンオフ時間	シャットダウン、HiZ、スリープ、またはディープ スリープに再生します。ボリューム ランプを除外します。		4.35		ms
t_{wake}	ウェークアップ時間	ディープ スリープから再生へ。ボリューム ランプを除外します。		2.4		ms
t_{wake}	ウェークアップ時間	スリープから再生へ。ボリューム ランプを除外します。		2.3		ms
t_{wake}	ウェークアップ時間	Hi-Z から再生へ。ボリューム ランプを除外します。		70		μs
I_{CC}	DVDD の静止電源電流	$\overline{PDN}$ = 2V、DVDD = 3.3V、再生モード、一般的なオーディオ プロセス フロー。DSP が完全に動作している場合		24		mA
I_{CC}	DVDD の静止電源電流	$\overline{PDN}$ = 2V、DVDD = 3.3V、スリープ モード		1		mA
I_{CC}	DVDD の静止電源電流	$\overline{PDN}$ = 2V、DVDD = 3.3V、ディープ スリープ モード		1		mA
I_{CC}	DVDD の静止電源電流	$\overline{PDN}$ = 0.8V、DVDD = 3.3V、シャットダウン モード		18		μA
I_{CC}	PVDD の静止電源電流	$\overline{PDN}$ = 2V、PVDD = 24V、無負荷、LC フィルタ = 10μH + 0.68 μF、FSW = 384kHz、1SPW 変調、再生モード		35		mA
I_{CC}	PVDD の静止電源電流	$\overline{PDN}$ = 2V、PVDD = 24V、無負荷、LC フィルタ = 10μH + 0.68μF、FSW = 384kHz、出力 HiZ モード		11		mA
I_{CC}	PVDD の静止電源電流	$\overline{PDN}$ = 2V、PVDD = 24V、無負荷、LC フィルタ = 10 μH + 0.68 μF、FSW = 384kHz、スリープ モード		7.5		mA

Copyright © 2025 Texas Instruments Incorporated

自由気流での室温 25°C、1SPW モード、LC フィルタ = 10uH + 0.68μF、Fsw = 384kHz、Class-D 帯域幅 = 80kHz (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{CC}	PVDD の静止電源電流	$\overline{PDN}$ = 2V、PVDD = 24V、無負荷、LC フィルタ = 10μH + 0.68μF、FSW = 384kHz、ディープ スリープ モード		10		μA
I_{CC}	PVDD の静止電源電流	$\overline{PDN}$ = 2V、PVDD = 24V、無負荷、LC フィルタ = 10 μH + 0.68 μF、FSW = 384kHz、シャットダウン モード		10		μA
$A_{V(SPK_AMP)}$	プログラマブル ゲイン	値は、0dB 入力 (1FS) で測定された低い PVDD による クリッピングを無視した「ピーク電圧」を表します	14.9		30.4	dBV
$\Delta A_{V(SPK_AMP)}$	アンプのゲイン誤差	ゲイン = 30.4dBV		0.5		dB
f_{SPK_AMP}	スピーカ アンプのスイッチング周波数 。	ソフトウェア モード		384		kHz
f_{SPK_AMP}	スピーカ アンプのスイッチング周波数 。	ソフトウェア モード		480		kHz
f_{SPK_AMP}	スピーカ アンプのスイッチング周波数 。	ソフトウェア モード		576		kHz
f_{SPK_AMP}	スピーカ アンプのスイッチング周波数 。	ソフトウェア モード		768		kHz
f_{SPK_AMP}	スピーカ アンプのスイッチング周波数 。	ハードウェア モード		480		kHz
f_{SPK_AMP}	スピーカ アンプのスイッチング周波数 。	ハードウェア モード		768		kHz
$R_{DS(on)}$	個別の出力 MOSFET のドレイン-ソース間オン抵抗	FET + メタライゼーション。V_{PVDD} = 24V、$I_{(OUT)}$ = 500mA、 T_J = 25℃		70		mΩ
効率 (BTL)	低消費電力再生の効率 (電力段の効率)	PVDD = 24V、LC フィルタ= 10μH + 0.68μF、F_{SW} = 384kHz、1SPW 変調、負荷 = 4Ω、各チャネルで 1W 出力電力を再生		53		%
効率 (PBTL)	より大きなパワー再生の効率 (出力段の効率)	PVDD = 24V、LC フィルタ = 10μH + 0.68μF、F_{SW} = 384kHz、1SPW 変調、負荷 = 3Ω、120W の出力電力を再生		92		%
PROTECTION						
OCE_{THRES}	過電流エラー スレッショルド (スピーカー電流)	スピーカ出力電流 (LC フィルタ後) 、スピーカ電流、LC フィルタ = 10uH + 0.68μF、BTL モード	7.5	8	8.5	A
$UVE_{THRES(PVDD)}$	PVDD 低電圧誤差 スレッショルド			4	4.25	V
$OVE_{THRES(PVDD)}$	PVDD 過電圧誤差 スレッショルド		30.5	32		V
DCE_{THRES}	出力 DC 誤差保護 スレッショルド	Class-D アンプの出力 DC 電圧クロス スピーカ負荷により、出力 DC フォルト保護をトリガ		3.2		V
T_{DCDET}	出力 DC 検出時間	Class-D アンプの出力は DCE_{THRES} 以上のままです		640		ms
OTE_{THRES}	過熱エラー スレッショルド			179		℃
$OTE_{Hystersis}$	過熱エラー ヒステリシス			11		℃
OTW_{THRES}	過熱警告 レベル	レジスタ 0x73 のビット 0 を読み出します		106		℃
OTW_{THRES}	過熱警告 レベル	レジスタ 0x73 のビット 1 を読み出します		130		℃
OTW_{THRES}	過熱警告 レベル	レジスタ 0x73 のビット 2 を読み出します		143		℃

自由気流での室温 25°C、1SPW モード、LC フィルタ = 10uH + 0.68μF、Fsw = 384kHz、Class-D 帯域幅 = 80kHz (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
OTW_{THRES}	過熱警告レベル	レジスタ 0x73 のビット 3 を読み出します		156		℃

Copyright © 2025 Texas Instruments Incorporated

自由気流での室温 25°C、1SPW モード、LC フィルタ = 10uH + 0.68μF、Fsw = 384kHz、Class-D 帯域幅 = 80kHz (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
オーディオ PERFORMACNE (ステレオ BTL)						
$\|V_{OS}\|$	アンプのオフセット電圧	入力データがゼロで差動測定、30.4dBV アナログ ゲインで プログラム可能なゲイン構成、V_{PVDD} 範囲:12V ～ 30V	-5		5	mV
$THD+N_{SPK}$	全高調波歪みおよび ノイズ (P_O = 1W、f = 1kHz)	V_{PVDD} = 26V、LC フィルタ = 10μH + 0.68μF、負荷 = 4Ω		0.015		%
		V_{PVDD} = 26V、LC フィルタ = 10uH + 0.68uF、負荷 = 8Ω		0.015		%
$P_{O(SPK)}$	チャネルあたりの出力電力	V_{PVDD} = 26V、LC フィルタ = 10uH + 0.68 μ F、R_{SPK} = 4Ω、f = 1kHz、THD + N = 10%		80		W
$P_{O(SPK)}$	チャネルあたりの出力電力	V_{PVDD} = 26V、LC フィルタ = 10uH + 0.68μF、R_{SPK} = 4Ω、f = 1kHz、THD + N = 1%		65		W
$P_{O(SPK)}$	チャネルあたりの出力電力	V_{PVDD} = 26V、LC フィルタ = 10uH + 0.68μF、R_{SPK} = 8Ω、f = 1kHz、THD + N = 10%		41		W
$P_{O(SPK)}$	チャネルあたりの出力電力	V_{PVDD} = 26V、LC フィルタ = 10uH + 0.68μF、R_{SPK} = 8Ω、f = 1kHz、THD + N = 1%		33		W
$ICN_{(SPK)}$	アイドル チャネル ノイズ (重み付け、 AES17)	V_{PVDD} = 26V、LC フィルタ = 10uH + 0.68μF、負荷 = 4Ω、Fsw = 576kHz、BD 変調		40		μVrms
		V_{PVDD} = 26V、LC フィルタ = 10uH + 0.68μF、負荷 = 4Ω、Fsw = 384kHz、1SPW 変調		37		μVrms
		V_{PVDD} = 26V、LC フィルタ = 10uH + 0.68μF、負荷 = 8Ω、Fsw = 576kHz、BD 変調		42		μVrms
		V_{PVDD} = 26V、LC フィルタ = 10uH + 0.68μF、負荷 = 8Ω、Fsw = 384kHz、1SPW 変調		40		μVrms
DR	ダイナミック レンジ	A-Weighted、-60 dBFS 方式。V_{PVDD} = 24V、負荷 = 6Ω アナログ ゲイン = 30.4dBV		111		dB
SNR	信号対雑音比	A-Weighted、1% THD+N 出力レベルを基準、V_{PVDD} = 24V、負荷 = 6ΩΩ		111		dB
		A-Weighted、1% THD+N 出力レベルを基準、V_{PVDD} = 18V、負荷 = 4Ω		108		dB
PSRR	電源除去比	注入ノイズ = 1kHz、1Vrms、V_{PVDD} = 26V、入力オーディオ信号 = デジタル ゼロ		73		dB
$X\text{-}talk_{SPK}$	クロストーク (左から右への結合と右から左への結合の間の最悪のケース)	f = 1kHz、muRata のインダクタ (DFEG7030D-4R7) に基づく		100		dB

自由気流での室温 25°C、1SPW モード、LC フィルタ = 10uH + 0.68μF、Fsw = 384kHz、Class-D 帯域幅 = 80kHz (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
オーディオ性能 (モノラル PBTL)						
$\|V_{OS}\|$	アンプのオフセット電圧	ゼロ入力データで差動測定、プログラマブル ゲインは 30.4dBV アナログゲインに設定、V_{PVDD} = 12V ～ 30V 範囲、1SPW モード	-5		5	mV
$P_{O(SPK)}$	出力電力	V_{PVDD} = 29V、R_{SPK} = 3Ω、f = 1kHz、THD+N = 1%		123		W
		V_{PVDD} = 29V、R_{SPK} = 3Ω、f = 1kHz、THD+N = 10%		148		W
		V_{PVDD} = 24V、R_{SPK} = 2Ω、f = 1kHz、THD+N = 1%		119		W
		V_{PVDD} = 24V、R_{SPK} = 2Ω、f = 1kHz、THD+N = 10%		141		W
$THD+N_{SPK}$	全高調波歪みおよびノイズ (P_O = 1W、f = 1kHz)	V_{PVDD} = 24V、LC フィルタ = 10uH + 0.68uF、R_{SPK} = 2Ω		0.05		%
		V_{PVDD} = 29V、LC フィルタ = 10uH + 0.68uF、R_{SPK} = 3Ω		0.07		%
DR	ダイナミック レンジ	A-Weighted、-60dBFS 方法、V_{PVDD} = 29V、R_{SPK} = 3Ω。		109		dB
SNR	信号対雑音比	A-Weighted、1% THD+N 出力レベルを基準、V_{PVDD} = 29V、R_{SPK} = 3Ω		109		dB
		A-Weighted、1% THD+N 出力レベルを基準、V_{PVDD} = 24V、R_{SPK} = 2Ω		108		dB
PSRR	電源除去比	注入ノイズ = 1kHz、1Vrms、V_{PVDD} = 18V、入力オーディオ信号 = デジタル ゼロ		70		dB

Copyright © 2025 Texas Instruments Incorporated

5.6 タイミング要件

		最小値	公称値	最大値	単位
シリアル オーディオ ポートのタイミング - ターゲット モード					
f_{SCLK}	SCLK 周波数	1.024			MHz
t_{SCLK}	SCLK 周期	40			ns
t_{SCLKL}	SCLK パルス幅、low	16			ns
t_{SCLKH}	SCLK パルス幅、high	16			ns
t_{SL}	SCLK の立ち上がりから LRCLK/FS エッジまで	8			ns
t_{LS}	LRCK/FS エッジから SCLK 立ち上がりエッジまで	8			ns
t_{SU}	データ セットアップ時間、SCLK 立ち上がりエッジ前	8			ns
t_{DH}	データ ホールド時間、SCLK 立ち上がりエッジ後	8			ns
t_{DFS}	SCLK 立ち下がりエッジからのデータ遅延時間			15	ns
I^2C バスタイミング — ファスト モード					
f_{SCL}	SCL クロック周波数			1000	kHz
t_{BUF}	STOP 条件と START 条件の間のバス フリー時間	0.5			µs
t_{LOW}	SCL クロックの Low 期間	0.5			µs
t_{HI}	SCL クロックの High 期間	0.26			µs
t_{RS-SU}	(反復) 開始条件のセットアップ時間	0.26			µs
t_{S-HD}	(反復) 開始条件のホールド時間	0.26			µs
t_{D-SU}	データ セットアップ時間	50			ns
t_{D-HD}	データ ホールド時間	0			ns
t_{SCL-R}	SCL 信号の立ち上がり時間	$20 + 0.1C_B$		120	ns
t_{SCL-R1}	START 条件の繰り返し、およびアクノリッジ ビット後の SCL 信号の立ち上がり時間	$20 + 0.1C_B$		120	ns
t_{SCL-F}	SCL 信号の立ち下がり時間	$20 + 0.1C_B$		120	ns
t_{SDA-R}	SDA 信号の立ち上がり時間	$20 + 0.1C_B$		120	ns
t_{SDA-F}	SDA 信号の立ち下がり時間	$20 + 0.1C_B$		120	ns
t_{P-SU}	停止条件のセットアップ時間	0.26			µs
C_b	各バス ラインの容量性負荷			400	pf
I^2C バス タイミング - ファスト					
f_{SCL}	SCL クロック周波数			400	kHz
t_{BUF}	STOP 条件と START 条件の間のバス フリー時間	1.3			µs
t_{LOW}	SCL クロックの Low 期間	1.3			µs
t_{HI}	SCL クロックの High 期間	600			ns
t_{RS-SU}	(反復) 開始条件のセットアップ時間	600			ns
t_{RS-HD}	(反復) 開始条件のホールド時間	600			ns
t_{D-SU}	データ セットアップ時間	100			ns
t_{D-HD}	データ ホールド時間	0		900	ns
t_{SCL-R}	SCL 信号の立ち上がり時間	$20 + 0.1C_B$		300	ns
t_{SCL-R1}	START 条件の繰り返し、およびアクノリッジ ビット後の SCL 信号の立ち上がり時間	$20 + 0.1C_B$		300	ns
t_{SCL-F}	SCL 信号の立ち下がり時間	$20 + 0.1C_B$		300	ns
t_{SDA-R}	SDA 信号の立ち上がり時間	$20 + 0.1C_B$		300	ns
t_{SDA-F}	SDA 信号の立ち下がり時間	$20 + 0.1C_B$		300	ns
t_{P-SU}	停止条件のセットアップ時間	600			ns
t_{SP}	抑制されたスパイクのパルス幅			50	ns
C_b	各バス ラインの容量性負荷			400	pf

5.7 代表的特性

5.7.1 BD 変調によるブリッジ接続負荷 (BTL) 構成曲線

自由気流での室温 25°C (特に記述のない限り)。測定には、Audio Precision System 2722 を使用し、アナログ アナライザ フィルタを 20kHz のブリックウォール フィルタに設定しました。特に記述のない限り、すべての測定は、オーディオ周波数を 1kHz、デバイスの PWM 周波数を 384kHz、80kHz の Class-D アンプループ帯域幅、10µH/0.68µF 付き LC フィルタに設定して行われます。

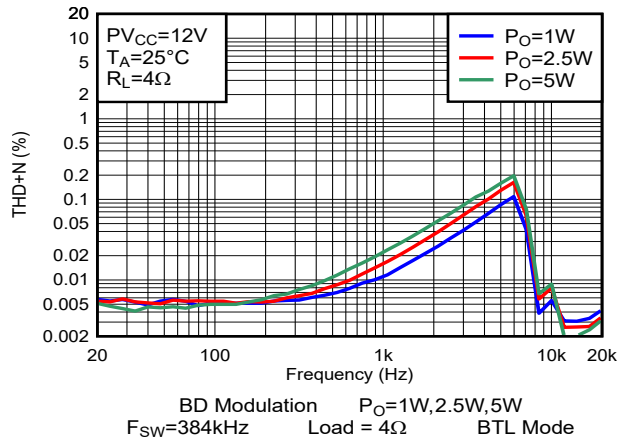


図 5-1. THD + N と周波数 BTL との関係

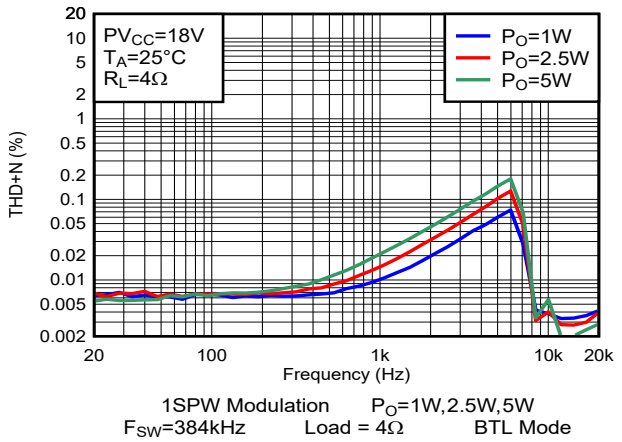


図 5-2. THD + N と周波数 BTL との関係

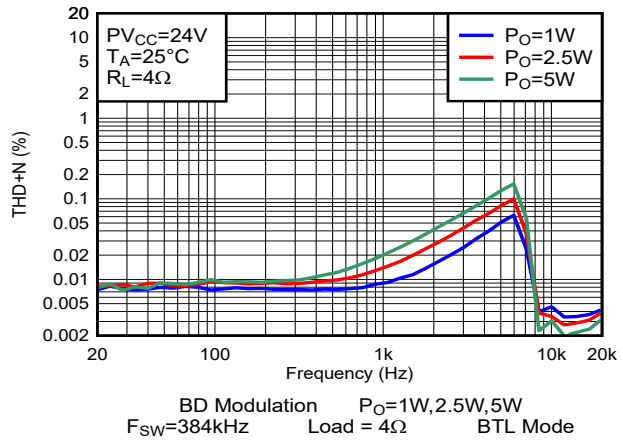


図 5-3. THD + N と周波数 BTL との関係

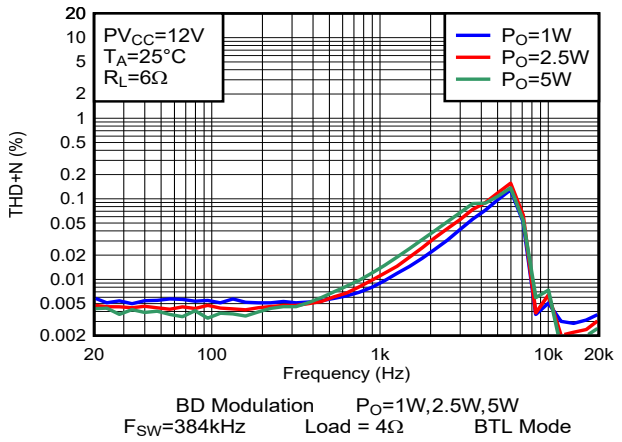
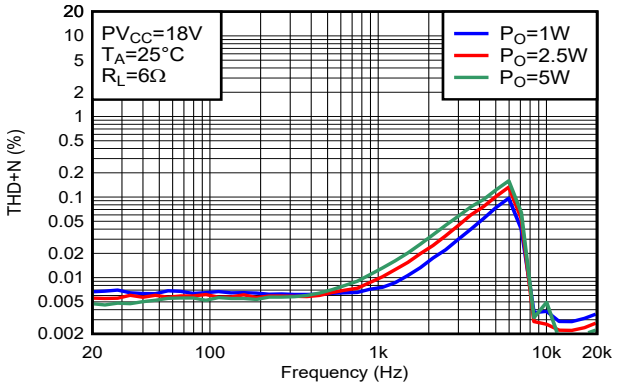


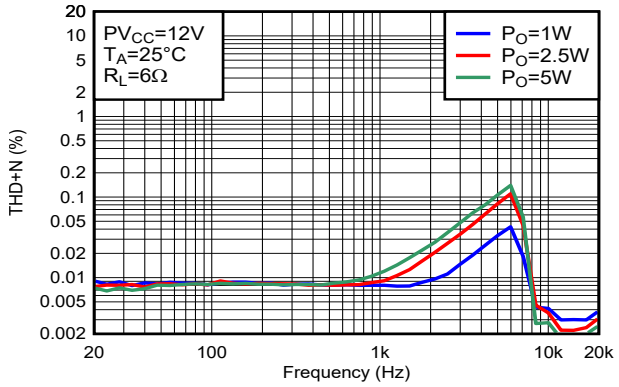
図 5-4. THD + N と周波数 BTL との関係

Copyright © 2025 Texas Instruments Incorporated



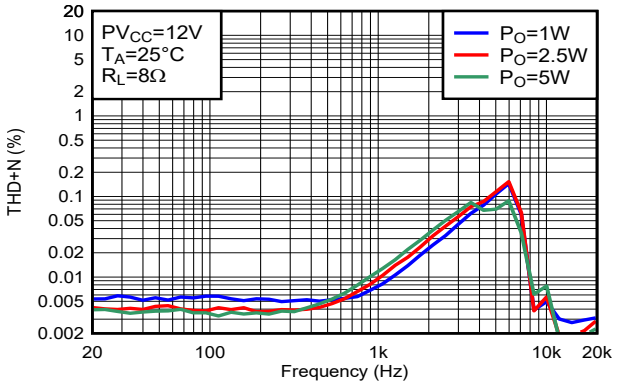
BD Modulation　P_O=1W,2.5W,5W
F_{SW}=384kHz　Load = 4Ω　BTL Mode

図 5-5. THD + N と周波数 BTL との関係



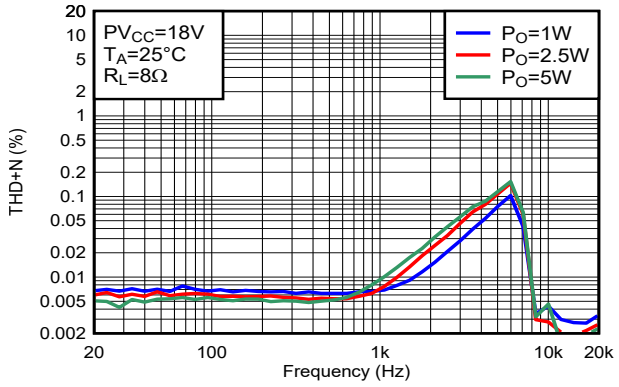
BD Modulation　P_O=1W,2.5W,5W
F_{SW}=384kHz　Load = 4Ω　BTL Mode

図 5-6. THD + N と周波数 BTL との関係



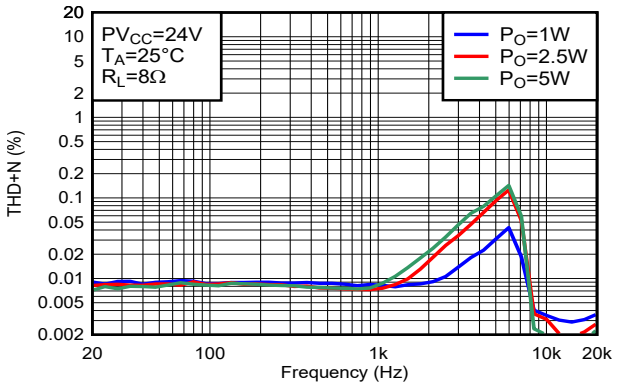
BD Modulation　P_O=1W,2.5W,5W
F_{SW}=384kHz　Load = 4Ω　BTL Mode

図 5-7. THD + N と周波数 BTL との関係



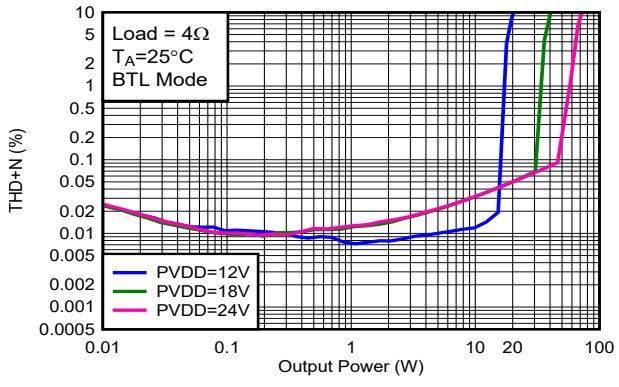
BD Modulation　P_O=1W,2.5W,5W
F_{SW}=384kHz　Load = 4Ω　BTL Mode

図 5-8. THD + N と周波数 BTL との関係



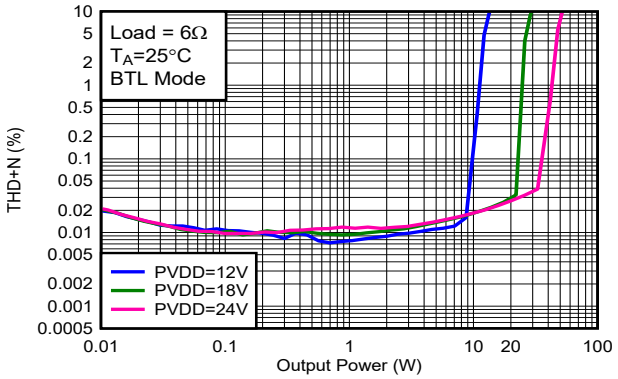
BD Modulation　P_O=1W,2.5W,5W
F_{SW}=384kHz　Load = 4Ω　BTL Mode

図 5-9. THD + N と周波数 BTL との関係



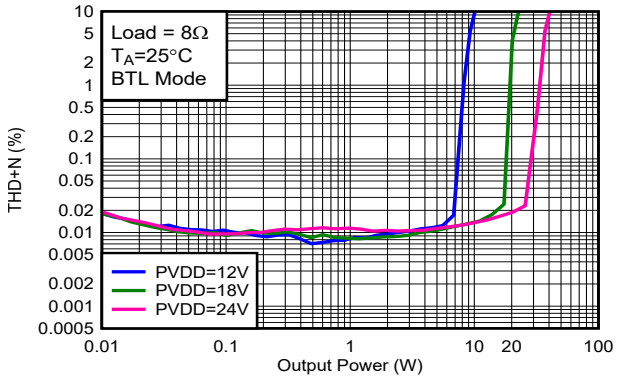
BD Modulation
F_{SW}=384kHz　PVDD = 12V, 18V, 24V　BTL Mode

図 5-10. THD+N と出力電力 BTL との関係



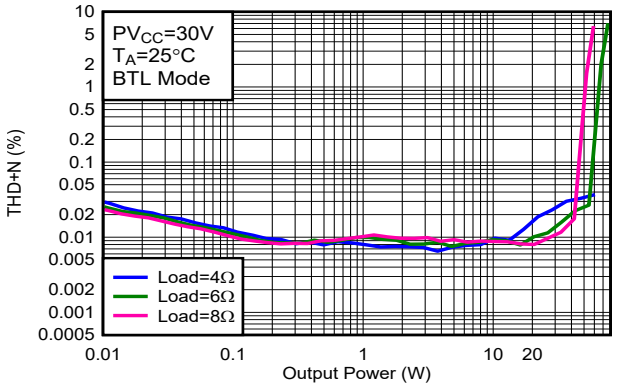
BD Modulation
F_{SW}=384kHz PVDD = 12V, 18V, 24V BTL Mode

図 5-11. THD+N と出力電力 BTL との関係



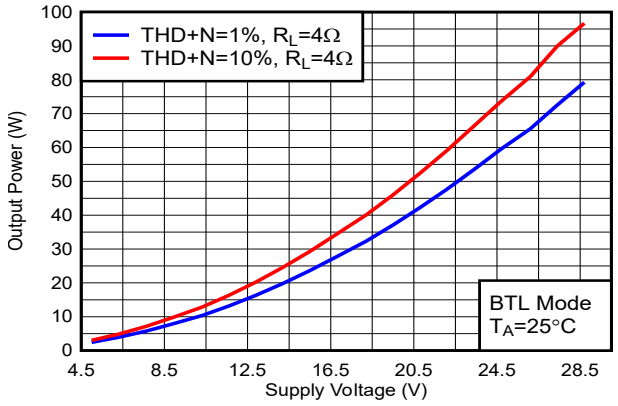
BD Modulation
F_{SW}=384kHz PVDD = 12V, 18V, 24V BTL Mode

図 5-12. THD+N と出力電力 BTL との関係



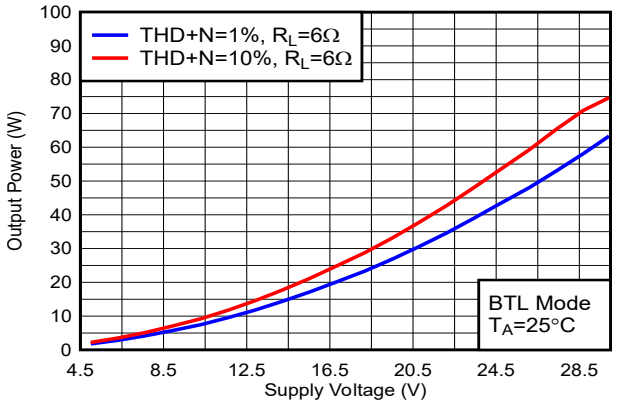
BD Modulation
F_{SW}=384kHz Load = 4Ω, 6Ω, 8Ω BTL Mode

図 5-13. THD+N と電源 BTL との関係



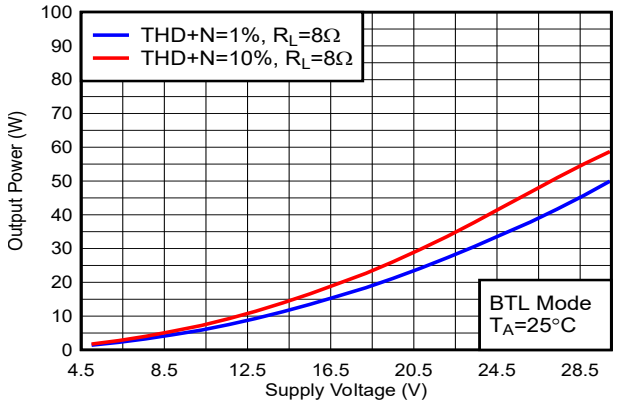
BD Modulation
F_{SW}=384kHz Load = 4Ω BTL Mode

図 5-14. 出力電力と電源電圧との関係



BD Modulation
F_{SW}=384kHz Load = 6Ω BTL Mode

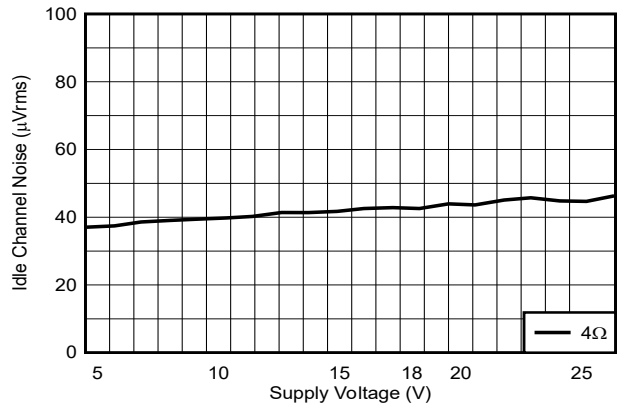
図 5-15. 出力電力と電源電圧との関係



BD Modulation
F_{SW}=384kHz Load = 8Ω BTL Mode

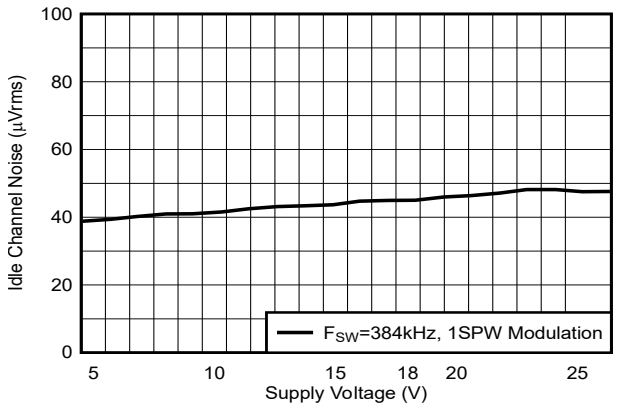
図 5-16. 出力電力と電源電圧との関係

Copyright © 2025 Texas Instruments Incorporated



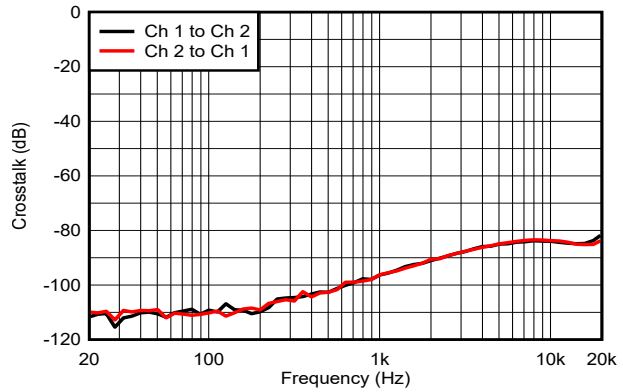
BD Modulation
F_{SW}=384kHz Load = 4Ω PBTL Mode

図 5-17. アイドル チャネル ノイズと電源電圧との関係



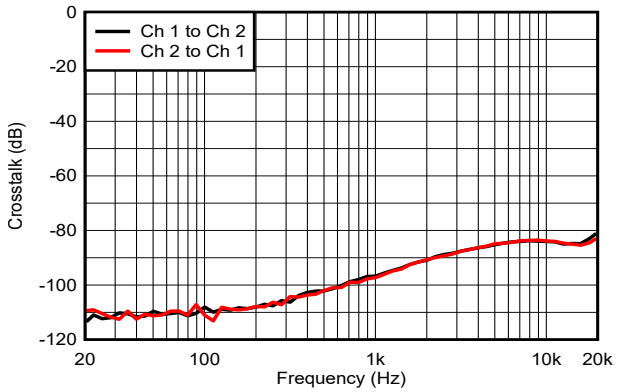
BD Modulation
F_{SW}=384kHz Load = 8Ω BTL Mode

図 5-18. アイドル チャネル ノイズと電源電圧との関係



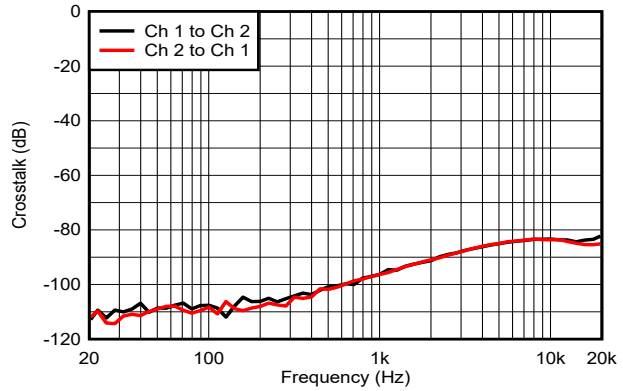
PVDD=12V BD Modulation P_o=1W
F_{SW}=384kHz Load = 4Ω BTL Mode

図 5-19. クロストーク



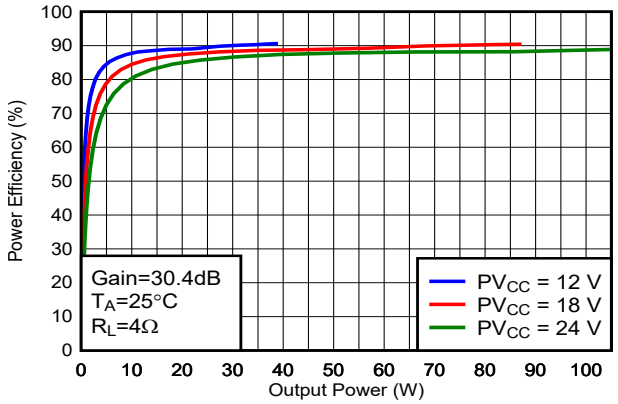
PVDD=18V BD Modulation P_o=1W
F_{SW}=384kHz Load = 4Ω BTL Mode

図 5-20. クロストーク



PVDD=24V BD Modulation P_o=1W
F_{SW}=384kHz Load = 4Ω BTL Mode

図 5-21. クロストーク



BD Modulation
F_{SW}=384kHz Load = 4Ω BTL Mode

図 5-22. 効率と出力電力との関係

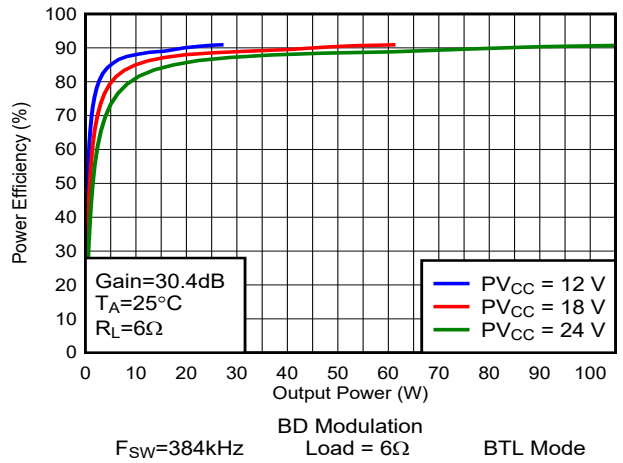


図 5-23. 効率と出力電力との関係

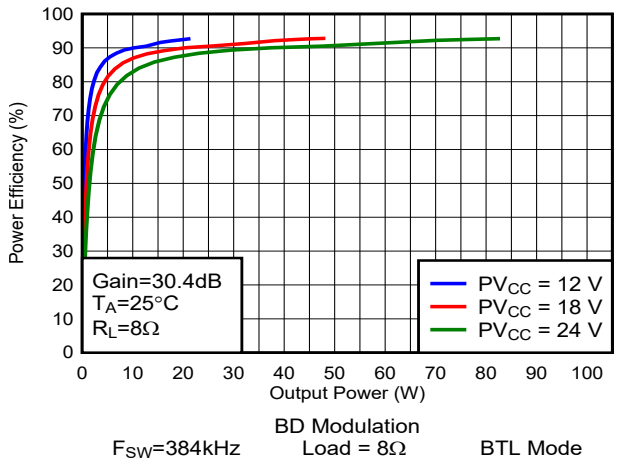


図 5-24. 効率と出力電力との関係

5.7.2 1SPW 変調によるブリッジ接続負荷 (BTL) 構成曲線

自由気流での室温 25°C (特に記述のない限り)。測定には、Audio Precision System 2722 を使用し、アナログ アナライザ フィルタを 20kHz のブリックウォール フィルタに設定しました。特に記述のない限り、すべての測定はオーディオ周波数を 1kHz、デバイスの PWM 周波数を 384kHz、80kHz の Class-D ループ帯域幅に設定した状態で行われます。ただし、LC フィルタの使用場所は 10μH/0.68μF でした。

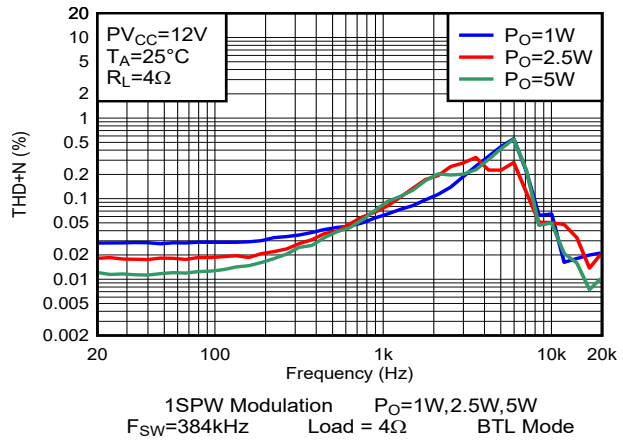


図 5-25. THD + N と周波数 BTL との関係

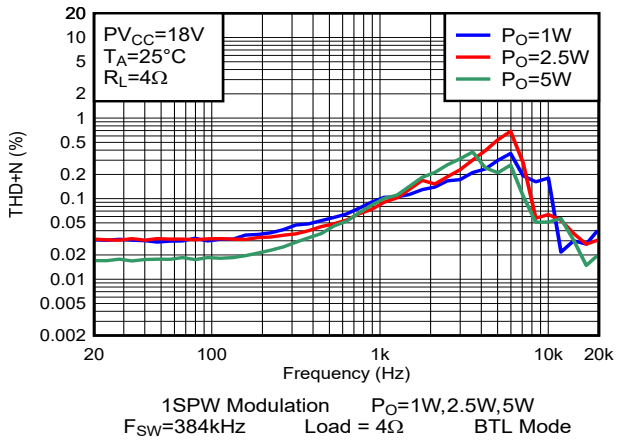


図 5-26. THD + N と周波数 BTL との関係

Copyright © 2025 Texas Instruments Incorporated

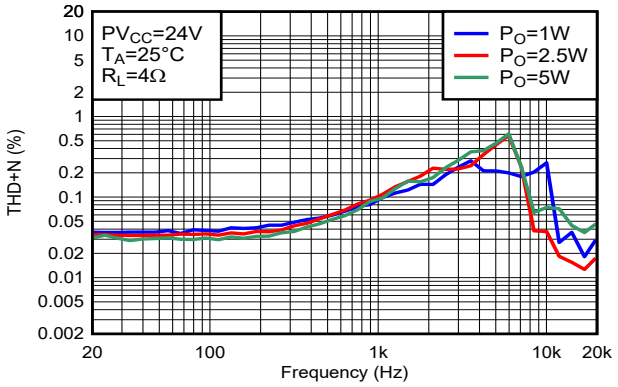


図 5-27. THD + N と周波数 BTL との関係

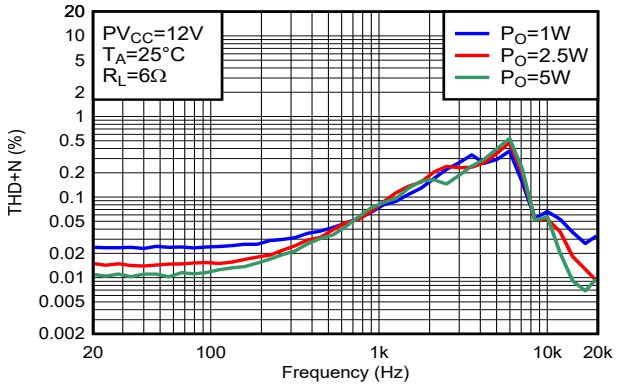


図 5-28. THD + N と周波数 BTL との関係

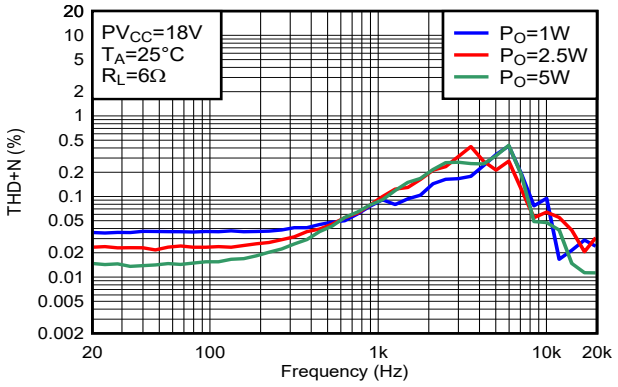


図 5-29. THD + N と周波数 BTL との関係

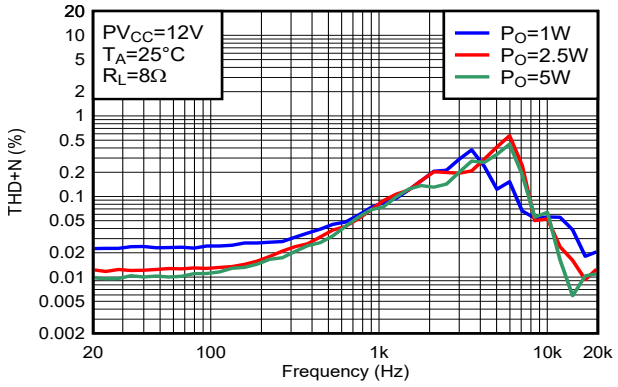


図 5-30. THD + N と周波数 BTL との関係

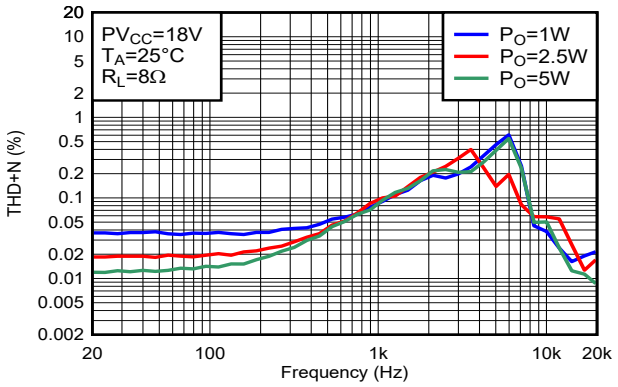


図 5-31. THD + N と周波数 BTL との関係

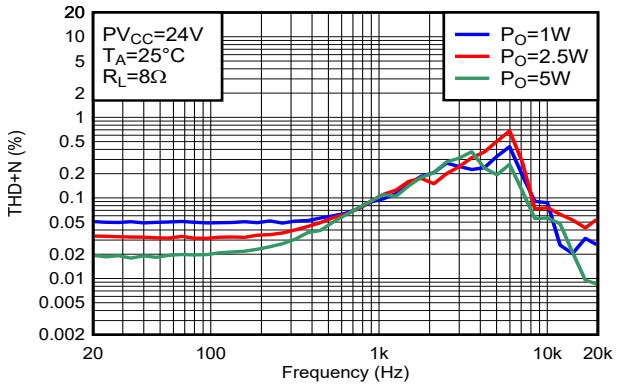
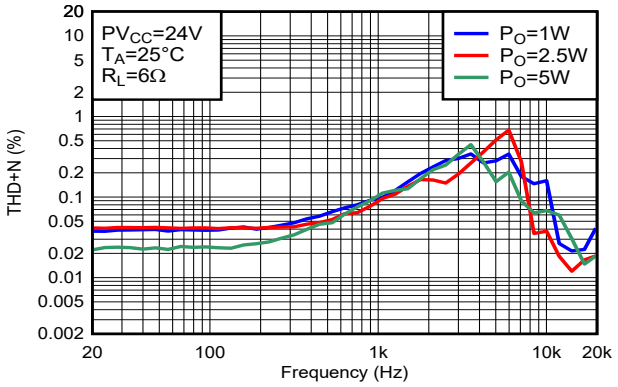
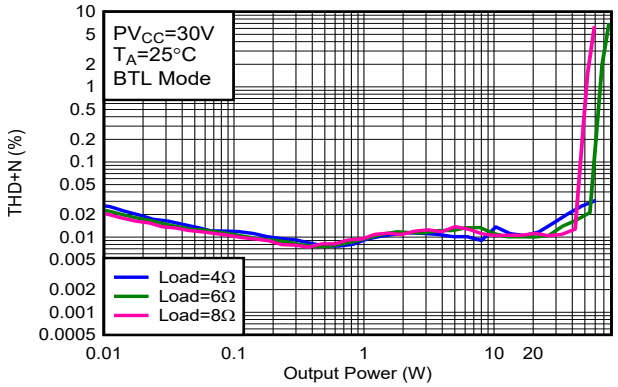


図 5-32. THD + N と周波数 BTL との関係



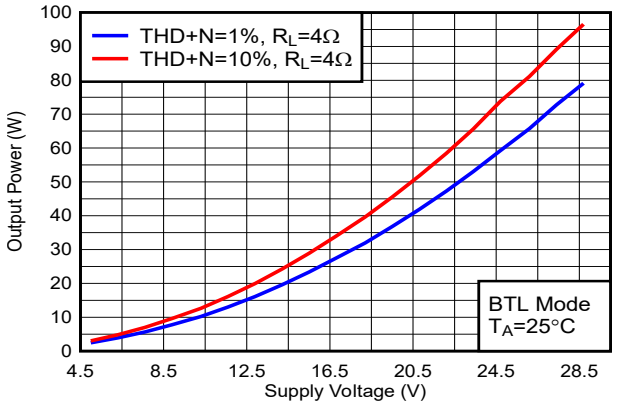
1SPW Modulation P_O=1W,2.5W,5W
F_{SW}=384kHz Load = 4Ω BTL Mode

図 5-33. THD + N と周波数 BTL との関係



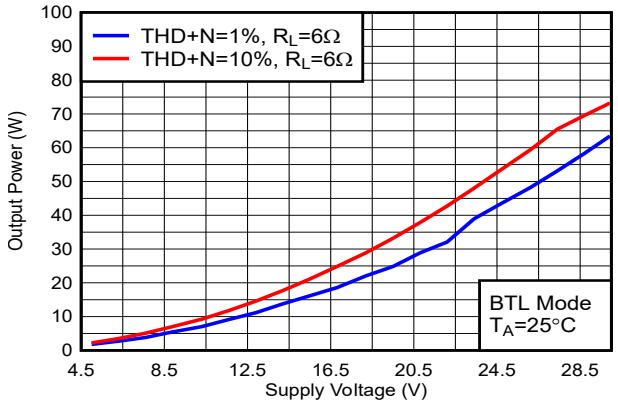
1SPW Modulation
F_{SW}=384kHz Load = 4Ω, 6Ω, 8Ω BTL Mode

図 5-34. THD+N と電源 BTL との関係



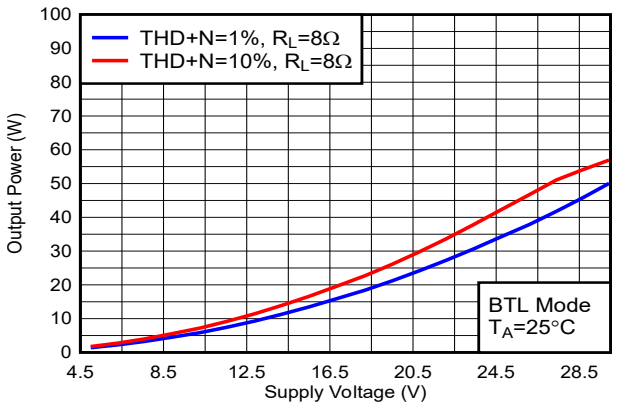
1SPW Modulation
F_{SW}=384kHz Load = 4Ω BTL Mode

図 5-35. 出力電力と電源電圧との関係



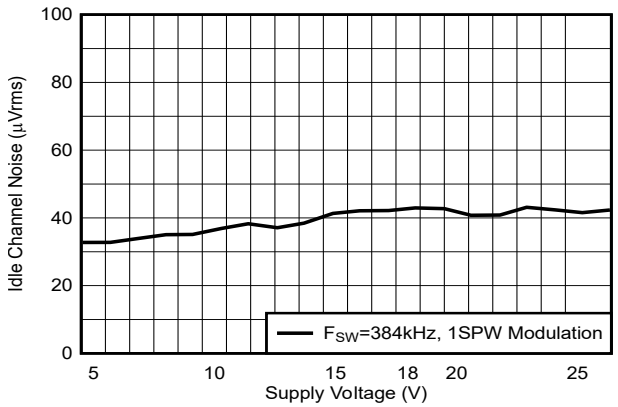
1SPW Modulation
F_{SW}=384kHz Load = 6Ω BTL Mode

図 5-36. 出力電力と電源電圧との関係



1SPW Modulation
F_{SW}=384kHz Load = 8Ω BTL Mode

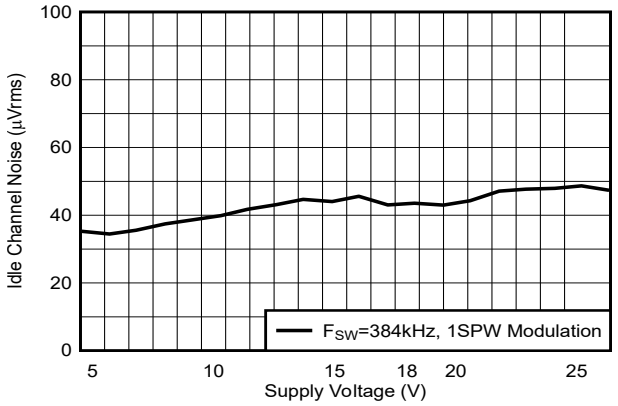
図 5-37. 出力電力と電源電圧との関係



1SPW Modulation
F_{SW}=384kHz Load = 4Ω BTL Mode

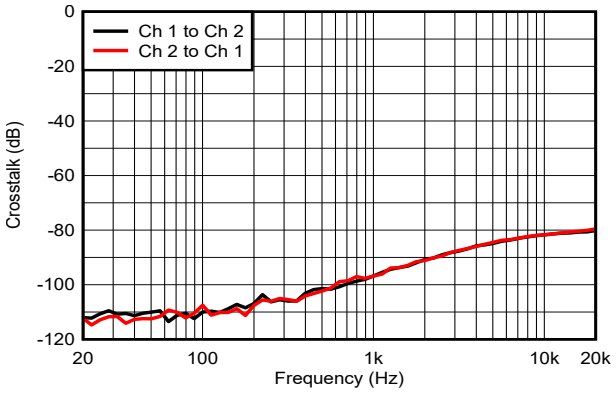
図 5-38. アイドル チャネル ノイズと電源電圧との関係

Copyright © 2025 Texas Instruments Incorporated



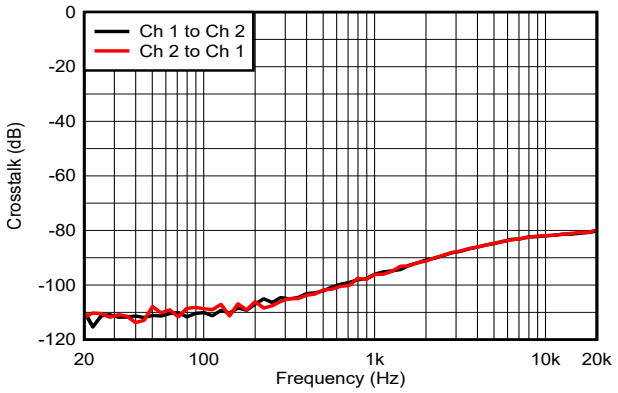
1SPW Modulation
F_{SW}=384kHz Load = 8Ω BTL Mode

図 5-39. アイドル チャネル ノイズと電源電圧との関係



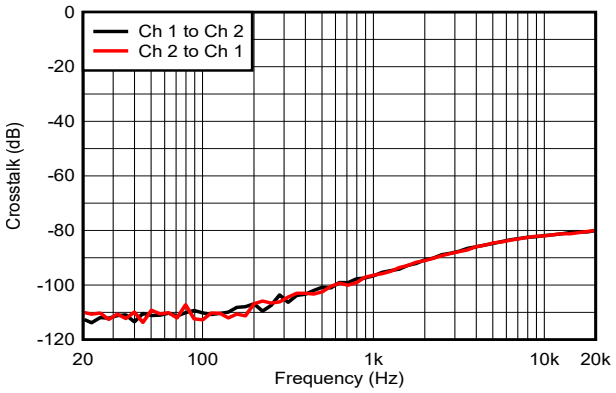
PVDD=12V 1SPW Modulation P_o=1W
F_{SW}=384kHz Load = 4Ω BTL Mode

図 5-40. クロストーク



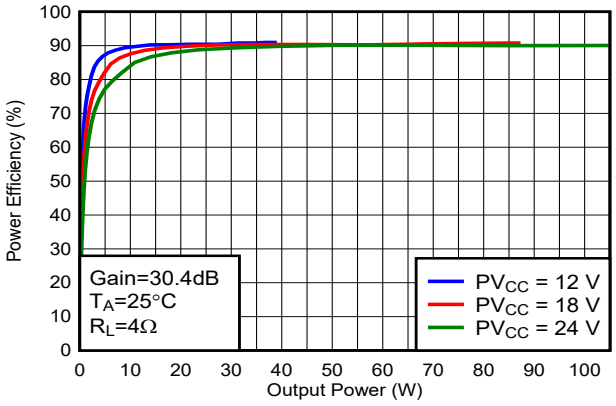
PVDD=18V 1SPW Modulation P_o=1W
F_{SW}=384kHz Load = 4Ω BTL Mode

図 5-41. クロストーク



PVDD=24V 1SPW Modulation P_o=1W
F_{SW}=384kHz Load = 4Ω BTL Mode

図 5-42. クロストーク



1SPW Modulation
F_{SW}=384kHz Load = 4Ω BTL Mode

図 5-43. 効率と出力電力との関係

5.7.3 BD 変調による並列ブリッジ接続負荷 (PBTL) 構成

自由気流での室温 25°C (特に記述のない限り)。測定には、Audio Precision System 2722 を使用し、アナログ アナライザ フィルタを 20kHz のブリックウォール フィルタに設定しました。すべての測定は、オーディオ周波数を 1kHz、デバイスの PWM 周波数を 384kHz、クラス D アンプのループ帯域幅を 80kHz に設定して行いました。特に明記されていない限り、LC フィルターは 10µH / 0.68µF (ポストフィルター PBTL、出力フィルターのインダクタ部分の後の 2 つの出力チャネルの結合、セクション 8.1.2 の詳細を参照) を使用しました。

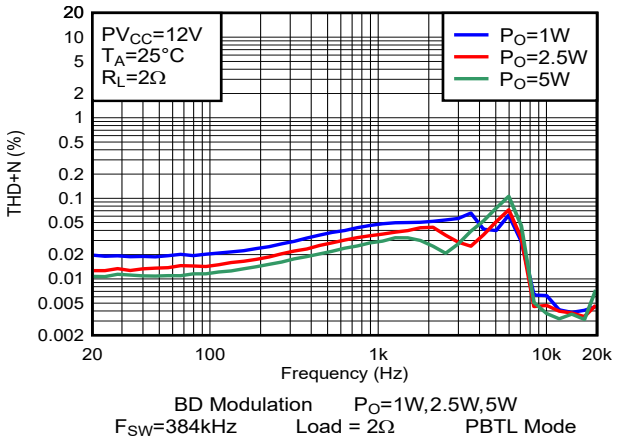


図 5-44. THD + N と周波数 PBTL との関係

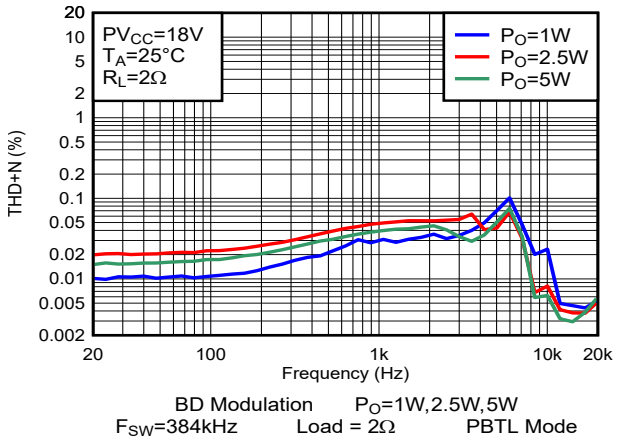


図 5-45. THD + N と周波数 PBTL との関係

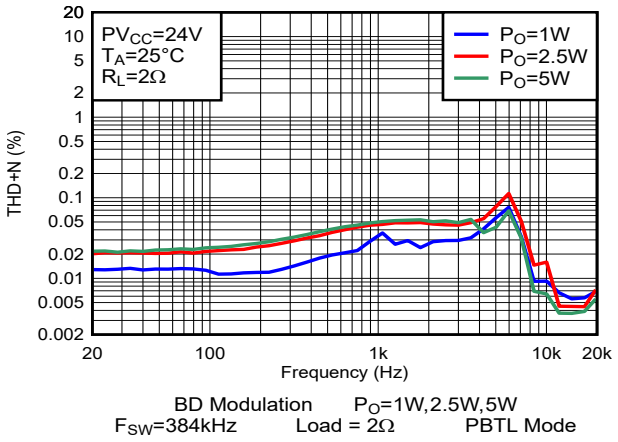


図 5-46. THD + N と周波数 PBTL との関係

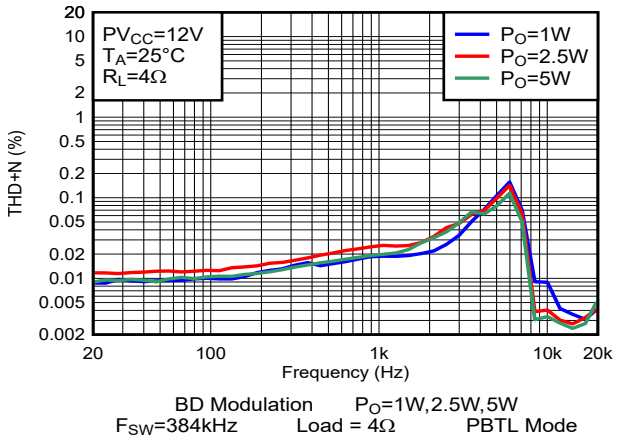


図 5-47. THD + N と周波数 PBTL との関係

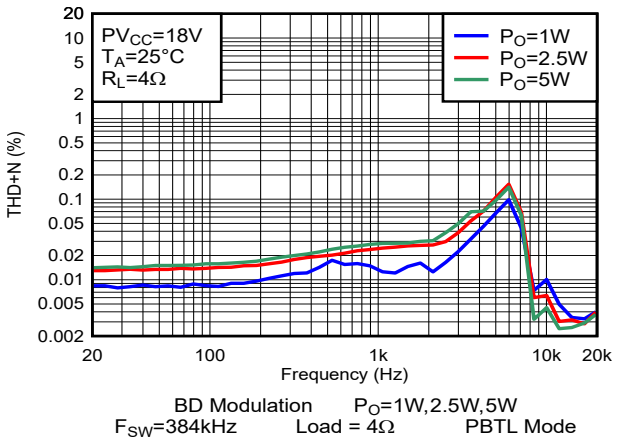


図 5-48. THD + N と周波数 PBTL との関係

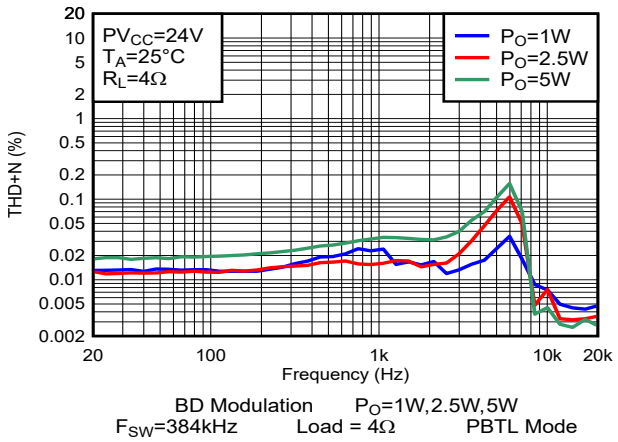
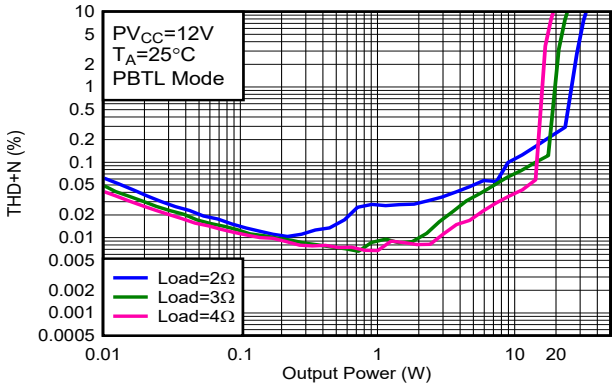


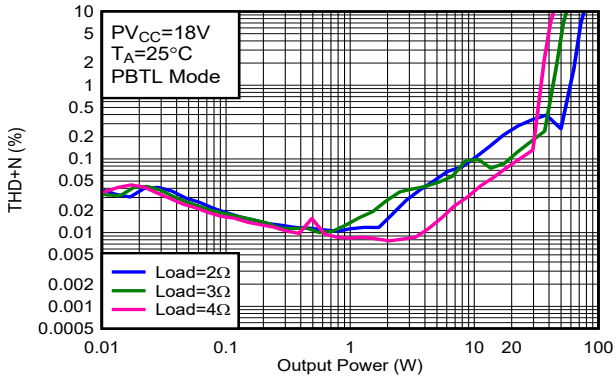
図 5-49. THD + N と周波数 PBTL との関係

Copyright © 2025 Texas Instruments Incorporated



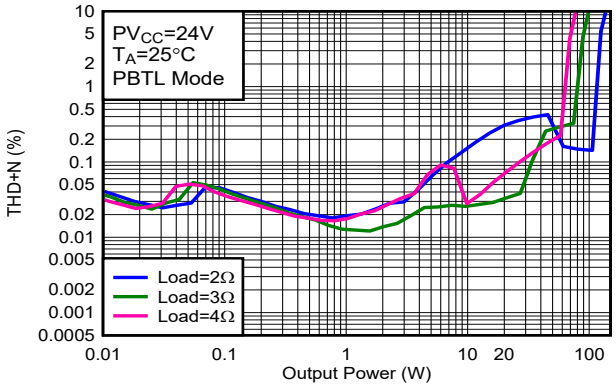
BD Modulation
FSW=384kHz Load = 2Ω, 3Ω, 4Ω PBTL Mode

図 5-50. THD+N と出力電力 PBTL との関係



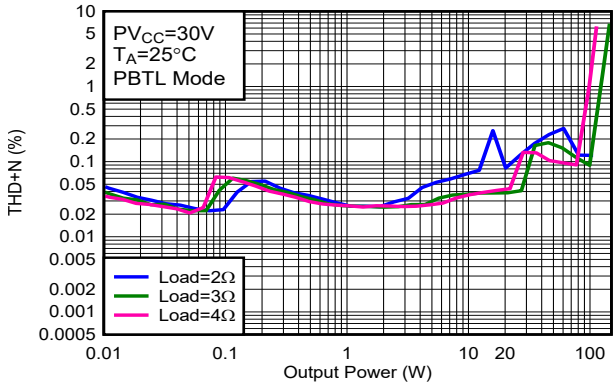
BD Modulation
FSW=384kHz Load = 2Ω, 3Ω, 4Ω PBTL Mode

図 5-51. THD+N と出力電力 PBTL との関係



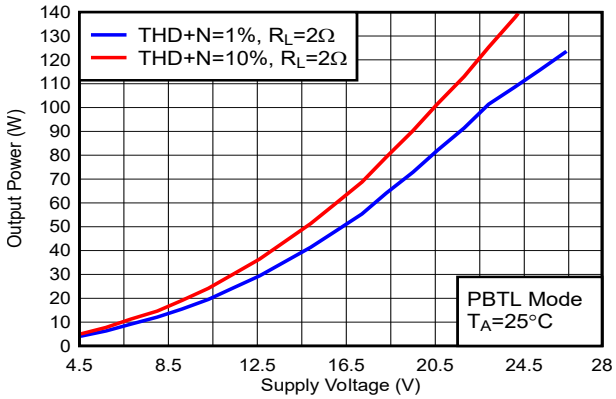
1SPW Modulation
FSW=384kHz Load = 2Ω, 3Ω, 4Ω PBTL Mode

図 5-52. THD+N と出力電力 PBTL との関係



1SPW Modulation
FSW=384kHz Load = 2Ω, 3Ω, 4Ω PBTL Mode

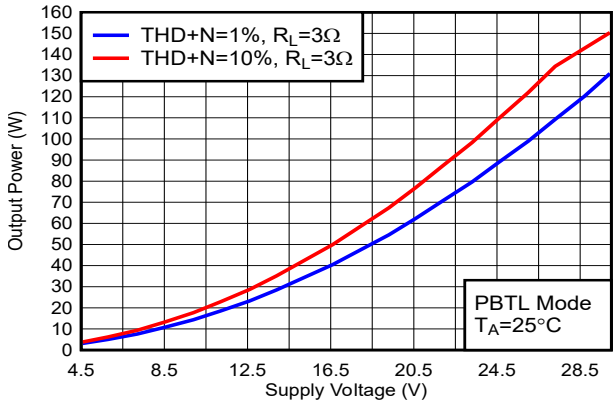
図 5-53. THD+N と電源 PBTL との関係



BD Modulation
FSW=384kHz Load = 2Ω PBTL Mode

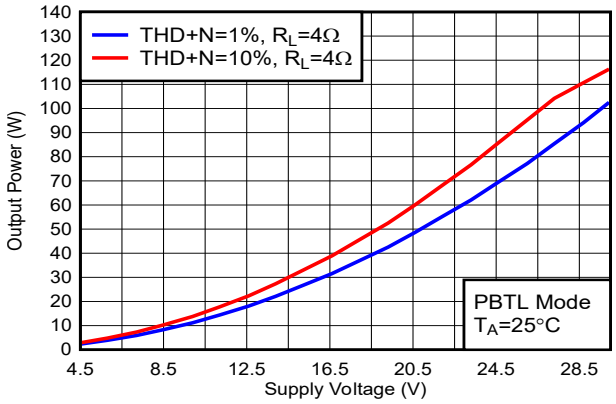
破線は、熱的に制限された領域を示します。

図 5-54. 出力電力と電源電圧との関係



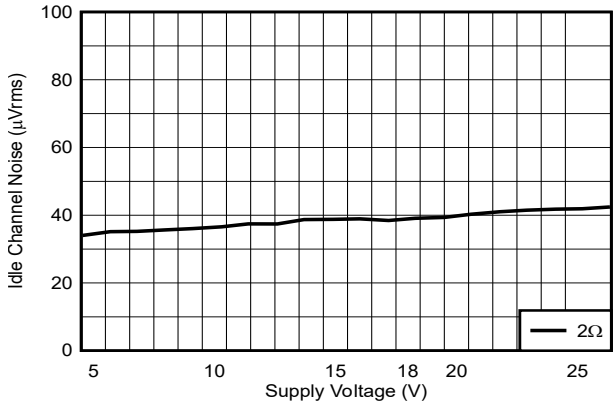
BD Modulation
FSW=384kHz Load = 3Ω PBTL Mode

図 5-55. 出力電力と電源電圧との関係



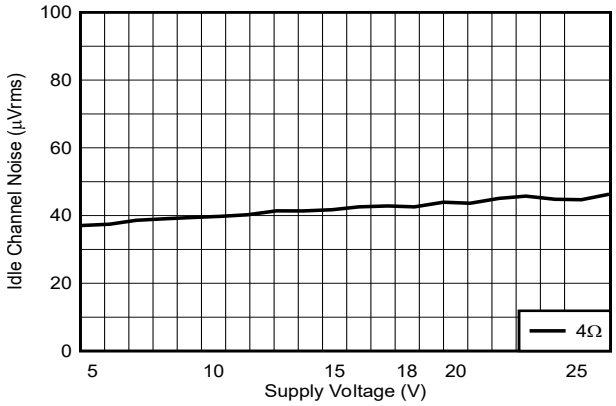
BD Modulation
F_{SW}=384kHz Load = 4Ω PBTL Mode

図 5-56. 出力電力と電源電圧との関係



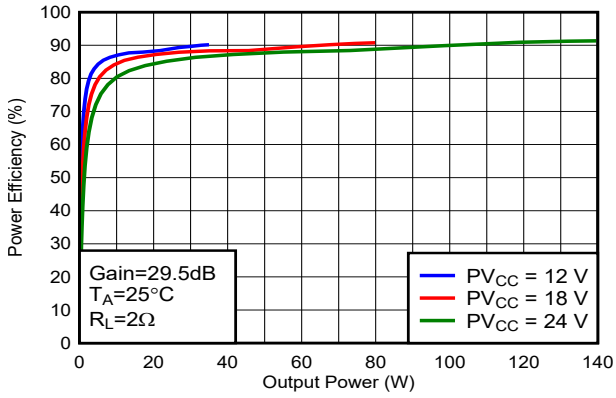
BD Modulation
F_{SW}=384kHz Load = 2Ω PBTL Mode

図 5-57. アイドル チャネル ノイズと電源電圧との関係



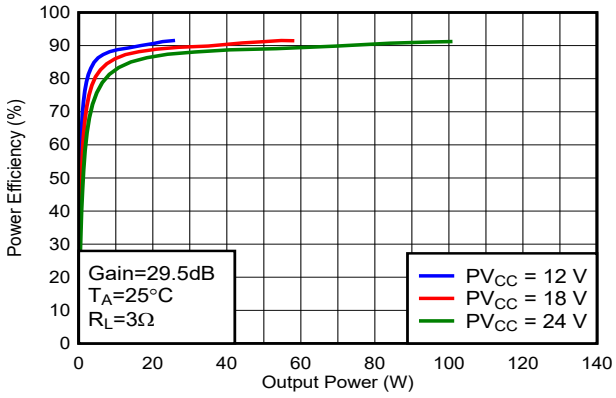
BD Modulation
F_{SW}=384kHz Load = 4Ω PBTL Mode

図 5-58. アイドル チャネル ノイズと電源電圧との関係



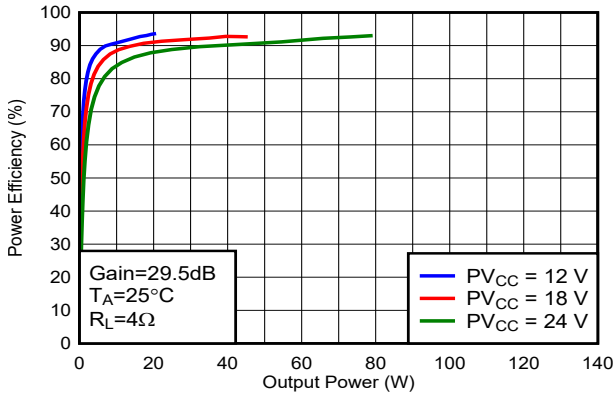
BD Modulation
F_{SW}=384kHz Load = 2Ω PBTL Mode

図 5-59. 効率と出力電力との関係



BD Modulation
F_{SW}=384kHz Load = 3Ω PBTL Mode

図 5-60. 効率と出力電力との関係



BD Modulation
F_{SW}=384kHz Load = 4Ω PBTL Mode

図 5-61. 効率と出力電力との関係

Copyright © 2025 Texas Instruments Incorporated

5.7.4 1SPW 変調による並列ブリッジ接続負荷 (PBTL) 構成

自由気流での室温 25°C (特に記述のない限り)。測定には、Audio Precision System 2722 を使用し、アナログ アナライザ フィルタを 20kHz のブリックウォール フィルタに設定しました。すべての測定は、オーディオ周波数を 1kHz、デバイスの PWM 周波数を 384kHz、クラス D アンプのループ帯域幅を 80kHz に設定して行いました。特に明記されていない限り、LC フィルターは 10µH / 0.68µF (ポストフィルター PBTL、出力フィルターのインダクタ部分の後の 2 つの出力チャネルの結合、セクション 8.1.2 の接続方法を参照)を使用しました。

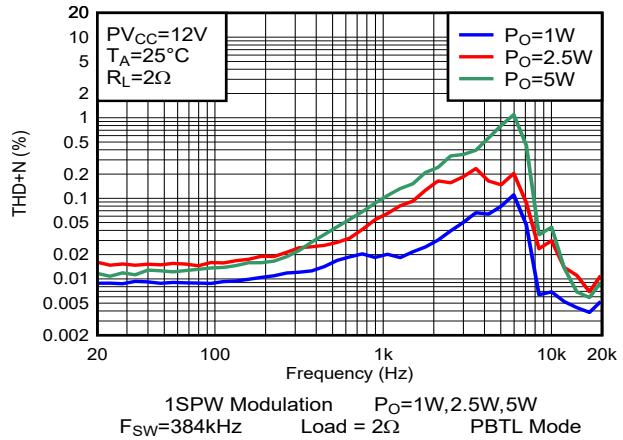


図 5-62. THD + N と周波数 PBTL との関係

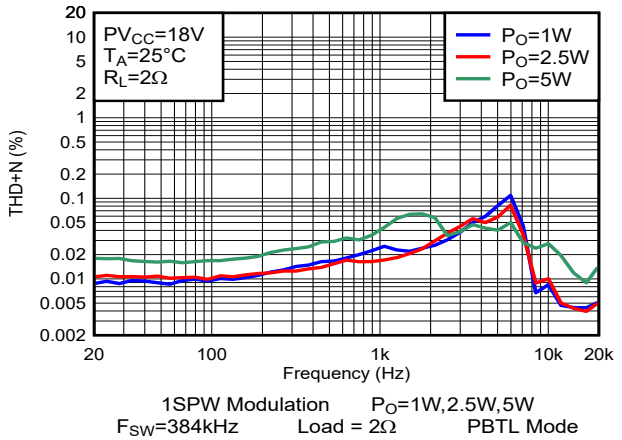


図 5-63. THD + N と周波数 PBTL との関係

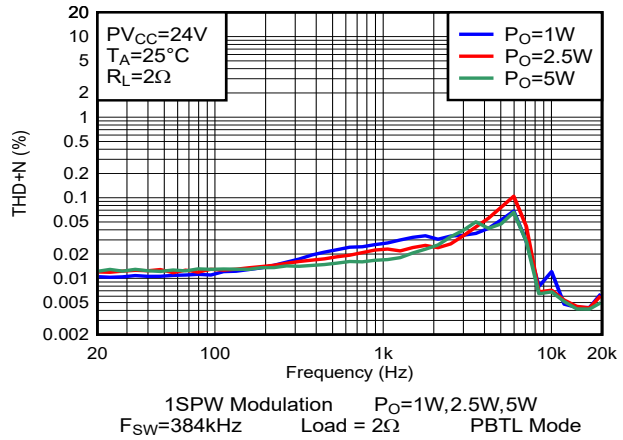


図 5-64. THD + N と周波数 PBTL との関係

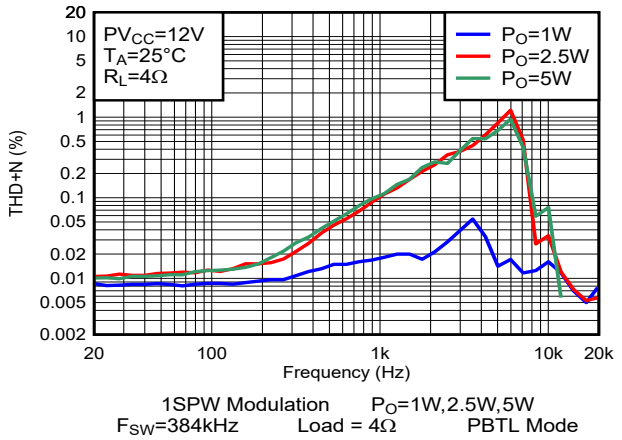


図 5-65. THD + N と周波数 PBTL との関係

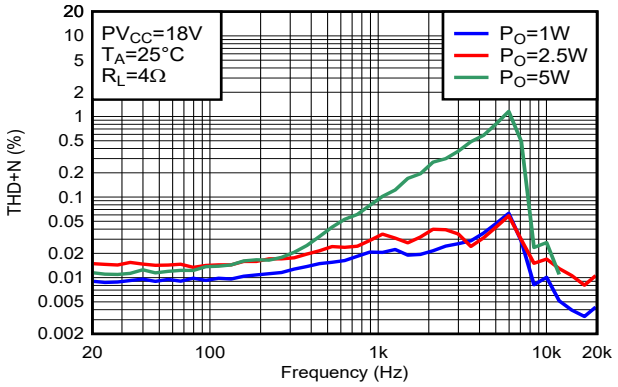


図 5-66. THD + N と周波数 PBTL との関係

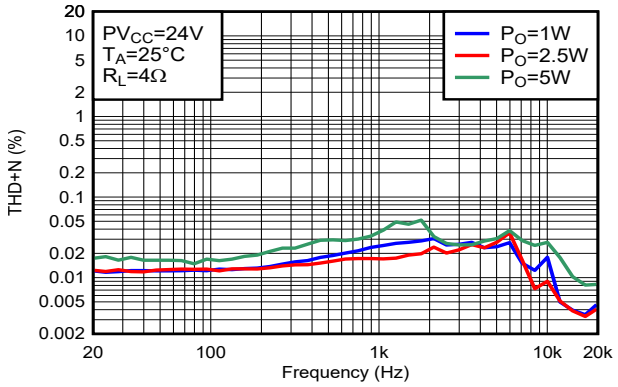


図 5-67. THD + N と周波数 PBTL との関係

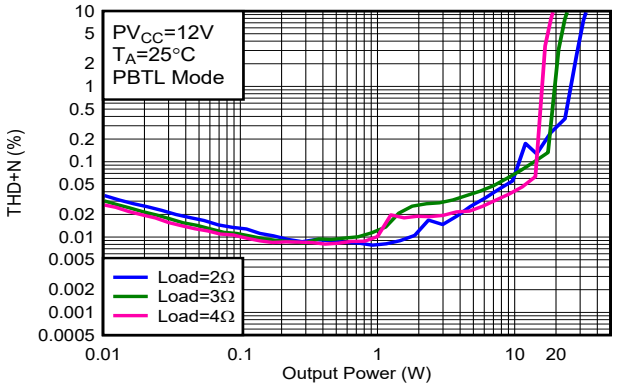


図 5-68. THD+N と出力電力 PBTL との関係

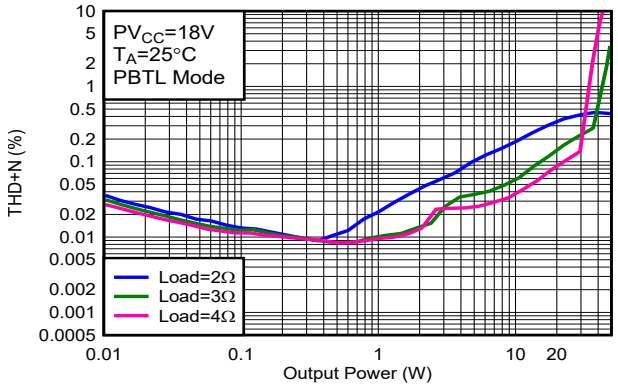


図 5-69. THD+N と出力電力 PBTL との関係

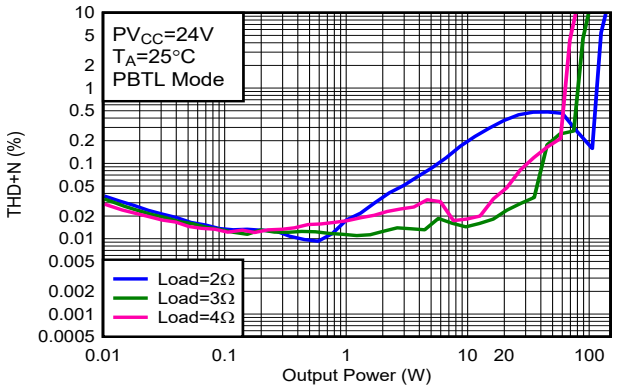


図 5-70. THD+N と出力電力 PBTL との関係

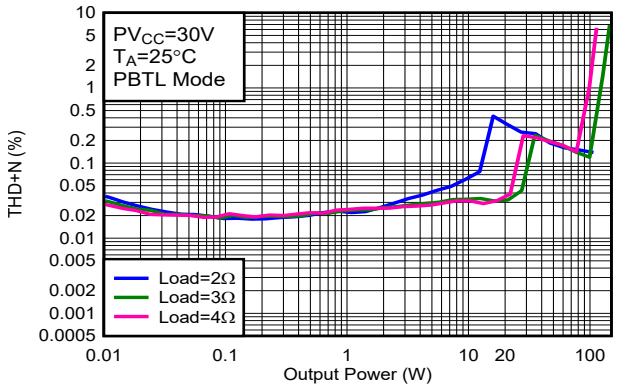
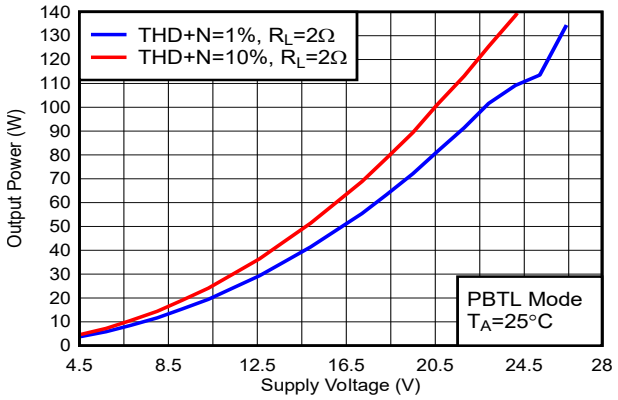


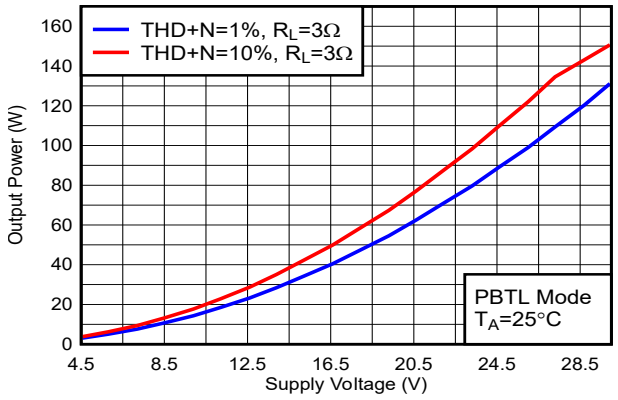
図 5-71. THD+N と電源 BTL との関係

Copyright © 2025 Texas Instruments Incorporated



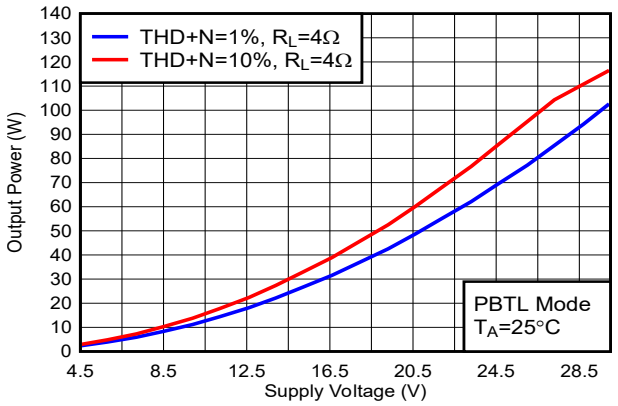
1SPW Modulation
F_{SW}=384kHz Load = 2Ω PBTL Mode

図 5-72. 出力電力と電源電圧との関係



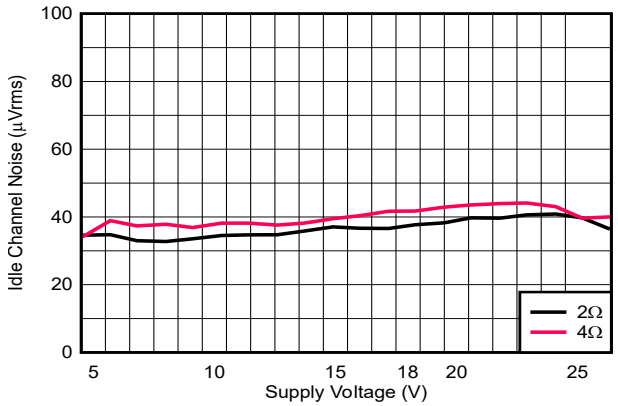
1SPW Modulation
F_{SW}=384kHz Load = 3Ω PBTL Mode

図 5-73. 出力電力と電源電圧との関係



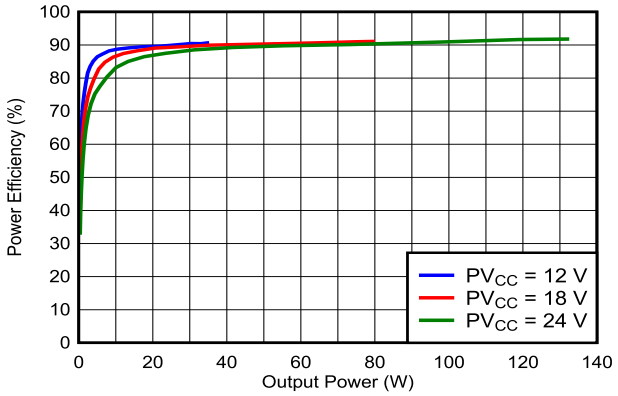
1SPW Modulation
F_{SW}=384kHz Load = 4Ω PBTL Mode

図 5-74. 出力電力と電源電圧との関係



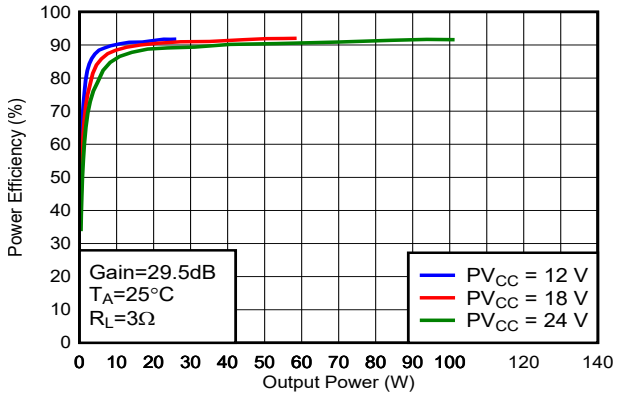
1SPW Modulation
F_{SW}=384kHz Load = 2Ω, 4Ω PBTL Mode

図 5-75. アイドル チャネル ノイズと電源電圧との関係



1SPW Modulation
F_{SW}=384kHz Load = 2Ω PBTL Mode

図 5-76. 効率と出力電力との関係



1SPW Modulation
F_{SW}=384kHz Load = 3Ω PBTL Mode

図 5-77. 効率と出力電力との関係

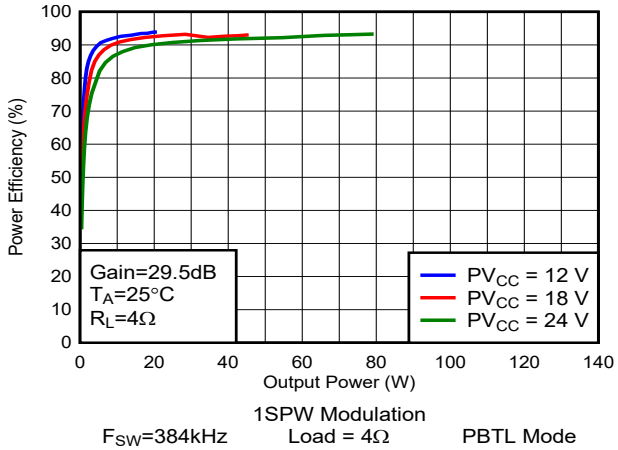


図 5-78. 効率と出力電力との関係

Copyright © 2025 Texas Instruments Incorporated

6 詳細説明

6.1 概要

TAS5830 デバイスは、4 つの主要なビルディング ブロックを一つの集積デバイスに統合し、音質、柔軟性、使いやすさを最大限に高めています。4 つの主要なビルディング ブロックを以下に示します。

- ステレオ デジタルから PWM への変調器、その後 PWM 変調器を使用して出力段に変換します。
- オーディオ DSP サブシステム。
- フレキシブルな閉ループ アンプは、ステレオまたはモノラルで動作し、複数の異なるスイッチング周波数で動作し、さまざまな出力電圧および負荷に対応しています。
- デバイスとの通信用の I^2C 制御ポート

このデバイスが適切に動作するために必要な電源は 2 つだけです。低電圧デジタル回路に電力を供給するには DVDD 電源が必要です。オーディオ アンプの出力段に電力を供給するには、PVDD と呼ばれるもう 1 つの電源が必要です。2 つの内部 LDO は、GVDD と AVDD のために PVDD を 5V に変換し、1 つの内部 LDO は DVDD を VR_DIG のため 1.5V に変換します。

6.2 機能ブロック図

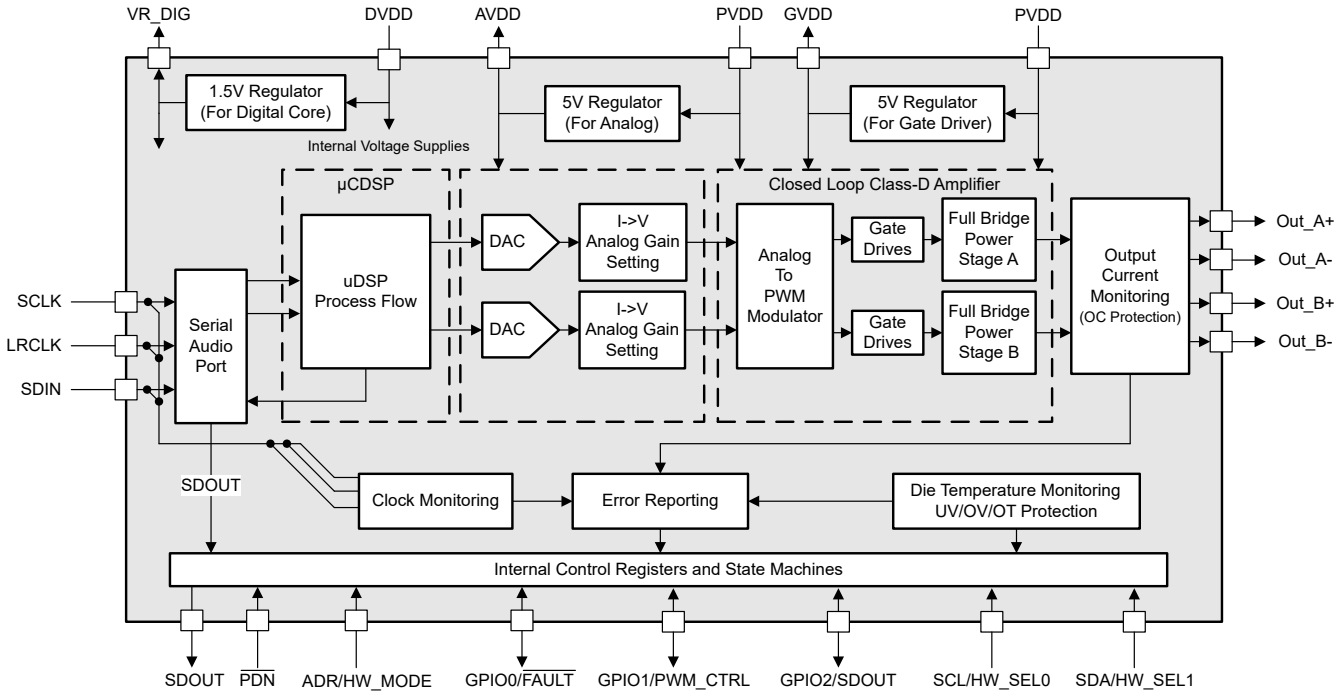


図 6-1. 機能ブロック図

Copyright © 2025 Texas Instruments Incorporated

6.3 機能説明

6.3.1 電源

システム設計では、TAS5830 には (標準的な) 12V または 24V 電力段の電源に加えて、3.3V または 1.8V の電源が必要です。2 つの内部電圧レギュレータにより、ゲート駆動回路と内部回路に適した電圧レベルが提供されます。外部ピンは、電源をフィルタリングするためのオフチップ バイパス コンデンサの接続ポイントとしてのみ提供されます。外部回路をこれらのレギュレータ出力に接続すると、性能が低下し、デバイスが損傷する可能性があります。また、フローティング電圧電源 (ハイサイド ゲートドライブ) を必要とするすべての回路は、数個の外付けコンデンサのみを必要とするブートストラップ回路を内蔵しています。優れた電気的特性と音響特性を得るため、出力段の PWM 信号路は同じ独立したハーフブリッジとして設計されています。このため、各ハーフブリッジには個別のブートストラップピン (BST_x) があります。ゲート駆動電圧 (GVDD) は PVDD 電圧から生成されます。すべてのデカップリング コンデンサは、関連するピンのできるだけ近くに配置するように、特に注意を払う必要があります。一般に、電源ピンとデカップリング コンデンサの間のインダクタンスを防ぐ必要があります。ブートストラップ回路を適切に機能させるには、各ブートストラップ ピン (BST_x) と電力段出力ピン (OUT_x) の間に小さなセラミック コンデンサを接続する必要があります。電力段の出力が low のとき、ゲート駆動レギュレータ出力ピン (GVDD) とブートストラップ ピンの間に接続された内部ダイオードを介してブートストラップ コンデンサが充電されます。電力段の出力が high になると、ブートストラップ コンデンサの電位が出力電位よりもシフトされるため、ハイサイド ゲートドライバに適切な電圧電源が供給されます。

6.3.2 デバイス クロッキング

TAS5830 デバイスは、柔軟なクロック供給システムを備えています。内部的には、デバイスを正しく機能させるために、主に関連するクロックレートで、いくつかのクロックが必要です。これらのクロックは、すべてシリアルオーディオインターフェイスから入手できます。

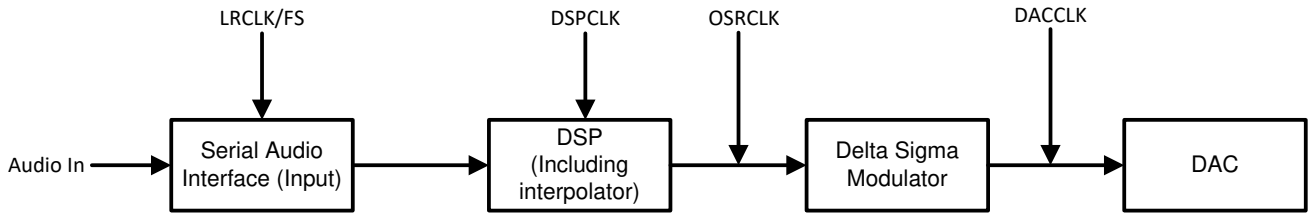


図 6-2. 各クロックのオーディオフロー

図 6-2 に、基本的なデータ フローとクロック ディストリビューションを示します。

シリアルオーディオインターフェイスには、通常、以下の 3 つの接続ピンがあります。

- SCLK (ビット クロック)
- FS (左/右ワード クロックまたはフレーム同期)
- SDIN (入力データ)。

このデバイスには、SCLK を取得して DSP と DAC クロックに必要な高速クロックを作成するために使用される内部 PLL があります。

TAS5830 デバイスには、サンプリング レートがどの周波数で動作しているかを自動的に検知するオーディオ サンプリング レート検出回路が搭載されています。32kHz、44.1kHz ～ 48kHz、88.2kHz ～ 96kHz、176.4kHz ～ 192kHz の一般的なオーディオ サンプリング周波数に対応しています。サンプリング周波数検出器は、DAC と DSP のクロックを自動的に設定します。

音楽の再生中に入力 LRCLK/SCLK が停止した場合、TAS5830 はスリープ状態に切り替わり、クロック回復 (Class-D 出力が自動的に Hi-Z に切り替わります) を待つ。LRCLK/SCLK が回復すると、TAS5830 は自動的に再生モードに戻ります。DSP コードを再ロードする必要はありません。

6.3.3 シリアル オーディオ ポート — クロック速度

シリアル オーディオ インターフェイス ポートは、LRCLK/SCLK、FS および SDIN 信号を持つ 3 線式シリアル ポートです。SCLK は、SDIN にあるシリアルデータをオーディオ インターフェイスのシリアル シフト レジスタにクロック供給するために使用されるシリアル オーディオ ビット クロックです。シリアルデータは、SCLK によって TAS5830 デバイスにクロック入力されます。LRCLK/FS ピンは、デバイスが TDM モードで動作している場合、シリアルオーディオの左/右ワード クロックまたはフレーム同期です。

表 6-1. オーディオデータの形式、ビット深度、クロックレート

フォーマット	データ ビット	FS の最大周波数 (kHz)	SCLK レート (f_s)
I^2S/LJ/RJ	32、24、20、16	32～192	64、32
TDM	32、24、20、16	32	128
		44.1、48	128、256、512
		96	128、256
		192	128

クロック停止、サポートされていない SCLK 対 LRCLK(FS) 比率が検出されると、デバイスはレジスタ 113 (レジスタ アドレス 0x71) にクロック エラーを報告します。

6.3.4 クロック HALT 自動回復

一部のホスト プロセッサは、オーディオが再生されていないときに I^2S クロックを停止します。クロックが停止すると、デバイスはすべてのチャネルを Hi-Z 状態に移行して、レジスタ GLOBAL_FAULT1 レジスタ (オフセット = 71h) [リセット = 00h] - D[2]で ラッチ クロック エラーを発行します。オーディオ クロックの回復後、デバイスは自動的に以前の状態に戻ります。

6.3.5 サンプル レートの即時変更

TAS5830 は、LRCLK (FS) レートの即時変更をサポートしています。例えば 48kHz から 96kHz に LRCLK (FS) を変更する場合、ホストプロセッサは新しいサンプルレートに変更する前に少なくとも 100us の間、LRCLK(FS)/SCLK を停止状態にする必要があります。

6.3.6 シリアル オーディオ ポート — データ形式とビット深度

このデバイスは、標準の I2S、左揃え、右揃え、TDM/DSP データを含む、業界標準のオーディオ データ フォーマットをサポートしています。データ形式はレジスタ (SAP_CTRL1 レジスタ (オフセット = 33h) [リセット = 02h]-D[5:4]) により選択します。TDM/DSP モードでの LRCLK/SCK FS の high 幅が 8 サイクル未満の場合、レジスタ SAP_CTRL1 レジスタ (オフセット = 33h) [リセット = 02h](-D[3:2]) を 01 に設定する必要があります。すべての形式には、バイナリの 2 の補数、MSB ファーストのオーディオ データが必要です。最大 32 ビットのオーディオ データを受け付けます。このデバイスでサポートされているすべてのデータ フォーマット、ワード長、クロック レートを表 1 に示します。データ形式については、図 6-3 から 図 6-7 で詳しく説明します。ワード長はレジスタ (SAP_CTRL1 レジスタ (オフセット = 33h) [リセット = 02h]-D[1:0]) によって選択されます。データのオフセットは、レジスタ (SAP_CTRL2 レジスタ (オフセット = 34h) [リセット = 00h]-D[7:0]) とレジスタ (SAP_CTRL1 レジスタ (オフセット = 33h) [リセット = 02h]-D[7：0]) により選択されます。デフォルト設定は I2S と 24 ビットのワード長です。

Copyright © 2025 Texas Instruments Incorporated

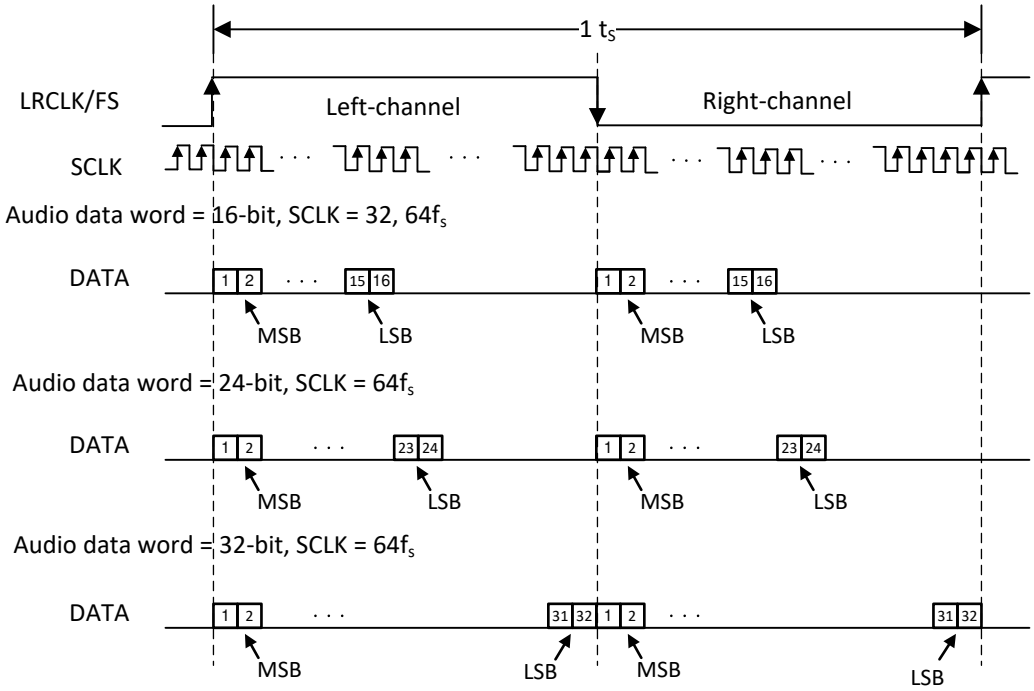
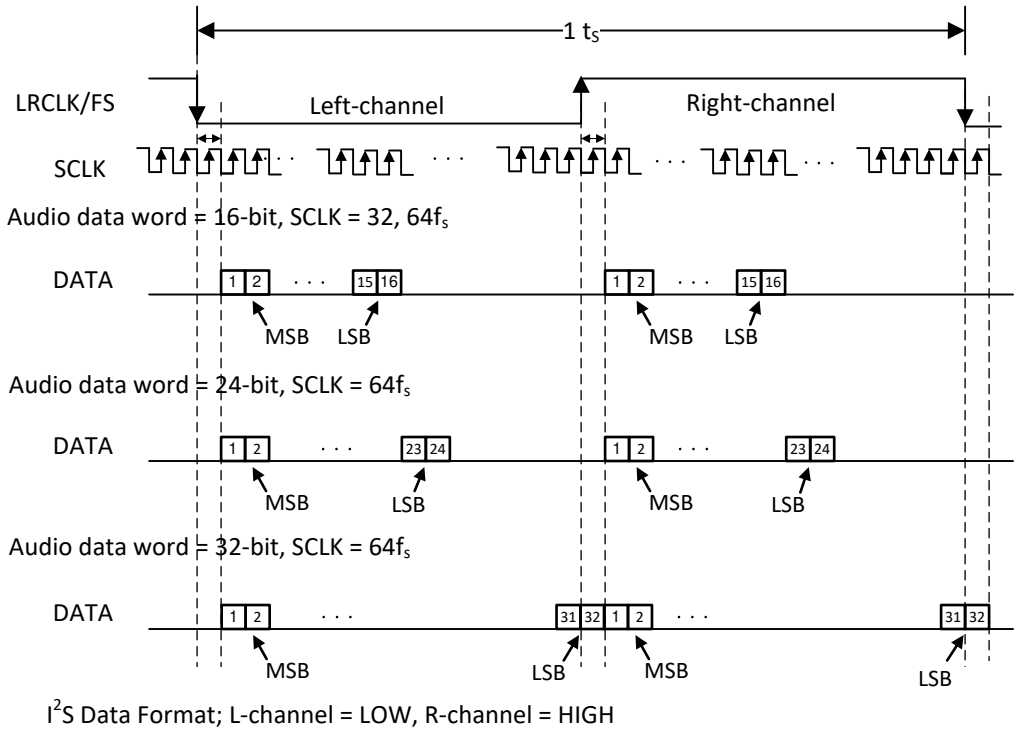
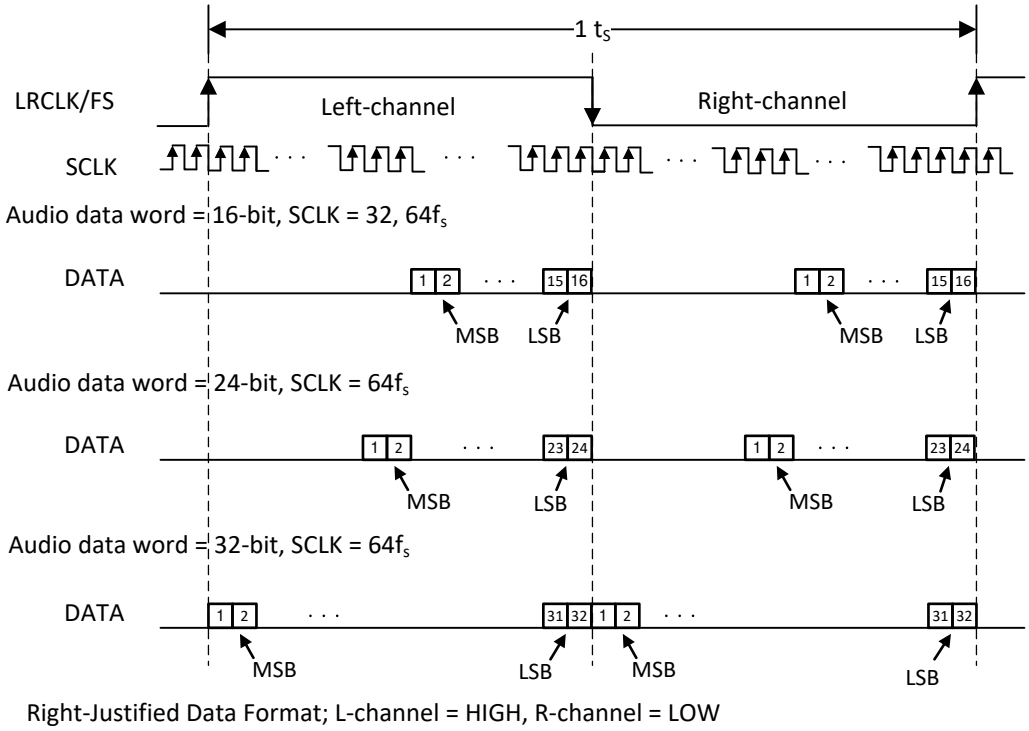


図 6-3. 左揃えのオーディオ データ形式



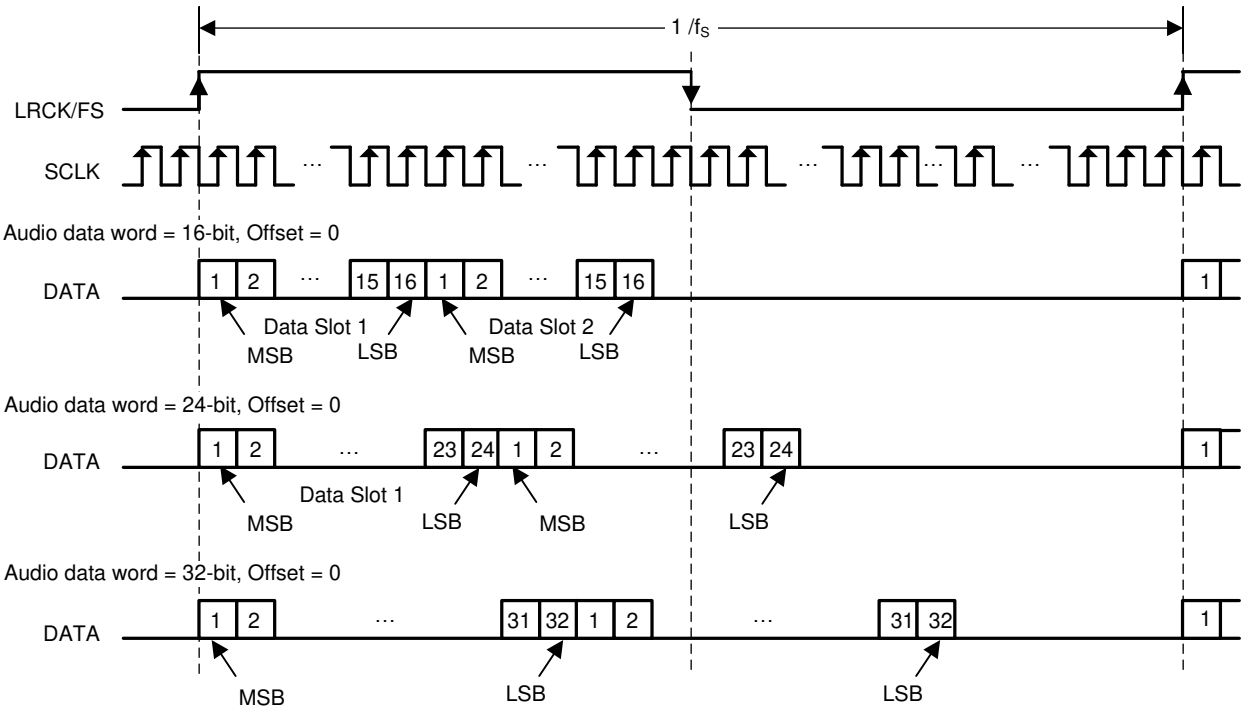
I²S データ フォーマット、L チャネル = LOW、R チャネル= HIGH

図 6-4. I²S オーディオ データ形式



右揃えデータ形式、L チャネル = HIGH、R チャネル = LOW

図 6-5. 右揃えオーディオ データ形式

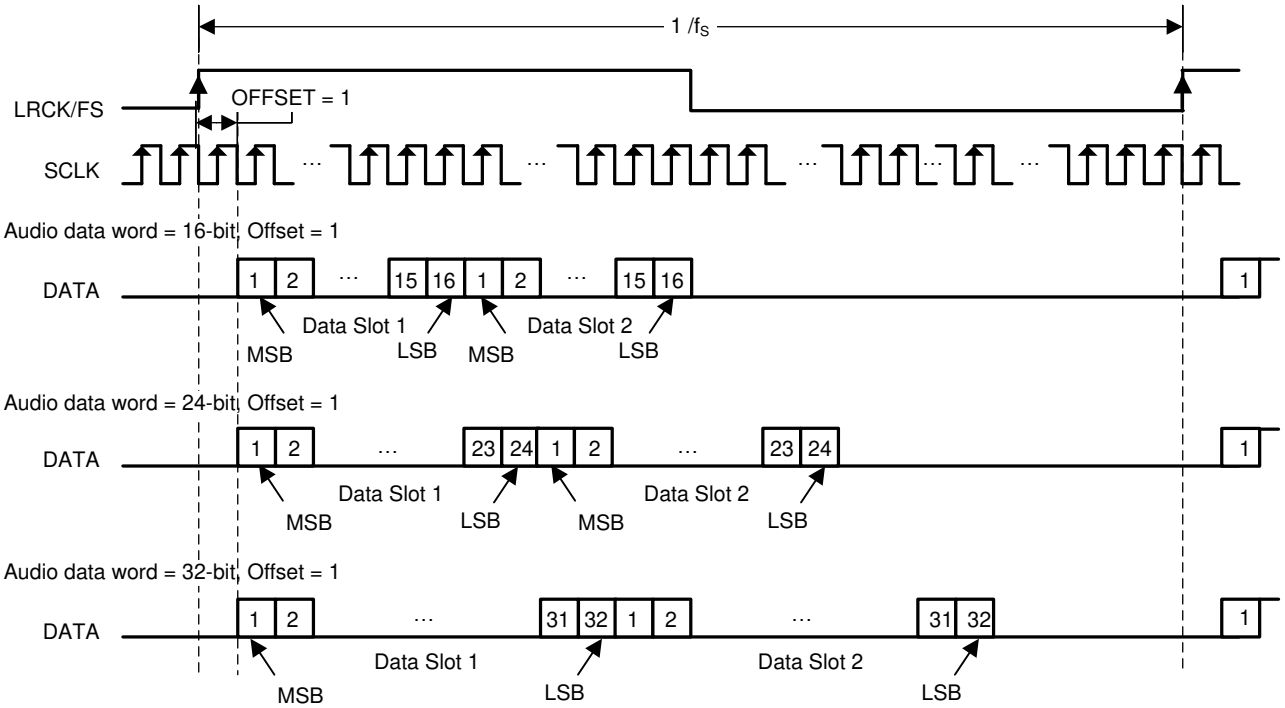


オフセット = 0 の TDM データ形式

Copyright © 2025 Texas Instruments Incorporated

TDM モードでは、LRCK/FS のデューティ サイクルは少なくとも 1x SCLK にする必要があります。立ち上がりエッジはフレーム スタートと見なされます。

図 6-6. TDM 1 オーディオ データ形式



オフセット = 1 の TDM データ形式

TDM モードでは、LRCK/FS のデューティ サイクルは少なくとも 1x SCLK にする必要があります。立ち上がりエッジはフレーム スタートと見なされます。

図 6-7. TDM 2 オーディオ データ形式

6.4 デバイスの機能モード

6.4.1 ソフトウェア コントローラ

TAS5830 デバイスは、I²C 通信ポートを介して構成されます。

I2C 通信プロトコルについては、「I²C 通信ポート」セクションを参照してください。I²C のタイミング要件は、セクション 5.6 に説明されています。

6.4.2 スピーカ アンプの動作モード

TAS5830 デバイスは、レジスタ DEVICE_CTRL1 レジスタ (オフセット = 2h) [リセット = 00h]-D[2] を使用して、2 種類のアンプ構成として構成することもできます。

- BTL モード
- PBTL モード

6.4.2.1 BTL モード

BTL モードでは、TAS5830 はステレオ信号の左右の成分を表す 2 つの独立した信号を増幅します。左の増幅された信号は、OUT_A+ と OUT_A- として示された差動出力ペアに渡され、増幅された右の信号は、差動出力ペアに OUT_B+ と OUT_B- として示されます。

6.4.2.2 PBTL モード

PBTL 動作モードは、デバイスの 2 つの出力を互いに並列に配置して、デバイスの電力供給能力を向上させる動作を表すために使用されます。TAS5830 デバイスの出力側では、事前フィルタ並列ブリッジ接続負荷 (PBTL) と呼ばれる構成で、フィルタの前にデバイスの合計を行うことができます。ただし、出力フィルタのインダクタ部分の後で 2 つの出力をマージする必要がある場合があります。これにより 2 つのインダクタが追加されますが電流が 2 つのインダクタで分割されるため、小型で低コストのインダクタを使用できます。このプロセスはポスト フィルタ PBTL と呼ばれます。TAS5830 デバイスの入力側では、PBTL アンプへの入力信号は I2S または TDM データの左フレームです。

6.4.3 低 EMI モード

TAS5830 には、オーディオ再生中に EMI を最小化するために複数のモードが備えられており、これらのモードは、さまざまなアプリケーションに基づいて使用できます。

6.4.3.1 スペクトラム拡散

スペクトラム拡散変調は、PWM 変調技術であり、出力 PWM 周波数を変化させることで EMI 測定値のピークを引き下げます。スペクトルは広くなりますが、その結果、EMI ノイズはより低いレベルになります。TAS5830 は、三角波モードとランダム モードの両方の拡散スペクトラムをサポートしています。

ユーザーは、三角波モードを有効にし、スペクトラム拡散を有効にするようにレジスタ RAMP_SS_CTRL0 レジスタ (オフセット = 6Bh) [リセット = 00h] を構成し、拡散スペクトラム周波数と範囲を RAMP_SS_CTRL1 レジスタ (オフセット = 6Ch) [リセット = 00h] と共に選択する必要があります。DEVICE_CTRL1 レジスタ (オフセット = 2h) [リセット = 00h] で設定される 768kHz F_{SW} の場合、拡散スペクトル周波数と範囲は 表 6-2 に記載されています。

表 6-2. 三角波モードのスペクトラム拡散周波数および範囲選択

SS_TRI_CTRL[3:0]	0	1	2	3	4	5	6	7
三角波周波数	24k				48k			
スペクトラム拡散範囲	5%	10%	20%	25%	5%	10%	20%	25%

ユーザー アプリケーションの例：中心スイッチング周波数は 768kHz、三角波周波数は 48kHz。

レジスタ 0x02 = 0x41//768kHz Fsw、BTL モード、1SPW モード。

レジスタ 0x6b = 0x03//スペクトラム拡散をイネーブルする

レジスタ 0x6c = 0x03// SS_CTRL[3:0] = 0011、三角波周波数= 48kHz、スペクトラム拡散範囲は 10% (729kHz ～ 807kHz) である必要があります

6.4.3.2 チャネル間位相シフト

このデバイスは、チャネル間 180 度の PWM 位相シフトをサポートしており、EMI を最小限に抑えます。ANA_CTRL レジスタ (オフセット = 53h) [リセット = 00h]のビット 0 を使用して、位相シフトをディセーブルまたはイネーブルにできます。

6.4.3.3 マルチデバイスの PWM 位相同期

TAS5830 はマルチデバイス アプリケーション システム用に最大 4 フェーズの選択をサポートしています。たとえば、システムが 4 個の TAS5830 デバイスを内蔵している場合、ユーザーはレジスタ RAMP_PHASE_CTRL レジスタ (オフセット = 6Ah) [リセット = 00h] を設定して各デバイスの位相 0/1/2/3 を選択することができます。これは、EMI を最小化するために、各デバイス間に 45 度の位相シフトが発生することを意味します。

マルチデバイスの PWM 位相同期には、2 つの方法があります。I^2S クロックによる位相同期 (スタートアップ位相) 、または GPIO による位相同期。

6.4.3.3.1 起動フェーズでの I^2S クロックとの位相同期

1. ステップ 1、I^2S クロックを停止。
2. ステップ 2、各デバイスの位相選択を構成し、位相同期を有効にします。次に例を示します。デバイス 0 のレジスタ RAMP_PHASE_CTRL レジスタ (オフセット = 6Ah) [リセット = 00h]= 0x03、デバイス 1 のレジスタ

Copyright © 2025 Texas Instruments Incorporated

RAMP_PHASE_CTRL レジスタ (オフセット = 6Ah) [リセット = 00h]= 0x07、デバイス 2 のレジスタ
RAMP_PHASE_CTRL レジスタ (オフセット = 6Ah) [リセット = 00h] = 0x0B、デバイス 3 のレジスタ
RAMP_PHASE_CTRL レジスタ (オフセット = 6Ah) [リセット = 00h] = 0x0F。

3. ステップ 3、各デバイスを HIZ モードに構成します。
4. ステップ 4 、各デバイスに I²S を入力します。4 つすべてのデバイスに対する位相同期は内部シーケンスによって自動的に行われます。
5. ステップ 5、DSP コードを初期化します (位相同期のみを実行する場合は、このステップをスキップできます) 。
6. ステップ 6、デバイスからデバイスへの PWM 位相シフトは 45 度で固定される必要があります。

6.4.3.3.2 GPIO との位相同期

1. ステップ 1、各デバイスの GPIOx ピンを PCB の SOC GPIO ピンに接続します。
2. ステップ 2、各デバイスの GPIOx を、レジスタ GPIO_CTRL レジスタ (オフセット = 60h) [リセット = 00h] および GPIO_INPUT_SEL レジスタ (オフセット = 64h) [リセット = 00h] による位相同期入力使用として構成します。
3. ステップ 3、各デバイスで異なる位相を選択し、レジスタ RAMP_PHASE_CTRL レジスタ (オフセット = 6Ah) [リセット = 00h] で位相同期を有効にします。
4. ステップ 4、レジスタ DEVICE_CTRL1 レジスタ (オフセット = 2h) [リセット = 00h] を設定し、デバイスが HIZ 状態に変わるまで POWER_STATE レジスタ (オフセット = 68h) [リセット = 00h] を監視することで、各デバイスを PLAY モードに設定します。
5. ステップ 5、SOC GPIO で 0 から 1 にトグルします。その後、4 つのデバイスすべてが PLAY モードに移行し、デバイス間の PWM 位相シフトを 45 度に固定する必要があります。
6. ステップ 6：位相同期が完了しました。GPIOx ピンを、アプリケーションに応じて別の機能に構成します。

6.4.4 サーマル フォールドバック

サーマル フォールドバック (TFB) は、デバイスが推奨される温度/電力制限を超えて動作している場合や、熱システムの設計が推奨値よりも弱い場合に、ダイ温度の過度な上昇から TAS5830 を保護するように設計されています。TFB を使うと、予期しないサーマル シャットダウンをトリガすることなく、TAS5830 は可能な限り大きな音量で再生できます。TAS5830 には 4 つの過熱警告 (OTW) スレッショルドがあり、各スレッショルドは I2C レジスタ 0x73 のビット 0、1、2、3 に表示されます。OTW 値がレベル 1 (最低 OTW 温度) からレベル 4 (最高 OTW 温度) まで上昇すると、内部の自動ゲイン リミッタ (AGL) により、デジタル ゲインが徐々に減少します。適用されるゲイン減衰は OTW レベルに比例し、OTW レベルが低い場合は減衰が小さくなり、OTW レベルが高くなることで減衰が大きくなります。ダイの温度が低下して OTW レベルが低下すると、温度が OTW レベルを下回り、デジタル ゲインが元のレベルに復元されるまで、デジタル信号ゲインは徐々に増加します。減衰ゲインと調整可能レートの両方をプログラム可能です。TFB のゲイン レギュレーション速度 (アタック レートとリリース レート) の設定は通常の AGL と同じです。この AGL は PurePath™ Console3 の TAS5830 App を使用して構成することもできます。

6.4.5 デバイスの状態制御

シャットダウン モード以外では、TAS5830 には他の 4 つの状態があり、消費電力は異なります。ディープ スリープ、スリープ、HiZ、および再生モード。各モードの電力レベルは電気的特性に記載されています。

- レジスタ 0x03[1:0] = 00 を書き込むと、デバイスはディープ スリープ モードに移行します。このモードでは、I²C がアクティブです。このモードを使用することにより、一部の携帯用スピーカー アプリケーションのバッテリ駆動時間を延長できます。ホスト プロセッサがオーディオの再生を停止すると、TAS5830 をディープ スリープ モードに設定して、ホスト プロセッサがオーディオの再生を再開するまで消費電力を最小限に抑えることができます。レジスタ 0x03 [1:0] を 11 に設定すると、デバイスは再生モードに戻ることができます。シャットダウン モード ($\overline{\text{PDN}}$ を low にプル) と比較して、ディープ スリープ モードは DSP と I2C をアクティブに維持します。
- レジスタ 0x03[1:0] = 01 を書き込むと、デバイスはスリープ モードに移行します。このモードでは、I²C ブロック、デジタル コア、DSP メモリ、5V アナログ LDO がアクティブになります。
- レジスタ 0x03[1:0] = 10 を書き込むと、デバイスは HiZ モードになります。このモードでは、ドライバ出力が HiZ ステートに設定され、他のすべてのブロックは通常動作します。
- レジスタ 0x03[1:0] = 11 を書き込むと、デバイスは再生モードになり、出力パスがイネーブルになります。

6.4.6 デバイス変調

TAS5830 には次の 3 つの変調方式があります。BD 変調、1SPW 変調、ハイブリッド変調です。レジスタ DEVICE_CTRL1 レジスタ (オフセット = 2h) [リセット = 00h]D[1:0]-DAMP_MOD を使用して TAS5830 の変調方式を選択します。

6.4.6.1 BD 変調

これは変調方式で、アンプが短いスピーカ配線で誘導性負荷を駆動している場合に、従来の LC 再構成フィルタを使用しないで動作できるようにしています。各出力は、0V から電源電圧に切り替えられます。OUTPx と OUTNx は入力がない状態では互いに同位相なので、スピーカーには電流はほとんどまたはまったく流れません。正の出力電圧に対して、OUTPx のデューティ サイクルは 50% より大きく、OUTNx は 50% 未満です。負の出力電圧に対して、OUTPx のデューティ サイクルは 50% 未満、OUTNx は 50% を超えます。負荷にかかる電圧は、多くのスイッチング期間にわたって 0V となるためスイッチング電流が減少し、負荷での I^2R の損失が減少します。

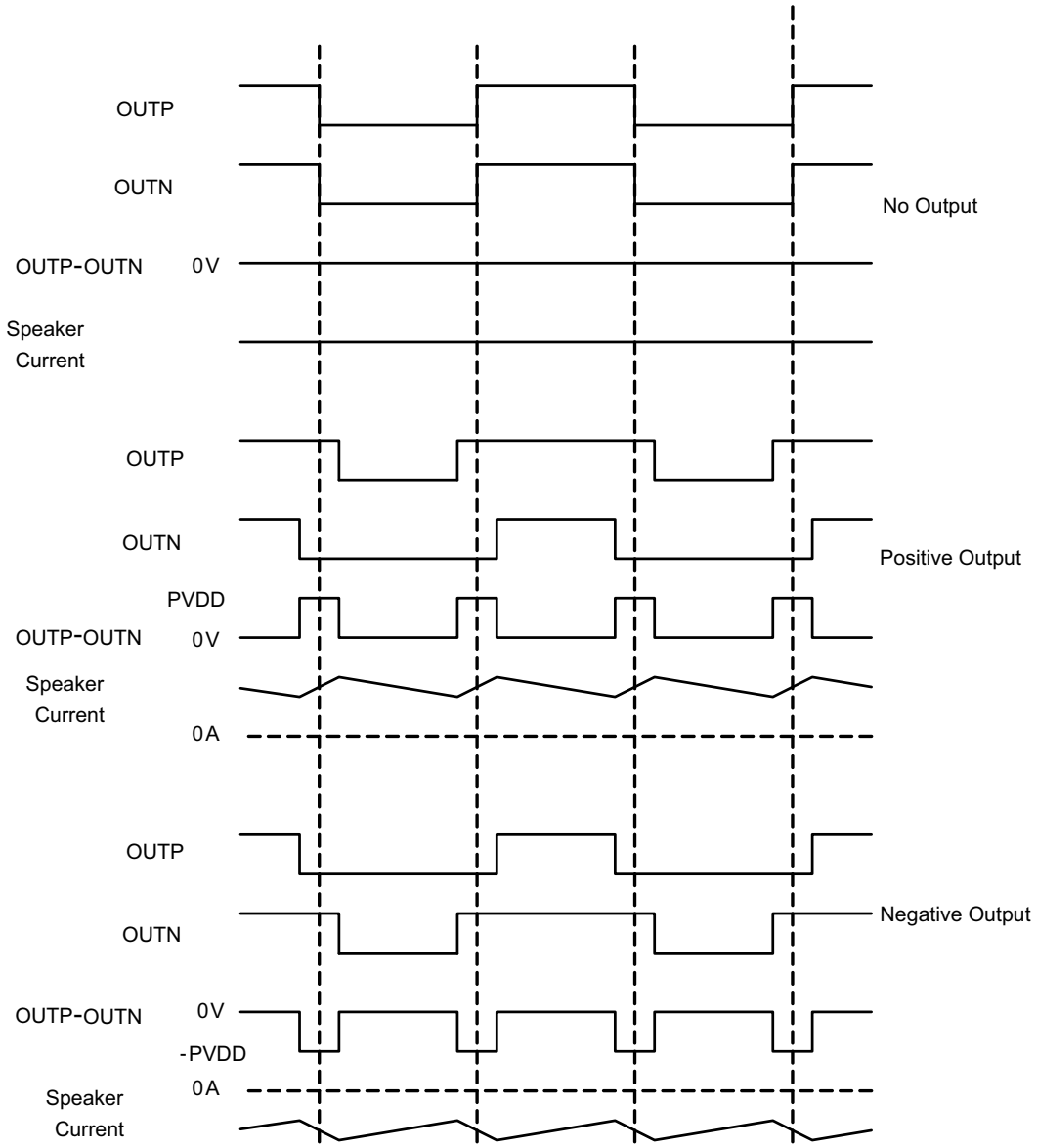


図 6-8. BD モード変調

Copyright © 2025 Texas Instruments Incorporated

6.4.6.2 1SPW 変調

1SPW モードでは、標準的な変調方式が変更されて、THD の劣化に関してわずかな欠点で、効率が向上し、出力フィルタの選択に多くの注意が必要になります。低アイドル電流モードでは、出力はアイドル条件で約 17% の変調で動作します。オーディオ信号を印加すると、1 つの出力が減少し、1 つが増加します。出力信号は減少して GND に送られます。この時点で、すべてのオーディオ変調は立ち上がり出力で行われます。その結果、オーディオ サイクルの大部分の間、1 つの出力だけがスイッチングします。このモードでは、スイッチング損失が減少するため、効率が向上します。

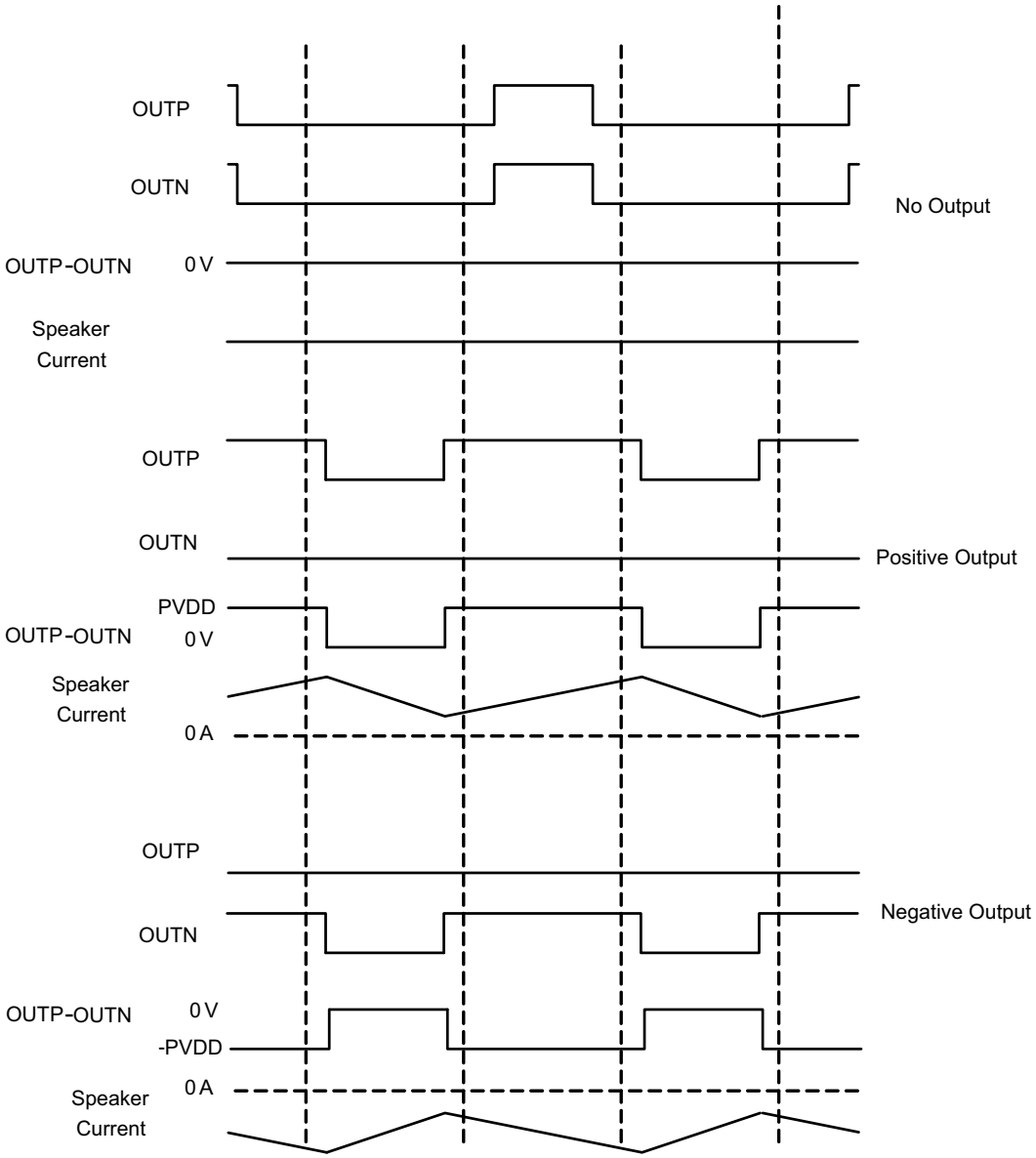


図 6-9. 1SPW モード変調

6.4.6.3 ハイブリッド変調

ハイブリッド変調は、THD + N の性能を損なうことなく電力損失を最小限に抑えるように設計されており、バッテリ駆動アプリケーションに最適です。ハイブリッド変調により、TAS5830 は入力信号レベルを検出し、PVDD に基づいて PWM デューティ サイクルを動的に調整します。ハイブリッド変調は、超低アイドル電流を実現し、BD 変調と同じオーディオ性能レベルを維持します。

注

ハイブリッド変調では、入力信号レベルを検出して PWM デューティ サイクルを動的に調整するために、内部 DSP が必要です。ハイブリッド変調を使用するには、TAS5830 PPC3 アプリでハイブリッド変調をサポートするプロセス フローを選択する必要があります TAS5830 のフレキシブルなオーディオ プロセス フローの詳細については TAS5830 PPC3 アプリをご覧ください。

6.4.7 プログラミングと制御

6.4.7.1 I²C シリアル通信バス

このデバイスは双方向のシリアル制御インターフェイスを備え、I²C バスのプロトコルと互換性があり、標準モード、ファースト モード (FM) 、ファースト モード プラス (FM+) データ転送レートをサポートしており、ターゲット デバイスとしてランダムおよびシーケンシャル書き込みおよび読み取り動作を実現します。TAS5830 レジスタ マップと DSP メモリは複数のページとブックにまたがるため、ユーザーはブックからブックに最初に変更し、その後ページごとにページを移動してから、個別のレジスタや DSP メモリに書き込みます。ページからページへの変更は、各ページのレジスタ 0 を介して行われます。このレジスタ値は、ページアドレスを 0 ～ 255 の範囲で選択します。TAS5830 データシートに記載されているすべてのレジスタは、ページ 0 に属します。

6.4.7.2 ハードウェア制御モード

I²C レジスタ制御の高度な柔軟性を必要としないシステムや、I²C ホスト コントローラを利用できないシステムでは、TAS5830 をハードウェア制御モードで使用できます。その後で本デバイスはハードウェアモードのデフォルト構成で動作し、ハードウェア制御ピンによって変更が行われます。同じ構成でハードウェア制御モードとソフトウェア制御モードの間のオーディオ性能は同じですが、ソフトウェア制御モードでレジスタからより多くの機能を利用できます。

目的のスタートアップ設定として、回路図設計時に TAS5830 の複数の I/O を考慮する必要があります。ハードウェア制御モードに移行する方法は、HW_MODE ピン 8 を DVDD にプルアップすることです。

TAS5830 のデフォルトのハードウェア構成は、BTL モード、768kHz のスイッチング周波数、1SPW モード、175kHz の Class-D アンプ ループ帯域幅、29.5Vp/FS のアナログ ゲイン、CBC スレッショルド、OCP スレッショルドの 80% です。このドライバでは、HW_SEL0 ピン 16 および HW_SEL1 ピン 15 が GND に直接接続されている必要があります。

表 6-3. ハードウェア制御 — HW_SEL0 ピン 16

ピン構成	アナログ ゲイン	H ブリッジ出力構成
0Ω を GND との間に接続	33.1V_P/FS	BTL
1kΩ から GND へ	23.4V_P/FS	BTL
4.7kΩ から GND へ	16.6V_P/FS	BTL
15kΩ から GND へ	8.3V_P/FS	BTL
33kΩ から DVDD へ	8.3V_P/FS	PBTL
6.8kΩ から DVDD へ	16.6V_P/FS	PBTL
1.5kΩ から DVDD へ	23.4V_P/FS	PBTL
0Ω を DVDD との間に接続	33.1V_P/FS	PBTL

表 6-4. ハードウェア制御 - HW_SEL1 ピン 15

ピン構成	F_{SW} と Class-D のループ帯域幅	サイクル単位の電流制限スレッショルド	スペクトラム拡散	変調
0Ω を GND との間に接続	768kHz F_{SW}、175kHz BW	CBC スレッショルド = 80% OCP	無効	1SPW
1kΩ から GND へ	768kHz F_{SW}、175kHz BW	CBC ディスエーブル	無効	1SPW
4.7kΩ から GND へ	768kHz F_{SW}、175kHz BW	CBC スレッショルド = 40% OCP	無効	1SPW
15kΩ から GND へ	768kHz F_{SW}、175kHz BW	CBC スレッショルド = 60% OCP	無効	1SPW

Copyright © 2025 Texas Instruments Incorporated

表 6-4. ハードウェア制御 - HW_SEL1 ピン 15 (続き)

ピン構成	F_{SW} と Class-D のループ帯域幅	サイクル単位の電流制限スレッショルド	スペクトラム拡散	変調
33kΩ から DVDD へ	480kHz F_{SW}、100kHz BW	CBC ディスエーブル	イネーブル	BD
6.8kΩ から DVDD へ	480kHz F_{SW}、100kHz BW	CBC スレッショルド = 80% OCP	イネーブル	BD
1.5kΩ から DVDD へ	480kHz F_{SW}、100kHz BW	CBC スレッショルド = 40% OCP	イネーブル	BD
0Ω を DVDD との間に接続	480kHz F_{SW}、100kHz BW	CBC スレッショルド = 60% OCP	イネーブル	BD

事例 1：

BTL モード、FSW = 768kHz、1SPW 変調、175kHz ループ帯域幅、CBC スレッショルド = 80% OCP、アナログ ゲイン = 29.5V_P/FS、スペクトラム拡散はディセーブル。

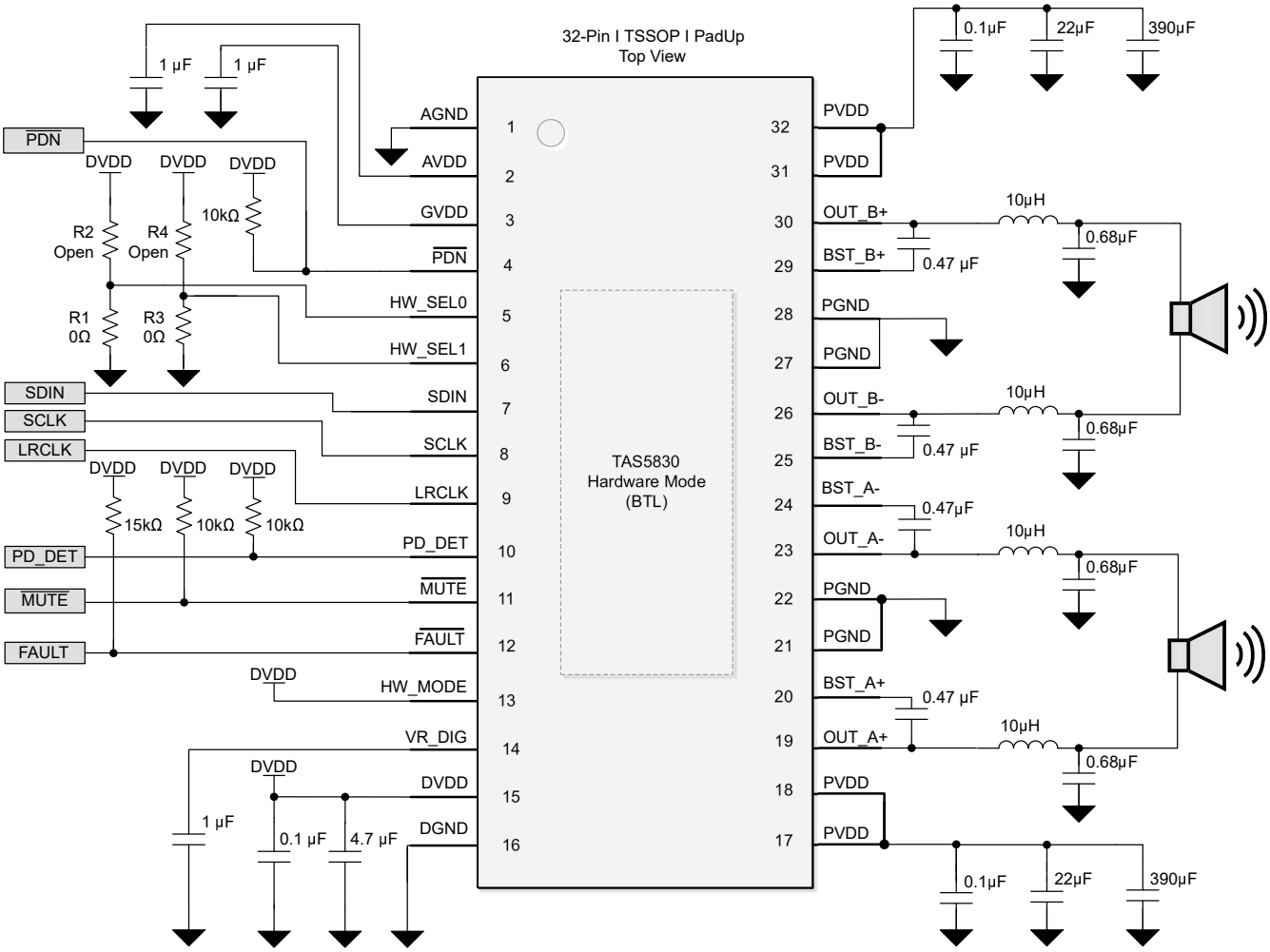


図 6-10. 標準的なハードウェア制御モード アプリケーションの回路図 - BTL モード

事例 2：

PBTL モード、FSW = 768kHz、1 SPW 変調、175kHz ループ帯域幅、CBC スレッショルド = 80% OCP、アナログ ゲイン= 29.5V_P/FS、スペクトラム拡散はディセーブル。

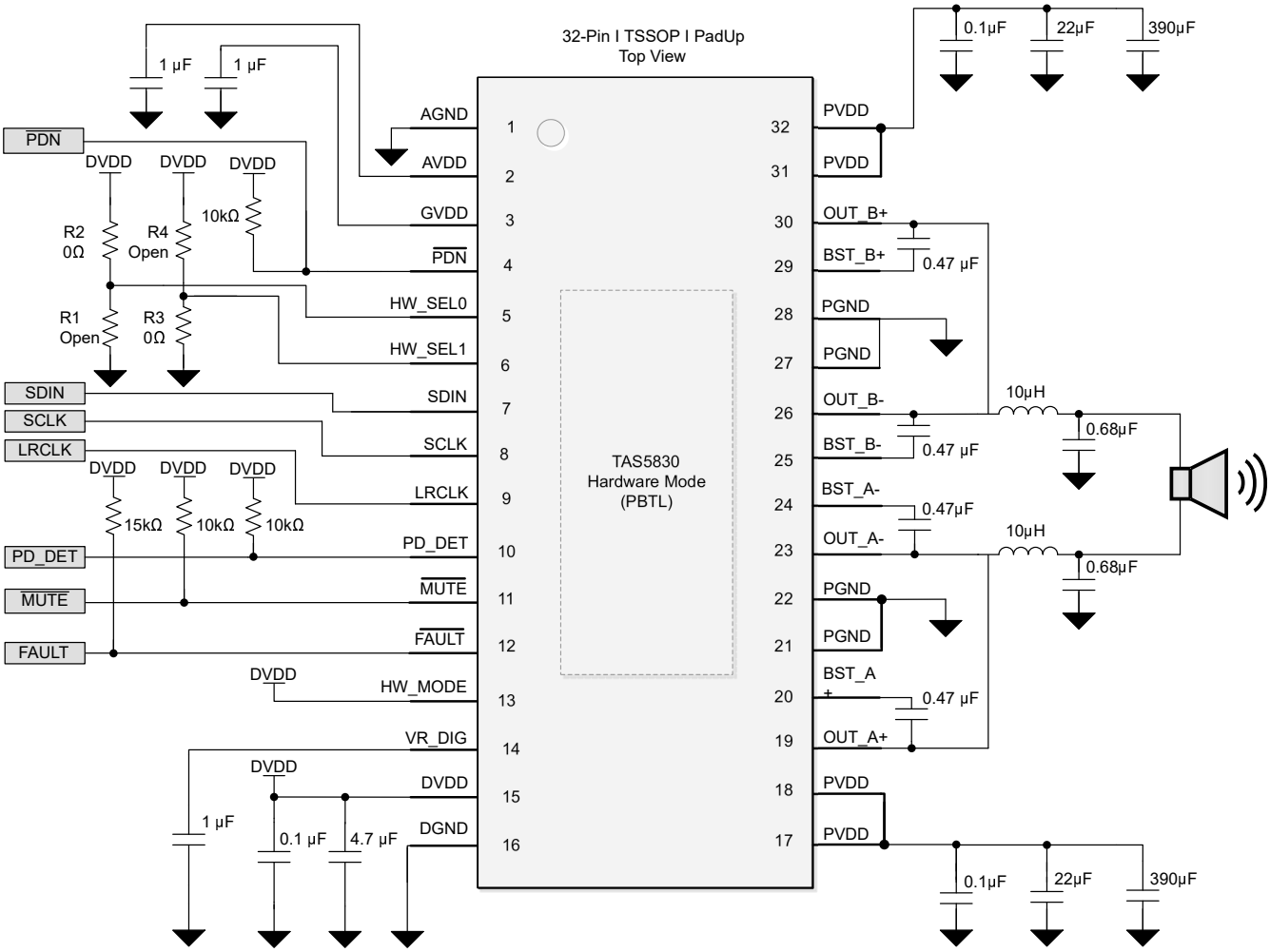


図 6-11. 標準的なハードウェア制御モード アプリケーションの回路図 - PBTL モード

6.4.7.3 I²C ターゲット アドレス

TAS5830 デバイスには、ターゲット アドレス用の 7 ビットがあります。表 6-5 に、ADR ピンによるユーザー定義アドレスを示します。

表 6-5. I²C ターゲット アドレス構成

ADR ピンの構成	MSB				ユーザー定義			LSB
0Ω から GND へ	1	1	0	0	0	0	0	R/$\overline{W}$
1kΩ から GND へ	1	1	0	0	0	0	1	R/$\overline{W}$
4.7kΩ から GND へ	1	1	0	0	0	1	0	R/$\overline{W}$
15kΩ から GND へ	1	1	0	0	0	1	1	R/$\overline{W}$
33kΩ から DVDD へ	1	1	0	0	1	0	0	R/$\overline{W}$
6.8kΩ から DVDD へ	1	1	0	0	1	0	1	R/$\overline{W}$

Copyright © 2025 Texas Instruments Incorporated

6.4.7.3.1 ランダム書き込み

図 6-12 にあるように、シングル バイトのデータ書き込み転送では、最初にマスター デバイスが開始条件を送信し、次に I²C デバイス アドレスと読み取り / 書き込みビットが続きます。データ転送方向は、R/W ビットによって決定されます。書き込みデータ転送する場合、R/W ビットは 0 です。正しい I²C デバイス アドレスと R/W ビットを受信すると、デバイスはアクノリッジ ビットを返します。次に、コントローラは、アドレスバイトまたはアクセスしている内部メモリ アドレスに対応するアドレス バイトを送信します。デバイスは、レジスタ バイトを受信すると、再度アクノリッジ ビットを返信します。次に、コントローラデバイスはアクセスしているメモリアドレスに書き込まれたデータバイトを送信します。デバイスは、データ バイトを受信すると、再度アクノリッジ ビットを返信します。最後に、コントローラデバイスが停止条件を送信すると、シングル バイト データの書き込み転送が完了します。

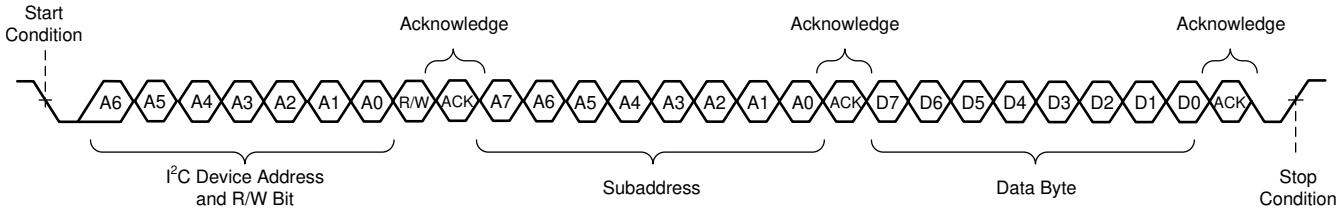


図 6-12. ランダム書き込み転送

6.4.7.3.2 シーケンシャル書き込み

シーケンシャル データの書き込み転送は、図 6-13 に示すように、複数のデータ バイトがコントローラからデバイスに送信される点を除き、シングル バイト データの書き込み転送と同じです。各データバイトを受信すると、デバイスはアクノリッジ ビットで応答し、I²C サブアドレスが自動的に 1 つずつ増加します。

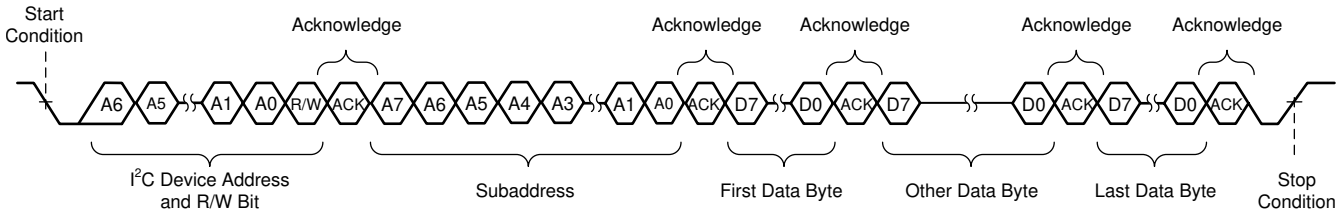


図 6-13. シーケンシャル書き込み転送

6.4.7.3.3 ランダム読み出し

図 6-14 に示すように、シングル バイトのデータ読み取り転送では、コントローラ デバイスが開始条件を送信し、次に I²C デバイス アドレスと R/W ビットを送信することで開始されます。データ読み取り転送の場合、実際には書き込みとその次の読み取りの両方が行われます。最初に、内部メモリ アドレスの読み取りに必要なアドレス バイトを転送するために、書き込みが実行されます。その結果、R/W ビットは 0 になります。このデバイスは、アドレスと 読み取り / 書き込み ビットを受信すると、アクノリッジ ビットで応答します。さらに、内部メモリアドレスを送信後、コントローラデバイスは別の開始条件に続いて、アドレス、R/W ビットを送信します。このとき、R/W ビットは 1 に設定され、読み取り転送が実行されたことを示します。デバイスは、アドレスと R/W ビットを受信すると、再度アクノリッジ ビットで応答します。次に、デバイスは読み取り中のメモリ アドレスからデータ バイトを送信します。データ バイトを受信すると、コントローラデバイスは非応答（not-acknowledge）を送信し、その後、停止条件を出して、シングルバイトデータ読み取り転送が完了します

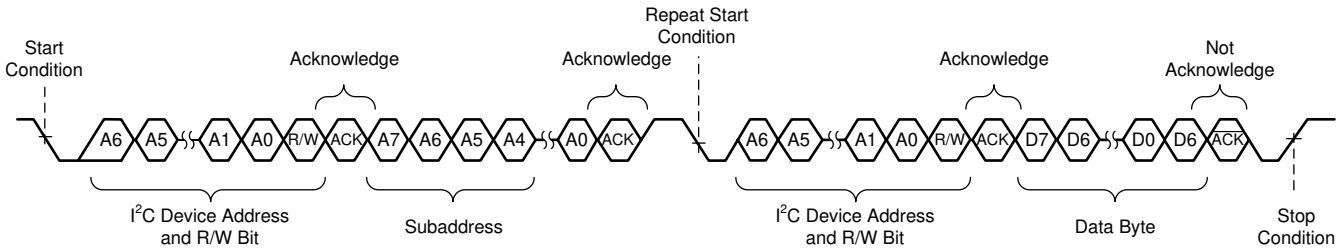


図 6-14. ランダム読み取り転送

6.4.7.3.4 シーケンシャル読み出し

シーケンシャル データの読み取り転送はシングル バイトのデータ読み取り転送と同じですが、図 6-15 に示すように、複数のデータ バイトがデバイス によってコントローラ デバイスに送信されます。コントローラ デバイスは、最後のデータバイトを除いて、各データ バイトを受信すると肯定応答ビットで応答し、I²C サブアドレスを自動的に 1 ずつインクリメントします。最後のデータバイトを受信した後、コントローラデバイスは、転送を完了するために非応答（NACK）を送信し、その後に停止条件を送信します。

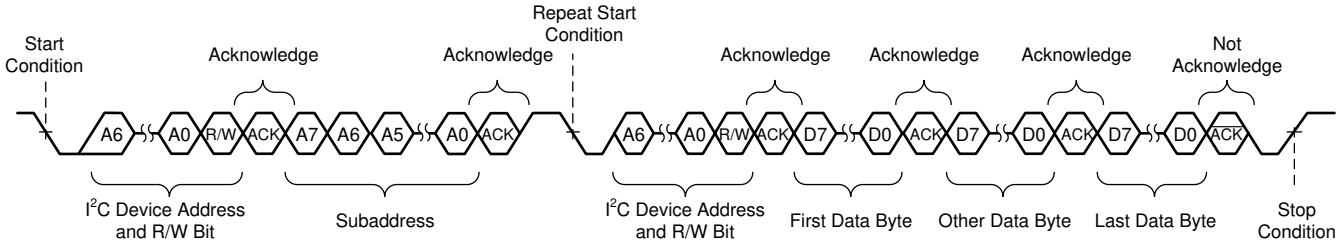


図 6-15. シーケンシャルリード転送

6.4.7.3.5 DSP メモリ ブック、ページおよび BQ を更新

各ブックのページ 0x00 で、ブックを変更するためにレジスタ 0x7f を使用します。各ページのレジスタ 0x00 は、ページを変更するために使用されます。ページを変更するには、まず、レジスタ 0x00 をレジスタ 0x00 に書き込んで、ページ 0 に切り換えるようにして、ページ 0 のレジスタ 0x7f にブック番号を書き込みます。ブック内のページを切り替えるには、レジスタ 0x00 にページ番号を書き込むだけです。

すべてのバイクワッド フィルタ係数は、ブック 0xAA でアドレス指定されています。すべてのバイクワッド フィルタの 5 つの係数は、すべて、最小アドレスから最高アドレスまで順に書き込まれます。すべてのバイクワッド フィルタのアドレスは、レジスタ マップに記載されています

すべての DSP/オーディオ プロセス フローに関連するレジスタは、アプリケーション ノート『TAS5830 のプロセス フロー』に記載されています

6.4.7.3.6 チェックサム

このデバイスは、巡回冗長性検査 (CRC) チェックサムと排他的 (XOR) チェックサムという 2 種類のチェックサム方式をサポートしています。レジスタの読み出しではチェックサムは変更されませんが、存在しないレジスタに書き込みを行うと、チェックサムが変更されます。両方のチェックサムは 8 ビットのチェックサムであり、両方とも同時に利用できます。チェックサムは、開始値(例: 0x 00 00 00 00) をそれぞれの 4 バイトのレジスタ位置に追加します。

6.4.7.3.6.1 巡回冗長性検査 (CRC) チェックサム

使用される 8 ビット CRC チェックサムは 0x7 多項式 (CRC-8-CCITT I.432.1、ATM HEC、ISDN HEC、およびセルの描画 (1 + x1 + x2 + x8)) である。CRC チェックサムの主な利点は、チェックサムが入力順序に敏感であることです。CRC は、ブックとページの切り替えを除く、すべての I²C トランザクションをサポートします。CRC チェックサムは、任意のブック (B_x、Page_0、Reg_126) のレジスタ 0x7E から読み出されます。CRC チェックサムは、CRC チェックサムが有効なものであるのと同じレジスタ位置に 0x00 を書き込むことでリセットできます。

Copyright © 2025 Texas Instruments Incorporated

6.4.7.3.6.2 排他 または (XOR) チェックサム

XOR チェックサムは、より単純なチェックサム方式である。チェックサムは、前の 8 ビット チェックサム レジスタ値とともに、各レジスタ バイト書き込みに対して順次 XOR を実行します。XOR は、ブック 0x8C のみをサポートしており、ブック 0x8C のページ 0x00 にあるすべてのレジスタは除外されます。XOR チェックサムは、ブック 0x8C (B_140、Page_0、Reg_125) の 0x00 の位置レジスタ 0x7D から読み出されます。XOR チェックサムは、チェックサムが読み出されるのと同じレジスタ位置に 0x00 を書き込むことでリセットできます。

6.4.7.4 ソフトウェアによる制御

- 起動手順
- シャットダウン手順

6.4.7.4.1 起動手順

1. ADR ピンは、I²C デバイス アドレスまたはハードウェア モードの適切な設定で、HW_SEL0 および HW_SEL1 設定を行います。
2. 電源を起動します (PVDD と DVDD のどちらが先に起動するかは問題ではありません) 。
3. 電源が安定した後、少なくとも 100µs を待ち、$\overline{\text{PDN}}$ を High にして内部 LDO をイネーブルにします。
4. 目的の設定を構成するための I²C 制御ポート。このプロセスには、ディープ スリープから Hi-Z への変換、レジスタ マップ構成、DSP 係数、および Play モードに設定されます。ハードウェア モードでは、このステップ I²C 書き込みは必要ありません。
5. I²S クロックが安定すると、TAS5830 は通常動作の音楽再生に移行します。

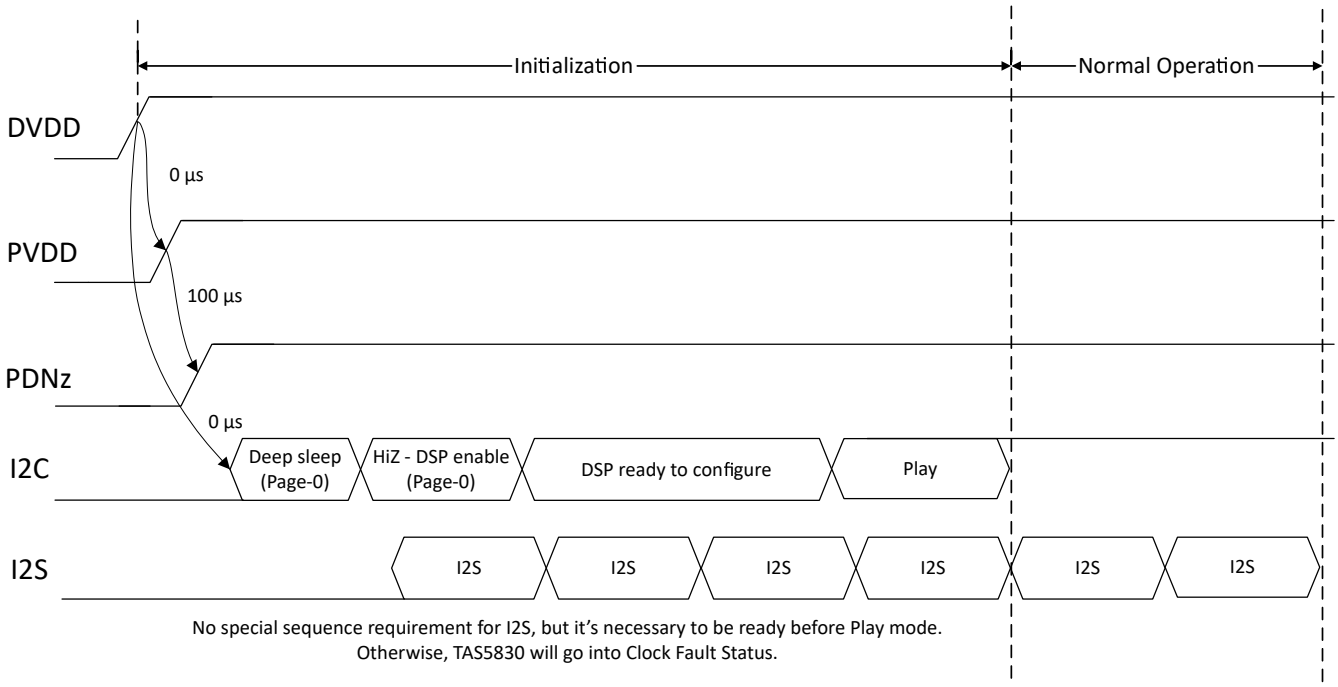
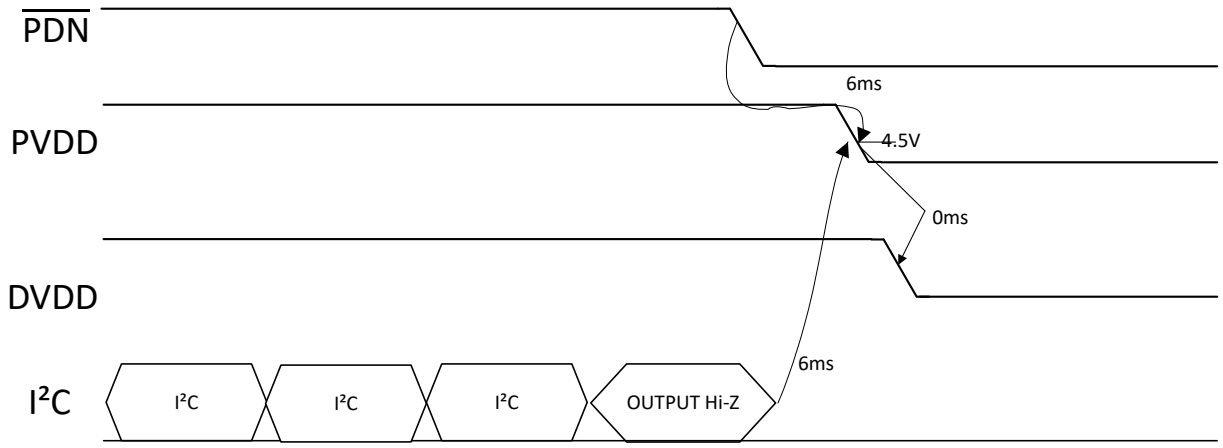


図 6-16. TAS5830 の起動シーケンス

Copyright © 2025 Texas Instruments Incorporated

6.4.7.4.2 シャットダウン手順

1. デバイスは正常に動作しています。
2. I²C 制御ポートを使用してレジスタ DEVICE_CTRL2 レジスタ (オフセット = 3h) [リセット = 10h]-D[1:0] = 10 (Hi-Z) を設定するか、$\overline{\text{PDN}}$ を low にプルします。
3. 少なくとも 6ms 待ちます (この時間は、LRCLK レート、デジタル ボリューム、およびデジタル ボリュームのランプダウン レートに依存します)。
4. 電源をオフにします。
5. これでデバイス完全にシャトダウンし、電源がオフになりました。



Before PVDD/DVDD power down, Class D Output driver needs to be disabled by PDN or by I²C.
At least 6ms delay needed based on LRCLK(Fs) = 48kHz, digital volume ramp down update every sample period, decreased by 0.5dB for each update, digital volume = 24dB. Change the value of register 0x4C and 0x4E or change LRCLK rate, the delay changes.

図 6-17. 電源オフ シーケンス

6.4.7.5 保護および監視

6.4.7.5.1 過電流制限 (サイクル バイ サイクル)

直接過電流シャットダウンによってオーディオ出力をミュートする代わりに、TAS5830 には CBC 電流制限保護もあります。目的は、PWM スイッチングにパルスを挿入することで過電流シャットダウンレベルよりも前に出力電流を減らすことで

す。スレッショルド (セクション 5.5 のリスト) はレジスタ CBC_CONTROL レジスタ (オフセット = 77h) [リセット = 00h]D[4:3] Reg_CBC_Level_Sel で設定できます。

オーディオに対する全体的な影響は、過負荷の除去を中断することなく連続的な音楽再生を維持するために音楽信号のピーク電力を一時的に制限する電圧クリッピングに非常に似ています。

6.4.7.5.2 過電流シャットダウン (OCSD)

出力が PVDD またはグランドに短絡するなどの重大な短絡イベントが発生した場合、TAS5830 はピーク電流検出器が過電流スレッショルド (セクション 5.5 のリスト) を超えると 100ns 以内にシャットダウン プロセスを開始します。シャットダウン速度は、短絡のインピーダンス、電源電圧、スイッチング周波数など、いくつかの要因に依存します。

OCSD イベントが発生すると、障害 GPIO が低く引き下げられ、I^2C 障害レジスタの障害ステータス (CHAN_FAULT レジスタ (オフセット = 70h) [リセット = 00h]-D[1:0])が報告され、出力が高インピーダンス Hi-Z 状態に遷移して障害を示します。これはラッチエラーなので、ユーザーは FAULT_CLEAR レジスタ (オフセット = 78h) [リセット = 00h]-D[0] = 1 を設定して I^2C の障害クリア操作を介して出力を再開する必要があります。

6.4.7.5.3 DC 検出エラー

TAS5830 が、出力電圧クロス スピーカの DC エラー保護スレッショルド DCR_{THRES} の DC オフセットを検出し、このステータス期間が T_{DCDET} (セクション 5.5 の一覧) を超えている場合、FAULTZ ラインが low にプルされ、OUTxx 出力が高インピーダンスに遷移してフォルトが通知されます。このラッチ付き DC 保護エラーでは、オーディオ出力を再開するには、FAULT_CLEAR レジスタ (オフセット = 78h) [リセット = 00h]-D[0] = 1 に設定して、I^2C のクリア フォルト動作が必要です。

6.4.7.5.4 過熱シャットダウン (OTSD)

TAS5830 デバイスはダイ温度の監視を継続して、温度がセクション 5.5 に規定された過熱スレッショルドを超えないようにします。OTE イベントが発生すると、フォルト GPIO は low にプルされ、I^2C フォルト ステータス (GLOBAL_FAULT2 レジスタ (オフセット = 72h) [リセット = 00h]-D[0]) が通知されると、オーディオ出力は高インピーダンスの Hi-Z モードに移行して、フォルトが通知されます。これはラッチ エラーであり、オーディオ再生を再開するには、I^2C のフォルト動作を FAULT_CLEAR レジスタ (オフセット = 78h) [リセット = 00h]-D[0] = 1 に設定することでクリアする必要があります。

6.4.7.5.5 PVDD 過電圧および低電圧誤差

PVDD 電源に供給される電圧が $OVE_{THRES(PVDD)}$ を超えるか、セクション 5.5 に記載されている $UVE_{THRES(PVDD)}$ を下回ると、障害 GPIO が低く引き下げられ、I^2C 障害ステータス (GLOBAL_FAULT1 レジスタ (オフセット = 71h) [リセット = 00h]-D[1:0]) が報告され、オーディオ出力は高インピーダンス Hi-Z モードに移行します。これらは自己クリア エラーであるため、PVDD レベルが通常動作に戻ると、デバイスはオーディオ再生を再開します。

6.4.7.5.6 PVDD 降下検出

TAS5830 は PVDD 低電圧シャットダウン保護だけでなく、オプションの PVDD 電圧降下検出も備えています。内部 PVDD のリアルタイム検出電圧に基づいて、TAS5830 は予測される動作に構成できます。この動作により、ピン 10 PD_DET を high から low に切り替えることで、PVDD が特定のレベル (デフォルト 8V) を下回ったことを示し、また TAS5830 が自動的に Hi-Z モードに移行してオーディオ出力をシャットダウンするかどうかを示すことができます。

目的は、GPIO を経由してユーザー製品の制御システムに PVDD 電圧降下情報をフィードバックすることで、柔軟な保護戦略を実装できます。例えば、PD_DET ピンが低すぎると、SOC によって、オーディオ ボリューム フェードアウト プロセスが開始される場合があります。このプロセスにより、効果的なポップクリック音なしで制御シャットダウンを実現できます。

6.4.7.5.7 クロック障害

入力データ クロックでクロック誤差が検出されると、TAS5830 デバイスは内部発振器に切り替わり、DAC の駆動を続行します。これにより、最後に既知の値からデータは減衰します。このプロセスが完了すると、DAC 出力はグランドにハード ミュートされ、オーディオ出力は停止します。このラッチされていないクロック フォルト ステータスは I^2C フォルト ステータス (GLOBAL_FAULT1 レジスタ (オフセット = 71h) [リセット = 00h]-D[2]) で通知され、正しいクロックが戻ると本デバイスは自動的に再生モードに戻ります。

Copyright © 2025 Texas Instruments Incorporated

7 レジスタ マップ

7.1 REG_MAP レジスタ

表 7-1 に、reg_map レジスタに対してメモリマップされたレジスタを示します。表 7-1 に記載されていないすべてのレジスタ オフセット アドレスは予約領域と見なされ、レジスタの内容は変更しないでください。

表 7-1. REG_MAP レジスタ

オフセット	略称	レジスタ名	セクション
1h	RESET_CTRL	リセット制御	表示
2h	DEVICE_CTRL1	デバイス制御 1	表示
3h	DEVICE_CTRL2	デバイス制御 2	表示
4h	PVDD_UV_CONTROL	PVDD UV 制御	表示
Fh	I2C_PAGE_AUTO_INC	I2C DSP メモリ アクセス ページの自動インクリメント	表示
28h	SIG_CH_CTRL	シグナル チェーン制御	表示
29h	CLOCK_DET_CTRL	クロック検出制御	表示
30h	SDOUT_SEL	SDOUT の選択	表示
31h	I2S_CTRL	I2S 制御 0	表示
33h	SAP_CTRL1	I2S 制御 1	表示
34h	SAP_CTRL2	I2S 制御 2	表示
35h	SAP_CTRL3	I2S 制御 3	表示
37h	FS_MON	FS モニタ	表示
38h	BCLK_MON	BCLK モニタ	表示
39h	CLKDET_STATUS	クロック検出ステータス	表示
40h	DSP_PGM_MODE	DSP プログラム モード	表示
46h	DSP_CTRL	DSP 制御	表示
4Ch	DIG_VOL	デジタル ボリューム	表示
4Eh	DIG_VOL_CTRL2	デジタル ボリューム制御 2	表示
4Fh	DIG_VOL_CTRL3	デジタル ボリューム制御 3	表示
50h	AUTO_MUTE_CTRL	自動ミュート 制御	表示
51h	AUTO_MUTE_TIME	自動ミュート時間	表示
53h	ANA_CTRL	アナログ コントローラ	表示
54h	AGAIN	アナログ ゲイン	表示
5Eh	ADC_RPT	ADC (PVDD 電圧) レポート	表示
60h	GPIO_CTRL	GPIO 制御	表示
61h	GPIO1_SEL	GPIO1 出力の選択	表示
62h	GPIO2_SEL	GPIO2 出力の選択	表示
63h	GPIO0_SEL	GPIO0 出力の選択	表示
64h	GPIO_INPUT_SEL	GPIO 入力の選択	表示
65h	MISC_CTRL1	misc 制御 1	表示
66h	MISC_CTRL2	misc 制御 2	表示
67h	DIE_ID	DIE ID	表示
68h	POWER_STATE	電源の状態	表示
69h	AUTOMUTE_STATE	自動ミュート状態	表示
6Ah	RAMP_PHASE_CTRL	スイッチング クロックの位相制御	表示
6Bh	RAMP_SS_CTRL0	スペクトラム拡散制御 0	表示
6Ch	RAMP_SS_CTRL1	スペクトラム拡散制御 1	表示

表 7-1. REG_MAP レジスタ (続き)

オフセット	略称	レジスタ名	セクション
70h	CHAN_FAULT	チャネル障害	表示
71h	GLOBAL_FAULT1	グローバル フォルト 1	表示
72h	GLOBAL_FAULT2	グローバル フォルト 2	表示
73h	WARNING	警告	表示
74h	PIN_CONTROL1	ピン制御 1	表示
75h	PIN_CONTROL2	ピン制御 2	表示
76h	MISC_CONTROL3	その他の制御 3	表示
77h	CBC_CONTROL	CBC 制御	表示
78h	FAULT_CLEAR	フォルト クリア	表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-2. reg_map アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2025 Texas Instruments Incorporated

7.1.1 RESET_CTRL Register (オフセット = 1h) [リセット = 00h]

概略表に戻ります。

リセット制御

図 7-1. RESET_CTRL レジスタ

7	6	5	4	3	2	1	0
予約済み			RST_MOD	予約済み			RST_REG
W-0h			W-0h	W-0h			W-0h

表 7-3. RESET_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	W	0h	
4	RST_MOD	W	0h	書き込みクリア ビット リセット モジュールこのビットは、補間フィルタと DAC モジュールをリセットします。DSP もリセットされるので、RAM 係数の内容も DSP によってクリアされます。このビットは自動にクリアされ、Hi-Z モードでのみ設定できます。 **0: 通常** 1: リセット モジュール
3-1	予約済み	W	0h	
0	RST_REG	W	0h	書き込みクリア ビット リセット レジスタこのビットは、モード レジスタを初期値にリセットします。RAM の内容はクリアされません。このビットは自動的にクリアされるため、DAC が Hi-Z モードのときのみセットする必要があります (DAC 実行中のレジスタ リセットは禁止され、サポートしていません)。 **0: 通常** 1: リセット モード レジスタ

7.1.2 DEVICE_CTRL1 レジスタ (オフセット = 2h) [リセット = 00h]

概略表に戻ります。

デバイス制御 1

図 7-2. DEVICE_CTRL1 レジスタ

7	6	5	4	3	2	1	0
予約済み	FSW_SEL			予約済み	PBTL_MODE	変調	
R/W-0h	R/W-0h			R/W-0h	R/W-0h	R/W-0h	

表 7-4. DEVICE_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0h	
6-4	FSW_SEL	R/W	0h	PWM スイッチング周波数 (Fsw) の選択 **3'b 000:384kHz** 3'b 010:480kHz 3'b 011:576kHz 3'b 100:768kHz 3'b 101:1.024Mhz その他の予約済み
3	予約済み	R/W	0h	
2	PBTL_MODE	R/W	0h	**0:デバイスを BTL モードに設定** 1:デバイスを PBTL モードに設定します
1-0	変調	R/W	0h	**00:BD モード** 01:1SPW モード 10:ハイブリッド モード 11:予約済み

Copyright © 2025 Texas Instruments Incorporated

7.1.3 DEVICE_CTRL2 レジスタ (オフセット = 3h) [リセット = 10h]

概略表に戻ります。

デバイス制御 2

図 7-3. DEVICE_CTRL2 レジスタ

7	6	5	4	3	2	1	0
予約済み			DSP_RST	MUTE	予約済み	STATE_CTL	
R/W-0h			R/W-1h	R/W-0h	R/W-0h	R/W-0h	

表 7-5. DEVICE_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	0h	
4	DSP_RST	R/W	1h	DSP リセット ビットが 0 になると、DSP は電源投入を開始し、データを送信します。これは、すべての入力クロックがセトリングした後でのみ 0 にして、DMA チャネルが同期を終了しないようにする必要があります。 0:通常動作 **1: DSP をリセットします**
3	MUTE	R/W	0h	ミュート このビットは、両方のチャネルにソフトミュート要求を発行します。ボリュームは、ポップ/クリック ノイズを防ぐためにスムーズに下降/上向きになります。 **0: 通常のボリューム** 1:ミュート
2	予約済み	R/W	0h	
1-0	STATE_CTL	R/W	0h	デバイス状態制御レジスタ **00:ディープ スリープ** 01:スリープ 10: Hi-Z 11: PLAY

7.1.4 PVDD_UV_CONTROL レジスタ (オフセット = 4h) [リセット = 00h]

概略表に戻ります。

PVDD UV 制御

図 7-4. PVDD_UV_CONTROL レジスタ

7	6	5	4	3	2	1	0
予約済み				UV_SEQ	UV_AVG		UV_BYP
R/W-0h				R/W-0h	R/W-0h		R/W-0h

表 7-6. PVDD_UV_CONTROL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	
3	UV_SEQ	R/W	0h	**0:PVDD UV がある場合は無効、デバイスは Hi-Z にジャンプします** 1:PVDD UV がある場合は有効、デバイスは Hi-Z にジャンプします。
2-1	UV_AVG	R/W	0h	**00:サイクルごと、平均値なし** 01:16 サンプル 10:32 サンプル 11:64 サンプル
0	UV_BYP	R/W	0h	**0:PVDD ドロップ機能は無効** 1:PVDD ドロップ機能は有効

Copyright © 2025 Texas Instruments Incorporated

7.1.5 I2C_PAGE_AUTO_INC レジスタ (オフセット= Fh) [リセット= 00h]

概略表に戻ります。

I2C DSP メモリ アクセス ページの自動インクリメント

図 7-5. I2C_PAGE_AUTO_INC レジスタ

7	6	5	4	3	2	1	0
予約済み				PAGE_INC	予約済み		
R/W-0h				R/W-0h	R/W-0h		

表 7-7. I2C_PAGE_AUTO_INC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	
3	PAGE_INC	R/W	0h	ページ自動増分を無効にします ページ数がゼロ以外の書籍の場合、ページ自動増分モードを無効にします。ページの末尾に達すると、このビットが 0 であれば次のページの 8 番目のアドレス位置に戻ります。このビットが 1 の場合、旧部分と同様に、現在のページ自体の 0 th 位置に移動します。 **0: ページ自動インクリメントを有効にします** 1:ページ自動インクリメントを無効にします
2-0	予約済み	R/W	0h	

7.1.6 SIG_CH_CTR レジスタ (オフセット = 28h) [リセット = 00h]

概略表に戻ります。

シグナル チェーン制御

図 7-6. SIG_CH_CTRL レジスタ

7	6	5	4	3	2	1	0
BCLK_ RATIO				FS_MODE			
R/W-0h				R/W-0h			

表 7-8. SIG_CH_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	BCLK_ RATIO	R/W	0h	これらのビットは、構成された BCLK 比 (1 つのオーディオ フレーム内の BCLK クロック数) を示します。 **4'b0000: 自動検出** 4'b0011:32FS 4'b0101:64FS 4'b0111:128FS 4'b1001:256FS 4'b1011:512FS その他の予約済み
3-0	FS_MODE	R/W	0h	FS 速度モードこれらのビットは、FS 動作モードを選択します。このモードは、現在のオーディオ サンプリング レートに応じて設定する必要があります。 **4'b0000 自動検出** 4'b0010 8kHz 4'b0100 16kHz 4'b0110 32kHz 4'b1000 44.1kHz 4'b1001 48kHz 4'b1010 88.2kHz 4'b1011 96kHz 4'b1100 176.4kHz 4'b1101 192kHz その他の予約済み

Copyright © 2025 Texas Instruments Incorporated

7.1.7 CLOCK_DET_CTRL レジスタ (オフセット = 29h) [リセット = 00h]

概略表に戻ります。

クロック検出制御

図 7-7. CLOCK_DET_CTRL レジスタ

7	6	5	4	3	2	1	0
予約済み	DET_PLL	BCLK_RANGE	DET_FS	DET_BCLK	DET_BCLKMISS	予約済み	
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	

表 7-9. CLOCK_DET_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0h	
6	DET_PLL	R/W	0h	PLL オーバーレート検出を無視 このビットは、PLL オーバーレート検出を無視するかどうかを制御します。PLL は 150MHz よりも低速にする必要があります。そうしないと、エラーが報告されます。無視すると、PLL オーバーレート エラーによってクロック エラーは発生しません。 **0:PLL オーバーレート検出を考慮** 1:PLL オーバーレート検出を無視します
5	BCLK_RANGE	R/W	0h	BCLK 範囲検出を無視 このビットは、BCLK 範囲検出を無視するかどうかを制御します。BCLK は 256kHz ～ 50MHz の範囲で安定している必要があります。安定していない場合、エラーが通知されます。無視されると、BCLK 範囲エラーによってクロック エラーは発生しません。 **0:BCLK 範囲検出を考慮** 1:BCLK 範囲検出を無視します
4	DET_FS	R/W	0h	FS エラー検出を無視 このビットは、FS エラー検出を無視するかどうかを制御します。無視されると、FS エラーによってクロック エラーは発生しません。しかし、CLKDET_STATUS は fs エラーを報告します。 **0:FS 検出を考慮** 1:FS 検出を無視します
3	DET_BCLK	R/W	0h	BCLK 検出を無視 このビットは、LRCLK に対する BCLK 検出を無視するかどうかを制御します。BCLK は 32FS ～ 512FS の範囲で安定している必要があります。安定していない場合、エラーが報告されます。無視されると、BCLK エラーによってクロック エラーは発生しません。 **0: BCLK 検出を考慮** 1:BCLK 検出を無視します
2	DET_BCLKMISS	R/W	0h	BCLK 欠損検出を無視 このビットは、BCLK 欠損検出を無視するかどうかを制御します。無視されると、BCLK が欠けてもクロック エラーは発生しません。 **0: BCLK 喪失検出を考慮します** 1:BCLK 消失検出を無視します
1-0	予約済み	R/W	0h	

7.1.8 SDOUT_SEL レジスタ (オフセット = 30h) [リセット = 00h]

概略表に戻ります。

SDOUT の選択

図 7-8. SDOUT_SEL レジスタ

7	6	5	4	3	2	1	0
予約済み							SDOUT_SEL
R/W-0h							R/W-0h

表 7-10. SDOUT_SEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	0h	
0	SDOUT_SEL	R/W	0h	SDOUT 選択 このビットは、GPIO ピン経由で SDOUT として出力されるものを選択します。 **0: SDOUT は DSP 出力 (後処理) です。** 1:SDOUT は DSP 入力 (前処理) です

Copyright © 2025 Texas Instruments Incorporated

7.1.9 I2S_CTRL レジスタ (オフセット = 31h) [リセット = 00h]

概略表に戻ります。

I2S 制御 0

図 7-9. I2S_CTRL レジスタ

7	6	5	4	3	2	1	0
予約済み		BCLK_INV	予約済み				
R/W-0h		R/W-0h	R/W-0h				

表 7-11. I2S_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R/W	0h	
5	BCLK_INV	R/W	0h	BCLK 極性 このビットは、反転 BCLK モードを設定します。反転 BCLK モードでは、DAC は LRCLK と DIN のエッジが BCLK の立ち上がりエッジに整列していることを想定しています。通常は、BCLK の立ち下がりエッジに合わせて調整されているものと想定されています。 **0:通常 BCLK モード** 1:反転 BCLK モード
4-0	予約済み	R/W	0h	

7.1.10 SAP_CTRL1 レジスタ (オフセット = 33h) [リセット = 02h]

概略表に戻ります。

I2S 制御 1

図 7-10. SAP_CTRL1 レジスタ

7	6	5	4	3	2	1	0
I2SSHIFT_MSB	予約済み	DATA_FMT		LRCLK_PULSE		FRAME_LENGTH	
R/W-0h	R/W-0h	R/W-0h		R/W-0h		R/W-2h	

表 7-12. SAP_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	I2SSHIFT_MSB	R/W	0h	I2S シフト MSB。下限レジスタ 34h の 8 ビットと組み合わせます。
6	予約済み	R/W	0h	
5-4	DATA_FMT	R/W	0h	I2S データ フォーマット これらのビットは、DAC 動作の入力と出力両方のオーディオ インターフェイス フォーマットを制御します。 **00: I2S** 01: DSP/TDM 10: RTJ 11:LTJ
3-2	LRCLK_PULSE	R/W	0h	LRCLK パルスが 8 x BCLK より短い場合、ビット 0-1 を「01」に設定します。それ以外の場合、これらのビットはデフォルト値「00」のままにします 00:LRCLK パルスの high 幅が BCLK の 8 サイクル以上 01:LRCLK パルスの high 幅は、BCLK の 8 サイクル未満です
1-0	FRAME_LENGTH	R/W	2h	I2S ワード長 これらのビットは、DAC 動作の入力と出力両方のオーディオ インターフェイスのサンプル ワード長を制御します。 00:16 ビット 01: 20 ビット **10: 24 ビット** 11: 32 ビット

Copyright © 2025 Texas Instruments Incorporated

7.1.11 SAP_CTRL2 レジスタ (オフセット = 34h) [リセット = 00h]

概略表に戻ります。

I2S 制御 2

図 7-11. SAP_CTRL2 レジスタ

7	6	5	4	3	2	1	0
I2SSHIFT_LSB							
R/W-0h							

表 7-13. SAP_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	I2SSHIFT_LSB	R/W	0h	I2S シフト LSB これらのビットは、入力と出力の両方のオーディオ フレーム内のオーディオ データのオフセットを制御します。オフセットは、オーディオ フレームの開始 (MSB) から目的のオーディオ サンプルの開始までの BCLK 数として定義されます。 **8'b00000000: オフセット = 0 BCLK (オフセットなし)** 8'b00000001: オフセット = 1 BCLK 8'b00000010: オフセット = 2 BCLKs … 8'b11111111: オフセット = 512 BCLKs

7.1.12 SAP_CTRL3 レジスタ (オフセット = 35h) [リセット = 11h]

概略表に戻ります。

I2S 制御 3

図 7-12. SAP_CTRL3 レジスタ

7	6	5	4	3	2	1	0
予約済み		CH1_DAC		予約済み		CH2_DAC	
R/W-0h		R/W-1h		R/W-0h		R/W-1h	

表 7-14. SAP_CTRL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R/W	0h	
5-4	CH1_DAC	R/W	1h	チャネル 1 DAC データ パスこれらのビットは、チャネル 1 のオーディオ データ パス接続を制御します。 00:ゼロ データ (ミュート) **01: Ch1 データ** 10: Ch2 データ 11: 予約済み (設定しないでください)
3-2	予約済み	R/W	0h	
1-0	CH2_DAC	R/W	1h	チャネル 2 DAC データ パスこれらのビットは、チャネル 2 のオーディオ データ パス接続を制御します。 00:ゼロ データ (ミュート) **01: Ch2 データ** 10: Ch1 データ 11: 予約済み (設定しないでください)

Copyright © 2025 Texas Instruments Incorporated

7.1.13 FS_MON レジスタ (オフセット = 37h) [リセット = 00h]

概略表に戻ります。

FS モニタ

図 7-13. FS_MON レジスタ

7	6	5	4	3	2	1	0
予約済み		BCLKRATIO_MSB		FS_MON			
R-0h		R-0h		R-0h			

表 7-15. FS_MON レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	
5-4	BCLKRATIO_MSB	R	0h	検出された BCLK 比の 2MSB。 これらのビットは、現在検出されている BCLK 比 (1 つのオーディオ フレーム内の BCLK クロック数) を示します。 下位レジスタ 38h の 8 ビットと組み合わせます。BCLK = 32 FS ～ 512 FS
3-0	FS_MON	R	0h	これらのビットは、現在検出されているオーディオ サンプリング レートを示します。 **4’b0000 FS エラー** 4’b0010 8kHz 4’b0100 16kHz 4’b0110 32kHz 4’b1000 Reserved 4’b1001 48kHz 4’b1011 96kHz 4’b1101 192kHz その他の予約済み

7.1.14 BCLK_MON レジスタ (オフセット = 38h) [リセット = 00h]

概略表に戻ります。

BCLK モニタ

図 7-14. BCLK_MON レジスタ

7	6	5	4	3	2	1	0
BCLKRATIO_LSB							
R-0h							

表 7-16. BCLK_MON レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	BCLKRATIO_LSB	R	0h	これらのビットは、現在検出されている BCLK 比 (1 つのオーディオ フレーム内の BCLK クロック数) を示します。 BCLK = 32 FS ～ 512 FS

Copyright © 2025 Texas Instruments Incorporated

7.1.15 CLKDET_STATUS レジスタ (オフセット = 39h) [リセット = 00h]

概略表に戻ります。

クロック検出ステータス

図 7-15. CLKDET_STATUS レジスタ

7	6	5	4	3	2	1	0
予約済み		BCLK_OVERRATE	PLL_OVERRATE	PLL_LOCKED	BCLK_MISSING	BCLK_VALID	FS_VALID
R-0h		R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 7-17. CLKDET_STATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	
5	BCLK_OVERRATE	R	0h	このビットは、BCLK がオーバーレートかアンダーレートかを示します。 0:BCLK はアンダーレートです 1:BCLK はオーバーレートです
4	PLL_OVERRATE	R	0h	このビットは PLL がオーバーレートであるかどうかを示します。 0:PLL はアンダーレートです 1:PLL はオーバーレートです
3	PLL_LOCKED	R	0h	このビットは、PLL がロックされているかどうかを示します。PLL がディセーブルになると、PLL はロック解除されて通知されます。 0:PLL がロックされています 1: PLL はロックされていません
2	BCLK_MISSING	R	0h	このビットは、BCLK が欠落しているかどうかを示します。 0:BCLK は通常 1:BCLK がありません
1	BCLK_VALID	R	0h	このビットは BCLK が有効かどうかを示します。BCLK 比は安定しており、32 ～ 512FS の範囲内で有効にする必要があります。 0:BCLK は有効 1:BCLK が有効ではありません
0	FS_VALID	R	0h	自動検出モード (reg_fsmode = 0) では、このビットはオーディオ サンプリング レートが有効かどうかを示します。非自動検出モード (reg_fsmode!=0) では、FS エラーは、LRCLK (FS) で設定された構成されたサンプリング周波数が、検出されたサンプリング周波数と異なることを示します。FS エラー検出無視がセットされていても、このフラグもアサートされます。 0:サンプリング レートは有効 1:無効

7.1.16 DSP_PGM_MODE レジスタ (オフセット = 40h) [リセット = 01h]

概略表に戻ります。

DSP プログラム モード

図 7-16. DSP_PGM_MODE レジスタ

7	6	5	4	3	2	1	0
予約済み				CH1_HIZ	CH2_HIZ	DSP_MODE	
R/W-0h				R/W-0h	R/W-0h	R/W-1h	

表 7-18. DSP_PGM_MODE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	
3	CH1_HIZ	R/W	0h	1:CH1 を Hi-Z モードに強制 **0:通常動作**
2	CH2_HIZ	R/W	0h	1:CH2 を Hi-Z モードに強制 **0:通常動作**
1-0	DSP_MODE	R/W	1h	DSP プログラムの選択 これらのビットは、オーディオ処理に使用する DSP プログラムを選択します。 00:RAM モード **01:ROM モード** その他予約済み。

Copyright © 2025 Texas Instruments Incorporated

7.1.17 DSP_CTR レジスタ (オフセット = 46h) [リセット = 01h]

概略表に戻ります。

DSP 制御

図 7-17. DSP_CTRL レジスタ

7	6	5	4	3	2	1	0
予約済み			PROC_RATE		予約済み	IRAM_BOOT	DEF_COEF
R/W-0h			R/W-0h		R/W-0h	R/W-0h	R/W-1h

表 7-19. DSP_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	0h	
4-3	PROC_RATE	R/W	0h	**00:**入力 01:48kHz 10:96kHz 11:192kHz
2	予約済み	R/W	0h	
1	IRAM_BOOT	R/W	0h	DSP は IRAM から起動します 設定すると、DSP は IROM 0 ではなく IRAM から起動します **0: IROM からの DSP をブート** 1:IRAM から DSP をブート
0	DEF_COEF	R/W	1h	ZROM のデフォルト係数を使用 このビットは、ZROM からデフォルトの係数を使用するか、ホストからデバイスにダウンロードされたデフォルトではない係数を使用するかを制御します 0:ZROM からのデフォルト係数を使用しないでください **1:ZROM のデフォルトの有効性を使用します**

7.1.18 DIG_VOL レジスタ (オフセット = 4Ch) [リセット = 30h]

概略表に戻ります。

デジタル ボリューム

図 7-18. DIG_VOL レジスタ

7	6	5	4	3	2	1	0
DAC_GAIN							
R/W-30h							

表 7-20. DIG_VOL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DAC_GAIN	R/W	30h	デジタル ボリューム制御 これらのビットはデジタル ボリュームを制御します。デジタル ボリュームは、-0.5dB ステップで 24dB から -103dB です。 8'b00000000: +24.0 dB 8'b00000001: +23.5 dB … 8'b00101111: +0.5 dB **8'b00110000: 0.0 dB** 8'b00110001: -0.5 dB ... 8'b11111110: -103 dB 8'b11111111: ミュート

Copyright © 2025 Texas Instruments Incorporated

7.1.19 DIG_VOL_CTRL2 レジスタ (オフセット = 4Eh) [リセット = 33h]

概略表に戻ります。

デジタル ボリューム制御 2

図 7-19. DIG_VOL_CTRL2 レジスタ

7	6	5	4	3	2	1	0
VNUS		VNUF		VNDS		VNDF	
R/W-0h		R/W-3h		R/W-0h		R/W-3h	

表 7-21. DIG_VOL_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	VNUS	R/W	0h	デジタル ボリューム通常ランプダウン周波数 これらのビットは、ボリュームがランプダウンしているときのデジタル ボリュームの更新周波数を制御します **00:1 FS 期間ごとに更新** 01:2 FS 期間ごとに更新 10:4 FS 期間ごとに更新 11:ボリュームを直接ゼロに設定します (インスタント ミュート)
5-4	VNUF	R/W	3h	デジタル ボリューム通常ランプダウン ステップ これらのビットは、ボリュームのランプダウン時のデジタル ボリュームの更新手順を制御します 00:更新ごとに 4dB デクリメント 01:更新ごとに 2dB デクリメント 10:更新ごとに 1dB デクリメント **11:更新ごとに 0.5dB デクリメント**
3-2	VNDS	R/W	0h	デジタル ボリューム通常ランプアップ周波数 これらのビットは、ボリュームがランプアップしているときのデジタル ボリュームの更新周波数を制御します **00:1 FS 期間ごとに更新** 01:2 FS 期間ごとに更新 10:4 FS 期間ごとに更新 11:ボリュームを直接復元する (即時ミュート解除)
1-0	VNDF	R/W	3h	デジタル ボリューム通常ランプ アップ ステップ これらのビットは、ボリュームのランプアップ時のデジタル ボリュームの更新手順を制御します 00:更新ごとに 4dB インクリメント 01:更新ごとに 2dB インクリメント 10:更新ごとに 1dB インクリメント **11:更新ごとに 0.5dB インクリメント**

7.1.20 DIG_VOL_CTRL3 レジスタ (オフセット = 4Fh) [リセット = 30h]

概略表に戻ります。

デジタル ボリューム制御 3

図 7-20. DIG_VOL_CTRL3 レジスタ

7	6	5	4	3	2	1	0
VEDS		VEDF		予約済み			
R/W-0h		R/W-3h		R/W-0h			

表 7-22. DIG_VOL_CTRL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	VEDS	R/W	0h	デジタル ボリューム緊急ランプダウン周波数 これらのビットは、クロック エラーまたは電源の停止によりボリュームがランプダウンしているときのデジタルボリュームの更新頻度を制御します。通常、通常のソフトミュートよりも高速なランプダウンが必要です **00:1 FS 期間ごとに更新** 01:2 FS 期間ごとに更新 10:4 FS 期間ごとに更新 11:ボリュームを直接ゼロに設定します (インスタント ミュート)
5-4	VEDF	R/W	3h	デジタル ボリューム緊急ランプダウン ステップ これらのビットは、クロック エラーまたは電源の停止によりボリュームがランプダウンしているときのデジタルボリュームの更新ステップを制御します。通常、通常のソフトミュートよりも高速なランプダウンが必要です 00:更新ごとに 4dB デクリメント 01:更新ごとに 2dB デクリメント 10:更新ごとに 1dB デクリメント **11:更新ごとに 0.5dB デクリメント**
3-0	予約済み	R/W	0h	

Copyright © 2025 Texas Instruments Incorporated

7.1.21 AUTO_MUTE_CTRL レジスタ (オフセット = 50h) [リセット = 07h]

概略表に戻ります。

自動ミュート 制御

図 7-21. AUTO_MUTE_CTRL レジスタ

7	6	5	4	3	2	1	0
予約済み					AM_CTL	AMUTE_CH2	AMUTE_CH1
R/W-0h					R/W-1h	R/W-1h	R/W-1h

表 7-23. AUTO_MUTE_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R/W	0h	
2	AM_CTL	R/W	1h	0:ch1 と ch2 を独立して自動ミュート **1:両方のチャネルをミュートにしようとしている場合にのみ、ch1 と ch2 を自動的にミュートします**
1	AMUTE_CH2	R/W	1h	チャネル 2 の自動ミュート このビットは、チャネル 2 の自動ミュートをイネーブルまたはディセーブルにします 0:チャネル 2 の自動ミュートを無効化 **1:チャネル 2 の自動ミュートを有効にします**
0	AMUTE_CH1	R/W	1h	チャネル 1 の自動ミュート このビットは、チャネル 1 の自動ミュートをイネーブルまたはディセーブルにします 0:チャネル 1 の自動ミュートを無効化 **1:チャネル 1 の自動ミュートを有効にします**

7.1.22 AUTO_MUTE_TIME レジスタ (オフセット = 51h) [リセット = 00h]

概略表に戻ります。

自動ミュート時間

図 7-22. AUTO_MUTE_TIME レジスタ

7	6	5	4	3	2	1	0
予約済み	CH1_AMT			予約済み	CH2_AMT		
R/W-0h	R/W-0h			R/W-0h	R/W-0h		

表 7-24. AUTO_MUTE_TIME レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0h	
6-4	CH1_AMT	R/W	0h	チャネル 1 の自動ミュート時間 これらのビットは、チャネルを自動ミュートできるようにするために、ch1 での連続するゼロ サンプルの長さを指定します。ここに示す時間は 96kHz のサンプリング レートに対するものであり、他のレートに合わせてスケーリングされます。 **000: 11.5ms** 001: 53ms 010:106.5ms 011:266.5ms 100: 0.535 sec 101: 1.065 sec 110: 2.665 sec 111: 5.33 秒
3	予約済み	R/W	0h	
2-0	CH2_AMT	R/W	0h	チャネル 2 の自動ミュート時間 これらのビットは、チャネルを自動ミュートできるようにするために、ch2 での連続するゼロ サンプルの長さを指定します。ここに示す時間は 96kHz のサンプリング レートに対するものであり、他のレートに合わせてスケーリングされます。 **000: 11.5ms** 001: 53ms 010:106.5ms 011:266.5ms 100:0.535 sec 101: 1.065 sec 110: 2.665 sec 111: 5.33 秒

Copyright © 2025 Texas Instruments Incorporated

7.1.23 ANA_CTRL レジスタ (オフセット = 53h) [リセット = 00h]

概略表に戻ります。

アナログ コントローラ

図 7-23. ANA_CTRL レジスタ

7	6	5	4	3	2	1	0
予約済み	BW_CTL		予約済み				PHASE_CTL
R/W-0h	R/W-0h		R/W-0h				R/W-0h

表 7-25. ANA_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0h	
6-5	BW_CTL	R/W	0h	Class-D ループ帯域幅 **00:100kHz** 01: 80kHz 10: 120kHz 11: 175kHz Fsw = 384kHz の場合、100kHz の帯域幅を選択することで、高いオーディオ性能を実現できます。Fsw = 768kHz の場合、高いオーディオ性能を得るには、175kHz の帯域幅を選択する必要があります。
4-1	予約済み	R/W	0h	
0	PHASE_CTL	R/W	0h	**0:位相差** 1:相差で

7.1.24 AGAIN レジスタ (オフセット = 54h) [リセット = 00h]

概略表に戻ります。

アナログ ゲイン

図 7-24. AGAIN レジスタ

7	6	5	4	3	2	1	0
予約済み			AGAIN				
R/W-0h			R/W-0h				

表 7-26. AGAIN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	0h	
4-0	AGAIN	R/W	0h	アナログ ゲイン 制御このビットはアナログ ゲインを制御します **00000:0 dB** 00001:-0.5 dB …… 11111: -15.5 dB

Copyright © 2025 Texas Instruments Incorporated

7.1.25 ADC_RP レジスタ (オフセット = 5Eh) [リセット = 00h]

概略表に戻ります。

ADC (PVDD 電圧) レポート

図 7-25. ADC_RPT レジスタ

7	6	5	4	3	2	1	0
PVDD_RPT							
R-0h							

表 7-27. ADC_RPT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PVDD_RPT	R	0h	PVDD ADC 読み取り値。各 LSB は 0.12V を意味します PVDD = 12V の場合、AD データ = 8'b 01100100 PVDD = 24V の場合、AD データ = 8'b 11001000

7.1.26 GPIO_CTRL レジスタ (オフセット = 60h) [リセット = 00h]

概略表に戻ります。

GPIO 制御

図 7-26. GPIO_CTRL レジスタ

7	6	5	4	3	2	1	0
予約済み					GPIO0OE	GPIO2OE	GPIO1OE
R/W-0h					R/W-0h	R/W-0h	R/W-0h

表 7-28. GPIO_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R/W	0h	
2	GPIO0OE	R/W	0h	GPIO0 出力イネーブルこのビットは GPIO0 ピンの方向を設定します **0:GPIO0 は入力です** 1:GPIO0 は出力です
1	GPIO2OE	R/W	0h	GPIO2 出力イネーブルこのビットは GPIO2 ピンの方向を設定します **0:GPIO2 は入力です** 1:GPIO2 は出力です
0	GPIO1OE	R/W	0h	GPIO1 出力イネーブルこのビットは GPIO1 ピンの方向を設定します **0:GPIO1 は入力です** 1:GPIO1 は出力です

Copyright © 2025 Texas Instruments Incorporated

7.1.27 GPIO1_SEL レジスタ (オフセット = 61h) [リセット = 00h]

概略表に戻ります。

GPIO1 出力の選択

図 7-27. GPIO1_SEL レジスタ

7	6	5	4	3	2	1	0
予約済み				GPIO1SEL			
R/W-0h				R/W-0h			

表 7-29. GPIO1_SEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	
3-0	GPIO1SEL	R/W	0h	**4'b0000: off (low)** 4'b1000:GPIO1 を WARNZ 出力とします 4'b1011:GPIO1 を FAULTZ 出力とします 4'b1100:GPIO1 を PVDD_DROP_DETECTION とします 4'b1101:GPIO1 をシリアル オーディオ インターフェイス データ出力 (SDOUT) とします 4'b1110:GPIO1 を RAMP clk とします その他は予約済み

7.1.28 GPIO2_SEL レジスタ (オフセット = 62h) [リセット = 00h]

概略表に戻ります。

GPIO2 出力の選択

図 7-28. GPIO2_SEL レジスタ

7	6	5	4	3	2	1	0
予約済み				GPIO2SEL			
R/W-0h				R/W-0h			

表 7-30. GPIO2_SEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	
3-0	GPIO2SEL	R/W	0h	**0000: off (low)** 1000: GPIO2 を WARNZ 出力とます 1011:GPIO2 を FAULTZ 出力とます 1100:GPIO2 を PVDD_UV_DETECTION とします 1101:GPIO2 をシリアルオーディオインターフェースデータ出力 (STDOUT) とします 1110:GPIO2 を RAMP clk とします その他は予約済み

Copyright © 2025 Texas Instruments Incorporated

7.1.29 GPIO0_SEL レジスタ (オフセット = 63h) [リセット = 00h]

概略表に戻ります。

GPIO0 出力の選択

図 7-29. GPIO0_SEL レジスタ

7	6	5	4	3	2	1	0
予約済み				GPIO0_SEL			
R/W-0h				R/W-0h			

表 7-31. GPIO0_SEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	
3-0	GPIO0_SEL	R/W	0h	**4'b0000: off (low)** 4'b1000: GPIO0 を WARNZ 出力とします 4'b1011：GPIO0 を FAULTZ 出力とします 4'b1100：GPIO0 を PVDD_DROP_DETECTION とします 4'b1101：GPIO0 をシリアル オーディオ インターフェイス データ出力 (SDOUT) とします 4'b1110：GPIO0 をランプクロック 4'b1111 とします ：予約済み

7.1.30 GPIO_INPUT_SEL レジスタ (オフセット = 64h) [リセット = 00h]

概略表に戻ります。

GPIO 入力の選択

図 7-30. GPIO_INPUT_SEL レジスタ

7	6	5	4	3	2	1	0
予約済み		GPIOSYNC_SEL		GPIORST_SEL		GPIOM_SEL	
R/W-0h		R/W-0h		R/W-0h		R/W-0h	

表 7-32. GPIO_INPUT_SEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R/W	0h	
5-4	GPIOSYNC_SEL	R/W	0h	**00:N/A** 01: GPIO1 10:GPIO2 11:GPIO0
3-2	GPIORST_SEL	R/W	0h	**00:N/A** 01: GPIO1 10:GPIO2 11:GPIO0
1-0	GPIOM_SEL	R/W	0h	**00:N/A** 01: GPIO1 10:GPIO2 11:GPIO0

Copyright © 2025 Texas Instruments Incorporated

7.1.31 MISC_CTRL1 レジスタ (オフセット = 65h) [リセット = 00h]

D

概略表に戻ります。

misc 制御 1

図 7-31. MISC_CTRL1 レジスタ

7	6	5	4	3	2	1	0
予約済み					GPIO_OUTPUT		
R/W					R/W		

表 7-33. MISC_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R/W	0h	
2-0	GPIO_OUTPUT	R/W	0h	bit0:GPIO1 出力 bit1:GPIO2 出力 bit2:GPIO0 出力

7.1.32 MISC_CTRL2 レジスタ (オフセット = 66h) [リセット = 00h]

概略表に戻ります。

misc 制御 2

図 7-32. MISC_CTRL2 レジスタ

7	6	5	4	3	2	1	0
予約済み					GPIO_INV		
R/W					R/W		

表 7-34. MISC_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R/W	0h	
2-0	GPIO_OUTPUT	R/W	0h	bit0:GPIO1 出力インバータ bit1:GPIO2 出力インバータ bit2:GPIO0 出力インバータ

Copyright © 2025 Texas Instruments Incorporated

7.1.33 DIE_ID レジスタ (オフセット = 67h) [リセット = 98h]

概略表に戻ります。

DIE ID

図 7-33. DIE_ID レジスタ

7	6	5	4	3	2	1	0
DIE_ID							
R-98h							

表 7-35. DIE_ID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DIE_ID	R	98h	TAS5830 のダイ ID。

7.1.34 POWER_STATE レジスタ (オフセット = 68h) [リセット = 00h]

概略表に戻ります。

電源の状態

図 7-34. POWER_STATE レジスタ

7	6	5	4	3	2	1	0
予約済み						STATE_RPT	
R-0h						R-0h	

表 7-36. POWER_STATE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	0h	
1-0	STATE_RPT	R	0h	**00**:ディープ スリープ 01:スリープ 10: Hi-Z 11: 他 を再生:予約済み

Copyright © 2025 Texas Instruments Incorporated

7.1.35 AUTOMUTE_STATE レジスタ (オフセット = 69h) [リセット = 00h]

概略表に戻ります。

自動ミュート状態

図 7-35. AUTOMUTE_STATE レジスタ

7	6	5	4	3	2	1	0
予約済み						CH2MUTE_STATUS	CH1MUTE_STATUS
R-0h						R-0h	R-0h

表 7-37. AUTOMUTE_STATE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	0h	
1	CH2MUTE_STATUS	R	0h	このビットは、チャネル 2 の自動ミュート ステータスを示します。 **0: 自動ミュートなし** 1: 自動ミュート
0	CH1MUTE_STATUS	R	0h	このビットは、チャネル 1 の自動ミュート ステータスを示します。 **0: 自動ミュートなし** 1: 自動ミュート

7.1.36 RAMP_PHASE_CTRL レジスタ (オフセット = 6Ah) [リセット = 00h]

概略表に戻ります。

スイッチング クロックの位相制御

図 7-36. RAMP_PHASE_CTRL レジスタ

7	6	5	4	3	2	1	0
予約済み				RAMPPHASE_SEL		RAMPSYNC_SEL	RAMPSYNC_EN
R/W-0h				R/W-0h		R/W-0h	R/W-0h

表 7-38. RAMP_PHASE_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	
3-2	RAMPPHASE_SEL	R/W	0h	複数のデバイスが 1 つのシステムに統合されている場合にランプ クロック フェーズを選択する EMI とピーク電源ピーク電流を低減するために、すべてのデバイスを同じランプ周波数と同じスペクトラム拡散に設定することを推奨します。この機能が必要な場合は、デバイスを再生モードに駆動する前に設定する必要があります。 **00: 0 度** 01: 45 度 10: 90 度 11: 135 度 以上の全例で 45 度の位相シフトがあります
1	RAMPSYNC_SEL	R/W	0h	ランプ位相同期ソース **0:GPIO 同期** 1:内部同期
0	RAMPSYNC_EN	R/W	0h	1:ランプ位相同期を有効化 **0:ランプ位相同期を無効化**

Copyright © 2025 Texas Instruments Incorporated

7.1.37 RAMP_SS_CTRL0 レジスタ (オフセット = 6Bh) [リセット = 00h]

概略表に戻ります。

スペクトラム拡散制御 0

図 7-37. RAMP_SS_CTRL0 レジスタ

7	6	5	4	3	2	1	0
予約済み						RDM_EN	TRI_EN
R/W-0h						R/W-0h	R/W-0h

表 7-39. RAMP_SS_CTRL0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R/W	0h	
1	RDM_EN	R/W	0h	1:ランダム SS イネーブル **0:ランダム SS ディセーブル**
0	TRI_EN	R/W	0h	1:三角波 SS イネーブル **0:三角波 SS ディスエーブル**

7.1.38 RAMP_SS_CTRL1 レジスタ (オフセット = 6Ch) [リセット = 00h]

概略表に戻ります。

スペクトラム拡散制御 1

図 7-38. RAMP_SS_CTRL1 レジスタ

7	6	5	4	3	2	1	0
予約済み	RDM_CTL			TRI_CTL			
R/W-0h	R/W-0h			R/W-0h			

表 7-40. RAMP_SS_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0h	
6-4	RDM_CTL	R/W	0h	ランダム SS 範囲制御 I 384kHz の Fsw の場合 **3'b000: SS 範囲 +/- 0.62%** 3'b010: SS 範囲 +/- 1.88% 3'b011: SS 範囲 +/- 4.38% 3'b100: SS 範囲 +/- 9.38% 3'b101: SS 範囲 +/- 19.38% その他:予約済み 576kHz の Fsw の場合 3'b000: SS 範囲 +/- 0.95% 3'b010: SS 範囲 +/- 2.86% 3'b011: SS 範囲 +/- 6.67% 3'b100: SS 範囲 +/- 14.29% 3'b101: SS 範囲 +/- 29.52% その他:予約済み
3-0	TRI_CTL	R/W	0h	三角波 SS 周波数およびレンジ制御 **4'b0000:24kHz SS +/- 5%** 4'b0001: 24kHz SS +/- 10% 4'b0010: 24kHz SS +/- 20% 4'b0011: 24kHz SS +/- 25% 4'b0100: 48kHz SS +/- 5% 4'b0101: 48kHz SS +/- 10% 4'b0110: 48kHz SS +/- 20% 4'b0111: 48kHz SS +/- 25% 4'b1000: 32kHz SS +/- 5% 4'b1001: 32kHz SS +/- 10% 4'b1010: 32kHz SS +/- 20% 4'b1011: 32kHz SS +/- 25% 4'b1100: 16kHz SS +/- 5% 4'b1101: 16kHz SS +/- 10% 4'b1110: 16kHz SS +/- 20% 4'b1111: 16kHz SS +/- 25%

Copyright © 2025 Texas Instruments Incorporated

7.1.39 CHAN_FAULT レジスタ (オフセット = 70h) [リセット = 00h]

概略表に戻ります。

チャネル障害

図 7-39. CHAN_FAULT レジスタ

7	6	5	4	3	2	1	0
予約済み				CH1DC	CH2DC	CH1OC	CH2OC
R-0h				R-0h	R-0h	R-0h	R-0h

表 7-41. CHAN_FAULT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0h	
3	CH1DC	R	0h	チャネル 1 DC フォルト。DC フォルトの発生時にはフォルトがラッチされ、このビットは 1 にセットされます。Class-D 出力は Hi-Z に設定されています。フォルト ピン (GPIO) による通知。FAULT_CLEAR レジスタ (78h) のビット 7 を 1 に設定するか、このビットが 1 を保持することで、このフォルトをクリアします。
2	CH2DC	R	0h	チャネル 2 DC フォルト。DC フォルトの発生時にはフォルトがラッチされ、このビットは 1 にセットされます。Class-D 出力は Hi-Z に設定されています。フォルト ピン (GPIO) による通知。FAULT_CLEAR レジスタ (78h) のビット 7 を 1 に設定するか、このビットが 1 を保持することで、このフォルトをクリアします。
1	CH1OC	R	0h	チャネル 1 過電流フォルト。OC フォルトの発生時にはフォルトがラッチされ、このビットは 1 にセットされます。Class-D 出力は Hi-Z に設定されています。フォルト ピン (GPIO) による通知。FAULT_CLEAR レジスタ (78h) のビット 7 を 1 に設定するか、このビットが 1 を保持することで、このフォルトをクリアします。
0	CH2OC	R	0h	チャネル 2 過電流フォルト。OC フォルトの発生時にはフォルトがラッチされ、このビットは 1 にセットされます。Class-D 出力は Hi-Z に設定されています。フォルト ピン (GPIO) による通知。FAULT_CLEAR レジスタ (78h) のビット 7 を 1 に設定するか、このビットが 1 を保持することで、このフォルトをクリアします。

7.1.40 GLOBAL_FAULT1 レジスタ (オフセット = 71h) [リセット = 00h]

概略表に戻ります。

グローバル フォルト 1

図 7-40. GLOBAL_FAULT1 レジスタ

7	6	5	4	3	2	1	0
予約済み	BQWRTFAULT_FLAG	EEPROMFAULT_FLAG	予約済み		CLKFAULT_FLAG	PVDDOV_FLAG	PVDDUV_FLAG
R-0h	R-0h	R-0h	R-0h		R-0h	R-0h	R-0h

表 7-42. GLOBAL_FAULT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	
6	BQWRTFAULT_FLAG	R	0h	**0:最近の BQ が正常に書き込まれました** 1:最近の BQ 書き込みは失敗しました
5	EEPROMFAULT_FLAG	R	0h	**0:EEPROM のブート ロードが正常に完了しました。** 1:EEPROM のブート ロードが正常に行われませんでした
4-3	予約済み	R	0h	
2	CLKFAULT_FLAG	R	0h	クロック不良。クロック フォルトが発生するとフォルトがラッチされ、このビットは 1 に設定されます。Class-D 出力は Hi-Z に設定されています。フォルト ピン (GPIO) による通知。 クロック フォルトは自動回復モードと連携して動作し、クロック エラーが解消すると、デバイスは自動的に以前の状態に戻ります。 FAULT_CLEAR レジスタ (78h) のビット 7 を 1 に設定するか、このビットが 1 を保持することで、このフォルトをクリアします。
1	PVDDOV_FLAG	R	0h	PVDD OV フォルト。OV フォルトの発生時にはフォルトがラッチされ、このビットは 1 にセットされます。Class-D 出力は Hi-Z に設定されています。フォルト ピン (GPIO) による通知。 OV フォルトは自動回復モードで動作し、OV エラーが解消されると、デバイスは自動的に以前の状態に戻ります。 FAULT_CLEAR レジスタ (78h) のビット 7 を 1 に設定するか、このビットが 1 を保持することで、このフォルトをクリアします。
0	PVDDUV_FLAG	R	0h	PVDD UV フォルト。UV フォルトの発生時にはフォルトがラッチされ、このビットは 1 にセットされます。Class-D 出力は Hi-Z に設定されています。フォルト ピン (GPIO) による通知。 UV フォルトは自動回復モードと連携し、UV エラーが解消されると、デバイスは自動的に以前の状態に戻ります。 FAULT_CLEAR レジスタ (78h) のビット 7 を 1 に設定するか、このビットが 1 を保持することで、このフォルトをクリアします。

Copyright © 2025 Texas Instruments Incorporated

7.1.41 GLOBAL_FAULT2 レジスタ (オフセット = 72h) [リセット = 00h]

概略表に戻ります。

グローバル フォルト 2

図 7-41. GLOBAL_FAULT2 レジスタ

7	6	5	4	3	2	1	0
予約済み					CH2CBC_FLAG	CH1CBC_FLAG	OTSD_FLAG
R-0h					R-0h	R-0h	R-0h

表 7-43. GLOBAL_FAULT2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R	0h	
2	CH2CBC_FLAG	R	0h	**0:チャネル 2 で CBC フォルトなし** 1:チャネル 2 で CBC フォルトをトリガ
1	CH1CBC_FLAG	R	0h	**0:チャネル 1 で CBC フォルトなし** 1:チャネル 1 で CBC フォルトをトリガ
0	OTSD_FLAG	R	0h	過熱シャットダウン フォルト OT フォルトが発生すると、フォルトがラッチされ、このビットは 1 に設定されます。Class-D 出力は Hi-Z に設定されています。フォルト ピン (GPIO) による通知。 OV フォルトは自動回復モードで動作し、OV エラーが解消されると、デバイスは自動的に以前の状態に戻ります。 FAULT_CLEAR レジスタ (78h) のビット 7 を 1 に設定するか、このビットが 1 を保持することで、このフォルトをクリアします。

7.1.42 警告 レジスタ (オフセット = 73h) [リセット = 00h]

概略表に戻ります。

警告

図 7-42. 警告レジスタ

7	6	5	4	3	2	1	0
予約済み		CH1CBCW_FLAG	CH2CBCW_FLAG	OTW4_FLAG	OTW3_FLAG	OTW2_FLAG	OTW1_FLAG
R-0h		R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 7-44. 警告 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	
5	CH1CBCW_FLAG	R	0h	**0:チャネル 1 に CBC 警告なし** 1:チャネル 1 で CBC 警告がトリガされました
4	CH2CBCW_FLAG	R	0h	**0:チャネル 2 で CBC 警告なし** 1:チャネル 2 で CBC 警告がトリガされました
3	OTW4_FLAG	R	0h	**0:温度レベル 4 警告なし** 1:過熱警告レベル 4 がトリガされます
2	OTW3_FLAG	R	0h	**0:温度レベル 3 警告なし** 1:過熱警告レベル 3 がトリガされます
1	OTW2_FLAG	R	0h	**0:温度レベル 2 警告なし** 1:過熱警告レベル 2 がトリガされます
0	OTW1_FLAG	R	0h	**0:温度レベル 1 警告なし** 1:過熱警告レベル 1 がトリガされます

Copyright © 2025 Texas Instruments Incorporated

7.1.43 PIN_CONTROL1 レジスタ (オフセット = 74h) [リセット = 00h]

概略表に戻ります。

ピン制御 1

図 7-43. PIN_CONTROL1 レジスタ

7	6	5	4	3	2	1	0
MASK_OTSD	MASK_DVDDUV	MASK_DVDDOV	MASK_CLKERROR	MASK_PVDDUV	MASK_PVDDOV	MASK_DC	MASK_OC
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-45. PIN_CONTROL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	MASK_OTSD	R/W	0h	**0:OTSD フォルト通知を有効化** 1:OTSD 障害通知をマスクします
6	MASK_DVDDUV	R/W	0h	**0:DVDD UV フォルト通知を有効化** 1:DVDD UV レポートをマスクします
5	MASK_DVDDOV	R/W	0h	**0:DVDD OV フォルト通知を有効化** 1:DVDD OV フォルト通知をマスクします
4	MASK_CLKERROR	R/W	0h	**0:CLK フォルト通知を有効化** 1:CLK 障害通知をマスクします
3	MASK_PVDDUV	R/W	0h	**0:UV フォルト通知を有効化** 1:UV 障害通知をマスクします
2	MASK_PVDDOV	R/W	0h	**0:OV フォルト通知を有効化** 1:OV 障害通知をマスクします
1	MASK_DC	R/W	0h	**0:DC フォルト通知を有効化** 1:DC 障害通知をマスクします
0	MASK_OC	R/W	0h	**0:OC フォルト通知を有効化** 1:OC 障害通知をマスクします

7.1.44 PIN_CONTROL2 レジスタ (オフセット = 75h) [リセット = F8h]

概略表に戻ります。

ピン制御 2

図 7-44. PIN_CONTROL2 レジスタ

7	6	5	4	3	2	1	0
CBCFAULTLATCH_EN	CBCWARNLATCH_EN	CLKFAULTLATCH_EN	OTSDLATCH_EN	OTWLATCH_EN	MASK_OTW	MASK_CBCWARN	MASK_CBCFAULT
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-0h	R/W-0h	R/W-0h

表 7-46. PIN_CONTROL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CBCFAULTLATCH_EN	R/W	1h	0:CBC フォルト ラッチを無効化 **1:CBC フォルト ラッチを有効化**
6	CBCWARNLATCH_EN	R/W	1h	0:CBC 警告ラッチを無効化 **。1:CBC 警告ラッチを有効化**
5	CLKFAULTLATCH_EN	R/W	1h	0:CLK フォルト ラッチを無効化 **1:CLK フォルト ラッチを有効化**
4	OTSDLATCH_EN	R/W	1h	0:OTSD フォルト ラッチを無効化 **1:OTSD フォルト ラッチを有効化**
3	OTWLATCH_EN	R/W	1h	0:OTW 警告ラッチを無効化 **。1:OTW 警告ラッチを有効化**
2	MASK_OTW	R/W	0h	**0:OTW 警告レポートを有効化** 1:OTW 警告レポートをマスクします
1	MASK_CBCWARN	R/W	0h	**0:CBC 警告レポートを有効化** 1:CBC 警告レポートをマスクします
0	MASK_CBCFAULT	R/W	0h	**0:CBC フォルト通知を有効化** 1:CBC 障害通知をマスクします

Copyright © 2025 Texas Instruments Incorporated

7.1.45 MISC_CONTROL3 レジスタ (オフセット = 76h) [リセット = 00h]

概略表に戻ります。

その他の制御 3

図 7-45. MISC_CONTROL3 レジスタ

7	6	5	4	3	2	1	0
CLKDET_LATCH	予約済み		OTSD_AUTOREC	予約済み			
R/W-0h	R/W-0h		R/W-0h	R/W-0h			

表 7-47. MISC_CONTROL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CLKDET_LATCH	R/W	0h	1:ラッチ クロック検出ステータス **0:ラッチ クロック検出ステータスがない**
6-5	予約済み	R/W	0h	
4	OTSD_AUTOREC	R/W	0h	**0:OTSD 自動復帰を無効化** 1:OTSD 自動復帰を有効化
3-0	予約済み	R/W	0h	

7.1.46 CBC_CONTROL レジスタ (オフセット = 77h) [リセット = 00h]

概略表に戻ります。

CBC 制御

図 7-46. CBC_CONTROL レジスタ

7	6	5	4	3	2	1	0
予約済み			CBCLEVEL_SEL		CBC_EN	CBCWARN_EN	CBCFAULT_EN
R/W-0h			R/W-0h		R/W-0h	R/W-0h	R/W-0h

表 7-48. CBC_CONTROL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	0h	
4-3	CBCLEVEL_SEL	R/W	0h	これらのビットはサイクル単位の電流制限レベルを設定し、過電流スレッショルドのパーセンテージです: **2b'00:80%** 2b'10: 60% 2b'01: 40% 2b'11:予約済み
2	CBC_EN	R/W	0h	**0:CBC 機能を無効化** 1:CBC 機能を有効化
1	CBCWARN_EN	R/W	0h	**0:CBC 警告を無効化** 1:CBC 警告を有効化
0	CBCFAULT_EN	R/W	0h	**0:CBC フォルトを無効化** 1:CBC 障害を有効化

Copyright © 2025 Texas Instruments Incorporated

7.1.47 FAULT_CLEAR レジスタ (オフセット = 78h) [リセット = 00h]

概略表に戻ります。

フォルト クリア

図 7-47. FAULT_CLEAR レジスタ

7	6	5	4	3	2	1	0
FAULT_CLR	予約済み						
W-0h	W-0h						

表 7-49. FAULT_CLEAR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	FAULT_CLR	W	0h	書き込みクリア ビット **0:フォルト クリアなし** 1:アナログ障害をクリアします
6-0	予約済み	W	0h	

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

Copyright © 2025 Texas Instruments Incorporated

8.1 代表的なアプリケーション

8.1.1 2.0 (ステレオ BTL) システム

2.0 システムでは、デジタル入力信号を介して 2 つのチャネルがアンプに供給されます。これら 2 つのチャネルは増幅され、2 つの個別のスピーカに送られます。場合によっては、L-C フィルタ後のパッシブ クロスオーバー ネットワークで周波数に基づいて、増幅された信号がさらに分離されます。それでも、アプリケーションは 2.0 と見なされます。

最も一般的には、2 つのチャネルはステレオペアと呼ばれる信号のペアであり、1 つのチャネルには左のチャネルのオーディオが含まれ、もう 1 つのチャネルには右のチャネルのオーディオが含まれます。2 つのチャネルは、マルチチャネル スピーカ システムの 2 つのサラウンド チャネルなど、任意の 2 つのオーディオ チャネルを含めることができますが、2 つのチャネル システムで最も一般的に発生するのは、ステレオ ペアです。

図 8-1 に 2.0 (ステレオ BTL) のシステム アプリケーションを示します。

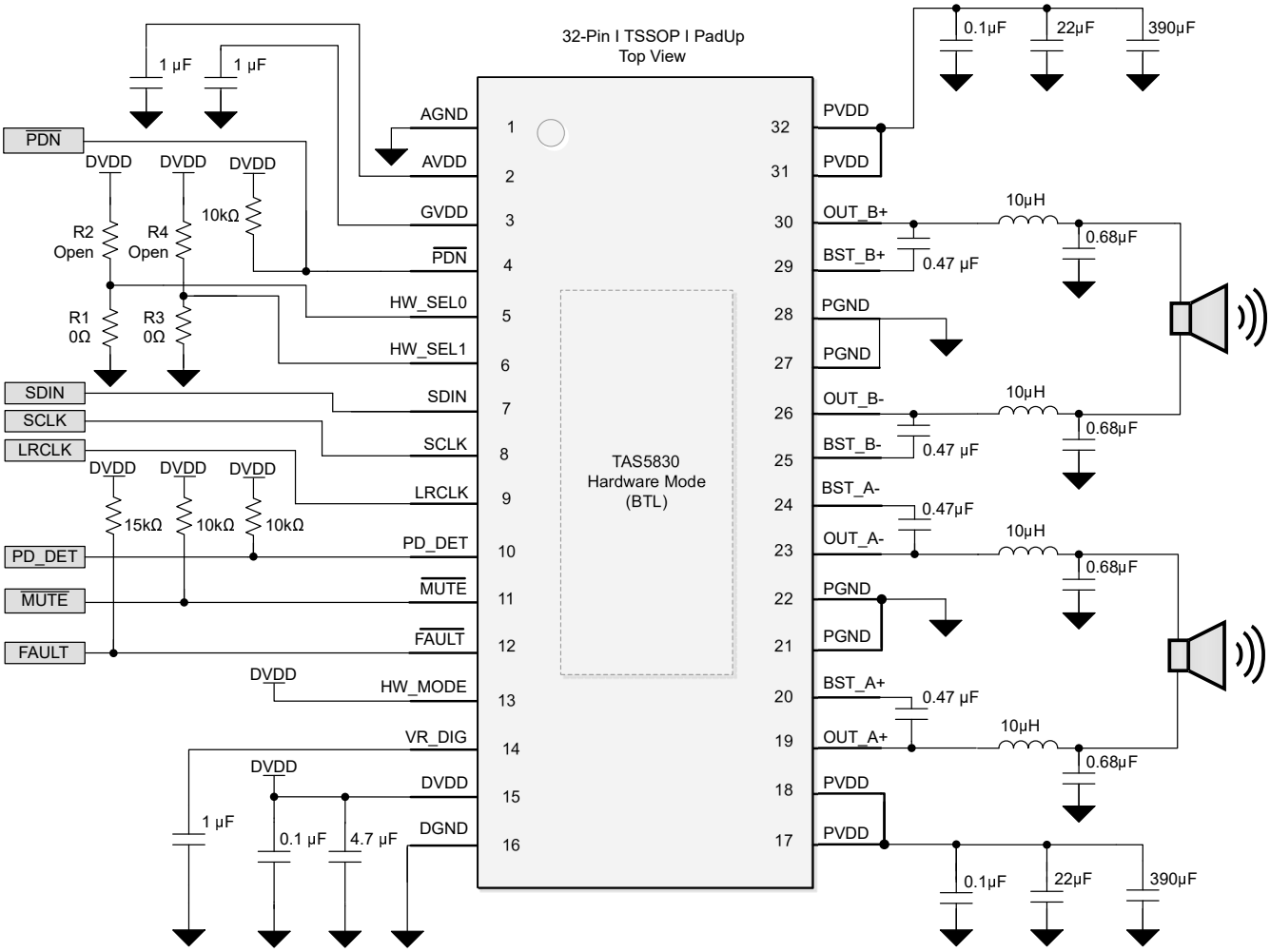


図 8-1. 2.0 (ステレオ BTL) システム アプリケーションの回路図

8.1.2 モノラル (PBTL) システム

モノラル モードでは、TAS5830 PBTL モードとして使用してサブウーファをより多くの出力で駆動できます。

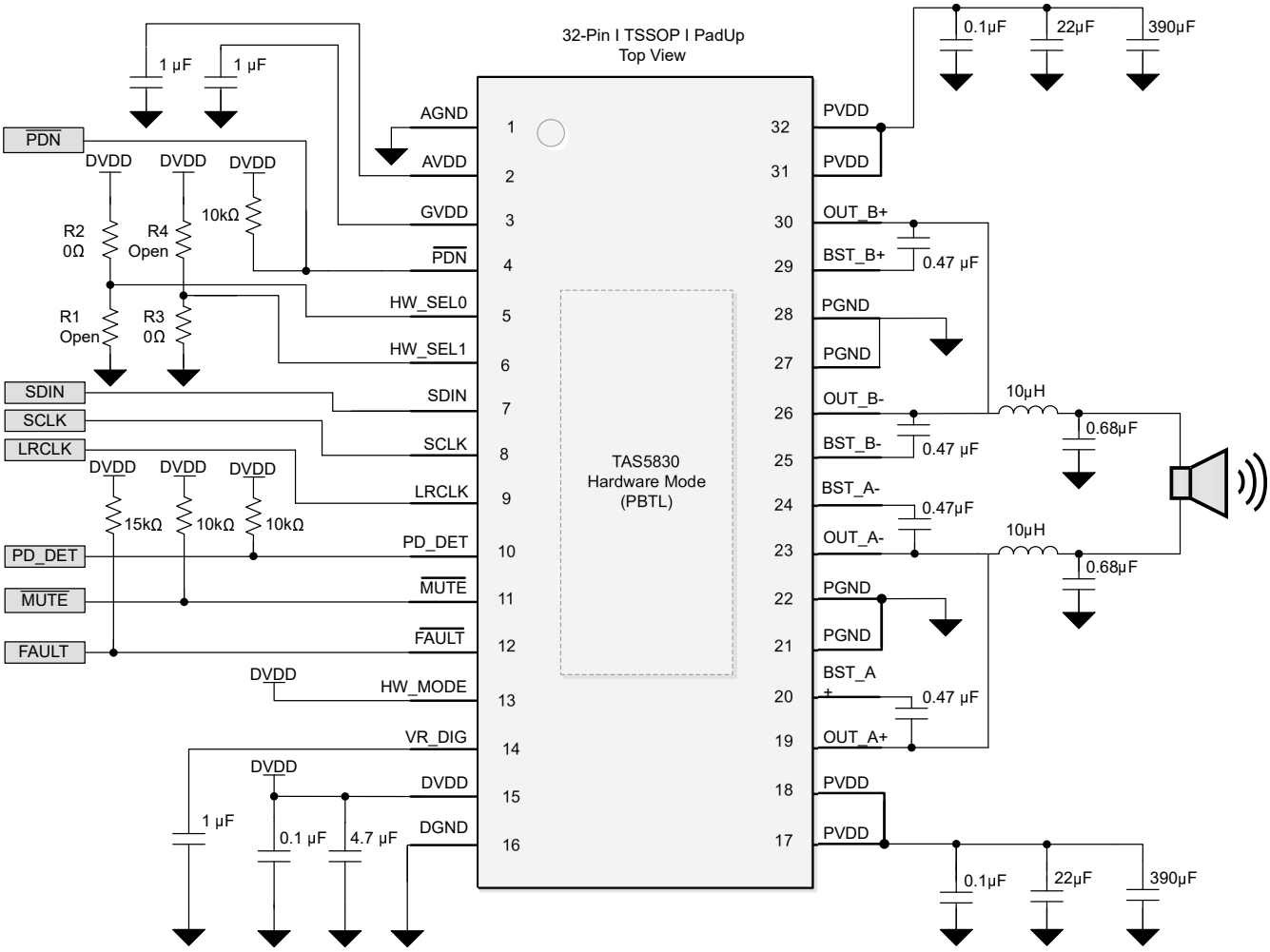


図 8-2. サブウーファ (PBTL) アプリケーションの回路図

8.2 電源に関する推奨事項

TAS5830 デバイスを正常に動作させるためには、2 つの電源が必要です。スピーカ アンプの出力段とその関連回路に給電するには、高電圧電源と PVDD 電圧が必要です。さらに、デバイスの各種低消費電力部分に電力を供給するには、DVDD と呼ばれる 1 つの低電圧電源が必要です。PVDD 電源と DVDD 電源の両方の許容電圧範囲を、セクション 5.3 表に示します。2 つの電源装置には、必要な電源投入シーケンスがありません。電源は、任意の順序でオンにできます。

Copyright © 2025 Texas Instruments Incorporated

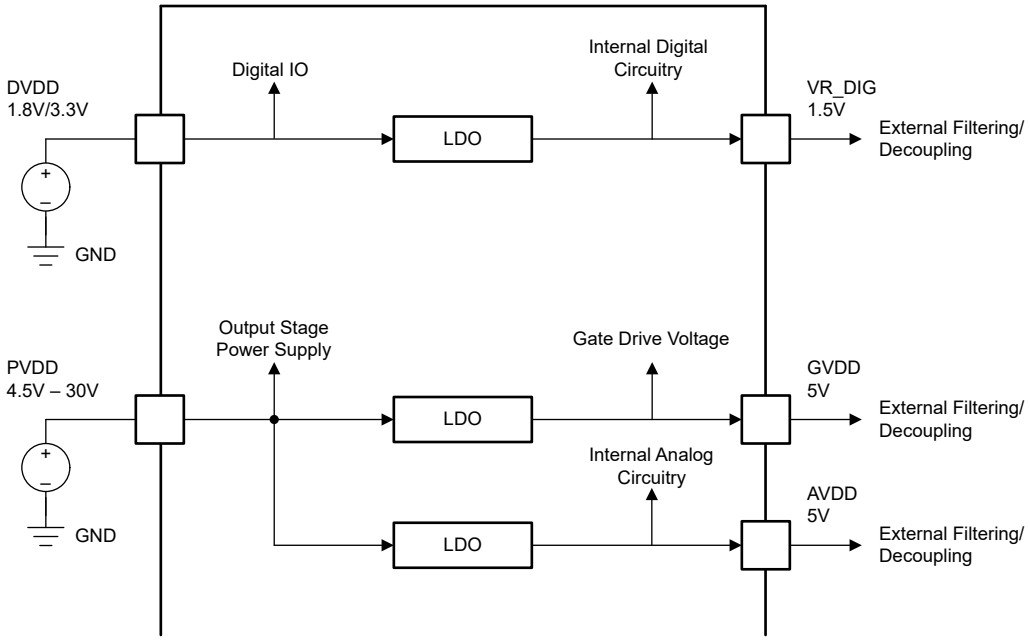


図 8-3. 電源の機能ブロック図

8.2.1 DVDD サプライ

システムから必要な DVDD 電源は、デバイスの複数の部分に電力を供給するために使用されます。電源の機能ブロック図に示すように、DVDD 電源は DVDD ピンに電力を供給します。適切な接続、配線、およびデカップリング手法については、セクション *セクション 8.3.2* および *セクション 8* セクションに記載しており、適切な動作と性能を実現するためにできる限り厳密に従う必要があります。

デバイスの一部には、DVDD 電源より低い電圧の個別電源も必要とします。システムの電源要件を簡素化するため、TAS5830 この電源を生成するため、低ドロップアウト (LDO) リニア レギュレータを内蔵しています。このリニア レギュレータは内部で DVDD 電源に接続されており、出力が DVDD_REG ピンに与えられます。これにより、外付けバイパス コンデンサへの接続ポイントとなります。本デバイスに統合されたリニアレギュレータは、内部回路の電流要件をサポートするようにのみ設計されており、追加の外部回路に電力を供給する目的では使用しないことに注意してください。このピンに負荷を追加すると、電圧が低下し、デバイスの性能と動作に悪影響を及ぼす可能性があります。

8.2.2 PVDD サプライ

スピーカ アンプの出力段は、PVDD 電源を使用して負荷を駆動します。これは、再生中に駆動電流を負荷に供給する電源です。TAS5830 EVM では、適切な接続、配線、デカップリングの手法について説明しており、適切な動作と性能を実現するためにできる限り従う必要があります。出力段の高電圧スイッチングにより、本 TAS5830 デバイス *PVDD ネットワーク上の PVDD バイパス コンデンサの配置の重要性* で説明されている方法で出力出力段を適切にデカップリングすることが特に重要です。*PVDD ネットワーク上の PVDD バイパス コンデンサの配置の重要性* に示すように適切なデカップリングがないと、電圧スパイクが発生し、デバイスが損傷する可能性があります。

スピーカ アンプの出力段で使用されている MOSFET のゲートを駆動するために、別途電源が必要です。この電源は、内蔵のリニアレギュレータを介して PVDD 電源から生成されます。ゲート駆動電圧レギュレータ用のデカップリング コンデンサの接続用に、GVDD ピンが用意されています。本デバイスに内蔵されているリニアレギュレータは、内部回路の電流要件に対応するようにのみ設計されており、追加の外部回路に電力を供給する目的では使用しないでください。このピンに負荷を追加すると、電圧が降下し、デバイスの性能と動作に悪影響を及ぼす可能性があります。

内蔵リニアレギュレータを介して PVDD 電源から供給されるもう 1 つの独立した電源は AVDD です。内部回路のデカップリング コンデンサを接続するための AVDD ピンが用意されて TAS5830 います。本デバイスに内蔵されているリニアレギュレータは、内部回路の電流要件に対応するようにのみ設計されており、追加の外部回路に電力を供給する目的では

使用しないでください。このピンに負荷を追加すると、電圧が降下し、デバイスの性能と動作に悪影響を及ぼす可能性があります。

8.3 レイアウト

8.3.1 レイアウトのガイドライン

8.3.1.1 オーディオ アンプの一般的なガイドライン

スイッチング出力段を持つオーディオ アンプは、それらを使用するサポート部品のレイアウトとレイアウトに特に注意を払う必要があります。放熱性能、電磁適合性 (EMC)、デバイスの信頼性、オーディオ性能などのシステム レベル性能指標は、すべてデバイスとサポートする部品レイアウトの影響を受けます。

アプリケーション セクションに示すデバイスおよび部品の選択に関するガイダンスは、*セクション 8.3.2* に示すレイアウト ガイダンスに正確に従うことで遵守できます。これら例は、デバイスをレイアウトすることに伴うエンジニアリング トレードオフの模範的なベースライン バランスを表しています。これらの設計は、アプリケーションのニーズに合わせて、必要に応じて多少変更できます。一部のアプリケーションでは、例えば、デバイス周辺の追加の連続した銅を使用することで、熱性能を向上させるためにデザイン サイズを犠牲にすることができます。逆に、内部トレースに配線し、ビア ピケット フェンスと追加のフィルタ部品を内蔵することで、熱性能よりも EMI 性能を優先することができます。いずれの場合も、TI では、*セクション 8.3.2* に示されているガイダンスから開始し、TI フィールド アプリケーション エンジニアまたは E2E コミュニティと連携して、アプリケーション固有の目標に基づいて例を変更することを推奨しています。

8.3.1.2 PVDD ネットワーク上の PVDD バイパス コンデンサの配置の重要性

バイパス コンデンサとデカップリング コンデンサを電源の近くに配置することは、業界で長い間理解されてきました。これは DVDD、AVDD、GVDD、PVDD に適用されます。ただし、TAS5830 デバイスの PVDD ネット上のコンデンサは特に注意する価値があります。

DUT の PVDD ラインの小さなバイパス コンデンサは、PVDD ピンのできるだけ近くに配置する必要があります。デバイスをピンから離して配置するだけでなく、システムの電磁干渉が増加します。また、デバイスの信頼性に悪影響を及ぼす可能性もあります。これらの部品を TAS5830 デバイスから離れた位置に配置しすぎると、出力ピンにリンギングが発生し、出力ピンの電圧が セクション 5.1 表に示す最大許容定格を超えてデバイスが損傷する可能性があります。そのため、PVDD ネット上のコンデンサは、関連する PVDD ピンから、*セクション 8.3.2* セクションのレイアウト例に示すものよりも離れないようにする必要があります。

8.3.1.3 最適化済みの放熱特性

「レイアウト例」セクションに従うことで、設計サイズ、熱、オーディオ、電磁性能のバランスを最適化できます。場合によっては、回避できない設計上の制約によって、このガイダンスからの逸脱が必要になることがあります。システム設計者は、熱がデバイスから抜け出し、デバイス周囲の空気に放出される可能性があります。TAS5830 デバイスは、TSSOP-DAD、パッド アップ、パッケージを使用して、デバイスからの放熱能力を最大化します。熱は、低インピーダンスのヒートシンク経路を経由して、デバイスから周囲空気に伝達されます。ヒートシンクを使用する必要があります。図 8-4 に示すように、www.qats.com の ATS-TI10P-519-C1-R3 の使用をお勧めします。ヒートシンクのサイズは、スペースの制限された環境で推奨されるヒートシンクから外れる可能性がありますが、放熱性能が低下する場合があります。

Copyright © 2025 Texas Instruments Incorporated

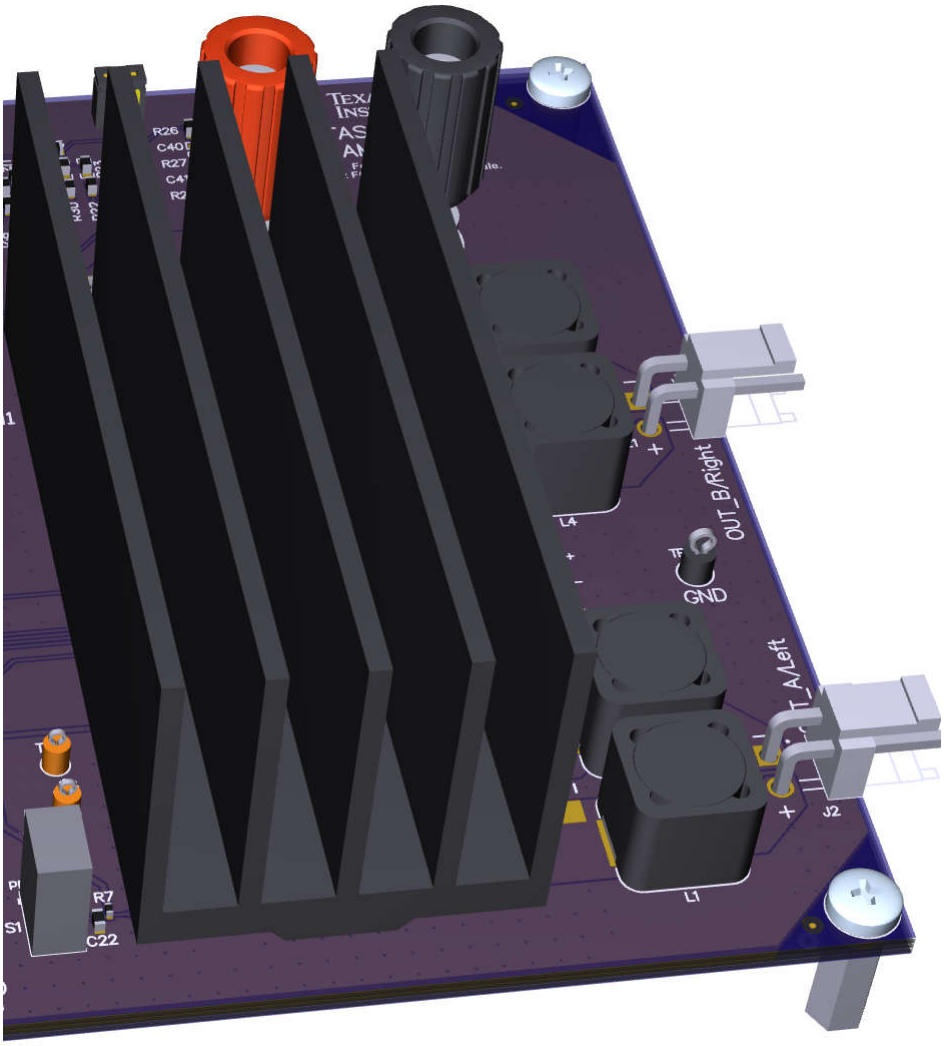


図 8-4. 2.0 (ステレオ BTL) EVM 3D 上面図、ヒートシンク付き

8.3.2 レイアウト例

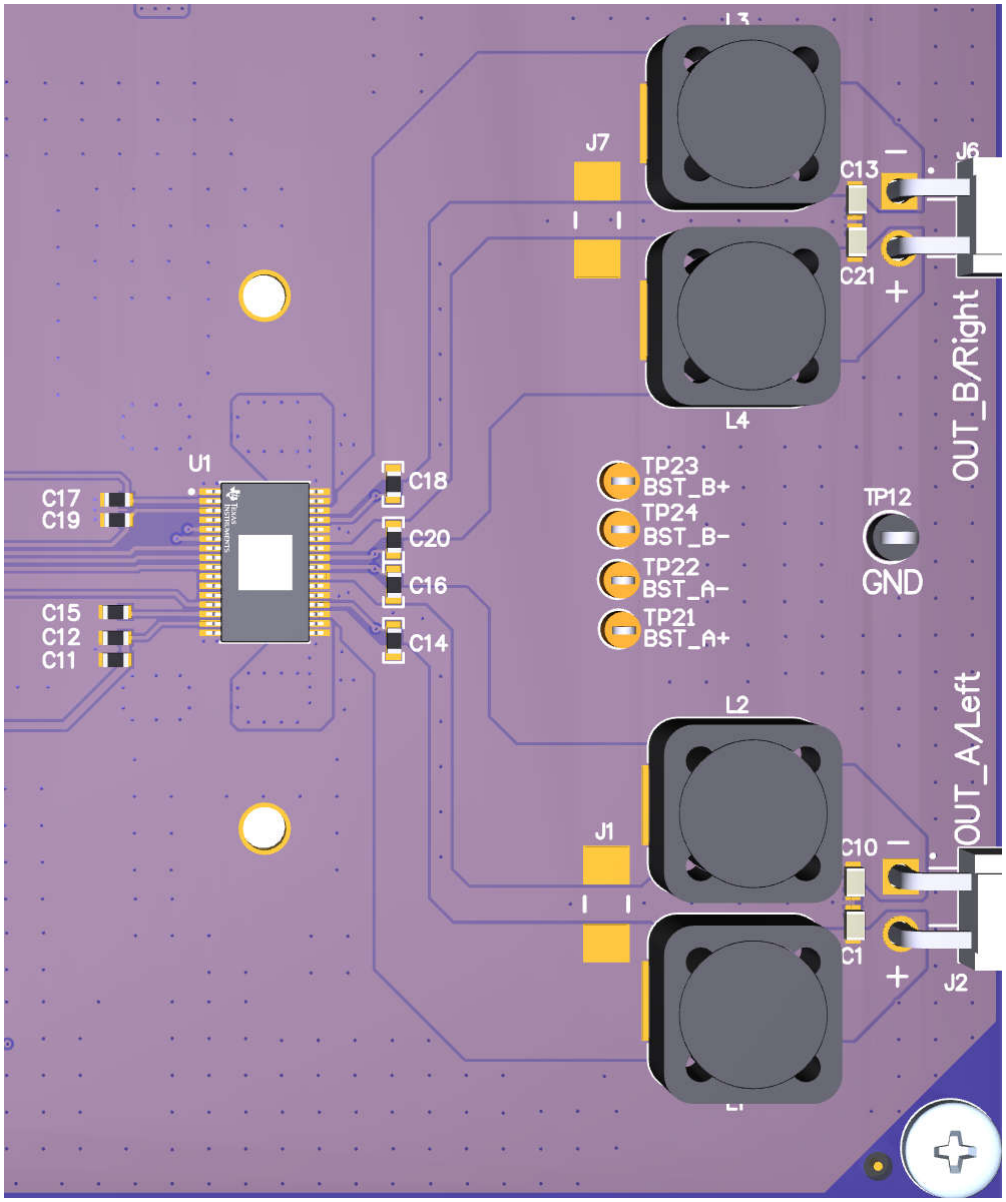
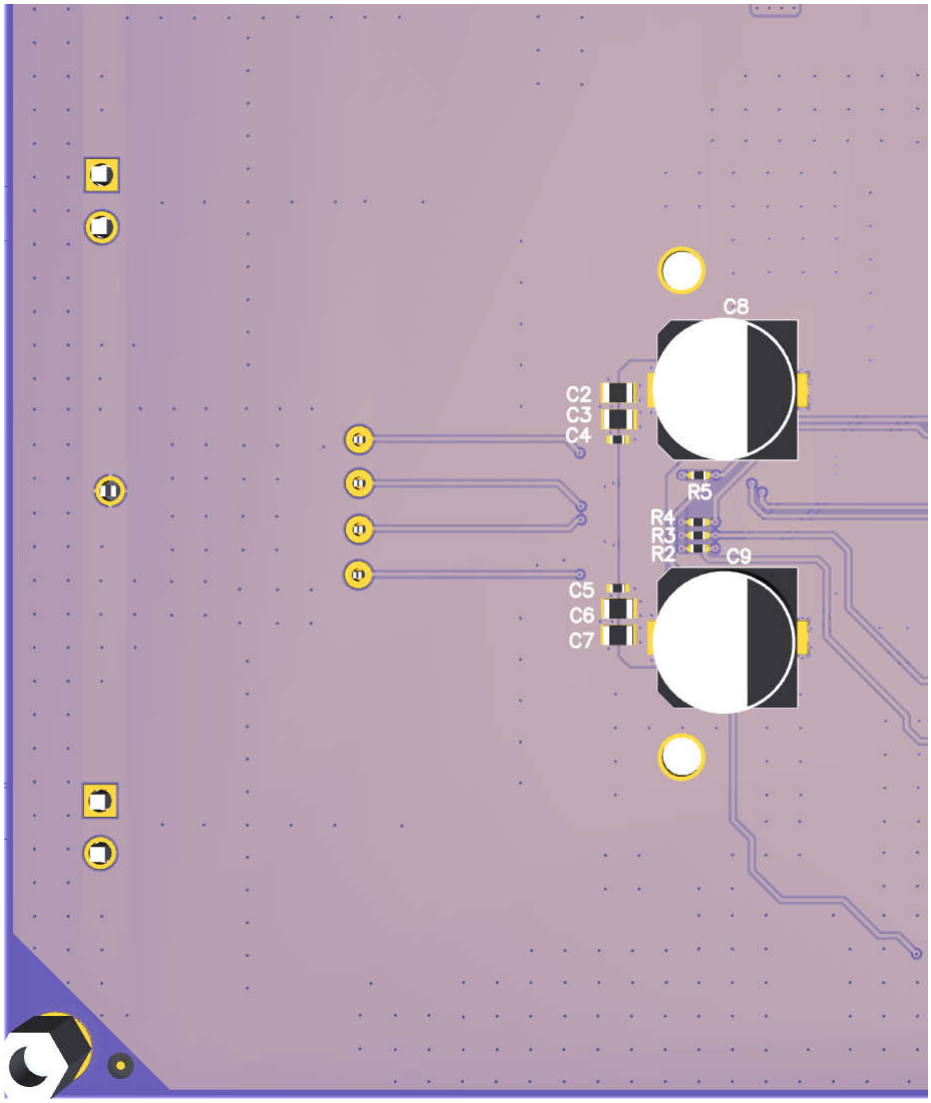


図 8-5. 2.0 (ステレオ BTL) 3D 上面図

Copyright © 2025 Texas Instruments Incorporated



注

底面図から。Y 軸に沿って反転しました。

図 8-6. 2.0 (ステレオ BTL) 3D 底面図

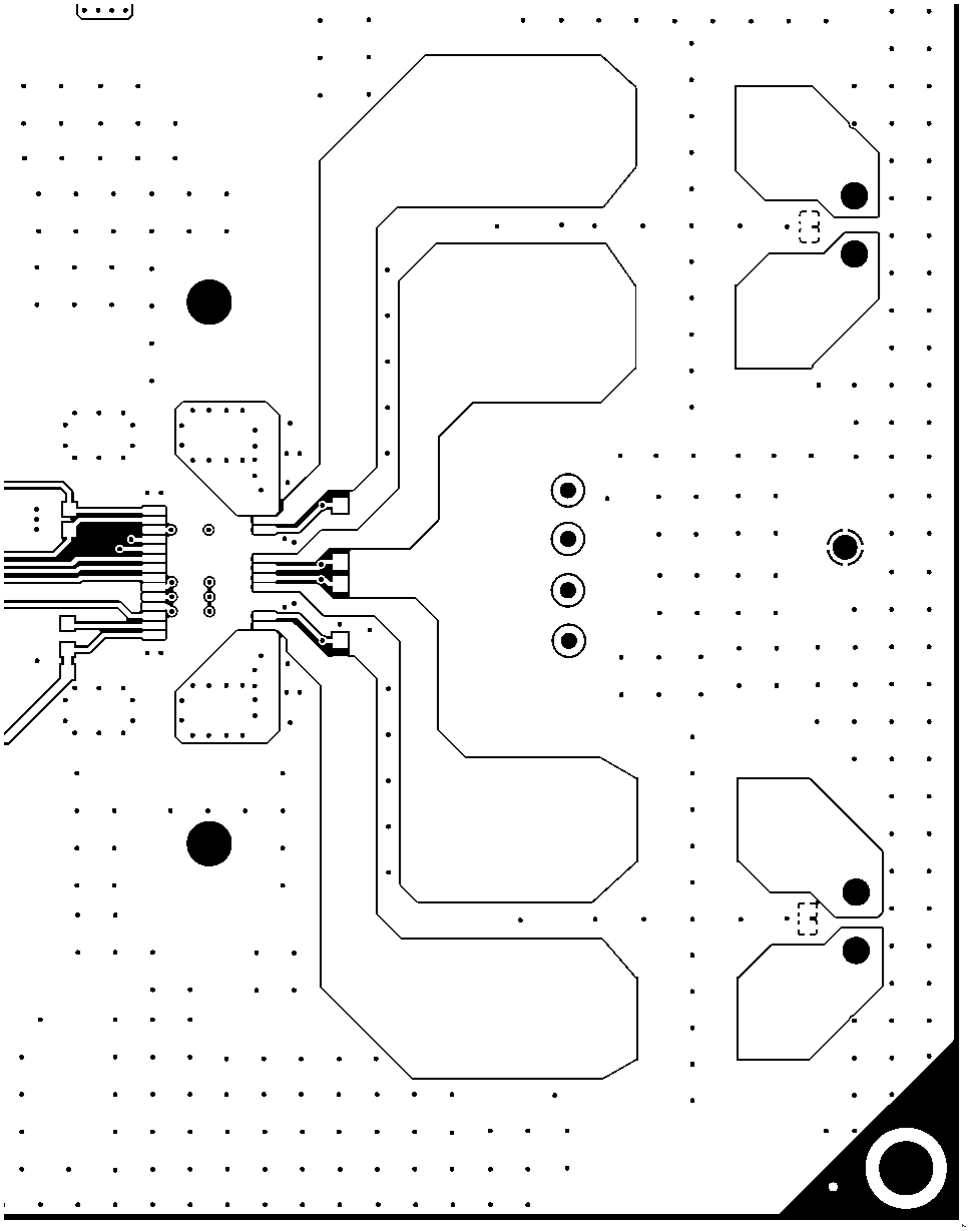


図 8-7. 2.0 (ステレオ BTL) PCB 上層プロット (上面図)

Copyright © 2025 Texas Instruments Incorporated

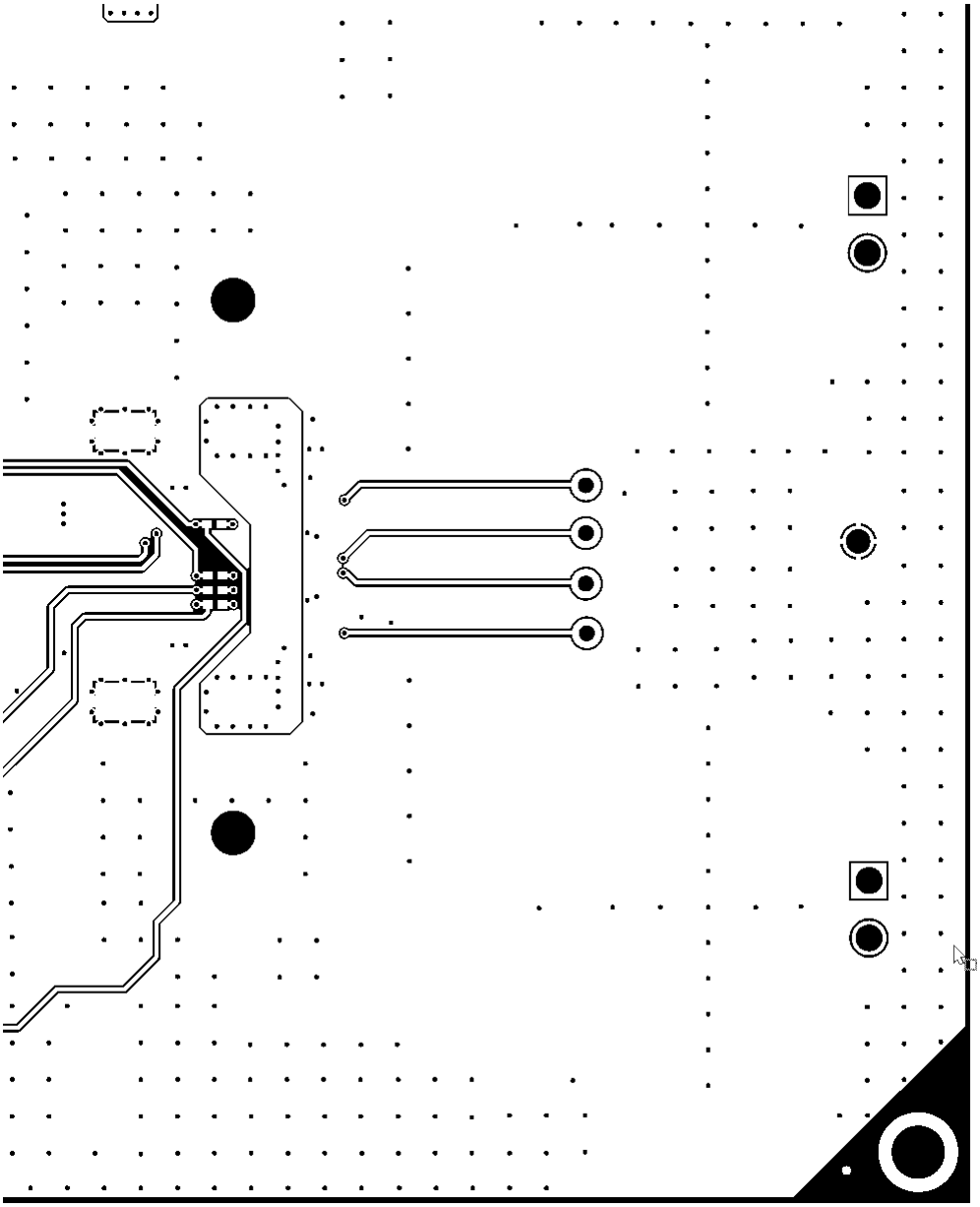


図 8-8. 2.0 (ステレオ BTL) PCB 下層プロット (上面図)

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 デバイスの命名規則

用語集セクションは一般的な用語集で、JEDEC、IPC、IEEE、その他の業界標準に準拠する広範な TI イニシアチブに従って定義された、一般的に使用される頭字語や用語が含まれます。このセクションに示す用語集では、この製品およびドキュメント、付属品、またはこの製品とともに使用されるサポート ツールやソフトウェアに固有の単語、熟語、頭字語が定義されています。定義や用語に関する追加質問については、「e2e オーディオ アンプ フォーラム」を参照してください。

ブリッジ接続負荷 (BTL) は、スピーカの一方の端子を 1 つのハーフブリッジに、もう一方の端子を別のハーフブリッジに接続する出力構成です。

DUT は、デバイスと別のデバイスとを区別するため、*テスト対象のデバイス*を指す言葉です。

クローズド ループ アーキテクチャは、アンプが出力端子を監視し、出力信号と入力信号とを比較して、出力の非直線性の補正を試みるトポロジです。

動的制御は、システムまたはエンド ユーザーによって、通常の使用中に変更されるものです。

GPIO は汎用入出力ピンですこのピンは、さまざまな構成が可能な双方向のデジタル ピンで、システムによって要求される多くの機能を実行できます。

ホスト プロセッサ (システム プロセッサ、スカラー、ホスト、またはシステム コントローラとも呼ばれる) は、中央システム コントローラとして機能するデバイスを指します。ホスト プロセッサに接続されたデバイスに制御情報を提供するとともに、ホスト プロセッサの上流にあるデバイスからオーディオ ソース データを収集し、そのデータを他のデバイスに配布します。ホスト プロセッサは多くの場合、周波数応答、時間調整、ターゲットの音圧レベル、システムの安全動作領域、ユーザーの好みに基づいてスピーカーのオーディオ出力を最適化するために、オーディオ経路上のオーディオ処理デバイス (TAS5830 など) の制御を構成します。

最大連続出力電力とは、アンプが 25°C 周囲温度で動作しているとき、シャットダウンすることなく連続的に供給できる最大出力電力を意味します。テストは、温度が熱平衡に達し、それ以上上昇しなくなるまでの時間にわたって行われます

並列ブリッジ接続負荷 (PBTL) は、スピーカの一方の端子を並列に配置した 2 つのハーフブリッジに接続し、もう一方の端子を並列に配置した別のハーフブリッジのペアに接続する出力構成です

$r_{DS(on)}$ は、アンプの出力段で使用される MOSFET のオン抵抗の尺度です。

静的コントロール/静的構成は、システムが通常使用されている間は変更されないコントロールです。

ビアは、PCB 上の銅メッキされたスルーホールです。

9.1.2 開発サポート

RDGUI ソフトウェアについては、お近くの現地サポート エンジニアへお問い合わせください。

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の [*アラートを受け取る*] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

Copyright © 2025 Texas Instruments Incorporated

9.4 商標

PowerPAD™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
May 2025	*	初版リリース

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TAS5830DADR	Active	Production	HTSSOP (DAD) | 32	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	5830

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

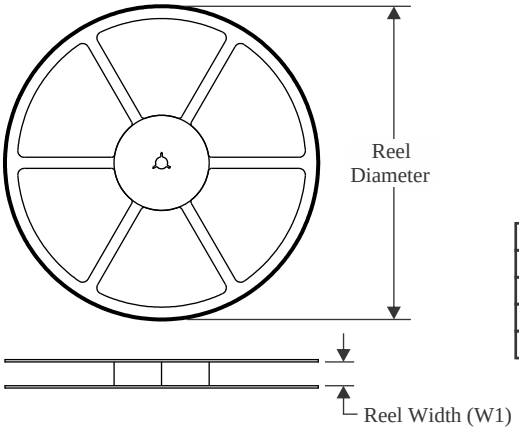
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

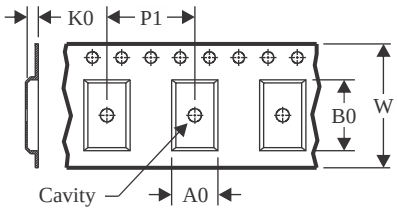
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

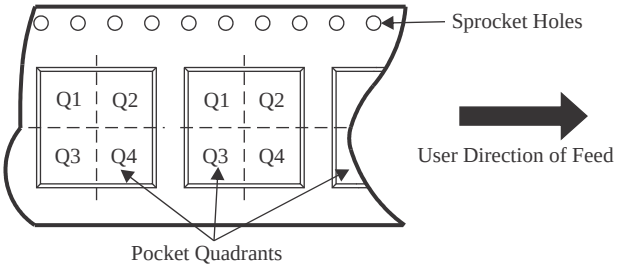


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

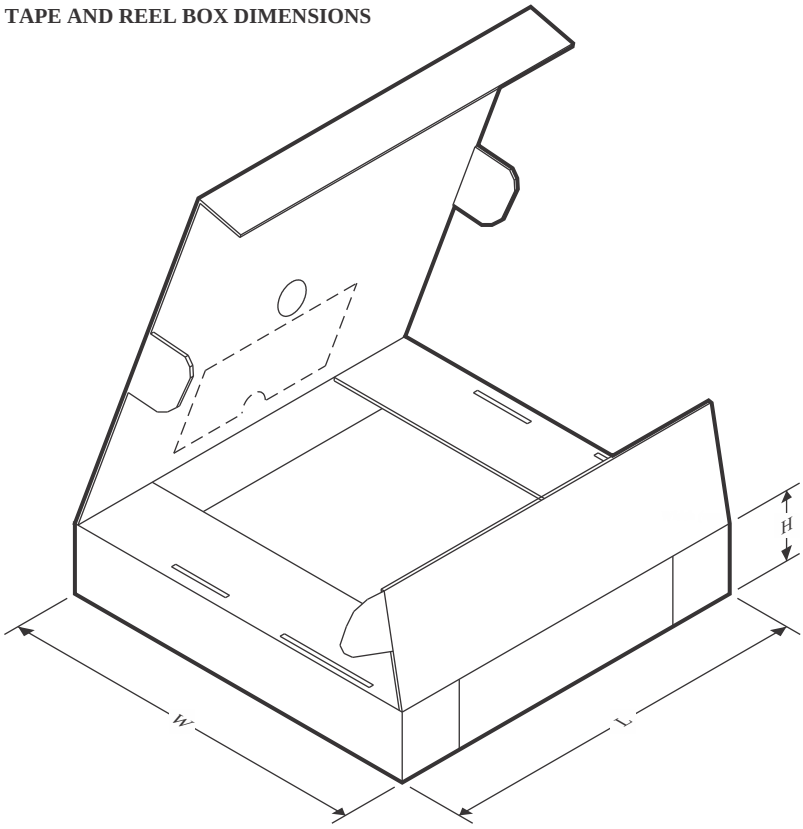
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TAS5830DADR	HTSSOP	DAD	32	2000	330.0	24.4	8.8	11.8	1.8	12.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS

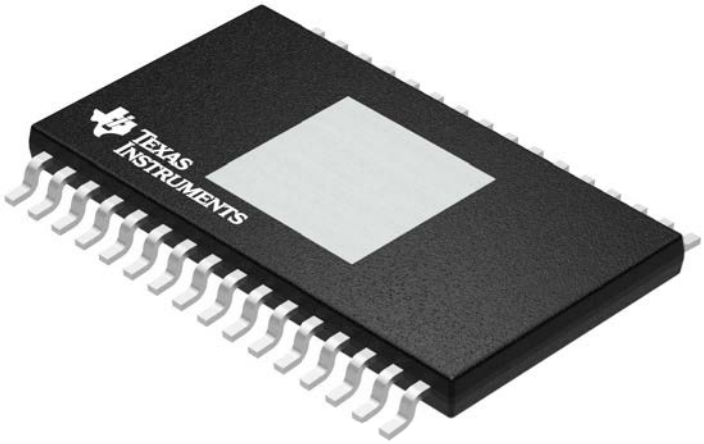


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TAS5830DADR	HTSSOP	DAD	32	2000	356.0	356.0	45.0

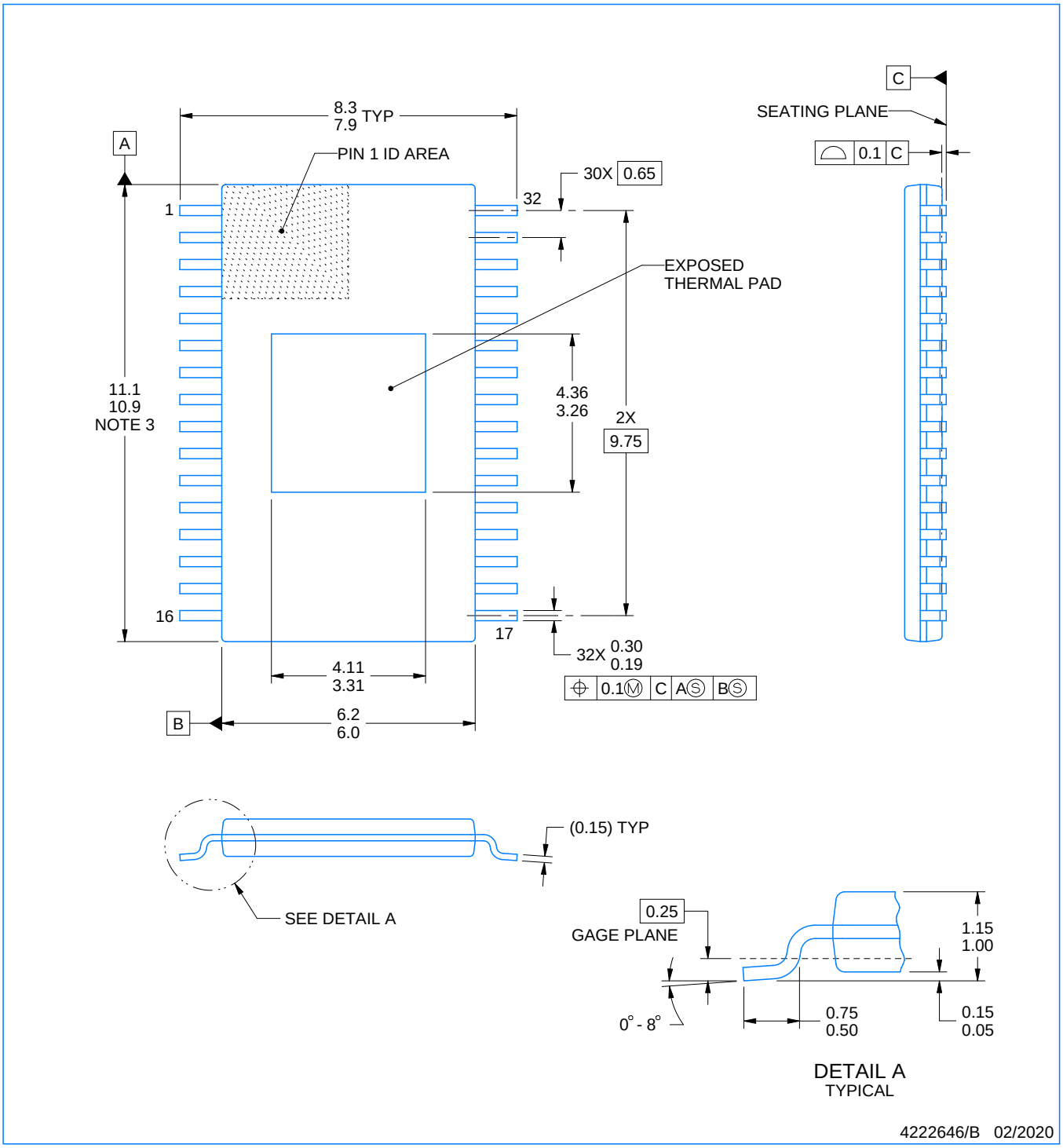
DAD 32 PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

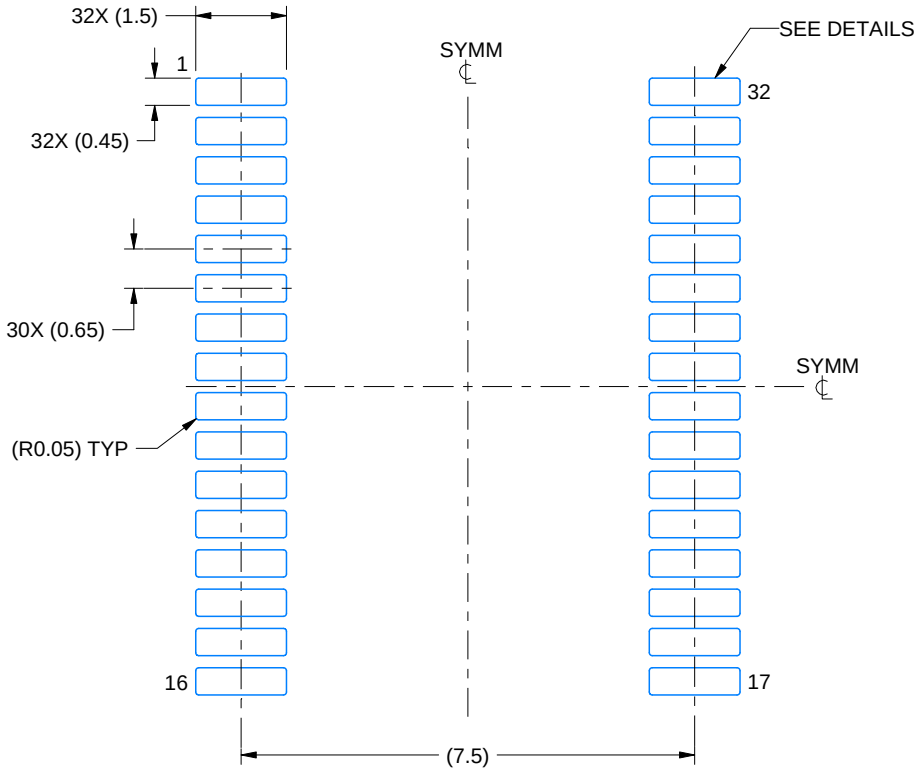
4073258-2/G



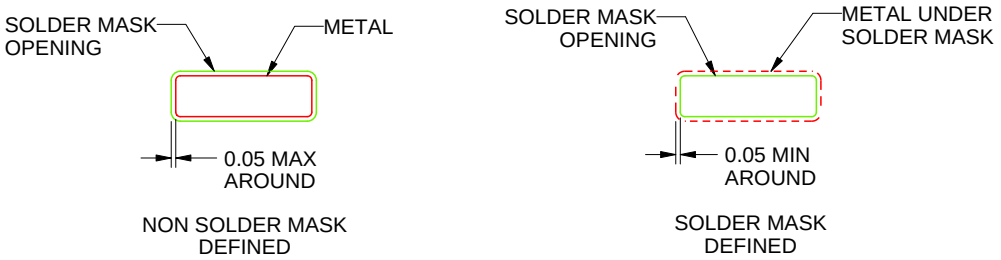
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
SCALE:8X

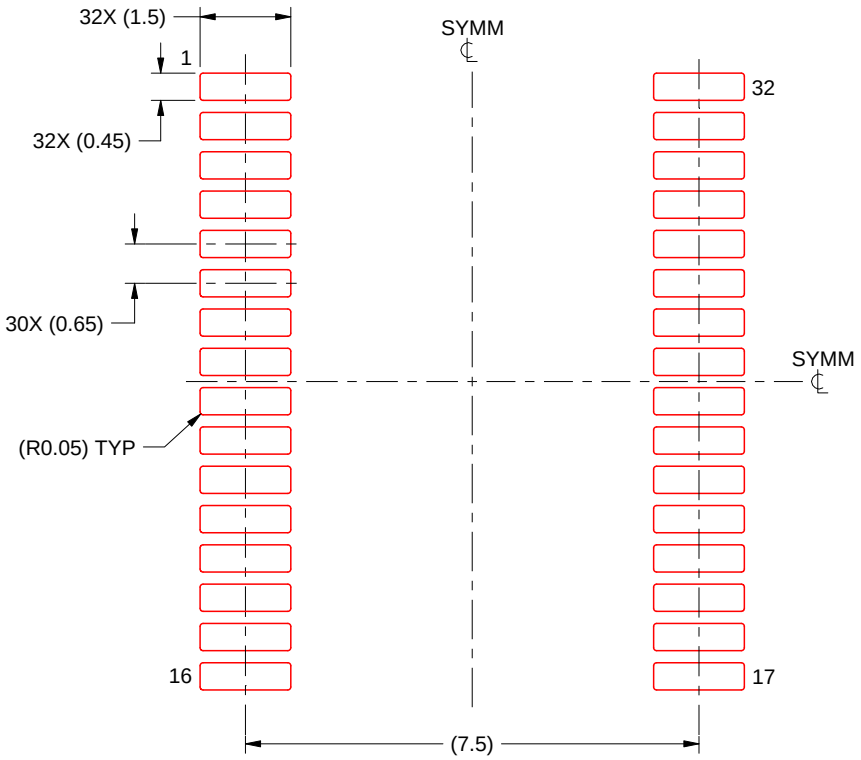


SOLDER MASK DETAILS
NOT TO SCALE

4222646/B 02/2020

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4222646/B 02/2020

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated