

TAS5828M Hybrid-Pro アルゴリズムを実装した、50W 高効率のステレオ、デジタル入力、閉ループ Class-D アンプ

1 特長

- 柔軟なオーディオ I/O:
 - 32、44.1、48、88.2、96、192kHz のサンプル レートをサポート
 - I²S、LJ、RJ、TDM、SDOUT によるオーディオ モニタ、サブチャネル、またはエコー キャンセル
 - 3 線式のデジタル オーディオ インターフェイスをサポート (MCLK 不要)
- 高効率 Class-D 変調
 - 90% を超える電力効率、90mΩ の R_{DS} オン
- 複数の出力構成をサポート
 - 2.0 モードで 2 × 50W (4Ω、23V、THD + N = 1%)
 - 2.0 モードで 2 × 40W (6Ω、24V、THD + N = 1%)
 - 1.0 モードで 1 × 100W (2Ω、23V、THD + N = 1%)
 - 1.0 モードで 1 × 80W (3Ω、24V、THD + N = 1%)
- 優れたオーディオ性能:
 - THD+N ≤ 0.03% (1W、1kHz、PVDD = 12V)
 - SNR ≥ 110dB (A-weighted)、ICN ≤ 40μVRMS
- フレキシブルな処理機能
 - チャンネルごとに 12 の BQ、レベル メーター
 - 3 バンドの高度な DRC +2 BQ + AGL + 2 BQ
 - 48kHz プロセッサ サンプリング モード
 - 48kHz、96kHz、192kHz のプロセッサ サンプリング
 - ミキサ、ボリューム、動的 EQ、出力クロスオーバー
 - PVDD センシングと Hybrid-Pro アルゴリズム オーディオ信号トラッキング
- 柔軟な電源構成
 - PVDD: 4.5V ~ 26.4V
 - DVDD および I/O: 1.8V または 3.3V
- 優れた自己保護機能を内蔵:
 - 過電流エラー (OCE)
 - サイクル単位の電流制限
 - 過熱警告 (OTW)
 - 過熱エラー (OTE)
 - 低電圧 / 過電圧誤動作防止 (UVLO/OVLO)
 - PVDD 電圧降下検出
- システム統合が簡単
 - I²C ソフトウェアまたはハードウェア制御モード
 - 閉ループ デバイスと比べて少ない受動部品数

2 アプリケーション

- バッテリー駆動スピーカー
- ワイヤレス、Bluetooth スピーカー
- サウンドバーとサブウーファー
- 熱または効率の制約が厳しいオーディオ システム

3 説明

TAS5828M は高性能のステレオ、閉ループの Class-D アンプで、最高 192kHz アーキテクチャのオーディオ プロセッサが内蔵されています。

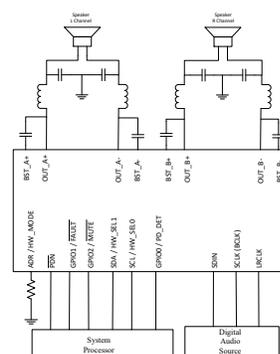
ソフトウェア制御モードについては、TAS5828M は従来の BQ、3 バンド DRC、AGL だけでなく、Hybrid-Pro と呼ぶ独自のアルゴリズムも実装しています。Hybrid-Pro アルゴリズムは、予測されるオーディオ電力の需要を検出し、Hybrid-Pro フィードバックピン (HPFB) により、前段の DC-DC コンバータに PWM 形式の制御信号を出力します。TAS5828M は、エンベロープトラッキングを予測できるように最大 4ms のオーディオ信号遅延バッファをサポートしているため、DC-DC 電圧の調整に起因するオーディオ クリッピングを防止する上で非常に有効です。

ハードウェア制御モードの設定については、TAS5828M はスイッチング周波数、アナログ ゲイン、BTL/PBTL モード、ピン設定によるサイクル単位の電流制限スレッシュホールドをサポートしています。このモードは、エンド システムのソフトウェア ドライバの統合に手間がかからないように特に設計されています。

製品情報

部品番号	パッケージ ⁽¹⁾	本体サイズ (公称)
TAS5828M	TSSOP (32) DAD	11.00mm × 6.20mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



概略回路図



目次

1 特長.....	1	7.5 プログラミングと制御.....	41
2 アプリケーション.....	1	8 レジスタ マップ.....	50
3 説明.....	1	8.1 ポート コントロール レジスタ.....	50
4 ピン構成および機能.....	2	9 アプリケーションと実装.....	79
5 仕様.....	6	9.1 アプリケーション情報.....	79
5.1 絶対最大定格.....	6	9.2 代表的なアプリケーション.....	81
5.2 ESD 定格.....	6	9.3 電源に関する推奨事項.....	84
5.3 推奨動作条件.....	6	9.4 レイアウト.....	86
5.4 熱に関する情報.....	6	10 デバイスおよびドキュメントのサポート.....	92
5.5 電気的特性.....	7	10.1 デバイス サポート.....	92
5.6 タイミング要件.....	11	10.2 ドキュメントの更新通知を受け取る方法.....	92
5.7 代表的特性.....	12	10.3 サポート・リソース.....	92
6 パラメータ測定情報.....	27	10.4 商標.....	93
7 詳細説明.....	28	10.5 静電気放電に関する注意事項.....	93
7.1 概要.....	28	10.6 用語集.....	93
7.2 機能ブロック図.....	28	11 改訂履歴.....	93
7.3 機能説明.....	28	12 メカニカル、パッケージ、および注文情報.....	93
7.4 デバイスの機能モード.....	35		

4 ピン構成および機能

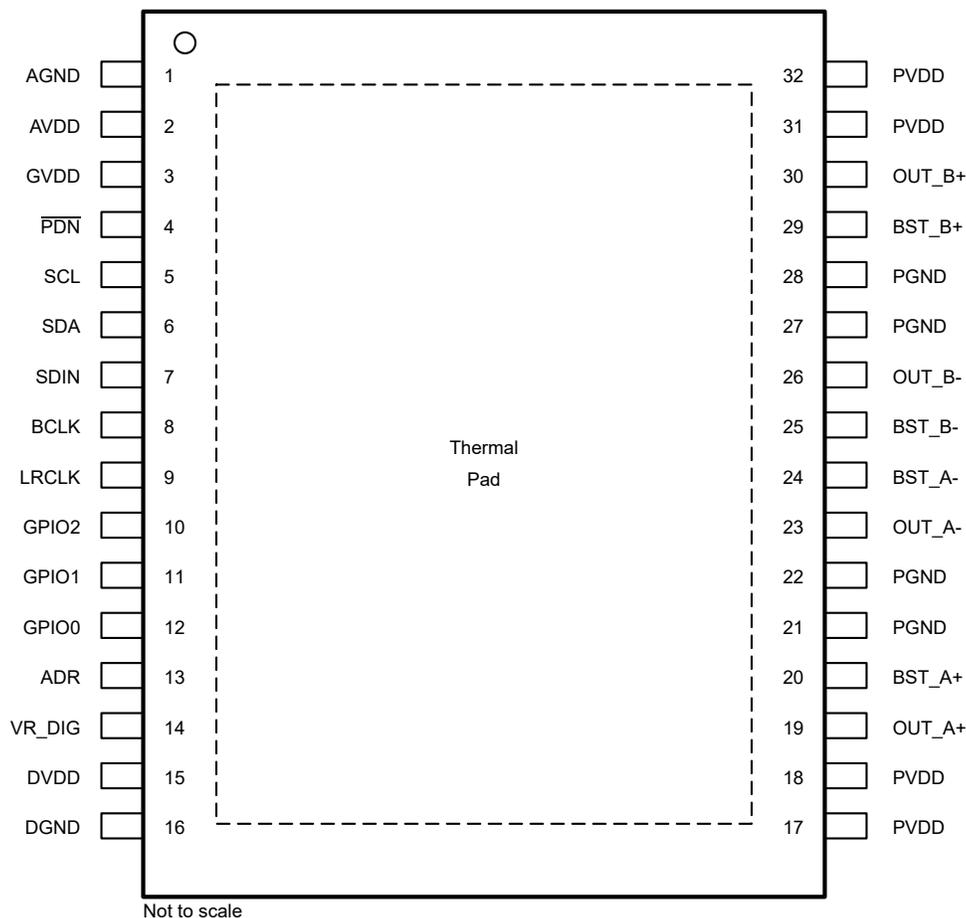


図 4-1. DAD (TSSOP) パッケージ、32 ピン PadUp、ソフトウェア モード、上面図

表 4-1. ピン機能 - ソフトウェア モード

ピン		タイプ ⁽¹⁾	説明
名称	番号		
AGND	1	G	アナログ グランド。
AVDD	2	P	内部的に調整された 5V アナログ電源電圧。このピンを外部デバイスの駆動に使用しないでください。
GVDD	3	P	ゲート駆動内部レギュレータ出力。このピンを外部デバイスの駆動に使用しないでください。
PDN	4	DI	パワーダウン、アクティブ low。PDN アンプをシャットダウンにし、すべての内蔵レギュレータをオフにします。
SCL	5	DI	I ² C シリアル制御クロック入力
SDA	6	DI/O	I ² C シリアル制御データインターフェース入出力。
SDIN	7	DI	シリアル データ ポートへのデータライン。
BCLK	8	DI	シリアル データ ポートの入力データラインでアクティブなデジタル信号のビットクロック。
LRCLK	9	DI	シリアル ポートの入力データラインでアクティブなデジタル信号のワード セレクト クロック。I ² S、LJ、RJ では、これは左チャネルと右チャネルの境界に対応しています。TDM モードでは、これはフレーム同期境界に対応します。
GPIO2	10	DI/O	汎用入出力。このピンの機能は、レジスタ (レジスタ アドレス 0x60h および 0x62h) によってプログラムできます。オープンドレイン出力またはプッシュプル出力に構成可能。
GPIO1	11	DI/O	汎用入出力。このピンの機能は、レジスタ (レジスタ アドレス 0x60h および 0x61h) によってプログラムできます。オープンドレイン出力またはプッシュプル出力に構成可能。
GPIO0	12	DI/O	汎用入出力。このピンの機能は、レジスタ (レジスタ アドレス 0x60h および 0x63h) によってプログラムできます。オープンドレイン出力またはプッシュプル出力に構成可能。
ADR	13	AI	抵抗値の表 (GND にプルダウン) により、デバイスの I2C アドレスが決定されます。表 7-7 を参照してください。
VR_DIG	14	P	内部で安定化された 1.5V デジタル電源電圧。このピンを外部デバイスの駆動に使用しないでください。
DVDD	15	P	3.3V または 1.8V デジタル電源。
DGND	16	G	デジタル グランド。
PVDD	17	P	PVDD 電圧入力。
	18	P	
	31	P	
	32	P	
PGND	21	G	電源デバイス回路用のグラウンドリファレンス。このピンはシステム グランドに接続します。
	22	G	
	27	G	
	28	G	
OUT_A+	19	PO	差動スピーカ アンプ出力 A の正ピン
BST_A+	20	P	OUT_A+ ブートストラップ コンデンサの接続点。これを使って、OUT_A+ の 1 次側ゲート駆動用の電源を作成します。
OUT_A-	23	PO	差動スピーカ アンプ出力 A の負ピン
BST_A-	24	P	OUT_A- ブートストラップ コンデンサの接続点。これを使って、OUT_A- の 1 次側ゲート駆動用の電源を作成します。
BST_B-	25	P	OUT_B- ブートストラップ コンデンサの接続点。これを使用して、OUT_B- の 1 次側ゲート駆動用の電源を生成します。
OUT_B-	26	PO	差動スピーカ アンプ出力 B の負ピン
BST_B+	29	P	OUT_B+ ブートストラップ コンデンサの接続点。これを使用して、OUT_B+ の 1 次側ゲート駆動用の電源を生成します。
OUT_B+	30	PO	差動スピーカ アンプ出力 B の正ピン
PowerPAD™		P	最高のシステム性能を得るため、グラウンド接続されたヒートシンクに接続してください。

(1) AI = アナログ入力、PO = 電力出力、DI = デジタル入力、DO = デジタル出力、DI/O = デジタル双方向 (入力および出力)、P = 電源、G = グランド (0V)

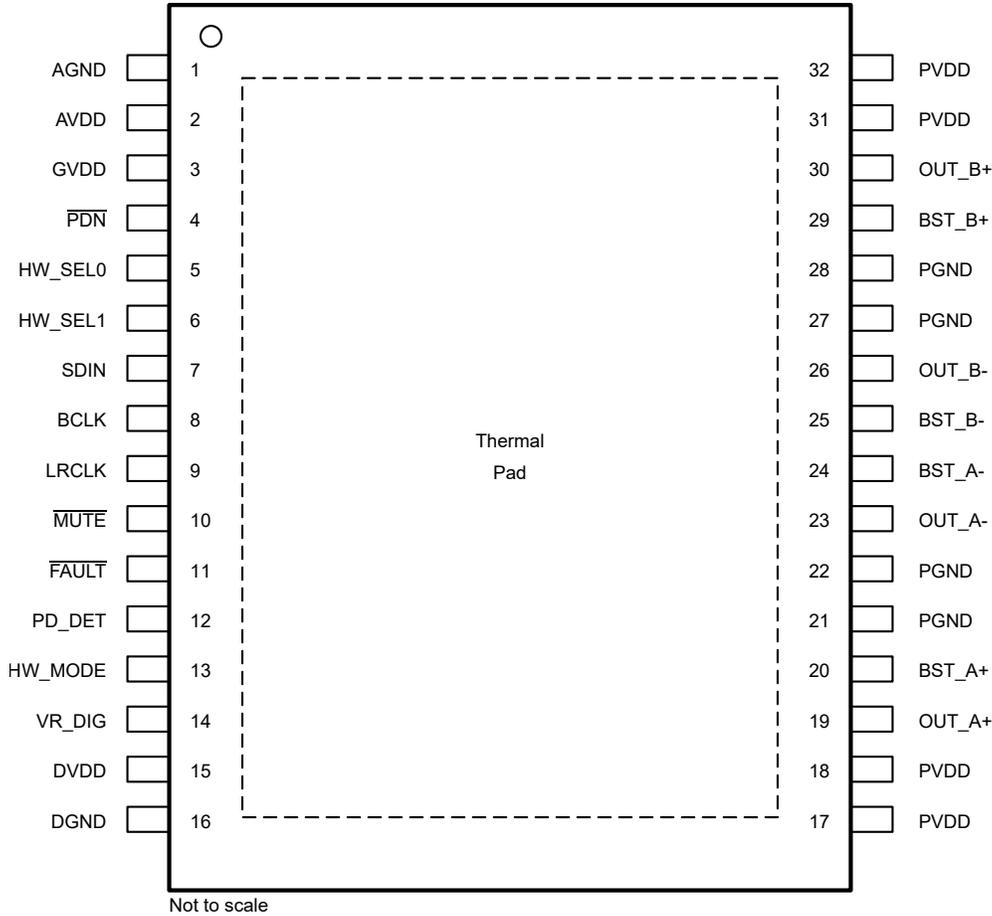


図 4-2. DAD (TSSOP) パッケージ、32 ピン PadUp、ハードウェア モード、上面図

表 4-2. ピン機能 - ハードウェア モード

ピン		タイプ 1	説明
名称	番号		
AGND	1	G	アナログ グランド。
AVDD	2	P	内部的に調整された 5V アナログ電源電圧。このピンを外部デバイスの駆動に使用しないでください。
GVDD	3	P	ゲート駆動内部レギュレータ出力。このピンを外部デバイスの駆動に使用しないでください。
PDN	4	DI	パワーダウン、アクティブ low。PDN アンプをシャットダウンにし、すべての内蔵レギュレータをオフにします。
HW_SEL0	5	DI	ハードウェア モードでのアナログ ゲインおよび BTL/PBTL モードの選択。それぞれの抵抗を使用して DVDD にプルアップするか、グラウンドにプルダウンします。表 7-6 を参照してください。
HW_SEL1	6	DI	ハードウェア モードでの PWM スイッチング周波数と拡散スペクトラムのイネーブル/ディセーブルの選択。それぞれの抵抗を使用して DVDD にプルアップするか、グラウンドにプルダウンします。表 7-5 を参照してください。
SDIN	7	DI	シリアル データ ポートへのデータライン。
BCLK	8	DI	シリアル データ ポートの入力データラインでアクティブなデジタル信号のビットクロック。
LRCLK	9	DI	シリアル ポートの入力データラインでアクティブなデジタル信号のワード セレクト クロック。I ² S、LJ、RJ では、これは左チャネルと右チャネルの境界に対応しています。TDM モードでは、これはフレーム同期境界に対応します。
MUTE	10	DI	スピーカー アンプ ミュート/ミュート状態を終了するには、これを low にプル (DGND に接続) し、high (DVDD に接続) にプルアップする必要があります。ミュート状態では、デバイスの出力は Hi-Z 状態を維持します。
障害	11	DO	フォルト端子。内部フォルトが発生すると LOW にプルされます。
PD_DET	12	DO	PVDD 電圧低下検出。PVDD 電圧が 8V 未満に低下すると LOW になります。
HW_MODE	13	AI	DVDD に直接接続して、デバイスがハードウェア制御モードに移行したままにします。
VR_DIG	14	P	内部で安定化された 1.5V デジタル電源電圧。このピンを外部デバイスの駆動に使用しないでください。

表 4-2. ピン機能 - ハードウェア モード (続き)

ピン		タイプ 1	説明
名称	番号		
DVDD	15	P	3.3V または 1.8V デジタル電源。
DGND	16	G	デジタル グランド。
PVDD	17	P	PVDD 電圧入力。
	18	P	
	31	P	
	32	P	
PGND	21	G	電源デバイス回路用のグランドリファレンス。このピンはシステム グランドに接続します。
	22	G	
	27	G	
	28	G	
OUT_A+	19	PO	差動スピーカ アンプ出力 A の正ピン
BST_A +	20	P	OUT_A+ ブートストラップ コンデンサの接続点。これを使って、OUT_A+ の 1 次側ゲート駆動用の電源を作成します。
OUT_A-	23	PO	差動スピーカ アンプ出力 A の負ピン
BST_A-	24	P	OUT_A- ブートストラップ コンデンサの接続点。これを使って、OUT_A- の 1 次側ゲート駆動用の電源を作成します。
BST_B-	25	P	OUT_B- ブートストラップ コンデンサの接続点。これを使用して、OUT_B- の 1 次側ゲート駆動用の電源を生成します。
OUT_B-	26	PO	差動スピーカ アンプ出力 B の負ピン
BST_B+	29	P	OUT_B+ ブートストラップ コンデンサの接続点。これを使用して、OUT_B+ の 1 次側ゲート駆動用の電源を生成します。
OUT_B+	30	PO	差動スピーカ アンプ出力 B の正ピン
PowerPAD™		P	最高のシステム性能を得るため、グランド接続されたヒートシンクに接続してください。

1. AI = アナログ入力、PO = 電力出力、DI = デジタル入力、DO = デジタル出力、DI/O = デジタル双方向 (入力および出力)、P = 電源、G = グランド (0V)

5 仕様

5.1 絶対最大定格

自由気流での室温 25°C (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
DVDD	低電圧デジタル電源	-0.3	3.9	V
PVDD	PVDD 電源	-0.3	30	V
$V_{I(DigIn)}$	DVDD 基準のデジタル入力 ⁽²⁾	-0.5	$V_{DVDD} + 0.5$	V
$V_{I(SPK_OUTxx)}$	スピーカー出力ピンの電圧	-0.3	32	V
T_A	動作時周囲温度	-40	85	°C
T_J	動作時接合部温度	-40	150	°C
T_{stg}	保存温度	-40	125	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) DVDD 基準のデジタルピンには以下が含まれます ADR/FAULT、LRCLK、SCLK、SDIN、SDOUT、SCL、SDA、PDN

5.2 ESD 定格

		値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	±500

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
$V_{(POWER)}$	電源入力	PVDD	4.5	26.4	V
		DVDD	1.62	3.63	V
R_{SPK}	スピーカーの最小負荷	PVDD 範囲 4.5V ~ 24V、BTL モード	3.2		Ω
		PVDD 範囲 4.5V ~ 24V、PBTL モード	1.6		Ω
$V_{IH(DigIn)}$	DVDD 参照デジタル入力の入力ロジック high	$0.9 \times V_{DVDD}$		DVDD	V
$V_{IL(DigIn)}$	DVDD 参照デジタル入力の入力ロジック low			$0.1 \times V_{DVDD}$	V
L_{OUT}	短絡状態での LC フィルタの最小インダクタ値	1			μH

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		TAS5828M - TSSOP32 (DAD) — 32 ピン	単位
		JEDEC 規格 4-LAYER PCB	
$R_{\theta JA(top)}$	接合部からケース (上面) への熱抵抗	1.2	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	1.2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	21	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

5.5 電気的特性

自由気流での室温 25°C、1SPW モード、LC フィルタ = 10uH + 0.68μF、Fsw = 384kHz、Class-D 帯域幅 = 80kHz (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
デジタル I/O					
IIIH	DVDD 参照デジタル入力ピンの 入力ロジック high 電流レベル	$V_{IN(Digin)} = V_{DVDD}$		10	μA
IIL	DVDD 参照デジタル入力ピンの 入力ロジック low 電流レベル	$V_{IN(Digin)} = 0\text{ V}$		-10	μA
$V_{IH(Digin)}$	DVDD 参照デジタル入力の 入力ロジック high しきい値		70%		V_{DVDD}
$V_{IL(Digin)}$	DVDD 参照デジタル 入力の入力ロジック low しきい値			30%	V_{DVDD}
$V_{OH(Digin)}$	ロジック high 出力電圧 レベル	$I_{OH} = 4\text{ mA}$	80%		V_{DVDD}
$V_{OL(Digin)}$	出力ロジック low 電圧レベル	$I_{OH} = -4\text{ mA}$		20%	V_{DVDD}
I²C 制御ポート					
$C_L(I2C)$	各 I ² C ラインで許容される負荷 容量			400	pF
f _{SCL(fast)}	SCL 周波数をサポート	ウェイトなし、高速モード		400	kHz
f _{SCL(slow)}	SCL 周波数をサポート	ウェイトなし、スロー モード		100	kHz
シリアル オーディオ ポート					
t _{DLY}	必要な LRCLK/SCLK から FS までの 立ち上がりエッジ遅延		5		ns
D _{SCLK}	許容される SCLK デューティサイ クル		40%	60%	
f _S	サポートしている入力サンプリレ ート		32	192	kHz
f _{SCLK}	サポートしている SCLK 周波数		32	64	f _S
f _{SCLK}	SCLK 周波数			24.576	MHz
アンプの動作モードと DC パラメータです					
I _{CC}	DVDD の静止電源電流	$\overline{PDN} = 2\text{ V}$ 、DVDD = 3.3V、再生モード、 一般的なオーディオ プロセスフロー。DSP が完全に 動作している場合	23		mA
I _{CC}	DVDD の静止電源電流	$\overline{PDN} = 2\text{ V}$ 、DVDD = 3.3V、スリープ モード	1		mA
I _{CC}	DVDD の静止電源電流	$\overline{PDN} = 2\text{ V}$ 、DVDD = 3.3V、ディープスリープ モード	1		mA
I _{CC}	DVDD の静止電源電流	$\overline{PDN} = 0.8\text{ V}$ 、DVDD = 3.3V、シャットダウン モード	16		μA
I _{CC}	PVDD の静止電源電流	$\overline{PDN} = 2\text{ V}$ 、PVDD = 18V、無負荷、LC フィルタ = 10μH + 0.68μF、FSW = 384kHz、1SPW 変調、再生 モード	39		mA
I _{CC}	PVDD の静止電源電流	$\overline{PDN} = 2\text{ V}$ 、PVDD = 18V、無負荷、LC フィルタ = 10μH + 0.68μF、FSW = 384kHz、出力 Hiz モード	11		mA
I _{CC}	PVDD の静止電源電流	$\overline{PDN} = 2\text{ V}$ 、PVDD = 18V、無負荷、LC フィルタ = 10μH + 0.68μF、FSW = 384kHz、スリープ モード	7.5		mA
I _{CC}	PVDD の静止電源電流	$\overline{PDN} = 2\text{ V}$ 、PVDD = 18V、無負荷、LC フィルタ = 10μH + 0.68μF、FSW = 384kHz、ディープスリープ モード	10		μA
I _{CC}	PVDD の静止電源電流	$\overline{PDN} = 2\text{ V}$ 、PVDD = 18V、無負荷、LC フィルタ = 10μH + 0.68μF、FSW = 384kHz、シャットダウン モー ド	10		μA

5.5 電気的特性 (続き)

自由気流での室温 25°C、1SPW モード、LC フィルタ = 10uH + 0.68μF、Fsw = 384kHz、Class-D 帯域幅 = 80kHz (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$A_{V(SPK_AMP)}$	プログラマブル ゲイン	値は、0dB 入力 (1FS) で測定された低い PVDD によるクリッピングを無視した「ピーク電圧」を表します	13.75		29.4	dBV
$\Delta A_{V(SPK_AMP)}$	アンプのゲイン誤差	ゲイン = 26.4dBV		0.5		dB
f_{SPK_AMP}	スピーカ アンプのスイッチング周波数。	ソフトウェア モード		384		kHz
				480		kHz
		ハードウェア モード		768		kHz
				480		kHz
			768		kHz	
$R_{DS(on)}$	個別の出力 MOSFET のドレイン-ソース間オン抵抗	FET + メタライゼーション。V _{PVDD} = 24V、I _(OUT) = 500mA、T _J = 25°C		90		mΩ
PROTECTION						
OCE_{THRES}	過電流エラー スレッシュホールド (スピーカ電流)	スピーカ出力電流 (LC フィルタ後)、スピーカ電流、LC フィルタ = 10uH + 0.68μF、BTL モード	7.5	8	8.5	A
$UVE_{THRES(PVDD)}$	PVDD 低電圧誤差 スレッシュホールド		3.7	4	4.2	V
$OVE_{THRES(PVDD)}$	PVDD 過電圧誤差 スレッシュホールド		27	28.1	29.2	V
DCE_{THRES}	出力 DC 誤差保護 スレッシュホールド	Class-D アンプの出力 DC 電圧クロス スピーカ負荷により、出力 DC フォルト保護をトリガ		1.7		V
T_{DCDET}	出力 DC 検出時間	Class-D アンプの出力は DCE_{THRES} 以上のみです		570		ms
OTE_{THRES}	過熱エラー スレッシュホールド			165		°C
$OTE_{Hysteresis}$	過熱エラー ヒステリシス			10		°C
OTW_{THRES}	過熱警告 レベル	レジスタ 0x73 のビット 0 を読み出します		112		°C
OTW_{THRES}	過熱警告 レベル	レジスタ 0x73 のビット 1 を読み出します		122		°C
OTW_{THRES}	過熱警告 レベル	レジスタ 0x73 のビット 2 を読み出します		134		°C
OTW_{THRES}	過熱警告 レベル	レジスタ 0x73 のビット 3 を読み出します		146		°C

5.5 電気的特性 (続き)

自由気流での室温 25°C、1SPW モード、LC フィルタ = 10uH + 0.68μF、Fsw = 384kHz、Class-D 帯域幅 = 80kHz (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
オーディオ PERFORMACNE (ステレオ BTL)					
V _{os}	アンプのオフセット電圧	入力データがゼロで差動測定、29.4dBV アナログ ゲインで プログラム可能なゲイン構成、V _{PVDD} 範囲: 12V ~ 24V		-5	5 mV
P _{O(SPK)}	チャンネルあたりの出力電力	V _{PVDD} = 18V, LC フィルタ = 10uH + 0.68uF, R _{SPK} = 4Ω, f = 1KHz, THD + N = 10%		43	W
		V _{PVDD} = 18V, LC フィルタ = 10uH + 0.68uF, R _{SPK} = 4Ω, f = 1KHz, THD + N = 1%		35	W
		V _{PVDD} = 18V, LC フィルタ = 10uH + 0.68uF, R _{SPK} = 6Ω, f = 1KHz, THD + N = 10%		31	W
		V _{PVDD} = 18V, LC フィルタ = 10uH + 0.68uF, R _{SPK} = 6Ω, f = 1KHz, THD + N = 1%		25	W
		V _{PVDD} = 21V, LC フィルタ = 10uH + 0.68uF, R _{SPK} = 4Ω, f = 1KHz, THD + N = 10%		55	W
		V _{PVDD} = 21V, LC フィルタ = 10uH + 0.68uF, R _{SPK} = 4Ω, f = 1KHz, THD + N = 1%		44	W
		V _{PVDD} = 24V, LC フィルタ = 10uH + 0.68uF, R _{SPK} = 6Ω, f = 1KHz, THD + N = 10%		54	W
		V _{PVDD} = 24V, LC フィルタ = 10uH + 0.68uF, R _{SPK} = 6Ω, f = 1KHz, THD + N = 1%		43	W
THD+N _{SPK}	全高調波歪みおよびノイズ (P _O = 1W, f = 1kHz)	V _{PVDD} = 18V, LC フィルタ = 10uH + 0.68uF, 負荷 = 4Ω		0.08	%
		V _{PVDD} = 24V, LC フィルタ = 10uH + 0.68uF, 負荷 = 6Ω		0.06	%
ICN _(SPK)	アイドル チャンネル ノイズ (重み付け、AES17)	V _{PVDD} = 18V, LC フィルタ = 10uH + 0.68μF, 負荷 = 4Ω, Fsw = 768kHz, BD 変調		40	μVrms
		V _{PVDD} = 18V, LC フィルタ = 10uH + 0.68μF, 負荷 = 4Ω, Fsw = 384kHz, 1SPW 変調		35	μVrms
		V _{PVDD} = 24V, LC フィルタ = 10uH + 0.68μF, 負荷 = 6Ω, Fsw = 768kHz, BD 変調		35	μVrms
		V _{PVDD} = 24V, LC フィルタ = 10uH + 0.68μF, 負荷 = 6Ω, Fsw = 384kHz, 1SPW 変調		35	μVrms
DR	ダイナミックレンジ	A-Weighted, -60 dBFS 方式。V _{PVDD} = 24V, 負荷 = 6Ω アナログ ゲイン = 29.4dBV		111	dB
SNR	信号対雑音比	A-Weighted, 1% THD+N 出力レベルを基準、V _{PVDD} = 24V, 負荷 = 6Ω		111	dB
		A-Weighted, 1% THD+N 出力レベルを基準、V _{PVDD} = 18V, 負荷 = 4Ω		106	dB
PSRR	電源除去比	注入ノイズ = 1KHz, 1Vrms, V _{PVDD} = 24V, 入力オーディオ信号 = デジタル ゼロ		72	dB
X-talk _{SPK}	クロストーク (左から右への結合と右から左への結合の間の最悪のケース)	f = 1KHz, Murata のインダクタ (DFEG7030D-4R7) に基づく		100	dB

5.5 電気的特性 (続き)

自由気流での室温 25°C、1SPW モード、LC フィルタ = 10uH + 0.68μF、Fsw = 384kHz、Class-D 帯域幅 = 80kHz (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
オーディオ性能 (モノラル PBTL)						
V _{os}	アンプのオフセット電圧	ゼロ入力データで差動測定、 プログラマブル ゲインは 29.4dBV アナログゲインに設定、V _{PVDD} = 12V ~ 24V 範囲、 1SPW モード	-5		5	mV
P _{O(SPK)}	出力電力	V _{PVDD} = 24V、R _{SPK} = 3Ω、f = 1KHz、THD+N = 1%		84		W
		V _{PVDD} = 24V、R _{SPK} = 3Ω、f = 1KHz、THD+N = 10%		104		W
		V _{PVDD} = 18V、R _{SPK} = 2Ω、f = 1KHz、THD+N = 1%		67		W
		V _{PVDD} = 18V、R _{SPK} = 2Ω、f = 1KHz、THD+N = 10%		80		W
THD+N _{SPK}	全高調波歪みおよび ノイズ (P _O = 1W、f = 1kHz)	V _{PVDD} = 18V、LC フィルタ = 10uH + 0.68uF、R _{SPK} = 2Ω		0.07		%
		V _{PVDD} = 24V、LC フィルタ = 10uH + 0.68uF、R _{SPK} = 3Ω		0.05		%
DR	ダイナミックレンジ	A-Weighted、-60dBFS 方法、V _{PVDD} = 24V、R _{SPK} = 3Ω。		111		dB
SNR	信号対雑音比	A-Weighted、1% THD+N 出力レベルを基準 、V _{PVDD} = 24V、R _{SPK} = 3Ω		108		dB
		A-Weighted、1% THD+N 出力レベルを基準 、V _{PVDD} = 18V、R _{SPK} = 2Ω		106		dB
PSRR	電源除去比	注入ノイズ = 1KHz、1Vrms、V _{PVDD} = 18V、 入力オーディオ信号 = デジタル ゼロ		72		dB

5.6 タイミング要件

		最小値	公称値	最大値	単位
シリアル オーディオ ポートのタイミング - ターゲット モード					
f _{SCLK}	SCLK 周波数	1.024			MHz
t _{SCLK}	SCLK 周期	40			ns
t _{SCLKL}	SCLK パルス幅、low	16			ns
t _{SCLKH}	SCLK パルス幅、high	16			ns
t _{SL}	SCLK の立ち上がりから LRCLK/FS エッジまで	8			ns
t _{LS}	LRCK/FS エッジから SCLK 立ち上がりエッジまで	8			ns
t _{SU}	データ セットアップ時間、SCLK 立ち上がりエッジ前	8			ns
t _{DH}	データ ホールド時間、SCLK 立ち上がりエッジ後	8			ns
t _{DFS}	SCLK 立ち下がりエッジからのデータ遅延時間			15	ns
I²C バス タイミング - スタンダード					
f _{SCL}	SCL クロック周波数			100	kHz
t _{BUF}	STOP 条件と START 条件の間のバス フリー時間	4.7			μs
t _{LOW}	SCL クロックの Low 期間	4.7			μs
t _{HI}	SCL クロックの High 期間	4			μs
t _{RS-SU}	(反復) 開始条件のセットアップ時間	4.7			μs
t _{S-HD}	(反復) 開始条件のホールド時間	4			μs
t _{D-SU}	データ セットアップ時間	250			ns
t _{D-HD}	データ ホールド時間	0		3450	ns
t _{SCL-R}	SCL 信号の立ち上がり時間	20 + 0.1C _B		1000	ns
t _{SCL-R1}	START 条件の繰り返し、およびアクリッジビット後の SCL 信号の立ち上がり時間	20 + 0.1C _B		1000	ns
t _{SCL-F}	SCL 信号の立ち下がり時間	20 + 0.1C _B		1000	ns
t _{SDA-R}	SDA 信号の立ち上がり時間	20 + 0.1C _B		1000	ns
t _{SDA-F}	SDA 信号の立ち下がり時間	20 + 0.1C _B		1000	ns
t _{P-SU}	停止条件のセットアップ時間	4			μs
C _b	各バスラインの容量性負荷			400	pf
I²C バス タイミング - ファスト					
f _{SCL}	SCL クロック周波数			400	kHz
t _{BUF}	STOP 条件と START 条件の間のバス フリー時間	1.3			μs
t _{LOW}	SCL クロックの Low 期間	1.3			μs
t _{HI}	SCL クロックの High 期間	600			ns
t _{RS-SU}	(反復) 開始条件のセットアップ時間	600			ns
t _{RS-HD}	(反復) 開始条件のホールド時間	600			ns
t _{D-SU}	データ セットアップ時間	100			ns
t _{D-HD}	データ ホールド時間	0		900	ns
t _{SCL-R}	SCL 信号の立ち上がり時間	20 + 0.1C _B		300	ns
t _{SCL-R1}	START 条件の繰り返し、およびアクリッジビット後の SCL 信号の立ち上がり時間	20 + 0.1C _B		300	ns
t _{SCL-F}	SCL 信号の立ち下がり時間	20 + 0.1C _B		300	ns
t _{SDA-R}	SDA 信号の立ち上がり時間	20 + 0.1C _B		300	ns
t _{SDA-F}	SDA 信号の立ち下がり時間	20 + 0.1C _B		300	ns
t _{P-SU}	停止条件のセットアップ時間	600			ns
t _{SP}	抑制されたスパイクのパルス幅			50	ns
C _b	各バスラインの容量性負荷			400	pf

5.7 代表的特性

5.7.1 BD 変調によるブリッジ接続負荷 (BTL) 構成曲線

自由気流での室温 25°C (特に記述のない限り)。測定には、Audio Precision System 2722 を使用し、アナログアナライザフィルタを 20kHz のブリックウォール フィルタに設定しました。特に記述のない限り、すべての測定は、オーディオ周波数を 1kHz、デバイスの PWM 周波数を 384kHz、80kHz の Class-D アンプループ帯域幅、10μH/0.68μF 付き LC フィルタに設定して行われます。

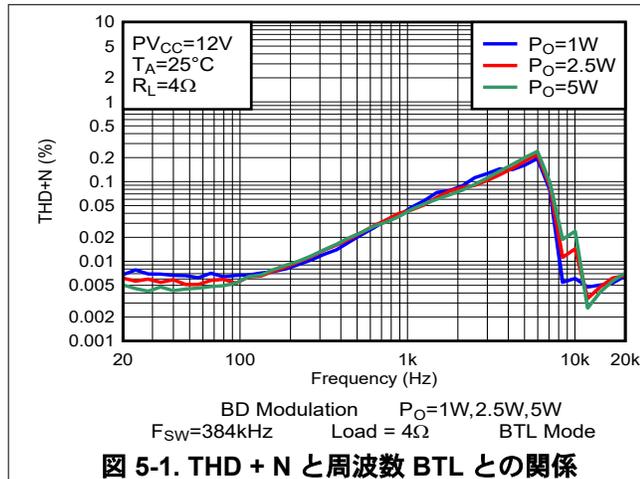


図 5-1. THD + N と周波数 BTL との関係

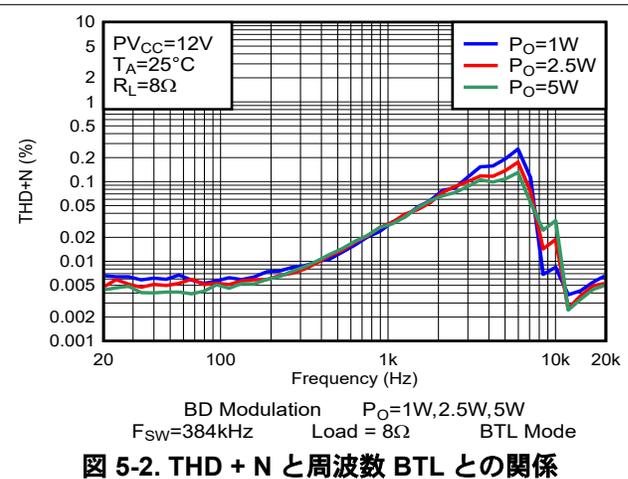


図 5-2. THD + N と周波数 BTL との関係

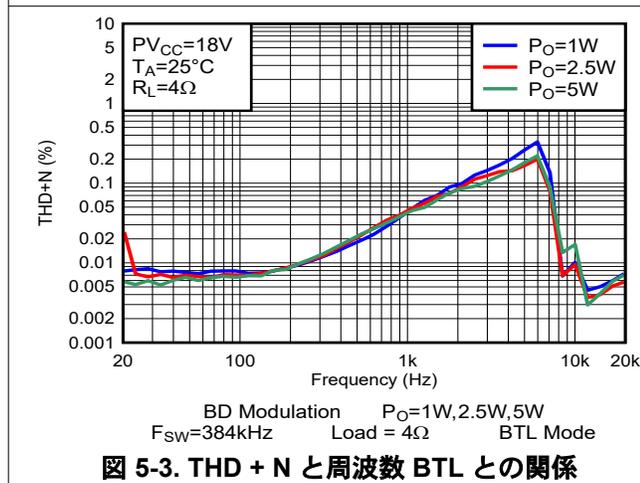


図 5-3. THD + N と周波数 BTL との関係

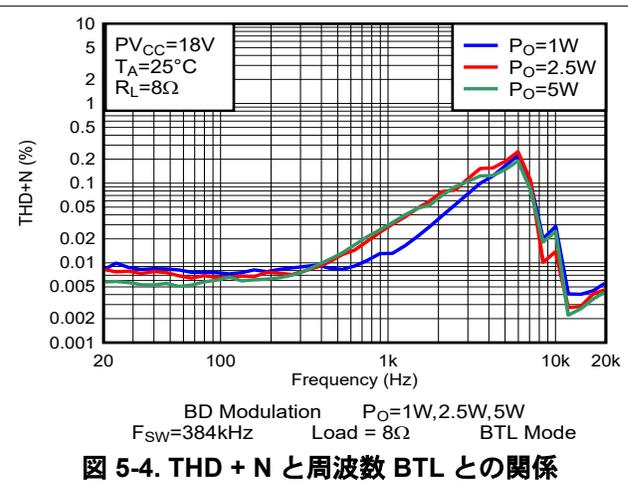


図 5-4. THD + N と周波数 BTL との関係

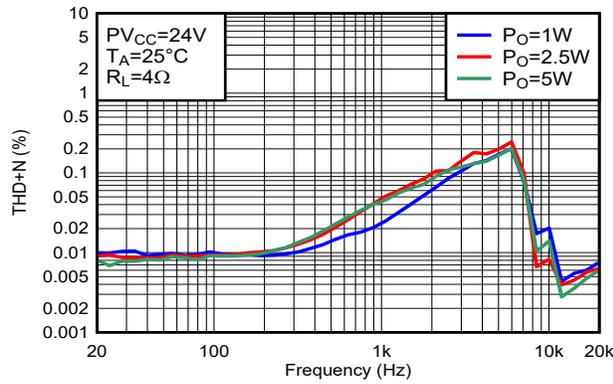


図 5-5. THD + N と周波数 BTL との関係

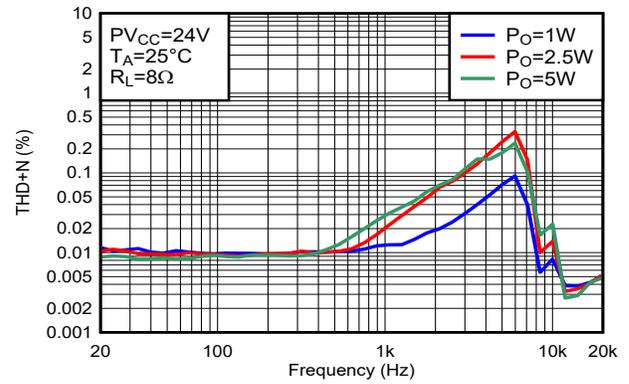


図 5-6. THD + N と周波数 BTL との関係

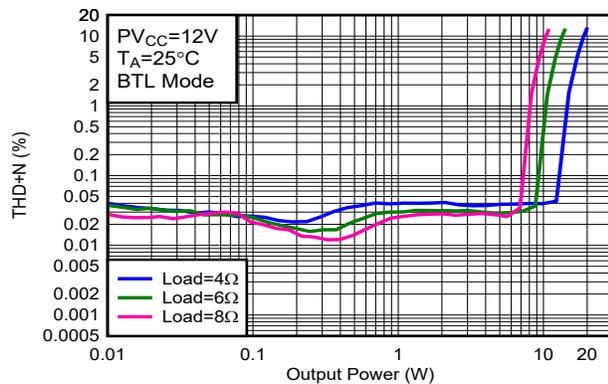


図 5-7. THD+N と出力電力 BTL との関係

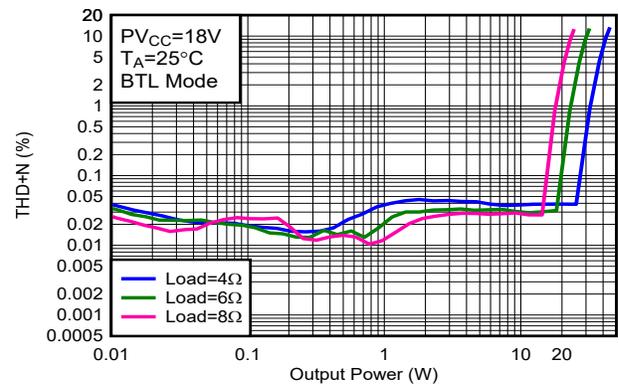


図 5-8. THD+N と出力電力 BTL との関係

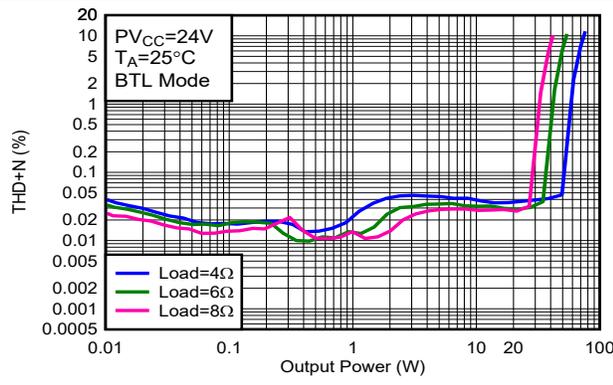


図 5-9. THD+N と出力電力 BTL との関係

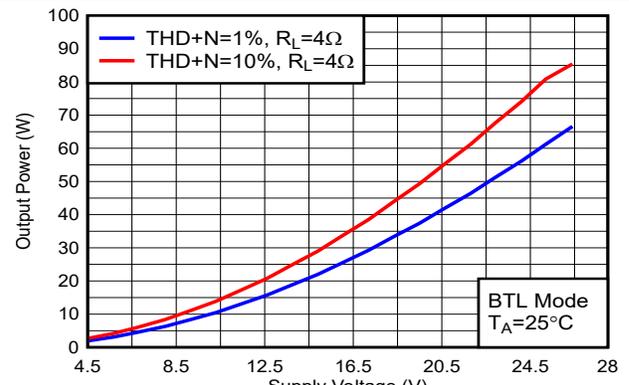
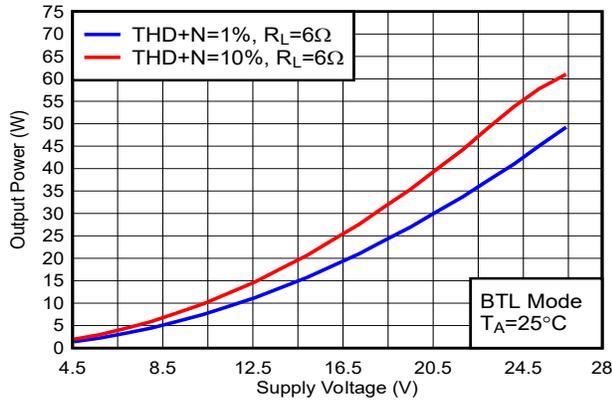
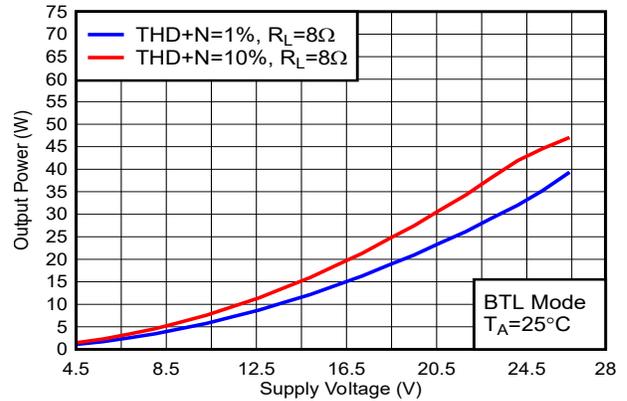


図 5-10. 出力電力と電源電圧との関係



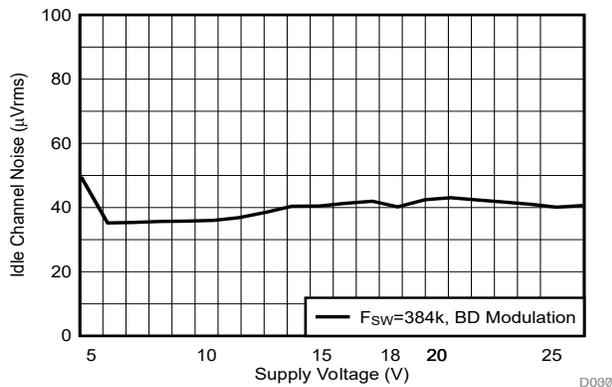
BD Modulation
F_{SW}=384kHz Load = 6Ω BTL Mode

図 5-11. 出力電力と電源電圧との関係



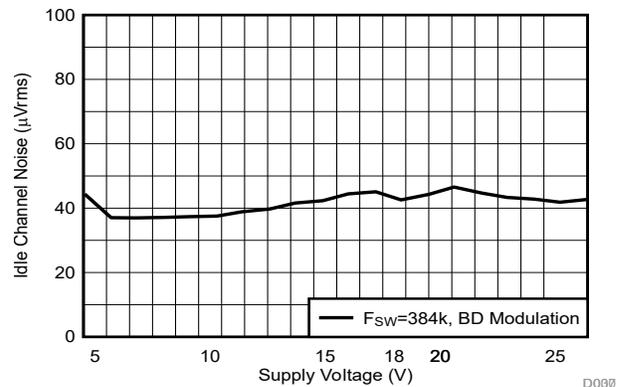
BD Modulation
F_{SW}=384kHz Load = 8Ω BTL Mode

図 5-12. 出力電力と電源電圧との関係



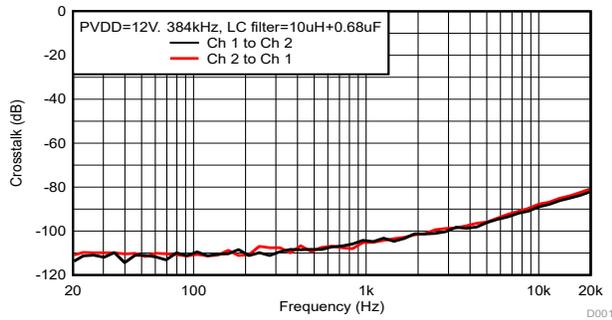
BD Modulation
F_{SW}=384kHz Load = 4Ω BTL Mode

図 5-13. アイドルチャンネルノイズと電源電圧との関係



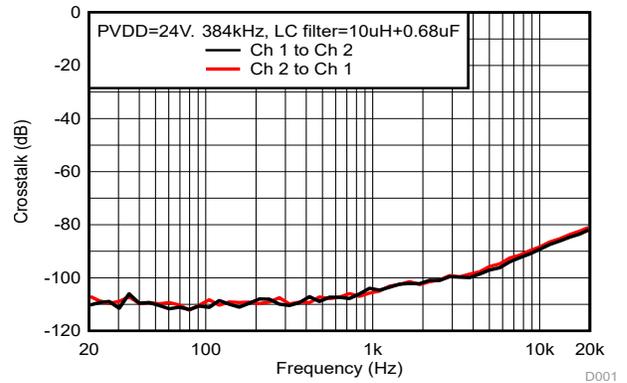
BD Modulation
F_{SW}=384kHz Load = 8Ω BTL Mode

図 5-14. アイドルチャンネルノイズと電源電圧との関係



PVDD=12V BD Modulation
F_{SW}=384kHz Load = 4Ω BTL Mode

図 5-15. クロストーク



PVDD=24V BD Modulation
F_{SW}=384kHz Load = 4Ω BTL Mode

図 5-16. クロストーク

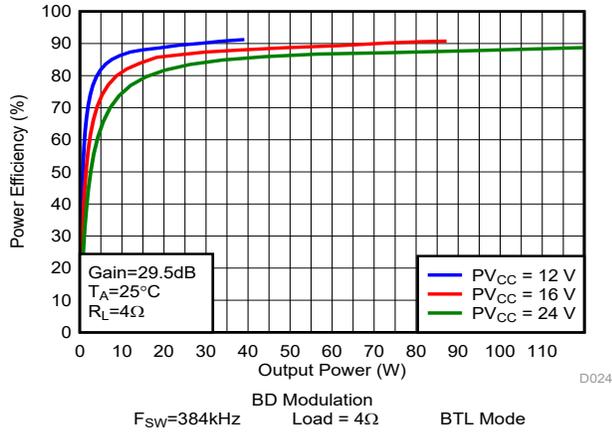


図 5-17. 効率と出力電力との関係

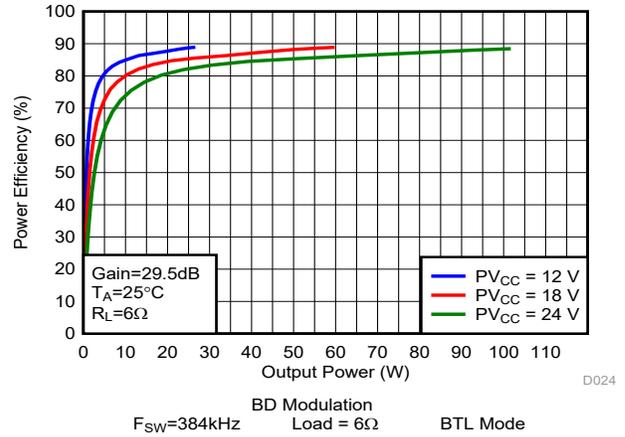


図 5-18. 効率と出力電力との関係

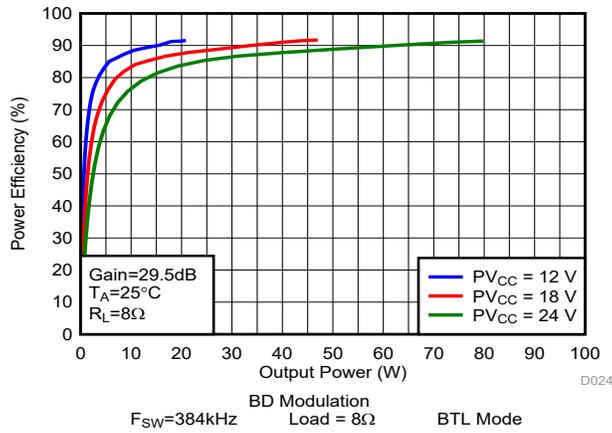


図 5-19. 効率と出力電力との関係

5.7.2 1SPW 変調によるブリッジ接続負荷 (BTL) 構成曲線

自由気流での室温 25°C (特に記述のない限り)。測定には、Audio Precision System 2722 を使用し、アナログアナライザフィルタを 20kHz のブリックウォールフィルタに設定しました。特に記述のない限り、すべての測定はオーディオ周波数を 1kHz、デバイスの PWM 周波数を 384kHz、80kHz の Class-D ループ帯域幅に設定した状態で行われます。ただし、LC フィルタの使用場所は 10μH/0.68μF でした。

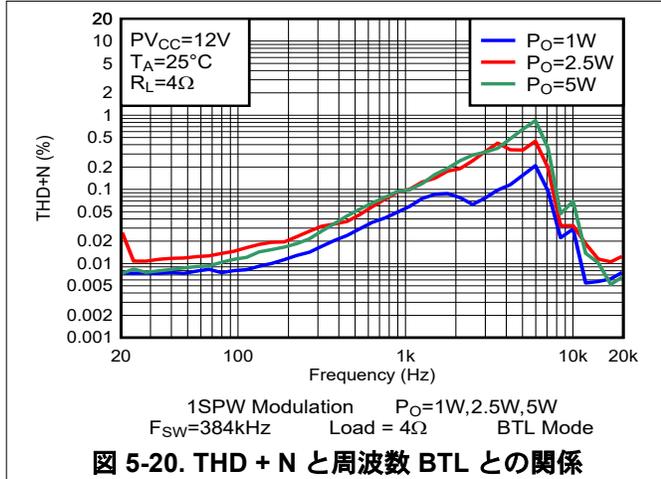


図 5-20. THD + N と周波数 BTL との関係

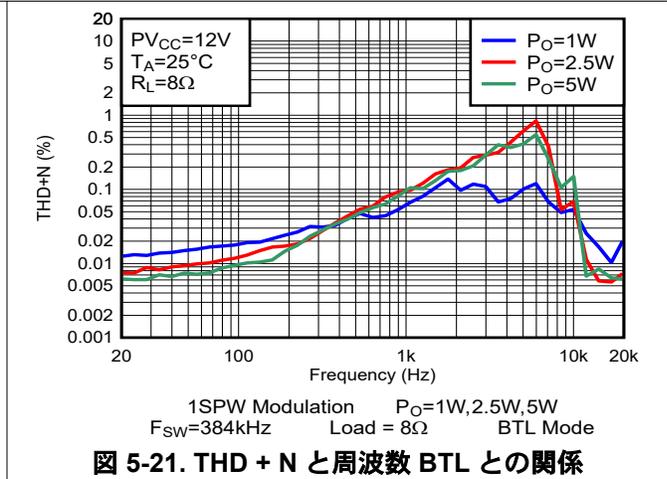


図 5-21. THD + N と周波数 BTL との関係

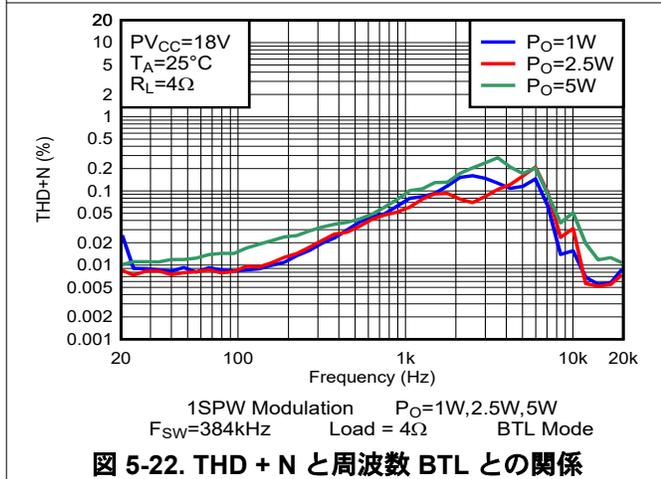


図 5-22. THD + N と周波数 BTL との関係

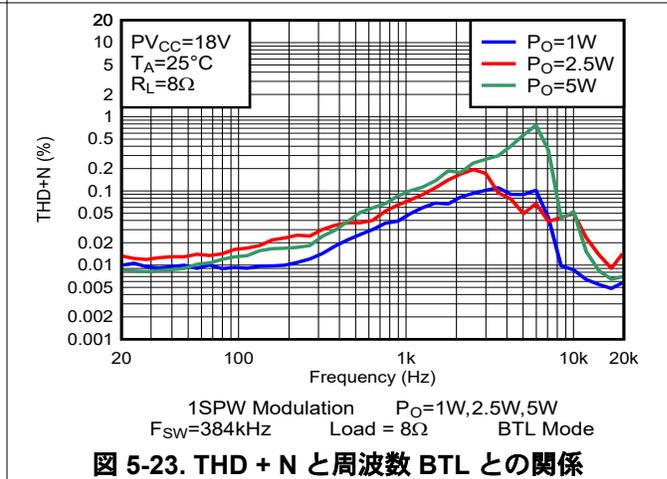


図 5-23. THD + N と周波数 BTL との関係

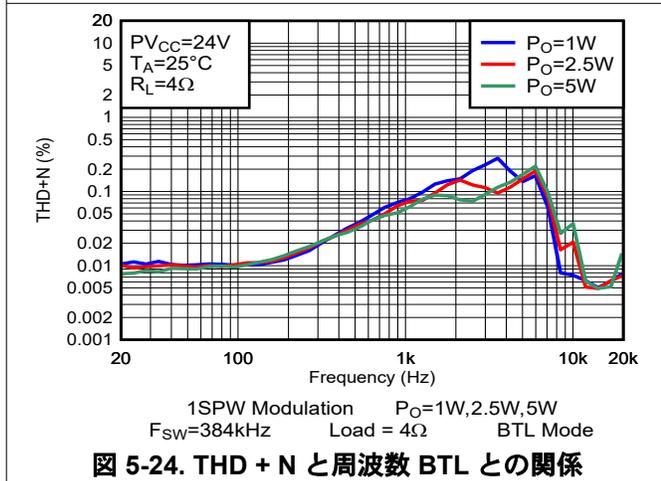


図 5-24. THD + N と周波数 BTL との関係

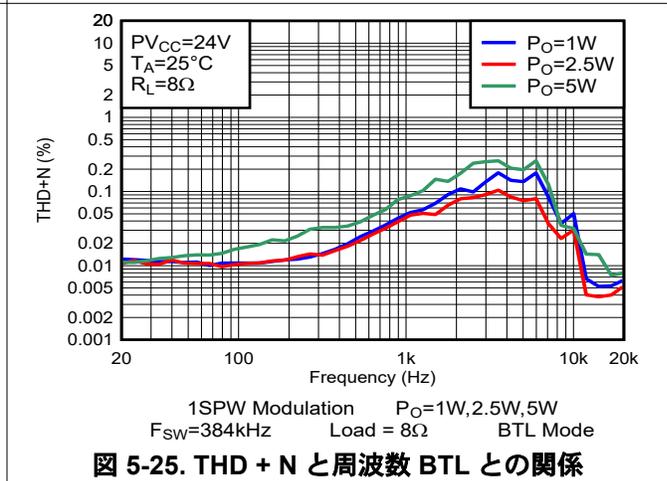


図 5-25. THD + N と周波数 BTL との関係

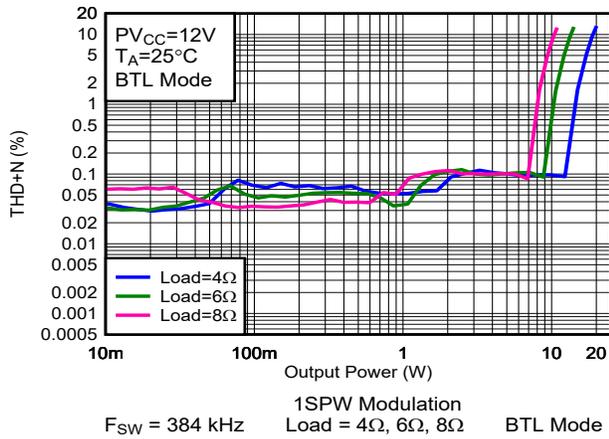


図 5-26. THD+N と出力電力 BTL との関係

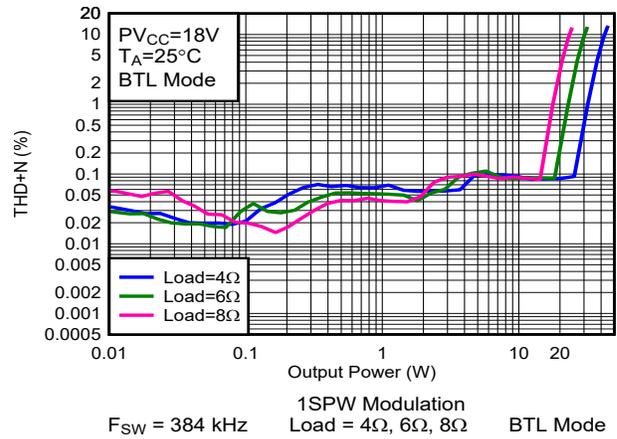


図 5-27. THD+N と出力電力 BTL との関係

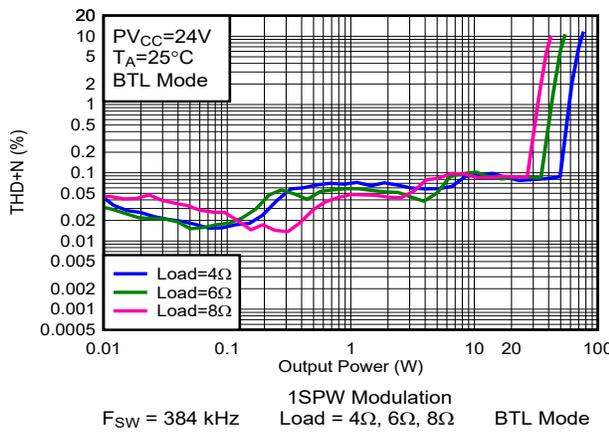


図 5-28. THD+N と出力電力 BTL との関係

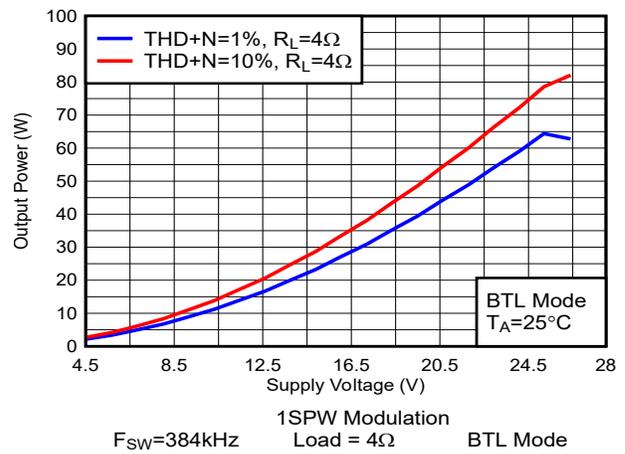


図 5-29. 出力電力と電源電圧との関係

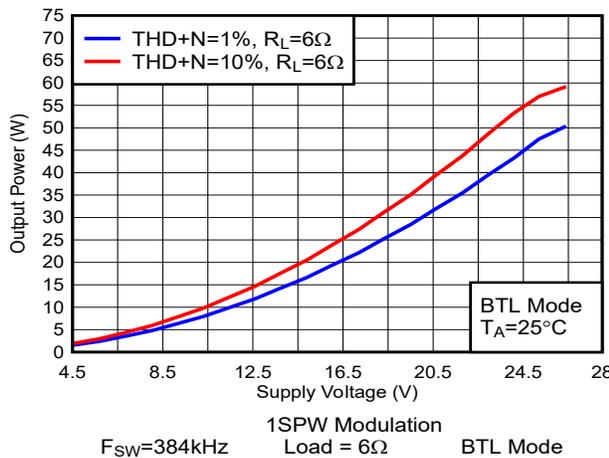


図 5-30. 出力電力と電源電圧との関係

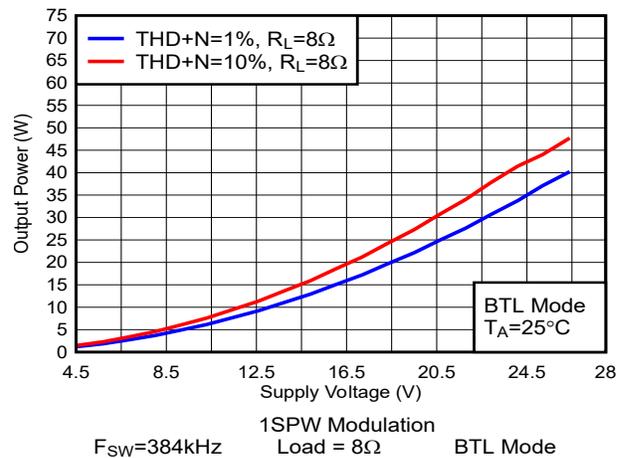


図 5-31. 出力電力と電源電圧との関係

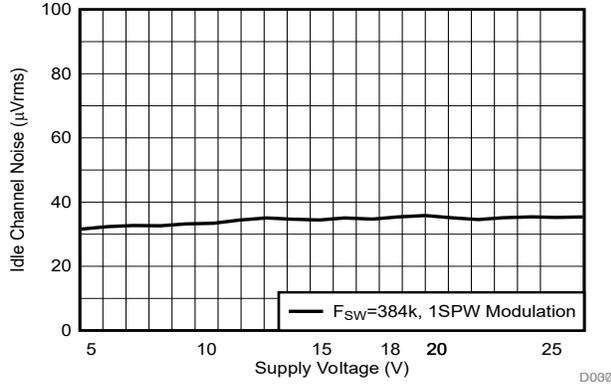


図 5-32. アイドル チャンネル ノイズと電源電圧との関係

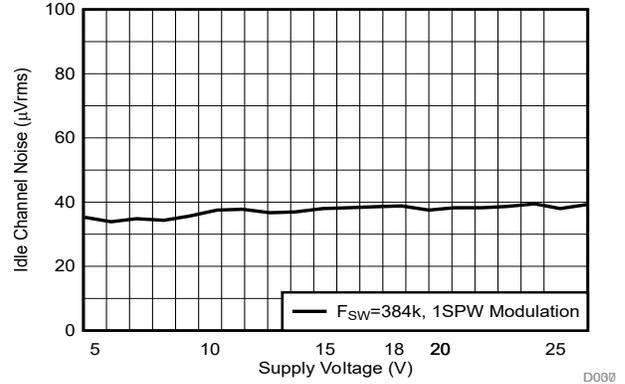


図 5-33. アイドル チャンネル ノイズと電源電圧との関係

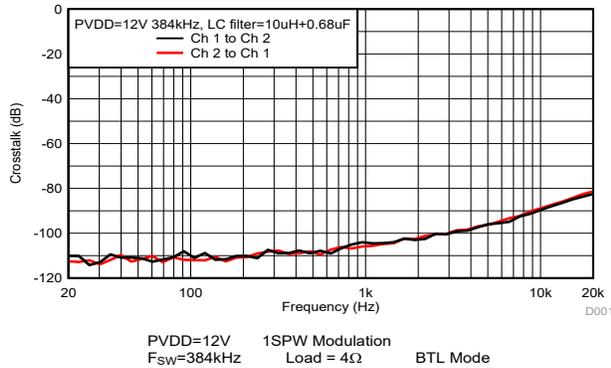


図 5-34. クロストーク

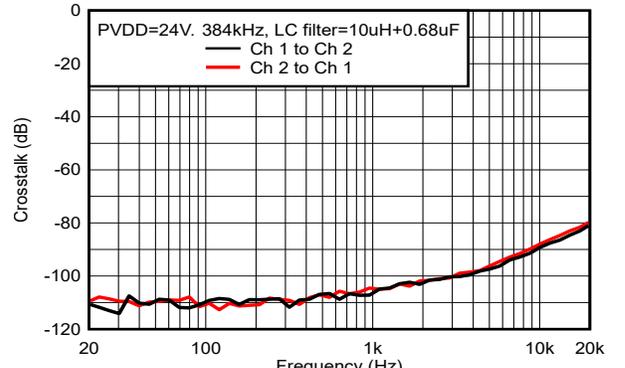


図 5-35. クロストーク - old

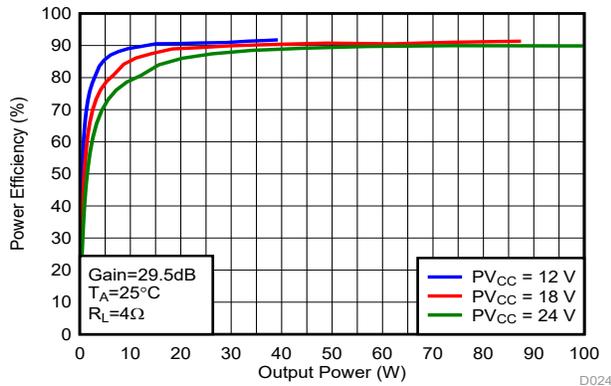


図 5-36. 効率と出力電力との関係

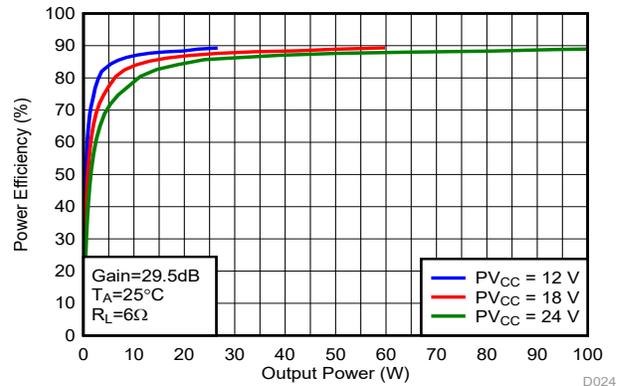


図 5-37. 効率と出力電力との関係

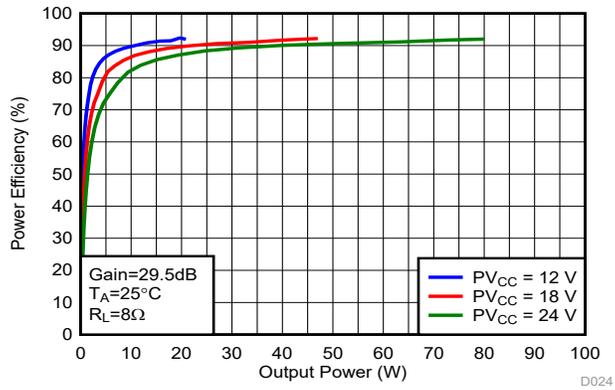


図 5-38. 効率と出力電力との関係

5.7.3 BD 変調による並列ブリッジ接続負荷 (PBTL) 構成

自由気流での室温 25°C (特に記述のない限り)。測定には、Audio Precision System 2722 を使用し、アナログアナライザフィルタを 20kHz のブリックウォールフィルタに設定しました。すべての測定は、オーディオ周波数を 1kHz、デバイスの PWM 周波数を 384kHz、クラス D アンプのループ帯域幅を 80kHz に設定して行いました。特に明記されていない限り、LC フィルターは 10μH / 0.68μF (ポストフィルタ PBTL、出力フィルターのインダクタ部分の後の 2 つの出力チャンネルの結合、[セクション 9.2.4](#) の詳細を参照) を使用しました。

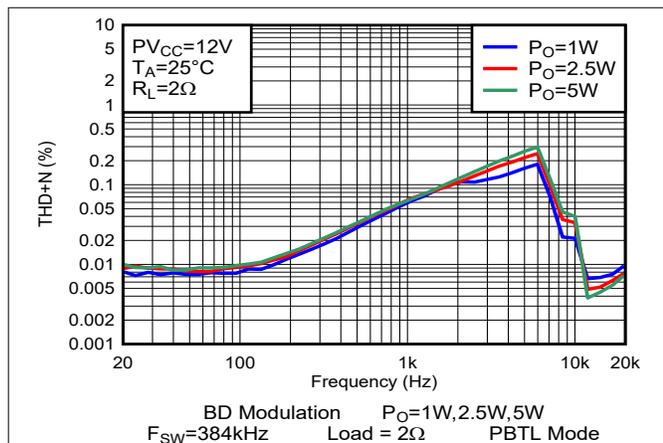


図 5-39. THD + N と周波数 PBTL との関係

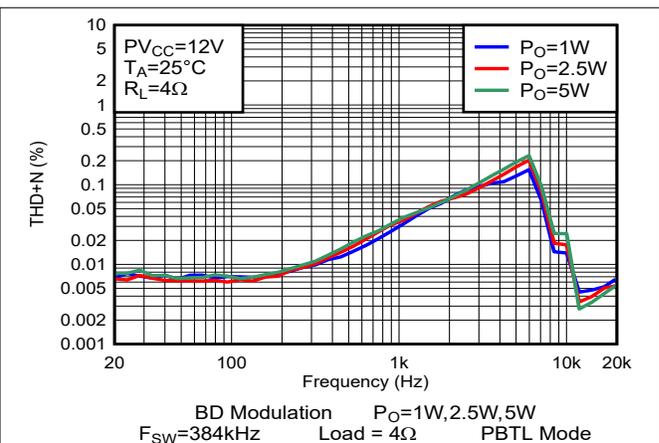


図 5-40. THD + N と周波数 PBTL との関係

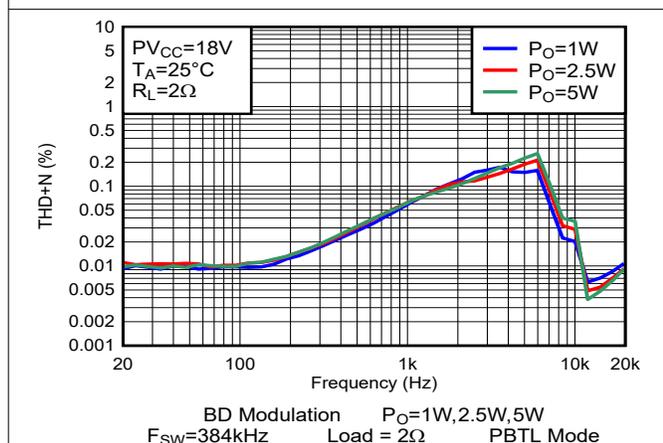


図 5-41. THD + N と周波数 PBTL との関係

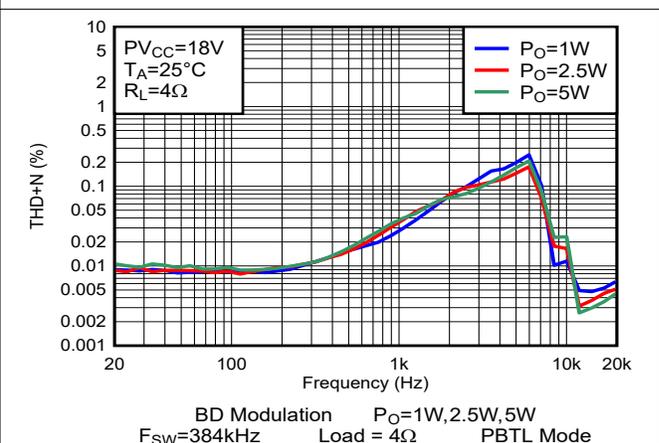


図 5-42. THD + N と周波数 PBTL との関係

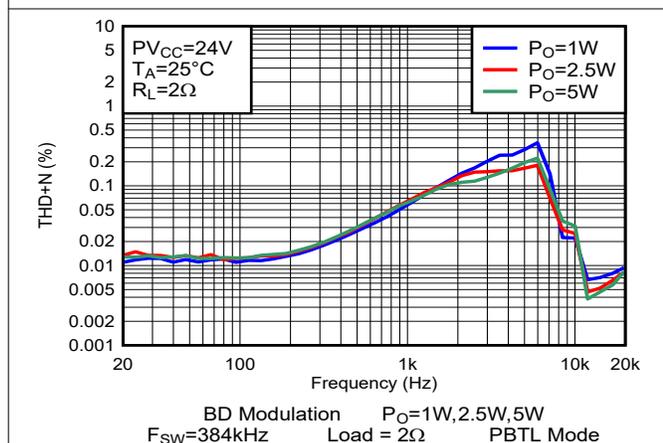


図 5-43. THD + N と周波数 PBTL との関係

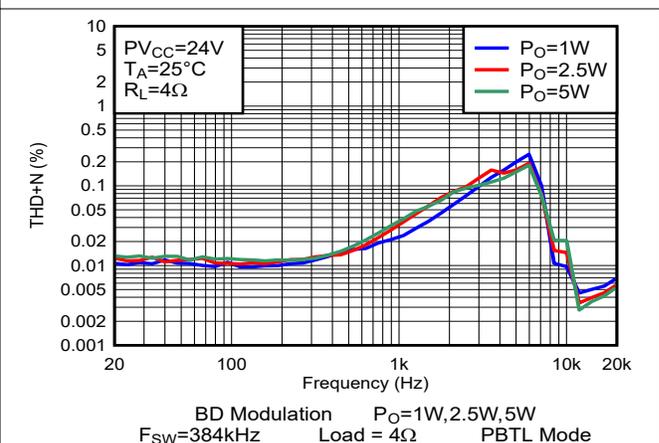


図 5-44. THD + N と周波数 PBTL との関係

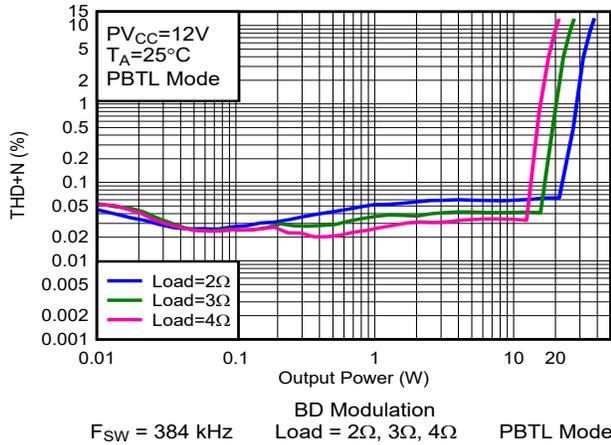


図 5-45. THD+N と出力電力 PBTL との関係

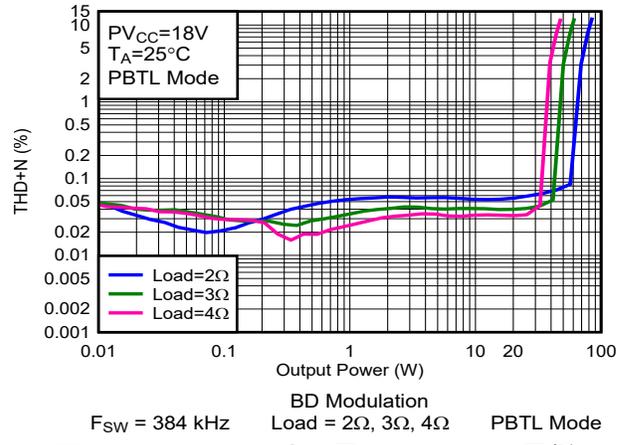


図 5-46. THD+N と出力電力 PBTL との関係

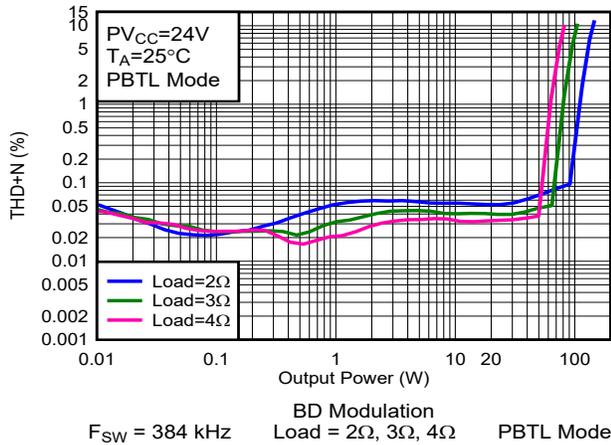


図 5-47. THD+N と出力電力 PBTL との関係

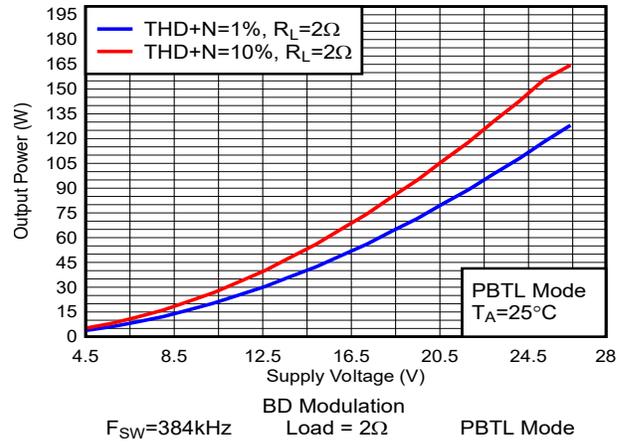


図 5-48. 出力電力と電源電圧との関係

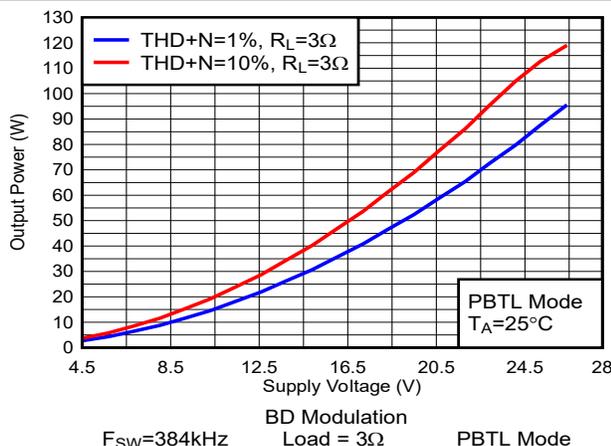


図 5-49. 出力電力と電源電圧との関係

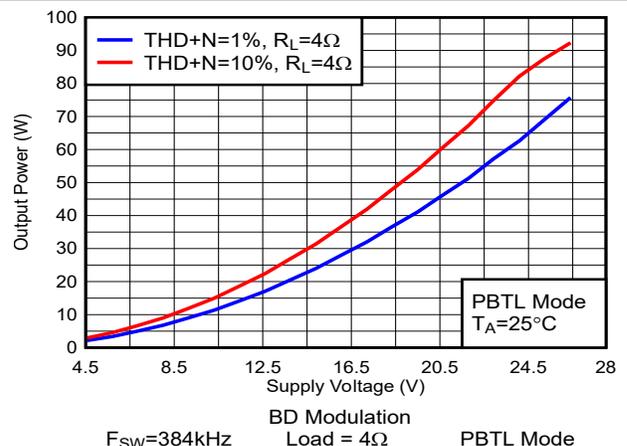


図 5-50. 出力電力と電源電圧との関係

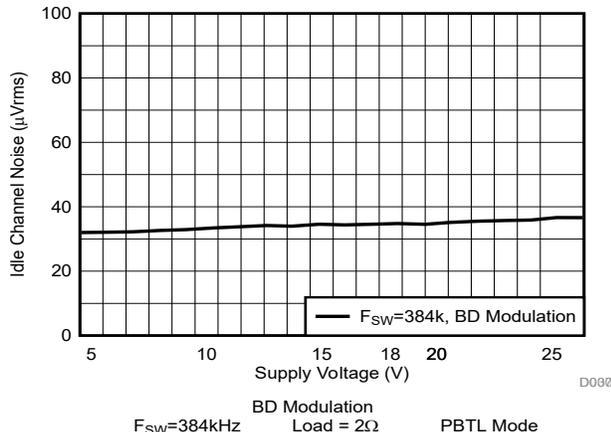


図 5-51. アイドル チャネル ノイズと電源電圧との関係

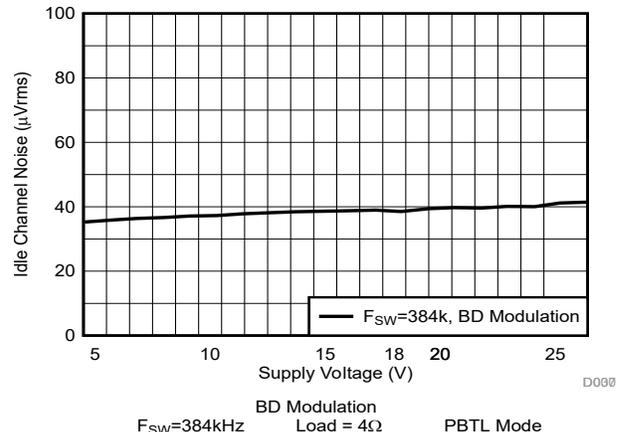


図 5-52. アイドル チャネル ノイズと電源電圧との関係

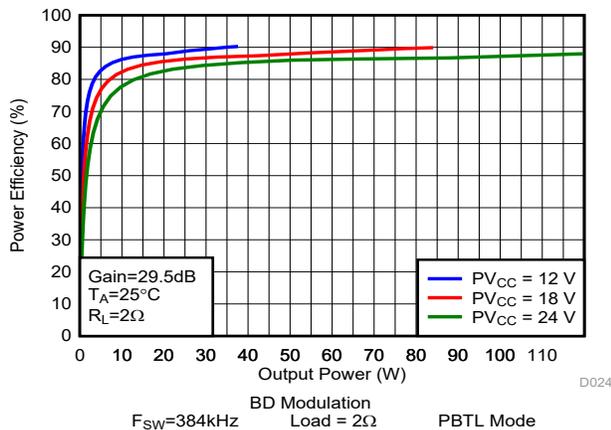


図 5-53. 効率と出力電力との関係

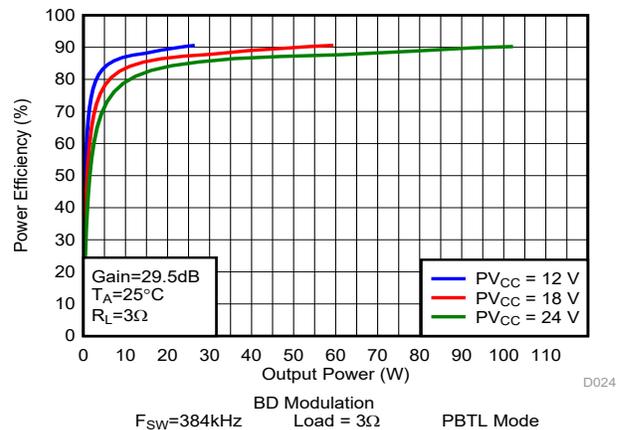


図 5-54. 効率と出力電力との関係

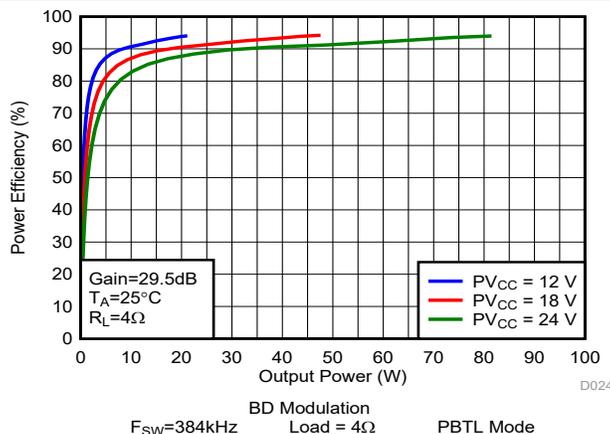


図 5-55. 効率と出力電力との関係

5.7.4 1SPW 変調による並列ブリッジ接続負荷 (PBTL) 構成

自由気流での室温 25°C (特に記述のない限り)。測定には、Audio Precision System 2722 を使用し、アナログアナライザフィルタを 20kHz のブリックウォールフィルタに設定しました。すべての測定は、オーディオ周波数を 1kHz、デバイスの PWM 周波数を 384kHz、クラス D アンプのループ帯域幅を 80kHz に設定して行いました。特に明記されていない限り、LC フィルターは 10 μ H / 0.68 μ F (ポストフィルタ PBTL、出力フィルターのインダクタ部分の後の 2 つの出力チャンネルの結合、[セクション 9.2.4](#) の接続方法を参照)を使用しました。

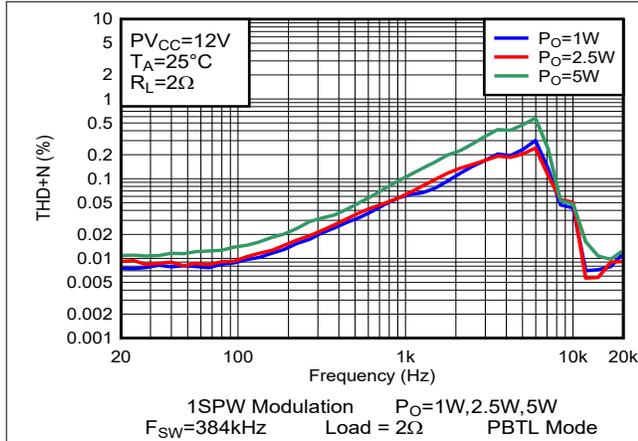


図 5-56. THD + N と周波数 PBTL との関係

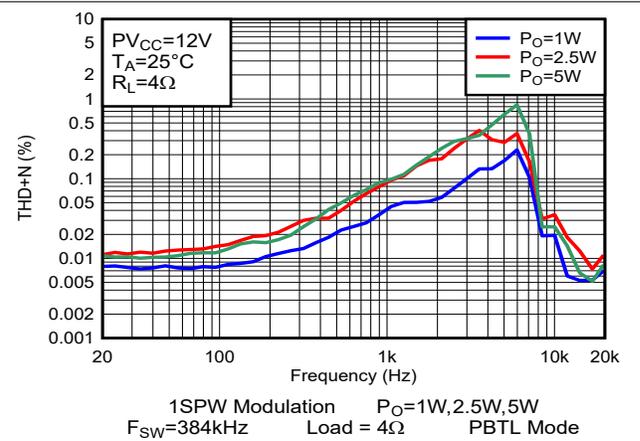


図 5-57. THD + N と周波数 PBTL との関係

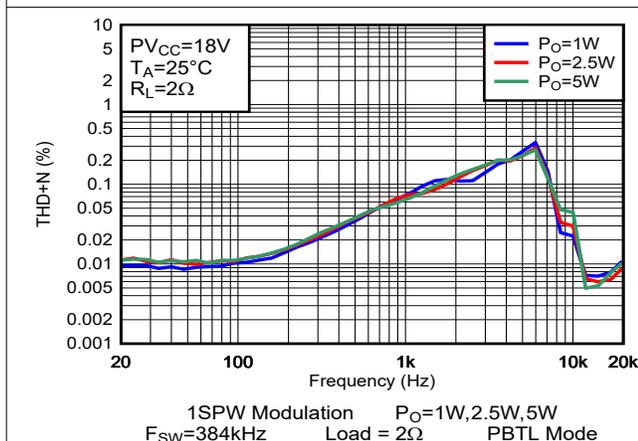


図 5-58. THD + N と周波数 PBTL との関係

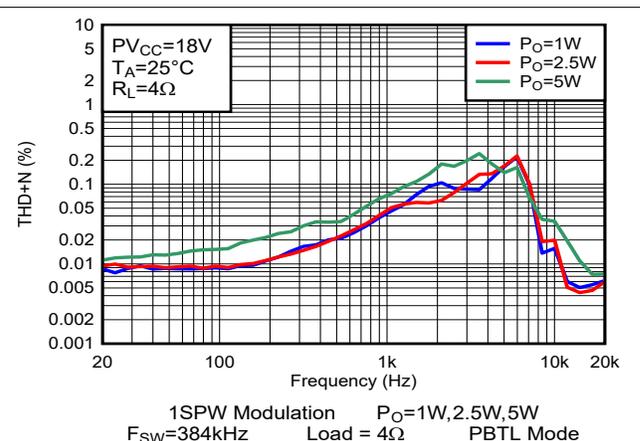


図 5-59. THD + N と周波数 PBTL との関係

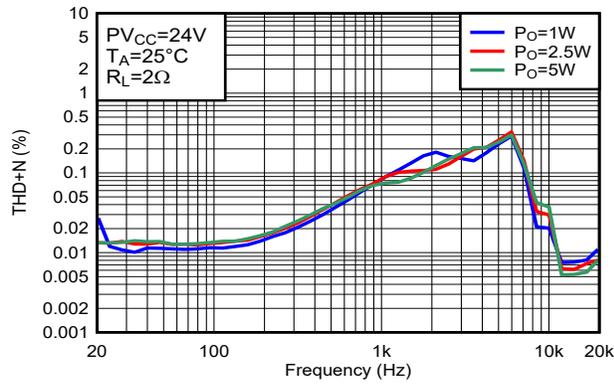


図 5-60. THD + N と周波数 PBTL との関係

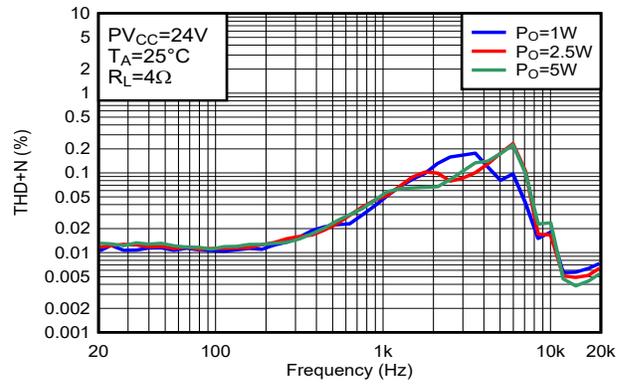


図 5-61. THD + N と周波数 PBTL との関係

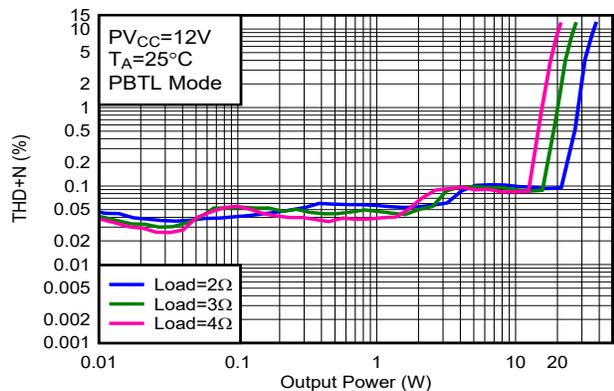


図 5-62. THD+N と出力電力 PBTL との関係

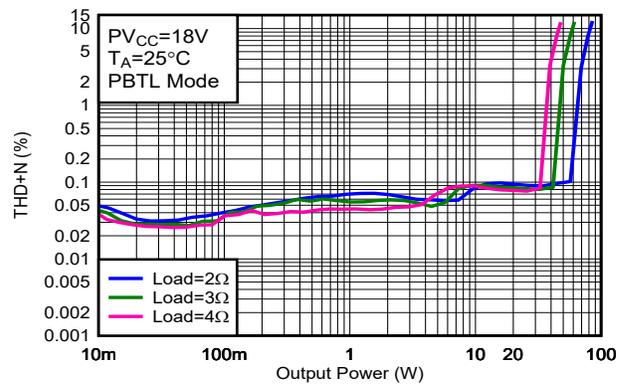


図 5-63. THD+N と出力電力 PBTL との関係

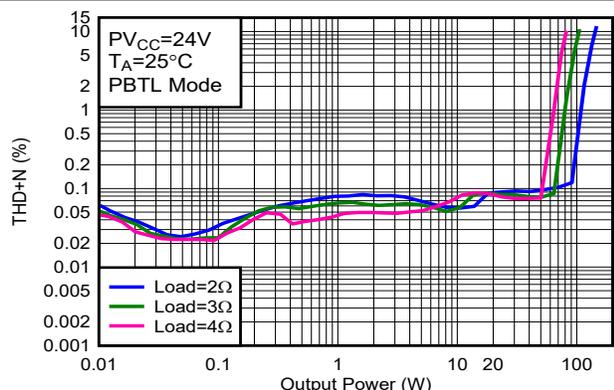


図 5-64. THD+N と出力電力 PBTL との関係

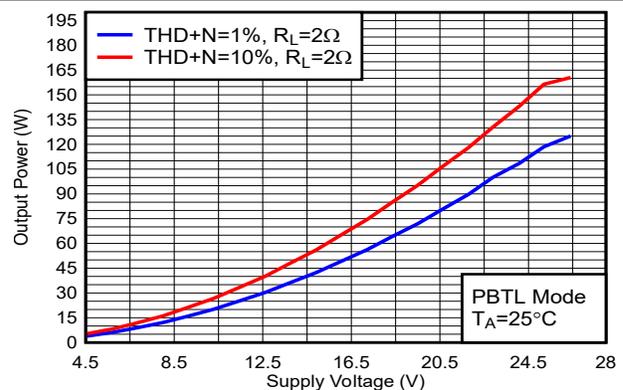


図 5-65. 出力電力と電源電圧との関係

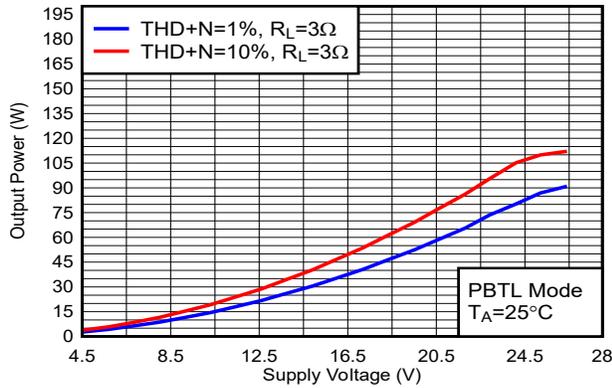


図 5-66. 出力電力と電源電圧との関係

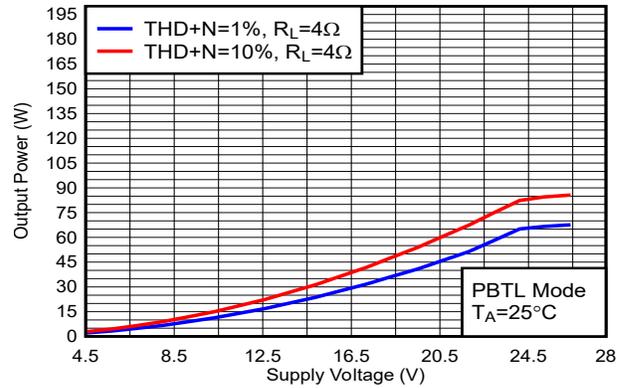


図 5-67. 出力電力と電源電圧との関係

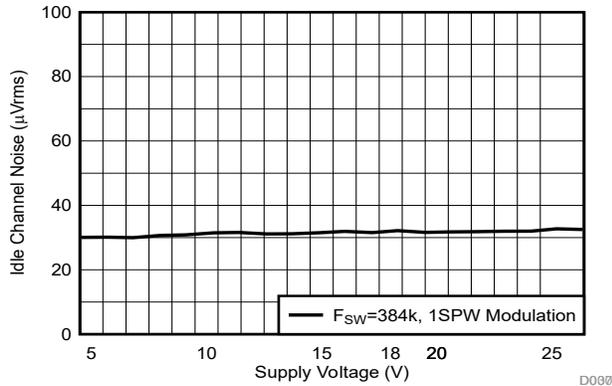


図 5-68. アイドルチャンネルノイズと電源電圧との関係

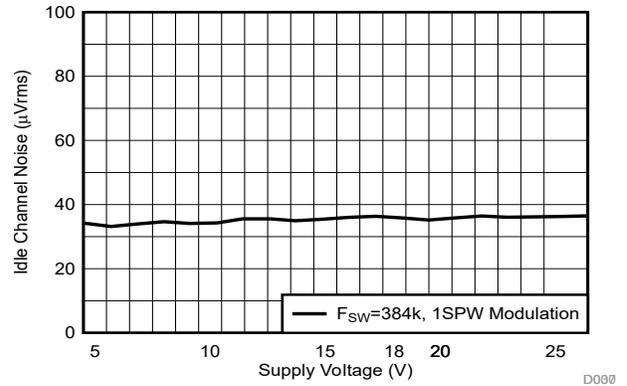


図 5-69. アイドルチャンネルノイズと電源電圧との関係

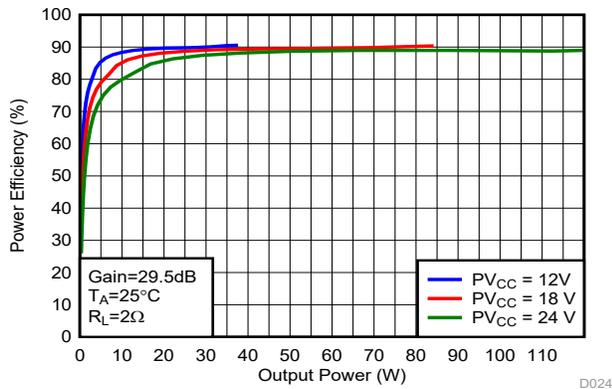


図 5-70. 効率と出力電力との関係

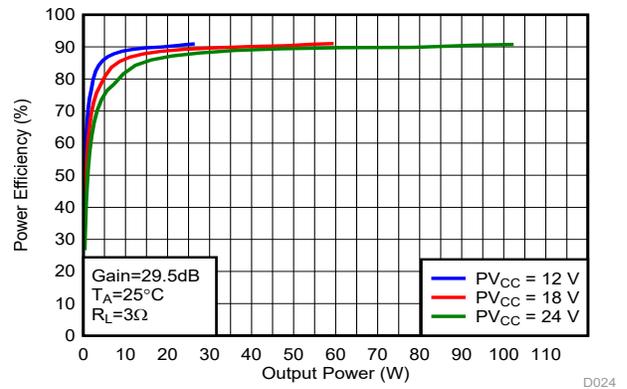


図 5-71. 効率と出力電力との関係

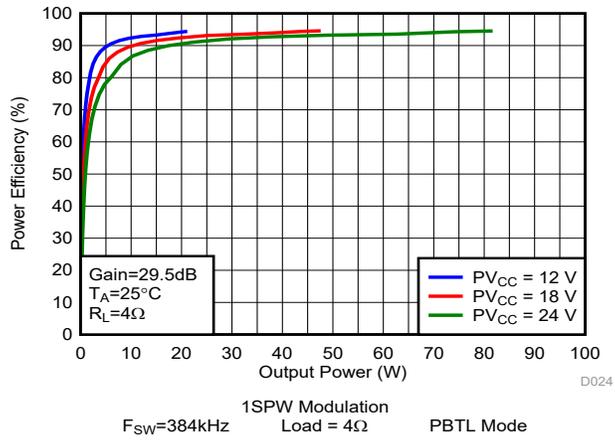


図 5-72. 効率と出力電力との関係

6 パラメータ測定情報

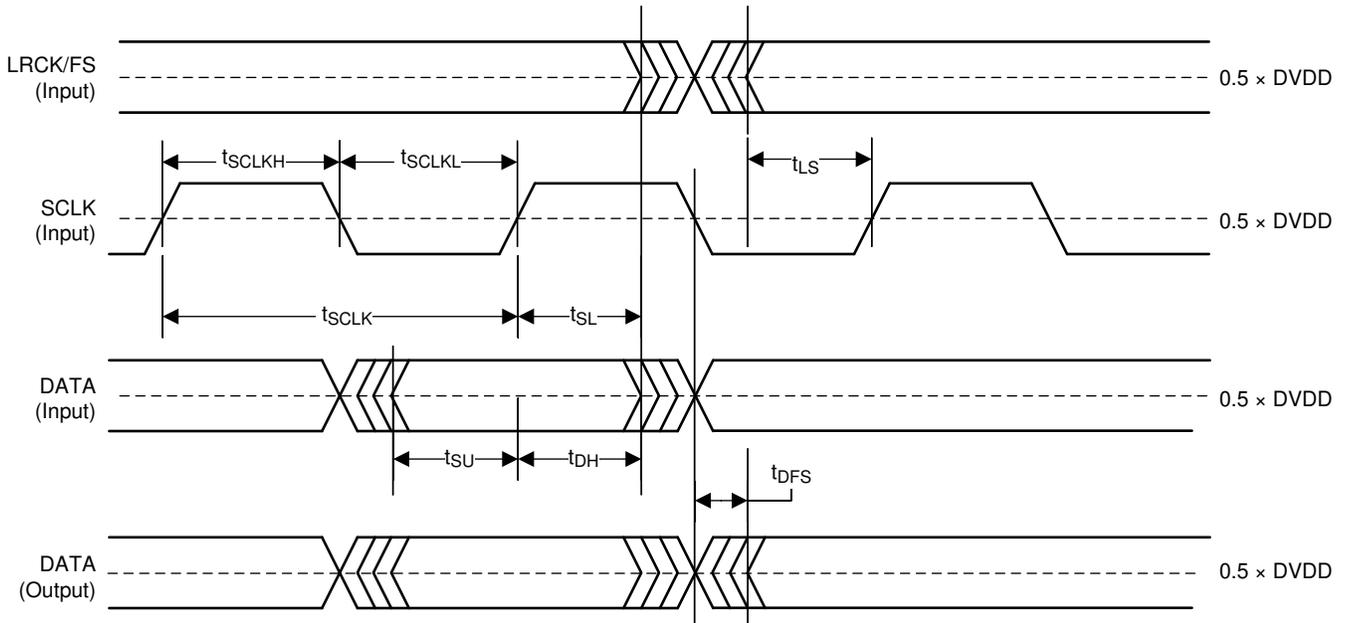


図 6-1. シリアル オーディオ ポートのタイミング ターゲット モード

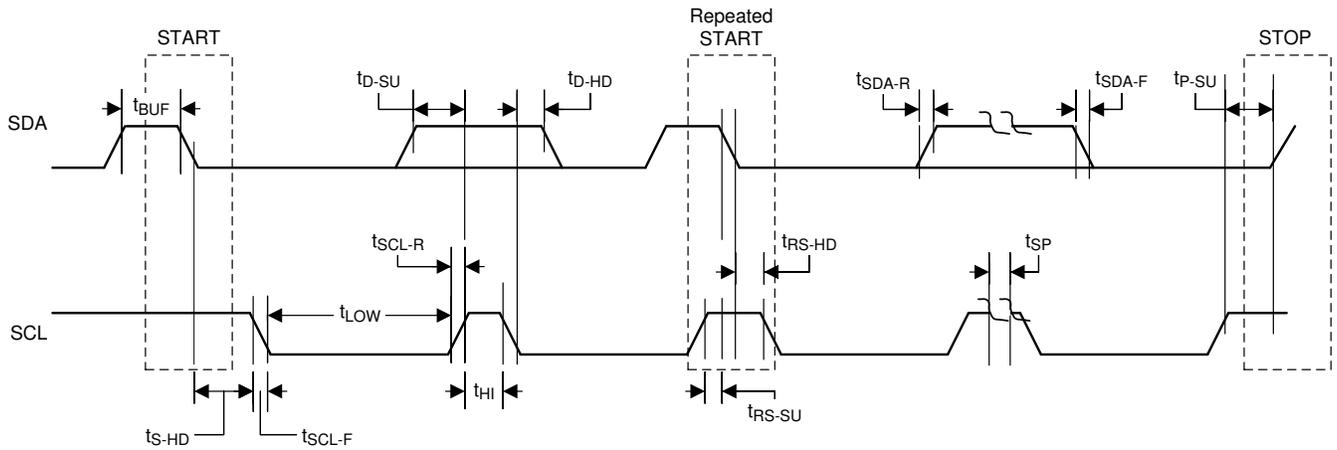


図 6-2. I²C 通信ポート タイミング図

7 詳細説明

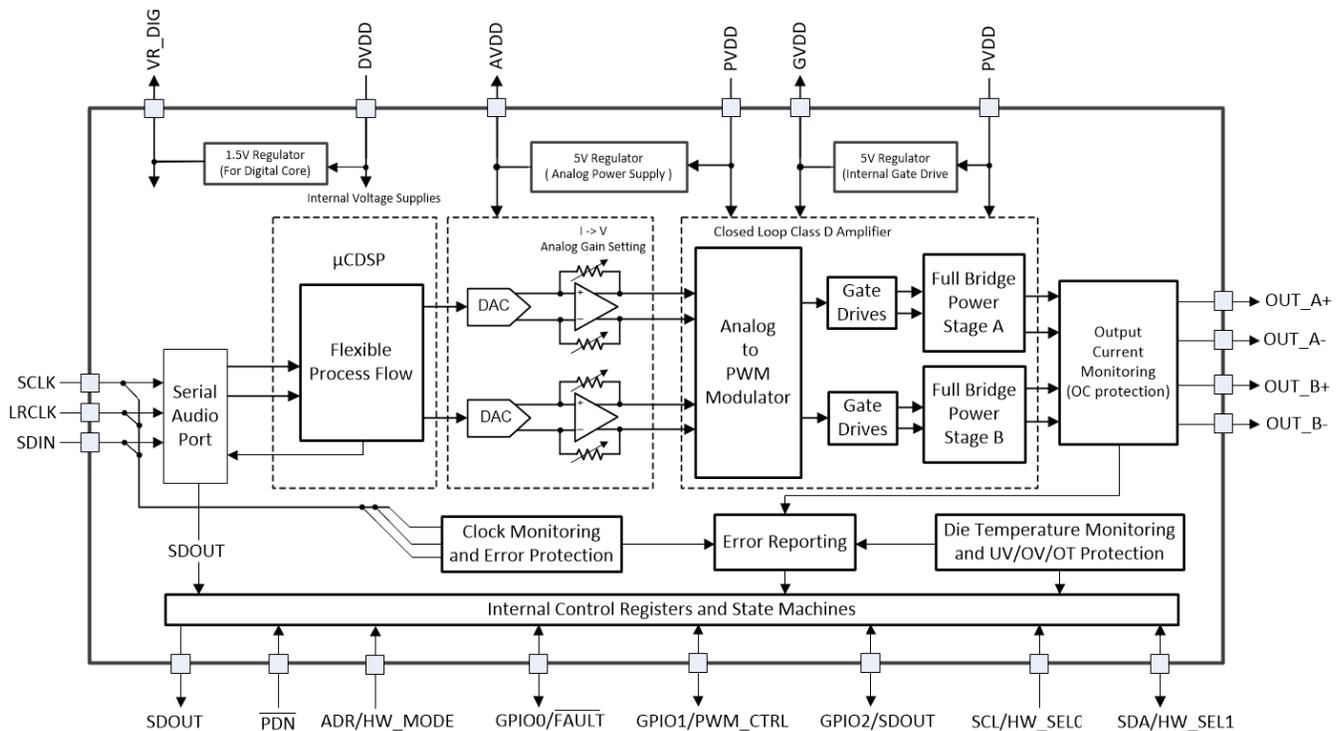
7.1 概要

TAS5828M デバイスは、4 つの主要なビルディング ブロックを一つの集積デバイスに統合し、音質、柔軟性、使いやすさを最大限に高めています。4 つの主要なビルディング ブロックを以下に示します。

- ステレオ デジタル から PWM へのモジュレータ。
- オーディオ DSP サブシステム。
- フレキシブルな閉ループ アンプは、ステレオまたはモノラルで動作し、複数の異なるスイッチング周波数で動作し、さまざまな出力電圧および負荷に対応しています。
- デバイスとの通信用の I²C 制御ポート

このデバイスが適切に動作するために必要な電源は 2 つだけです。低電圧デジタル回路に電力を供給するには DVDD 電源が必要です。オーディオ アンプの出力段に電力を供給するには、PVDD と呼ばれるもう 1 つの電源が必要です。2 つの内部 LDO は、PVDD を GVDD および AVDD のために 5V に、DVDD のために 1.5V に変換します。

7.2 機能ブロック図



7.3 機能説明

7.3.1 電源

システム設計では、TAS5828M には (標準的な) 12V または 24V 電力段の電源に加えて、3.3V または 1.8V の電源が必要です。2 つの内部電圧レギュレータにより、ゲート駆動回路と内部回路に電圧レベルが提供されます。外部ピンは、電源をフィルタリングするためのオフチップ バイパス コンデンサの接続ポイントとしてのみ提供されます。外部回路をこれらのレギュレータ出力に接続すると、性能が低下し、デバイスが損傷する可能性があります。また、フローティング電圧電源 (ハイサイド ゲートドライブ) を必要とするすべての回路は、数個の外付けコンデンサのみを必要とするブートストラップ回路を内蔵しています。優れた電気的特性と音響特性を得るため、出力段の PWM 信号路は同じ独立したハーフブリッジとして設計されています。このため、各ハーフブリッジには個別のブートストラップピン (BST_x) があります。ゲート駆動電圧 (GVDD) は PVDD 電圧から生成されます。すべてのデカップリング コンデンサは、関連するピンのできるだけ近くに配置するように、特に注意を払う必要があります。一般に、電源ピンとデカップリング コンデンサの間のインダクタンスを

防ぐ必要があります。ブートストラップ回路を適切に機能させるには、各ブートストラップ ピン (BST_x) と電力段出力ピン (OUT_x) の間に小さなセラミック コンデンサを接続する必要があります。電力段の出力が low のとき、ゲート駆動レギュレータ出力ピン (GVDD) とブートストラップ ピンの間に接続された内部ダイオードを介してブートストラップ コンデンサが充電されます。電力段の出力が high になると、ブートストラップ コンデンサの電位が出力電位よりもシフトされるため、ハイサイド ゲートドライバに電圧電源が供給されます。

7.3.2 デバイス クロッキング

TAS5828M デバイスは、柔軟なクロック供給システムを備えています。内部的には、デバイスを正しく機能させるために、主に関連するクロックレートで、いくつかのクロックが必要です。これらのクロックは、すべてシリアルオーディオインターフェイスから入手できます。

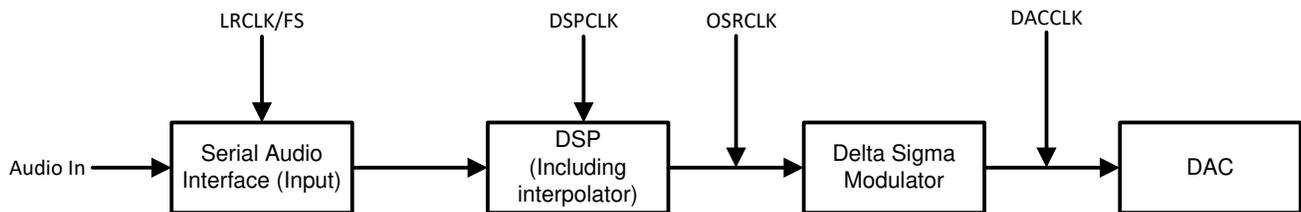


図 7-1. 各クロックのオーディオフロー

図 7-1 に、基本的なデータ フローとクロック ディストリビューションを示します。

シリアルオーディオインターフェイスには、通常、以下の 3 つの接続ピンがあります。

- SCLK (ビットクロック)
- FS (左/右ワード クロックまたはフレーム同期)
- SDIN (入力データ)。

このデバイスには、SCLK を取得して DSP と DAC クロックに必要な高速クロックを作成するために使用される内部 PLL があります。

TAS5828M デバイスには、サンプリング レートがどの周波数で動作しているかを自動的に検知するオーディオ サンプリング レート検出回路が搭載されています。32kHz、44.1kHz ~ 48kHz、88.2kHz ~ 96kHz、176.4kHz ~ 192kHz の一般的なオーディオ サンプリング周波数に対応しています。サンプリング周波数検出器は、DAC と DSP のクロックを自動的に設定します。

音楽の再生中に入力 LRCLK/SCLK が停止した場合、TAS5828M DSP はスリープ状態に切り替わり、クロック回復 (Class-D 出力が自動的に Hiz に切り替わります) を待つ。LRCLK/SCLK が回復すると、TAS5828M は自動的に再生モードに戻ります。DSP コードを再ロードする必要はありません。

7.3.3 シリアル オーディオ ポート – クロック速度

シリアル オーディオ インターフェイス ポートは、LRCLK/SCLK、FS および SDIN 信号を持つ 3 線式シリアル ポートです。SCLK は、SDIN にあるシリアルデータをオーディオ インターフェイスのシリアル シフト レジスタにクロック供給するために使用されるシリアル オーディオ ビット クロックです。シリアルデータは、SCLK によって TAS5828M デバイスにクロック入力されます。LRCLK/FS ピンは、デバイスが TDM モードで動作している場合、シリアルオーディオの左/右ワード クロックまたはフレーム同期です。

表 7-1. オーディオデータの形式、ビット深度、クロックレート

フォーマット	データビット	FS の最大周波数 (kHz)	SCLK レート (f _s)
I ² S/LJ/RJ	32, 24, 20, 16	32~192	64, 32

表 7-1. オーディオデータの形式、ビット深度、クロックレート (続き)

フォーマット	データビット	FS の最大周波数 (kHz)	SCLK レート (f _s)
TDM	32、24、20、16	32	128
		44,1,48	128,256,512
		96	128,256
		192	128

クロック停止、サポートされていない SCLK 対 LRCLK(FS) 比率が検出されると、デバイスはレジスタ 113 (レジスタ アドレス 0x71) にクロック エラーを報告します。

7.3.4 クロック HALT 自動回復

一部のホスト プロセッサは、オーディオが再生されていないときに I²S クロックを停止します。クロックが停止すると、デバイスはすべてのチャンネルを Hi-Z 状態に移行して、レジスタ 113 (レジスタ アドレス 0x71) で ラッチ クロック エラーを報告します。オーディオ クロックの回復後、デバイスは自動的に以前の状態に戻ります。

7.3.5 サンプル レートの即時変更

TAS5828M は、オン・ザ・フライの変更で LRCLK(FS) レートをサポートしています。例えば、LCRLK を 32kHz から 48kHz、96kHz、または 192kHz に変更する場合、ホスト プロセッサは、新しいサンプル レートに変更する前に、LRCLK(FS)/SCLK を少なくとも 100us 前に停止状態にする必要があります。

7.3.6 シリアル オーディオ ポート – データ形式とビット深度

このデバイスは、標準の I2S、左揃え、右揃え、TDM/DSP データを含む、業界標準のオーディオ データ フォーマットをサポートしています。データ形式はレジスタ (レジスタ アドレス 0x33h [5:4]) により選択します。TDM/DSP モードでの LRCLK/SCK FS の high 幅が 8 サイクル未満の場合、レジスタ (レジスタ アドレス 0x33h [3:2]) を 01 に設定します。すべての形式には、バイナリの 2 の補数、MSB ファーストのオーディオ データが必要です。最大 32 ビットのオーディオ データを受け付けます。このデバイスでサポートされているすべてのデータ フォーマット、ワード長、クロック レートを表 7-1 に示します。データ形式については、図 7-2 から 図 7-6 で詳しく説明します。ワード長はレジスタ (レジスタ アドレス 0x33h [1:0]) によって選択されます。データのオフセットは、レジスタ (レジスタ アドレス 0x33h [7]) とレジスタ (レジスタ アドレス 0x34h [7:0]) により選択されます。デフォルト設定は I2S と 24 ビットのワード長です。

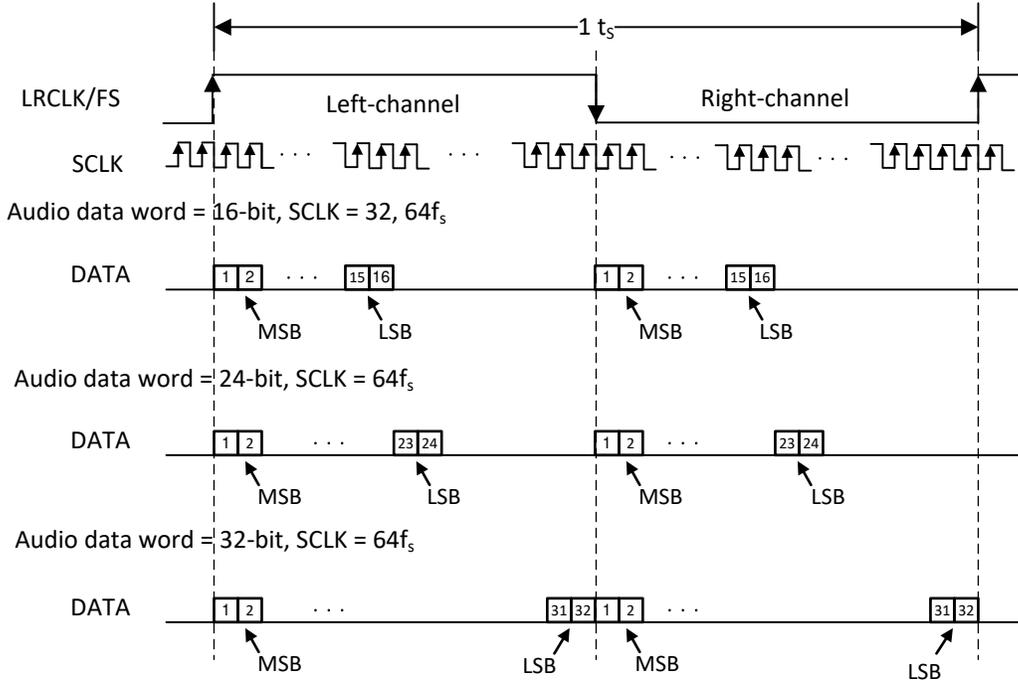
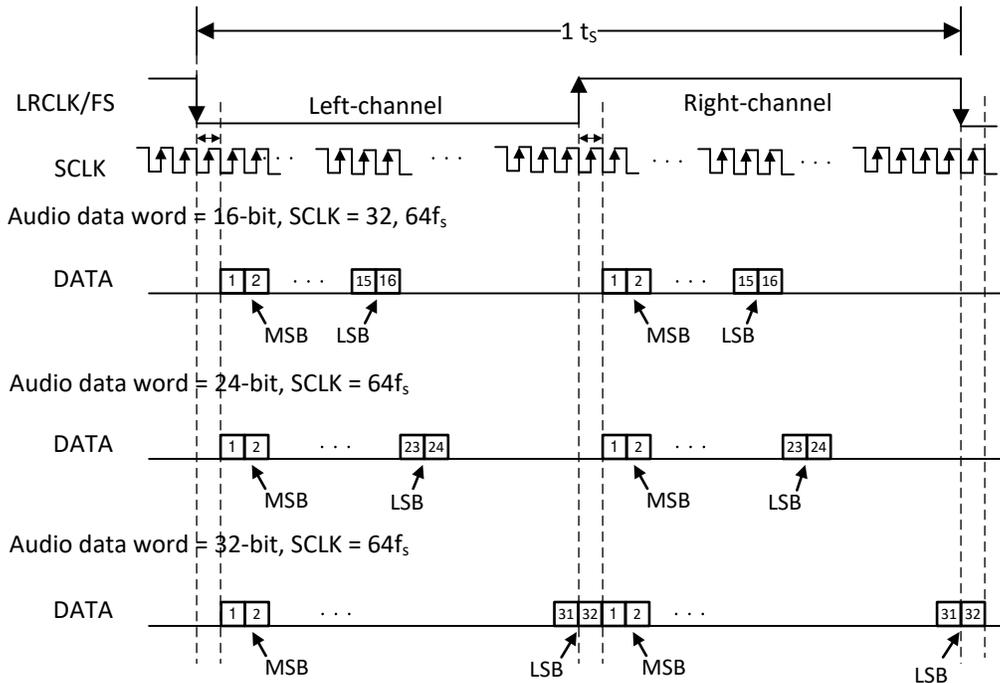


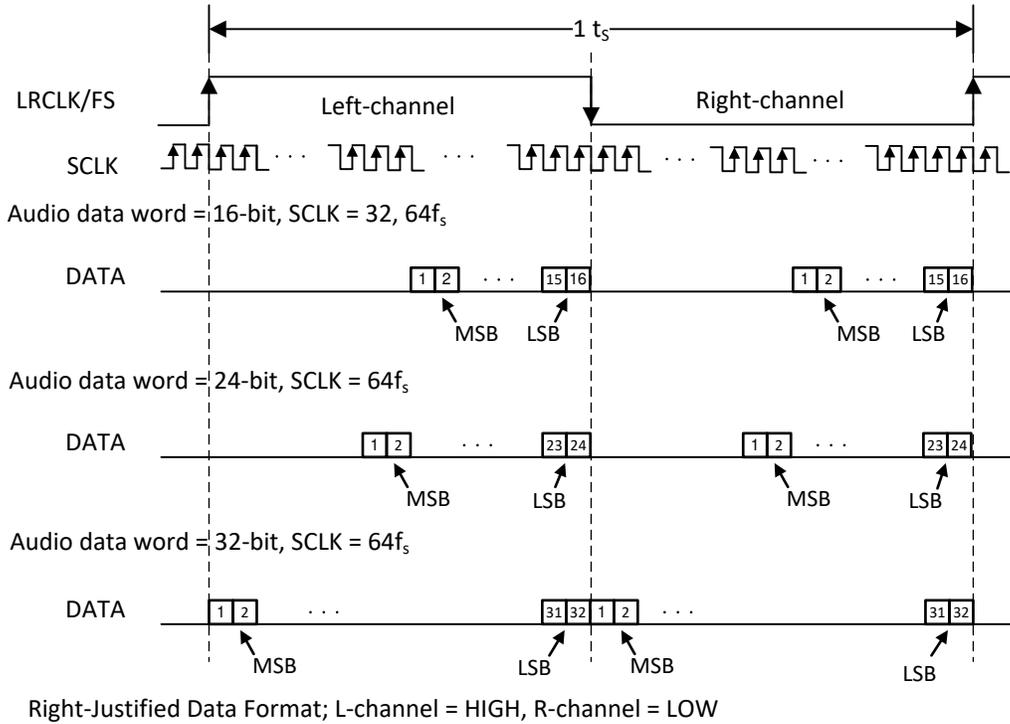
図 7-2. 左揃えのオーディオ データ形式



I²S Data Format; L-channel = LOW, R-channel = HIGH

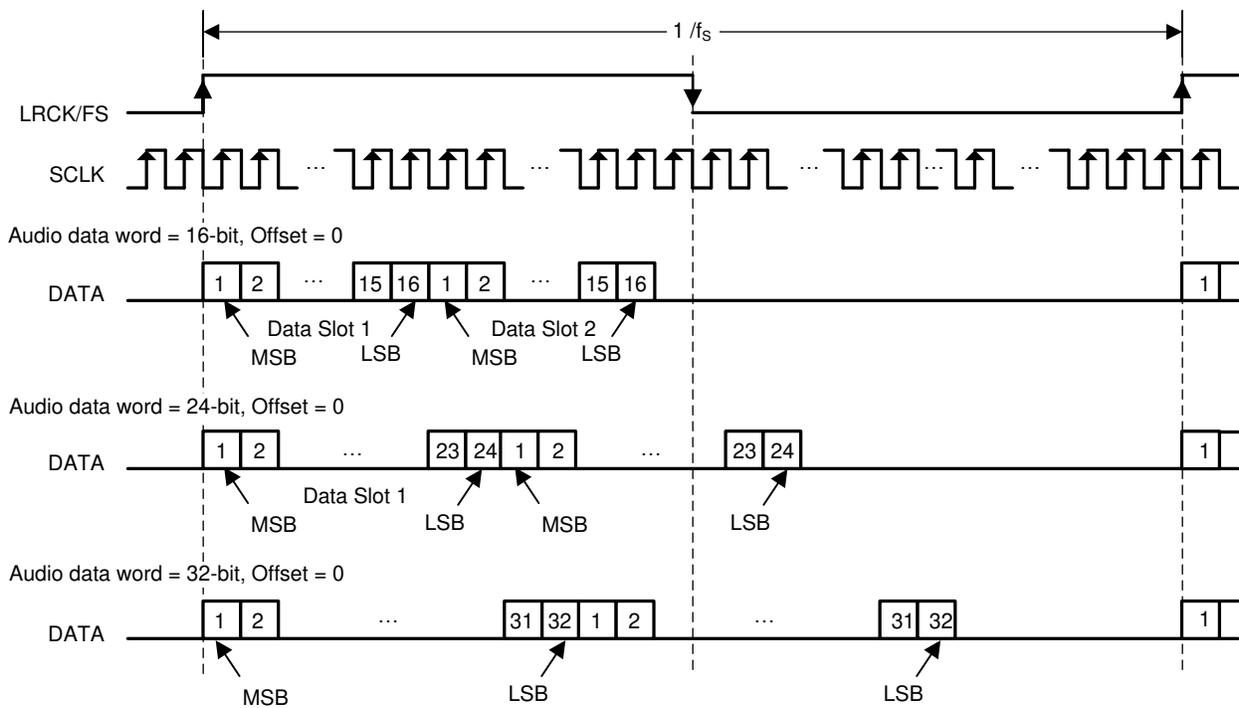
I²S データフォーマット、L チャネル = LOW、R チャネル = HIGH

図 7-3. I²S オーディオ データ形式



右揃えデータ形式、L チャンネル = HIGH、R チャンネル = LOW

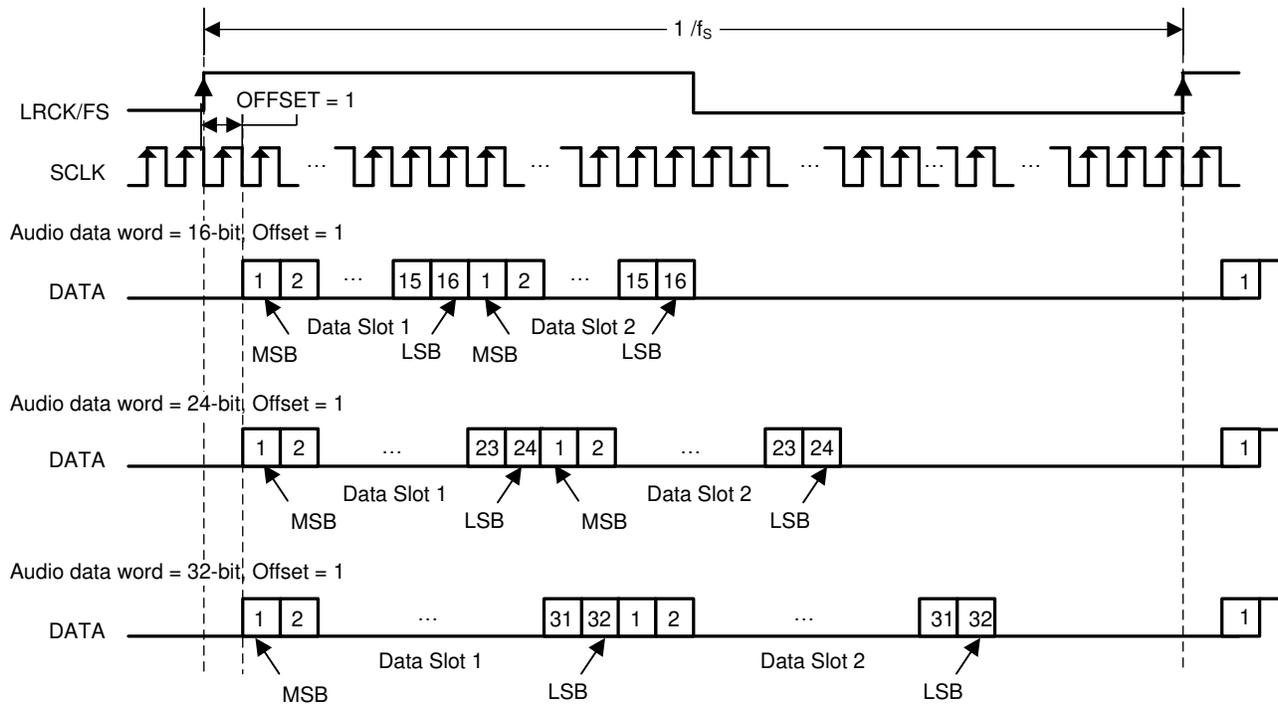
図 7-4. 右揃えオーディオ データ形式



オフセット = 0 の TDM データ形式

TDM モードでは、LRCK/FS のデューティ サイクルは少なくとも 1x SCLK にします。立ち上がりエッジはフレーム スタートと見なされます。

図 7-5. TDM 1 オーディオ データ形式



オフセット = 1 の TDM データ形式

TDM モードでは、LRCK/FS のデューティサイクルは少なくとも $1 \times$ SCLK にします。立ち上がりエッジはフレーム スタートと見なされます。

図 7-6. TDM 2 オーディオ データ形式

7.3.7 デジタル オーディオ 処理

TAS5828M のデジタル オーディオ 処理には、基本的なオーディオ チューニング ブロック、Hybrid-Pro アルゴリズム、高度な機能の 3 つの主要な機能が含まれています。

192kHz 未満のプロセッサのサンプリング レートに対する基本的なオーディオ チューニング ブロックには、SRC (サンプル レート コンバータ)、ステレオ チャンネル入力ミキサ、各チャンネル (信号チェーン全体にわたって) 12 ~ 16 BQ、ポップ クリック フリー ボリューム、マルチバンド DRC、および AGL があります。192kHz プロセッサのサンプリング レートでは、Hybrid-Pro アルゴリズムおよび SRC によって機能が制限されます。各ブロックの詳細な導入については、TAS5825M プロセスフローを参照してください。

Hybrid-Pro は、優れた Class-D 内部 PWM 変調方式である ハイブリッド変調 と組み合わせて使用すると、THD+N の性能を犠牲にせずに効率をさらに向上させることができます。Hybrid-Pro は、システム効率の観点から、Hybrid PWM 変調を超えた進化を実現し、高度なルックアヘッド DSP 構造でオーディオ信号エンベロープをトラッキングし、外部 PVDD 電源電圧レールを制御し、クリッピング歪みなしに高いダイナミック レンジを実現する十分なマージンを維持して、可能な限り多くの電力を節約することができます。構成オプションの詳細については、TAS5828M ユーザー ガイド を参照してください。

- オプションの 8 ステップ 384kHz PWM 形式、または 16 ステップ 192kHz PWM 形式 Hybrid-Pro は、外部 DC/DC コンバータ用波形を制御します。
- 構成可能な最大 4ms の先読みオーディオ信号遅延バッファは、さまざまなアプリケーション システムの DC/DC 帯域幅と電源カップリング容量に適合します。
- 最大 512 のサンプル オーディオ信号のピーク ホールドは、電源電圧レールの高オーディオ入力から小さいレベルまでの遷移を最適化し、クリッピング歪みの防止に役立ちます。
- Hybrid-Pro Margin は、オーディオ信号のトリガ レベルと各ステップ レベルを自動調整します。Hybrid-Pro Margin は 効率とエンベロープトラッキング速度のバランスを取れるよう微調整します。

高度な機能として、PVDD センシング (動的ヘッドルームトラッキング)、サーマル フォールドバック、およびハイブリッド PWM 変調などがあります。これらのデバイスは、内蔵の 8 ビット PVDD センス ADC および 4 レベル温度センサをベースに実装されています。アプリケーション ノート: [TAS5825M の高度な機能](#) を参照してください。

7.3.8 Class-D オーディオ アンプ

デジタル クリッパーの後、補間されたオーディオ データは、閉ループ Class-D アンプに送られ、その最初のステージはデジタルから PWM への変換 (DPC) ブロックです。このブロックでは、ステレオ オーディオ データが 2 ペアの相補型パルス幅変調 (PWM) 信号に変換され、スピーカー アンプの出力を駆動するために使用されます。DPC 全体の帰還ループは、電源電圧全体にわたって一定のゲインを維持し、歪みを低減し、電源が注入されるノイズや歪みに対する耐性を向上します。アナログ ゲインは、デバイスの Class-D アンプ セクションにも適用されます。図 7-7 と表 7-2 の両方で、以下でゲイン構造について詳細に説明します。アンプのスイッチング レートは、レジスタ (レジスタ アドレス 0x02h[6:4]) で設定できます

7.3.8.1 スピーカ アンプ ゲイン 選択

デジタル ゲインとアナログ ゲインの組み合わせにより、スピーカ アンプの全体的なゲインを得ることができます。図 7-7 に示すように、TAS5828M のオーディオ経路は、デジタル オーディオ入力ポート、デジタル オーディオ パス、デジタル PWM 変換器 (DPC)、ゲートドライバ段、Class-D 出力段、帰還ループで構成され、出力情報を DPC ブロックに送り返して、出力ピンで検出された歪みを補正します。アンプの総ゲインは、デジタル オーディオ パスに示されるデジタル ゲイン、DAC ゲイン、およびアナログ変調器の入力からスピーカ アンプ出力段の出力までのアナログ ゲインで構成されます。

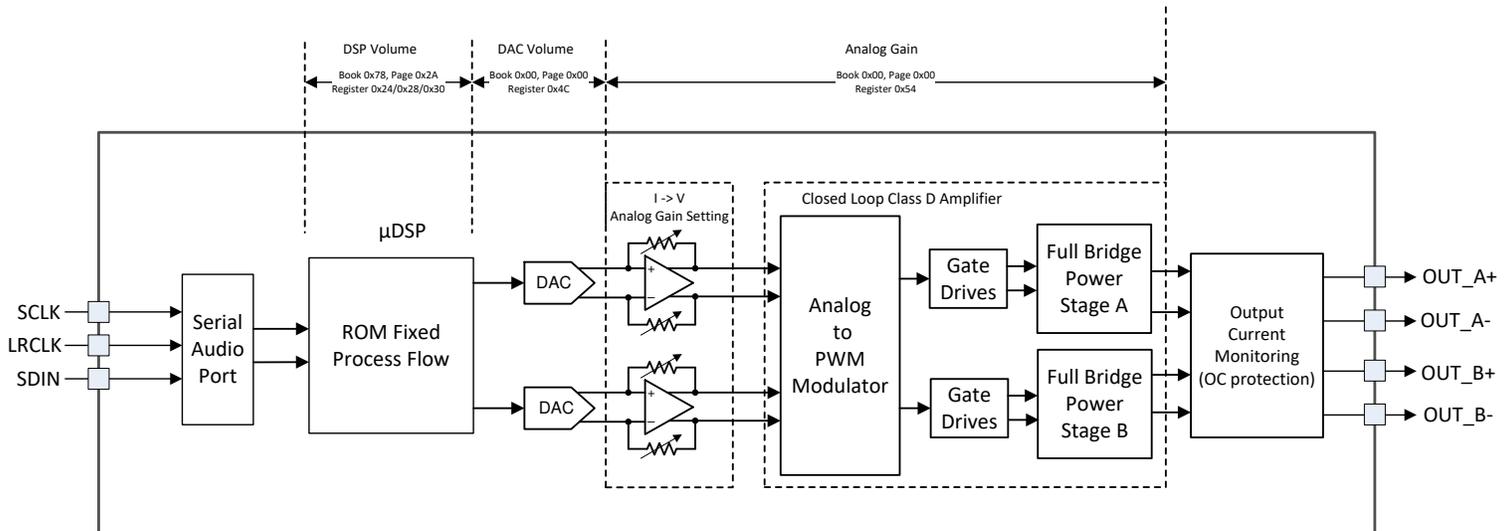


図 7-7. スピーカ アンプ ゲイン

図 7-7 に示すように、スピーカ アンプの最初のゲイン段は、デジタル オーディオ パスに存在します。デジタル オーディオ パスは、ボリューム制御 (DSP ボリューム) と DAC ボリュームで構成されます。ボリューム制御は、デフォルトで 0dB に設定されています。レジスタ 0x54 のすべての設定再度 [4:0] の場合、デジタル ボリューム ブロックは 0dB のままです。これらのゲイン設定により、出力信号が異なる PVDD レベルでクリッピングされないように維持されます。0dBFS 出力は 29.5V のピーク出力電圧

表 7-2. アナログ ゲイン 設定

再び <4:0>	ゲイン (dBFS)	アンプ出力ピーク電圧 (V _p /FS)	アンプ出力ピーク電圧 (dBV _p /FS)
00000	0	29.5	29.4
00001	-0.5	27.85	28.9
00010	-1.0	26.29	28.4
00011	-1.5	24.82	27.9

表 7-2. アナログ ゲイン設定 (続き)

再び <4:0>	ゲイン (dBFS)	アンプ出力ピーク電圧 (V _p /FS)	アンプ出力ピーク電圧 (dBV _p /FS)
.....
11111	-15.5	4.95	13.9

7.3.8.2 Class-D ループ帯域幅とスイッチング周波数の設定

TAS5828M 閉ループ構造は、異なるスイッチング周波数 (レジスタ 2、レジスタ アドレス 0x02h[6-4] で設定) と共存できるように、ループ帯域幅設定オプション (レジスタ 83、レジスタ アドレス 0x53h[6-5] で設定) を提供します。表 7-3 に、ループ帯域幅とスイッチング周波数の選択に対する推奨設定を示します。同じ Fsw、より高い THD+N 性能で、より高い BW。

表 7-3. ループ帯域幅とスイッチング周波数の設定

変調方式	Fsw	BW (ループ帯域幅)	注
ハイブリッド、1SPW	384kHz	80kHz	原則: Fsw (スイッチング周波数) ≥ 4.2×ループ帯域幅
	480kHz	80kHz、100kHz	
	576kHz	80kHz、100kHz、120kHz	
	768kHz	80kHz、100kHz、120kHz、175kHz	
BD	384kHz	80kHz、100kHz、120kHz	原則: Fsw (スイッチング周波数) ≥ 3×ループ帯域幅
	480kHz	80kHz、100kHz、120kHz	
	576kHz	80kHz、100kHz、120kHz、175kHz	
	768kHz	80kHz、100kHz、120kHz、175kHz	

7.4 デバイスの機能モード

7.4.1 ソフトウェアコントローラ

TAS5828M デバイスは、I²C 通信ポートを介して構成されます。

I²C 通信プロトコルについては、「I²C 通信ポート」セクションを参照してください。I²C のタイミング要件は、[タイミング要件 - I²C バスのタイミング](#)に記載されています。

7.4.2 スピーカ アンプの動作モード

TAS5828M デバイスは、レジスタ 0x02h [2] を使用して、2 種類のアンプ構成として構成することもできます:

- BTL モード
- PBTL モード

7.4.2.1 BTL モード

BTL モードでは、TAS5828M はステレオ信号の左右の成分を表す 2 つの独立した信号を増幅します。左の増幅された信号は、OUT_A+ と OUT_A- として示されている差動出力ペアに示されます。右の増幅された信号は、OUT_B+ と OUT_B- として示されている差動出力ペアに示されます。

7.4.2.2 PBTL モード

PBTL 動作モードは、デバイスの 2 つの出力を互いに並列に配置して、デバイスの電力供給能力を向上させる動作を表すために使用されます。TAS5828M デバイスの出力側では、事前フィルタ並列ブリッジ接続負荷 (PBTL) と呼ばれる構成で、フィルタの前にデバイスの合計を行うことができます。ただし、出力フィルタのインダクタ部分の後で 2 つの出力をマージする必要がある場合があります。これにより 2 つのインダクタが追加されますが電流が 2 つのインダクタで分割されるため、小型で低コストのインダクタを使用できます。このプロセスはポストフィルタ PBTL と呼ばれます。TAS5828M デバイスの入力側では、PBTL アンプへの入力信号は I2S または TDM データの左フレームです。

7.4.3 低 EMI モード

TAS5828M には、オーディオ再生中に EMI を最小化するために複数のモードが備えられており、これらのモードは、さまざまなアプリケーションに基づいて使用できます。

7.4.3.1 スペクトラム拡散

場合によっては、スペクトラム拡散を使用して、EMI ノイズを最小限に抑えています。TAS5828M は、三角波モードとランダムモードの拡散スペクトラムをサポートしています。

ユーザーは、三角波モードとスペクトラム拡散を有効化するためにレジスタ SS_CTRL0 (0x6B) を設定する必要があります。SS_CTRL1 (0x6C) を使用してスペクトラム拡散周波数と範囲を選択できます。DEVICE_CTRL1 (0x02) で設定される 768kHz F_{SW} の場合、拡散スペクトル周波数と範囲は表 7-4 に記載されています。

表 7-4. 三角波モードのスペクトラム拡散周波数および範囲選択

SS_TRI_CTRL[3:0]	0	1	2	3	4	5	6	7
三角波周波数	24k				48k			
スペクトラム拡散範囲	5%	10%	20%	25%	5%	10%	20%	25%

ユーザー アプリケーションの例: 中心スイッチング周波数は 768kHz、三角波周波数は 48kHz。

レジスタ 0x02 = 0x41//768kHz F_{sw}、BTL モード、1SPW モード。

レジスタ 0x6b = 0x03//スペクトラム拡散をイネーブルする

レジスタ 0x6c = 0x03// SS_CTRL[3:0] = 0011、三角波周波数 = 48kHz、スペクトラム拡散範囲は 10% (729kHz ~ 807kHz) である必要があります

7.4.3.2 チャネル間位相シフト

このデバイスは、チャネル間 180 度の PWM 位相シフトをサポートしており、EMI を最小限に抑えます。レジスタ 0x53 のビット 0 を使用して、位相シフトをディセーブルまたはイネーブルにできます。

7.4.3.3 マルチデバイスの PWM 位相同期

TAS5828M はマルチデバイス アプリケーション システム用に最大 4 フェーズの選択をサポートしています。たとえば、システムが 4 個の TAS5828M デバイスを内蔵している場合、ユーザーはレジスタ PHASE_CTRL(0x6A) を設定して各デバイスの位相 0/1/2/3 を選択することができます。これは、EMI を最小化するために、各デバイス間に 45 度の位相シフトが発生することを意味します。

マルチデバイスの PWM 位相同期には、2 つの方法があります。I²S クロックによる位相同期 (スタートアップ位相)、または GPIO による位相同期。

7.4.3.3.1 起動フェーズでの I²S クロックとの位相同期

- ステップ 1、I²S クロックを停止。
- ステップ 2、各デバイスの位相選択を構成し、位相同期を有効にします。次に例を示します。デバイス 0 のレジスタ 0x6A=0x03、デバイス 1 のレジスタ 0x6A=0x07、デバイス 2 のレジスタ 0x6A=0x0B、デバイス 3 のレジスタ 0x6A=0x0F。
- ステップ 3、各デバイスを HIZ モードに構成します。
- ステップ 4、各デバイスに I²S を入力します。4 つすべてのデバイスに対する位相同期は内部シーケンスによって自動的に行われます。
- ステップ 5、DSP コードを初期化します (位相同期のみを実行する場合は、このステップをスキップできます)。
- ステップ 6、デバイスからデバイスへの PWM 位相シフトは 45 度で固定されます。

7.4.3.3.2 GPIO との位相同期

- ステップ 1、各デバイスの GPIOx ピンを PCB の SOC GPIO ピンに接続します。

2. ステップ 2、各デバイスの GPIOx を、レジスタ GPIO_CTRL (0x60) および GPIO_INPUT_SEL (0x64) による位相同期入力使用として構成します。
3. ステップ 3、各デバイスで異なる位相を選択し、レジスタ PHASE_CTRL (0x6A) で位相同期を有効にします。
4. ステップ 4、レジスタ DEVICE_CTRL2 (0x03) を設定し、デバイスが HIZ 状態に変わるまで POWER_STATE レジスタ (0x68) を監視することで、各デバイスを PLAY モードに設定します。
5. ステップ 5、SOC GPIO で 0 から 1 にトグルします。その後、4 つのデバイスすべてが PLAY モードに移行し、デバイス間の PWM 位相シフトを 45 度に固定する必要があります。
6. ステップ 6: 位相同期が完了しました。GPIOx ピンを、アプリケーションに応じて別の機能に構成します。

7.4.4 サーマル フォールドバック

サーマル フォールドバック (TFB) は、デバイスが推奨される温度/電力制限を超えて動作している場合や、熱システムの設計が推奨値よりも弱い場合に、ダイ温度の過度な上昇から TAS5828M を保護するように設計されています。TFB を使うと、予期しないサーマル シャットダウンをトリガすることなく、TAS5828M は可能な限り大きな音量で再生できます。TAS5828M には 4 つの過熱警告 (OTW) スレッショルドがあり、各スレッショルドは I2C レジスタ 0x73 のビット 0、1、2、3 に表示されます。OTW 値がレベル 1 (最低 OTW 温度) からレベル 4 (最高 OTW 温度) まで上昇すると、内部の自動ゲイン リミッタ (AGL) により、デジタル ゲインが徐々に減少します。適用されるゲイン減衰は OTW レベルに比例し、OTW レベルが低い場合は減衰が小さくなり、OTW レベルが高くなることで減衰が大きくなります。ダイの温度が低下して OTW レベルが低下すると、温度が OTW レベルを下回り、デジタル ゲインが元のレベルに復元されるまで、デジタル信号ゲインは徐々に増加します。減衰ゲインと調整可能レートの両方をプログラム可能です。TFB のゲイン レギュレーション速度 (アタックレートとリリースレート) の設定は通常の AGL と同じです。この AGL は PurePath™ Console3 の TAS5828M App を使用して構成することもできます。

7.4.5 デバイスの状態制御

シャットダウン モード以外では、TAS5828M には他の 4 つの状態があり、消費電力は異なります。ディープ スリープ、スリープ、HiZ、および再生モード。各モードの電力レベルは [電気的特性](#) に記載されています。

- レジスタ 0x03[1:0] = 00 を書き込むと、デバイスはディープ スリープ モードに移行します。このモードでは、I²C がアクティブです。このモードを使用することにより、一部の携帯用スピーカー アプリケーションのバッテリー駆動時間を延長できます。ホスト プロセッサがオーディオの再生を停止すると、TAS5828M をディープ スリープ モードに設定して、ホスト プロセッサがオーディオの再生を再開するまで消費電力を最小限に抑えることができます。レジスタ 0x03 [1:0] を 11 に設定すると、デバイスは再生モードに戻ることができます。シャットダウン モード (PDN を Low にプル) と比較して、ディープ スリープ モードは DSP と I2C をアクティブに維持します。
- レジスタ 0x03[1:0] = 01 を書き込むと、デバイスはスリープ モードに移行します。このモードでは、I²C ブロック、デジタル コア、DSP メモリ、5V アナログ LDO がアクティブになります。
- レジスタ 0x03[1:0] = 10 を書き込むと、デバイスは HiZ モードになります。このモードでは、ドライバ出力が HiZ ステートに設定され、他のすべてのブロックは通常動作します。
- レジスタ 0x03[1:0] = 11 を書き込むと、デバイスは再生モードになり、出力パスがイネーブルになります。

7.4.6 デバイス変調

TAS5828M には次の 3 つの変調方式があります。BD 変調、1SPW 変調、ハイブリッド変調です。レジスタ 0x02 [1:0]-DAMP_MOD を使用して TAS5828M の変調方式を選択します。

7.4.6.1 BD 変調

これは変調方式で、アンプが短いスピーカ配線で誘導性負荷を駆動している場合に、従来の LC 再構成フィルタを使用しないで動作できるようにしています。各出力は、0V から電源電圧に切り替えられます。OUTPx と OUTNx は入力がない状態では互いに同位相なので、スピーカには電流はほとんどまたはまったく流れません。正の出力電圧に対して、OUTPx のデューティサイクルは 50% より大きく、OUTNx は 50% 未満です。負の出力電圧に対して、OUTPx のデューティサイクルは 50% 未満、OUTNx は 50% を超えます。負荷にかかる電圧は、多くのスイッチング期間にわたって 0V となるためスイッチング電流が減少し、負荷での I^2R の損失が減少します。

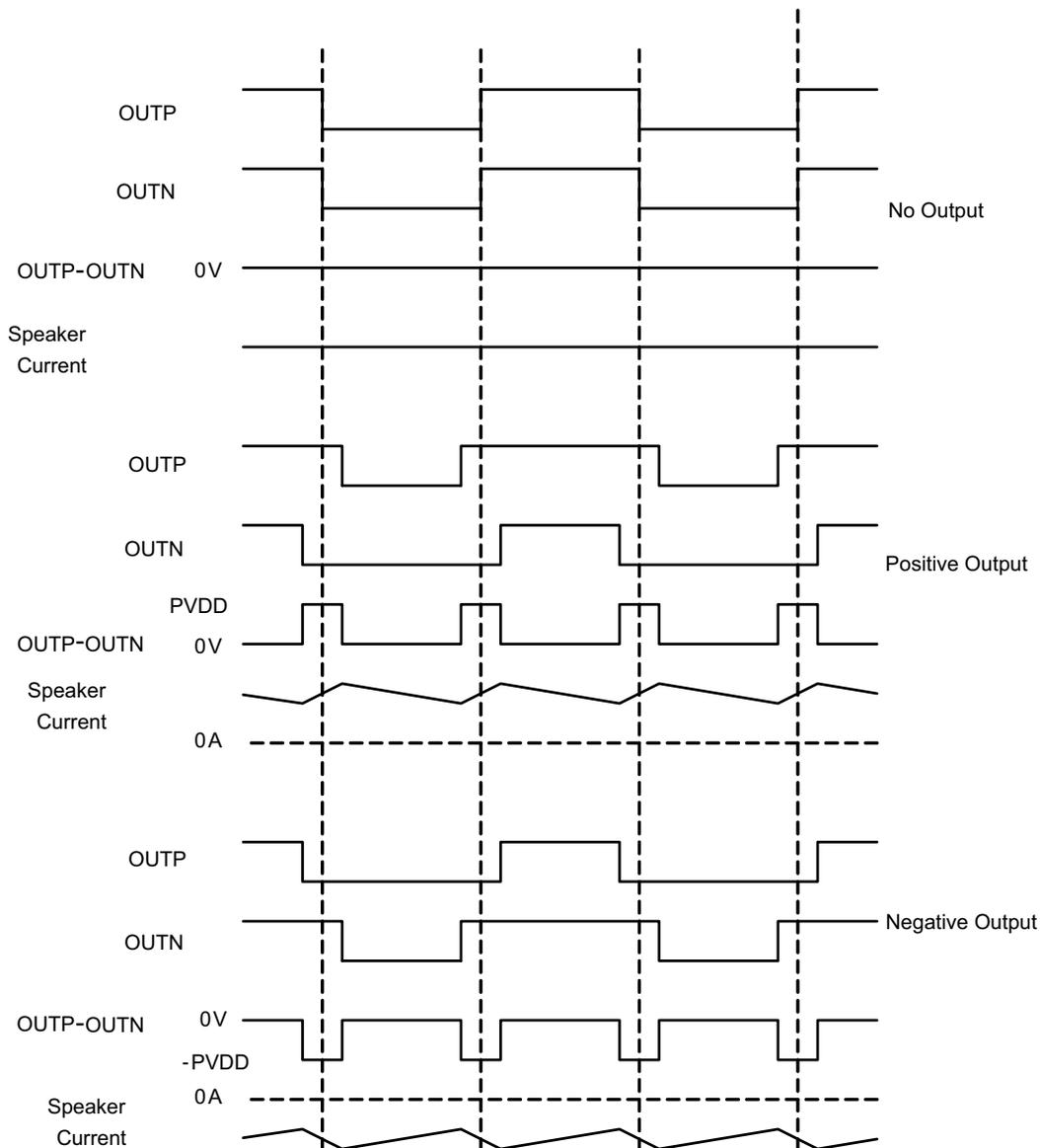


図 7-8. BD モード変調

7.4.6.2 1SPW 変調

1SPW モードでは、通常の変調方式が変更されて、THD の劣化に関してわずかな欠点で、効率が向上し、出力フィルタの選択に多くの注意が必要になります。低アイドル電流モードでは、出力はアイドル条件で 17% の変調で動作します。オーディオ信号を印加すると、1 つの出力が減少し、1 つが増加します。出力信号は減少して GND に送られます。この時点で、すべてのオーディオ変調は立ち上がり出力で行われます。その結果、オーディオ サイクルの大部分の間、1 つの出力だけがスイッチングします。このモードでは、スイッチング損失が減少するため、効率が向上します。

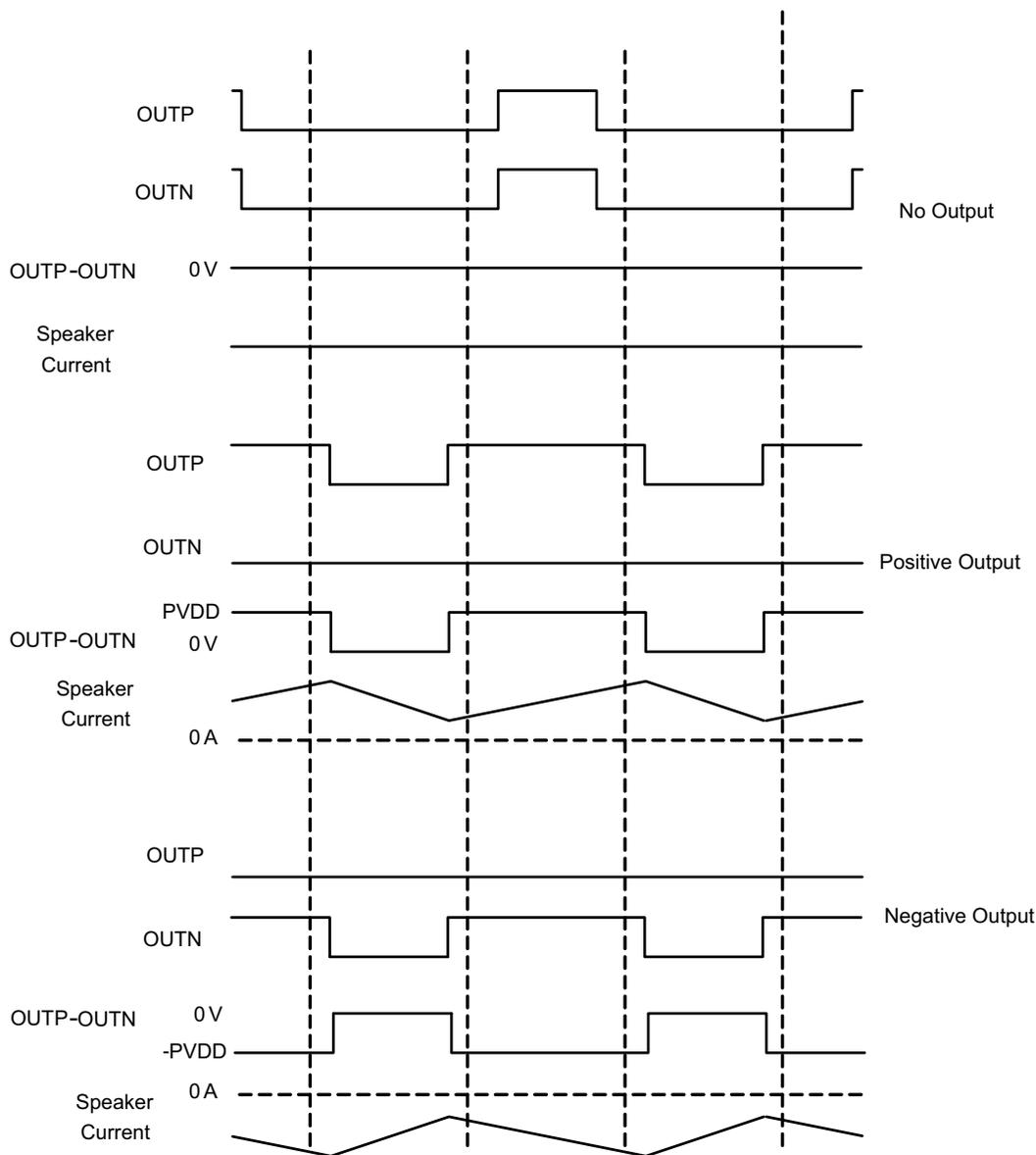


図 7-9. 1SPW モード変調

7.4.6.3 ハイブリッド変調

ハイブリッド変調は、THD + N の性能を損なうことなく電力損失を最小限に抑えるように設計されており、バッテリー駆動アプリケーションに最適です。ハイブリッド変調により、TAS5828M は入力信号レベルを検出し、出力レベルに応じて PWM デューティサイクルを 1SPW から BD 変調まで動的に調整します。ハイブリッド変調は、超低アイドル電流を実現し、BD 変調と同じオーディオ性能レベルを維持します。

注

ハイブリッド変調では、入力信号レベルを検出して PWM デューティ サイクルを動的に調整するために、内部 DSP が必要です。ハイブリッド変調を使用するには、TAS5828M PPC3 アプリでハイブリッド変調をサポートするプロセス フローを選択する必要があります。TAS5828M のフレキシブルなオーディオ プロセス フローの詳細については TAS5828M PPC3 アプリをご覧ください。

7.5 プログラミングと制御

7.5.1 I²C シリアル通信バス

このデバイスは双方向のシリアル制御インターフェイスを備え、I²C バスのプロトコルと互換性があり、100 および 400kHz データ転送レートをサポートしており、ターゲット デバイスとしてランダムおよびシーケンシャル書き込みおよび読み取り動作を実現します。TAS5828M レジスタ マップと DSP メモリは複数のページとブックにまたがるため、ユーザーはブックからブックに最初に変更し、その後ページごとにページを移動してから、個別のレジスタや DSP メモリに書き込みます。ページからページへの変更は、各ページのレジスタ 0 を介して行われます。このレジスタ値は、ページアドレスを 0 ~ 255 の範囲で選択します。TAS5828M データシートに記載されているすべてのレジスタは、ページ 0 に属します。

7.5.2 ハードウェア制御モード

I²C レジスタ制御の高度な柔軟性を必要としないシステムや、I²C ホスト コントローラを利用できないシステムでは、TAS5828M をハードウェア制御モードで使用できます。ハードウェア モードでは、ハードウェア制御ピンを使って変更が行われます。同じ構成でハードウェア制御モードとソフトウェア制御モードの間のオーディオ性能は同じですが、ソフトウェア制御モードでレジスタからより多くの機能を利用できます。

目的のスタートアップ設定として、回路図設計時に TAS5828M の複数の I/O を考慮する必要があります。ハードウェア制御モードに移行する方法は、HW_MODE pin13 を DVDD にプルアップすることです。

TAS5828M のデフォルトのハードウェア構成 (最適化されたオーディオ、サーマル、BOM) は、BTL 変調、768kHz のスイッチング周波数、1SPW モード、175kHz の Class-D アンプ ループ帯域幅、29.5Vp/FS のアナログ ゲイン、CBC スレッシュホールド、OCP スレッシュホールドの 80% です。このデバイスでは、HW_SEL0 ピン 5 および HW_SEL1 ピン 6 が low GND に直接接続されている必要があります。

表 7-5. ハードウェア制御 — HW_SEL0 Pin5

ピン構成	アナログ ゲイン	Hブリッジ出力構成
0Ω を GND との間に接続	29.5Vp/FS	BTL
1kΩ から GND へ	20.9Vp/FS	BTL
4.7kΩ から GND へ	14.7Vp/FS	BTL
15kΩ から GND へ	7.4Vp/FS	BTL
33kΩ から DVDD へ	7.4Vp/FS	PBTL
6.8kΩ から DVDD へ	14.7Vp/FS	PBTL
1.5kΩ から DVDD へ	20.9Vp/FS	PBTL
0Ω を DVDD との間に接続	29.5Vp/FS	PBTL

表 7-6. ハードウェア制御 — HW_SEL1 Pin6

ピン構成	F _{SW} と Class-D のループ帯域幅	サイクル単位の電流制限スレッシュホールド	スペクトラム拡散	変調
0Ω を GND との間に接続	768kHz F _{SW} , 175kHz BW	CBC スレッシュホールド = 80% OCP	無効	1SPW
1kΩ から GND へ	768kHz F _{SW} , 175kHz BW	CBC ディスエーブル	無効	1SPW
4.7kΩ から GND へ	768kHz F _{SW} , 175kHz BW	CBC スレッシュホールド = 40% OCP	無効	1SPW
15kΩ から GND へ	768kHz F _{SW} , 175kHz BW	CBC スレッシュホールド = 60% OCP	無効	1SPW

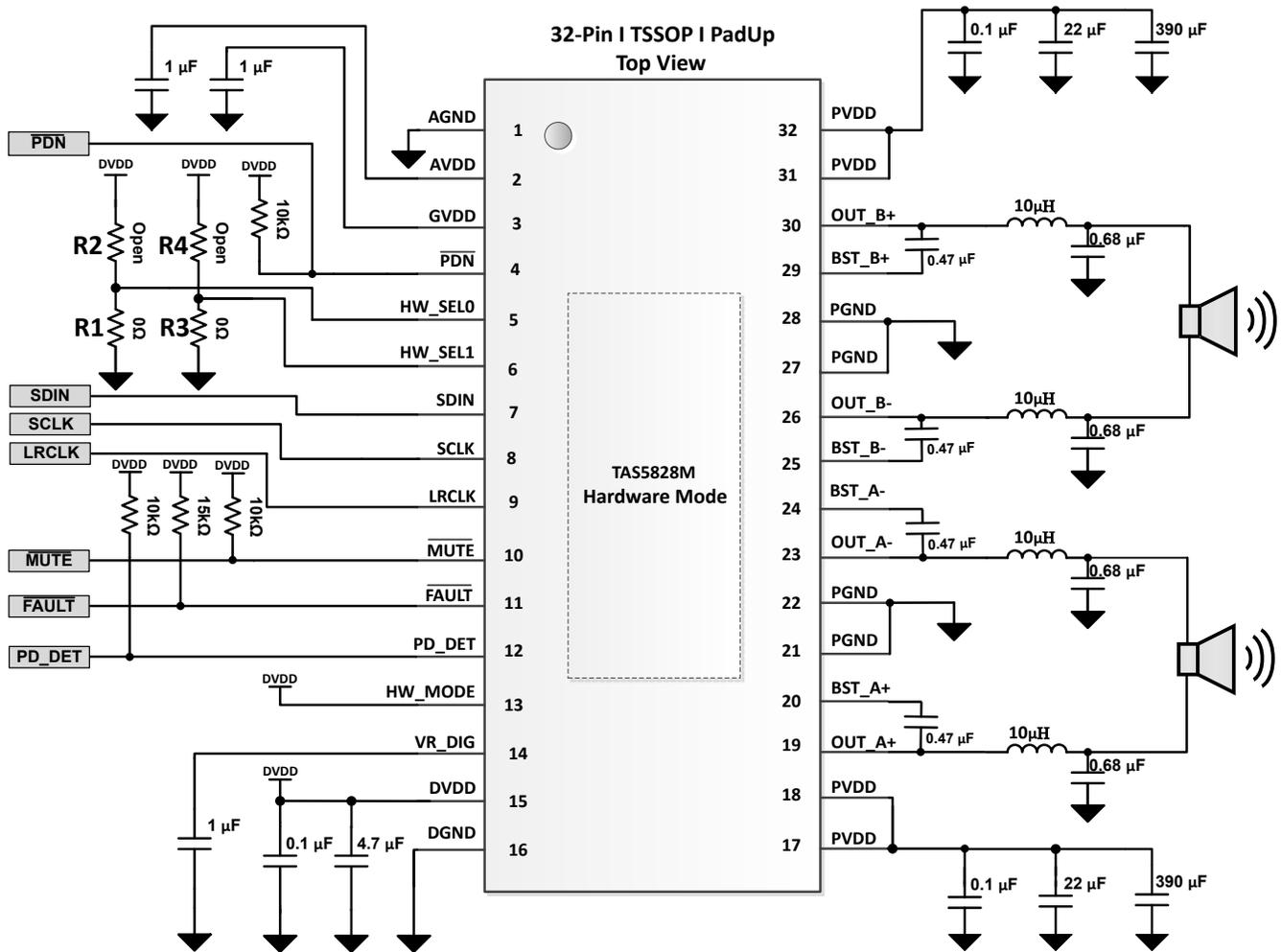
表 7-6. ハードウェア制御 — HW_SEL1 Pin6 (続き)

ピン構成	F _{SW} と Class-D のループ帯域幅	サイクル単位の電流制限スレッショルド	スペクトラム拡散	変調
33kΩ から DVDD へ	480kHz F _{SW} 、100kHz BW	CBC デイスエーブル	イネーブル	BD
6.8kΩ から DVDD へ	480kHz F _{SW} 、100kHz BW	CBC スレッショルド = 80% OCP	イネーブル	BD
1.5kΩ から DVDD へ	480kHz F _{SW} 、100kHz BW	CBC スレッショルド = 40% OCP	イネーブル	BD
0Ω を DVDD との間に接続	480kHz F _{SW} 、100kHz BW	CBC スレッショルド = 60% OCP	イネーブル	BD

事例 1 :

BTL モード、FSW = 768kHz、1 SPW 変調、175kHz ループ帯域幅、CBC スレッショルド = 80% OCP、アナログ ゲイン = 29.5Vp/FS、スペクトラム拡散はディセーブル。

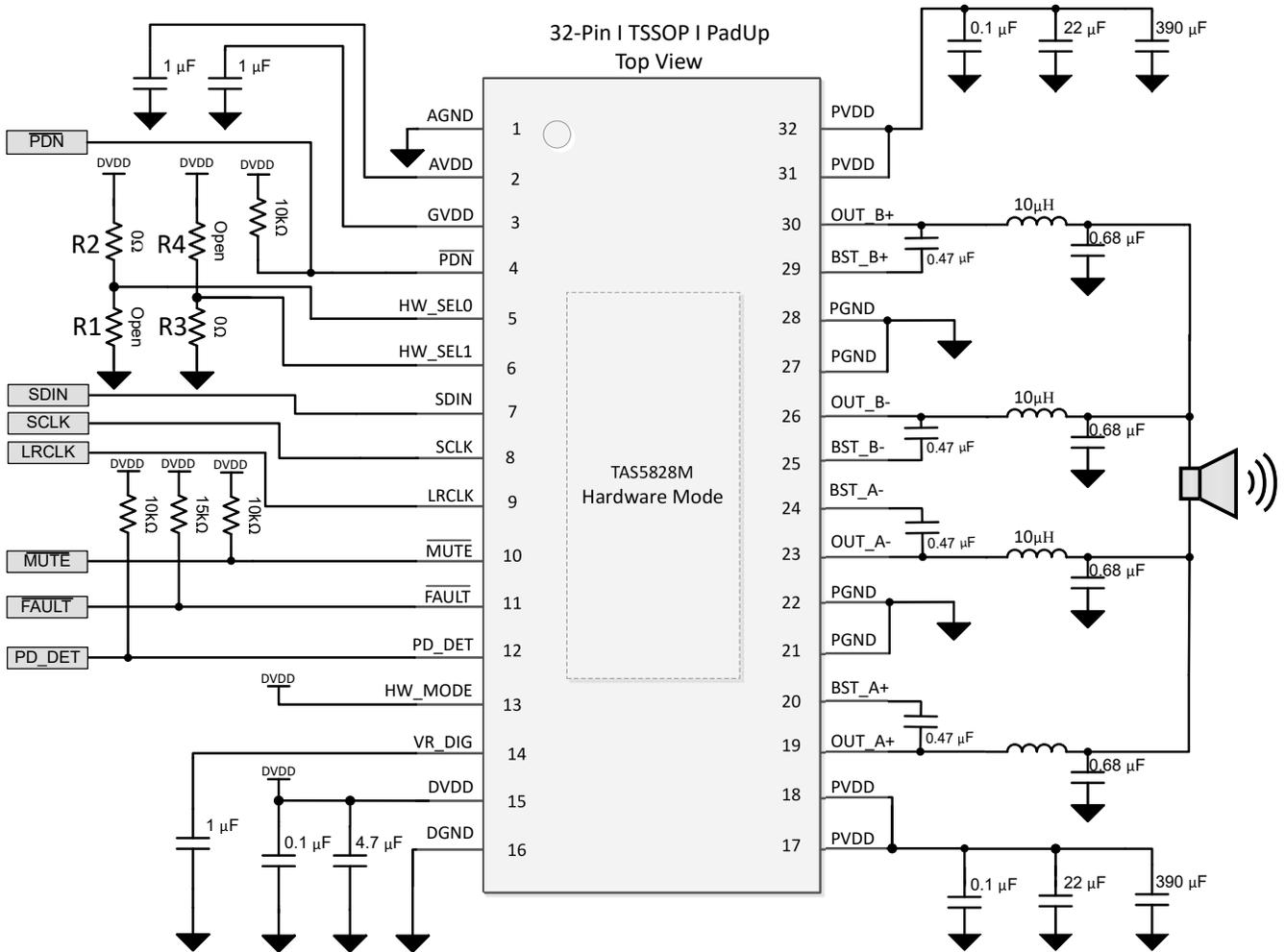
図 7-10. 標準的なハードウェア制御モード アプリケーションの回路図 - BTL モード



事例 2 :

PBTL モード、FSW = 768kHz、1 SPW 変調、175kHz ループ帯域幅、CBC スレッシュホールド = 80% OCP、アナログ ゲイン = 29.5V_p/FS、スペクトラム拡散はディセーブル。

図 7-11. 標準的なハードウェア制御モード アプリケーションの回路図 - PBTL モード



7.5.3 I²C ターゲットアドレス

TAS5828M デバイスには、ターゲット アドレス用の 7 ビットがあります。表 7-7 に、ADR ピンによるユーザー定義アドレスを示します。

表 7-7. I²C ターゲットアドレス構成

ADR ピンの構成	MSB				ユーザー定義			LSB
0Ω から GND	1	1	0	0	0	0	0	R/W
1kΩ から GND へ	1	1	0	0	0	0	1	R/W
4.7kΩ から GND へ	1	1	0	0	0	1	0	R/W
15kΩ から GND へ	1	1	0	0	0	1	1	R/W
33kΩ から DVDD へ	1	1	0	0	1	0	0	R/W
6.8kΩ から DVDD へ	1	1	0	0	1	0	1	R/W

7.5.3.1 ランダム書き込み

図 7-12 にあるように、シングル バイトのデータ書き込み転送では、最初にマスター デバイスが開始条件を送信し、次に I²C デバイス アドレスと読み取り / 書き込みビットが続きます。データ転送方向は、R/W ビットによって決定されます。書き込みデータ転送する場合、R/W ビットは 0 です。正しい I²C デバイス アドレスと R/W ビットを受信すると、デバイスはアックノリッジ ビットを返します。次に、コントローラは、アドレスバイトまたはアクセスしている内部メモリ アドレスに対応するアドレス バイトを送信します。デバイスは、レジスタ バイトを受信すると、再度アックノリッジ ビットを返信します。次に、コントローラ デバイスはアクセスしているメモリアドレスに書き込まれたデータバイトを送信します。デバイスは、データ バイトを受信すると、再度アックノリッジ ビットを返信します。最後に、コントローラ デバイスが停止条件を送信すると、シングル バイト データの書き込み転送が完了します。

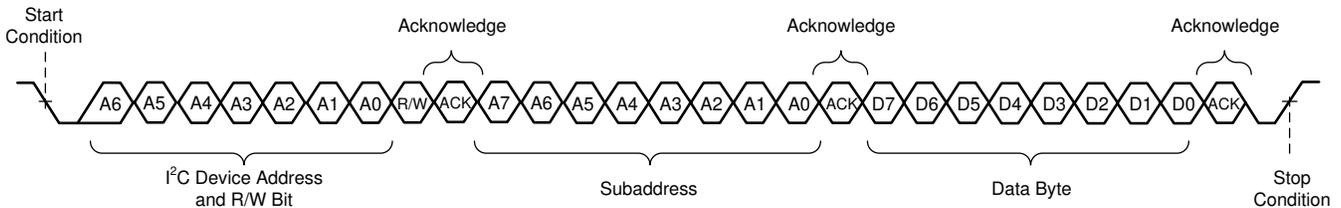


図 7-12. ランダム書き込み転送

7.5.3.2 シーケンシャル書き込み

シーケンシャル データの書き込み転送は、図 7-13 に示すように、複数のデータ バイトがコントローラからデバイスに送信される点を除き、シングル バイト データの書き込み転送と同じです。各データバイトを受信すると、デバイスはアックノリッジ ビットで応答し、I²C サブアドレスが自動的に 1 つずつ増加します。

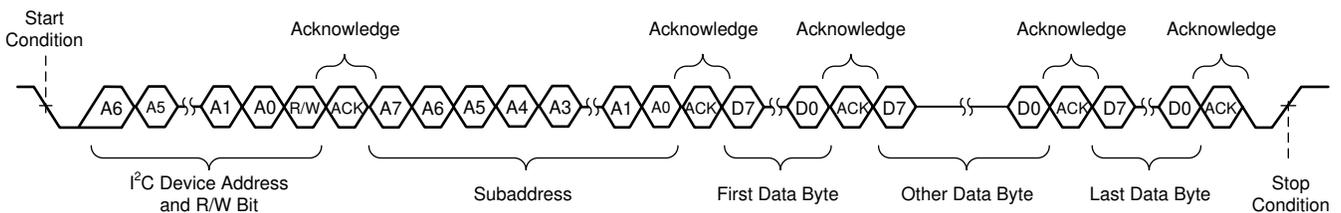


図 7-13. シーケンシャル書き込み転送

7.5.3.3 ランダム読み出し

図 7-14 に示すように、シングル バイトのデータ読み取り転送では、コントローラ デバイスが開始条件を送信し、次に I²C デバイス アドレスと R/W ビットを送信することで開始されます。データ読み取り転送の場合、実際には書き込みとその次の読み取りの両方が行われます。最初に、内部メモリ アドレスの読み取りに必要なアドレス バイトを転送するために、書き込みが実行されます。その結果、R/W ビットは 0 になります。このデバイスは、アドレスと読み取り / 書き込み ビットを受信すると、アックノリッジ ビットで応答します。さらに、内部メモリアドレスを送信後、コントローラ デバイスは別の開始条件に続いて、アドレス、R/W ビットを送信します。このとき、R/W ビットは 1 に設定され、読み取り転送が実行されたことを示します。デバイスは、アドレスと R/W ビットを受信すると、再度アックノリッジ ビットで応答します。次に、デバイスは読み取り中のメモリ アドレスからデータ バイトを送信します。データ バイトを受信すると、コントローラ デバイスは非応答 (not-acknowledge) を送信し、その後、停止条件を出して、シングルバイトデータ読み取り転送が完了します。

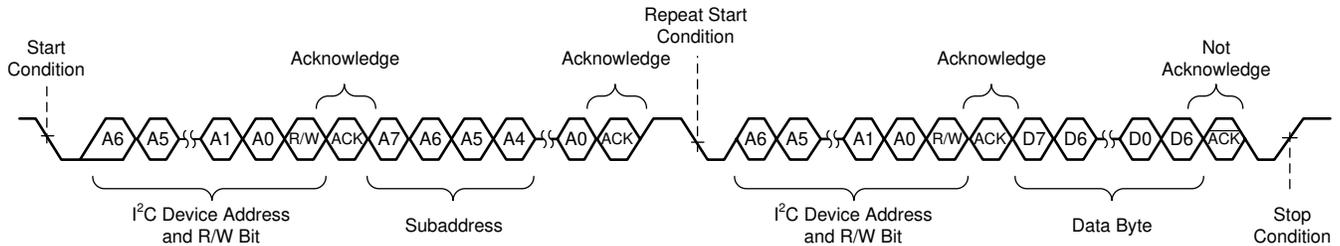


図 7-14. ランダム読み取り転送

7.5.3.4 シーケンシャル読み出し

シーケンシャルデータの読み取り転送はシングルバイトのデータ読み取り転送と同じですが、図 7-15 に示すように、複数のデータバイトがデバイスによってコントローラ デバイスに送信されます。コントローラ デバイスは、最後のデータバイトを除いて、各データバイトを受信すると肯定応答ビットで応答し、I²C サブアドレスを自動的に 1 ずつインクリメントします。最後のデータバイトを受信した後、コントローラ デバイスは、転送を完了するために非応答 (NACK) を送信し、その後に停止条件を送信します。

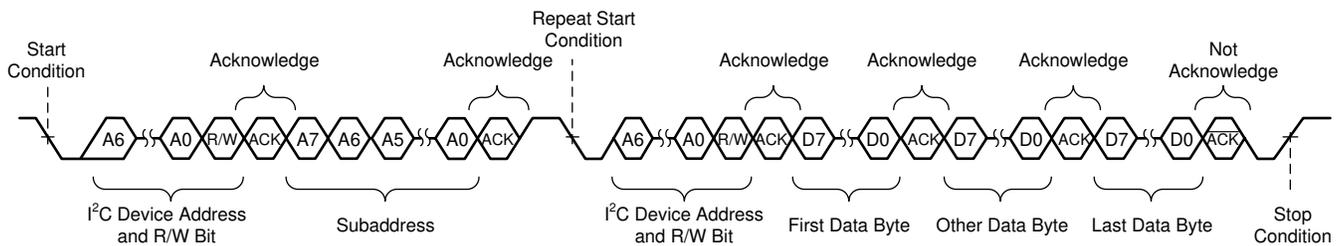


図 7-15. シーケンシャルリード転送

7.5.3.5 DSP メモリ ブック、ページおよび BQ を更新

各ブックのページ 0x00 で、ブックを変更するためにレジスタ 0x7f を使用します。各ページのレジスタ 0x00 は、ページを変更するために使用されます。ページを変更するには、まず、レジスタ 0x00 をレジスタ 0x00 に書き込んで、ページ 0 に切り換えるようにして、ページ 0 のレジスタ 0x7f にブック番号を書き込みます。ブック内のページを切り替えるには、レジスタ 0x00 にページ番号を書き込むだけです。

すべてのバイクワッド フィルタ係数は、ブック 0xAA でアドレス指定されています。すべてのバイクワッド フィルタの 5 つの係数は、すべて、最小アドレスから最高アドレスまで順に書き込まれます。

7.5.3.6 チェックサム

このデバイスは、巡回冗長性検査 (CRC) チェックサムと排他的 (XOR) チェックサムという 2 種類のチェックサム方式をサポートしています。レジスタの読み出しではチェックサムは変更されませんが、存在しないレジスタに書き込みを行うと、チェックサムが変更されます。両方のチェックサムは 8 ビットのチェックサムであり、両方とも同時に利用できます。チェックサムは、4 バイトの各レジスタ位置に開始値 (たとえば、0x00 00 00 00) を書き込むことでリセットできます。

7.5.3.6.1 巡回冗長性検査 (CRC) チェックサム

使用される 8 ビット CRC チェックサムは 0x7 多項式 (CRC-8-CCITT I.432.1、ATM HEC、ISDN HEC、およびセルの描画 $(1 + x^1 + x^2 + x^8)$) である。CRC チェックサムの主な利点は、CRC チェックサムが入力順序に敏感であることです。CRC は、ブックとページの切り替えを除く、すべての I²C トランザクションをサポートします。CRC チェックサムは、任意のブックのページ 0 にある (B_x、Page_0、Reg_126) のレジスタ 0x7E から読み出されます。CRC チェックサムは、CRC チェックサムが有効なものであるのと同じレジスタ位置に 0x00 を書き込むことでリセットできます。

7.5.3.6.2 排他 または (XOR) チェックサム

Xor チェックサムは、より単純なチェックサム方式である。チェックサムは、前の 8 ビット チェックサム レジスタ値とともに、各レジスタ バイト書き込みに対して順次 XOR を実行します。XOR は、ブック 0x8C のみをサポートしており、ブック

0x8C のページ 0x00 にあるすべてのレジスタは除外されます。XOR チェックサムは、ブック 0x8C (B_140、Page_0、Reg_125) の 0x00 の位置レジスタ 0x7D から読み出されます。XOR チェックサムは、0x00 が読み出されるのと同じレジスタ位置に 0x00 を書き込むことでリセットできます。

7.5.4 ソフトウェアによる制御

- 起動手順
- シャットダウン手順

7.5.4.1 起動手順

1. ADR ピンは、I²C デバイス アドレスまたはハードウェア モードの適切な設定で、HW_SEL0 および HW_SEL1 設定を行います。
2. 電源を起動します (PVDD と DVDD のどちらが先に起動するかは問題ではありません)。
3. 電源が安定した後、少なくとも 100µs を待ち、 $\overline{\text{PDN}}$ を High にして内部 LDO をイネーブルにします。
4. 目的の設定を構成するための I²C 制御ポート。このプロセスには、ディープスリープから HiZ への変換、レジスタマップ構成、DSP 係数、および Play モードに設定されます。ハードウェア モードでは、このステップ I²C 書き込みは必要ありません。
5. I²S クロックが安定すると、TAS5828M は通常動作の音楽再生に移行します。

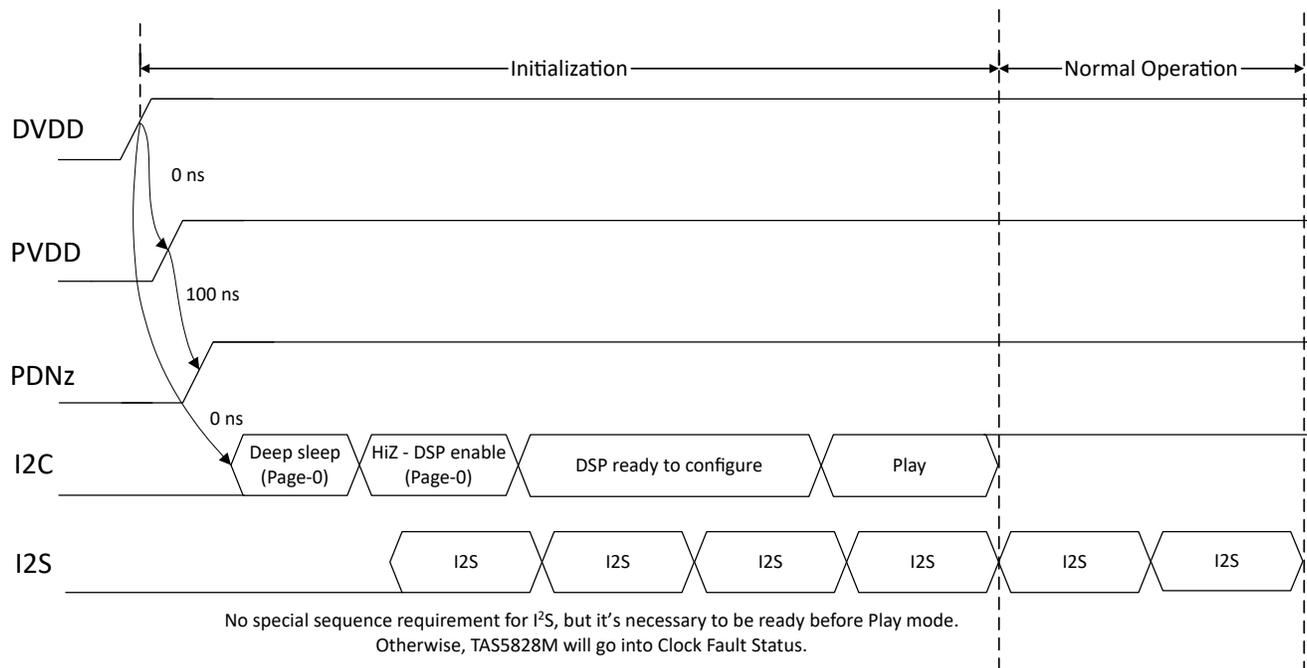
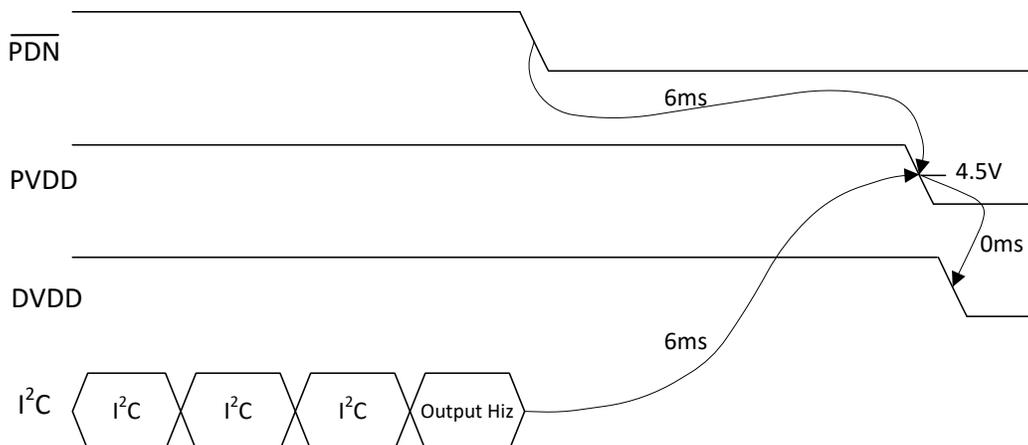


図 7-16. TAS5828M の起動手順

7.5.4.2 シャットダウン手順

1. デバイスは正常に動作しています。
2. I²C 制御ポートを使用してレジスタ 0x03h [1:0]=10 (Hiz)を設定するか、 $\overline{\text{PDN}}$ を low にプルします。
3. 少なくとも 6ms 待ちます (この時間は、LRCLK レート、デジタル ボリューム、およびデジタル ボリュームのランプダウン レートに依存します)。
4. 電源をオフにします。
5. これでデバイス完全にシャットダウンし、電源がオフになりました。



- Before PVDD/DVDD power down, Class D Output driver needs to be disabled by $\overline{\text{PDN}}$ or by I²C.
- At least 6ms delay needed based on LRCLK (Fs) = 48kHz, Digital volume ramp down update every sample period, decreased by 0.5dB for each update, digital volume = 24dB. Change the value of register 0x4C and 0x4E or change the LRCLK rate, the delay changes.

図 7-17. 電源オフ シーケンス

7.5.5 保護および監視

7.5.5.1 過電流制限 (サイクルバイ サイクル)

直接過電流シャットダウンによってオーディオ出力をミュートするのに加え、TAS5828M には CBC 電流制限保護もあります。目的は、PWM スイッチングにパルスを挿入することで過電流シャットダウンレベルよりも前に出力電流を減らすことです。スレッシュホールド (電気的特性 - $\text{OCE}_{\text{THRES}}$ のリスト) はレジスタ 0x77h [4:3] Reg_CBC_Level_Sel で設定できます。

オーディオに対する全体的な影響は、過負荷の除去を中断することなく連続的な音楽再生を維持するために音楽信号のピーク電力を一時的に制限する電圧クリッピングに非常に似ています。

7.5.5.2 過電流シャットダウン (OCSD)

出力が PVDD またはグランドに短絡するなどの重大な短絡イベントが発生した場合、TAS5828M はピーク電流検出器が過電流スレッシュホールド (電気的特性 - $\text{OCE}_{\text{THRES}}$ のリスト) を超えると 100ns 以内にシャットダウン プロセスを開始します。シャットダウン速度は、短絡のインピーダンス、電源電圧、スイッチング周波数など、いくつかの要因に依存します。

OCSD イベントが発生すると、障害 GPIO が低く引き下げられ、I²C 障害レジスタの障害ステータスが報告され、出力が高インピーダンス Hiz 状態に移りて障害を示します。これはラッチエラーなので、ユーザーは I²C の障害クリア操作を介して出力を再開する必要があります。

7.5.5.3 DC 検出エラー

TAS5828M が、出力電圧クロス スピーカの DC エラー保護スレッシュホールド $\text{DCR}_{\text{THRES}}$ の DC オフセットを検出し、このステータス期間が T_{DCDET} (電気的特性 - 保護の一覧) を超えている場合、FAULTZ ラインが low にプルされ、OUTxx 出

力が高インピーダンスに遷移してフォルトが通知されます。このラッチ付き DC 保護エラーでは、オーディオ出力を再開するには、I²C のクリア フォルト動作が必要です。

7.5.5.4 過熱シャットダウン (OTSD)

電气的特性- OCE_{THRES} に規定された過熱スレッシュホールドを超えないように、TAS5828M デバイスはダイ温度を継続的に監視します。OTE イベントが発生すると、フォルト GPIO は low にプルされ、I²C フォルト ステータスが通知されると、オーディオ出力は高インピーダンスの HiZ モードに移行して、フォルトが通知されます。これはラッチされたエラーであり、オーディオの再生を再開するには I²C クリア フォルト動作が必要です。

7.5.5.5 PVDD 過電圧および低電圧誤差

PVDD 電源に供給される電圧が OVE_{THRES(PVDD)} を超えるか、**Electrical 電气的特性 - 保護** に記載されている UVE_{THRES(PVDD)} を下回ると、障害 GPIO が低く引き下げられ、I²C 障害ステータスが報告され、オーディオ出力は高インピーダンス Hiz モードに移行します。これらは自己クリア エラーであるため、PVDD レベルが通常動作に戻ると、デバイスはオーディオ再生を再開します。

7.5.5.6 PVDD 降下検出

TAS5828M は PVDD 低電圧シャットダウン保護だけでなく、オプションの PVDD 電圧降下検出も備えています。内部 PVDD のリアルタイム検出電圧に基づいて、TAS5828M は予測される動作に構成できます。この動作により、ピン 10 PD_DET を high から low に切り替えることで、PVDD が特定のレベル (デフォルト 8V) を下回ったことを示し、また TAS5828M が自動的に Hiz モードに移行してオーディオ出力をシャットダウンするかどうかを示すことができます。これらの設定はすべて、レジスタ 0x04h および 0x05h からアクセスできます。

目的は、GPIO を経由してユーザー製品の制御システムに PVDD 電圧降下情報をフィードバックすることで、柔軟な保護戦略を実装できます。例えば、PD_DET ピンが low になると、SOC によって、オーディオ ボリューム フェードアウト プロセスが開始される場合があります。このプロセスにより、効果的なポップクリック音なしで制御シャットダウンを実現できます。

7.5.5.7 クロック障害

入力データ クロックでクロック誤差が検出されると、TAS5828M デバイスは内部発振器に切り替わり、DAC の駆動を続行します。これにより、最後に既知の値からデータは減衰します。このプロセスが完了すると、DAC 出力はグラウンドにハードミュートされ、オーディオ出力は停止します。このラッチされていないクロック フォルト ステータスは I²C フォルト ステータス レジスタで通知され、正しいクロックが戻ると本デバイスは自動的に再生モードに戻ります。

8 レジスタ マップ

8.1 ポートコントロールレジスタ

表 8-1 に、制御ポートのメモリ マップされたレジスタを示します。表 8-1 にリストされていないすべてのレジスタ オフセット アドレスは予約領域と見なされ、レジスタの内容は変更しないでください。

表 8-1. ポートコントロールレジスタ

オフセット	略称	レジスタ名	セクション
1h	RESET_CTRL	レジスタ 1	表示
2h	DEVICE_CTRL1	レジスタ 2	表示
3h	DEVICE_CTRL2	レジスタ 3	表示
4h	PVDD_DROP_DETECTION_CTRL1	レジスタ 4	表示
5h	PVDD_DROP_DETECTION_CTRL2	レジスタ 5	表示
Fh	I2C_PAGE_AUTO_INC	レジスタ 15	表示
28h	SIG_CH_CTRL	レジスタ 40	表示
29h	CLOCK_DET_CTRL	レジスタ 41	表示
30h	SDOUT_SEL	レジスタ 48	表示
31h	I2S_CTRL	レジスタ 49	表示
33h	SAP_CTRL1	レジスタ 51	表示
34h	SAP_CTRL2	レジスタ 52	表示
35h	SAP_CTRL3	レジスタ 53	表示
37h	FS_MON	レジスタ 55	表示
38h	BCK (SCLK)_MON	レジスタ 56	表示
39h	CLKDET_STATUS	レジスタ 57	表示
40h	DSP_PGM_MODE	レジスタ 64	表示
46h	DSP_CTRL	レジスタ 70	表示
4Ch	DAC_GAIN	レジスタ 76	表示
4Eh	DIG_VOL_CTRL1	レジスタ 78	表示
4Fh	DIG_VOL_CTRL2	レジスタ 79	表示
50h	AUTO_MUTE_CTRL	レジスタ 80	表示
51h	AUTO_MUTE_TIME	レジスタ 81	表示
53h	ANA_CTRL	レジスタ 83	表示
54h	AGAIN	レジスタ 84	表示
5Eh	PVDD_ADC	レジスタ 94	表示
60h	GPIO_CTRL	レジスタ 96	表示
61h	GPIO1_SEL	レジスタ 97	表示
62h	GPIO2_SEL	レジスタ 98	表示
63h	GPIO0_SEL	レジスタ 99	表示
64h	GPIO_INPUT_SEL	レジスタ 100	表示
65h	GPIO_OUT	レジスタ 101	表示
66h	GPIO_OUT_INV	レジスタ 102	表示
67h	DIE_ID	レジスタ 103	表示
68h	POWER_STATE	レジスタ 104	表示
69h	AUTOMUTE_STATE	レジスタ 105	表示
6Ah	PHASE_CTRL	レジスタ 106	表示

表 8-1. ポートコントロールレジスタ (続き)

オフセット	略称	レジスタ名	セクション
6Bh	SS_CTRL0	レジスタ 107	表示
6Ch	SS_CTRL1	レジスタ 108	表示
6Dh	SS_CTRL2	レジスタ 109	表示
6Eh	SS_CTRL3	レジスタ 110	表示
6Fh	SS_CTRL4	レジスタ 111	表示
70h	CHAN_FAULT	レジスタ 112	表示
71h	GLOBAL_FAULT1	レジスタ 113	表示
72h	GLOBAL_FAULT2	レジスタ 114	表示
73h	WARNING	レジスタ 115	表示
74h	PIN_CONTROL1	レジスタ 116	表示
75h	PIN_CONTROL2	レジスタ 117	表示
76h	MISC_CONTROL	レジスタ 118	表示
77h	CBC_CONTROL	レジスタ 119	表示
78h	FAULT_CLEAR	レジスタ 120	表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-2. 制御ポート アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.1.1 RESET_CTRL Register (オフセット = 1h) [リセット = 0x00]

図 8-1 に、RESET_CTRL を示し、表 8-3 に、その説明を示します。

概略表に戻ります。

図 8-1. RESET_CTRL レジスタ

7	6	5	4	3	2	1	0
予約済み		RST_MOD		予約済み		RST_REG	
R/W		W		R		W	

表 8-3. RESET_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	000	このビットは予約済みです
4	RST_DIG_CORE	W	0	書き込みクリア ビット DIG_CORE をリセット 書き込みクリア ビットリセットフル デジタル コア。このビットは、完全なデジタル信号パス(DSP 係数 RAM および I2C 制御ポートレジスタを含む)をリセットします。DSP もリセットされるため、係数 RAM の内容も DSP によってクリアされます。 0: 正常 1: フル デジタル信号パスのリセット
3-1	予約済み	R	000	このビットは予約済みです
0	RST_REG	W	0	書き込みクリア ビット リセット レジスタ このビットは、モードレジスタを初期値にリセットします。制御ポートレジスタのみをリセットしても、RAM の内容はクリアされません。 0: 正常 1: I ² C コントローラ ポートのリセット

8.1.2 DEVICE_CTRL_1 レジスタ (オフセット = 2h) [リセット = 0x00]

図 8-2 に、DEVICE_CTRL_1 を示し、表 8-4 に、その説明を示します。

概略表に戻ります。

図 8-2. DEVICE_CTRL_1 レジスタ

7	6	5	4	3	2	1	0
予約済み	FSW_SEL		予約済み	DAMP_PBTL	DAMP_MOD		
R/W	R/W		R/W	R/W	R/W		

表 8-4. DEVICE_CTRL_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0	このビットは予約済みです

表 8-4. DEVICE_CTRL_1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-4	FSW_SEL	R/W	000	FSW を選択 000:384K 010:480K 011:576K 100:768K 001:予約済み 101:予約済み 110:予約済み 111:予約済み
3	予約済み	R/W	0	このビットは予約済みです
2	DAMP_PBTL	R/W	0	0:DAMP を BTL モードに設定 1:DAMP を PBTL モードに設定
1-0	DAMP_MOD	R/W	00	00:BD モード 01:1SPW モード 10:ハイブリッド モード

8.1.3 DEVICE_CTRL2 レジスタ (オフセット = 3h) [リセット = 0x10]

図 8-3 に、DEVICE_CTRL2 を示し、表 8-5 に、その説明を示します。

概略表に戻ります。

図 8-3. DEVICE_CTRL2 レジスタ

7	6	5	4	3	2	1	0
予約済み			DIS_DSP	MUTE_LEFT	予約済み	CTRL_STATE	
R/W			R/W	R/W	R/W	R/W	

表 8-5. DEVICE_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	000	このビットは予約済みです
4	DIS_DSP	R/W	1	DSP リセット ビットが 0 になると、DSP は電源投入を開始し、データを送信します。これは、すべての入力クロックがセトリングした後でのみ 0 にして、DMA チャンネルが同期を終了しないようにする必要があります。 0:通常動作 1:DSP をリセットします
3	MUTE	R/W	0	左および右チャンネルの両方をミュート このビットは左および右チャンネルのソフト ミュート要求を発行します。ボリュームは、ポップ/クリック ノイズを防ぐためにスムーズに下降/上向きになります。 0:通常のボリューム 1:ミュート
2	予約済み	R/W	0	このビットは予約済みです
1-0	CTRL_STATE	R/W	00	デバイス状態制御レジスタ 00:ディープ スリープ 01:スリープ 10: Hiz, 11: 再生

8.1.4 PVDD_DROP_DETECTION_CTRL1 レジスタ (オフセット = 4h) [リセット = 0x00]

図 8-4 に、PVDD_DROP_DETECTION_CTRL1 を示し、表 8-6 に、その説明を示します。

概略表に戻ります。

図 8-4. PVDD_DROP_DETECTION_CTRL1 レジスタ

7	6	5	4	3	2	1	0
予約済み				PVDD_DROP_DET_SEQUEN CE	PVDD_DROP_DET_AVE_SAMP LES		PVDD_DROP_DET_BYPASS
R/W				R/W	R/W		R/W

表 8-6. PVDD_DROP_DETECTION_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	000	このビットは予約済みです
3	PVDD_DROP_DET_State _Control	R/W	0	このビットは、PVDD 降下検出が発生したときにデバイスが自動的に Hiz に設定されるのか、それともまだ再生されるのかを制御します。 0: デバイスは PVDD 降下によって設定されたスレッショルドも再生モードに維持します 1: PVDD が構成したスレッショルドを低下させると、デバイスは Hiz に移行します
2-1	PVDD_DROP_DET_AVE_ SAMPLES	R/W	00	PVDD 検出の平均サンプル このビットは、PVDD 電圧検出の平均サンプルを設定するために使用されます。 00: 1 サンプル - サイクルごと、平均値なし 01: 16 サンプル 10: 32 サンプル 11: 64 個のサンプル
0	PVDD_DROP_DET_Enabl e	R/W	0	PVDD 降下検出イネーブル このビットは、PVDD 降下検出のイネーブルまたはバイパスを制御します。 0: PVDD 降下検出をバイパス 1: PVDD 降下検出は有効

8.1.5 PVDD_DROP_DETECTION_CTRL2 レジスタ (オフセット = 5h) [リセット = 0x44]

図 8-5 に、PVDD_DROP_DETECTION_CTRL2 を示し、表 8-7 に、その説明を示します。

概略表に戻ります。

図 8-5. PVDD_DROP_DETECTION_CTRL2 レジスタ

7	6	5	4	3	2	1	0
PVDD 降下検出電圧スレッショルド							
R/W							

表 8-7. PVDD_DROP_DETECTION_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PVDD 降下検出電圧スレ シヨルド	R/W	00000000	このビットは、PVDD 降下検出スレッショルドを設定するために使用されます。0xFFh への無線はフル スケール電圧 30V に等しくなります。例: 8V のスレッショルド: 8V/30V = 0x44h/0xFFh. PVDD 降下スレッショルドの構成: 00: 0 V 01: 0.117V ... 44: 8V ... FF: 30V

8.1.6 I2C_PAGE_AUTO_INC レジスタ (オフセット = Fh) [リセット = 0x00]

図 8-6 に、I2C_PAGE_AUTO_INC を示し、表 8-8 に、その説明を示します。

概略表に戻ります。

図 8-6. I2C_PAGE_AUTO_INC レジスタ

7	6	5	4	3	2	1	0
予約済み			PAGE_AUTOINC_REG		予約済み		
R/W			R/W		R/W		

表 8-8. I2C_PAGE_AUTO_INC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0000	このビットは予約済みです
3	PAGE_AUTOINC_REG	R/W	0	ページ自動増分を無効にします ページ自動インクリメントモードを無効にします。 このビットが 0 でページの終わりに達すると、I2C アドレスは次のページの 8 番目のアドレス位置に自動的にインクリメントされます。このビットが 1 でページの末尾に達すると、古い部分と同様に、I2C アドレスは現在のページの 0 番目の位置に戻ります。 0: ページ自動インクリメントを有効にします 1: ページ自動インクリメントを無効にします
2-0	予約済み	R/W	000	このビットは予約済みです

8.1.7 SIG_CH_CTRL レジスタ (オフセット = 28h) [リセット = 0x00]

図 8-7 に、SIG_CH_CTRL を示し、表 8-9 に、その説明を示します。

概略表に戻ります。

図 8-7. SIG_CH_CTRL レジスタ

7	6	5	4	3	2	1	0
SCLK_RATIO_CONFIGURE			FSMODE		予約済み		
R/W			R/W		R/W		

表 8-9. SIG_CH_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	SCLK_RATIO_CONFIGURE	R/W	0000	これらのビットは、構成された SCLK 比 (1 つのオーディオ フレーム内の SCLK クロック数) を示します。デバイスはこの比率を自動的に設定します。 4'b0011:32FS 4'b0101:64FS 4'b0111:128FS 4'b1001:256FS 4'b1011:512FS

表 8-9. SIG_CH_CTRL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	FSMODE	R/W	0	FS 速度モードこれらのビットは、FS 動作モードを選択します。このモードは、現在のオーディオ サンプリング レートに応じて設定する必要があります。入力 FS が 44.1kHz/88.2kHz/176.4kHz の場合、このビットを手動で設定する必要があります。 4 'b0000 自動検出 4 'b0100 予約済み 4 'b0110 32KHz 4 'b1000 44.1KHz 4 'b1001 48KHz 4 'b1010 88.2KHz 4 'b1011 96KHz 4 'b1100 176.4KHz 4 'b1101 192KHz その他予約済み
2-0	予約済み	R/W	000	このビットは予約済みです

8.1.8 CLOCK_DET_CTRL レジスタ (オフセット = 29h) [リセット = 0x00]

図 8-8 に、CLOCK_DET_CTRL を示し、表 8-10 に、その説明を示します。

概略表に戻ります。

図 8-8. CLOCK_DET_CTRL レジスタ

7	6	5	4	3	2	1	0
予約済み	DIS_DET_PLL	DIS_DET_SCL K_RANGE	DIS_DET_FS	DIS_DET_SCL K	DIS_DET_MISS	予約済み	予約済み
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-10. CLOCK_DET_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0	このビットは予約済みです
6	DIS_DET_PLL	R/W	0	PLL オーバーレート検出を無視 このビットは、PLL オーバーレート検出を無視するかどうかを制御します。PLL は 150MHz よりも低速にする必要があります。そうしないと、エラーが報告されます。無視すると、PLL オーバーレート エラーによってクロック エラーは発生しません。 0: PLL オーバーレート検出を考慮 1: PLL オーバーレート検出を無視します
5	DIS_DET_SCLK_RANGE	R/W	0	BCK 範囲検出を無視 このビットは、SCLK 範囲検出を無視するかどうかを制御します。SCLK は 256KHz ~ 50MHz の範囲で安定している必要があります。安定していない場合、エラーが通知されます。無視されると、SCLK 範囲エラーによってクロック エラーは発生しません。 0: BCK 範囲検出を考慮 1: BCK 範囲検出を無視します
4	DIS_DET_FS	R/W	0	FS エラー検出を無視 このビットは、FS エラー検出を無視するかどうかを制御します。無視されると、FS エラーによってクロック エラーは発生しません。しかし、CLKDET_STATUS は fs エラーを報告します。 0: FS 検出を考慮 1: FS 検出を無視します
3	DIS_DET_SCLK	R/W	0	SCLK 検出を無視 このビットは、LRCK に対する SCLK 検出を無視するかどうかを制御します。SCLK は 32FS ~ 512FS の範囲で安定している必要があります。安定していない場合、エラーが報告されます。無視されると、SCLK エラーによってクロック エラーは発生しません。 0: SCLK 検出を考慮 1: SCLK 検出を無視します
2	DIS_DET_MISS	R/W	0	SCLK 欠損検出を無視 このビットは、SCLK 欠損検出を無視するかどうかを制御します。無視されると、SCLK が欠けてもクロック エラーは発生しません。 0: SCLK 喪失検出を考慮します 1: SCLKmissing 検出を無視します
1	予約済み	R/W	0	このビットは予約済みです
0	予約済み	R/W	0	このビットは予約済みです

8.1.9 SDOUT_SEL レジスタ (オフセット = 30h) [リセット = 0x00]

図 8-10 に SDOUT_SEL を示し、表 8-11 でその説明を示します。

概略表に戻ります。

図 8-9. SDOUT_SEL レジスタ

7	6	5	4	3	2	1	0
予約済み				予約済み		SDOUT_SEL	
R/W				R/W		R/W	

表 8-11. SDOUT_SEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	0000000	これらのビットは予約済みです
0	SDOUT_SEL	R/W	0	SDOUT 選択。選択このビットは、SDOUT ピンとして出力されるものを選択します。 0:SDOUT は DSP 出力 (後処理) です 1:SDOUT は DSP 入力 (前処理) です

8.1.10 I2S_CTRL レジスタ (オフセット = 31h) [リセット = 0x00]

図 8-10 に、I2S_CTRL レジスタを示し、表 8-12 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

図 8-10. I2S_CTRL レジスタ

7	6	5	4	3	2	1	0
予約済み		SCLK_INV	予約済み	予約済み	予約済み		予約済み
R/W		R/W	R/W	R	R		R/W

表 8-12. I2S_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R/W	00	このビットは予約済みです
5	SCLK_INV	R/W	0	SCLK 極性 このビットは、反転 SCLK モードを設定します。反転 SCLK モードでは、DAC は LRCK と DIN のエッジが SCLK の立ち上がりエッジに整列していることを想定しています。通常、LRCK および DIN エッジは、SCLK の立ち下がりエッジに合わせて調整されているものと想定されています 0:通常 SCLK モード 1:反転 SCLK モード
4	予約済み	R/W	0	このビットは予約済みです
3	予約済み	R	0	このビットは予約済みです
2-1	予約済み	R	00	これらのビットは予約済みです
0	予約済み	R/W	0	このビットは予約済みです

8.1.11 SAP_CTRL1 レジスタ (オフセット = 33h) [リセット = 0x02]

図 8-11 に、SAP_CTRL1 を示し、表 8-13 に、その説明を示します。

概略表に戻ります。

図 8-11. SAP_CTRL1 レジスタ

7	6	5	4	3	2	1	0
I2S_SHIFT_MSB	予約済み	DATA_FORMAT		I2S_LRCLK_PULSE		WORD_LENGTH	
R/W	R/W	R/W		R/W		R/W	

表 8-13. SAP_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	I2S_SHIFT_MSB	R/W	0	I2S シフト MSB
6	予約済み	R/W	0	このビットは予約済みです
5-4	DATA_FORMAT	R/W	00	I2S データフォーマット これらのビットは、DAC 動作の入力と出力両方のオーディオ インターフェイスフォーマットを制御します。 00: I2S 01: TDM/DSP 10: RTJ 11: LTJ
3-2	I2S_LRCLK_PULSE	R/W	00	01: LRCLK パルス < 8 SCLK
1-0	WORD_LENGTH	R/W	10	I2S ワード長 これらのビットは、DAC 動作の入力と出力両方のオーディオ インターフェイスのサンプルワード長を制御します。 00: 16 ビット 01: 20 ビット 10: 24 ビット 11: 32 ビット

8.1.12 SAP_CTRL2 レジスタ (オフセット = 34h) [リセット = 0x00]

図 8-12 に、SAP_CTRL2 レジスタを示し、表 8-14 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

図 8-12. SAP_CTRL2 レジスタ

7	6	5	4	3	2	1	0
I2S_SHIFT							
R/W							

表 8-14. SAP_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	I2S_SHIFT	R/W	00000000	I2S シフト LSB これらのビットは、入力と出力の両方のオーディオ フレーム内のオーディオ データのオフセットを制御します。オフセットは、オーディオ フレームの開始 (MSB) から目的のオーディオ サンプルの開始までの SCLK 数として定義されます。MSB [8] は セクション 8.1.11 000000000: オフセット = 0 SCLK (オフセットなし) 000000001: オフセット = 1 SCLK 000000010: オフセット = 2 SCLK および 111111111: オフセット = 512 SCLK に配置

8.1.13 SAP_CTRL3 レジスタ (オフセット = 35h) [リセット = 0x11]

図 8-13 に、SAP_CTRL3 レジスタを示し、表 8-15 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

図 8-13. SAP_CTRL3 レジスタ

7	6	5	4	3	2	1	0
予約済み		LEFT_DAC_DPATH		予約済み		RIGHT_DAC_DPATH	
R/W		R/W		R/W		R/W	

表 8-15. SAP_CTRL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R/W	00	これらのビットは予約済みです
5-4	LEFT_DAC_DPATH	R/W	01	左 DAC データパス。これらのビットは、左チャンネルのオーディオ データパス接続を制御します。 00:ゼロ データ (ミュート) 01:左チャンネル データ 10:右チャンネル データ 11:予約済み (設定しないでください)
3-2	予約済み	R/W	00	これらのビットは予約済みです
1-0	RIGHT_DAC_DPATH	R/W	01	右 DAC データパス。これらのビットは、右チャンネルのオーディオ データパス接続を制御します。 00:ゼロ データ (ミュート) 01:右チャンネル データ 10:左チャンネル データ 11:予約済み (設定しないでください)

8.1.14 FS_MON レジスタ (オフセット = 37h) [リセット = 0x00]

図 8-14 に FS_MON を示し、表 8-16 でその説明を示します。

概略表に戻ります。

図 8-14. FS_MON レジスタ

7	6	5	4	3	2	1	0
予約済み		SCLK_RATIO_HIGH		FS			
R/W		R		R			

表 8-16. FS_MON レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R/W	00	このビットは予約済みです
5-4	SCLK_RATIO_HIGH	R	00	検出された SCLK 比の上位 2 ビット
3-0	FS	R	0000	これらのビットは、現在検出されているオーディオ サンプリング レートを示します。 4 'b0000 FS エラー 4 'b0100 16KHz 4 'b0110 32KHz 4 'b1000 予約済み 4 'b1001 48KHz 4 'b1011 96KHz 4 'b1101 192KHz その他予約済み

8.1.15 BCK (SCLK)_MON レジスタ (オフセット = 38h) [リセット = 0x00]

図 8-15 に BCK_MON を示し、表 8-17 でその説明を示します。

概略表に戻ります。

図 8-15. BCK (SCLK)_MON レジスタ

7	6	5	4	3	2	1	0
BCLK (SCLK)_RATIO_LOW							
R							

表 8-17. BCK_MON レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	BCLK (SCLK)_RATIO_LOW	R	00000000	これらのビットは、現在検出されている BCK (SCLK) 比 (1 つのオーディオフレーム内の BCK (SCLK) クロック数) を示します。 BCK (SCLK) = 32 FS~512 FS

8.1.16 CLKDET_STATUS レジスタ (オフセット = 39h) [リセット = 0x00]

図 8-16 に、CLKDET_STATUS を示し、表 8-18 に、その説明を示します。

概略表に戻ります。

図 8-16. CLKDET_STATUS レジスタ

7	6	5	4	3	2	1	0
予約済み		DET_STATUS					
R/W		R					

表 8-18. CLKDET_STATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R/W	00	このビットは予約済みです
5-0	DET_STATUS	R	000000	bit0: 自動検出モード (reg_fsmode = 0) では、このビットはオーディオ サンプリングレートが有効かどうかを示します。非自動検出モード (reg_fsmode!=0) では、Fs エラーは、構成された fs が、検出された fs と異なることを示します。FS エラー検出無視がセットされていても、このフラグもアサートされます。 bit1: このビットは SCLK が有効かどうかを示します。SCLK 比は安定しており、32 ~ 512FS の範囲内で有効にする必要があります。 bit2: このビットは、SCLK が存在しないかどうかを示します。 bit3: このビットは、PLL がロックされているかどうかを示します。ビットがディセーブルになると、PLL はロック解除されて通知されます。 bits4: このビットは、PLL がオーバーレートであるかどうかを示します。 bits5: このビットは、SCLK がオーバーレートであるかアンダーレートであるかを示します

8.1.17 DSP_PGM_MODE レジスタ (オフセット = 40h) [リセット = 0x01]

図 8-17 に、DSP_PGM_MODE を示し、表 8-19 に、その説明を示します。

概略表に戻ります。

図 8-17. DSP_PGM_MODE レジスタ

7	6	5	4	3	2	1	0
予約済み				CH1_HIZ	CH2_HIZ	予約済み	
				R/W	R/W		

表 8-19. DSP_PGM_MODE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0000	このビットは予約済みです
3	CH1_HIZ	R/W	0	Hi-Z モード チャンネル 1 出力スイッチングを停止し、チャンネル 1 を Hi-Z モードに設定します。 0: 通常動作 1: Hi-Z 状態
2	CH2_HIZ	R/W	0	Hi-Z モード チャンネル 2 出力スイッチングを停止し、チャンネル 2 を Hi-Z モードに設定します。 0: 通常動作 1: Hi-Z 状態
1-0	予約済み	R/W	01	このビットは予約済みです

8.1.18 DSP_CTRL レジスタ (オフセット = 46h) [リセット = 0x01]

図 8-18 に、DSP_CTRL を示し、表 8-20 に、その説明を示します。

概略表に戻ります。

図 8-18. DSP_CTRL レジスタ

7	6	5	4	3	2	1	0
予約済み			USER_DEFINED_PROCESSING_RATE		予約済み	BOOT_FROM_I RAM	USE_DEFAULT_COEFFS
R/W			R/W		R	R/W	R/W

表 8-20. DSP_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	000	このビットは予約済みです
4-3	USER_DEFINED_PROCESSING_RATE	R/W	00	00: 入力 01: 48k 10: 96k 11: 192k
2	予約済み	R	0	このビットは予約済みです
1	予約済み	R	0	このビットは予約済みです
0	予約済み	R/W	1	このビットは予約済みです

8.1.19 DAC_GAIN レジスタ (オフセット = 4Ch) [リセット = 30h]

図 8-19 に DAC_GAIN を示し、表 8-21 でその説明を示します。

概略表に戻ります。

図 8-19. DAC_GAIN レジスタ

7	6	5	4	3	2	1	0
DAC_GAIN							
R/W							

表 8-21. DAC_GAIN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DAC_GAIN	R/W	00110000	DAC_GAIN これらのビットは、左右両方のチャンネルのデジタル ボリュームを制御します。デジタル ボリュームは、-0.5dB ステップで 24dB から -103dB です。 00000000: +24.0dB 00000001: +23.5dB および 00101111: +0.5dB 00110000: 0.0dB 00110001: -0.5dB 11111110: -103dB 11111111: ミュート

8.1.20 DIG_VOL_CTRL1 レジスタ (オフセット = 4Eh) [リセット = 0x33]

図 8-20 に、DIG_VOL_CTRL1 を示し、表 8-22 に、その説明を示します。

概略表に戻ります。

図 8-20. DIG_VOL_CTRL1 レジスタ

7	6	5	4	3	2	1	0
PGA_RAMP_DOWN_SPEED		PGA_RAMP_DOWN_STEP		PGA_RAMP_UP_SPEED		PGA_RAMP_UP_STEP	
R/W		R/W		R/W		R/W	

表 8-22. DIG_VOL_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	PGA_RAMP_DOWN_SPEED	R/W	00	デジタル ボリューム通常ランブダウン周波数 これらのビットは、ボリュームがランブダウンしているときのデジタル ボリュームの更新周波数を制御します。 00: 1 FS 期間ごとに更新 01: 2 FS 期間ごとに更新 10: 4 FS 期間ごとに更新 11: ボリュームを直接ゼロに設定します (インスタントミュート)
5-4	PGA_RAMP_DOWN_STEP	R/W	11	デジタル ボリューム通常ランブダウン ステップ これらのビットは、ボリュームのランブダウン時のデジタル ボリュームの更新手順を制御します。 00: 更新ごとに 4dB デクリメント 01: 更新ごとに 2dB デクリメント 10: 更新ごとに 1dB デクリメント 11: 更新ごとに 0.5dB デクリメント
3-2	PGA_RAMP_UP_SPEED	R/W	00	デジタル ボリューム通常ランブアップ周波数 これらのビットは、ボリュームがランブアップしているときのデジタル ボリュームの更新周波数を制御します。 00: 1 FS 期間ごとに更新 01: 2 FS 期間ごとに更新 10: 4 FS 期間ごとに更新 11: ボリュームを直接復元する (即時ミュート解除)

表 8-22. DIG_VOL_CTRL1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1-0	PGA_RAMP_UP_STEP	R/W	11	デジタル ボリューム通常ランプアップ ステップ これらのビットは、ボリュームのランプアップ時のデジタル ボリュームの更新手順を制御します。 00: 更新ごとに 4dB インクリメント 01: 更新ごとに 2dB インクリメント 10: 更新ごとに 1dB インクリメント 11: 更新ごとに 0.5dB インクリメント

8.1.21 DIG_VOL_CTRL2 レジスタ (オフセット = 4Fh) [リセット = 0x30]

図 8-21 に、DIG_VOL_CTRL2 レジスタを示し、表 8-23 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

図 8-21. DIG_VOL_CTRL2 レジスタ

7	6	5	4	3	2	1	0
FAST_RAMP_DOWN_SPEED		FAST_RAMP_DOWN_STEP		予約済み			
R/W		R/W		R/W			

表 8-23. DIG_VOL_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	FAST_RAMP_DOWN_SPEED	R/W	00	デジタル ボリューム緊急ランプダウン周波数 これらのビットは、クロック エラーまたは電源の停止によりボリュームがランプダウンしているときのデジタルボリュームの更新頻度を制御します。通常、通常のソフトミュートよりも高速なランプダウンが必要です。 00: 1 FS 期間ごとに更新 01: 2 FS 期間ごとに更新 10: 4 FS 期間ごとに更新 11: ボリュームを直接ゼロに設定します (インスタントミュート)
5-4	FAST_RAMP_DOWN_STEP	R/W	11	デジタル ボリューム緊急ランプダウン ステップ これらのビットは、クロック エラーまたは電源の停止によりボリュームがランプダウンしているときのデジタルボリュームの更新ステップを制御します。通常、通常のソフトミュートよりも高速なランプダウンが必要です。 00: 更新ごとに 4dB デクリメント 01: 更新ごとに 2dB デクリメント 10: 更新ごとに 1dB デクリメント 11: 更新ごとに 0.5dB デクリメント
3-0	予約済み	R/W	0000	このビットは予約済みです

8.1.22 AUTO_MUTE_CTRL レジスタ (オフセット = 50h) [リセット = 0x00]

図 8-22 に AUTO_MUTE_CTRL を示し、表 8-24 でその説明を示します。

概略表に戻ります。

図 8-22. AUTO_MUTE_CTRL レジスタ

7	6	5	4	3	2	1	0
予約済み				REG_AUTO_MUTE_CTRL			
R/W				R/W			

表 8-24. AUTO_MUTE_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R/W	00000	このビットは予約済みです
2-0	REG_AUTO_MUTE_CTRL	R/W	000	bit0: 0:左チャンネルの自動ミュートをディセーブル 1:左チャンネルの自動ミュートのイネーブル bit1: 0:右チャンネルの自動ミュートをディセーブル 1:右チャンネルの自動ミュートのイネーブル bit2: 0:左チャンネルと右チャンネルを個別に自動ミュートします。 1:両方のチャンネルをミュートにしようとしている場合にのみ、左チャンネルと右チャンネルを自動的にミュートします。

8.1.23 AUTO_MUTE_TIME レジスタ (オフセット = 51h) [リセット = 0x00]

図 8-23 に AUTO_MUTE_TIME を示し、表 8-25 でその説明を示します。

概略表に戻ります。

図 8-23. AUTO_MUTE_TIME レジスタ

7	6	5	4	3	2	1	0
予約済み	AUTOMUTE_TIME_LEFT			予約済み	AUTOMUTE_TIME_RIGHT		
R/W	R/W			R/W	R/W		

表 8-25. AUTO_MUTE_TIME レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0	このビットは予約済みです
6-4	AUTOMUTE_TIME_LEFT	R/W	000	左チャンネルの自動ミュート時間 これらのビットは、チャンネルを自動ミュートできるようにするために、左チャンネルでの連続するゼロ サンプルの長さを指定します。ここに示す時間は 96kHz のサンプリング レートに対するものであり、他のレートに合わせてスケールリングされます。 000: 11.5ms 001: 53ms 010: 106.5ms 011: 266.5ms 100: 0.535 sec 101: 1.065 sec 110: 2.665 sec 111: 5.33 秒
3	予約済み	R/W	0	このビットは予約済みです
2-0	AUTOMUTE_TIME_RIGHT	R/W	000	右チャンネルの自動ミュート時間 これらのビットは、チャンネルを自動ミュートできるようにするために、右チャンネルでの連続するゼロ サンプルの長さを指定します。ここに示す時間は 96kHz のサンプリング レートに対するものであり、他のレートに合わせてスケールリングされます。 000: 11.5ms 001: 53ms 010: 106.5ms 011: 266.5ms 100: 0.535 sec 101: 1.065 sec 110: 2.665 sec 111: 5.33 秒

8.1.24 ANA_CTRL レジスタ (オフセット = 53h) [リセット = 0h]

図 8-24 に ANA_CTRL を示し、表 8-26 でその説明を示します

概略表 に戻ります

図 8-24. ANA_CTRL レジスタ

7	6	5	4	3	2	1	0
AMUTE_DLY							
R/W							

表 8-26. ANA_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0	このビットは予約済みです
6-5	Class-D 帯域幅制御	R/W	00	00: 100kHz 01: 80kHz 10: 120kHz 11: 175kHz Fsw = 384kHz の場合、高いオーディオ性能を得るには、100kHz の帯域幅を選択する必要があります。Fsw = 768kHz の場合、高いオーディオ性能を得るには、175kHz の帯域幅を選択する必要があります。
4-1	予約済み	R/W	0000	これらのビットは予約済みです
0	L および R PWM 出力位相制御	R/W	0	0: 位相外 1: 位相内

8.1.25 AGAIN レジスタ (オフセット = 54h) [リセット = 0x00]

図 8-25 に AGAIN を示し、表 8-27 でその説明を示します。

概略表 に戻ります。

図 8-25. AGAIN レジスタ

7	6	5	4	3	2	1	0
予約済み				ANA_GAIN			
R/W				R/W			

表 8-27. AGAIN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	000	このビットは予約済みです
4-0	ANA_GAIN	R/W	00000	アナログ ゲイン制御 このビットはアナログ ゲインを制御します。 00000: 0dB (ピーク電圧 29.5V) 00001: -0.5db 11111: -15.5dB

8.1.26 PVDD_ADC レジスタ (オフセット = 5Eh) [リセット = 0h]

図 8-26 に PVDD_ADC を示し、表 8-28 でその説明を示します。

概略表 に戻ります。

図 8-26. PVDD_ADC レジスタ

7	6	5	4	3	2	1	0
---	---	---	---	---	---	---	---

図 8-26. PVDD_ADC レジスタ (続き)

ADC_DATA_OUT
R

表 8-28. PVDD_ADC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PVDD_ADC[7:0]	R	00000000	PVDD 電圧 = PVDD_ADC[7:0] / 8.428 (V) 223:26.45V 222:26.34V 221:26.22V ... 39:4.63V 38:4.51V 37:4.39V

8.1.27 GPIO_CTRL レジスタ (オフセット = 60h) [リセット = 0x00]

図 8-27 に GPIO_CTRL を示し、表 8-29 でその説明を示します。

概略表に戻ります。

図 8-27. GPIO_CTRL レジスタ

7	6	5	4	3	2	1	0
予約済み					GPIO0_OE	GPIO2_OE	GPIO1_OE
R/W					R/W	R/W	R/W

表 8-29. GPIO_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R/W	0000	このビットは予約済みです
2	GPIO0_OE	R/W	0	GPIO0 出力イネーブル。このビットは GPIO0 ピンの方向を設定します 0:GPIO0 は入力です 1:GPIO0 は出力です
1	GPIO2_OE	R/W	0	GPIO2 出力イネーブルこのビットは GPIO2 ピンの方向を設定します 0:GPIO2 は入力です 1:GPIO2 は出力です
0	GPIO1_OE	R/W	0	GPIO1 出力イネーブルこのビットは GPIO1 ピンの方向を設定します 0:GPIO1 は入力です 1:GPIO1 は出力です

8.1.28 GPIO1_SEL レジスタ (オフセット = 61h) [リセット = 0x00]

図 8-28 に、GPIO1_SEL レジスタを示し、表 8-30 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

図 8-28. GPIO1_SEL レジスタ

7	6	5	4	3	2	1	0
予約済み				GPIO1_SEL			
R/W				R/W			

表 8-30. GPIO1_SEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0000	このビットは予約済みです
3-0	GPIO1_SEL	R/W	0000	0000: off (low) 1000: GPIO1 を WARNZ 出力とます 1001: GPIO1 をシリアルオーディオインターフェースデータ出力 (SDOUT) とします 1011: GPIO1 を FAULTZ 出力とます 1100: PVDD 降下検出フラグとして GPIO1 1101: Class-H として GPIO1

8.1.29 GPIO2_SEL レジスタ (オフセット = 62h) [リセット = 0x00]

図 8-29 に、GPIO2_SEL レジスタを示し、表 8-31 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

図 8-29. GPIO2_SEL レジスタ

7	6	5	4	3	2	1	0
予約済み				GPIO2_SEL			
R/W				R/W			

表 8-31. GPIO2_SEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0000	このビットは予約済みです
3-0	GPIO2_SEL	R/W	0000	0000: off (low) 1000: GPIO2 を WARNZ 出力とます 1001: GPIO2 をシリアルオーディオインターフェースデータ出力 (SDOUT) とします 1011: GPIO2 を FAULTZ 出力とます 1100: PVDD 降下検出フラグとして GPIO2 1101: Class-H として GPIO2

8.1.30 GPIO0_SEL レジスタ (オフセット = 63h) [リセット = 0x00]

図 8-30 に、GPIO0_SEL レジスタを示し、表 8-32 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

図 8-30. GPIO0_SEL レジスタ

7	6	5	4	3	2	1	0
予約済み				GPIO0_SEL			
R/W				R/W			

表 8-32. GPIO0_SEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0000	このビットは予約済みです

表 8-32. GPIO0_SEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	GPIO0_SEL	R/W	0000	0000: off (low) 1000: GPIO0 を WARNZ 出力とします 1001: GPIO0 をシリアルオーディオインターフェースデータ出力 (SDOUT) とします 1011: GPIO0 を FAULTZ 出力とします 1100: PVDD 降下検出フラグとして GPIO0 1101: Class-H として GPIO0

8.1.31 GPIO_INPUT_SEL レジスタ (オフセット = 64h) [リセット = 0x00]

図 8-31 に GPIO_INPUT_SEL を示し、表 8-33 でその説明を示します。

概略表に戻ります。

図 8-31. GPIO_INPUT_SEL レジスタ

7	6	5	4	3	2	1	0
GPIO_SPI_POCI_SEL		GPIO_PHASE_SYNC_SEL		GPIO_RESETZ_SEL		GPIO_MUTEZ_SEL	
R/W		R/W		R/W		R/W	

表 8-33. GPIO_INPUT_SEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	GPIO_SPI_POCI_SEL	R/W	00	00: N/A 01: GPIO1 10: GPIO2 11: GPIO0
5-4	GPIO_PHASE_SYNC_SEL	R/W	00	00: N/A 01: GPIO1 10: GPIO2 11: GPIO0
3-2	GPIO_RESETZ_SEL	R/W	00	00: N/A 01: GPIO1 10: GPIO2 11: GPIO0 は、GPIO リセットでリセットすることはできません
1-0	GPIO_MUTEZ_SEL	R/W	00	00: N/A 01: GPIO1 10: GPIO2 11: GPIO0 MUTEZ ピンのアクティブ low、出力ドライバが HIZ 状態に設定され、Class-D アンプの出力停止スイッチング。

8.1.32 GPIO_OUT レジスタ (オフセット = 65h) [リセット = 0x00]

図 8-32 に GPIO_OUT を示し、表 8-34 でその説明を示します。

概略表に戻ります。

図 8-32. GPIO_OUT レジスタ

7	6	5	4	3	2	1	0
予約済み					GPIO_OUT		
R/W					R/W		

表 8-34. GPIO_OUT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R/W	00000	このビットは予約済みです
2-0	GPIO_OUT	R/W	000	bit0: GPIO1 出力 bit1: GPIO2 出力 bit2: GPIO0 出力

8.1.33 GPIO_OUT_INV レジスタ (オフセット = 66h) [リセット = 0x00]

図 8-33 に GPIO_OUT_INV を示し、表 8-35 でその説明を示します。

概略表に戻ります。

図 8-33. GPIO_OUT_INV レジスタ

7	6	5	4	3	2	1	0
予約済み					GPIO_OUT		
R/W					R/W		

表 8-35. GPIO_OUT_INV レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R/W	00000	このビットは予約済みです
2-0	GPIO_OUT	R/W	000	bit0: GPIO1 出力インバータ bit1: GPIO2 出力インバータ bit2: GPIO0 出力インバータ

8.1.34 DIE_ID レジスタ (オフセット = 67h) [リセット = 95h]

図 8-34 に DIE_ID を示し、表 8-36 でその説明を示します。

概略表に戻ります。

図 8-34. DIE_ID レジスタ

7	6	5	4	3	2	1	0
DIE_ID							
R							

表 8-36. DIE_ID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DIE_ID	R	10010101	DIE ID

8.1.35 POWER_STATE レジスタ (オフセット = 68h) [リセット = 0x00]

図 8-35 に POWER_STATE を示し、表 8-37 でその説明を示します。

概略表に戻ります。

図 8-35. POWER_STATE レジスタ

7	6	5	4	3	2	1	0
STATE_RPT							
R							

表 8-37. POWER_STATE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	STATE_RPT	R	00000000	0:ディープ スリープ 1:スリープ 2: HIZ 3:再生 その他:予約済み

8.1.36 AUTOMUTE_STATE レジスタ (オフセット = 69h) [リセット = 0x00]

図 8-36 に AUTOMUTE_STATE を示し、表 8-38 でその説明を示します。

概略表に戻ります。

図 8-36. AUTOMUTE_STATE レジスタ

7	6	5	4	3	2	1	0
予約済み						ZERO_RIGHT_MON	ZERO_LEFT_MON
R						R	R

表 8-38. AUTOMUTE_STATE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	000000	このビットは予約済みです
1	ZERO_RIGHT_MON	R	0	このビットは、右チャンネルの自動ミュート ステータスを示します。 0:自動ミュートなし 1:自動ミュート
0	ZERO_LEFT_MON	R	0	このビットは、左チャンネルの自動ミュート ステータスを示します。 0:自動ミュートなし 1:自動ミュート

8.1.37 PHASE_CTRL レジスタ (オフセット = 6Ah) [リセット = 0]

図 8-37 に PHASE_CTRL を示し、表 8-39 でその説明を示します。

概略表に戻ります。

図 8-37. PHASE_CTRL レジスタ

7	6	5	4	3	2	1	0
予約済み				RAMP_PHASE_SEL		PHASE_SYNC_SEL	PHASE_SYNC_EN
R/W				R/W		R/W	R/W

表 8-39. PHASE_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0000	このビットは予約済みです

表 8-39. PHASE_CTRL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-2	RAMP_PHASE_SEL	R/W	00	複数のデバイスを 1 つのシステムに内蔵している場合は、ランプ クロック位相を選択して EMI とピーク電源のピーク電流を低減します。TI は、すべてのデバイスを同じランプ周波数と同じスペクトラム拡散に設定することを推奨します。この機能が必要な場合は、デバイスを再生モードに駆動する前にランプ周波数とスペクトラム拡散を設定する必要があります。 2'b00: 位相 0 2'b01: 位相 1 2'b10: 位相 2 2'b11: 位相 3 上記のすべては 45 度の位相差があります
1	PHASE_SYNC_SEL	R/W	0	ランプ位相同期セル、 0: GPIO 同期、 1: 内部同期
0	PHASE_SYNC_EN	R/W	0	ランプ位相同期イネーブル

8.1.38 RAMP_SS_CTRL0 レジスタ (オフセット = 6Bh) [リセット = 0x00]

図 8-38 に、RAMP_SS_CTRL0 を示し、表 8-40 に、その説明を示します。

概略表に戻ります。

図 8-38. SS_CTRL0 レジスタ

7	6	5	4	3	2	1	0
予約済み	予約済み	SS_PRE_DIV_SEL	SS_MANUAL_MODE	予約済み		SS_RDM_EN	SS_TRI_EN
R/W	R/W	R/W	R/W	R/W		R/W	R/W

表 8-40. RAMP_SS_CTRL0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0	このビットは予約済みです
6	予約済み	R/W	0	このビットは予約済みです
5	SS_PRE_DIV_SEL	R/W	0	マニュアル モードでは、pll クロック分周 2 をソースクロックとして選択します
4	SS_MANUAL_MODE	R/W	0	ランプ ss コントローラを手動モードに設定します
3-2	予約済み	R/W	00	このビットは予約済みです
1	SS_RDM_EN	R/W	0	ランダム SS イネーブル
0	SS_TRI_EN	R/W	0	三角波 SS イネーブル

8.1.39 SS_CTRL1 レジスタ (オフセット = 6Ch) [リセット = 0x00]

図 8-39 に、SS_CTRL1 レジスタを示し、表 8-41 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

図 8-39. SS_CTRL1 レジスタ

7	6	5	4	3	2	1	0
予約済み	SS_RDM_CTRL			SS_TRI_CTRL			
R/W	R/W			R/W			

表 8-41. SS_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0	このビットは予約済みです
6-4	SS_RDM_CTRL	R/W	000	ディザリングを追加
3-0	SS_TRI_CTRL	R/W	0000	三角波 SS 周波数およびレンジ制御

8.1.40 SS_CTRL2 レジスタ (オフセット = 6Dh) [リセット = 0xA0]

図 8-40 に、SS_CTRL2 レジスタを示し、表 8-42 にこのレジスタのフィールドの説明を示します。
概略表に戻ります。

図 8-40. SS_CTRL2 レジスタ

7	6	5	4	3	2	1	0
TM_FREQ_CTRL							
R/W							

表 8-42. SS_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	TM_FREQ_CTRL	R/W	10100000	手動モードでの制御ランプ周波数、F = 61440000/N

8.1.41 SS_CTRL3 レジスタ (オフセット = 6Eh) [リセット = 0x11]

図 8-41 に、SS_CTRL3 レジスタを示し、表 8-43 にこのレジスタのフィールドの説明を示します。
概略表に戻ります。

図 8-41. SS_CTRL3 レジスタ

7	6	5	4	3	2	1	0
TM_DSTEP_CTRL				TM_USTEP_CTRL			
R/W				R/W			

表 8-43. SS_CTRL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	SS_TM_DSTEP_CTRL	R/W	0001	ランプ ss マニュアル モードでの三角形モードのスペクトラム拡散立ち下がりがステップを制御します
3-0	SS_TM_USTEP_CTRL	R/W	0001	ランプ ss マニュアル モードでの三角形モードのスペクトラム拡散立ち上がりがステップを制御します

8.1.42 SS_CTRL4 レジスタ (オフセット = 6Fh) [リセット = 0x24]

図 8-42 に、SS_CTRL4 レジスタを示し、表 8-44 にこのレジスタのフィールドの説明を示します。
概略表に戻ります。

図 8-42. SS_CTRL4 レジスタ

7	6	5	4	3	2	1	0
予約済み	TM_AMP_CTRL		SS_TM_PERIOD_BOUNDARY				
R/W	R/W		R/W				

表 8-44. SS_CTRL4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0	このビットは予約済みです
6-5	TM_AMP_CTRL	R/W	01	ランプ ss マニュアル モデルでランプ アンブ制御を制御します
4-0	SS_TM_PERIOD_BOUND RY	R/W	00100	ランプ ss マニュアル モードでの三角形モードのスペクトラム拡散境界を制御します

8.1.43 CHAN_FAULT レジスタ (オフセット = 70h) [リセット = 0x00]

図 8-43 に CHAN_FAULT を示し、表 8-45 でその説明を示します。

概略表に戻ります。

図 8-43. CHAN_FAULT レジスタ

7	6	5	4	3	2	1	0
予約済み				CH1_DC_1	CH2_DC_1	CH1_OC_I	CH2_OC_I
R				R	R	R	R

表 8-45. CHAN_FAULT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0000	このビットは予約済みです
3	CH1_DC_1	R	0	左チャンネル DC フォルト。DC フォルトの発生時にこのビットは 1 にセットされます。Class-D 出力は Hi-Z に設定されています。フォルトピン (GPIO) による通知。セクション 8.1.51 のビット 7 を 1 に設定するか、このビットが 1 を保持することで、このフォルトをクリアします。
2	CH2_DC_1	R	0	右チャンネル DC フォルト。DC フォルトの発生時にこのビットは 1 にセットされます。Class-D 出力は Hi-Z に設定されています。フォルトピン (GPIO) による通知。セクション 8.1.51 のビット 7 を 1 に設定するか、このビットが 1 を保持することで、このフォルトをクリアします。
1	CH1_OC_I	R	0	左チャンネル過電流フォルト。OC フォルトの発生時にこのビットは 1 にセットされます。Class-D 出力は Hi-Z に設定されています。フォルトピン (GPIO) による通知。セクション 8.1.51 のビット 7 を 1 に設定するか、このビットが 1 を保持することで、このフォルトをクリアします。
0	CH2_OC_I	R	0	右チャンネル過電流フォルト。OC フォルトの発生時にこのビットは 1 にセットされます。Class-D 出力は Hi-Z に設定されています。フォルトピン (GPIO) による通知。セクション 8.1.51 のビット 7 を 1 に設定するか、このビットが 1 を保持することで、このフォルトをクリアします。

8.1.44 GLOBAL_FAULT1 レジスタ (オフセット = 71h) [リセット = 0h]

図 8-44 に、GLOBAL_FAULT1 レジスタを示し、表 8-46 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

図 8-44. GLOBAL_FAULT1 レジスタ

7	6	5	4	3	2	1	0
OTP_CRC_ER ROR	BQ_WR_ERRO R	LOAD_EEPRO M_ERROR	予約済み	予約済み	CLK_FAULT_I	PVDD_OV_I	PVDD_UV_I
R	R	R	R	R	R	R	R

図 8-44. GLOBAL_FAULT1 レジスタ (続き)

表 8-46. GLOBAL_FAULT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	OTP_CRC_ERROR	R	0	OTP CRC チェック エラーを示します。
6	BQ_WR_ERROR	R	0	最近の BQ 書き込みは失敗しました
5	LOAD_EEPROM_ERROR	R	0	0:EEPROM のブート ロードが正常に完了しました 1:EEPROM のブート ロードが正常に行われませんでした
4	予約済み	R	0	このビットは予約済みです
3	予約済み	R	0	このビットは予約済みです
2	CLK_FAULT_I	R	0	クロック不良。クロック フォルトの発生時にこのビットは 1 にセットされます。 Class-D 出力は Hi-Z に設定されています。フォルトピン (GPIO) による通知。クロック フォルトは自動回復モードと連携して動作し、クロック エラーが解消すると、デバイスは自動的に以前の状態に戻ります。 セクション 8.1.51 のビット 7 を 1 に設定するか、このビットが 1 を保持することで、このフォルトをクリアします。
1	PVDD_OV_I	R	0	PVDD OV フォルト。OV フォルトの発生時にこのビットは 1 にセットされます。Class-D 出力は Hi-Z に設定されています。フォルトピン (GPIO) による通知。OV フォルトは自動回復モードと連携し、OV エラーが解消されると、デバイスは自動的に以前の状態に戻ります。 セクション 8.1.51 のビット 7 を 1 に設定するか、このビットが 1 を保持することで、このフォルトをクリアします。
0	PVDD_UV_I	R	0	PVDD UV フォルト。UV フォルトの発生時にこのビットは 1 にセットされます。Class-D 出力は Hi-Z に設定されています。フォルトピン (GPIO) による通知。OV フォルトは自動回復モードと連携し、OV エラーが解消されると、デバイスは自動的に以前の状態に戻ります。 セクション 8.1.51 のビット 7 を 1 に設定するか、このビットが 1 を保持することで、このフォルトをクリアします。

8.1.45 GLOBAL_FAULT2 レジスタ (オフセット = 72h) [リセット = 0h]

図 8-45 に、GLOBAL_FAULT2 レジスタを示し、表 8-47 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

図 8-45. GLOBAL_FAULT2 レジスタ

7	6	5	4	3	2	1	0
予約済み					CBC_FAULT_C H2_I	CBC_FAULT_C H1_I	OTSD_I
R					R	R	R

表 8-47. GLOBAL_FAULT2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R	0000	このビットは予約済みです
2	CBC_FAULT_CH2_I	R	0	右チャンネルのサイクルごとの過電流フォルト
1	CBC_FAULT_CH1_I	R	0	左チャンネルのサイクルごとの過電流フォルト

表 8-47. GLOBAL_FAULT2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	OTSD_I	R	0	過熱シャットダウン フォルト。 OT フォルトの発生時にこのビットは 1 にセットされます。Class-D 出力は Hi-Z に設定されています。フォルトピン (GPIO) による通知。OV フォルトは自動回復モードと連携し、OV エラーが解消されると、デバイスは自動的に以前の状態に戻ります。 セクション 8.1.51 のビット 7 を 1 に設定するか、このビットが 1 を保持することで、このフォルトをクリアします。

8.1.46 警告レジスタ (オフセット = 73h) [リセット = 0x00]

図 8-46 に WARNING を示し、表 8-48 でその説明を示します。

概略表に戻ります。

図 8-46. 警告レジスタ

7	6	5	4	3	2	1	0
予約済み	CBCW_CH1_I	CBCW_CH2_I	OTW_LEVEL4_I	OTW_LEVEL3_I	OTW_LEVEL2_I	OTW_LEVEL1_I	
R	R	R	R	R	R	R	R

表 8-48. 警告レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0	このビットは予約済みです
5	CBCW_CH1_I	R	0	左チャンネルのサイクルごとの過電流警告
4	CBCW_CH2_I	R	0	右チャンネルのサイクルごとの過電流警告
3	OTW_LEVEL4_I	R	0	過熱警告スレッショルド leve4、146C
2	OTW_LEVEL3_I	R	0	過熱警告スレッショルド leve3、134C
1	OTW_LEVEL2_I	R	0	過熱警告スレッショルド leve2、122C
0	OTW_LEVEL1_I	R	0	過熱警告スレッショルド leve1、112C

8.1.47 PIN_CONTROL1 レジスタ (オフセット = 74h) [リセット = 0x00]

図 8-47 に、PIN_CONTROL1 レジスタを示し、表 8-49 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

図 8-47. PIN_CONTROL1 レジスタ

7	6	5	4	3	2	1	0
MASK_OTSD	MASK_DVDD_UV	MASK_DVDD_OV	MASK_CLK_FAULT	予約済み	MASK_PVDD_UV	MASK_DC	MASK_OC
R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

表 8-49. PIN_CONTROL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	MASK_OTSD	R/W	0	OTSD 障害通知をマスクします
6	MASK_DVDD_UV	R/W	0	DVDD UV フォルト通知をマスクします

表 8-49. PIN_CONTROL1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	MASK_DVDD_OV	R/W	0	DVDD OV フォルト通知をマスクします
4	MASK_CLK_FAULT	R/W	0	クロック フォルト通知をマスクします
3	予約済み	R	0	このビットは予約済みです
2	MASK_PVDD_UV	R/W	0	PVDD UV フォルト 通知をマスク PVDD OV フォルト通知をマスク
1	MASK_DC	R/W	0	DC 障害通知をマスクします
0	MASK_OC	R/W	0	OC 障害通知をマスクします

8.1.48 PIN_CONTROL2 レジスタ (オフセット = 75h) [リセット = 0xF8]

図 8-48 に、PIN_CONTROL2 レジスタを示し、表 8-50 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

図 8-48. PIN_CONTROL2 レジスタ

7	6	5	4	3	2	1	0
CBC_FAULT_L ATCH_EN	CBC_WARN_L ATCH_EN	CLKFLT_LATC H_EN	OTSD_LATCH_ EN	OTW_LATCH_ EN	MASK_OTW	MASK_CBCW	MASK_CBC_F AULT
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-50. PIN_CONTROL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CBC_FAULT_LATCH_EN	R/W	1	このビットを 1 に設定して、CBC フォルト ラッチをイネーブルします
6	CBC_WARN_LATCH_EN	R/W	1	このビットを 1 に設定して、CBC 警告ラッチをイネーブルします
5	CLKFLT_LATCH_EN	R/W	1	このビットを 1 に設定して、クロック フォルト ラッチをイネーブルします
4	OTSD_LATCH_EN	R/W	1	このビットを 1 に設定して、OTSD フォルト ラッチをイネーブルします
3	OTW_LATCH_EN	R/W	1	このビットを 1 に設定して、OT 警告ラッチをイネーブルします
2	MASK_OTW	R/W	0	このビットを 1 に設定して、OT 警告通知をマスクします
1	MASK_CBCW	R/W	0	このビットを 1 に設定して、CBC 警告通知をマスクします
0	MASK_CBC_FAULT	R/W	0	このビットを 1 に設定して、CBC フォルト通知をマスクします

8.1.49 MISC_CONTROL レジスタ (オフセット = 76h) [リセット = 0x00]

図 8-49 に MISC_CONTROL を示し、表 8-51 でその説明を示します。

概略表に戻ります。

図 8-49. MISC_CONTROL レジスタ

7	6	5	4	3	2	1	0
DET_STATUS_ LATCH	予約済み		OTSD_AUTO_ REC_EN	予約済み			
R/W	R/W		R/W	R/W			

表 8-51. MISC_CONTROL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	DET_STATUS_LATCH	R/W	0	1:クロック検出ステータスをラッチする 0:クロック検出ステータスをラッチしない
6-5	予約済み	R/W	00	これらのビットは予約済みです
4	OTSD_AUTO_REC_EN	R/W	0	OTSD 自動回復イネーブル
3-0	予約済み	R/W	0000	このビットは予約済みです

8.1.50 CBC_CONTROL レジスタ (オフセット = 77h) [リセット = 0x00]

図 8-50 に CBC_CONTROL を示し、表 8-52 でその説明を示します。

概略表に戻ります。

図 8-50. CBC_CONTROL レジスタ

7	6	5	4	3	2	1	0
予約済み		CBC_LEVEL_SEL		CBC_EN	CBC_WARN_EN	CBC_FAULT_EN	
R/W		R/W		R/W	R/W	R/W	

表 8-52. CBC_CONTROL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	000	これらのビットは予約済みです
4-3		CBC_LEVEL_SEL	00	このビットは CBC レベルを設定します。これはレベルは、過電流スレッシュホールドに対するパーセンテージです。 00: 80% 10: 60% 01: 40%
2	CBC_EN	R/W	0	CBC 機能を有効化
1	CBC_WARN_EN	R/W	0	CBC 警告を有効化
0	CBC_FAULT_EN	R/W	0	CBC 障害を有効化

8.1.51 FAULT_CLEAR レジスタ (オフセット = 78h) [リセット = 0x00]

図 8-51 に FAULT_CLEAR を示し、表 8-53 でその説明を示します。

概略表に戻ります。

図 8-51. FAULT_CLEAR レジスタ

7	6	5	4	3	2	1	0
ANALOG_FAULT_CLEAR	予約済み						
W	R/W						

表 8-53. FAULT_CLEAR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	ANALOG_FAULT_CLEAR	W	0	クリアビットを書き込むこのビットを 1 に書き込むと、デバイスはアナログフォルトをクリアします
6-0	予約済み	R/W	0000000	このビットは予約済みです

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

このセクションでは、複数の一般的な構成でデバイスを構成するために必要な情報について詳細に説明し、より大規模なシステムに TAS5828M デバイスを統合するためのガイダンスを提供します。

9.1.1 インダクタの選択

要件は、ピーク電流が OCP (過電流保護) 値である 7.5A よりも小さいことです。インダクタを流れる大きなピーク電流が生じるケースは 3 つあります。

1. 電源投入時 (idle 状態、オーディオ入力なし) には、デューティサイクルが 0 から θ に増加します。インダクタを流れるスタートアップ電流によって、同相電圧 ($PVDD \times \theta$) が設定されます。

注

$\theta = 0.5$ (BD 変調)、 0.14 (1 SPW 変調)、 0.14 (ハイブリッド変調)

2. 音楽再生中は、PVDD クリッピングが非常に困難な一部のオーディオバースト信号 (高周波) により、PWM デューティサイクルが大幅に増加します。これは最悪の場合であり、めったに起こりません。

$$I_{peak_clipping} \approx PVDD \times (1 - \theta) / (F_{sw} \times L) \quad (1)$$

3. 最大出力電力によるピーク電流。ここでは、コンデンサを流れるリップル電流は無視してください。

$$I_{peak_output_power} \approx \sqrt{2 \times Max_Output_Power / R_{speaker_Load}} \quad (2)$$

TI では、電源投入およびオーディオ再生時のアンプのピーク電流よりもインダクタの飽和電流 I_{sat} が大きいことを推奨します。

$$I_{SAT} \geq \max(I_{peak_power_up}, I_{peak_clipping}, I_{peak_output_power}) \quad (3)$$

表 9-1. インダクタの要件

PVDD (V)	スイッチング周波数 (kHz)	最小インダクタンス (L) (μ H)
≤ 12	384	4.7
> 12	384	10

スイッチング周波数が高い場合 (F_{sw})、最小インダクタンスのインダクタを $384\text{kHz}/f_{sw} \times L$ と選択します。PVDD とスイッチング周波数は同じで、インダクタンスが大きいため、消費電力を下げることができます。

9.1.2 ブートストラップ コンデンサ

TAS5828M の出力段は、PMOS ドライバではなくハイサイド NMOS ドライバを使用しています。ハイサイド NMOS のゲートドライバ電圧を生成するために、各出力端子のブートストラップ コンデンサがスイッチング サイクルのフローティング電源として機能します。0.47- μF コンデンサを使用して、適切な出力ピン (OUT_X) をブートストラップ ピン (BST_X) に接続します。たとえば、A チャネルをブートストラップするため、OUT_A と BST_A の間に 0.47- μF コンデンサを接続します。同様に、B チャネルの反転出力については、別の 0.47- μF コンデンサを OUT_B ピンと BST_B ピンの間に接続します。

9.1.3 電源のデカップリング

高効率、低 THD、高 PSRR を維持するには、適切な電源デカップリングが必要です。電源ラインのノイズ過渡は、短時間の電圧スパイクです。これらのスパイクには、数百メガヘルツに及ぶ周波数成分が含まれている可能性があります。電源入力には、22 μF よりも大きな高品質、低 ESL、低 ESR のコンデンサでデカップリングする必要があります。これらのコンデンサは、低周波数ノイズをグランド プレーンにバイパスします。高周波デカップリングの場合、1 μF または 0.1 μF コンデンサを、デバイスの PVDD ピンのできるだけ近くに配置します。

9.1.4 出力 EMI フィルタリング

このデバイスは多くの場合、ローパス フィルタとともに使用され、PWM 変調出力のキャリア周波数をフィルタリングして除去するために使用されます。このフィルタは、2 極フィルタを構成する誘導性素子 L と容量性素子 C が存在するため、よく L-C フィルタと呼ばれます。

L-C フィルタはキャリア周波数を減衰させ、電磁放射を削除し、電源から引き込む電流波形を平滑化します。L-C フィルタの存在とサイズは、いくつかのシステム レベルの制約によって決まります。低消費電力の使用事例では、EMI の影響を受けやすい他の回路を採用していない場合も、単純なフェライトビーズまたはフェライトビーズとコンデンサを組み合わせることで、一般的に使用されている従来の大型インダクタとコンデンサを置き換えることができます。その他の大電力アプリケーションでは、最大出力に大型のトロイド インダクタが必要であり、オーディオ特性からフィルム コンデンサを使用することができます。必要な負荷と応答に基づいた L-C フィルタの適切な部品選択および設計の詳細については、アプリケーション レポート [Class-D LC フィルタの設計 \(SLOA119\)](#) を参照してください。

EMI 性能と EMI 設計に関する考慮事項については、次のアプリケーション レポートを参照してください: [EMC に関する TAS5825M 設計の考慮事項](#)。

9.2 代表的なアプリケーション

9.2.1 2.0 (ステレオ BTL) システム

2.0 システムでは、デジタル入力信号を介して 2 つのチャンネルがアンプに供給されます。これら 2 つのチャンネルは増幅され、2 つの個別のスピーカに送られます。場合によっては、L-C フィルタ後のパッシブ クロスオーバー ネットワークで周波数に基づいて、増幅された信号がさらに分離されます。それでも、アプリケーションは 2.0 と見なされます。

最も一般的には、2 つのチャンネルはステレオペアと呼ばれる信号のペアであり、1 つのチャンネルには左のチャンネルのオーディオが含まれ、もう 1 つのチャンネルには右のチャンネルのオーディオが含まれます。2 つのチャンネルは、マルチチャンネルスピーカ システムの 2 つのサラウンド チャンネルなど、任意の 2 つのオーディオ チャンネルを含めることができますが、2 つのチャンネル システムで最も一般的に発生するのは、ステレオ ペアです。

図 9-1 に 2.0 (ステレオ BTL) のシステム アプリケーションを示します。

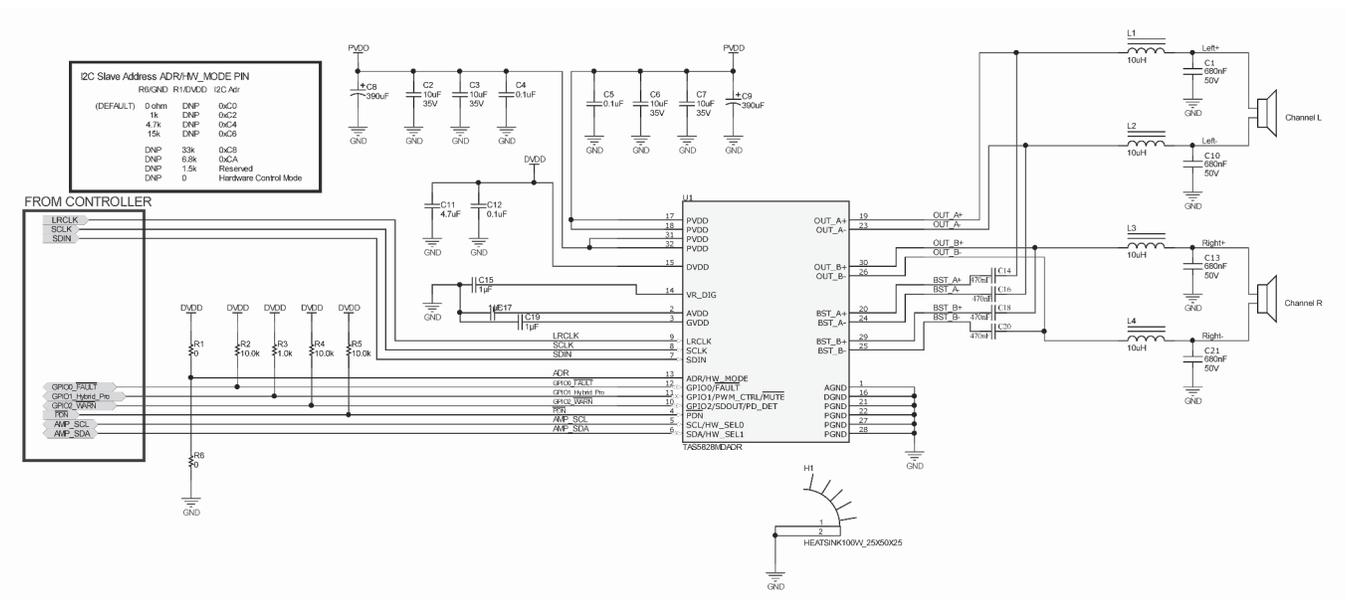


図 9-1. 2.0 (ステレオ BTL) システム アプリケーションの回路図

9.2.2 設計要件

- 電源:
 - 3.3V 電源
 - 5V ~ 24V を供給
- 通信: I²C 準拠コントローラとして機能するホスト プロセッサ
- 係数として使用される外部メモリ (EEPROM やフラッシュなど)。

Stereo 2.0 (BTL) システムの TAS5828M デバイスのサポート コンポーネントの要件は、表 9-2 で説明しています。

表 9-2. Stereo 2.0 (BTL) システムのサポート コンポーネント要件

リファレンス指定子	値	サイズ	詳細説明
C8, C9	390μF	SMD	CAP, AL, 390uF, 35V, ± 20%, SMD
C4, C5	0.1μF	0402	CAP, CERM, 10uF, 35V, ± 10%, X5R, 0805
C2, C3, C6, C7	10μF	0805	CAP, CERM, 22μF, 35V, ±20%, JB, 0805
C11	4.7μF	0603	CAP, CERM, 4.7μF, 10V, ±10%, X5R, 0603
C12	0.1μF	0603	CAP, CERM, 0.1μF, 16V, ±10%, X7R, 0603
C15, C17, C19	1μF	0603	CAP, CERM, 1μF, 16V, ±10%, X5R, 0603
C14, C16, C18, C20	0.47μF	0603	CAP, CERM, 0.47μF, 16V, ±10%, X7R, 0603
C1, C10, C13, C21	0.68μF	0805	CAP, CERM, 0.68μF, 50V, ±10%, X7R, 0805
L1, L2, L3, L4	10μH		インダクタ、シールド付きドラム コア、フェライト、10uH、7.1A、0.01294ohm、SMD、7447709100
R1, R6	0 Ω	0402	RES, 0, 5%, 0.063W, 0402
R2, R4, R5	10kΩ	0402	RES, 10.0k, 1%, 0.063W, 0402
R3	1kΩ	0402	RES, 1.0k, 1%, 0.063W, 0402

9.2.3 詳細な設計手順

この設計手順は、Stereo 2.0、Advanced 2.1、Mono Mode の両方で使用できます。

9.2.3.1 ステップ 1: ハードウェア統合

- 代表的なアプリケーションの概略図をガイドとして使用して、ハードウェアをシステム回路図に統合します。
- 上記のレイアウト例で示されている推奨部品の配置、基板のレイアウト、配線に従い、デバイスとサポート部品をシステムの PCB ファイルに統合します。
 - 回路の最も重要なセクションは、電源入力、アンプの出力信号、高周波信号であり、すべてシリアル オーディオポートに入力されます。設計のトレードオフが行われるため、これらの信号を作成して、所定の前例を維持することが推奨されます。
 - 質問やサポートについては、E2E フォーラム (e2e.ti.com) をご覧ください。推奨レイアウトから逸脱する必要がある場合は、E2E フォーラムにアクセスしてレイアウトのレビューを依頼してください。

9.2.3.2 ステップ 2: ハードウェア統合

TAS5828MEVM 評価基板と PPC3 アプリを使用して、目的のデバイス設定を構成します。

9.2.3.3 ステップ 3: ソフトウェアの統合

- PPC3 アプリケーションのエンド システム統合機能を使用して、ベースライン構成ファイルを生成します。
- 最終製品の動作モードに基づいて追加の構成ファイルを生成し、静的な構成情報を初期化ファイルに統合します。
- 動的コントロール (ボリュウム コントロール、ミュート コマンド、モードベースの EQ カーブなど) をメイン システム プログラムに統合します。

9.2.4 モノラル (PBTL) システム

モノラル モードでは、TAS5828M PBTL モードとして使用してサブウーファをより多くの出力で駆動できます。

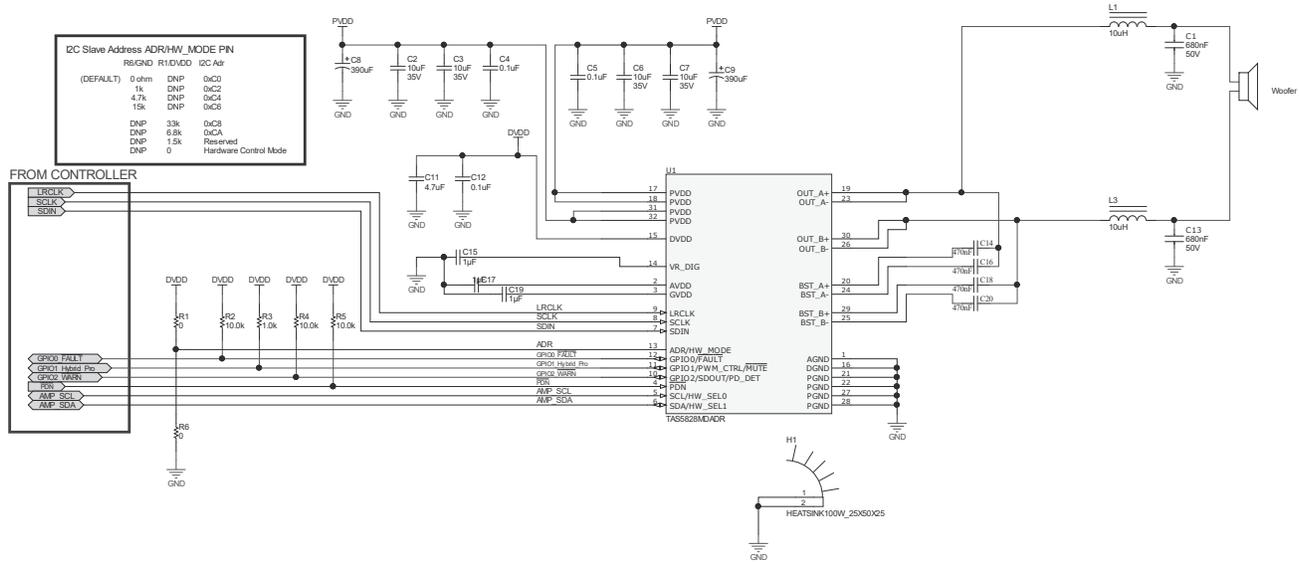


図 9-2. サブウーファ (PBTL) アプリケーションの回路図

表 9-3. サブウーファ (PBTL) システムのサポート コンポーネント要件

リファレンス指定子	値	サイズ	詳細説明
C8, C9	390μF	SMD	CAP, AL, 390uF, 35V, ± 20%, SMD
C4, C5	0.1μF	0402	CAP, CERM, 10uF, 35V, ± 10%, X5R, 0805
C2, C3, C6, C7	10μF	0805	CAP, CERM, 22μF, 35V, ±20%, JB, 0805
C11	4.7μF	0603	CAP, CERM, 4.7μF, 10V, ±10%, X5R, 0603
C12	0.1μF	0603	CAP, CERM, 0.1μF, 16V, ±10%, X7R, 0603
C15, C17, C19	1μF	0603	CAP, CERM, 1μF, 16V, ±10%, X5R, 0603
C14, C16, C18, C20	0.47μF	0603	CAP, CERM, 0.47μF, 16V, ±10%, X7R, 0603
C1, C13	0.68μF	0805	CAP, CERM, 0.68μF, 50V, ±10%, X7R, 0805
L1, L3	10μH		インダクタ、シールド付きドラム コア、フェライト、10uH、7.1A、0.01294ohm、SMD、7447709100
R1, R6	0 Ω	0402	RES, 0, 5%, 0.063W, 0402
R2, R4, R5	10kΩ	0402	RES, 10.0k, 1%, 0.063W, 0402

9.2.5 Advanced 2.1 System (2 つの TAS5828M デバイス)

より高性能なシステムでは、高周波チャンネルで行われるように、デジタル オーディオ処理を使用してサブウーファー出力を向上させることができます。これを実現するために、2 つの TAS5828M デバイスが使用されます。1 つは高周波の左右スピーカー用、もう 1 つはモノラル サブウーファー スピーカー用です。このシステムでは、オーディオ信号を SDOUT ピン経由で TAS5828M デバイスから送信できます。代わりに、サブウーファー アンプがステレオと同じデジタル入力を受け入れることもできますが、これは中央システム プロセッサから受け取ることもできます。図 9-3 に、2.1 (2 つの TAS5828M デバイス付きのステレオ BTL) のシステム アプリケーションを示します。

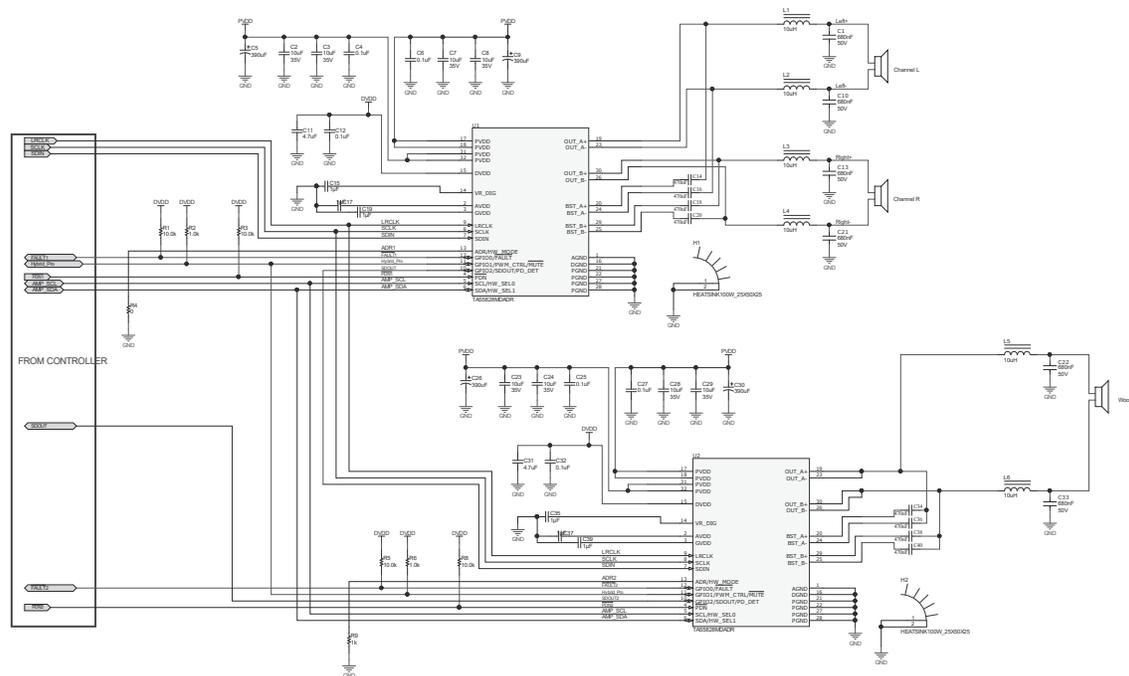


図 9-3. 2.1 (2 つの TAS5828M デバイス付き 2.1 チャンネル) アプリケーションの回路図

9.3 電源に関する推奨事項

TAS5828M デバイスを正常に動作させるためには、2 つの電源が必要です。スピーカ アンプの出力段とその関連回路に給電するには、高電圧電源と PVDD 電圧が必要です。さらに、デバイスの各種低消費電力部分に電力を供給するには、DVDD と呼ばれる 1 つの低電圧電源が必要です。PVDD 電源と DVDD 電源の両方の許容電圧範囲を、*推奨動作条件* 表に示します。2 つの電源装置には、必要な電源投入シーケンスがありません。電源は、任意の順序でオンにできます。

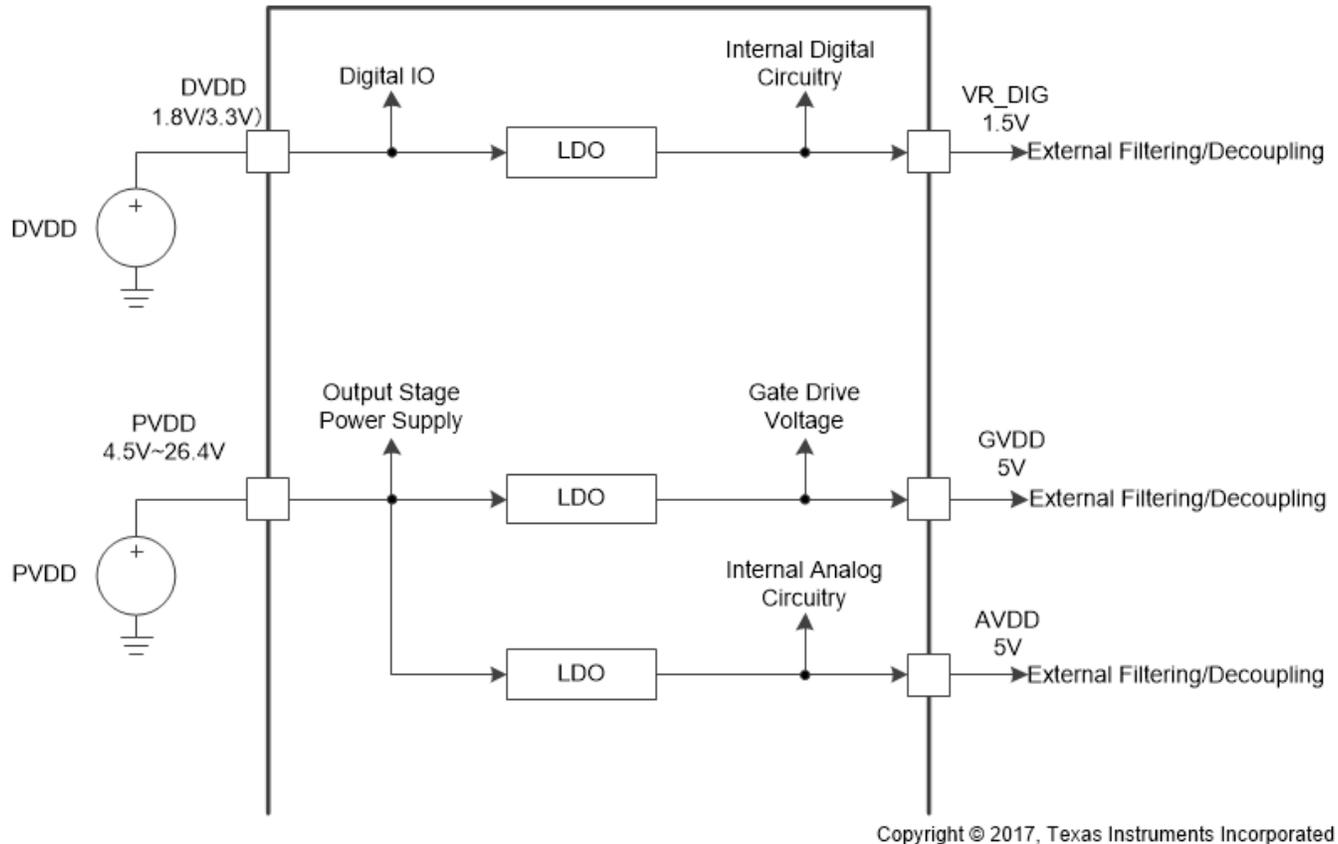


図 9-4. 電源の機能ブロック図

9.3.1 DVDD サプライ

システムから必要な DVDD 電源は、デバイスの複数の部分に電力を供給するために使用されます。図 9-4 に示すように、DVDD 電源は DVDD ピンに電力を供給します。適切な接続、配線、およびデカップリング手法については、[アプリケーションと実装](#) セクションおよび [レイアウト例](#) セクションに記載しており、適切な動作と性能を実現するためにできる限り厳密に従う必要があります。

デバイスの一部には、DVDD 電源より低い電圧の個別電源も必要とします。システムの電源要件を簡素化するため、TAS5828M この電源を生成するため、低ドロップアウト (LDO) リニア レギュレータを内蔵しています。このリニア レギュレータは内部で DVDD 電源に接続されており、リニア レギュレータ出力が DVDD_REG ピンに与えられます。これにより、外付けバイパス コンデンサへの接続ポイントとなります。本デバイスに統合されたリニアレギュレータは、内部回路の電流要件をサポートするようにのみ設計されており、追加の外部回路に電力を供給する目的では使用しないことに注意してください。このピンに負荷を追加すると、電圧が低下し、デバイスの性能と動作に悪影響を及ぼす可能性があります。

9.3.2 PVDD サプライ

スピーカ アンプの出力段は、PVDD 電源を使用して負荷を駆動します。これは、再生中に駆動電流を負荷に供給する電源です。TAS5828M EVM では、適切な接続、配線、デカップリングの手法について説明しており、適切な動作と性能を実現するためにできる限り従う必要があります。出力段の高電圧スイッチングにより、本 TAS5828M デバイス [アプリケーションと実装](#) で説明されている方法で出力段を適切にデカップリングすることが特に重要です。[アプリケーションと実装](#) に示すように適切なデカップリングがないと、電圧スパイクが発生し、デバイスが損傷する可能性があります。

スピーカ アンプの出力段で使用されている MOSFET のゲートを駆動するために、別途電源が必要です。この電源は、内蔵のリニアレギュレータを介して PVDD 電源から生成されます。ゲート駆動電圧レギュレータ用のデカップリング コンデンサの接続用に、GVDD ピンが用意されています。本デバイスに統合されたリニアレギュレータは、内部回路の電流要

件をサポートするようにのみ設計されており、追加の外部回路に電力を供給する目的では使用しないことが重要です。このピンに負荷を追加すると、電圧が降下し、デバイスの性能と動作に悪影響を及ぼす可能性があります。

内蔵リニアレギュレータを介して PVDD 電源から供給されるもう 1 つの独立した電源は AVDD です。内部回路のデカップリングコンデンサを接続するための AVDD ピンが用意されて TAS5828M います。本デバイスに統合されたリニアレギュレータは、内部回路の電流要件をサポートするようにのみ設計されており、追加の外部回路に電力を供給する目的では使用しないことに注意してください。このピンに負荷を追加すると、電圧が降下し、デバイスの性能と動作に悪影響を及ぼす可能性があります。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

9.4.1.1 オーディオアンプの一般的なガイドライン

スイッチング出力段を持つオーディオアンプは、オーディオアンプとレイアウトそれらを使用するサポート部品のレイアウトに特に注意を払う必要があります。放熱性能、電磁適合性 (EMC)、デバイスの信頼性、オーディオ性能などのシステムレベル性能指標は、すべてデバイスとサポートする部品レイアウトの影響を受けます。

アプリケーションセクションに示すデバイスおよび部品の選択に関するガイダンスは、[レイアウト例](#)セクションに示すレイアウトガイダンスに正確に従うことで遵守できます。これら例は、デバイスをレイアウトすることに伴うエンジニアリングトレードオフの模範的なベースラインバランスを表しています。これらの設計は、アプリケーションのニーズに合わせて、必要に応じて多少変更できます。一部のアプリケーションでは、例えば、デバイス周辺の追加の連続した銅を使用することで、熱性能を向上させるためにデザインサイズを犠牲にすることができます。逆に、内部トレースに配線し、ビアピケットフェンスと追加のフィルタ部品を内蔵することで、熱性能よりも EMI 性能を優先することができます。いずれの場合も、TI では、[レイアウト例](#)セクションに示されているガイダンスから開始し、TI フィールドアプリケーションエンジニアまたは E2E コミュニティと連携して、アプリケーション固有の目標に基づいてレイアウトを変更することを推奨しています。

9.4.1.2 PVDD ネットワーク上の PVDD バイパスコンデンサの配置の重要性

バイパスコンデンサとデカップリングコンデンサを電源の近くに配置することは、業界で長い間理解されてきました。これは DVDD、AVDD、GVDD、PVDD に適用されます。ただし、TAS5828M デバイスの PVDD ネット上のコンデンサは特に注意する価値があります。

DUT の PVDD ラインの小さなバイパスコンデンサは、PVDD ピンのできるだけ近くに配置する必要があります。デバイスをピンから離して配置するだけでなく、システムの電磁干渉が増加します。また、デバイスの信頼性に悪影響を及ぼす可能性もあります。これらの部品を TAS5828M デバイスから離れた位置に配置しすぎると、出力ピンにリングングが発生し、出力ピンの電圧が [絶対最大定格表](#) に示す最大許容定格を超えてデバイスが損傷する可能性があります。そのため、PVDD ネット上のコンデンサは、コンデンサに関連する PVDD ピンから、[レイアウト例](#)セクションのレイアウト例に示すものよりも離れないようにする必要があります。

9.4.1.3 最適化済みの放熱特性

[「レイアウト例」](#)セクションに従うことで、設計サイズ、熱、オーディオ、電磁性能のバランスを最適化できます。場合によっては、回避できない設計上の制約によって、このガイダンスからの逸脱が必要になることがあります。システム設計者は、熱がデバイスから抜け出し、デバイス周囲の空気に放出される可能性があります。TAS5828M デバイスは、TSSOP-DAD、パッドアップ、パッケージを使用して、デバイスからの放熱能力を最大化します。熱は、低インピーダンスのヒートシンク経路を経由して、デバイスから周囲空気に伝達されます。ヒートシンクを使用する必要があります。[図 9-5](#) に示すように、www.qats.com の [ATS-TI10P-519-C1-R3](#) の使用をお勧めします。ヒートシンクのサイズは、スペースの制限された環境で推奨されるヒートシンクから外れる可能性があります、放熱性能が低下する場合があります。

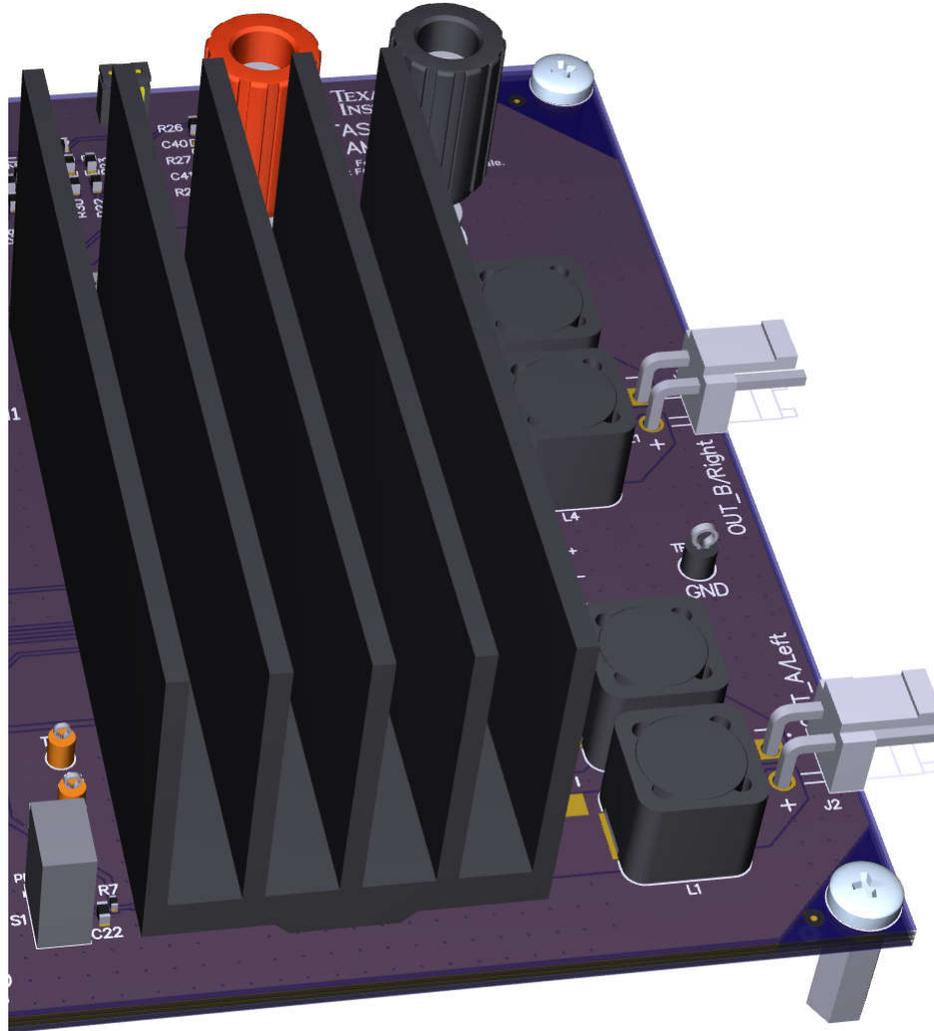


図 9-5. 2.0 (ステレオ BTL) EVM 3D 上面図、ヒートシンク付き

9.4.2 レイアウト例

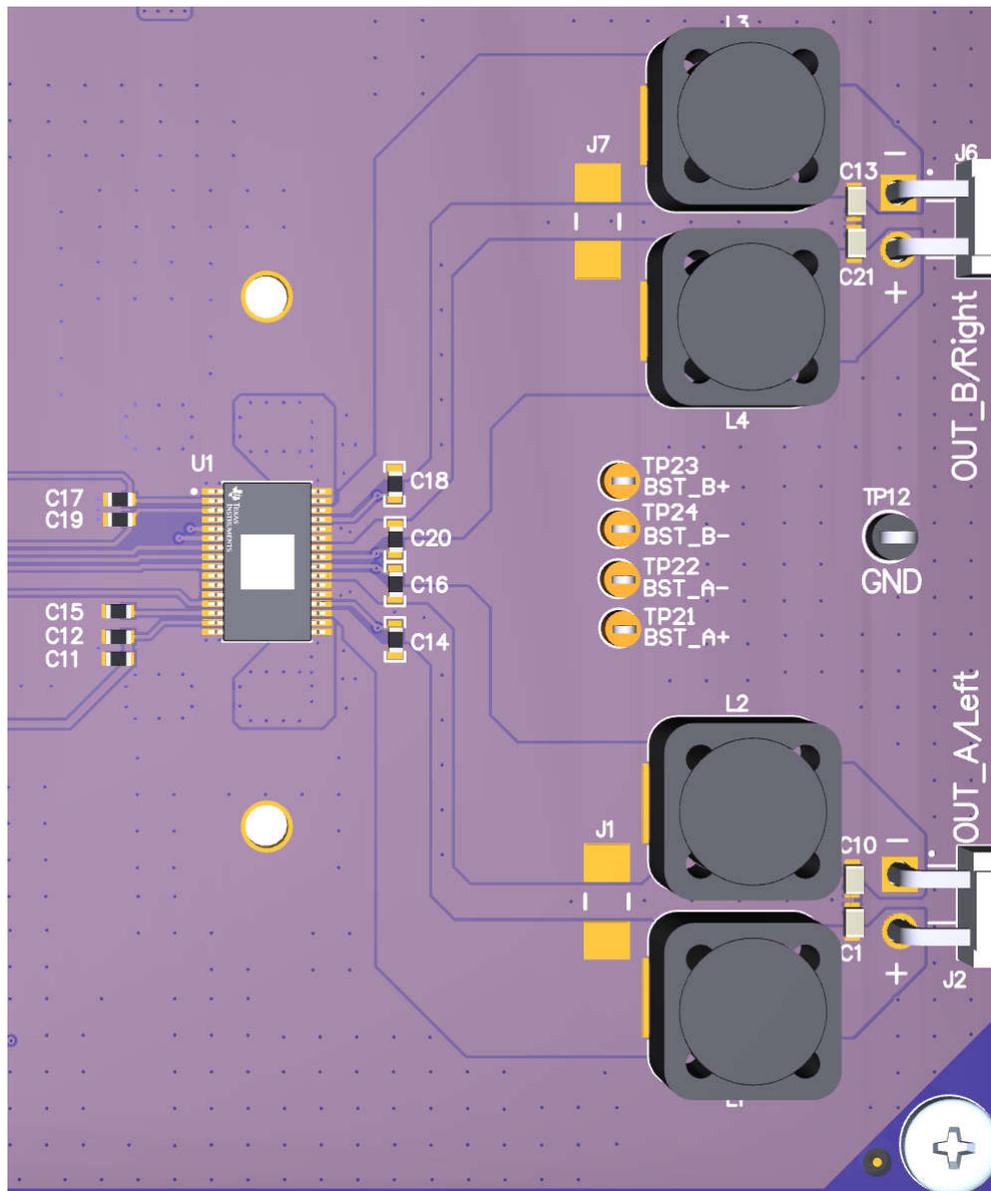
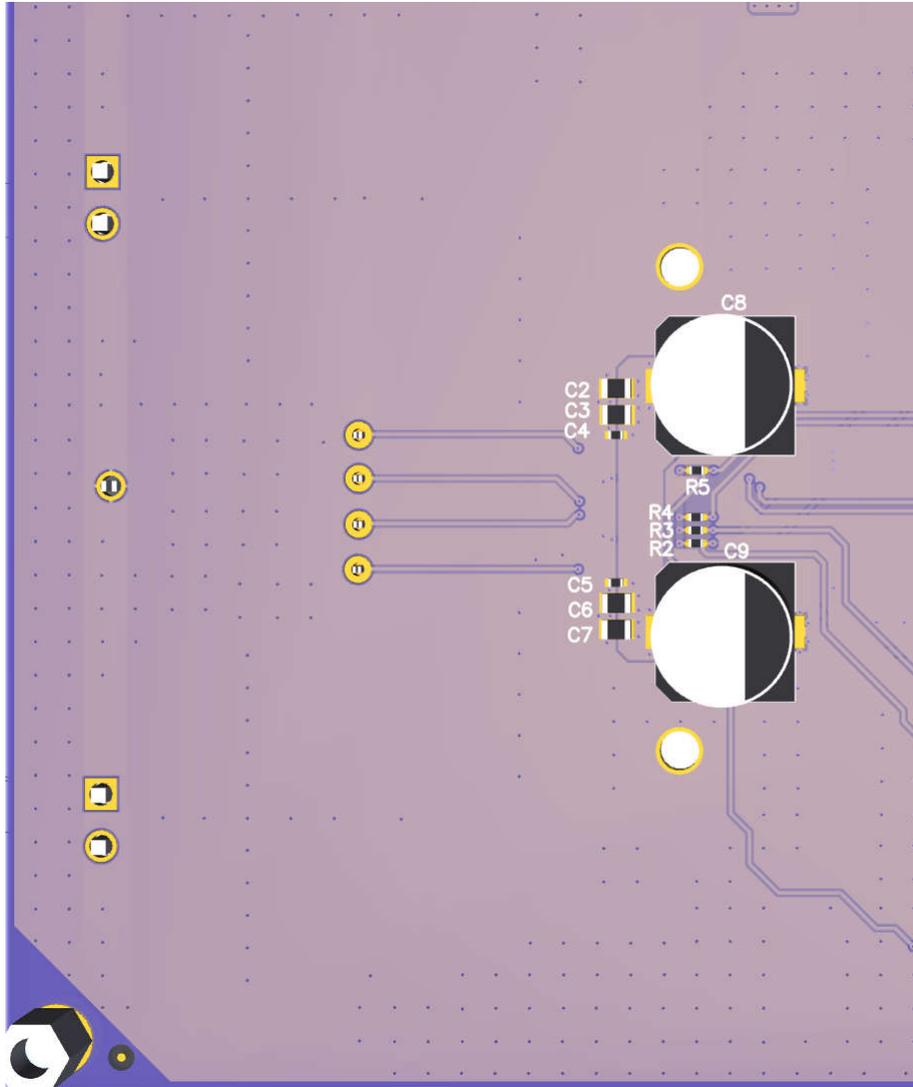


図 9-6. 2.0 (ステレオ BTL) 3D 上面図



注

底面図から、Y 軸に沿って反転しました。

図 9-7. 2.0 (ステレオ BTL) 3D 底面図

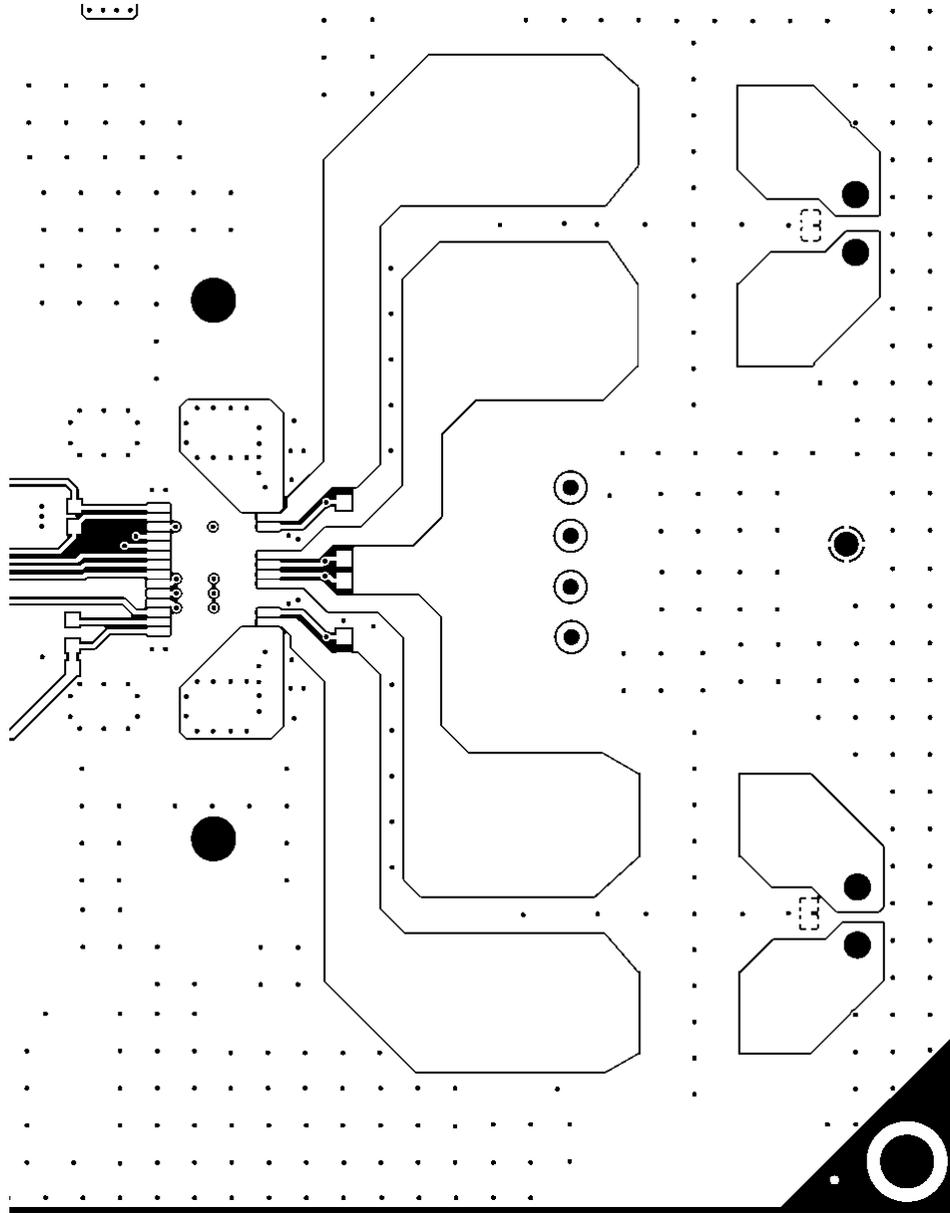


図 9-8. 2.0 (ステレオ BTL) PCB 上層プロット (上面図)

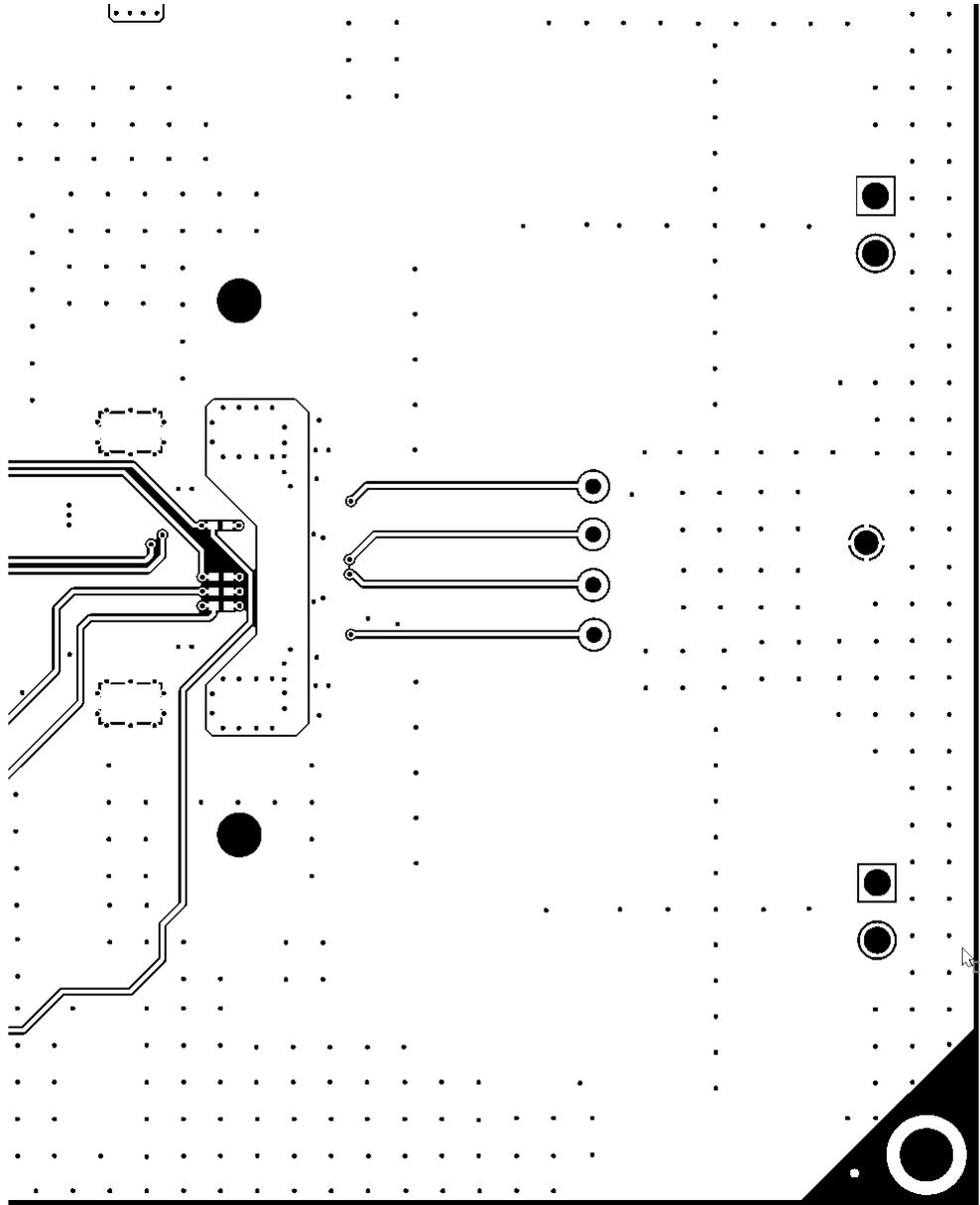


図 9-9. 2.0 (ステレオ BTL) PCB 下層プロット (上面図)

10 デバイスおよびドキュメントのサポート

10.1 デバイス サポート

10.1.1 デバイスの命名規則

用語集セクションは一般的な用語集で、JEDEC、IPC、IEEE、その他の業界標準に準拠する広範な TI イニシアチブに従って定義された、一般的に使用される頭字語や用語が含まれます。このセクションに示す用語集では、この製品およびドキュメント、付属品、またはこの製品とともに使用されるサポート ツールやソフトウェアに固有の単語、熟語、頭字語が定義されています。定義や用語に関する追加質問については、「[e2e オーディオ アンプ フォーラム](#)」を参照してください。

ブリッジ接続負荷 (BTL) は、スピーカの一方の端子を 1 つのハーフブリッジに、もう一方の端子を別のハーフブリッジに接続する出力構成です。

DUT は、デバイスと別のデバイスとを区別するため、*テスト対象のデバイス*を指す言葉です。

クロズド ループ アーキテクチャは、アンプが出力端子を監視し、出力信号と入力信号とを比較して、出力の非直線性の補正を試みるトポロジです。

動的制御は、システムまたはエンド ユーザーによって、通常の使用中に変更されるものです。

GPIO は汎用入出力ピンであり、さまざまな構成が可能な双方向のデジタル ピンで、システムによって要求される多くの機能を実行できます。

ホスト プロセッサ (システム プロセッサ、スカラー、ホスト、またはシステム コントローラとも呼ばれる) は、中央システム コントローラとして機能するデバイスを指します。接続されたデバイスに制御情報を提供するとともに、デバイスの上流にあるデバイスからオーディオ ソース データを収集し、そのデータを他のデバイスに配布します。ホスト プロセッサは多くの場合、周波数応答、時間調整、ターゲットの音圧レベル、システムの安全動作領域、ユーザーの好みに基づいてスピーカのオーディオ出力を最適化するために、オーディオ経路上のオーディオ処理デバイス (TAS5828M など) の制御を構成します。

最大連続出力電力とは、アンプが 25°C 周囲温度で動作しているとき、シャットダウンすることなく連続的に供給できる最大出力電力を意味します。テストは、アンプ温度が熱平衡に達し、それ以上上昇しなくなるまでの時間にわたって行われます。

並列ブリッジ接続負荷 (PBTL) は、スピーカの一方の端子を並列に配置した 2 つのハーフブリッジに接続し、もう一方の端子を並列に配置した別のハーフブリッジのペアに接続する出力構成です。

$r_{DS(on)}$ は、アンプの出力段で使用される MOSFET のオン抵抗の尺度です。

静的コントロール/静的構成は、システムが通常使用されている間に変更されないコントロールです。

ビアは、PCB 上の銅メッキされたスルーホールです。

10.1.2 開発サポート

RDGUI ソフトウェアについては、お近くの現地サポート エンジニアへお問い合わせください。

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の [アラートを受け取る] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.4 商標

PowerPAD™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (December 2021) to Revision B (April 2025)	Page
• サーマル フォールドバックの説明をより明確なものに変更.....	38
• DSP_PGM_MODE レジスタとその他の誤字を修正。名前を DIG_VOL から DAC_GAIN に変更.....	50
• パッドのダウン パッケージに関連するレイアウト セクションを削除.....	86
• ヒートシンクの情報を更新し、画像を追加.....	86
• レイアウトの画像を更新.....	88

Changes from Revision * (June 2021) to Revision A (December 2021)	Page
• ドキュメントのステータスを「事前情報」から「量産」データ.....	1

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TAS5828MDADR	Active	Production	HTSSOP (DAD) 32	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	TAS 5828M
TAS5828MDADR.A	Active	Production	HTSSOP (DAD) 32	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	TAS 5828M

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

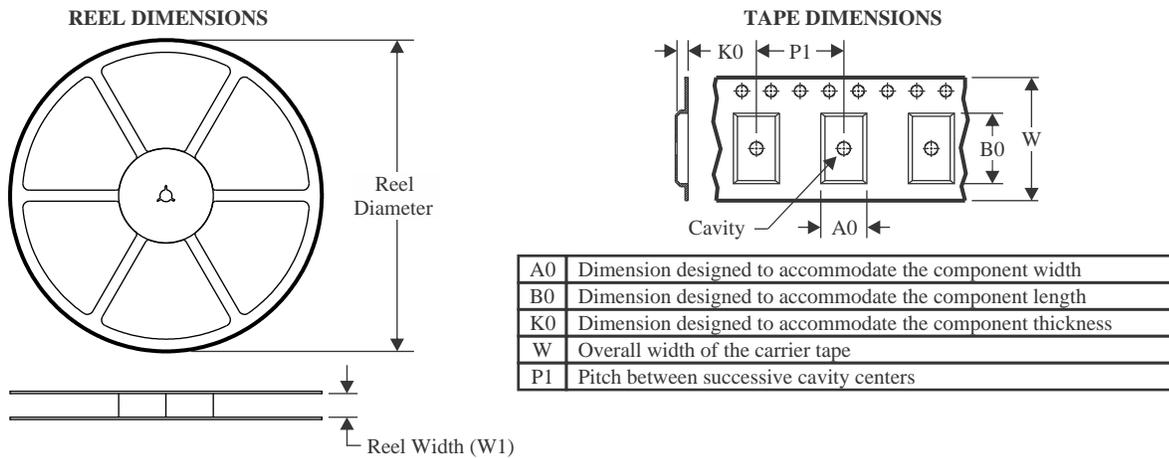
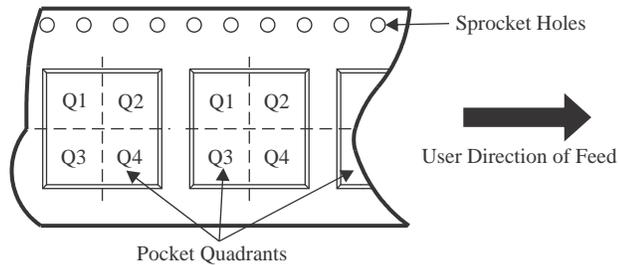
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

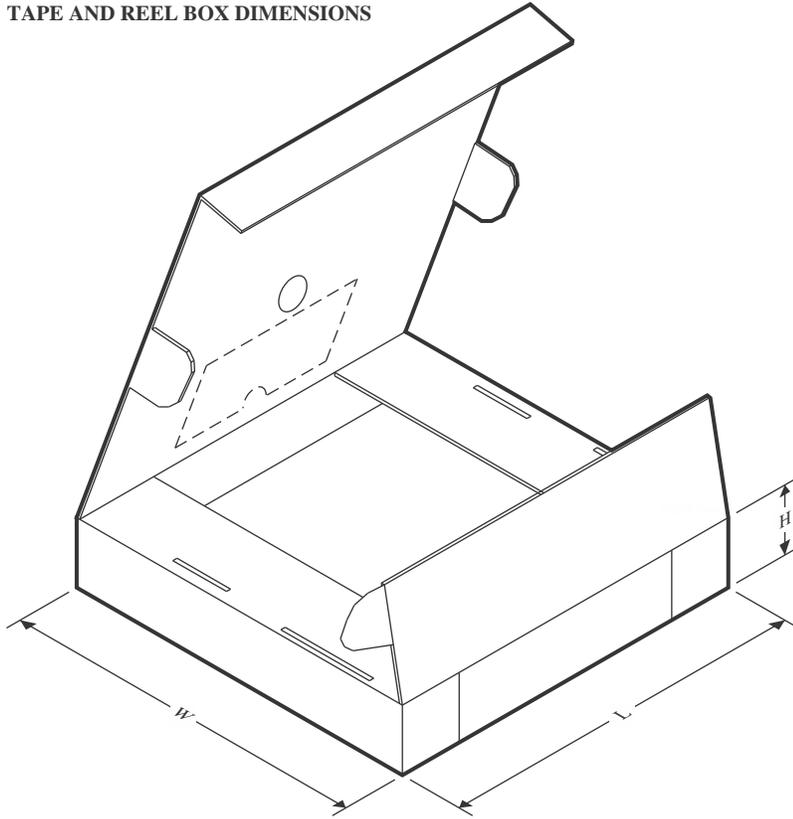
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


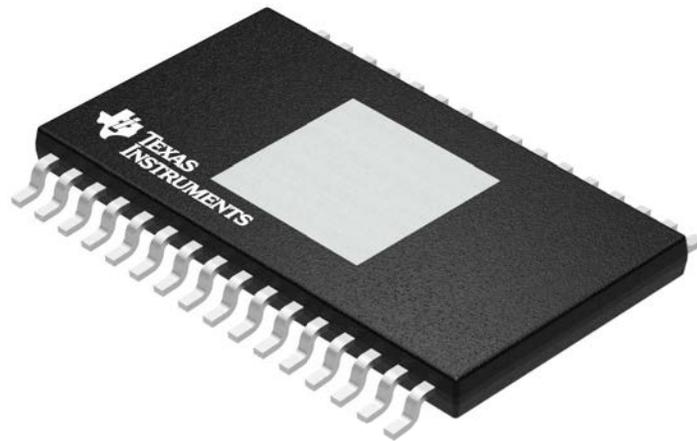
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TAS5828MDADR	HTSSOP	DAD	32	2000	330.0	24.4	8.6	11.5	1.6	12.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS


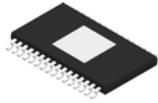
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TAS5828MDADR	HTSSOP	DAD	32	2000	350.0	350.0	43.0



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

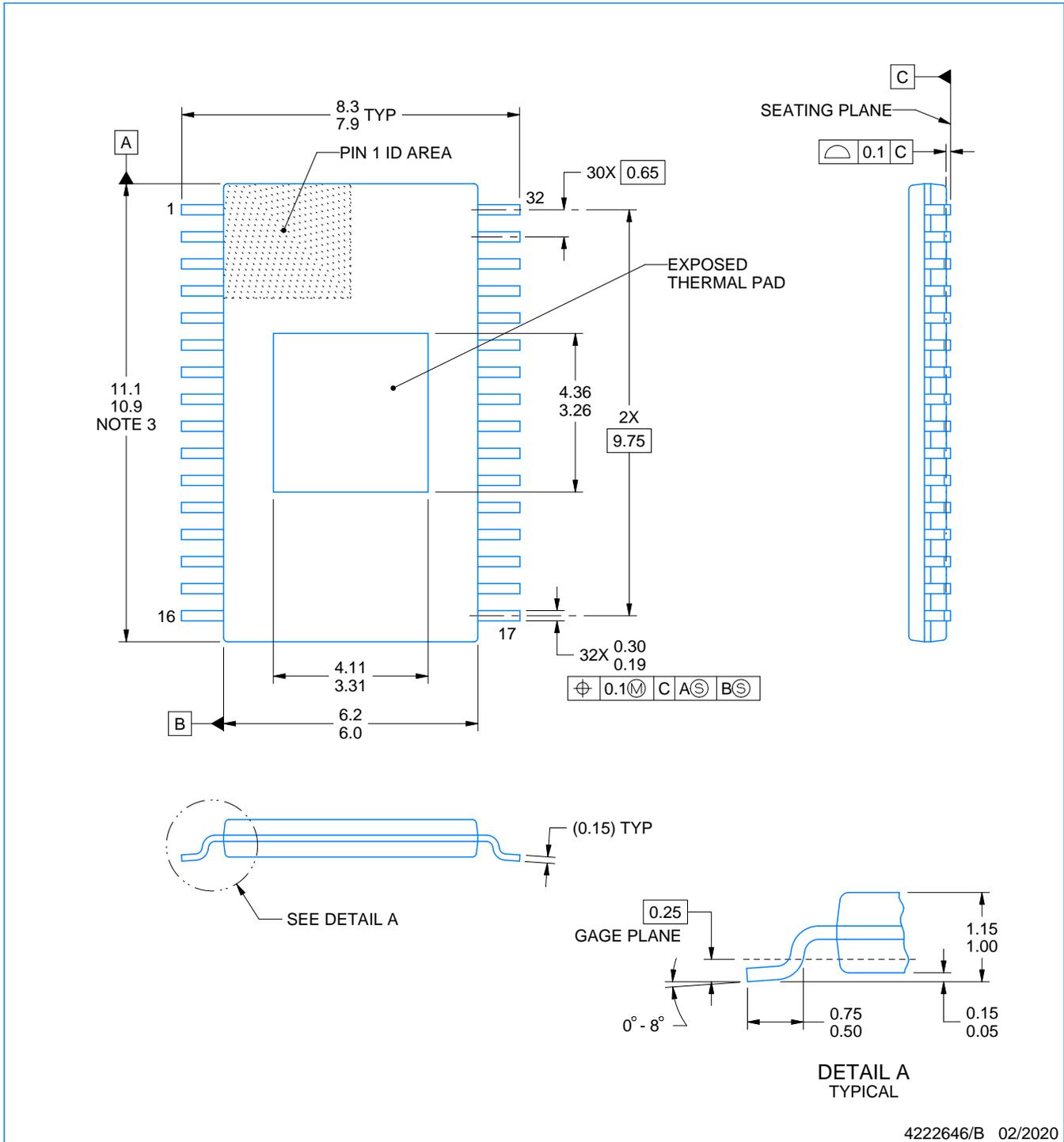
DAD0032A



PACKAGE OUTLINE

PowerPAD™ TSSOP - 1.15 mm max height

PLASTIC SMALL OUTLINE



4222646/B 02/2020

PowerPAD is a trademark of Texas Instruments.

NOTES:

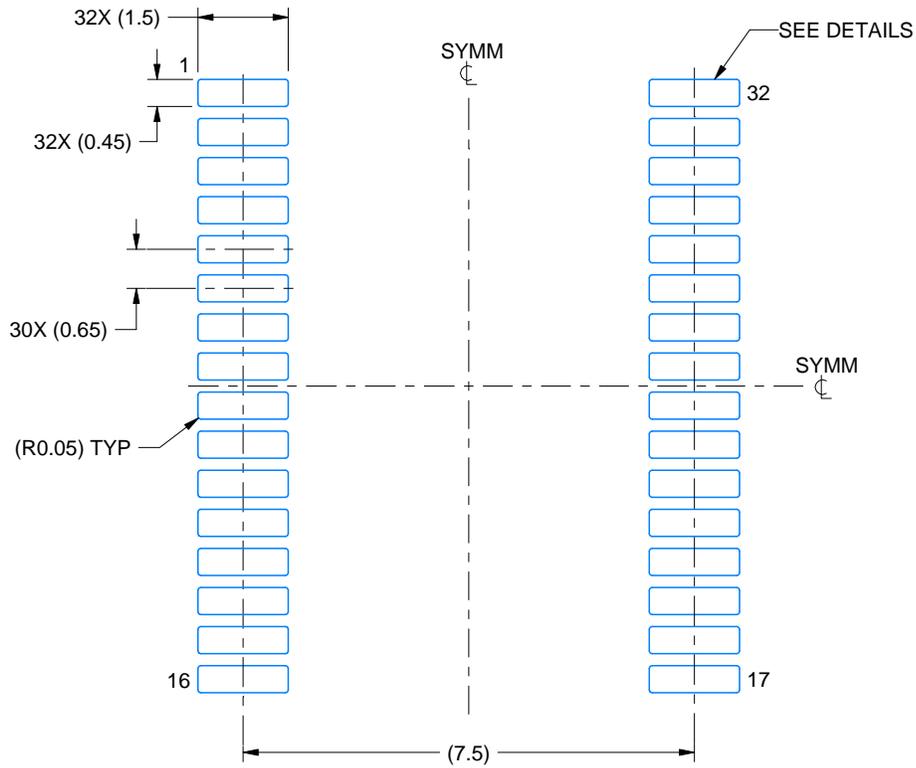
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

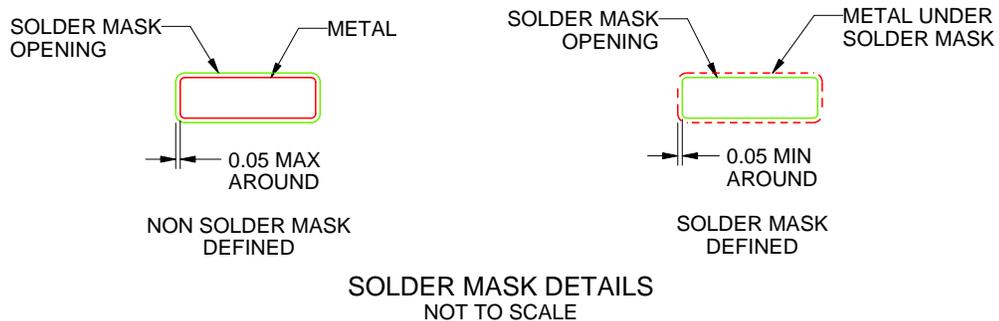
DAD0032A

PowerPAD™ TSSOP - 1.15 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS
NOT TO SCALE

4222646/B 02/2020

NOTES: (continued)

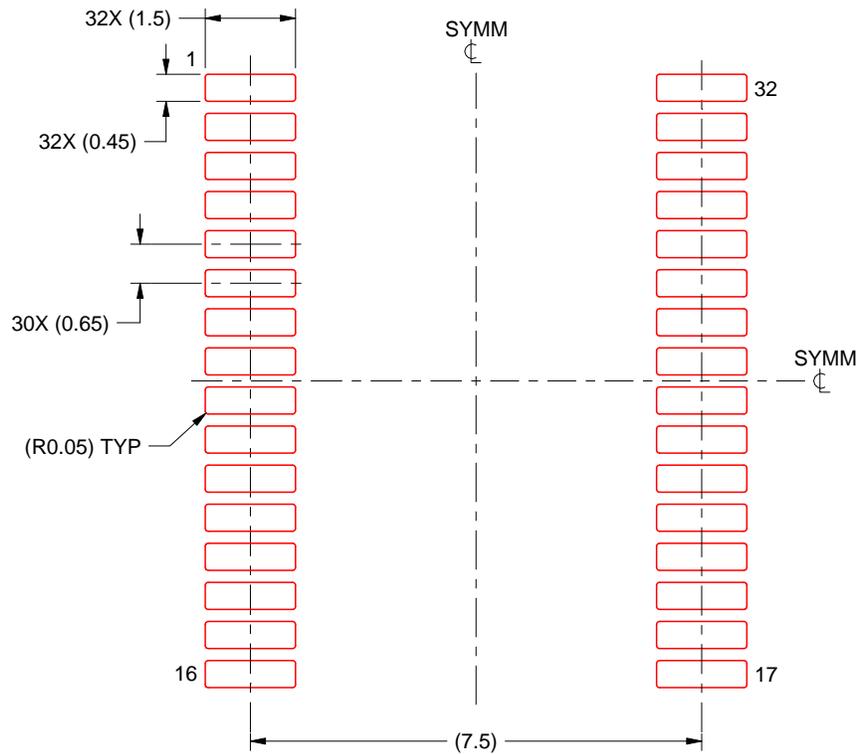
- 5. Publication IPC-7351 may have alternate designs.
- 6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DAD0032A

PowerPAD™ TSSOP - 1.15 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4222646/B 02/2020

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated