

TAS2781 24V Class-D アンプ、リアルタイムのスピーカ保護およびオーディオ処理機能内蔵

1 特長

主な特長

- オーディオ処理用 DSP チップを内蔵
- D 級出力段用の 24V 電源
- Y ブリッジ・マルチレベル電源アーキテクチャ
- Hybrid-Pro 外部昇圧制御アルゴリズム
- 最大 40kHz の超音波出力をサポート

出力電力:

- 1% THD+N で 25W (4Ω, 18V)
- 最大出力電力 30W、THD+N 10%

効率 (THDN 1%) と消費電力

- 1W、4Ω、PVDDH = 12V、PVDDL = 3.8V で 82%
- 1W、8Ω、PVDDH = 18V、PVDDL = 5V で 83%
- 1W、4Ω、PVDDH = 18V、PVDDL = 5V で 84%
- 15W、4Ω、PVDDH = 18V、PVDDL = 5V で 90%
- 15W、8Ω、PVDDH = 18V、PVDDL = 5V で 93%
- ハードウェア・シャットダウン・モードで 0.5μA 未満

電源とパワー・マネージメント:

- AVDD: 1.8V
- IOVDD: 1.8V/3.3V
- PVDDL: 2.7V~5.5V
- PVDDH: 3V~24V

インターフェイスと制御:

- SDOUT によるエコー・キャンセレーション
- I²S/TDM: 32 ビット、最大 192KSPS で 8 チャンネル
- I²C、Fast Mode+ または SPI
- チップ間通信バス
- 16kHz~192kHz のサンプル・レート

先進の DSP オーディオ処理:

- リアルタイムの IV センスによるスピーカ保護
- ダイナミック・レンジ圧縮機能
- 電力リミッタによるブラウンアウト保護
- マルチチャンネル・バランス通信

保護および EMI:

- 過電力および低バッテリー保護
- PVDDH/PVDDL 電源トラッキング・リミッタ
- 過熱および過電流保護
- サーマル・フォールドバック
- ポスト・フィルタ・フィードバックおよびスルーレート制御

2 アプリケーション

- ラップトップおよびデスクトップ PC

- スマート・スピーカ
- タブレットとハンドヘルド
- ワイヤレス・スピーカ

3 概要

TAS2781 はモノラル、デジタル入力 of Class-D オーディオ・アンプで、ラウドスピーカを高いピーク電力で効率的に駆動できるよう最適化されています。この Class-D アンプは、電源電圧 18V の場合、4Ω の負荷に 25W の連続出力を 1% 未満の THD+N で供給できます。このアンプは電圧入力範囲が広く出力電力が大きいため、バッテリーでもライン電源システムでも動作できるほど多目的です。

オンチップの DSP は、テキサス・インスツルメンツの SmartAmp スピーカ保護アルゴリズムをサポートしています。スピーカ電圧および電流検出機能を内蔵しているため、ラウドスピーカをリアルタイムで監視できます。

Y ブリッジ電源アーキテクチャは、電源を内部的に選択してヘッドルームを最適化することでアンプの効率を向上させます。可変スレッシュホールドを備えたブラウンアウト防止方式により、電源電圧が低下した際に信号路のゲインを下げるすることができます。

Hybrid-Pro アルゴリズムを使用すると、外部電源を制御して効率を最適化し、バッテリー寿命を延長できます。

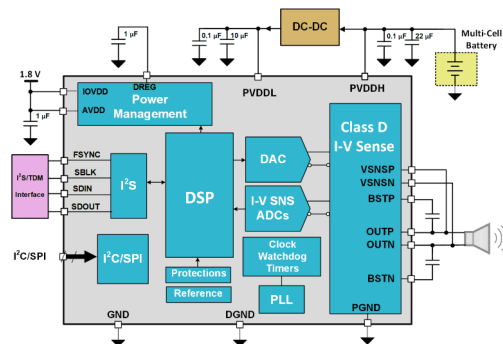
I²S/TDM および I²C/SPI インターフェイスにより、最大 8 個の TAS2781 デバイスが同じバスを共有できます。

TAS2781 は、PCB の占有面積が小さい 30 ピン HR-QFN パッケージで供給されます。

製品情報⁽¹⁾

部品番号	パッケージ	本体サイズ (公称)
TAS2781	HR QFN	4mm × 3.5mm

- (1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。



回路図



目次

1 特長.....	1	8.10 SDOOUT の式.....	71
2 アプリケーション.....	1	9 アプリケーションと実装.....	72
3 概要.....	1	9.1 アプリケーション情報.....	72
4 改訂履歴.....	2	9.2 代表的なアプリケーション.....	72
5 ピン構成および機能.....	3	9.3 設計要件.....	74
6 仕様.....	4	9.4 詳細な設計手順.....	74
6.1 絶対最大定格.....	4	9.5 アプリケーション曲線.....	75
6.2 ESD 定格.....	5	10 初期化セットアップ.....	76
6.3 推奨動作条件.....	5	10.1 初期デバイス構成 - 電源投入およびソフトウェア・リセット.....	76
6.4 熱に関する情報.....	5	10.2 初期デバイス構成 - PWR_MODE0.....	76
6.5 電気的特性.....	6	10.3 初期デバイス構成 - PWR_MODE1.....	77
6.6 I ² C のタイミング要件.....	11	10.4 初期デバイス構成 - PWR_MODE2.....	77
6.7 TDM ポートのタイミング要件.....	12	10.5 初期デバイス構成 - PWR_MODE3.....	78
6.8 SPI のタイミング要件.....	13	11 電源に関する推奨事項.....	79
6.9 代表的特性.....	14	11.1 電源モード.....	79
7 パラメータ測定情報.....	19	12 レイアウト.....	80
8 詳細説明.....	19	12.1 レイアウトのガイドライン.....	80
8.1 概要.....	19	12.2 レイアウト例.....	80
8.2 機能ブロック図.....	20	13 デバイスおよびドキュメントのサポート.....	82
8.3 機能説明.....	20	13.1 ドキュメントの更新通知を受け取る方法.....	82
8.4 デバイスの機能モード.....	21	13.2 コミュニティ・リソース.....	82
8.5 動作モード.....	32	13.3 商標.....	82
8.6 TAS2781 のフォルトとステータス.....	34	14 メカニカル、パッケージ、および注文情報.....	83
8.7 電源シーケンス要件.....	36	14.1 付録: パッケージ・オプション.....	84
8.8 デジタル入力プルダウン.....	36	14.2 テープおよびリール情報.....	85
8.9 レジスタ・マップ.....	36		

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (November 2022) to Revision B (July 2023)	Page
・「絶対最大定格」および「推奨動作条件」で PVDD を 24V に更新し、-20°C の温度条件の脚注を追加。.....	4
・エッジ・レート・レジスタの説明を明確化。.....	36
・フェライト・ビーズ・フィルタ用の PFFB 機能に関する推奨事項。.....	72
・起動時のポップアップの問題を修正するために、スタートアップ構成スクリプトを追加。.....	76

Changes from Revision * (July 2022) to Revision A (November 2022)	Page
・デバイスのステータスを「事前情報」から「量産データ」に変更。.....	1

5 ピン構成および機能

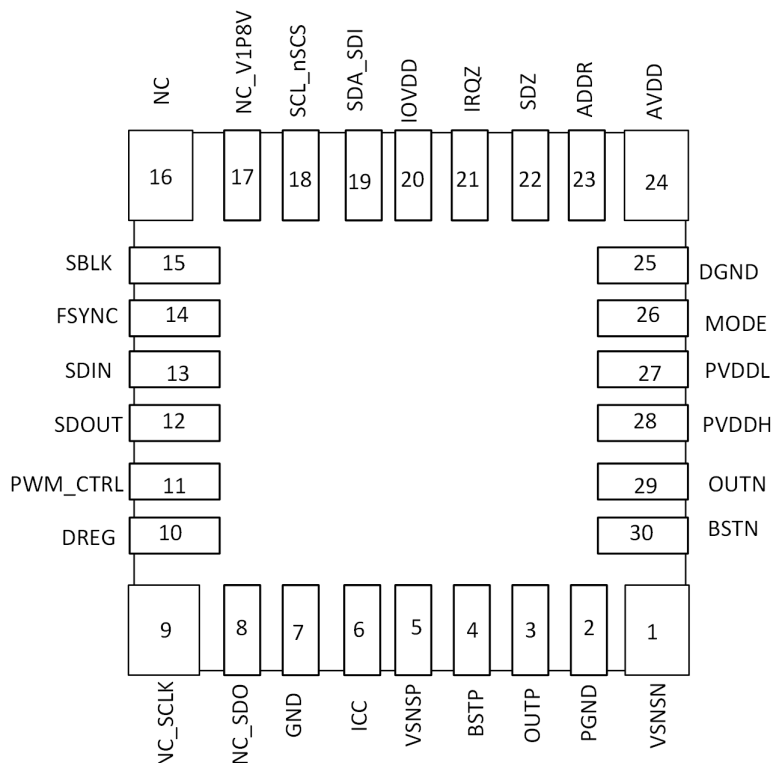


図 5-1. パッケージ 30 ピン HR-QFN 底面図

表 5-1. ピン機能

ピン		I/O	説明
名称	番号		
ADDR	23	I	アドレス検出ピン。このピンの抵抗値により、I ² C アドレスが選択されます。 セクション 8.3.2 を参照してください。
AVDD	24	P	アナログ電源入力。1.8V 電源に接続し、コンデンサで GND にデカップリングします。
BSTN	30	P	Class-D の負のブートストラップ。BSTN と OUTN の間にコンデンサを接続します。
BSTP	4	P	Class-D の正のブートストラップ。BSTP と OUTP の間にコンデンサを接続します。
DGND	25	P	デバイスのサブストレート・グラウンド。PCB グラウンド・プレーンに接続します。このピンと GND ピンの間に相互配線インダクタンスが発生しないようにします。
DREG	10	P	デジタル・コア電圧レギュレータ出力。コンデンサを使用して GND にバイパスします。外部負荷に接続しないでください。
FSYNC	14	I	フレーム同期クロック。
GND	7	P	アナログ・グラウンド。PCB グラウンド・プレーンに接続します。
ICC	6	IO	ゲイン・アライメントの送信に使用されるチップ間通信ピン。未使用時は GND に接続してください。
IOVDD	20	P	デジタル IO 電源。1.8V または 3.3V の IO 電源に接続し、コンデンサで GND にデカップリングします。
IRQZ	21	O	オープン・ドレイン、アクティブ Low 割り込みピン。オプションの内部プルアップを使用しない場合は、抵抗を使用して IOVDD にプルアップします。
MODE	26	I	外部構成により、動作モードが定義されます。
NC	16	-	GND に接続します。
NC_SCLK	9	I	I ² C モード: NC = GND に接続 SPI モード: クロック・ピン。

表 5-1. ピン機能 (continued)

ピン		I/O	説明
名称	番号		
NC_SDO	8	O	I ² C モード: NC = GND に接続 SPI モード: シリアル・データ出力ピン。
NC_V1P8V	17	P	NC_V1P8V = ICC が使用されていないとき、および SPI インターフェイスが不要なときは GND に接続、 NC_V1P8V = ICC が使用されており、SPI インターフェイスが必要なときは 1.8V 電源に接続
OUTN	29	O	Class-D の負出力。
OUTP	3	O	Class-D の正出力。
PGND	2	P	Class-D のグラウンド。PCB グラウンド・プレーンに接続します。
PVDDH	28	P	Class-D 電源入力。コンデンサでデカップリングします。
PVDDL	27	P	シングルセル・バッテリー電源入力。コンデンサでデカップリングします。
PWM_CTRL	11	O	外部昇圧コンバータの制御ピン。
SBCLK	15	I	TDM シリアル・ビット・クロック。
SCL_nSCS	18	I	I ² C モード: クロック・ピン。抵抗を使用して IOVDD にプルアップします。 SPI モード: アクティブ Low チップ・セレクト・ピン。
SDA_SDI	19	IO	I ² C モード: データ・ピン。抵抗を使用して IOVDD にプルアップします。 SPI モード: シリアル・データ入力ピン。
SDIN	13	I	TDM シリアル・データ入力。
SDOUT	12	IO	TDM シリアル・データ出力。
SDZ	22	I	アクティブ Low のハードウェア・シャットダウン。
VSNSN	1	I	電圧検出の負入力。Class-D の負出力に接続するか、またはフェライト・ビーズ・フィルタの後に接続します。
VSNP	5	I	電圧検出の正入力。Class-D の正出力に接続するか、またはフェライト・ビーズ・フィルタの後に接続します。

6 仕様

6.1 絶対最大定格

		最小値	最大値	単位
電源電圧	AVDD	-0.3	2	V
	IOVDD	-0.3	5	V
	NC_V1P8V	-0.3	2	V
	PVDDH	-0.3	26	V
	PVDDL	-0.3	6	V
	PVDDH - PVDDL	-0.3	22	V
内部電源電圧	DREG	-0.3	1.5	V
IO 電圧 ⁽¹⁾	SBLK、FSYNK、SDIN、SDOUT、IRQZ、SDA_SDI、SCL_nSCS、PWM_CTRL、SDZ	-0.3	5	V
IO 電圧 ⁽¹⁾	NC_SCLK、NC_SDO、ICC、ADDR	-0.3	2	V
自由空気での動作温度 T _A 。デバイスは高い信頼性で正しく動作しますが、一部の性能特性が低下する可能性があります。	PVDD は 23V 以下	-40	85	°C
	PVDD は 23V より高い	-20	85	°C
自由気流での性能温度 T _P 。すべての性能特性を満たしています。		-20	70	°C

		最小値	最大値	単位
動作時の接合部温度、 T_J	PVDD は 23V 以下	-40	150	°C
	PVDD は 23V より高い	-20	150	°C
保管温度、 T_{stg}		-65	150	°C

(1) すべてのデジタル入力と IO はフェイルセーフです。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

自由空気での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
AVDD	電源電圧		1.65	1.8	1.95	V
IOVDD	電源電圧		3	3.3	3.6	V
			1.65	1.8	1.95	
NC_V1P8V	ICC ピンの電源電圧		1.65	1.8	1.95	V
PVDDH ⁽²⁾	電源電圧 (機能) ⁽¹⁾	動作時の最低自由空気温度および最低動作接合部温度は -20°C	3		24	V
		動作時の最低自由空気温度および最低動作接合部温度は -40°C	3		23	
	電源電圧 (性能)	動作時の最低自由空気温度および最低動作接合部温度は -20°C	4.5		24	
		動作時の最低自由空気温度および最低動作接合部温度は -40°C	4.5		23	
PVDDL	電源電圧 (機能) ⁽¹⁾		2.7		5.5	V
	電源電圧 (Y ブリッジがディセーブル時の性能)		3.5		5.5	
	電源電圧 (Y ブリッジがイネーブル時の性能)		2.7		5.5	
R _{SPK}	スピーカのインピーダンス		3.2			Ω
L _{SPK}	スピーカのインダクタンス		5			μH

(1) デバイスの機能は維持されますが、性能は低下します。

(2) PVDDH 電源電圧は、PVDDL-0.7V よりも高い必要があります。

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		HR_QFN	単位
		30 ピン	
R _{θJA}	接合部から周囲への熱抵抗	44.2	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	22.4	°C/W
R _{θJB}	接合部から基板への熱抵抗	12.3	°C/W
ψ _{JT}	接合部から上面への熱特性パラメータ	0.6	°C/W
ψ _{JB}	接合部から基板への熱特性パラメータ	12.1	°C/W

(1) 従来および最新の熱測定基準の詳細については、アプリケーション・レポート『半導体および IC パッケージの熱評価基準』、SPRA953 を参照してください。

6.5 電気的特性

$T_A = 25^\circ\text{C}$, $PVDDH = 18\text{V}$, $PVDDL = 3.8\text{V}$, $AVDD = 1.8\text{V}$, $IOVDD = 1.8\text{V}$, $R_L = 4\Omega + 15\mu\text{H}$, $f_{in} = 1\text{kHz}$, $f_s = 48\text{kHz}$, ゲイン = 21dBV , $SDZ = 1$, $NG_EN = 0$, $EN_LLSR = 0$, PWR_MODE1 , セクション 7 に記載されているフィルタなしの状態での測定 (特に記述のない限り)。

パラメータ		テスト条件	最小値	代表値	最大値	単位
デジタル入出力						
V_{IH}	High レベル・デジタル入力ロジック電圧スレッシュホールド	SBLK, FSYNC, SDIN, SCL_nSCS, SDA_SDI	$0.7 \times IOVDD$			V
V_{IL}	Low レベル・デジタル入力ロジック電圧スレッシュホールド	SBLK, FSYNC, SDIN, SCL_nSCS, SDA_SDI			$0.3 \times IOVDD$	V
$V_{IH(SDZ)}$	High レベル・デジタル入力ロジック電圧スレッシュホールド	SDZ	$0.7 \times AVDD$			V
$V_{IL(SDZ)}$	Low レベル・デジタル入力ロジック電圧スレッシュホールド	SDZ			$0.3 \times AVDD$	V
$V_{IH(1P8V)}$	High レベル・デジタル入力ロジック電圧スレッシュホールド	ICC, NC_SCLK	$0.7 \times NC_V1P8V$			V
$V_{IL(1P8V)}$	Low レベル・デジタル入力ロジック電圧スレッシュホールド	ICC, NC_SCLK			$0.3 \times NC_V1P8V$	V
V_{OH}	High レベル・デジタル出力電圧	SDOUT, $I_{OH} = 100\mu\text{A}$	$IOVDD - 0.2\text{V}$			V
V_{OL}	Low レベル・デジタル出力電圧	SDOUT, $I_{OH} = 100\mu\text{A}$			0.2	V
$V_{OL(I^2C)}$	Low レベル・デジタル出力電圧	SDA_SDI, $I_{OL} = -1\text{mA}$			$0.2 \times IOVDD$	V
$V_{OH(1P8V)}$	High レベル・デジタル出力電圧	NC_SDO	$0.8 \times NC_V1P8V$			V
$V_{OL(1P8V)}$	Low レベル・デジタル出力電圧	NC_SDO			$0.2 \times NC_V1P8V$	V
I_{IH}	デジタル入力への入力ロジック High リークエージ	すべてのデジタル・ピン。入力=電源レール。	-1		1	μA
I_{IL}	デジタル入力への入力ロジック Low リークエージ	すべてのデジタル・ピン。入力=GND。	-1		1	μA
C_{IN}	デジタル入力の入力容量	すべてのデジタル・ピン		5		pF
R_{PD}	オンにアサートされたときの IO ピンのプルダウン抵抗			18		k Ω
R_{OS}	VSNS 抵抗への OUT	負荷が切断された状態		10		k Ω
IO	出力電流強度	電源電圧より 0.4V 低く GND より 0.4V 高い値で測定。		8		mA
アンプ性能						
P_{OUT}	ピーク出力電力	THD+N = 10%, $PWR_MODE0^{(1)}$, $PWR_MODE1^{(2)}$		30		W
	最大連続出力電力	THD+N = 1%, $PVDDL = 5\text{V}$, PWR_MODE0 , PWR_MODE1		25		
	システム効率	$P_{OUT} = 1\text{W}$, $PVDDL = 5\text{V}$, PWR_MODE1		84		%
		$P_{OUT} = 1\text{W}$, $PVDDL = 5\text{V}$, PWR_MODE0		79		
		$P_{OUT} = 3\text{W}$, $PVDDL = 5\text{V}$, PWR_MODE0 および PWR_MODE1		85		
		$P_{OUT} = 8\text{W}$, $PVDDL = 5\text{V}$, PWR_MODE0 および PWR_MODE1		88		
THD+N	全高調波歪およびノイズ	$P_{OUT} = 1\text{W}$, $f_{IN} = 1\text{kHz}$		-84		dB
		$P_{OUT} = 1\text{W}$, $f_{IN} = 6.667\text{kHz}$		-84		
IMD	相互変調歪	ITU-R, 19kHz/20kHz, 1:1: 12.5W		-83		dB
V_N	アイドル・チャネル・ノイズ	A-Weighted, 20Hz~20kHz, PWR_MODE0		42		μV
		A-Weighted, 20Hz~20kHz, $PWR_MODE2^{(3)}$		34		
		A-Weighted, 20Hz~20kHz, PWR_MODE1		32		
	超音波チャープを伴うアイドル・チャネル・ノイズ (100 μs デューティ・サイクル, 25ms 周期)	A-Weighted, 20Hz~20kHz, $PWR_MODE3^{(4)}$, $1V_{Peak}$, レジスタ 0x73 を E0h に設定		34		

$T_A = 25^\circ\text{C}$, $PVDDH = 18\text{V}$, $PVDDL = 3.8\text{V}$, $AVDD = 1.8\text{V}$, $IOVDD = 1.8\text{V}$, $R_L = 4\Omega + 15\mu\text{H}$, $f_{in} = 1\text{kHz}$, $f_s = 48\text{kHz}$, ゲイン = 21dBV, $SDZ = 1$, $NG_EN = 0$, $EN_LLSR = 0$, PWR_MODE1 , セクション 7 に記載されているフィルタなしの状態での測定 (特に記述のない限り)。

パラメータ		テスト条件	最小値	代表値	最大値	単位
F _{PWM}	Class-D PWM スwitchング周波数	拡散スペクトラム・モードでの平均周波数、CLASSD_SYNC=0		384		kHz
		固定周波数モード、CLASSD_SYNC=0		384		
		固定周波数モード、CLASSD_SYNC=1、f _s = 44.1kHz および 88.2kHz		352.8		
		固定周波数モード、CLASSD_SYNC=1、f _s = 48kHz および 96kHz		384		
V _{OS}	出力オフセット電圧	アイドル・モード	-1.3	±0.3	1.3	mV
DNR	ダイナミック・レンジ	A-Weighted、-60dBFS		110		dB
		A-Weighted、-60dBFS、PWR_MODE2		109		
		A-Weighted、-60dBFS、PWR_MODE0		109		
SNR	信号対雑音比	A-Weighted、1% THD+N 出力レベルを基準		110		dB
		A-Weighted、1% THD+N 出力レベルを基準、PWR_MODE2 ⁽¹⁾		110		
		A-Weighted、1% THD+N 出力レベルを基準、PWR_MODE0		109		
K _{CP}	クリックおよびポップ性能	アイドル・モード、シャットダウンの開始時と終了時、A-Weighted		0.8		mV
	フルスケール出力電圧	f _s ≦ 48kHz		21		dBV
	プログラム可能な最小ゲイン	f _s ≦ 48kHz		11		dBV
	プログラム可能な最大ゲイン	f _s ≦ 48kHz		21		
	プログラム可能な出力レベルのステップ・サイズ			0.5		dB
	ミュート減衰	デバイスはソフトウェア・シャットダウン中、または通常動作でミュート中		108		dB
	チップ間群遅延		-1		1	μs
	PVDDH 電源除去比	PVDDH = 18V + 200mV _{pp} 、f _{ripple} = 217Hz		118		dB
		PVDDH = 18V + 200mV _{pp} 、f _{ripple} = 1kHz		110		
		PVDDH = 18V + 200mV _{pp} 、f _{ripple} = 20kHz		98		
	PVDDL 電源除去比	PVDDL = 5V + 200mV _{pp} 、f _{ripple} = 217Hz		114		dB
		PVDDL = 5V + 200mV _{pp} 、f _{ripple} = 1kHz		109		
		PVDDL = 5V + 200mV _{pp} 、f _{ripple} = 20kHz		93		
	AVDD 電源除去比	AVDD = 1.8V + 200mV _{pp} 、f _{ripple} = 217Hz		105		dB
		AVDD = 1.8V + 200mV _{pp} 、f _{ripple} = 1kHz		103		
		AVDD = 1.8V + 200mV _{pp} 、f _{ripple} = 20kHz		88		
	電源相互変調	PVDDH、217Hz、100mV _{pp} 、入力 f = 1kHz @ 400mW		-120		dB
		PVDDL、217Hz、100mV _{pp} 、入力 f = 1kHz @ 400mW		-120		
		AVDD、217Hz、100mV _{pp} 、入力 f = 1kHz @ 400mW		-80		
		IOVDD 217Hz、100mV _{pp} 、入力 f = 1kHz @ 400mW		-117		
	ソフトウェア・シャットダウンのリリースからのターンオン時間	ボリューム・ランブなし		1.13		ms
		ボリューム・ランブ		6.73		
	ソフトウェア・シャットダウンのアサートからアンプのハイ・インピーダンスまでのターンオフ時間	ボリューム・ランブなし		0.56		ms
		ボリューム・ランブ		6		
	ハードウェア・シャットダウンから復帰して最初の I ² C コマンドまで		1			ms
	SDZ タイムアウト	HW シャットダウンの終了	2	6	23.8	ms
	ソフトウェア・シャットダウン時のターンオフ時間	f _s = 48ksps、DVC_RMP_RT[3:2]=3h (ディセーブル)。別のサンプリング・レートの場合は、48/f _s で乗算します。		1		ms
		f _s = 48ksps、DVC_RMP_RT[3:2] = 0h (イネーブル)。別のサンプリング・レートの場合は、48/f _s で乗算します。		12.5		

TAS2781

JAJSP37B – JULY 2022 – REVISED JULY 2023

$T_A = 25^\circ\text{C}$, $PVDDH = 18\text{V}$, $PVDDL = 3.8\text{V}$, $AVDD = 1.8\text{V}$, $IOVDD = 1.8\text{V}$, $R_L = 4\Omega + 15\mu\text{H}$, $f_{in} = 1\text{kHz}$, $f_s = 48\text{kHz}$, ゲイン = 21dBV, $SDZ = 1$, $NG_EN = 0$, $EN_LLSR = 0$, PWR_MODE1 , セクション 7 に記載されているフィルタなしの状態での測定 (特に記述のない限り)。

パラメータ		テスト条件	最小値	代表値	最大値	単位
ダイ温度センサ						
	分解能			8		ビット
	最小温度測定範囲			-40		℃
	最大温度測定範囲			150		℃
	ダイ温度分解能			1		℃
	ダイ温度精度		-5		5	℃
電圧モニタ						
	分解能			12		ビット
	PVDDH の測定範囲	最小レベル		2		V
		最大レベル		23		
	PVDDH の分解能			22.5		mV
	PVDDH の精度	2V ≦ PVDDHV ≦ 23V		±60		mV
	PVDDL の測定範囲	最小レベル		2.3		V
		最大レベル		6		
	PVDDL の分解能			20		mV
	PVDDL の精度	2.3V ≦ PVDDL ≦ 6V		±20		mV
TDM シリアル・オーディオ・ポート						
	最小 PCM サンプル・レートと FSYNC 入力周波数			14.7		kHz
	最大 PCM サンプル・レートと FSYNC 入力周波数			192		
	最小 SBCLK 入力周波数	I ² S/TDM での動作		0.512		MHz
	最大 SBCLK 入力周波数	I ² S/TDM での動作		24.576		
	SBCLK の最大入力ジッタ	性能を低下させない許容範囲 40kHz 未満の RMS ジッタ			0.5	ns
		性能を低下させない許容範囲 40kHz 以上の RMS ジッタ			1	
	I ² S および TDM モードにおける FSYNC 当たりの最小 SBCLK サイクル	その他の値: 24、32、48、64、96、125、128、192、250、256、384、500		16		サイクル
	I ² S および TDM モードにおける FSYNC 当たりの最大 SBCLK サイクル	その他の値: 24、32、48、64、96、125、128、192、250、256、384、500		512		
PCM 再生 特性 f _s ≦ 48kHz						
f _s	最小サンプル・レート			14.7		kHz
	最大サンプル・レート			48		
	通過帯域周波数での交差リップル			0.454		f _s
	通過帯域リップル	20Hz〜LPF のカットオフ周波数	-0.5		0.5	dB
	ストップ・バンド減衰	0.55 以上の f _s		60		dB
		1 以上の f _s		65		
	群遅延 (ノイズ・ゲートを含む)	DC から 0.454 f _s まで、DC ブロックはディセーブル、Class-H はディセーブル		31		1/f _s
		DC から 0.454 f _s まで、DC ブロックはディセーブル、Class-H はイネーブル		221		
PCM 再生 特性 f _s > 48kHz						
fs	最小サンプル・レート			88.2		kHz
	最大サンプル・レート			192		

$T_A = 25^\circ\text{C}$, $PVDDH = 18\text{V}$, $PVDDL = 3.8\text{V}$, $AVDD = 1.8\text{V}$, $IOVDD = 1.8\text{V}$, $R_L = 4\Omega + 15\mu\text{H}$, $f_{in} = 1\text{kHz}$, $f_s = 48\text{kHz}$, ゲイン = 21dBV, $SDZ = 1$, $NG_EN = 0$, $EN_LLSR = 0$, PWR_MODE1 , セクション 7 に記載されているフィルタなしの状態にて測定 (特に記述のない限り)。

パラメータ		テスト条件	最小値	代表値	最大値	単位
	通過帯域リップルの周波数	$f_s = 96\text{kHz}$		0.437		f_s
	通過帯域 3db 周波数	$f_s = 96\text{kHz}$		0.459		f_s
	通過帯域リップル	DC から LPF へのカットオフ周波数	-0.5		0.5	dB
	ストップ・バンド減衰	0.56 以上の f_s		60		dB
		1 以上の f_s		65		
	群遅延 (ノイズ・ゲートを含む)	DC から 0.375 f_s まで、DC ブロックはディセーブル、Class-H はディセーブル		51		$1/f_s$
		DC から 0.375 f_s まで、DC ブロックはディセーブル、Class-H はイネーブル		242		
スピーカ電流センス						
	分解能			16		ビット
DNR	ダイナミック・レンジ	重み付けなし、基準は 0dBFS		70		dB
THD+N	全高調波歪およびノイズ	$P_{out} = 15\text{W}$		-61		dB
	フルスケール入力電流	-6dBFS で測定。0dBFS で再スケーリング。		5		A
	差動モード・ゲイン	$P_{out} = 1\text{W}$ 、40Hz - 40dBFS のパイロット・トーンを使用	0.98		1.02	
	周波数応答	20Hz～20kHz	-0.1		0.1	dB
	群遅延			22		$1/f_s$
スピーカ電圧センス						
	分解能			16		ビット
DNR	ダイナミック・レンジ	重み付けなし、基準は 0dBFS		73		dB
THD+N	全高調波歪およびノイズ	$P_{out} = 15\text{W}$		-68		dB
	フルスケール入力電圧			16		V_{PK}
	差動モード・ゲイン	$P_{out} = 1\text{W}$ 、40Hz - 40dBFS のパイロット・トーンを使用	0.98		1.02	
	周波数応答	20Hz～20kHz	-0.1		0.1	dB
	群遅延			22		$1/f_s$
スピーカの電圧 / 電流検出比						
	ゲインの直線性	$P_{out} \geq 40\text{mW}$ から 0.1% THD+N。40Hz、-40dBFS のパイロット・トーンを使用、PWR_MODE0	-1		1	%
	ゲインの直線性	$P_{out} \geq 80\text{mW}$ から 0.1% THD+N。40Hz、-40dBFS のパイロット・トーンを使用、PWR_MODE1	-1		1	%
	温度範囲全体でのゲイン誤差	-20℃～70℃、 $P_{out} = 1\text{W}$		±0.6		%
	V と I の間の位相誤差			300		ns
保護回路						
	最初のアタックに対するブラウンアウト防止レイテンシ	BOP_SRC = 1		400		μs
	サーマル・シャットダウン温度			145		℃
	サーマル・シャットダウンの再試行	OTE_RETRY = 1		1.5		s
	PVDDH の出力過電流制限	出力から出力、出力から GND、または出力から PVDDH への短絡	5.5	6.7		A
	PVDDL の出力過電流制限	出力から出力、出力から GND、または出力から PVDDL への短絡	2	2.6		A
	PVDDL 低電圧誤動作防止スレシヨルド	UVLO がアサートされている		2		V
		UVLO がアサート解除されている		2.16		
	AVDD 低電圧誤動作防止スレシヨルド	UVLO がアサートされている		1.45		V
		UVLO がアサート解除されている		1.51		
	IOVDD 低電圧誤動作防止スレシヨルド	UVLO がアサートされている		1.13		V
		UVLO がアサート解除されている		1.25		

TAS2781

JAJSP37B – JULY 2022 – REVISED JULY 2023

$T_A = 25^\circ\text{C}$, $PVDDH = 18\text{V}$, $PVDDL = 3.8\text{V}$, $AVDD = 1.8\text{V}$, $IOVDD = 1.8\text{V}$, $R_L = 4\Omega + 15\mu\text{H}$, $f_{in} = 1\text{kHz}$, $f_s = 48\text{kHz}$, ゲイン = 21dBV, $SDZ = 1$, $NG_EN = 0$, $EN_LLSR = 0$, PWR_MODE1 , セクション 7 に記載されているフィルタなしの状態での測定 (特に記述のない限り)。

パラメータ		テスト条件	最小値	代表値	最大値	単位
	PVDDL 内部 LDO 低電圧誤動作防止スレッシュホールド	UVLO がアサートされている		4.1		V
Class-H コントローラ						
	先読み時間	サンプリング・レート 48kHz および 96kHz			4.8	ms
ピープ・ピン・ジェネレータ						
f_{in}	SDZ ピン	入力 PWM 信号周波数	25.6		192	kHz
f_{in}	NC_SCLK ピン	入力 PWM 信号周波数	1.6		12	kHz
標準消費電流						
	ハードウェア・シャットダウン	SDZ = 0, PVDDH		0.05		μA
		SDZ = 0, PVDDL		0.01		
		SDZ = 0, AVDD		0.14		
		SDZ = 0, IOVDD		0.005		
	ソフトウェア・シャットダウン	すべてのクロックが停止, PVDDH		0.05		μA
		すべてのクロックが停止, PVDDL		0.5		
		すべてのクロックが停止, AVDD		10		
		すべてのクロックが停止, IOVDD		0.52		
	ノイズ・ゲート・モード	$f_s = 48\text{kHz}$, PVDDH		0.012		mA
		$f_s = 48\text{kHz}$, PVDDL		0.13		
		$f_s = 48\text{kHz}$, AVDD		8.2		
		$f_s = 48\text{kHz}$, IOVDD		0.01		
	アイドル・モード - PWR_MODE1	$f_s = 48\text{kHz}$, PVDDH		0.04		mA
		$f_s = 48\text{kHz}$, PVDDL		2.2		
		$f_s = 48\text{kHz}$, AVDD, IV センス=イネーブル		15.5		
		$f_s = 48\text{kHz}$, AVDD, IV センス=ディセーブル		11.8		
		$f_s = 48\text{kHz}$, IOVDD		0.02		
	アイドル・モード - PWR_MODE2	$f_s = 48\text{kHz}$, PVDDH		3		mA
		$f_s = 48\text{kHz}$, AVDD, IV センス=イネーブル		15.5		
		$f_s = 48\text{kHz}$, AVDD, IV センス=ディセーブル		11.8		
		$f_s = 48\text{kHz}$, IOVDD		0.02		
	アイドル・モード - PWR_MODE0	$f_s = 48\text{kHz}$, PVDDH		2.3		mA
		$f_s = 48\text{kHz}$, PVDDL		2.1		
		$f_s = 48\text{kHz}$, AVDD, IV センス=イネーブル		15.5		
		$f_s = 48\text{kHz}$, AVDD, IV センス=ディセーブル		11.8		
		$f_s = 48\text{kHz}$, IOVDD		0.02		

- (1) **PWR_MODE0**: CDS_MODE=10, PVDDL_MODE=0
- (2) **PWR_MODE1**: CDS_MODE=00, PVDDL_MODE=0
- (3) **PWR_MODE2**: CDS_MODE=11, PVDDL_MODE=1
- (4) **PWR_MODE3**: CDS_MODE=01, PVDDL_MODE=0

6.6 I²C のタイミング要件

T_A = 25°C、IOVDD = 1.8V (特に記述のない限り)

		最小値	最大値	単位
標準モード				
f _{SCL}	SCL クロック周波数	0	100	kHz
t _{HD;STA}	(反復) 開始条件のホールド時間。この時間が経過すると、最初のクロック・パルスが生成されます。	4		μs
t _{LOW}	SCL クロックの Low の時間	4.7		μs
t _{HIGH}	SCL クロックの High の時間	4		μs
t _{SU;STA}	反復開始条件のセットアップ時間	4.7		μs
t _{HD;DAT}	データ・ホールド時間:I ² C バス・デバイスの場合		3.45	μs
t _{SU;DAT}	データ・セットアップ時間	250		ns
t _r	SDA と SCL の立ち上がり時間		1000	ns
t _f	SDA と SCL の立ち下がり時間		300	ns
t _{SU;STO}	終了条件のセットアップ時間	4		μs
t _{BUF}	終了条件と開始条件の間のバス・フリー時間	4.7		μs
C _b	各バス・ラインの容量性負荷		400	pF
Fast モード				
f _{SCL}	SCL クロック周波数	0	400	kHz
t _{HD;STA}	(反復) 開始条件のホールド時間。この時間が経過すると、最初のクロック・パルスが生成されます。	0.6		μs
t _{LOW}	SCL クロックの Low の時間	1.3		μs
t _{HIGH}	SCL クロックの High の時間	0.6		μs
t _{SU;STA}	反復開始条件のセットアップ時間	0.6		μs
t _{HD;DAT}	データ・ホールド時間:I ² C バス・デバイスの場合	0	0.9	μs
t _{SU;DAT}	データ・セットアップ時間	100		ns
t _r	SDA と SCL の立ち上がり時間	20 + 0.1 × C _b [pF]	300	ns
t _f	SDA と SCL の立ち下がり時間	20 + 0.1 × C _b [pF]	300	ns
t _{SU;STO}	終了条件のセットアップ時間	0.6		μs
t _{BUF}	終了条件と開始条件の間のバス・フリー時間	1.3		μs
C _b	各バス・ラインに対する容量性負荷 (10pF~400pF)		400	pF
ファスト・モード・プラス				
f _{SCL}	SCL クロック周波数		1000	kHz
t _{HD;STA}	(反復) 開始条件のホールド時間。この時間が経過すると、最初のクロック・パルスが生成されます。	0.26		μs
t _{LOW}	SCL クロックの Low の時間	0.5		μs
t _{HIGH}	SCL クロックの High の時間	0.26		μs
t _{SU;STA}	反復開始条件のセットアップ時間	0.26		μs
t _{HD;DAT}	データ・ホールド時間:I ² C バス・デバイスの場合	0		μs
t _{SU;DAT}	データ・セットアップ時間	50		ns
t _r	SDA と SCL の立ち上がり時間		120	ns
t _f	SDA と SCL の立ち下がり時間		120	ns
t _{SU;STO}	終了条件のセットアップ時間	0.26		μs
t _{BUF}	終了条件と開始条件の間のバス・フリー時間	0.5		μs
C _b	各バス・ラインの容量性負荷		550	pF

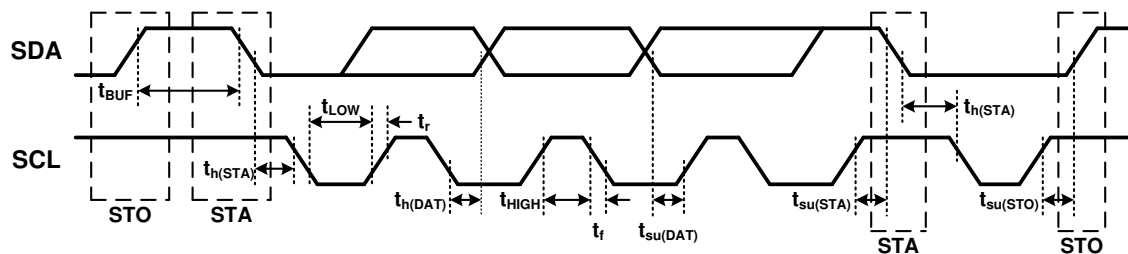


図 6-1. I²C のタイミング図

6.7 TDM ポートのタイミング要件

$T_A = 25^\circ\text{C}$ 、IOVDD = NC_V1P8V = 1.8V、すべての出力に 20pF の負荷 (特に記述のない限り)

		最小値	最大値	単位
$t_H(\text{SBCLK})$	SBCLK の High 期間	20		ns
$t_L(\text{SBCLK})$	SBCLK の Low 期間	20		ns
$t_{\text{SU}}(\text{FSYNC})$	FSYNC セットアップ時間	8		ns
$t_{\text{HLD}}(\text{FSYNC})$	FSYNC のホールド時間	8		ns
$t_{\text{SU}}(\text{SDIN/ICC})$	SDIN/ICC セットアップ時間	8		ns
$t_{\text{HLD}}(\text{SDIN/ICC})$	SDIN/ICC のホールド時間	8		ns
$t_d(\text{SBCLK_SDOUT/ICC})$	SBCLK から SDOUT/ICC への遅延	SBCLK の 50% から SDOUT/ICC の 50% まで、IOVDD = 1.8V		30
$t_r(\text{SBCLK})$	SBCLK の立ち上がり時間	10%~90% の立ち上がり時間		8
$t_f(\text{SBCLK})$	SBCLK の立ち下がり時間	90%~10% の立ち下がり時間		8

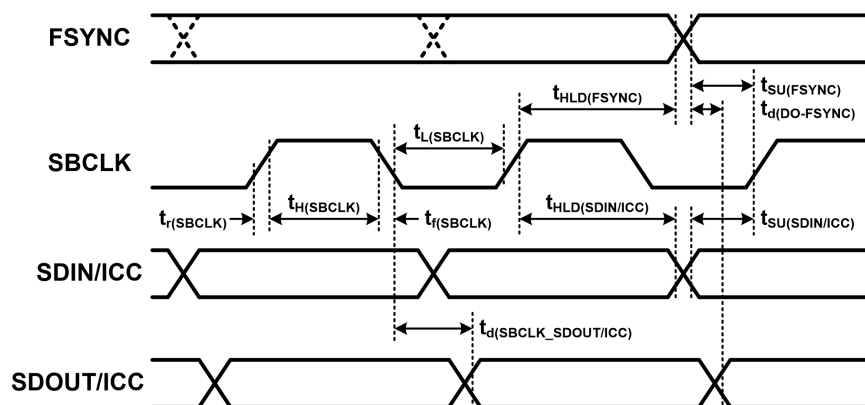


図 6-2. TDM と ICC のタイミング図

6.8 SPI のタイミング要件

$T_A = 25^\circ\text{C}$ 、 $\text{NC_V1P8V} = \text{IOVDD} = 1.8\text{V}$

		最小値	公称値	最大値	単位
$t_{\text{HI_nSCS}}$	nSCS のアクティブ Low の前の最小 High 時間	200			ns
$t_{\text{SU_nSCS}}$	nSCS 入力セットアップ時間	60			ns
$t_{\text{H_nSCS}}$	nSCS 入力ホールド時間	60			ns
t_{CLK}	SCLK 周期	60			ns
t_{CLKH}	SCL の High パルス幅	30			ns
t_{CLKL}	SCLK の Low パルス幅	30			ns
$t_{\text{SU_SDI}}$	SDI 入力データのセットアップ時間	10.5			ns
$t_{\text{H_SDI}}$	SDI 入力データのホールド時間	8			ns
$t_{\text{D_SDO}}$	SDO データの出力遅延			25	ns
$t_{\text{DIS_nSCS}}$	nSCS ディセーブルの遅延			25	ns

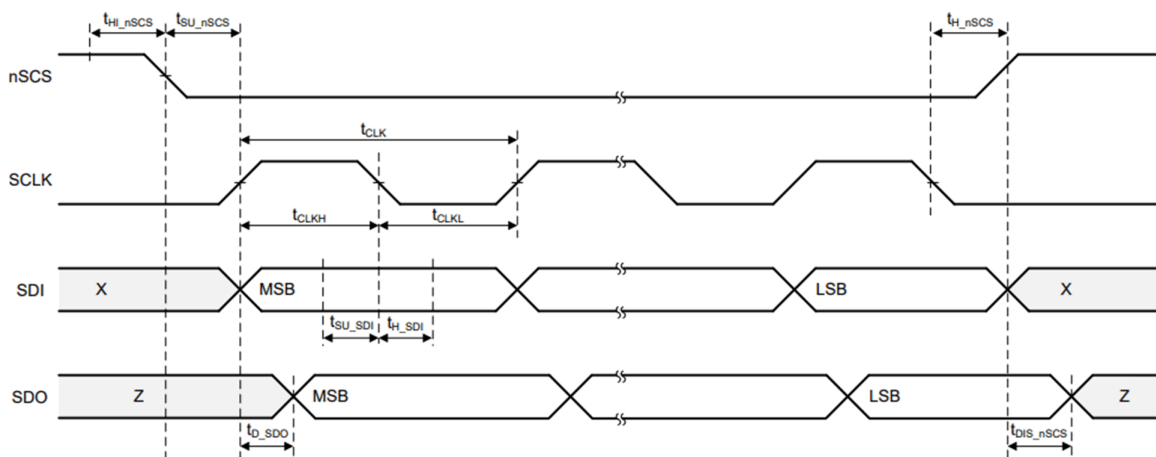


図 6-3. SPI のタイミング図

6.9 代表的特性

$T_A = 25^\circ\text{C}$ 、 $AVDD = 1.8\text{V}$ 、 $IOVDD = 1.8\text{V}$ 、 $f_s = 48\text{kHz}$ 、Class-D スイッチング周波数=384kHz、入力信号 $f_{IN} = 1\text{kHz}$ - サイン、負荷=4Ω +15μH (特に記述のない限り)。

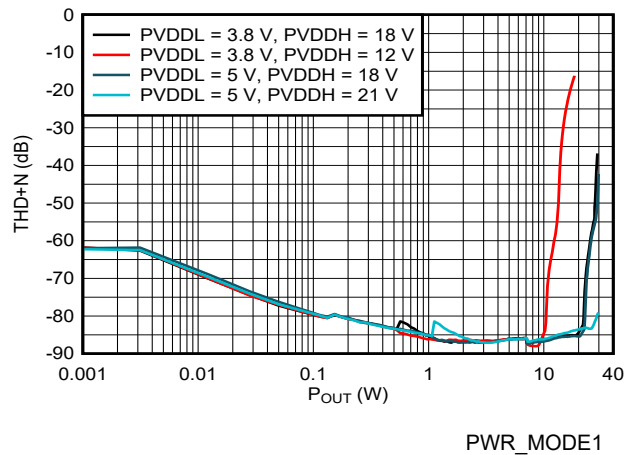


図 6-4. THD+N と出力電力との関係

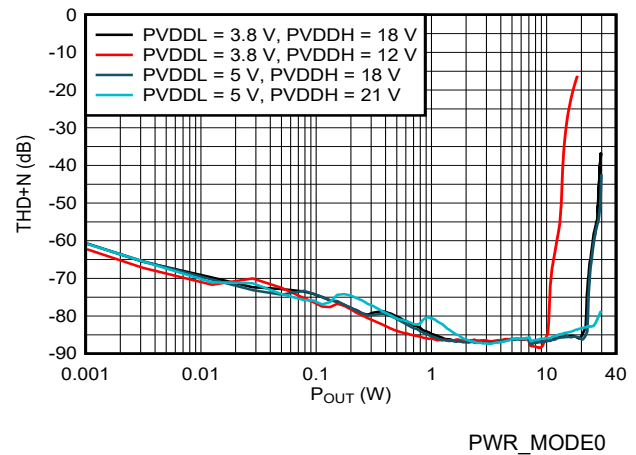


図 6-5. THD+N と出力電力との関係

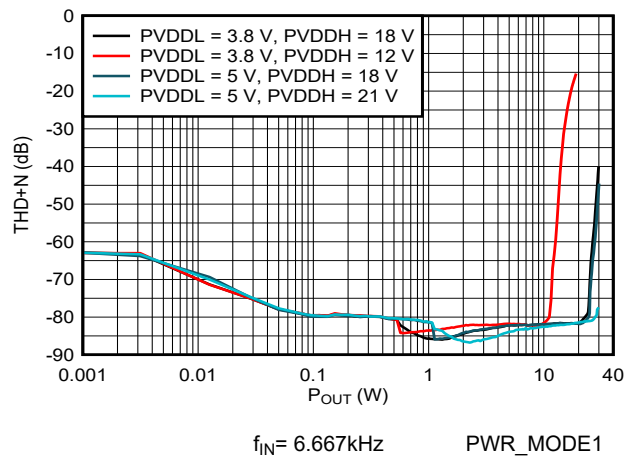


図 6-6. THD+N と出力電力との関係

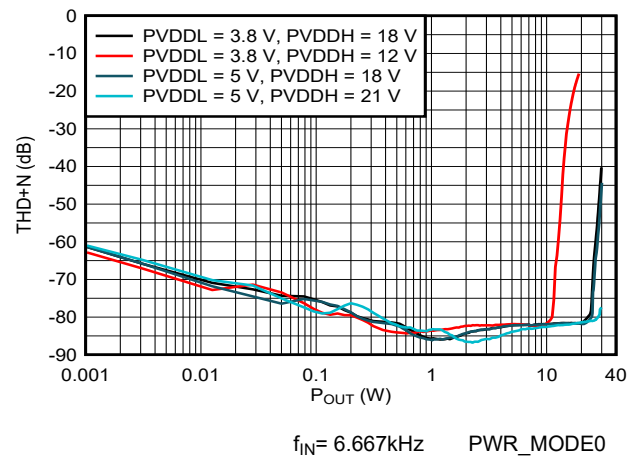
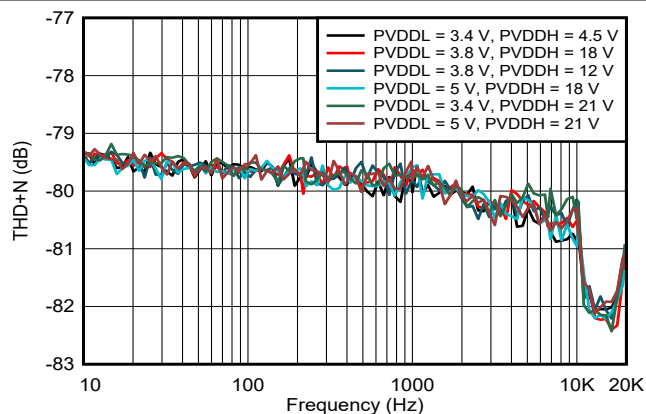
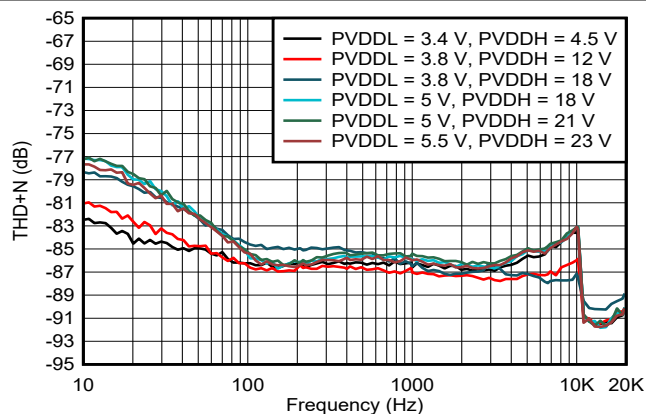


図 6-7. THD+N と出力電力との関係



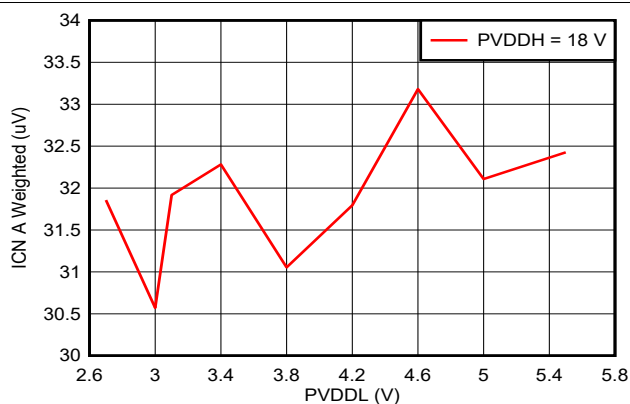
$P_{OUT} = 0.1W$ PWR_MODE1

図 6-8. THD+N と周波数との関係



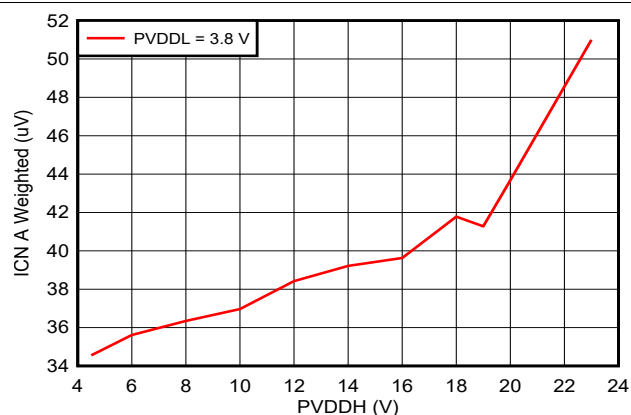
$P_{OUT} = 1W$ PWR_MODE1

図 6-9. THD+N と周波数との関係



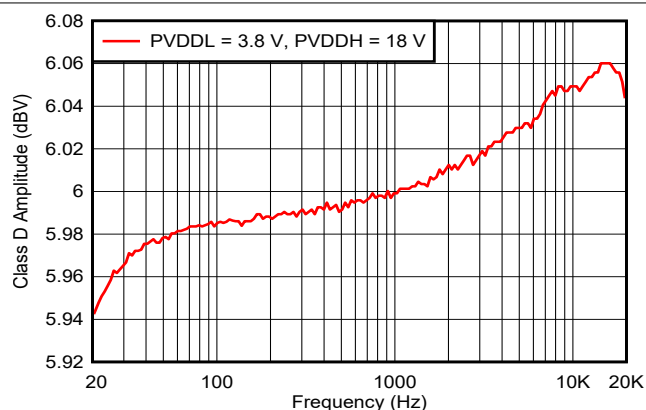
PWR_MODE1

図 6-10. ICN と PVDDL との関係



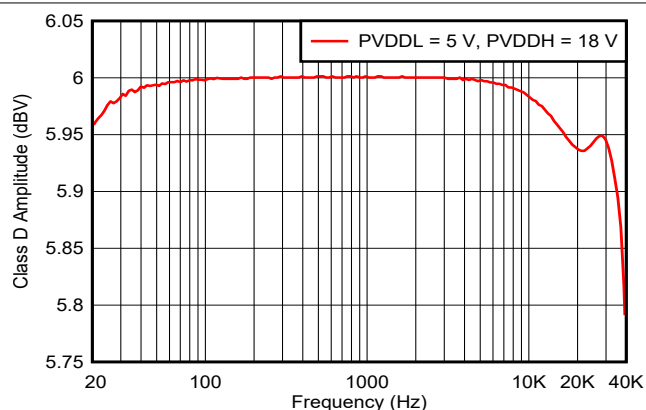
PWR_MODE0

図 6-11. ICN と PVDDH との関係



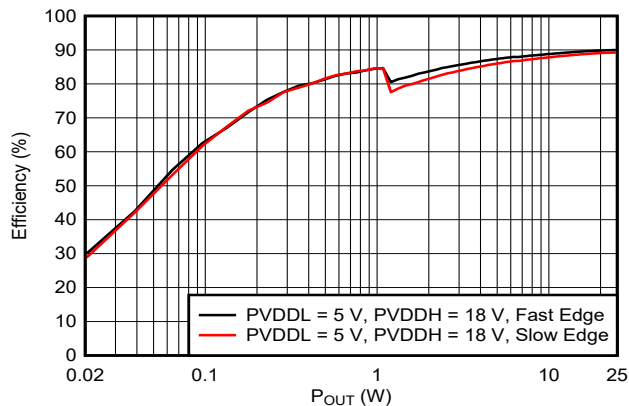
$P_{OUT} = 1W$ PWR_MODE1

図 6-12. Class-D の振幅と周波数との関係



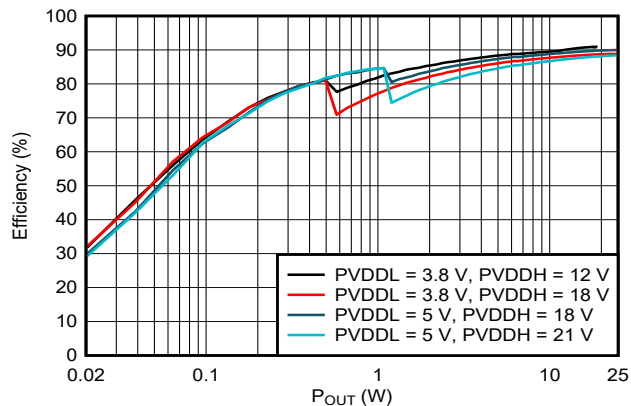
$P_{OUT} = 1W$ $F_s = 96kHz$ PWR_MODE3

図 6-13. Class-D の振幅と周波数との関係



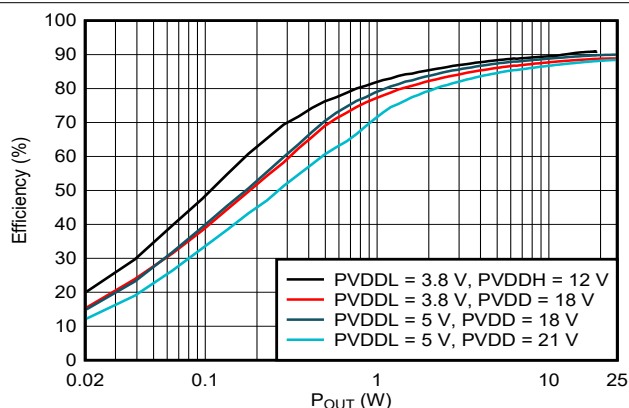
PWR_MODE1

図 6-14. 効率と出力電力との関係



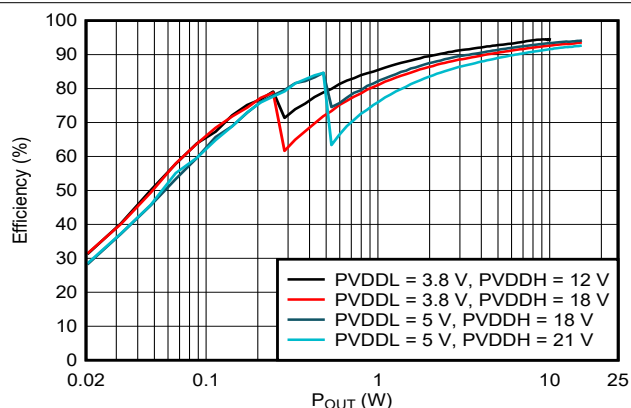
PWR_MODE1

図 6-15. 効率と出力電力との関係



PWR_MODE0

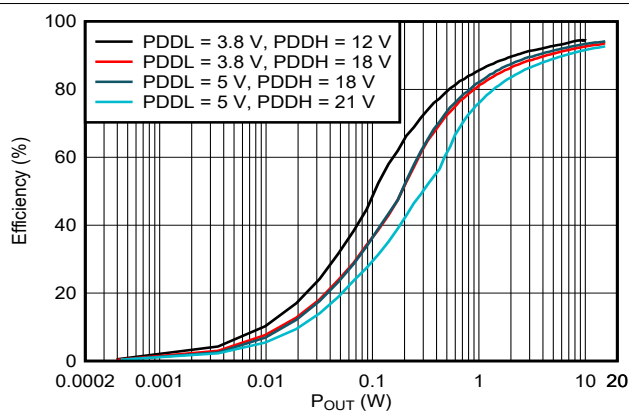
図 6-16. 効率と出力電力との関係



負荷=8Ω

PWR_MODE1

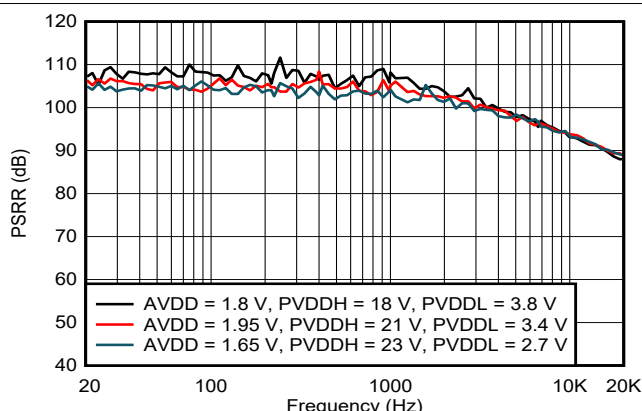
図 6-17. 効率と出力電力との関係



負荷=8Ω

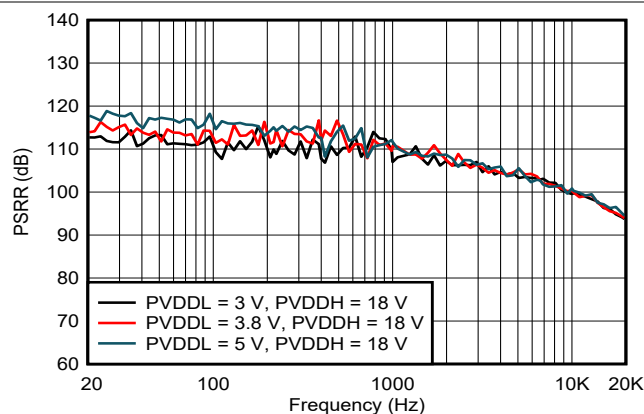
PWR_MODE0

図 6-18. 効率と出力電力との関係



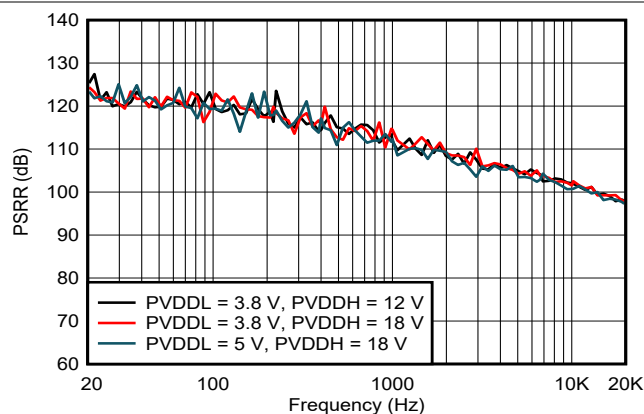
PWR_MODE1

図 6-19. AVDD PSRR と周波数との関係



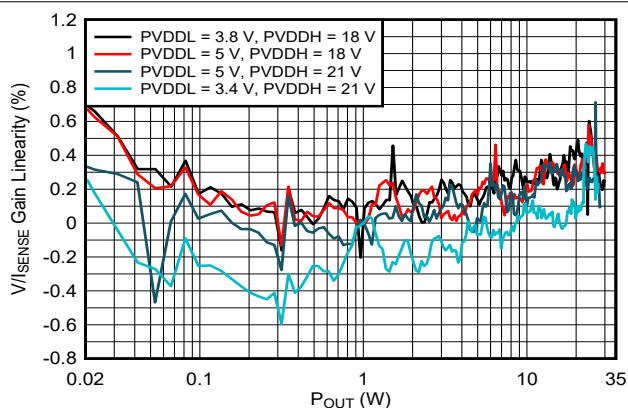
PWR_MODE1

図 6-20. PVDDL PSRR と周波数との関係



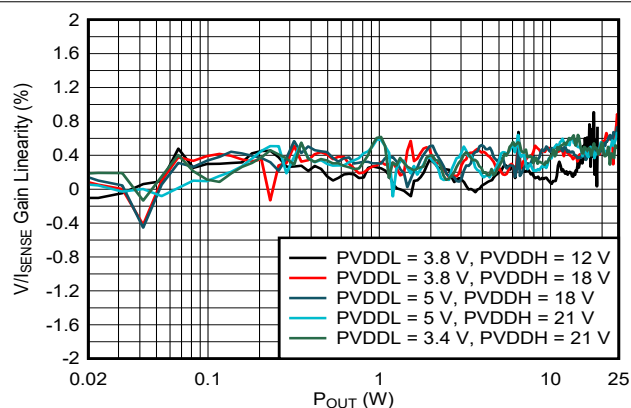
PWR_MODE1

図 6-21. PVDDH PSRR と周波数との関係



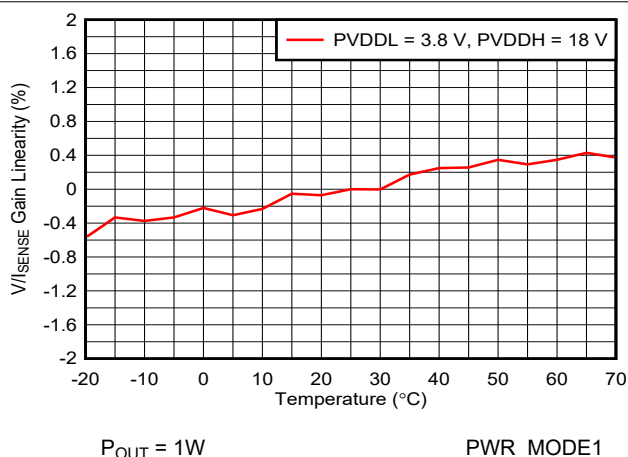
PWR_MODE1

図 6-22. V/I ゲインの直線性と出力電力との関係



PWR_MODE0

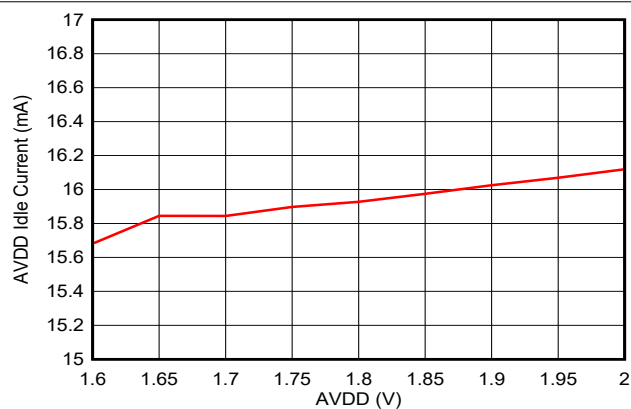
図 6-23. V/I ゲインの直線性と出力電力との関係



P_{OUT} = 1W

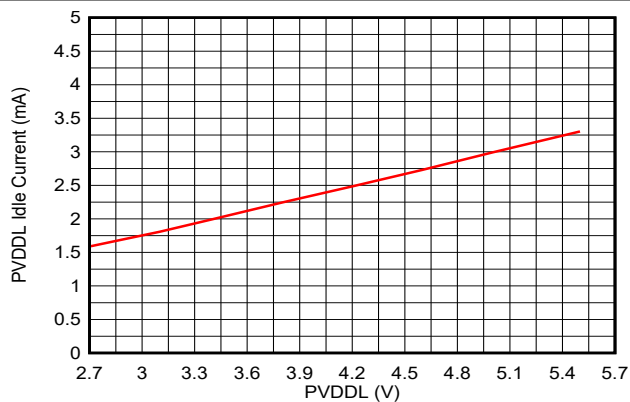
PWR_MODE1

図 6-24. V/I ゲインの直線性と温度との関係



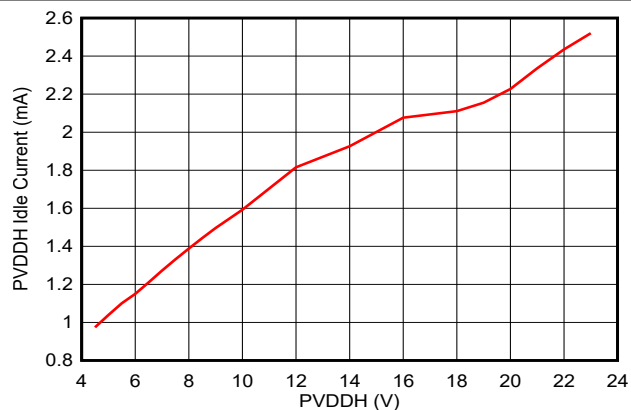
PWR_MODE1

図 6-25. AVDD のアイドル電流と AVDD との関係



PWR_MODE1

図 6-26. PVDDL アイドル電流と PVDDL との関係



PWR_MODE0

図 6-27. PVDDH アイドル電流と PVDDH との関係

7 パラメータ測定情報

デバイスの標準的な特性は、ベンチ評価基板 (EVM) とオーディオ高精度アナライザを使用して測定されます。PSIA インターフェイスを使用すると、I²S インターフェイスをオーディオ高精度アナライザに直接駆動することができます。

一部の測定では (THD+N、ICN、DNR など)、Class-D 出力端子は、以下に示すように差動からシングルエンドへの (D2S) フィルタを経由して、オーディオ高精度アナライザのアナログ入力に接続されます。D2S フィルタには、120kHz の 2 次パッシブ極と計測用アンプが搭載されています。D2S フィルタにより、TAS2781 の高性能 Class-D アンプは処理前の出力のフィルタリングとバッファリングを確実に実行します。そのため、Class-D 出力において AUX-00XX フィルタの效果に影響を及ぼす負荷によって生じる測定誤差を防止することができます。

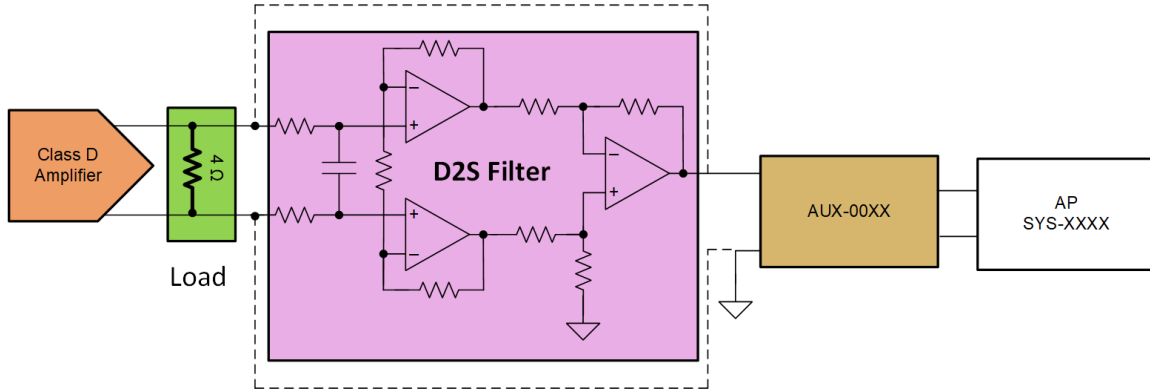


図 7-1. 差動からシングルエンドへの (D2S) フィルタ

8 詳細説明

8.1 概要

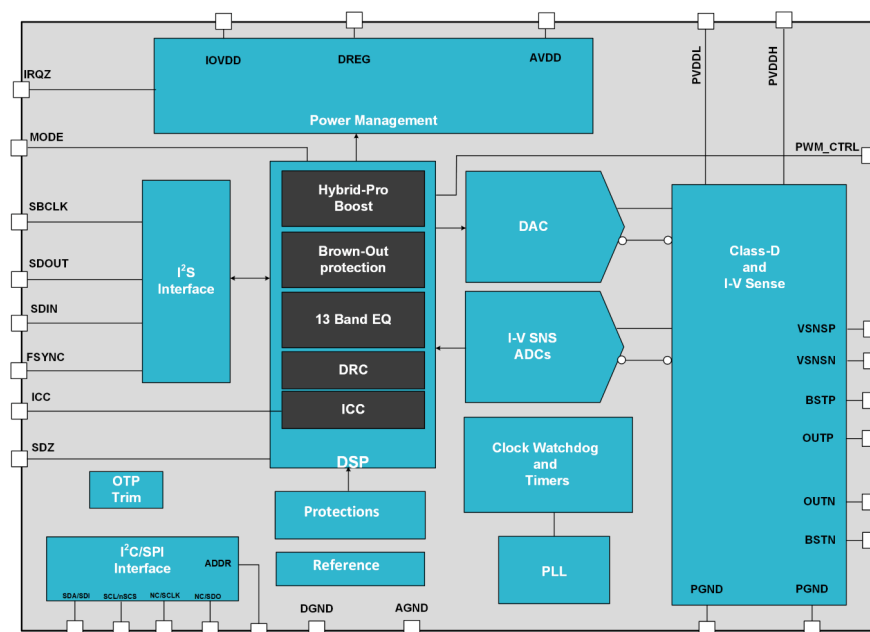
TAS2781 はモノラル・デジタル入力 Class-D アンプで、効率的なバッテリー動作と小さなソリューション・サイズが重要となるモバイル・アプリケーション向けに最適化されています。この中には、スピーカ IV (電流 / 電圧) 検出機能とブラウンアウト防止付きバッテリー・トラッキング制限機能が搭載されています。このデバイスは、TDM/I²S および I²C (または SPI) インターフェイスを使用して動作します。

TAS2781 は、外部昇圧コンバータを制御してバッテリー寿命を延長する Hybrid-Pro アルゴリズムを提供します。

表 8-1. フルスケール

入出力信号	フルスケール値
Class-D 出力	21dBV
電圧モニタ	23V
電流検出	5A
電圧検出	16Vpk

8.2 機能ブロック図



8.3 機能説明

8.3.1 モード選択

TAS2781 には 2 つの動作モードがあり、ピン 26 (MODE) の設定に基づいて選択されます - 以下の表を参照してください。

表 8-2. TAS2781 の制御インターフェイス

アンプ・モード	制御インターフェイス	ピン 26 (MODE)
スマート・アンプ	I ² C	GND に接続
スマート・アンプ	SPI	470Ω を GND との間に接続

8.3.2 デバイス・アドレスの選択

TAS2781 は、TDM/I²S インターフェイスを使用して動作します。オーディオ入出力は、I²S、左詰め、TDM などの形式を使用して FSYNC、SBCLK、SDIN、SDOUT ピン経由で行われます。構成とステータスは、I²C プロトコル (MODE ピンを GND に接続) か SPI プロトコル (MODE ピンを 470Ω の抵抗経由で GND に接続) を使用して提供されます。

I²C アドレス用のデバイスの構成方法を以下の表に示します。ペリフェラル・アドレスは、R/W ビットを 0 にセットし、1 ビット左にシフトして表記しています (例: {ADDR[6:0], 1b0})。アドレス構成を設定するには、公差が 5% 以内の抵抗を使用する必要があります。

表 8-3. I²C アドレスの選択

I ² C アドレス	0x70	0x72	0x74	0x76	0x78	0x7A	0x7C	0x7E
ADDR ピン	GND への短絡	470Ω を GND との間に接続	470Ω を AVDD との間に接続	2.2kΩ を GND との間に接続	2.2kΩ を AVDD との間に接続	10kΩ を GND との間に接続	10kΩ を AVDD との間に接続	AVDD への短絡

TAS2781 には、グローバルの 7 ビット I²C アドレス 0x80 があります。レジスタの I2C_GLB_EN ビットが High に設定されているとき、ADDR ピンの設定に関係なく、デバイスはこのアドレスで I²C コマンドに応答します。これにより、複数の TAS2781 デバイスを使用して、すべてのデバイスで同様の設定をプログラムする場合に、デバイス構成を迅速化することができます。複数のデバイスが I²C コマンドに応答しているため、マルチデバイスの書き込み中は I²C の ACK/NACK を使用することはできません。I²C の CRC 機能を使用して、各デバイスが I²C コマンドを正しく受信したかを確認する必要

があります。グローバル・アドレスを使用して複数のデバイスへの書き込みが完了すると、ローカル・アドレスを使用して各デバイスの I2C_CKSUM レジスタの CRC をチェックし、適切な値が書き込まれたことを確認する必要があります。グローバル I2C アドレスをディセーブルにするには、I2C_GBL_EN レジスタ・ビットを使用します。SDZ ピンをリリースすると、ADDR ピンの自動サンプリングにより I2C アドレスが検出されます。さらに、電源投入後に I2C_AD_DET レジスタ・ビットを High に設定すると、アドレスが再検出され、ADDR ピンも再度サンプリングされます。

8.3.3 SPI インターフェイス

TAS2781 は、ピン 26 (MODE) が 470Ω の抵抗を経由して GND に接続されているときに使用可能な 1.8V SPI インターフェイスを実装しています。

デバイスのピン 17 (NC_V1P8) は、1.8V 電源に接続する必要があります。

ホスト・コントローラは、CPHA = 1 と CPOL = 0 でこのモードを使用します。TAS2781 の SPI ロジック・ブロックは、SPI クロックの立ち上がりエッジで SPI 入力データをサンプリングし、SPI クロックの立ち上がりエッジで SPI 出力データを送信します。

8.3.4 レジスタの構成

デバイスの構成と係数は、ページとブック方式で保存されます。各ページは 128 バイト、各ブックは 256 ページで構成されています。すべてのデバイス構成レジスタはブック 0 に保存されます。これは、電源投入時とソフトウェア・リセット後のデフォルト設定です。ブックとページは、の BOOK[7:0] レジスタ・ビットと、の PAGE[7:0] レジスタ・ビットで設定できます。

注

ブック 0x00、ページ 0x04、0x05、0x06、0x08、0x0A のレジスタ・ビットをプログラムするには、4 つのレジスタ (32 ビット形式) のグループ単位で行う必要があります。各バイトは 1 つの 8 ビット・レジスタに対応しており、最下位バイトはもっとも大きなレジスタ・アドレスに対応しています。たとえば、のレジスタでリミッタの最大スレッシュホールドをプログラムする場合、MSB はレジスタ 0x10 で、LSB はレジスタ 0x13 です。

8.4 デバイスの機能モード

8.4.1 TDM シリアル・オーディオ・ポート

TAS2781 は、フレキシブルな TDM シリアル・オーディオ・ポートを搭載しています。このポートは、ステレオ I2S、左揃え、TDM などさまざまなフォーマットに対応するように構成することができます。モノラル・オーディオ再生は、SDIN ピンから行うことが可能です。SDOUT ピンは、PVDDL 電圧、PVDDH 電圧、ダイ温度、ステータス、エコー・キャンセレーション用のオーディオなどのストリームを送信するために使用します。

デフォルトでは、TAS2781 は PCM 再生サンプル・レート (AUTO_RATE = 0) を自動検出します。この機能は、の AUTO_RATE レジスタ・ビットを High にセットすることにより、ディセーブルして手動で構成することもできます。

TDM シリアル・オーディオ・ポートの有効な SBCLK 対 FSYNC 比は、のレジスタに示されています。デバイスはタイム・スロット数を自動検出するため、プログラムする必要はありません。

AUTO_RATE レジスタ・ビットが High にセットされている場合 (TDM サンプル・レートの自動検出がディセーブル)、SAMP_RATE[2:0] レジスタ・ビットと SBLK_FS_RATIO[5:0] レジスタ・ビットを使用して、PCM オーディオ・サンプル・レートを構成できます。TAS2781 は堅牢なクロック・フォルト検出エンジンを搭載しており、FSYNC が構成されているサンプル・レートに合っていない場合 (AUTO_RATE = 1 の場合) や、SBCLK 対 FSYNC 比がサポートされていない場合に、再生パスのボリュームを自動的に低下させます (可聴アーティファクトが最小化されます)。クロックの周波数と比がどちらも有効であることが検出されると、デバイスは再生パスのボリュームを自動的に構成されている値に戻し、再生を再開します。

自動レート検出を使用すると、TDM バスで検出されたサンプリング・レートと SBCLK 対 FSYNC 比は、およびのレジスタにある読み取り専用ビット FS_RATIO[5:0] と FS_RATE[2:0] に通知されます。

フレームは FSYNC が High から Low、または Low から High へのいずれかの遷移で開始します (FRAME_START レジスタ・ビットで設定)。FSYNC および SDIN は、SBCLK の立ち上がりエッジか立ち下がりエッジのいずれかを使用してサンプリングされます (RX_EDGE レジスタ・ビットで設定)。RX_OFF[4:0] レジスタ・ビットでは、FSYNC の遷移からタイ

ム・スロット 0 の開始までの SBCLK のサイクル数を定義します。この値は通常、左揃えフォーマットの場合は 0、I²S フォーマットの場合は 1 に設定されます。

RX_SLEN[1:0] レジスタ・ビットは、RX タイム・スロットの長さを 16、24、32 (デフォルト) ビットに設定します。タイム・スロット内のオーディオ・サンプルのワード長は、**RX_WLEN[1:0]** レジスタ・ビットで設定します。デフォルトでは、RX ポートはタイム・スロット内のオーディオ・サンプルを左揃えにしますが、**RX_JSTF** レジスタ・ビットで右揃えに変更することも可能です。**TAS2781** は、モノラルとステレオのダウンミックス再生 ($(L+R)/2$) に対応しています。デフォルトでは、デバイスは I²C ベース・アドレスのオフセット (ADDR ピンで設定) と同じタイム・スロットからモノラル再生を行います。**RX_SCFG[1:0]** レジスタ・ビットを使用すると、**RX_SLOT_R[3:0]** レジスタ・ビットと **RX_SLOT_L[3:0]** レジスタ・ビットの設定により、再生ソースを左側のタイム・スロット、右側のタイム・スロット、またはステレオ・ダウンミックスにオーバーライドすることができます。

タイム・スロットがフレーム境界を超えたときに部分的に受信するか、すべて受信するかのいずれかを選択した場合、レシーバはデジタル的にミュートされたサンプルと同等のヌル・サンプルを返します。

TDM ポートは、SDOUT ピンで、スピーカ電圧検出、スピーカ電流検出、割り込みとステータス、PVDDH 電圧、ダイ温度など多数のサンプル・ストリームを送信できます。

SBCLK の立ち上がりエッジか立ち下がりエッジのいずれかを使用して、SDOUT ピンでデータを送信することができます。この機能は、**TX_EDGE** レジスタ・ビットをセットして構成できます。**TX_OFF[2:0]** レジスタ・ビットは、フレーム開始時からタイム・スロット 0 の開始時までの SBCLK のサイクル数を定義します。この値は通常、左揃えフォーマットの場合は 0、I²S フォーマットの場合は 1 にプログラムされます。TDM TX は、**TX_FILL** レジスタ・ビットの設定に応じて、ロジック 0 かハイ・インピーダンスのいずれかを送信できます。オプションのバス・キーパーは、すべてのデバイスがハイ・インピーダンスで駆動している場合、SDOUT ピンの状態を弱く保持します。SDOUT で必要なバス・キーパーは 1 つだけのため、この機能は **TX_KEEPPEN** レジスタ・ビットでディセーブルにできます。バス・キーパーは、**TX_KEEPLN** レジスタ・ビットを使用して、1LSB のみバスを保持するか、常時 (永続的に) バスを保持するかを構成できます。さらに、**TX_KEEPCY** レジスタ・ビットを使用して、キーパーの LSB を 1 フル・サイクルの間駆動するか、ハーフ・サイクルだけ駆動するかも設定できます。

TX_FILL は、I²S バスにアンプが 1 つしかないモノラル・システムで使用されます。**TX_FILL** を Low にセットしておくと、アンプに使用されないスロットにはすべて 0 が入ります。ここに記載されている TX ビットは、のレジスタにあります。

複数のデバイスが同一の I²S バス上にある場合は、ページ 0x01 の SDOUT_HIZ レジスタが役立ちます。各デバイスは、バス上にある他のデバイスのスロット構成を認識できません。システム・レベルで SDOUT_HIZ レジスタを、設定が正しく行われ、内部や外部の競合が発生しないよう、適切にプログラムする必要があります。

電流値と電圧値は、デフォルトでは全 16 ビットすべての測定値が送信されます。の **IVMON_EN[1:0]** レジスタ・ビットを使用すると、1 スロットで 8MSB ビットだけ、または複数のスロットにまたがって 12MSB ビットの値を送信できます。ホスト・プロセッサで 24 ビットの I²S/TDM データのみを処理する場合は、特殊な 12 ビット・モードを使用します。デバイスは電圧検出スロットと電流検出スロットを 1 スロットずつオフに構成する必要があり、この結果、3 つの連続する 8 ビット・スロットが消費されます。このモードでは、デバイスは最初の 12MSB ビットを送信し、次に前のスロットで指定された 2 番目の 12MSB ビットを送信します。

タイム・スロットがフレーム境界を超えて送信されるように選択した場合、トランスミッタはフレーム境界で送信を切り捨てます。

SAR 測定 (PVDDL、PVDDH、温度) のためのタイム・スロットは **SAR_DATA_SLOT[5:0]** レジスタ・ビットで設定します。サンプル・ストリームをイネーブルにするには、**SAR_DATA_TX** レジスタ・ビットを High にセットする必要があります。スロット長は、のレジスタにある **SAR_DATA_SL** ビットによって選択します。

TDM の最後に処理されるオーディオ・スロットについては、イネーブル化や長さの設定に **AUDIO_SLOT[5:0]**、**AUDIO_TX**、**AUDIO_SLEN** レジスタ・ビットを使用します。

スロットのステータス情報は **STATUS_SLOT[5:0]** レジスタ・ビットで確認できます。**STATUS_TX** レジスタ・ビットを High にセットすると、ステータス送信はイネーブルになります。

8.4.2 再生信号パス

8.4.2.1 デジタル信号プロセッサ

オンチップの低レイテンシ DSP は、テキサス・インスツルメンツの SmartAmp スピーカ保護アルゴリズムに対応し、ラウドネスの最大化とともにスピーカを安全な状態に維持します。

また、DSP には Class-H アンプ向けの Band EQ、ステレオ・バランシング、超音波、外部昇圧コントローラも搭載されています。

8.4.2.2 ハイパス・フィルタ

オーディオ再生信号に過度な DC と低周波数の内容が含まれていると、ラウドスピーカが損傷する可能性があります。TAS2781 は、PCM 再生パスに対してこうした事象が発生することを防ぐハイパス・フィルタ (HPF) を搭載しています。HPF_FREQ_PB[2:0] レジスタ・ビットは、HPF のコーナー周波数を設定します。レジスタ・ビットを 3'b000 にセットすると、フィルタをバイパスさせることができます。

8.4.2.3 アンプの反転

TAS2781 は、OUT_P ピンと OUT_N ピンに非反転信号を出力します。AMP_INV レジスタ・ビットを High に設定することにより、出力をデジタル入力値に対して反転できます。

8.4.2.4 デジタル・ボリューム制御およびアンプ出力レベル

オーディオ入力からスピーカ端子へのゲインは、アンプ出力レベルとデジタル・ボリューム制御 (DVC) の設定で制御します。

アンプ出力レベルの設定は、AMP_LVL[4:0] レジスタ・ビットを使用してプログラムします。アンプのレベルは、のレジスタに示されています。デジタル・ボリューム制御 (DVC) は、デフォルトで 0dB に設定されています。このレベルは、アンプのアナログ・クリッピングにより必ずしも実現できるとは限らないため、ゲインの伝達にのみ使用してください。

式 (1) で、アンプ出力電圧を計算します：

$$V_{AMP} = INPUT + A_{DVC} + A_{AMP} \quad (1)$$

ここで

- V_{AMP} は、アンプ出力電圧 (dBV) です
- $INPUT$ は、0dBFS を基準とした場合のデジタル入力振幅を表す dB 数です
- A_{DVC} は、デジタル・ボリューム制御の設定を表す dB 数です
- A_{AMP} は、アンプ出力レベルの設定を表す dBV 数です

DVC は DVC_LVL[7:0] レジスタ・ビットの設定によって、0dB ~ -100dB の間で 0.5dB きざみで構成することができます。C8h より大きい設定は、ミュートと解釈されます。デジタル・ボリューム制御が変更されると、デバイスは DVC_SLEW[31:0] レジスタ・ビットのステータスに基づいて、ボリュームを新しい設定にランプします。のレジスタの DVC_RMP_RT[1:0] ビットを使用して、ボリュームのランプ制御のイネーブルとディセーブルを切り替えます。

Class-D アンプは、閉ループ・アーキテクチャを搭載しています。出力信号クリッピングのスレッシュホールドの近似値を求めるには、式 (2) を使用します。

$$V_{PK} = V_{SUP} * \frac{R_L}{R_{FET} + R_p + R_L} \quad (2)$$

ここで：

- V_{PK} は、クリッピングされていない出力電圧の最大ピーク値 (V) です
- V_{SUP} は、Class-D 出力段の電源です
- R_L は、スピーカ負荷 (Ω) です

- R_P は、PCB (配線、フィルタ) の寄生抵抗 (Ω) です
- R_{FET} は、電力段の合計抵抗 (HS FET、LS FET、検出抵抗、ボンディング、パッケージング) (Ω) です

PVDDL が Class-D 出力段を供給する場合、 R_{FET} の標準値は 0.5Ω です。PVDDH が供給する場合、 R_{FET} の標準値は 0.25Ω です。

8.4.2.5 PVDDL 電源

TAS2781 は、PVDDL 電源の有無に関係なく動作可能です。PVDDL 電源を使用しない構成にした場合、PVDDH 電圧が内部 LDO と共に使用され、この電源電圧が生成されます。この場合でも、表 9-1 で推奨されているように、デカップリング・コンデンサを基板に実装する必要があります。この場合、ソフトウェア・シャットダウン・モードから遷移する前に、PVDDL_MODE ビットを High にセットします。PVDDL 電源の動作モードの詳細については、セクション 11.1 を参照してください。

8.4.2.6 Y ブリッジ

TAS2781 の Class-D 出力には Y ブリッジ構成が使用されており、再生中の効率を向上させています。内蔵の LVS () により、PVDDH 電源か PVDDL 電源を選択することができます。この機能をイネーブルにするには、PVDDH と PVDDL の両方からデバイスに電源供給されているときに CDS_MODE[1:0] ビットを 2'b00 にセットします。Y ブリッジ・モードが構成されていない場合、クリッピングが発生することになっても、デバイスは Class-D 出力用に選択された電源のみを使用します。デバイスは、Class-D 出力への電源供給に PVDDH のみを使用して動作できます。この構成では、PVDDL への電力は外部電源から供給するか (レジスタ・ビット PVDDL_MODE=0)、または内部 LDO で生成します (レジスタ・ビット PVDDL_MODE[7]=1)。この場合、CDS_MODE[7:6] ビットは 2'b10 にセットしてください。TAS2781 の Y ブリッジを PVDDL 低電力で使用した場合、アイドル状態に近い超低消費電力のときのみ PVDDL レールに切り替えることができます。これにより、アイドル状態に近いときの Class-D 出力スイングは低減し、PVDDL 電源の電流要件が制限されます。このモードにするには、CDS_MODE[7:6] レジスタを 2'b11 にセットします。

電力モード時の動作のプログラミングの詳細については、を参照してください。

で決定された Class-D 電源に変更 (PVDDL から PVDDH) すると、スレッシュホルドを超える入力信号に関係した遅延が発生します。この遅延はレジスタの CDS_DLY[1:0] ビットでプログラムできます。

Y ブリッジ・モードの場合、PVDDH が (PVDDL + 2.5V) レベルを下回ると、Y ブリッジは電源間のスイッチングを停止して、PVDDH 電源のままになります。

8.4.2.7 低電圧信号伝送 (LVS)

TAS2781 は、Class-D 出力段の Y ブリッジ構成に関連して使用されるメカニズムです。これは、オーディオ・ストリームの絶対値を監視し、適切な電源として PVDDH と PVDDL のどちらかを選択することで機能します。

信号が最初にプログラムされた LVS スレッシュホルドを上回ると、Class-D は PVDDH レールから供給されます。信号レベルが、LVS_HYS[3:0] レジスタ・ビットで定義したヒステリシス時間より長く、このスレッシュホルドを下回った場合、Class-D 電源は PVDDL に切り替わります。信号が初期レベルに戻ると、Class-D 電源は PVDDH に戻ります。

デフォルトでは、LVS スレッシュホルドは PVDDL 電圧を基準にした値になるよう構成されます (LVS_DET = 1)。スレッシュホルドの設定には、LVS_RTH[3:0] レジスタ・ビットを使用します (デフォルト=0.7V)。

LVS_DET ビットを Low にセットすると、LVS スレッシュホルドは LVS_FTH[4:0] レジスタ・ビットで定義された固定値に強制されます。

LVS スレッシュホルドは出力信号レベルを基準とし、単位 dBFS で測定されます。

LVS 固定スレッシュホルドは、CDS_MODE[1:0]=11 (セクション 11.1 の PWR_MODE2) の場合に、レジスタ・ビット LVS_TH_LOW[1:0] を使用して設定できます。

8.4.2.8 ノイズ・ゲート・モード

TAS2781 にはノイズ・ゲート機能が搭載されており、入力信号を監視して、に記載されている NG_HYST_TIME[2:0] レジスタ・ビットで設定された時間を超えて NG_TH[1:0] ビットで設定されたスレッシュホルドを下回ると、Class-D をパワーダウ

ンします。信号がスレッシュホールドを上回ると、Class-D は 7 サンプル以内に再起動し、オーディオ入力インターフェイスに適用されたサンプルはその後で Class-D 出力に到達します。

ノイズ・ゲート機能をイネーブルにするには、NG_EN ビットを High にセットします。イネーブルになると、チャンネルをデバイスの処理遅延時間内に起動や停止することができ、追加で外部制御を行う必要はありません。また、NG_DVC_RP ビットを Low にセットすると、ノイズ・ゲート動作中にボリューム・ランプを使用することも可能です。

ノイズ・ゲートは、I²C 書き込みを追加することにより、より高分解能で構成することができます。このモードをイネーブルにするには NGFR_EN ビットを使用し、高分解能に設定するにはに記載されている NGFR_LVL[23:0] レジスタ・ビットを使用します。高分解能ヒステリシスを設定するには、とに記載されている NGFR_HYST[18:3] レジスタ・ビットを使用します。

8.4.2.9 電源トラッキング・リミッタ

TAS2781 は PVDDH 電源電圧とオーディオ信号を監視しており、オーディオ信号のピークがプログラム可能なスレッシュホールドを超えるとゲインは自動的に低下します。これにより、クリッピングを防止して、充電終了時のバッテリー条件で再生時間を延ばすことができます。プログラム可能なスロープで、プログラム可能な変曲点より下まで PVDDH をトラッキングするよう、リミッタのスレッシュホールドを構成できます。最小スレッシュホールドにより、PVDDH のトラッキングからのスレッシュホールド低減の制限を設定します。

LIM_EN レジスタ・ビットを High にセットすると、リミッタがイネーブルになります。

構成可能なアタック・レート、ホールド時間、リリース・レートにより、リミッタの動的応答を形成します (および の LIM_ATK[3:0]、LIM_HLD[2:0]、LIM_RLS[3:0] レジスタ・ビット)。

リミッタによって適用される最大減衰レベルは、の LIM_MAX_AT[3:0] レジスタ・ビットを使用して構成できます。リミッタがアタック中に最大減衰に達すると、ゲインはそれ以上低下しません。

出力信号レベルがリミッタのスレッシュホールドを超えると、リミッタはゲインの低下を開始します。リミッタは、PVDDH をプログラム可能な変曲点より下までトラッキングするように構成でき、最小スレッシュホールド値も指定できます。に、PVDDH レベルに関係なく一定レベルに制限されるように構成したリミッタを示します。この動作を実現するには、リミッタの最大スレッシュホールドを LIM_MAX_TH[31:0] レジスタ・ビットで目標レベルに設定します。リミッタの変曲点 (LIM_INF[31:0] レジスタ・ビット) は、PVDDH の設定で許容される最小値より低く設定します。レジスタ・ビット LIM_MIN_TH[31:0] を使用して設定するリミッタの最小スレッシュホールドは、この使用事例ではリミッタの動作に影響を与えません。

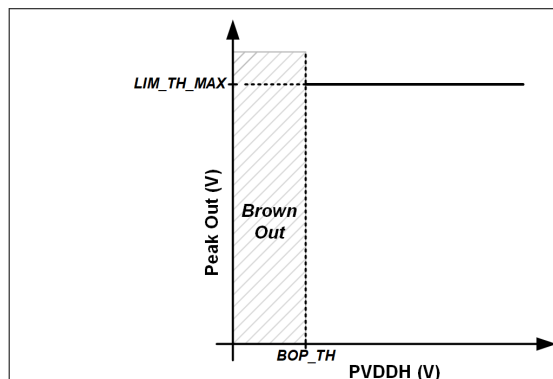


図 8-1. 固定スレッシュホールドのリミッタ

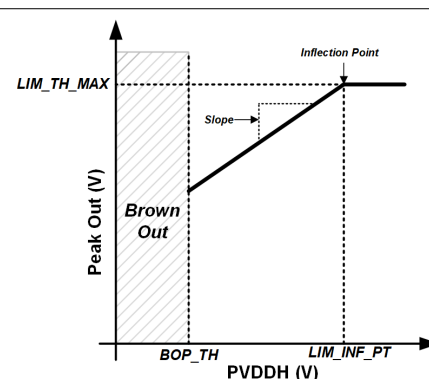


図 8-2. 変曲点を持つリミッタ

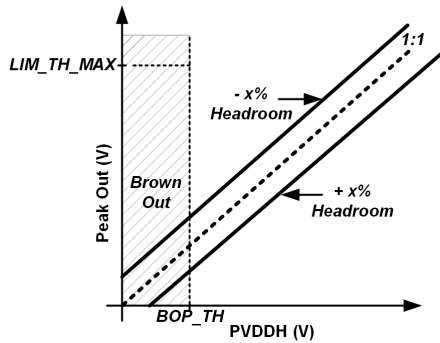


図 8-3. 動的なスレッシュホールドのリミッタ

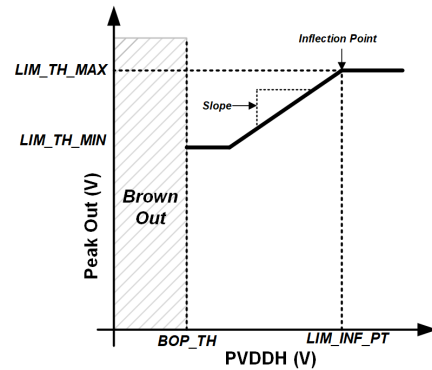


図 8-4. 変曲点と最小スレッシュホールドを持つリミッタ

に、最小スレッシュホールドなしで PVDDH をスレッシュホールドよりも下までトラッキングするリミッタの構成方法を示します。LIM_MAX_TH[31:0] レジスタ・ビットを使用して目標のスレッシュホールドに設定し、LIM_INF[31:0] レジスタ・ビットを使用して目標の変曲点に設定します。この変曲点は、リミッタが PVDDH でスレッシュホールドの低下を開始するポイントです。LIM_SLP[31:0] レジスタ・ビットを使用すると、PVDDH でトラッキングするリミッタの勾配を変更できます。デフォルト値の 1V/V に設定すると、PVDDH が 1V 低下するごとにスレッシュホールドを 1V 低下させます。必要に応じて、より急なトラッキング・スロープになるようプログラムすることができます。PVDDH をトラッキングするときに、リミッタの最小スレッシュホールド低下を防ぐため、LIM_MIN_TH[31:0] ビットは最小 PVDDH を下回るようにプログラムします。

電源トラッキング・スロープのあるリミッタは、別の方法で構成できます。のレジスタで LIM_DYHDR レジスタ・ビットを 1'b1 にセットすると、LIM_HDR[4:0] レジスタ・ビットをセットし、1V/V のスロープを使用して、ヘッドルームを電源電圧のパーセンテージとして指定できます。たとえば、-10% のヘッドルームが指定されると、ピーク出力電圧は PVDDH より 10% 高く設定されます。に示すこの使用事例では、制限は電源電圧を上回る信号に対して開始されるため、固定クリッピングが発生します。正のヘッドルーム +10% が指定されると、ピーク出力電圧は現在の PVDDH より 10% 低い値に動的に設定されます。この使用事例では、制限は電源電圧より低い信号レベルで開始されるため、クリッピングの発生を防ぎます。

PVDDH を最小スレッシュホールドまでだけトラッキングするリミッタを実現するには、リミッタの LIM_MAX_TH[31:0] と LIM_SLP[31:0] レジスタ・ビットを前述の例のように構成します。さらに、LIM_MIN_TH[31:0] レジスタ・ビットを目標の最小スレッシュホールドに設定します。電源電圧がこの最小スレッシュホールドを下回ると、信号出力電圧は低下を継続しません。これは、に示すとおりです。

レジスタ・ビット LIM_DYHDR を Low にセットすると、リミッタのメカニズムは最大 / 最小スレッシュホールド、変曲点、スロープの設定に応じて変わります。デフォルトでこのビットは High にセットされ、リミッタのダイナミック・ヘッドルームがイネーブルです。

8.4.2.10 ブラウンアウト防止

ブラウンアウト防止 (BOP) 機能は、リミッタに優先的に入力进行供給することで、システムレベルでのブラウンアウトを引き起こす可能性のある充電終了時の電源電圧における過渡的なディップに対して、高速応答を生成します。電源電圧が BOP スレッシュホールドを下回ると、リミッタは構成可能なアタック・レートでゲインの低下を開始します。電源電圧が BOP スレッシュホールドを上回ると、リミッタはプログラムされたホールド時間経過後に解放を開始します。BOP 機能をイネーブルするには、BOP_EN[0] レジスタ・ビットを High に設定します。ブラウンアウト電源ソースを設定するには、アプリケーションに応じて、BOP_SRC レジスタ・ビットを PVDDH または PVDDL にセットします。

デフォルトでは、BOP 電源ソースは PVDDL 入力に設定されており、SAR コンバータは PVDDH および PVDDL の電圧と温度をデジタル化します。PVDDH 低電圧検出はディセーブルされます。

BOP 電源ソースが PVDDH 入力に設定されているとき、SAR ADC コンバータは PVDDH および PVDDL の電圧と温度をデジタル化します。この場合、PVDDH 低電圧検出がイネーブルされます。BOP エンジン最初のアタックでレイテンシを低減するため、レジスタ・ビット CNV_PVDDL を Low に設定することで、PVDDL の変換をバイパスできます。

BOP 電源ソースが PVDDL 入力に設定されているとき、SAR コンバータは PVDDH および PVDDL の電圧と温度をデジタル化します。PVDDH 低電圧検出はディセーブルされます。

BOP が機能しているとき、電源トラッキング・リミッタは一時停止します。

BOP スレッシュホールドを設定するには、の BOP_TH[31:0] レジスタ・ビットを使用します。BOP_MUTE ビットの設定により、電源がスレッシュホールドを下回ったとき、デバイスがオーディオをミュートしてシャットダウンするか、ミュートせずにオーディオ信号の減衰だけを行うかが決定されます。

BOPSD_EN レジスタ・ビットが High にセットされている場合、の BOPSD_TH[31:0] レジスタ・ビットで設定したスレッシュホールドに到達して BOP イベントが発生すると、TAS2781 もただちにミュートしてデバイスをシャットダウンするように設定できます。このシャットダウン機能は、BOP_MUTE が High にセットされると内部で自動的にディセーブルされます。

BOP には、プログラム可能なアタック・レート・レジスタ・ビット BOP_ATK[2:0]、アタック・ステップ・サイズ・レジスタ・ビット BOP_ATK_ST[1:0]、ホールド時間レジスタ・ビット BOP_HLD[2:0] が実装されています。

システムが BOP 機能を終了すると、電源トラッキング・リミッタのリリースが開始されます。リミッタがディセーブルの場合、ゲインはリミッタのリリース設定に従ってリリースされます。

ホールド時間を無限に設定するには、BOP_INF_HLD レジスタ・ビットを High にプログラムします。デバイスは、ミュート状態か SW/HW シャットダウン状態を経由して遷移する必要があります。また、レジスタ・ビット BOP_HLD_CLR を High にセットすることもできます (この場合、デバイスはホールド状態を終了し、リリースを開始します)。

BOP_INF_HLD ビットを Low にセットすると、デバイスは BOP_HLD[2:0] ビットのプログラムに基いてホールド状態になります。

8.4.2.11 ICC ピンとチップ間通信

TAS2781 は、ステレオ・アプリケーションでのデュアル・ゲイン・バランシングをサポートしています。1 つのデバイスは、システム内の別の 1 つのデバイスとのみペアリング可能です。

ICC ピンは、バス・キーパーで ICC バスに接続されます。ICC バッファに電力を供給するピン 17 (NC_V1P8V) は、1.8V 電源に接続する必要があります。

SDOUT ピンをゲイン・アライメントに使用することはできません。

の ICC_CFG[2:0] レジスタ・ビットで、ICC ピンの機能を構成します。

のレジスタのビットにより ICC 機能がイネーブルになり、デバイスのペアリングとゲイン送信スロットが設定されます。

この動作モードでは、16kHz と 24kHz (および 44.1kHz 相当) のサンプリング・レートはサポートされていません。

8.4.2.12 Class-D 設定

8.4.2.12.1 出力スルーレート制御

出力スルーレートは、に記載されているレジスタ・ビット EDGE_CTRL[1:0] を使用してプログラムできます。

デフォルトでは、PVDDH 電源電圧が 20V 未満の場合、出力スルーレートは高速になり、電源および負荷に依存します。PVDDH が 20V を超えると、スルーレートは自動的に低速に変わります。

オプションとして、EMI 性能を向上させるために、EDGE_CTRL[1:0] ビットを 2'b11 にセットすると、PVDDH 電源の全範囲でスルーレートを低速に設定できます。

8.4.2.12.2 同期

TAS2781 の Class-D アンプは拡散スペクトラム PWM 変調に対応しており、AMP_SS レジスタ・ビットを High にセットすることでイネーブルにできます。この機能により、システムの EMI を低減できます。

デフォルトでは、Class-D アンプのスイッチング周波数はデバイスでトリムされている内部発振器に基づいています。スイッチングをオーディオ・サンプル・レートに同期するには、CLASSD_SYNC レジスタ・ビットを High にセットします。Class-D をオーディオ・サンプル・レートに同期する場合は、周波数に基づくオーディオ・サンプル・レートの 44.1kHz か 48kHz (デフォルト) に応じて RAMP_RATE レジスタ・ビットを設定する必要があります。

8.4.3 SAR ADC

SAR ADC は、PVDDH 電圧、PVDDL 電圧、ダイ温度を監視します。この変換結果は、レジスタの読み戻し (PVDDH_CNVR[11:0]、PVDDL_CNVR[11:0]、TMP_CNVR[7:0] レジスタ・ビット) から参照可能です。PVDDH 電圧と PVDDL 電圧の変換は、リミットとブラウンアウト防止ブロックにも使用されます。

デフォルトでは、PVDDL 変換は BOP ソースが PVDDL でも (BOP_SRC = 0)、PVDDH (BOP_SRC = 1) でも、PVDDH および温度とともにイネーブルになります。

ADC は、192kHz の固定サンプル・レートで、変換時間 5.2μs で実行されます。

温度は、SAR 変換 18 回ごとにサンプリングされます。温度のサンプリング・レートは約 10K サンプル / 秒です。

PVDDH および PVDDL 電圧とダイ温度は、おおよびのレジスタの式を使用して推定できます。

レジスタ・ビットの中身は、常に MSB から LSB に向かって読み出します。

SAR ADC の電圧と温度の測定値は、SDOUT ピンを経由してホストで使用することも可能です。のレジスタ・ビットを使用して、この機能をイネーブルにし、スロットを構成します。

8.4.4 電流と電圧 (IV) の検出

TAS2781 はスピーカ電圧と電流センスの測定機能を実現しており、ラウドスピーカの動作をリアルタイムで監視することができます。VSNSP ピンと VSNSN ピンはフェライト・ビーズ・フィルタの後に接続します (または、EMI フィルタが使用されていないなら OUTP と OUTN に直接接続します)。V センス接続を行うと、パッケージング、PCB の相互接続、またはフェライト・ビーズ・フィルタ抵抗による電圧降下誤差が排除されます。VSNS ピンの後の相互接続抵抗は補正されないため、センス接続はできる限り負荷の近くに接続してください。

電圧および電流検出の内部 ADC には、DC ブロッキング・フィルタがあります。このフィルタのカットオフ周波数は調整可能です。また、フィルタは HPF_FREQ_REC[2:0] レジスタ・ビットを使用してバイパスすることもできます。

I センス・ブロックと V センス・ブロックは、それぞれ ISNS_PD および VSNS_PD レジスタ・ビットを Low に設定してパワーアップできます。

8.4.5 ポスト・フィルタ・フィードバック (PFFB)

このデバイスは、外部フィルタの後にアンプ・フィードバック・ループを閉じることにより、ポスト・フィルタ・フィードバックをサポートしています。フィードバックを適用するには、デバイスの VSNSN 端子と VSNSP 端子を使用します。この機能をディセーブルにするには、PFFB_EN レジスタ・ビットを使用します (アンプ・ループの安定性を損なう外部フィルタが実装されている場合)。PFFB がディセーブルになると、フィードバックはデバイスの OUTN ピンと OUTP ピンから内部で配線されます。

PFFB 動作モードでは、 $f_0 > 10\text{MHz}$ かつ $f_0/Q > 2.5\text{MHz}$ の条件を満たす必要があります (f_0 と Q は、外部フィルタのカットオフ周波数と品質係数です)。

8.4.6 サーマル・フォールドバック

TAS2781 はダイ温度を監視し、ダイ温度がスレッシュホールドの設定値に到達すると、自動的にオーディオ信号に制限をかけることができます。内部の DSP が各レジスタに必要な計算を行うため、この保護メカニズムを構成するためにサーマル・フォールドバック・レジスタを使用することを推奨します。

サーマル・フォールドバックをディセーブルにするには、TFB_EN ビットを使用します。ダイ温度が $\text{TF_TMP_TH}[31:0]$ レジスタ・ビットで設定した値に達すると、この機能によりオーディオ信号は減衰を開始して、過熱によるデバイスのシャットダウンを防止します。この機能は、 $\text{TF_SLP}[31:0]$ レジスタ・ビットに値を設定することにより、 $\text{TF_TMP_TH}[31:0]$ レジスタ・ビットで設定した温度範囲でオーディオ信号を減衰します。サーマル・フォールドバック・アタックは、 $\text{TF_ATK}[31:0]$ レジスタ・ビットを使用して設定します。最大減衰を指定するには、 $\text{TF_MAX_ATN}[31:0]$ レジスタ・ビットを使用します。ただし、デバイスの温度が上昇し続ける場合は、最終的にデバイスの過熱がトリガされます。減衰は $\text{TF_HLD}[31:0]$ レジスタ・ビットで設定したサンプル数の間保持された後、解放を開始します。

8.4.7 過電力保護機能

TAS2781 は内部パワー FET の温度を監視します。最大連続電力が高く、パワー FET の温度がスレッシュホールド以上になると、内部保護回路はサーマル・フォールドバックをトリガし、それでも温度が上昇する場合はデバイスをシャットダウンします。

この保護メカニズムは 2 つのスレッシュホールド TH1 と TH2 に基づいています。TH1 のスレッシュホールドは、内部バンドギャップで測定される温度より 116°C 高い温度に設定されますが、250°C を下回ることはありません。TH1 スレッシュホールドにより、サーマル・フォールドバックがトリガされます。

TH2 スレッシュホールドは TH1 より 40°C 高く、これによりサーマル・シャットダウンがトリガされます。

2 つの検出メカニズムは、TG_TH2 および TG_TH1 ビットを Low にセットすることでディセーブルできます。

8.4.8 低バッテリー保護

PVDDL 電源が 3.4V 未満の場合、パワー FET は負荷電流が高くなると飽和状態になることがあり、その結果、FET が接続されている PVDDH の熱暴走によりデバイスが損傷する可能性があります。

損傷を防ぐためには、内部 SAR ADC で測定された PVDDL レベルに基づいて OCP 制限を調整します。以下の表に、OCP が自動調整される PVDDL スレッシュホールドを示します。PVDDL レベルが低いほど、OC 制限も低く設定されます。

表 8-4. PVDDL の範囲とスレッシュホールド

PVDDL の範囲
$PVDDL \geq 3.4V$
$3.1V \leq PVDDL < 3.4V$
$2.9V \leq PVDDL < 3.1V$
$2.7V \leq PVDDL < 2.9V$

OC 制限の制御は、PVDDL が外部から供給されるパワー・モード中で、出力が PVDDH (PWR_MODE0、PWR_MODE1) でスイッチングしている場合に発生します。

8.4.9 バッテリー電力リミッタ

TAS2781 は、バッテリー電圧の読み取り値に基づいて電流をレギュレートし、オーディオ電力を制御できるアルゴリズムを備えています。

このアルゴリズムには、2 つのバッテリー電圧に基づき、3 つの電流レベルがあります。

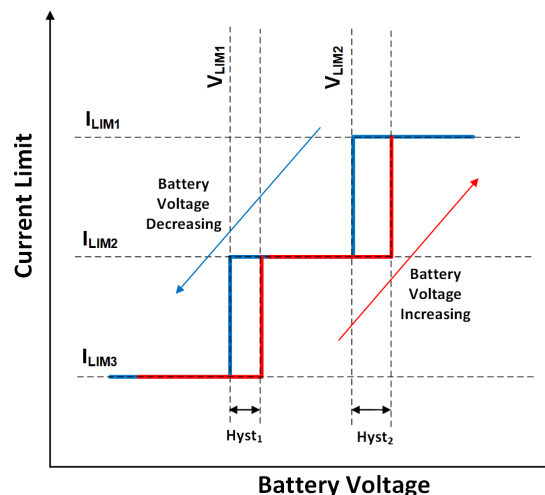


図 8-5. 電流制限とバッテリー電圧の関係

電力リミッタは、PVDDL (1 セル・バッテリー) か PVDDH (マルチセル・バッテリー) のいずれかに適用できます。デフォルトでは PVDDL に設定され、PWR_LIM_SRC ビットを使用して PVDDH に変更できます。

8.4.10 クロック

デバイスのクロックは、SBCLK 入力クロックから取得されます。以下の表に、各サンプリング・レートに対する有効な SBCLK クロック周波数と SBCLK 対 FSYNC 比を示します。

サンプル・レートが SAMP_RATE[2:0] レジスタ・ビットによって適切に構成されている場合、SBCLK 対 FSYNC 比が有効である限り、追加構成は必要ありません。デバイスは不適切な SBCLK 周波数や SBCLK 対 FSYNC 比を検出し、ボリュームは再生パスを低下させて、可聴アーティファクトを最小限に抑えます。クロック誤差が検出されると、DIS_CLK_HALT ビットが Low の場合、デバイスは CLK_HALT_TIMER[2:0] レジスタ・ビットで設定した時間経過後に低消費電力停止モードに入ります。さらに、CLK_PWRUD レジスタ・ビットが High にセットされていると、デバイスは有効なクロック信号で自動的に電源オンとオフを行うことができます。この機能がイネーブルの間、デバイスのサンプリング・レートを変更することはできません。この機能を正常に動作させるために、このモードでは DIS_CLK_HALT レジスタ・ビットを Low にセットする必要があります。

表 8-5. 48kHz ベースのサンプル・レートでサポートされる SBCLK 周波数 [MHz]

サンプル・レート (kHz)	SBCLK 対 FSYNC 比						
	16	24	32	48	64	96	125
16	該当なし	該当なし	0.512	0.768	1.024	1.526	2
24	該当なし	0.576	0.768	1.152	1.536	2.304	3
32	0.512	0.768	1.024	1.536	2.048	3.072	4
48	0.768	1.152	1.536	2.304	3.072	4.608	6
96	1.536	2.304	3.072	4.608	6.144	9.216	12
192	3.072	4.608	6.144	9.216	12.288	18.432	24
サンプル・レート (kHz)	SBCLK 対 FSYNC 比						
	128	192	250	256	384	500	512
16	2.048	3.072	4	4.096	6.144	8	8.192
24	3.072	4.608	6	6.144	9.216	12	12.288
32	4.096	6.144	8	8.192	12.288	16	16.384
48	6.144	9.216	12	12.288	18.432	24	24.576
96	12.288	18.432	24	24.576	該当なし	該当なし	該当なし
192	24.576	該当なし	該当なし	該当なし	該当なし	該当なし	該当なし

表 8-6. 44.1kHz ベースのサンプル・レートでサポートされる SBCLK 周波数 [MHz]

サンプル・レート (kHz)	SBCLK 対 FSYNC 比					
	16	24	32	48	64	96
14.7	該当なし	該当なし	該当なし	0.7056	0.9408	1.4112
22.05	該当なし	該当なし	0.7056	1.0584	1.4112	2.1168
29.4	該当なし	0.7056	0.9408	1.4112	1.8816	2.8224
44.1	0.7056	1.0584	1.4112	2.1168	2.8224	4.2336
88.2	1.4112	2.1168	2.8224	4.2336	5.6448	8.4672
176.4	2.8224	4.2336	5.6448	8.4672	11.2896	16.9344
サンプル・レート (kHz)	SBCLK 対 FSYNC 比					
	128	192	256	384	512	
14.7	1.8816	2.8224	3.7632	5.6448	7.5264	
22.05	2.8224	4.2336	5.6448	8.4672	11.2896	
29.4	3.7632	5.6448	8.4672	8.192	15.0528	
44.1	5.6448	8.4672	11.2896	16.9344	22.5792	

表 8-6. 44.1kHz ベースのサンプル・レートでサポートされる SBCLK 周波数 [MHz] (continued)

サンプル・レート (kHz)	SBCLK 対 FSYNC 比					
	16	24	32	48	64	96
88.2	11.2896	16.9344	22.5792	33.8688	該当なし	
176.4	211.5792	33.8688	該当なし	該当なし	該当なし	

8.4.11 超音波

TAS2781 には専用の電力モード (PWR_MODE3) があり、プレゼンス検出、ジェスチャー認識など最新の超音波アプリケーションで超音波を再生することができます。

超音波を再生する際は、DEM_CTRL[1:0] ビットを 3h、DIS_DITH ビットを 1h に設定することを推奨します。

PWR_MODE3 モードでの動作時は、Class-D の出力段は外部の PVDDL レールから供給されます。

8.4.12 エコー・リファレンス

TAS2781 は、DSP 出力をループバックすることができます。

この機能により、ユーザーはノイズ・キャンセレーションやエコー修正アルゴリズムを実行することが可能です。

以下に、ブロック図を示します。

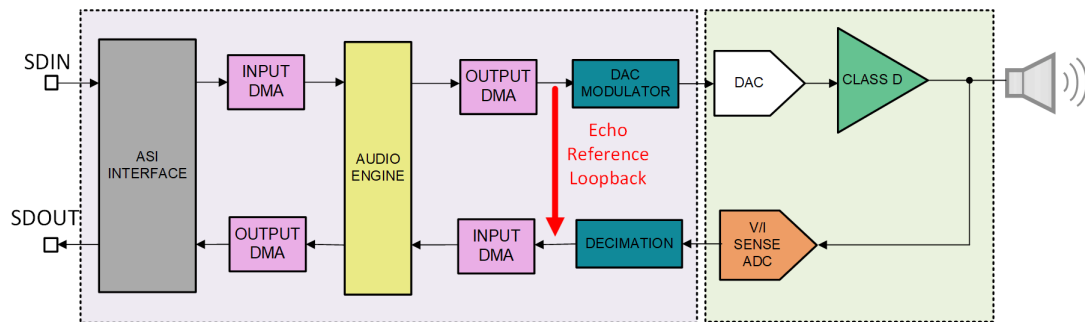


図 8-6. エコー・リファレンスのループバック

エコー・リファレンスは、AUDIO_TX レジスタ・ビットの構成でイネーブルできます。スロットの長さやタイム・スロットは、AUDIO_SLEN および AUDIO_SLOT[5:0] レジスタ・ビットを使用して選択できます。

8.4.13 Hybrid-Pro 外部昇圧コントローラ

デバイスには内部 Hybrid-Pro アルゴリズムが実装されており、ユーザーは外部電源を制御して、歪みをクリッピングすることなく高いダイナミック・レンジを実現する十分なマージンを維持しながら、システム効率を最適化することが可能です。

Hybrid-Pro 制御の特長：

- オプションの 8 ステップ 384kHz PWM 形式、または 16 ステップ 192kHz PWM 形式 Hybrid-Pro は、外部 DC/DC コンバータ用波形を制御します。
- 構成可能な最大 4ms の先読みオーディオ信号遅延バッファは、さまざまなアプリケーション・システムの DC/DC 帯域幅と電源カップリング容量に適合します。
- 最大 8ms のプログラマブル・オーディオ信号のピーク・ホールドは、電源電圧レールの高オーディオ入力から小さいレベルまでの遷移を最適化し、クリッピング歪みの防止に役立ちます。
- Hybrid-Pro は、オーディオ信号のトリガ・レベルと各ステップ・レベルを自動調整します。効率とエンベロップ・トラッキング速度のバランスを取れるよう微調整が可能です。

イネーブルにすると、コントローラはスピーカのピーク電圧に比例するデューティ・サイクルを持つ信号を PWM_CTRL ピンに生成します。外部 RC フィルタを使用しているため、信号はアナログ電圧に変換され、フィードバック入力を使用した昇圧コンバータの制御に使用することができます。

以下の図に、PWM_CTRL ピンを外部昇圧コントローラの RC ネットワークに接続する方法を示します。

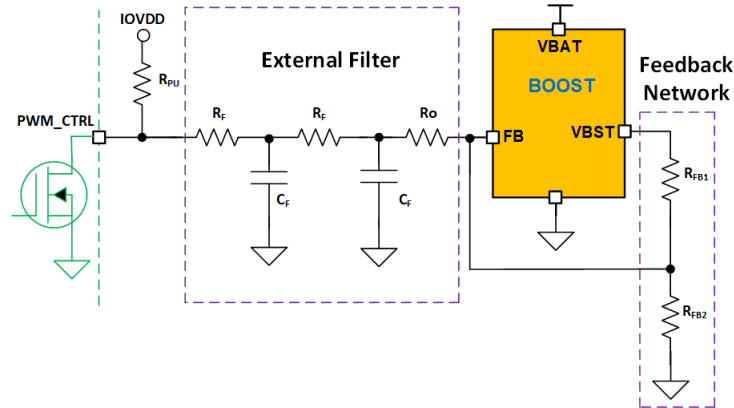


図 8-7. PWM_CTRL ピンと外部コンポーネント

PWM_CTRL ピンにはデフォルトのオープン・ドレイン構成があり、以下の図に示すような 1 つの RC 回路のみで、マルチチャンネル制御ループを簡単に実装できます。

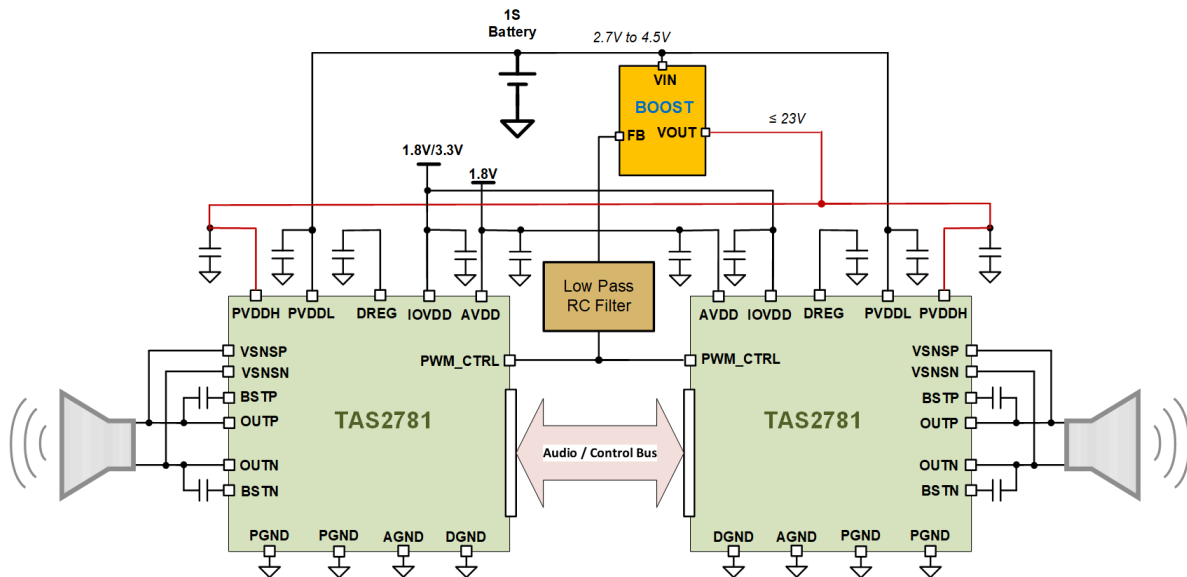


図 8-8. PWM_CTRL ピンを使用したマルチチャンネル構成

昇圧コンバータを制御するデバイスが 1 つだけの場合は、PWM_CTRL[6] を Low にセットすることをお勧めします。PWM_CTRL ピンは、構成をプッシュプルに変更し、プルアップ抵抗は不要です。

注

外部昇圧コントローラを使用している場合、電源トラッキング・リミッタをディセーブルにするか、またはスレッショルドの値が昇圧の最大出力電圧より高くなるようプログラムします。

内部 Class-H コントローラをプログラムするには、ページ 0x05 および 0x06 のレジスタを使用します。

昇圧コントローラのプログラムの詳細については、『TAS2781 ユーザー・マニュアル』および『SLOA326 アプリケーション・ノート』を参照してください。

8.5 動作モード

8.5.1 ビープ・ジェネレータ

このトーン・ジェネレータは、出力 (スピーカ) に直接送信される簡単なオーディオ・トーン (ビープ) を生成します。

ジェネレータは、SDZ ピンか NC_SCLK ピンのいずれかに入力されるパルス信号に依存します。

これら 2 つのピンのいずれかを、指定された入力周波数 f_{IN} でパルス化すると、ビーブ音が生成されます。

ビーブ出力信号の周波数は、次の式で与えられます：

$$\text{SDZ ピンでは、} f_{\text{beep}} = f_{IN}/64 \quad (3)$$

$$\text{NC_SCLK ピンでは、} f_{\text{BEEP}} = f_{IN}/4 \quad (4)$$

たとえば、800Hz のビーブが必要なら、ピン NC_SCLK に 3.2kHz の PWM 信号を入力します。

デバイスがソフトウェア・シャットダウン・モードのとき、ピンにパルスを印加することで、ビーブ音が生成される場合があります。グリッチ除去タイマは、トーンが終了して、グリッチ除去タイマが満了するまでの間、シャットダウン機能を延期します。このとき、ピンはデバイス (SDZ) か SPI クロック (NC_SCLK) のハードウェア・シャットダウンの制御に戻ります。

以下の表に示すように、ビーブ信号の出力電力は、入力信号のデューティ・サイクルによって制御されます。

表 8-7. ビーブ出力電力

負荷 (Ω)	デューティ・サイクル (%)	出力電力 (W)
8	20～30	0.125
8	45～55	0.25
8	70～80	0.5

注： ビーブ音の発生に NC_SCLK ピンが使用されているときは、ピン 17 を 1.8V 電源 (AVDD、IOVDD) に接続する必要があります。

8.5.2 ハードウェア・シャットダウン

デバイスは、SDZ ピンが Low にアサートされている場合に、ハードウェア・シャットダウン・モードに移行します。ハードウェア・シャットダウン・モードでは、デバイスは AVDD、IOVDD、PVDDH、PVDDL 電源からの最小静止電流を消費します。このモードでは、すべてのレジスタの状態が失われ、I²C または SPI 通信はディセーブルになります。

デフォルトでは、SDZ ピンが Low になると、デバイスはシャットダウン・タイマ (レジスタ・ビット SDZ_TIMEOUT[1:0]) で構成可能なタイムアウト設定の経過後に、強制的にハードウェア・シャットダウンに移行します。オーディオの再生中に SDZ が Low にアサートされると、デバイスはオーディオのボリュームを下げて、Class-D スwitchングを停止し、アナログとデジタル・ブロックをパワーダウンして、最後にハードウェア・シャットダウン・モードに移行します。デバイスが強制的にハードウェア・シャットダウン・モードに移行するように構成することも可能です。この場合、オーディオ・チャンネルを穏やかにディセーブルする試みは行われません。シャットダウン・モードを制御するには、SDZ_MODE[1:0] レジスタ・ビットを使用します。

SDZ が解放されると、デバイスは ADDR ピンをサンプリングし、ソフトウェア・シャットダウン・モードに移行します。

8.5.3 モード制御とソフトウェア・リセット

TAS2781 のモードは、MODE[2:0] レジスタ・ビットを書き込むことにより構成できます。

ソフトウェア・リセットを行うには、SW_RESET レジスタ・ビットを High にセットします。このビットはセルフ・クリアです。イネーブルになると、すべてのレジスタがそれぞれのデフォルト値に復元されます。

8.5.4 ソフトウェア・シャットダウン

ソフトウェア・シャットダウン・モードでは、オーディオ再生に必要なすべてのアナログ・ブロックが停止しますが、これによりデバイスでレジスタの状態が失われることはありません。

このレジスタは、I²C または SPI インターフェイスで利用することができます。

ソフトウェア・シャットダウンをイネーブルにするには、MODE[2:0] レジスタ・ビットを 3'b010 にアサートします。ソフトウェア・シャットダウンがアサートされたときにオーディオが再生中の場合、Class-D はボリュームをランプダウンしてからシャッ

トダウンします。デアサートされると、Class-D はスイッチングを開始し、ボリュームはプログラムされたデジタル・ボリューム設定に戻ります。

8.5.5 ミュート・モード

TAS2781 は、MODE[2:0] レジスタ・ビットを 3'b001 にセットすることにより、Class-D アンプのボリュームをミュート状態まで低下させます。ミュート中でも Class-D は切り替わりますが、オーディオ・コンテンツは送信されません。ミュートがアサート解除されると、デバイスはボリュームをプログラムされたデジタル設定に戻します。

8.5.6 アクティブ・モード

アクティブ・モードでは、Class-D に切り替わり、オーディオが再生されます。イネーブルの場合、スピーカ電圧と電流検出は動作可能です。MODE[2:0] レジスタ・ビットを 3'b000 にセットすると、アクティブ・モードに移行します。

8.5.7 ノイズ・ゲート・モード

セクション [セクション 8.4.2.8](#) で説明するこの動作モードでは、デバイスは信号を監視し、信号がスレッショルドを下回ると Class-D をパワーダウンします。

8.6 TAS2781 のフォルトとステータス

起動シーケンスの間、AVDD ピン (UVLO) を監視する回路は、電源が有効になるまでデバイスをリセット状態に保持します (すべての構成レジスタを含む)。AVDD が有効で SDZ ピンが解放されるまで、デバイスはハードウェア・シャットダウンを終了しません。SDZ が解放されると、デジタル・コア電圧レギュレータが起動し、動作モードの検出が有効になります。AVDD が UVLO スレッショルドを下回ると、デバイスはただちにリセット状態に強制的に移行します。

また、デバイスは PVDDH 電源を監視し、電源が UVLO スレッショルドを下回ると、アナログ・コアをパワーダウン状態に保持します (レジスタ・ビット PVDDH_UV_TH[5:0] で設定)。TAS2781 がアクティブ動作中で、UVLO フォルトが発生した場合、アナログ・ブロックはただちにパワーダウンして、デバイスを保護します。これらのフォルトはラッチされるため、HW/SW シャットダウンに遷移して、フォルトをクリアする必要があります。ラッチされたレジスタは、UVLO フォルトを通知します。

ソフトウェア・シャットダウンを終了してアクティブに戻るとき (MODE[2:0] ビットが 010b から 000b に変化した場合など)、PVDDH 低電圧が検出されると、デバイスはソフトウェア・シャットダウンに戻り、割り込み (IL_PUVLO) のフラグが立ちます。このフォルトを終了するには、ユーザーは割り込みをクリアし、再びアクティブ・モードに移行しようとする前に、MODE[2:0] ビットを使用してデバイスをソフトウェア・シャットダウンにプログラムする必要があります。

内部 PVDDL LDO 低電圧が検出され、IL_LDO_UV 割り込みのフラグが立った場合、PWR_MODE2 でも同様の状況が発生する可能性があります。

以下のような TDM クロックに伴うフォルトが検出された場合、デバイスはソフトウェア・シャットダウン・モードに遷移します。

- * 無効な SBCLK 対 FSYNC 比
- * 無効な FSYNC 周波数
- * SBCLK または FSYNC クロックの停止

TDM クロック・エラーが検出されると、デバイスは可能な限りすぐにソフトウェア・シャットダウン・モードに遷移して、オーディオ・アーティファクトの可能性を制限します。すべての TDM クロック・エラーが解決すると、デバイスのボリュームは以前の再生状態に戻ります。TDM クロック・エラーの発生中は、クロック・エラー割り込みマスク・レジスタ・ビット IM_TDMCE が Low にセットされている場合、IRQZ ピンは Low にアサートされます。また、クロック・フォルトは直接読み戻すことも、フォルト・ステータス・レジスタ (IL_TDMCE ビットと IR_TDMCE ビット) にラッチすることも可能です。

注

I²C をプログラムしてアクティブ・モードに移行する前に、TDM クロックを利用可能にしておく必要があります。クロックがないままアクティブ・モードに移行すると、クロック・エラーを引き起こし、デバイスはソフトウェア・シャットダウンに入り、クロック・エラーに関連した割り込みが発生します。

TAS2781 はダイ温度と Class-D 負荷電流も監視しており、このどちらかが安全な値を超えると、ソフトウェア・シャットダウン・モードに移行します。TDM クロック・エラーと同様に、過熱や過電流に対して適切なフォルト割り込みマスク・レジスタ・ビットが Low にセットされていれば、IRQZ ピンはこれらのフォルトで Low にアサートされます。TDM クロック・エラーと同じように、フォルト・ステータスはラッチされたフォルト・レジスタでも監視することができます。

ダイの過熱と Class-D 過電流エラーは、どちらもラッチされます (つまり、HW/SW シャットダウン・シーケンスが適用されるまで、デバイスはソフトウェア・シャットダウンに移行します)。また、これらは所定の時間経過後に自動で再試行するように構成することが可能です。この動作を構成するには、OTE_RETRY と OCE_RETRY レジスタ・ビットを使用します (それぞれ、過熱用と過電流用)。ラッチ・モードでも、Class-D は再試行時間 (デフォルトで 1.5s) が経過するまで、過熱や過電流エラーの後の再試行は行いません。この機能により、デバイスの損傷を引き起こす、デバイスへのストレスが急速に繰り返し与えられることを防ぎます。デバイスで SW/HW シャットダウンのサイクルが実行される場合、再試行時間が経過した後にのみ動作を開始します。デフォルトでは、RETRY 機能は無効になっています。

ステータス・レジスタ (有効になっており、マスクされていない割り込みの場合は、IRQZ ピンも同様) も、以下のようなリミット動作を通知します。リミットがアクティブになっている場合、PVDDH が変曲点を下回った場合、減衰が最大になった場合、リミットが無限保持状態の場合、リミットがオーディオをミュートにしている場合などです。

このような状況では、デバイスが PWR_MODE2 で動作している場合、PVDDL ピンには内部 LDO から供給されます。保護回路はこのブロックを監視し、低電圧や過電圧が発生した場合や、LDO が過負荷の場合にフォルトを生成します。これらのフォルトのいずれかが発生すると、デバイスはシャットダウンします。

IRQZ ピンはオープン・ドレイン出力で、マスクなしのフォルト発生中は Low にアサートされます。そのため、IOVDD への抵抗でプルアップする必要があります。内部のプルアップ抵抗は 20kΩ です。これにアクセスするには、レジスタ 0x04 の IRQZ_PU レジスタ・ビットを High にセットします。

IRQZ の割り込み構成を設定するには、レジスタ 0x5C の IRQZ_CFG[1:0] レジスタ・ビットを使用します。IRQZ_POL レジスタ・ビットで割り込み極性を設定し、IRQZ_CLR レジスタ・ビットですべての割り込みラッチのレジスタ・ビットをクリアできます。

ライブ・フラグ・レジスタは、デバイスがアクティブ・モードで動作中にのみアクティブになります。デバイスが I²C コマンドか、以下のいずれかのフォルト条件を満たしたことによってソフトウェア・シャットダウンに移行すると、ライブ・フラグはリセットされます。ラッチされたフラグはこの条件ではリセットされないため、ユーザーはステータスを読み取ることができます。

表 8-8. フォルト割り込みマスク

割り込み	ライブ・レジスタ	ラッチ・レジスタ	マスク・レジスタ	デフォルト (1 = マスク)
105°Cを超える温度	IL_TO105	IR_TO105	IM_TO105	1
115°Cを超える温度	IL_TO115	IR_TO115	IM_TO115	1
125°Cを超える温度	IL_TO125	IR_TO125	IM_TO125	1
135°Cを超える温度	IL_TO135	IR_TO135	IM_TO135	1
過熱エラー	デバイスはシャットダウン中	IR_OT	IM_OT	0
過電流エラー	デバイスはシャットダウン中	IR_OC	IM_OC	0
TDM クロック・エラー	デバイスはシャットダウン中	IR_TDMCE	IM_TDMCE	1
TDM クロック・エラー: SBCLK 比または FS レートが無効	-	IR_TDMCEIR	-	-
TDM クロック・エラー: FS はオンザフライで変更	-	IR_TDNCEFC	-	-
TDM クロック・エラー: SBCLK の FS 比率はオンザフライで変更	-	IR_TDMCERC	-	-
BOP がアクティブ	IL_BOPA	IR_BOPA	IM_BOPA	0
BOP 無限ホールド	IL_BOPIH	IR_BOPIH	IM_BOPIH	0
BOP ミュート	IL_BOPM	IR_BOPM	IM_BOPM	-

表 8-8. フォルト割り込みマスク (continued)

割り込み	ライブ・レジスタ	ラッチ・レジスタ	マスク・レジスタ	デフォルト (1 = マスク)
BOP が検出された	IL_BOPD	IR_BOPD	IM_BOPD	0
BOP パワーダウ	-	IR_BOPPD	IM_BOPPD	1
PVDDH がリミッタの変曲点を下回る	IL_PBIP	IR_PBIP	IM_PBIP	1
リミッタがアクティブ	IL_LIMA	IR_LIMA	IM_LIMA	1
リミッタの最大減衰	IL_LIMMA	IR_LIMMA	IM_LIMMA	1
PVDDH UVLO	デバイスはシャットダウン中	IR_PUVLO	IM_PUVLO	0
PVDDL UVLO	デバイスはシャットダウン中	-	-	-
OTP CRC エラー	デバイスはシャットダウン中	IR_OTPCRC	IM_OTPCRC	0
PVDDL ゲイン・リミッタ	IL_VBATLIM	IR_VBATLIM	IM_VBATLIM	1
内部 PLL クロック・エラー	デバイスはシャットダウン中	IR_PLL_CLK	IM_PLL_CLK	1
ノイズ・ゲートがアクティブ	IL_NGA	-	-	-
PVDDH - PVDDL がスレッショルドを下回る	IL_PVBT	IR_PVBT	IM_PVBT	0
内部 PVDDL LDO 低電圧	デバイスはシャットダウン中	IR_LDO_UV	IM_LDO_UV	0
サーマル検出器スレッショルド 2	デバイスはシャットダウン中	IR_TDTH2	IM_TDTH2	0
サーマル検出器スレッショルド 1	IL_TDTH1	IR_TDTH1	IM_TDTH1	0

8.7 電源シーケンス要件

SDZ ピンが Low に保持されている限り、ランプアップまたはランプダウンのレートの順序についての電源シーケンス要件はありません。

8.8 デジタル入力プルダウン

I²S/TDM インターフェイス・ピンと ICC ピンにはオプションで弱いプルダウン抵抗があり、ピンがオープンになることを防止します。プルダウンのイネーブル / ディセーブルには、のレジスタ・ビット DIN_PD[4:0] を使用します。ハードウェアのシャットダウン中はプルダウンはイネーブルになりません。

8.9 レジスタ・マップ

8.9.1 ページ=0x00 アドレス=0x00 [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-0	PAGE[7:0]	RW	0h	デバイス・ページの設定。 00h=ページ 0 01h=ページ 1 ... FFh=ページ 255

8.9.2 ページ=0x00 アドレス=0x01 [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	RW	0h	予約済み
0	SW_RESET	RW	0h	ソフトウェア・リセット 0b=アサート解除 (デフォルト) 1b=アサート状態

8.9.3 ページ=0x00 アドレス=0x02 [リセット=1Ah]

ビット	フィールド	タイプ	リセット	説明
7	BOP_SRC	RW	0h	BOP 入力ソースおよび PVDD UVLO 0b = PVDDL 入力と PVDDH UVLO がディセーブル (デフォルト) 1b = PVDDH 入力と PVDDH UVLO がイネーブル。
6-5	予約済み	RW	0h	予約済み
4	ISNS_PD	RW	1h	電流検出 0b=アクティブ 1b=パワーダウン
3	VSNS_PD	RW	1h	電圧検出 0b=アクティブ 1b=パワーダウン
2-0	MODE[2:0]	RW	2h	デバイスの動作モード 000b=ミュートなしでアクティブ 001b=アクティブでミュート中 010b=ソフトウェア・シャットダウン (デフォルト) 011b~111b=予約済み

8.9.4 ページ=0x00 アドレス=0x03 [リセット=28h]

ビット	フィールド	タイプ	リセット	説明
7-6	CDS_MODE[1:0]	RW	0h	Class-D スイッチング・モード 00b = Y ブリッジ、PVDDL に大出力 (デフォルト) 01b = PVDDL のみが Class-D に電力を供給 10b = PVDDH のみが Class-D に電力を供給 11b = Y ブリッジ、PVDDL に低出力
5-1	AMP_LEVEL[4:0]	RW	14h	設定
				48ksps の場合
				96ksps の場合
				00h 11dBV 9dBV
				01h 11.5dBV 9.5dBV
				02h 12.0dBV 10dBV
				03h 12.5dBV 10.5dBV
			
			
			
				13h 20.5dBV 18.5dBV
				14h (デフォルト) 21dBV 19dBV
				その他: 予約済み
0	予約済み	RW	0h	予約済み

8.9.5 ページ=0x00 アドレス=0x04 [リセット=21h]

ビット	フィールド	タイプ	リセット	説明
7	PVDDL_MODE	RW	0h	PVDDL 電源: 0h=外部から供給される 1h=内部で PVDDH から生成される
6	IRQZ_PU	RW	0h	IRQZ の内部プルアップ 0h=ディセーブル 1h=イネーブル
5	AMP_SS	RW	1h	スペクトラム拡散 0h=ディセーブル 1h=イネーブル *スペクトラム拡散と同期モードがどちらもイネーブルの場合、同期モードが優先されます

ビット	フィールド	タイプ	リセット	説明
4-3	SAR_FLT[1:0]	RW	0h	SAR フィルタのカットオフ周波数 0h=ディセーブル (デフォルト) 1h = 300kHz 2h = 150kHz 3h = 50kHz
2-0	HPF_FREQ_PB[2:0]	RW	1h	フォワード・パス DC ブロッカのカットオフ周波数 0h=ディセーブル (フィルタはバイパスされる) 1h = 2Hz 2h = 50Hz 3h = 100Hz 4h = 200Hz 5h = 400Hz 6h = 800Hz 7h=予約済み * サンプルング・レートが 44.1/88.2kHz の場合は、上記の数値を 1.0884 で割ってください

8.9.6 ページ=0x00 アドレス=0x05 [リセット=41h]

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	RW	4h	予約済み
3	TFB_EN	RW	0h	サーマル・フォールドバック 0h=ディセーブル 1h=イネーブル
2-0	HPF_FREQ_REC[2:0]	RW	1h	レコード・パス DC ブロッカ 0h=ディセーブル (フィルタはバイパスされる) 1h = 2Hz 2h = 50Hz 3h = 100Hz 4h = 200Hz 5h = 400Hz 6h = 800Hz 7h=予約済み * サンプルング・レートが 44.1/88.2kHz の場合は、上記の数値を 1.0884 で割ってください

8.9.7 ページ=0x00 アドレス=0x06 [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	RW	0h	予約済み
5	OCE_RETRY	RW	0h	過電流イベント後の再試行。 0h=ディセーブル 1h=イネーブル、タイマ後に再試行。
4	OTE_RETRY	RW	0h	過熱イベント後の再試行。 0h=ディセーブル 1h=イネーブル、タイマ後に再試行。
3	PFFB_EN	RW	0h	ポスト・フィルタ・フィードバック 0h=ディセーブル (OUT_N ピンと OUT_P ピンを使用) 1h=イネーブル (VSNS_N ピンと VSNS_P ピンを使用)
2	SAFE_MODE	RW	0h	セーフ・モード 0h=ディセーブル 1h=イネーブル
1-0	予約済み	RW	0h	予約済み

8.9.8 ページ=0x00 アドレス=0x07 [リセット=20h]

ビット	フィールド	タイプ	リセット	説明
7-6	SDZ_MODE[1:0]	RW	0h	シャットダウン・モードの構成。 0h=タイムアウト後にシャットダウンする (デフォルト) 1h=即時強制シャットダウン 2h~3h=予約済み
5-4	SDZ_TMOUT[1:0]	RW	2h	シャットダウンのタイムアウト 0h = 2ms 1h = 4ms 2h = 6ms (デフォルト) 3h = 23.8ms
3-2	DVC_RMP_RT[1:0]	RW	0h	デジタル・ボリューム制御のランプ・レート 0h=ボリューム・ランプがイネーブル (デフォルト) 1h~2h=予約済み 3h=ボリューム・ランプがディセーブル
1	I2C_GBL_EN	RW	0h	I ² C グローバル・アドレス 0h=ディセーブル 1h=イネーブル
0	I2C_AD_DET	RW	0h	I ² C ペリフェラル・アドレスの再検出 (セルフ・クリア・ビット) 0h=通常に検出 1h=パワーアップ後にアドレスを再検出

8.9.9 ページ=0x00 アドレス=0x08 [リセット=09h]

ビット	フィールド	タイプ	リセット	説明
7	AMP_INV	RW	0h	オーディオ・アンプ出力の反転 0h=通常 1h=反転
6	CLASSD_SYNC	RW	0h	Class-D 同期モード 0h=オーディオ・クロックと非同期 1h=オーディオ・クロックと同期 *スペクトラム拡散と同期モードがどちらもイネーブルの場合、同期モードが優先されます
5	RAMP_RATE	RW	0h	CLASSD_SYNC = 1 のとき、サンプル・レートのベース 0h = 48kHz 1h = 44.1kHz
4	AUTO_RATE	RW	0h	TDM サンプル・レートの自動検出 0h=イネーブル 1h=ディセーブル
3-1	SAMP_RATE[2:0]	RW	4h	TDM バスのサンプル・レート 0h=予約済み 1h = 14.7/16kHz 2h = 22.05/24 kHz 3h = 29.4/32kHz 4h = 44.1/48kHz 5h = 88.2/96kHz 6h = 176.4/192kHz 7h=予約済み
0	FRAME_START	RW	1h	TDM フレームの開始極性 0h = FSYNC で Low から High 1h = FSYNC で High から Low

8.9.10 ページ=0x00 アドレス=0x09 [リセット=02h]

ビット	フィールド	タイプ	リセット	説明
7	RMP_FREQ_INCR	RW	0h	CLASSD_SYNC = 1 のときのランプ・レート 0h = 352kHz 1h = 376kHz
6	RX_JSTF	RW	0h	タイム・スロット内の TDM RX サンプルの揃え方向 0h=左 1h=右
5-1	RX_OFF[4:0]	RW	1h	TDM RX のフレーム開始からタイム・スロット 0 までのオフセット (SBCLK サイクル数)
0	RX_EDGE	RW	0h	TDM RX キャプチャのクロック極性 0h = SBCLK の立ち上がりエッジ 1h = SBCLK の立ち下がりエッジ

8.9.11 ページ=0x00 アドレス=0x0A [リセット=0Ah]

ビット	フィールド	タイプ	リセット	説明
7-6	IVMON_EN[1:0]	RW	0h	電流と電圧のデータの長さを設定 0h = 16 ビット (デフォルト) 1h = 12 ビット 2h = 8 ビット 3h=予約済み
5-4	RX_SCFG[1:0]	RW	0h	TDM RX のタイム・スロット選択の構成 0h=モノラル、タイム・スロットは I ² C アドレス・オフセットと同じ (デフォルト) 1h=モノラル、左チャネル 2h=モノラル、右チャネル 3h=ステレオ・ダウンミックス (L+R)/2
3-2	RX_WLEN[1:0]	RW	2h	TDM RX のワード長 0h = 16 ビット 1h = 20 ビット 2h = 24 ビット (デフォルト) 3h = 32 ビット
1-0	RX_SLEN[1:0]	RW	2h	TDM RX のスロット長 0h = 16 ビット 1h = 24 ビット 2h = 32 ビット 3h=予約済み

8.9.12 ページ=0x00 アドレス=0x0C [リセット=10h]

ビット	フィールド	タイプ	リセット	説明
7-4	RX_SLOT_R[3:0]	RW	1h	TDM RX 右チャネルのタイム・スロット (デフォルト=1h)
3-0	RX_SLOT_L[3:0]	RW	0h	TDM RX 左チャネルのタイム・スロット (デフォルト=0h)

8.9.13 ページ=0x00 アドレス=0x0D [リセット=13h]

ビット	フィールド	タイプ	リセット	説明
7	TX_KEEPCY	RW	0h	TX_KEEPCY がイネーブルのとき、TDM TX SDOUT LSB データの駆動方法 0h=フル・サイクル 1h=ハーフ・サイクル

ビット	フィールド	タイプ	リセット	説明
6	TX_KEEPLN	RW	0h	TX_KEEPLN がイネーブルのとき、TDM TX SDOUT がバスを保持する時間: 0h = 1 LSB サイクル 1h = 常時
5	TX_KEEPEM	RW	0h	TDM TX SDOUT バス・キーパー 0h = ディセーブル 1h = イネーブル
4	TX_FILL	RW	1h	TDM TX SDOUT の未使用ビット・フィールドを埋める方法 0h = 0 を送信 1h = ハイ・インピーダンスを送信
3-1	TX_OFFSET[2:0]	RW	1h	TDM TX のフレーム開始からタイム・スロット 0 へのオフセット (デフォルト = 1h)
0	TX_EDGE	RW	1h	TDM TX 起動クロックの極性 0h = SBCLK の立ち上がりエッジ 1h = SBCLK の立ち下がりエッジ

8.9.14 ページ=0x00 アドレス=0x0E [リセット=C2h]

ビット	フィールド	タイプ	リセット	説明
7	CLASSH_RES	RW	1h	Class-H の分解能 0h = 8 ビット 1h = 16 ビット
6	VSNS_TX	RW	1h	TDM TX 電圧検出の送信 0h = ディセーブル 1h = イネーブル
5-0	VSNS_SLOT[5:0]	RW	2h	TDM TX 電圧検出のタイム・スロット (デフォルト = 02h)

8.9.15 ページ=0x00 アドレス=0x0F [リセット=40h]

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	ISNS_TX	RW	1h	TDM TX 電流検出の送信 0h = ディセーブル 1h = イネーブル
5-0	ISNS_SLOT[5:0]	RW	0h	TDM TX 電流検出のタイム・スロット (デフォルト=00h)

8.9.16 ページ=0x00 アドレス=0x10 [リセット=04h]

ビット	フィールド	タイプ	リセット	説明
7	SAR_DATA_SL	RW	0h	TDM TX SAR データのタイム・スロットの長さ 0h = 8 ビットに切り捨て 1h = 左揃えて 16 ビット
6	SAR_DATA_TX	RW	0h	TDM TX SAR データ送信イネーブル 0h = ディセーブル 1h = イネーブル
5-0	SR_DATA_SLOT[5:0]	RW	4h	TDM TX SAR タイム・スロット (デフォルト=4h)
	1.96ksps の場合のシーケンス: PVDDL、PVDDH、温度、マーカ。 2.192ksps の場合のシーケンス: PVDDL、PVDDL、PVDDH、PVDDH、温度、温度、マーカ、マーカ。			

8.9.17 ページ=0x00 アドレス=0x13 [リセット=08h]

ビット	フィールド	タイプ	リセット	説明
7	STAT_SLOT_TG	RW	0h	過電力 STATUS ビット - TH1 および TH2 0h=ディセーブル 1h=STATUS のビット[5] = TH2 と OTS との OR 結果 1h=STATUS のビット[6] = TH1
6	STATUS_TX	RW	0h	TDM TX ステータスの送信 0h=ディセーブル 1h=イネーブル
5-0	STATUS_SLOT[5:0]	RW	8h	TDM TX ステータスのタイム・スロット (デフォルト=08h) ビット[7] - PVDDH のステータス 0h = PVDDH UVLO 検出なし 1h = PVDD UVLO 検出あり ビット[6] - 過電流ステータス 0h=過電流検出なし 1h=過電流検出あり ビット[5] - 過熱ステータス 0h=過熱検出なし 1h=過熱検出あり *ビット[4] - BOP のステータス 0h = BOP 検出なし 1h = BOP 検出あり *ビット[3] - 信号歪みリミッタのステータス 0h=歪みリミッタなし 1h=歪みリミッタによりゲインの減衰が行われた ビット[2] - ノイズ・ゲートのステータス 0h=デバイスは通常モード 1h=デバイスはノイズ・ゲート・モード ビット[1] - Class-D 電力段のステータス 0h = Class-D パワー・スイッチが PVDDL に接続されている 1h = Class-D パワー・スイッチが PVDDH に接続されている ビット[0] - パワーアップ状態 0h=デバイスはパワーダウン状態 1h=デバイスはアクティブ状態

8.9.18 ページ=0x00 アドレス=0x15 [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-5	LS_OC[2:0]	RW	0h	Low サイド OC スレッショルド 0h=公称値 OC スレッショルド (デフォルト) 1h = OC スレッショルドが公称値より 10% 増加 2h = OC スレッショルドが公称値より 20% 増加 3h = OC スレッショルドが公称値より 30% 増加 4h = OC スレッショルドが公称値より 40% 低下 5h = OC スレッショルドが公称値より 30% 低下 6h = OC スレッショルドが公称値より 20% 低下 7h = OC スレッショルドが公称値より 10% 低下

ビット	フィールド	タイプ	リセット	説明
4-2	ICC_CFG[2:0]	RW	0h	ICC ピンの機能 0h=ゲイン・スロットの送信 (デフォルト) 1h=予約済み 2h = ICC ピンのバッファがディセーブル 3h = ICC ピンは汎用入力 4h = ICC ピンは汎用出力 5h~7h=予約済み
1-0	予約済み	R	0h	予約済み

8.9.19 ページ=0x00 アドレス=0x16 [リセット=12h]

ビット	フィールド	タイプ	リセット	説明
7	AUDIO_SLEN	RW	0h	TDM オーディオ・スロットの長さ 0h = 16 ビット 1h = 24 ビット
6	AUDIO_TX	RW	0h	TDM オーディオ出力の送信 0h=ディセーブル 1h=イネーブル
5-0	AUDIO_SLOT[5:0]	RW	12h	TDM TX ステータスのタイム・スロット (デフォルト=12h)

8.9.20 ページ=0x00 アドレス=0x17 [リセット=80h]

ビット	フィールド	タイプ	リセット	説明
7-4	LIM_MAX_AT[3:0]	RW	8h	リミッタの最大減衰 (デフォルト=8h) 0h = -1dB 1h = -2dB 2h = -3dB ... 0Eh = -15dB 0Fh=予約済み
3-0	予約済み	R	0h	予約済み

8.9.21 ページ=0x00 アドレス=0x1A [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-0	DVC_LVL[7:0]	RW	00h	デジタル・ボリューム制御 00h = 0dB 01h = -0.5dB 02h = -1dB ... C8h = -100dB その他:ミュート

8.9.22 ページ=0x00 アドレス=0x1B [リセット=62h]

ビット	フィールド	タイプ	リセット	説明
	LIMB_SRC	RW	0h	電圧リミッタ入力ソース 0h = PVDDL 入力 1h = PVDDH 入力
7-6	予約済み	R	1h	予約済み
5	LIM_HR_EN	RW	1h	リミッタの動的ヘッドルーム 0h=ディセーブル 1h=イネーブル

ビット	フィールド	タイプ	リセット	説明
4-1	LIM_ATK_RT[3:0]	RW	1h	リミッタのアタック・レート 00h = 20μs/dB 01h = 40μs/dB 02h = 80μs/dB 03h = 160μs/dB 04h = 320μs/dB 05h = 640μs/dB 06h = 1280μs/dB 07h = 2560μs/dB 08h = 5120μs/dB 09h = 10240μs/dB 10h = 20480μs/dB 11h = 40960μs/dB 12h = 81920μs/dB 13h = 163840μs/dB その他: 予約済み
0	LIM_EN	RW	0h	リミッタ 0h=ディセーブル 1h=イネーブル

8.9.23 ページ=0x00 アドレス=0x1C [リセット=36h]

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6-3	LIM_RLS_RT[3:0]	RW	6h	リミッタのリリース・レート 0h = 2 ms/dB 1h = 4 ms/dB 2h = 8 ms/dB 3h = 16 ms/dB 4h = 32 ms/dB 5h = 64 ms/dB 6h = 128 ms/dB 7h = 256 ms/dB 8h = 512 ms/dB 9h = 1024 ms/dB Ah = 2048 ms/dB Bh = 4096 ms/dB Ch = 8192 ms/dB Ch = 16384 ms/dB Eh~Fh=予約済み
2-0	LIM_HLD[2:0]	RW	6h	リミッタのホールド時間 0h=予約済み 1h = 10ms 2h = 25ms 3h = 50ms 4h = 100ms 5h = 250ms 6h = 500ms (デフォルト) 7h = 1000ms

8.9.24 ページ=0x00 アドレス=0x1D [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7	ICC_EN	RW	0h	ICC ピン 0h=ディセーブル 1h=イネーブル

ビット	フィールド	タイプ	リセット	説明
6-3	ICC_PAIR_DEV[3:0]	RW	0h	ICC デバイス・ペア番号 (デフォルト=0h) 0h=デバイス 0 とペアになっているデバイス 1h=デバイス 1 とペアになっているデバイス 7h=デバイス 7 とペアになっているデバイス 8h~Fh=ペアになっているデバイスはない
2-0	ICC_DEV[2:0]	RW	0h	ICC デバイス番号 (デフォルト=0h) 0h=デバイスは ICC バスのスロット 0 でゲインを送信 1h=デバイスは ICC バスのスロット 1 でゲインを送信 2h=デバイスは ICC バスのスロット 2 でゲインを送信 3h=デバイスは ICC バスのスロット 3 でゲインを送信 4h=デバイスは ICC バスのスロット 4 でゲインを送信 5h=デバイスは ICC バスのスロット 5 でゲインを送信 6h=デバイスは ICC バスのスロット 6 でゲインを送信 7h=デバイスは ICC バスのスロット 7 でゲインを送信

8.9.25 ページ=0x00 アドレス=0x1F [リセット=01h]

ビット	フィールド	タイプ	リセット	説明
7-5	HS_OC[2:0]	RW	0h	ハイスайд OC スレッシュヨルド 0h=公称値 OC スレッシュヨルド (デフォルト) 1h = OC スレッシュヨルドが公称値より 10% 増加 2h = OC スレッシュヨルドが公称値より 20% 増加 3h = OC スレッシュヨルドが公称値より 30% 増加 4h = OC スレッシュヨルドが公称値より 40% 低下 5h = OC スレッシュヨルドが公称値より 30% 低下 6h = OC スレッシュヨルドが公称値より 20% 低下 7h = OC スレッシュヨルドが公称値より 10% 低下
4	BOPSD_EN	RW	0h	BOP シャットダウン 0h=ディセーブル 1h=イネーブル
0	BOP_HLD_CLR	RW	0h	BOP 無限ホールド・クリア (セルフ・クリア) 0h=クリアしない 1h=クリア
	BOP_INF_HLD	RW	0h	BOP イベントでの無限ホールド 0h = BOP イベント後に BOP_HLD を使用 1h = BOP_HLD_CLR が High にアサートされるまでリリースしない
	BOP_MUTE	RW	0h	BOP イベントでのミュート 0h=ミュートしない 1h=ミュート後にデバイスをシャットダウン
	BOP_EN	RW	1h	BOP 0h=ディセーブル 1h=イネーブル

8.9.26 ページ=0x00 アドレス=0x20 [リセット=2Eh]

ビット	フィールド	タイプ	リセット	説明
7-5	BOP_ATK_RT[2:0]	RW	1h	ブラウンアウト防止のアタック・レート 0h = 1 サンプルで 1 ステップ 1h = 2 サンプルで 1 ステップ (デフォルト) 2h = 4 サンプルで 1 ステップ 3h = 8 サンプルで 1 ステップ 4h = 16 サンプルで 1 ステップ 5h = 32 サンプルで 1 ステップ 6h = 64 サンプルで 1 ステップ 7h = 128 サンプルで 1 ステップ
4-3	BOP_ATK_ST[1:0]	RW	1h	ブラウンアウト防止のアタック・ステップ・サイズ 0h = 0.5dB 1h = 1dB (デフォルト) 2h = 1.5dB 3h = 2dB
2-0	BOP_HLD[2:0]	RW	6h	ブラウンアウト防止のホールド時間 0h = 0ms 1h = 10ms 2h = 25ms 3h = 50ms 4h = 100ms 5h = 250ms 6h = 500ms (デフォルト) 7h = 1000ms

8.9.27 ページ=0x00 アドレス=0x34 [リセット=06h]

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R	0h	予約済み
2-1	LVS_FTH_LOW[1:0]	RW	3h	CDS_MODE = 3h のときの LVS スレッショルド 0h = -121.5dBFS 1h = -101.5dBFS (デフォルト) 2h = -81.5dBFS 3h = -71.5dBFS
0	予約済み	R	0h	予約済み

8.9.28 ページ=0x00 アドレス=0x35 [リセット=BDh]

ビット	フィールド	タイプ	リセット	説明
7-5	NG_HYST_TIMER[2:0]	RW	5h	ノイズ・ゲート・エントリのヒステリシス・タイマ 0h = 400μs 1h = 600μs 2h = 800μs 3h = 2ms 4h = 10ms 5h = 50ms (デフォルト) 6h = 100ms 7h = 1s
4-3	NG_TH[1:0]	RW	3h	ノイズ・ゲートのオーディオ・スレッショルド・レベル 0h = -90dBFS 1h = -100dBFS 2h = -110dBFS 3h = -120dBFS (デフォルト)

ビット	フィールド	タイプ	リセット	説明
2	NG_EN	RW	1h	ノイズ・ゲート 0h=ディセーブル 1h=イネーブル
1-0	予約済み	R	1h	予約済み

8.9.29 ページ=0x00 アドレス=0x36 [リセット=ADh]

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	RW	2h	予約済み
5	NG_DVC_RP	RW	1h	ノイズ・ゲートのボリューム・ランプ 0h=イネーブル 1h=ディセーブル
4	予約済み	R	0h	予約済み
3-0	LVS_HYS[3:0]	RW	Dh	PVDDH から PVDDL へのヒステリシス時間 0h~9h=予約済み Ah = 1ms Bh = 10ms Ch = 20ms Dh = 50ms (デフォルト) Eh = 75ms Fh = 100ms *サンプリング・レート $f_s < 48\text{ksp/s}$ の場合、上記の値を $48/f_s$ で乗算します

8.9.30 ページ=0x00 アドレス=0x37 [リセット=A8h]

ビット	フィールド	タイプ	リセット	説明
7	LVS_DET	RW	1h	低電圧信号伝達スレッシュホールド 0h=固定 1h=PVDDL 電圧が基準
6-5	予約済み	R	1h	予約済み
4-0	LVS_FTH[4:0]	RW	08h	CDS_MODE = 0h のときの LVS のスレッシュホールド 00h = -18.5dBFS 01h = -18.25dBFS (デフォルト) 02h = -18dBFS 03h = -17.75dBFS 04h = -17.5dBFS .. 08h = -16.5dBFS (デフォルト) .. 1Eh = -11dBFS 1Fh = -10.75dBFS

8.9.31 ページ=0x00 アドレス=0x38 [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	DIN_PD[4]	RW	0h	ICC の弱いプルダウン 0h=ディセーブル 1h=イネーブル
5	DIN_PD[3]	RW	0h	SDOUT の弱いプルダウン 0h=ディセーブル 1h=イネーブル
4	DIN_PD[2]	RW	0h	SDIN の弱いプルダウン 0h=ディセーブル 1h=イネーブル

ビット	フィールド	タイプ	リセット	説明
3	DIN_PD[1]	RW	0h	FSYNC の弱いプルダウン 0h=ディセーブル 1h=イネーブル
2	DIN_PD[0]	RW	0h	SBCLK の弱いプルダウン 0h=ディセーブル 1h=イネーブル
1-0	予約済み	R	0h	予約済み

8.9.32 ページ=0x00 アドレス=0x3B [リセット=FCh]

ビット	フィールド	タイプ	リセット	説明
7	IM_BOPM	RW	1h	BOP ミュート割り込み 0h=マスクなし 1h=マスクあり
6	IM_BOPIH	RW	1h	BOP 無限ホールド割り込み。 0h=マスクなし 1h=マスクあり
5	IM_LIMMA	RW	1h	リミッタの最大減衰の割り込み 0h=マスクなし 1h=マスクあり
4	IM_PBIP	RW	1h	リミッタの変曲点以下となった PVDDH の割り込み 0h=マスクなし 1h=マスクあり
3	IM_LIMA	RW	1h	リミッタのアクティブの割り込み 0h=マスクなし 1h=マスクあり
2	IM_TDMCE	RW	1h	TDM クロック誤差の割り込み 0h=マスクなし 1h=マスクあり
1	IM_OC	RW	0h	過電流エラーの割り込み 0h=マスクなし 1h=マスクあり
0	IM_OT	RW	0h	過熱エラーの割り込み 0h=マスクなし 1h=マスクあり

8.9.33 ページ=0x00 アドレス=0x3C [リセット=BBh]

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	1h	予約済み
6	IM_OTPCRC	RW	0h	OTP_CRC エラーの割り込み 0h=マスクなし 1h=マスクあり
5-1	予約済み	R	1Dh	予約済み
0	IM_VBATLIM	RW	1h	ゲイン・リミッタ・アクティブ割り込み 0h=マスクなし 1h=マスクあり

8.9.34 ページ=0x00 アドレス=0x3D [リセット=DDh]

ビット	フィールド	タイプ	リセット	説明
7	IM_PLL_CLK	RW	1h	内部 PLL 派生クロック・エラー割り込み 0h=マスクなし 1h=マスクあり

ビット	フィールド	タイプ	リセット	説明
6-0	予約済み	R	1h	予約済み

8.9.35 ページ=0x00 アドレス=0x40 [リセット=F6h]

ビット	フィールド	タイプ	リセット	説明
7	IM_TO105	RW	1h	105°Cを超える温度の割り込み。 0h=マスクなし 1h=マスクあり
6	IM_TO115	RW	1h	115°Cを超える温度の割り込み。 0h=マスクなし 1h=マスクあり
5	IM_TO125	RW	1h	125°Cを超える温度の割り込み。 0h=マスクなし 1h=マスクあり
4	IM_TO135	RW	1h	135°Cを超える温度の割り込み。 0h=マスクなし 1h=マスクあり
3	IM_LDO_UV	RW	0h	内部 PVDDL LDO の低電圧 0h=マスクなし 1h=マスクあり
2-1	予約済み	R	3h	予約済み
0	IM_PUVLO	RW	0h	PVDDH の低電圧 0h=マスクなし 1h=マスクあり

8.9.36 ページ=0x00 アドレス=0x41 [リセット=14h]

ビット	フィールド	タイプ	リセット	説明
7	IM_TDTH2	RW	0h	熱検出スレッシュホールド 2 0h=マスクなし 1h=マスクあり
6	IM_TDTH1	RW	0h	熱検出スレッシュホールド 1 0h=マスクなし 1h=マスクあり
5	IM_PVBT	RW	0h	PVDDH - PVDDL がスレッシュホールド未満 0h=マスクなし 1h=マスクあり
4	IM_BOPA	RW	1h	BOP アクティブ割り込み 0h=マスクなし 1h=マスクあり
3	IM_BOPD	RW	0h	BOP 検出割り込み 0h=マスクなし 1h=マスクあり
2	IM_BOPPD	RW	1h	BOP デバイスのパワーダウン開始 0h=マスクなし 1h=マスクあり
1-0	予約済み	R	0h	予約済み

8.9.37 ページ=0x00 アドレス=0x42 [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7	IL_BOPM	R	0h	BOP のミュートによる割り込み 0h=割り込みなし 1h=割り込みあり

ビット	フィールド	タイプ	リセット	説明
6	IL_BOPIH	R	0h	BOP の無限ホールドによる割り込み 0h=割り込みなし 1h=割り込みあり
5	IL_LIMMA	R	0h	リミッタの最大減衰による割り込み 0h=割り込みなし 1h=割り込みあり
4	IL_PBIP	R	0h	PVDDH がリミッタの変曲点を下回ったことによる割り込み 0h=割り込みなし 1h=割り込みあり
3	IL_LIMA	R	0h	リミッタのアクティブによる割り込み 0h=割り込みなし 1h=割り込みあり
2	IL_TDMCE	R	0h	TDM クロックのエラーによる割り込み 0h=割り込みなし 1h=割り込みあり - デバイスはシャットダウン中
1	IL_OC	R	0h	過電流エラーによる割り込み 0h=割り込みなし 1h=割り込みあり - デバイスはシャットダウン中
0	IL_OT	R	0h	過熱エラーによる割り込み 0h=割り込みなし 1h=割り込みあり - デバイスはシャットダウン中

8.9.38 ページ=0x00 アドレス=0x43 [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	IL_OTPCRC	R	0h	OTP CRC エラー・フラグによる割り込み 0h=割り込みなし 1h=割り込みあり - デバイスはシャットダウン中
5-3	予約済み	R	0h	予約済み
2	IL_NGA	R	0h	ノイズ・ゲート・アクティブ・フラグ 0h=ノイズ・ゲート未検出 1h=ノイズ・ゲート検出
1	予約済み	R	0h	予約済み
0	IL_VBATLIM	R	0h	ゲイン・リミッタ・アクティブによる割り込み 0h=割り込みなし 1h=割り込みあり

8.9.39 ページ=0x00 アドレス=0x44 [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7	IL_PLL_CLK	R	0h	内部 PLL クロック・エラー 0h=割り込みなし 1h=割り込みあり - デバイスはシャットダウン中
6	予約済み	R	0h	予約済み
5	IL_PVDDL_UV	R	0h	PVDDL の低電圧 0h=割り込みなし 1h=割り込みあり - デバイスはシャットダウン中
4-0	予約済み	R	0h	予約済み

8.9.40 ページ=0x00 アドレス=0x47 [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7	IL_TO105	R	0h	105°Cを超える温度 0b=割り込みなし 1b=割り込みあり
6	IL_TO115	R	0h	115°Cを超える温度 0b=割り込みなし 1b=割り込みあり
5	IL_TO125	R	0h	125°Cを超える温度 0b=割り込みなし 1b=割り込みあり
4	IL_TO135	R	0h	135°Cを超える温度 0b=割り込みなし 1b=割り込みあり
3	IL_LDO_UV	R	0h	PVDDL 内部 LDO 低電圧 0b=割り込みなし 1b=割り込みあり - デバイスはシャットダウン中
2-1	予約済み	R	0h	予約済み
0	IL_PUVLO	R	0h	PVDDH が低電圧 0b=割り込みなし 1b=割り込みあり - デバイスはシャットダウン中

8.9.41 ページ=0x00 アドレス=0x48 [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7	IL_TDTH2	R	0h	熱検出スレッシュホールド 2 0h=割り込みなし 1h=割り込みあり - デバイスはシャットダウン中
6	IL_TDTH1	R	0h	熱検出スレッシュホールド 1 0h=割り込みなし 1h=割り込みあり
5	IL_PVBT	R	0h	(PVDDH - PVDDL) がスレッシュホールドを下回る 0h=割り込みなし 1h=割り込みあり
4	IL_BOPA	R	0h	BOP アクティブ 0h=割り込みなし 1h=割り込みあり
3	IL_BOPD	R	0h	BOP が検出された 0h=割り込みなし 1h=割り込みあり
2-0	予約済み	R	0h	予約済み

8.9.42 ページ=0x00 アドレス=0x49 [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7	IR_BOPM	R	0h	BOP のミュートによる割り込み 0h=割り込みなし 1h=割り込みあり
6	IR_BOPIH	R	0h	BOP の無限ホールドによる割り込み 0h=割り込みなし 1h=割り込みあり
5	IR_LIMMA	R	0h	リミッタの最大減衰による割り込み 0h=割り込みなし 1h=割り込みあり

ビット	フィールド	タイプ	リセット	説明
4	IR_PBIP	R	0h	PVDDH がリミッタの変曲点を下回ったことによる割り込み 0h=割り込みなし 1h=割り込みあり
3	IR_LIMA	R	0h	リミッタのアクティブによる割り込み 0h=割り込みなし 1h=割り込みあり
2	IR_TDMCE	R	0h	TDM のクロック・エラーによる割り込み 0h=割り込みなし 1h=割り込みあり
1	IR_OC	R	0h	過電流による割り込み 0h=割り込みなし 1h=割り込みあり
0	IR_OT	R	0h	過熱による割り込み 0h=割り込みなし 1h=割り込みあり

8.9.43 ページ=0x00 アドレス=0x4A [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	IR_OTPCRC	R	0h	OTP CRC エラーによる割り込み 0h=割り込みなし 1h=割り込みあり
5-1	予約済み	R	00h	予約済み
0	IR_VBATLIM	R	0h	ゲイン・リミッタによる割り込み 0h=割り込みなし 1h=割り込みあり

8.9.44 ページ=0x00 アドレス=0x4B [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7	IR_PLL_CLK	R	0h	内部 PLL クロック・エラー 0h=割り込みなし 1h=割り込みあり
6-0	予約済み	R	00h	予約済み

8.9.45 ページ=0x00 アドレス=0x4F [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7	IR_TO105	R	0h	105°Cを超える温度 0h=割り込みなし 1h=割り込みあり
6	IR_TO115	R	0h	115°Cを超える温度 0h=割り込みなし 1h=割り込みあり
5	IR_TO125	R	0h	125°Cを超える温度 0h=割り込みなし 1h=割り込みあり
4	IR_TO135	R	0h	135°Cを超える温度 0h=割り込みなし 1h=割り込みあり
3	IR_LDO_UV	R	0h	内部 PVDDL LDO の低電圧 0h=割り込みなし 1h=割り込みあり

ビット	フィールド	タイプ	リセット	説明
2-1	予約済み	R	0h	予約済み
0	IR_PUVLO	R	0h	PVDDH の低電圧 0h=割り込みなし 1h=割り込みあり

8.9.46 ページ=0x00 アドレス=0x50 [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7	IR_TDTH2	R	0h	熱検出スレッシュホールド 2 0h=割り込みなし 1h=割り込みあり
6	IR_TDTH1	R	0h	熱検出スレッシュホールド 1 0h=割り込みなし 1h=割り込みあり
5	IR_PVBT	R	0h	(PVDDH - PVDDL) がスレッシュホールドを下回ることによる割り込み 0h=割り込みなし 1h=割り込みあり
4	IR_BOPA	R	0h	BOP アクティブ・フラグ 0h=割り込みなし 1h=割り込みあり
3	IR_BOPD	R	0h	BOP が検出された 0h=割り込みなし 1h=割り込みあり
2	IR_BOPPD	R	0h	BOP によりシャットダウンがトリガされたことによる割り込み 0h=割り込みなし 1h=割り込みあり
1-0	予約済み	R	0h	予約済み

8.9.47 ページ=0x00 アドレス=0x51 [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R	00h	予約済み
2	IR_TDMCEIR	R	0h	TDM クロック・エラー:無効な SBCLK 比またはサンプリング・レート 0h=割り込みなし 1h=割り込みあり
1	IR_TDMCEFC	R	0h	TDM クロック・エラー:サンプリング・レートが動的に変更された 0h=割り込みなし 1h=割り込みあり
0	IR_TDMCERC	R	0h	TDM クロック・エラー:SBCLK と FSYNC の比が動的に変更された 0h=割り込みなし 1h=割り込みあり

8.9.48 ページ=0x00 アドレス=0x52 [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-0	PVDDL_CN[V[11:4]	R	00h	SAR ADC PVDDL 変換の MSB を返す $8 \times \{\text{hex2dec}(\text{PVDDL_CN}[11:0])\} / 4096$

8.9.49 ページ=0x00 アドレス=0x53 [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-4	PVDDL_CN[V[11:4]	R	0h	SAR ADC PVDDL 変換の LSB を返す $8 \times \{\text{hex2dec}(\text{PVDDL_CN}[11:0])\} / 4096$

ビット	フィールド	タイプ	リセット	説明
3-0	予約済み	R	0h	予約済み

8.9.50 ページ=0x00 アドレス=0x54 [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-0	PVDDH_CNV[11:4]	R	00h	SAR PVDDH 変換の MSB を返す $23 * \{\text{hex2dec}(\text{PVDDH_CNV}[11:0])\} / 4096$

8.9.51 ページ=0x00 アドレス=0x55 [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-4	PVDDH_CNV[3:0]	R	0h	SAR PVDDH 変換の LSB を返す $23 * \{\text{hex2dec}(\text{PVDDH_CNV}[11:0])\} / 4096$
3-0	予約済み	R	0h	予約済み

8.9.52 ページ=0x00 アドレス=0x56 [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-0	TEMP_CNV[7:0]	R	00h	SAR 温度センサの変換 $\{\text{hex2dec}(\text{TEMP_CNV}[7:0])\} - 93$ を返す

8.9.53 ページ=0x00 アドレス=0x5C [リセット=19h]

ビット	フィールド	タイプ	リセット	説明
7	CLK_PWRUD	RW	0h	クロック・ベースのデバイスのパワーアップ / パワーダウン機能 0h=ディセーブル 1h=イネーブル
6	DIS_CLK_HALT	RW	0h	クロック停止タイマ 0h=クロック誤差の検出後に、クロック停止検出をイネーブルする 1h=クロック誤差の検出後に、クロック停止検出をディセーブルする
5-3	CLK_HALT_TIMER[2:0]	RW	3h	クロック停止タイマの値 0h = 820μs 1h = 3.27ms 2h = 26.21ms 3h = 52.42ms (デフォルト) 4h = 104.85ms 5h = 209.71ms 6h = 419.43ms 7h = 838.86ms
2	IRQZ_CLR	RW	0h	割り込みラッチ・レジスタのクリア 0h=クリアしない 1h=クリアする (セルフ・クリア・ビット)
1-0	IRQZ_CFG[1:0]	RW	1h	IRQZ 割り込み構成。IRQZ のアサート条件 0h=マスクされていない状態でのライブ割り込み時 1h=マスクされていない状態でのラッチ割り込み時 (デフォルト) 2h=マスクされていない状態でのライブ割り込みイベント時に 1 回だけ 2~4ms 3h=マスクされていない状態でのラッチ割り込み時の 4ms ごとに 2~4ms

8.9.54 ページ=0x00 アドレス=0x5D [リセット=80h]

ビット	フィールド	タイプ	リセット	説明
7	IRQZ_POL	RW	1h	IRQZ ピンの極性 0h=アクティブ High 1h アクティブ Low

ビット	フィールド	タイプ	リセット	説明
6-0	予約済み	R	00h	予約済み

8.9.55 ページ=0x00 アドレス=0x60 [リセット=0Dh]

ビット	フィールド	タイプ	リセット	説明
7-2	SBLK_FS_RATIO[5:0]	RW	3h	AUTO_RATE=1 (ディセーブル) のときの SBCLK と FS との比率。 表 8-9 を参照してください。
1-0	予約済み	R	1h	予約済み

表 8-9. SBCLK 対 FSYNC 比 (AUTO_RATE=1)

00h = 16	01h = 24	02h = 32	03h = 48 (デフォルト)	04h = 64
05h = 96	06h = 128	07h = 192	08h = 256	09h = 384
0Ah = 512	0Bh = 125	0Ch = 250	0Dh = 500	0Eh~3Fh=予約済み

8.9.56 ページ=0x00 アドレス=0x63 [リセット=48]

ビット	フィールド	タイプ	リセット	説明
7	IDLE_IND	RW	0h	アイドル・チャネルの最適化 0h = 15μH 以上のインダクタに使用 1h = 5μH のインダクタに使用
6-0	予約済み	R	48h	予約済み

8.9.57 ページ=0x00 アドレス=0x65 [リセット=08]

ビット	フィールド	タイプ	リセット	説明
7	PWR_LIM_SRC	RW	0h	リミッタ電源 0h = PVDDL 1h = PVDDH
6-0	予約済み	R	08h	予約済み

8.9.58 ページ=0x00 アドレス=0x67 [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	00h	予約済み
1-0	IDCH_HYST[1:0]	RW	0h	アイドル・チャネル・ヒステリシス・タイマ 0h = 50ms (デフォルト) 1h = 100ms 2h = 200ms 3h = 1000ms *サンプリング・レート $f_s < 48\text{ksps}$ の場合、上記の値を $48/f_s$ で乗算します

8.9.59 ページ=0x00 アドレス=0x68 [リセット=30h]

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	予約済み
5-0	FS_RATIO[5:0]	RW	30h	検出された SBCLK と FSYNK の比率。表 8-10 を参照してください。

表 8-10. 検出された SBCLK と FSYNK の比率

00h = 16	01h = 24	02h = 32	03h = 48	04h = 64
05h = 96	06h = 128	07h = 192	08h = 256	09h = 384

表 8-10. 検出された SBCLK と FSYNC の比率 (continued)

0Ah = 512	0Bh = 125	0Ch = 250	0Dh = 500	0Eh~3Fh=予約済み
-----------	-----------	-----------	-----------	--------------

8.9.60 ページ=0x00 アドレス=0x6A [リセット=12h]

ビット	フィールド	タイプ	リセット	説明
7-6	CDS_DLY[1:0]	RW	0h	入力信号に対する Y ブリッジ・スイッチングの遅延 ($1/f_s$)。表 8-11 を参照してください。
5-4	LVS_DLY[1:0]	RW	1h	Class-H がディセーブルのときの、入力信号に対する PWM_CTRL ピン信号伝送の遅延 ($1/f_s$)。表 8-12 を参照してください。
3-0	LVS_RTH[3:0]	RW	2h	低電圧信号伝送の相対スレッショルド (PVDDL 電圧からのヘッドルーム)。 0h = 0.5V 1h = 0.6V 2h = 0.7V ... Eh = 1.9V Fh = 2V

表 8-11. CDS 遅延 ($1/f_s$)

	48ksps		96ksps	
	NG イネーブル	NG ディセーブル	NG イネーブル	NG ディセーブル
0h (デフォルト)	8.1	6.1	12.6	9.6
1h	7.1	5.1	10.6	7.6
2h	6.1	4.1	8.5	5.6
3h	5.6	3.6	7.6	4.6

表 8-12. LVS_Delay ($1/f_s$)

	48ksps		96ksps	
	NG イネーブル	NG ディセーブル	NG イネーブル	NG ディセーブル
0h	7.8	5.8	12.1	9.1
1h (デフォルト)	6.8	4.8	10.1	7.1
2h	5.8	3.8	8.1	5.1
3h	5.1	3.1	6.6	3.6

8.9.61 ページ=0x00 アドレス=0x6B [リセット=7Bh]

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	CNV_PVDDL	RW	1h	BOP ソースが PVDDH のとき PVDDL を変換 0h = PVDDL 変換なし 1h = PVDDL を変換
5-3	FS_RATE[2:0]	RW	7h	TDM バスの検出サンプル・レート 0h~3h=予約済み 4h = 44.1/48kHz 5h = 88.2/96kHz 6h=予約済み 7h=エラー状態 (デフォルト)
2	NGFR_EN	RW	0h	ノイズ・ゲートの高分解能レジスタ・モード 0h=ディセーブル 1h=イネーブル
1-0	予約済み	R	3h	予約済み

8.9.62 ページ=0x00 アドレス=0x6C～0x6E [リセット=00001Ah]

ビット	フィールド	タイプ	リセット	説明
23-0	NGFR_LVL[23:0]	RW	00001Ah	ノイズ・ゲート・スレッショルドをレベル NGLV (dBFS) に設定する dec2hex[round(10^(NGLV/20)*2^31)]

8.9.63 ページ=0x00 アドレス=0x6F [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-0	NGFR_HYST[18:11]	RW	0h	ノイズ・ゲート・ヒステリシスを値 NGHYS (ms) に設定する dec2bin[(NGHYS*f _s), 19] f _s = サンプリング・レート (kHz) 1ms 以上に設定することを推奨します。

8.9.64 ページ=0x00 アドレス=0x70 [リセット=96h]

ビット	フィールド	タイプ	リセット	説明
7-0	NGFR_HYST[10:3]	RW	96h	ノイズ・ゲート・ヒステリシスを値 NGHYS (ms) に設定する dec2bin[(NGHYS*f _s), 19] f _s = サンプリング・レート (kHz)

8.9.65 ページ=0x00 アドレス=0x71 [リセット=02h]

ビット	フィールド	タイプ	リセット	説明
7	CLASSH_EN	RW	0h	Class-H コントローラ 0h=ディセーブル (デフォルト) 1h=イネーブル
6	PWM_POL	RW	0h	PWM 極性の選択 0h=通常 1h=反転
5-0	PVDDH_UV_TH[5:0]	RW	02h	PVDDH の低電圧スレッショルド 00h = 1.753V 01h = 2.09V 02h = 2.428V (デフォルト) 3Fh = 23V

8.9.66 ページ=0x00 アドレス=0x73 [リセット=08h]

ビット	フィールド	タイプ	リセット	説明
7-6	DEM_CTRL[1:0]	RW	0h	DAC の MSB と LSB DEM のイネーブル / ディセーブル制御 0h = MSB イネーブル、LSB=イネーブル (デフォルト) 1h = MSB イネーブル、LSB=ディセーブル 2h = MSB ディセーブル、LSB=イネーブル 3h = MSB ディセーブル、LSB=ディセーブル - 超音波のユースケースに推奨
5	DIS_DITH	RW	0h	DAC MSB 変調器のディザ制御 0b=イネーブル 1b=ディセーブル - 超音波のユースケースに推奨

ビット	フィールド	タイプ	リセット	説明
4-0	LIM_HDR[4:0]	RW	08h	リミッタのヘッドルーム 00h = -20% 01h = -17.5% 02h = -15% 0Fh = 17.5% 10h = 20% 11h~1F=予約済み

8.9.67 ページ=0x00 アドレス=0x77 [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7	SPC_PD	RW	0h	SPI クロック・ピン (NC_SCLK) の弱いプルダウン 0h=ディセーブル 1h=イネーブル
6	SPM_PD	RW	0h	SPI データ出力ピン (NC_SDO) の弱いプルダウン 0h=ディセーブル 1h=イネーブル
5-0	予約済み	R	00h	予約済み

8.9.68 ページ=0x00 アドレス=0x7A [リセット=60h]

ビット	フィールド	タイプ	リセット	説明
7	予約済み	RW	0h	予約済み
6	PWM_CTRL	RW	1h	PWM_CTRL ピンの構成 0h=プッシュプル 1h=オープン・ドレイン
5-0	予約済み	RW	20h	予約済み

8.9.69 ページ=0x00 アドレス=0x7E [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-0	I2C_CKSUM[7:0]	RW	00h	I ² C チェックサムを返します。このレジスタに書き込むと、チェックサムが書き込まれた値にリセットされます。このレジスタは、すべてのブックとページ上にある他のレジスタに書き込むたびに更新されます。

8.9.70 ページ=0x00 アドレス=0x7F [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-0	BOOK[7:0]	RW	0h	デバイスのブックを設定します。 00h=ブック 0 01h=ブック 1 ... FFh=ブック 255

8.9.71 ページ=0x01 アドレス=0x17 [リセット=D0h]

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R	6h	予約済み
4	CMP_HYST_LP	RW	1h	低消費電力の Class-D コンパレータに対する依存 0h=ディセーブル 1h=イネーブル
3	SAR_IDLE	RW	0h	SAR へのアイドル・チャネルの相互動作 0h=イネーブル 1h=ディセーブル

ビット	フィールド	タイプ	リセット	説明
2-0	予約済み	R	0h	予約済み

8.9.72 ページ=0x01 アドレス=0x19 [リセット=60h]

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	EN_LLSR	RW	1h	変調 0b = LSR 1b=リニア LSR
5-0	予約済み	R	20h	予約済み

8.9.73 ページ = 0x01 アドレス = 0x28 [リセット = 00h]

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	予約済み
5-4	EDGE_CTRL[1:0]	RW	0h	出力スループレート 0h = PVDD 範囲に基づいてスループレートを自動調整 (デフォルト) 1h = 予約済み 2h = 予約済み 3h = PVDDH の全範囲で低速スループレート
3-0	予約済み	R	0h	予約済み

8.9.74 ページ = 0x01 アドレス = 0x35 [リセット = 75h]

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	1Dh	予約済み
1-0	BIAS_NOISE[1:0]	RW	1h	ノイズを改善するための設定

8.9.75 ページ=0x01 アドレス=0x36 [リセット=08h]

ビット	フィールド	タイプ	リセット	説明
7-6	INT_LDO[1:0]	RW	0h	内部 LDO 設定 0h=ユーザーはページ 0x00、レジスタ 0x04 のビット PVDDL_MODE (デフォルト) を使用してデバイスをプログラム可能 1h=外部 PVDDL を使用 2h=PVDDL 電源には内部 LDO を使用 3h=予約済み
5-0	予約済み	R	08h	予約済み

8.9.76 ページ=0x01 アドレス=0x3D [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-0	SDOUT_HIZ1[7:0]	RW	00h	スロット 7 から 0 に強制的に「0」の出力制御を設定します。SBLK 対 FSYNC の比によってスロットが有効でない場合、このレジスタはゼロとしてプログラムされます。

8.9.77 ページ=0x01 アドレス=0x3E [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-0	SDOUT_HIZ2[7:0]	RW	00h	スロット 15 から 8 に強制的に「0」の出力制御を設定します。SBLK 対 FSYNC の比によってスロットが有効でない場合、このレジスタはゼロとしてプログラムされます。

8.9.78 ページ=0x01 アドレス=0x3F [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-0	SDOUT_HIZ3[7:0]	RW	00h	スロット 23 から 16 に強制的に「0」の出力制御を設定します。SBLK 対 FSYNC の比によってスロットが有効でない場合、このレジスタはゼロとしてプログラムされます。

8.9.79 ページ=0x01 アドレス=0x40 [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-0	SDOUT_HIZ4[7:0]	RW	00h	スロット 31 から 24 に強制的に「0」の出力制御を設定します。SBLK 対 FSYNC の比によってスロットが有効でない場合、このレジスタはゼロとしてプログラムされます。

8.9.80 ページ=0x01 アドレス=0x41 [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-0	SDOUT_HIZ5[7:0]	RW	00h	スロット 39 から 32 に強制的に「0」の出力制御を設定します。SBLK 対 FSYNC の比によってスロットが有効でない場合、このレジスタはゼロとしてプログラムされます。

8.9.81 ページ=0x01 アドレス=0x42 [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-0	SDOUT_HIZ6[7:0]	RW	00h	スロット 47 から 40 に強制的に「0」の出力制御を設定します。SBLK 対 FSYNC の比によってスロットが有効でない場合、このレジスタはゼロとしてプログラムされます。

8.9.82 ページ=0x01 アドレス=0x43 [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-0	SDOUT_HIZ7[7:0]	RW	00h	スロット 55 から 48 に強制的に「0」の出力制御を設定します。SBLK 対 FSYNC の比によってスロットが有効でない場合、このレジスタはゼロとしてプログラムされます。

8.9.83 ページ=0x01 アドレス=0x44 [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-0	SDOUT_HIZ8[7:0]	RW	00h	スロット 63 から 56 に強制的に「0」の出力制御を設定します。SBLK 対 FSYNC の比によってスロットが有効でない場合、このレジスタはゼロとしてプログラムされます。

8.9.84 ページ=0x01 アドレス=0x45 [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7	SDOUT_FCNT	RW	0h	未使用のスロットに「0」を送信する際の制御 0h=すべての未使用スロットに「ハイ・インピーダンス」を送信 1h=未使用スロットは、レジスタ 0x3D～0x44 の設定に従い「0」を送信
6-0	予約済み	R	00h	予約済み

8.9.85 ページ=0x01 アドレス=0x47 [リセット=AB]

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	2Ah	予約済み

ビット	フィールド	タイプ	リセット	説明
1	TG_TH2	RW	1h	サーマル・スレッショルド 2 0h=ディセーブル 1h=イネーブル
0	TG_TH1	RW	1h	サーマル・スレッショルド 1 0h=ディセーブル 1h=イネーブル

8.9.86 ページ=0x01 アドレス=0x4C [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	0h	予約済み
1-0	ADC_FLT[1:0]	RW	0h	PVDDL/PVDDH SAR のフィルタ周波数 0h=ディセーブル (デフォルト) 1h = 300kHz 2h = 150kHz 3h = 50kHz

8.9.87 ページ=0x04 アドレス=0x08~0x0B [リセット=034A516Ch]

ビット	フィールド	タイプ	リセット	説明
31-0	DVC_SLEW[31:0]	RW	034A516Ch	ボリューム制御のスルーレートを SR(s) 値に設定します: $\text{dec2hex}(\text{round} \{ (1 - \exp[-1/(0.2 \cdot \text{fs} \cdot \text{SR})]) \cdot 2^{31} \})$ デフォルトの SR= 28μs。

8.9.88 ページ=0x04 アドレス=0x10~0x13 [リセット=34000000h]

ビット	フィールド	タイプ	リセット	説明
31-0	LIM_MAX_TH[31:0]	RW	34000000h	リミッタの最大スレッショルドを MAX_TH(V) 値に設定します: $\text{dec2hex}(\text{round}(\text{MAX_TH} \cdot 2^{26}))$ デフォルトの MAX_TH = 13V

8.9.89 ページ=0x04 アドレス=0x14~0x17 [リセット=14000000h]

ビット	フィールド	タイプ	リセット	説明
31-0	LIM_MIN_TH[31:0]	RW	14000000h	リミッタの最小スレッショルドを MIN_TH(V) 値に設定します: $\text{dec2hex}(\text{round}(\text{MIN_TH} \cdot 2^{26}))$ デフォルトの MIN_TH= 5V

8.9.90 ページ=0x04 アドレス=0x18~0x1B [リセット=0D333333h]

ビット	フィールド	タイプ	リセット	説明
31-0	LIM_INF[31:0]	RW	0D333333h	リミッタの変曲点を INF(V) 値に設定します: $\text{dec2hex}(\text{round}(\text{INF} \cdot 2^{26}))$ デフォルトの INF= 3.3V

8.9.91 ページ=0x04 アドレス=0x1C~0x1F [リセット=10000000h]

ビット	フィールド	タイプ	リセット	説明
31-0	LIM_SLP[31:0]	RW	10000000h	リミッタの勾配を SLP(V/V) 値に設定します: $\text{dec2hex}(\text{round}(\text{SLP} \cdot 2^{28}))$ デフォルトの SLP= 1V/V

8.9.92 ページ=0x04 アドレス=0x20~0x23 [リセット=0B999999h]

ビット	フィールド	タイプ	リセット	説明
31-0	BOP_TH[31:0]	RW	0B999999h	BOP スレッシュホールドを BOP_TH(V) 値に設定します: dec2hex[round(BOP_TH*2^26)] デフォルトの BOP_TH= 2.9V

8.9.93 ページ=0x04 アドレス=0x24~0x27 [リセット=0ACCCCDh]

ビット	フィールド	タイプ	リセット	説明
31-0	BOP_TH[31:0]	RW	0ACCCCDh	BOP シャットダウン・スレッシュホールドを BOPSD_TH(V) 値に設定します: dec2hex[round(BOPSD_TH*2^26)] デフォルトの BOPSD_TH= 2.7V。

8.9.94 ページ=0x04 アドレス=0x40~0x43 [リセット=721482C0h]

ビット	フィールド	タイプ	リセット	説明
31-0	TF_SLP[31:0]	RW	721482C0h	サーマル・フォールドバック・リミッタの勾配を TF_SLP(dB/°C) 値に設定します: dec2hex[round((10^TF_SLP/20)*2^31)] デフォルトの TF_SLP= -1dB/°C。

8.9.95 ページ=0x04 アドレス=0x44~0x47 [リセット=00000258h]

ビット	フィールド	タイプ	リセット	説明
31-0	TF_HLD[31:0]	RW	00000258h	サーマル・フォールドバック・リミッタのホールド・カウントを TF_HLD(s) 値に設定します: dec2hex[round(TF_HLD*f _s /8)], f _s ≤ 48kHz dec2hex[round(TF_HLD*6000)], f _s > 48kHz

8.9.96 ページ=0x04 アドレス=0x48~0x4B [リセット=40BDB7C0h]

ビット	フィールド	タイプ	リセット	説明
31-0	TF_RLS[31:0]	RW	40BDB7C0h	サーマル・フォールドバック・リミッタのリリース・レートを TF_RLS(dB / サンプル) 値に設定します: dec2hex[round(10^(8*TF_RLS/20)*2^30)], f _s ≤ 48kHz dec2hex[round(10^(16*TF_RLS/20)*2^30)], f _s > 48kHz

8.9.97 ページ=0x04 アドレス=0x4C~0x4F [リセット=3982607Fh]

ビット	フィールド	タイプ	リセット	説明
31-0	TF_TMP_TH[31:0]	RW	3982607Fh	サーマル・フォールドバック・リミッタの温度スレッシュホールドを TF_TH(°C) 値に設定します: dec2hex[round(TF_TH*2^23)] デフォルトの TF_TH = 115°C。

8.9.98 ページ=0x04 アドレス=0x50~0x53 [リセット=2D6A866Fh]

ビット	フィールド	タイプ	リセット	説明
31-0	TF_MAX_ATN[31:0]	RW	2D6A866Fh	サーマル・フォールドバック・リミッタの最大ゲイン低減を TF_MAXA(dB) 値に設定します: dec2hex[round($10^{(TF_MAXA/20)*2^{31}}$)] デフォルトの TF_MAXA = -9dB。

8.9.99 ページ=0x04 アドレス=0x54~0x57 [リセット=7C5E4E02h]

ビット	フィールド	タイプ	リセット	説明
31-0	TF_ATK[31:0]	RW	7C5E4E02h	サーマル・フォールドバック・リミッタのアタック・レートを TF_ATK (dB / サンプル) 値に設定します: dec2hex[round($10^{(8*TF_ATK/20)*2^{31}}$)], $f_s \leq 48\text{kHz}$ dec2hex[round($10^{(16*TF_ATK/20)*2^{31}}$)], $f_s > 48\text{kHz}$

8.9.100 ページ=0x05 アドレス=0x14~0x17 [リセット=6CCCCCCCCh]

ビット	フィールド	タイプ	リセット	説明
31-0	CLASSD_EFF[31:0]	RW	6CCCCCCCCh	Class-D の Efficiencyset から EFF(%) 値に変換: dec2hex[round (EFF*2 ³¹)]

8.9.101 ページ=0x05 アドレス=0x1C~0x1F [リセット=4CCCCCCCCh]

ビット	フィールド	タイプ	リセット	説明
31-0	INF_FCT[31:0]	RW	4CCCCCCCCh	低電圧信号伝送のインフレ係数を IF に設定: dec2hex[round(IF*2 ³⁰)]

8.9.102 ページ=0x05 アドレス=0x20~0x23 [リセット=00000180h]

ビット	フィールド	タイプ	リセット	説明
31-0	MAX_HLD_CLH[31:0]	RW	00000180h	Class-H のホールド時間を HT (s) に設定: dec2hex[round(HT*f _s)], $f_s \leq 48\text{ksps}$ dec2hex[round(HT*48kHz)], $f_s > 48\text{ksps}$

8.9.103 ページ=0x05 アドレス=0x24~0x27 [リセット=00000000h]

ビット	フィールド	タイプ	リセット	説明
31-0	RLS_WD[31:0]	RW	00000000h	バック・ドアがイネーブルのとき、Class-H から RWT への解放枠時間 (s) を設定 (セクション 8.9.125): dec2hex[round(RWT*f _s)], $f_s \leq 48\text{ksps}$ dec2hex[round(RWT*48kHz)], $f_s > 48\text{ksps}$

8.9.104 ページ=0x05 アドレス=0x28~0x2B [リセット=79999999h]

ビット	フィールド	タイプ	リセット	説明
31-0	PHVD[31:0]	RW	79999999h	Class-H のピーク・ホールド値の減衰を PHV (減衰率 / サンプル) に設定: dec2hex[round(PHV*2 ³¹)]

8.9.105 ページ=0x05 アドレス=0x2C~0x2F [リセット=0538EF34h]

ビット	フィールド	タイプ	リセット	説明
31-0	AL_SMTH[31:0]	RW	0538EF34h	Class-H の構成時定数 AS (s): dec2hex[round([1-exp(-1/AS*f _s)]*2 ³¹)], f _s ≤ 48ksps dec2hex[round([1-exp(-1/AS*48kHz)]*2 ³¹)], f _s > 48ksps

8.9.106 ページ=0x05 アドレス=0x30~0x33 [リセット=40000000h]

ビット	フィールド	タイプ	リセット	説明
31-0	NF_FCT_H[31:0]	RW	40000000h	インフレ係数 Class-H を IF に設定: dec2hex[round(IF*2 ³⁰)]

8.9.107 ページ=0x05 アドレス=0x34~0x37 [リセット=65AC8C2Fh]

ビット	フィールド	タイプ	リセット	説明
31-0	CLH_ST1[31:0]	RW	65AC8C2F _h	Class-H のステップ・レベル 1 を ST1 に設定: dec2hex[round(ST1*2 ³¹)] ST1 = margin*(Vm + (15/16)*(VM-Vm))/15.8489 ここで VM=最大昇圧出力 Vm=最小昇圧出力 margin = Class-D の効率

8.9.108 ページ=0x05 アドレス=0x38~0x3B [リセット=50C335D3h]

ビット	フィールド	タイプ	リセット	説明
31-0	CLH_ST2[31:0]	RW	50C335D3 _h	Class-H のステップ・レベル 2 を ST2 に設定: dec2hex[round(ST2*2 ³¹)] ST2 = margin*(Vm + (14/16)*(VM-Vm))/15.8489

8.9.109 ページ=0x05 アドレス=0x3C~0x3F [リセット=4026E73Ch]

ビット	フィールド	タイプ	リセット	説明
31-0	CLH_ST3[31:0]	RW	4026E73Ch	Class-H のステップ・レベル 3 を ST3 に設定: dec2hex[round(ST3*2 ³¹)] ST3 = margin*(Vm + (13/16)*(VM-Vm))/15.8489

8.9.110 ページ=0x05 アドレス=0x40~0x43 [リセット=32F52CFEh]

ビット	フィールド	タイプ	リセット	説明
31-0	CLH_ST4[31:0]	RW	32F52CFE _h	Class-H のステップ・レベル 4 を ST4 に設定: dec2hex[round(ST4*2 ³¹)] ST4 = margin*(Vm + (12/16)*(VM-Vm))/15.8489

8.9.111 ページ=0x05 アドレス=0x44~0x47 [リセット=287A26C4h]

ビット	フィールド	タイプ	リセット	説明
31-0	CLH_ST5[31:0]	RW	287A26C4h	Class-H のステップ・レベル 5 を ST5 に設定: dec2hex[round(ST5*2 ³¹)] ST5 = margin*(Vm + (11/16)*(VM-Vm))/15.8489

8.9.112 ページ=0x05 アドレス=0x48~0x4B [リセット=2026F30Fh]

ビット	フィールド	タイプ	リセット	説明
31-0	CLH_ST6[31:0]	RW	2026F30Fh	Class-H のステップ・レベル 6 を ST6 に設定: dec2hex[round(ST6*2^31)] ST6 = margin*(Vm + (10/16)*(VM-Vm))/15.8489

8.9.113 ページ=0x05 アドレス=0x4C~0x4F [リセット=198A1357h]

ビット	フィールド	タイプ	リセット	説明
31-0	CLH_ST7[31:0]	RW	198A1357h	Class-H のステップ・レベル 7 を ST7 に設定: dec2hex[round(ST7*2^31)] ST7 = margin*(Vm + (9/16)*(VM-Vm))/15.8489

8.9.114 ページ=0x05 アドレス=0x50~0x53 [リセット=144960C5h]

ビット	フィールド	タイプ	リセット	説明
31-0	CLH_ST8[31:0]	RW	144960C5h	Class-H のステップ・レベル 8 を ST8 に設定: dec2hex[round(ST8*2^31)] ST8 = margin*(Vm + (8/16)*(VM-Vm))/15.8489

8.9.115 ページ=0x05 アドレス=0x54~0x57 [リセット=101D3F2Dh]

ビット	フィールド	タイプ	リセット	説明
31-0	CLH_ST9[31:0]	RW	101D3F2Dh	Class-H のステップ・レベル 9 を ST9 に設定: dec2hex[round(ST9*2^31)] ST9 = margin*(Vm + (7/16)*(VM-Vm))/15.8489

8.9.116 ページ=0x05 アドレス=0x58~0x5B [リセット=0CCCCCCh]

ビット	フィールド	タイプ	リセット	説明
31-0	CLH_ST10[31:0]	RW	0CCCCCCh	Class-H のステップ・レベル 10 を ST10 に設定: dec2hex[round(ST10*2^31)] ST10 = margin*(Vm + (6/16)*(VM-Vm))/15.8489

8.9.117 ページ=0x05 アドレス=0x5C~0x5F [リセット=0A2AADD1h]

ビット	フィールド	タイプ	リセット	説明
31-0	CLH_ST11[31:0]	RW	0A2AADD1h	Class-H のステップ・レベル 11 を ST11 に設定: dec2hex[round(ST11*2^31)] ST11 = margin*(Vm + (5/16)*(VM-Vm))/15.8489

8.9.118 ページ=0x05 アドレス=0x60~0x63 [リセット=08138561h]

ビット	フィールド	タイプ	リセット	説明
31-0	CLH_ST12[31:0]	RW	08138561h	Class-H のステップ・レベル 12 を ST12 に設定: dec2hex[round(ST12*2^31)] ST12 = margin*(Vm + (4/16)*(VM-Vm))/15.8489

8.9.119 ページ=0x05 アドレス=0x64～0x67 [リセット=081385615h]

ビット	フィールド	タイプ	リセット	説明
31-0	CLH_ST13[31:0]	RW	081385615h	Class-H のステップ・レベル 13 を ST13 に設定: dec2hex[round(ST13*2^31)] ST13 = margin*(Vm + (3/16)*(VM-Vm))/15.8489

8.9.120 ページ=0x05 アドレス=0x68～0x6B [リセット=08138561h]

ビット	フィールド	タイプ	リセット	説明
31-0	CLH_ST14[31:0]	RW	08138561h	Class-H のステップ・レベル 14 を ST14 に設定: dec2hex[round(ST14*2^31)] ST14 = margin*(Vm + (2/16)*(VM-Vm))/15.8489

8.9.121 ページ=0x05 アドレス=0x6C～0x6F [リセット=08138561h]

ビット	フィールド	タイプ	リセット	説明
31-0	CLH_ST15[31:0]	RW	08138561h	Class-H のステップ・レベル 15 を ST15 に設定: dec2hex[round(ST15*2^31)] ST15 = margin*(Vm + (1/16)*(VM-Vm))/15.8489

8.9.122 ページ=0x05 アドレス=0x70～0x73 [リセット=08138561h]

ビット	フィールド	タイプ	リセット	説明
31-0	CLH_ST16[31:0]	RW	08138561h	Class-H のステップ・レベル 16 を ST16 に設定: dec2hex[round(ST16*2^31)] ST16 = margin*Vm/15.8489

8.9.123 ページ=0x05 アドレス=0x74～0x77 [リセット=000000BFh]

ビット	フィールド	タイプ	リセット	説明
31-0	CLH_DLY[31:0]	RW	000000BFh	Class-H 遅延 HDLY (s) dec2hex[round(HDLY*fs) - 1] *4ms 未満にします

8.9.124 ページ=0x05 アドレス=0x78～0x7B [リセット=0000000Eh]

ビット	フィールド	タイプ	リセット	説明
31-0	LVSPR_DLY[31:0]	RW	0000000Eh	LVS の遅延を LVDL (s) に設定 dec2hex[round(LVDL * 96k) - 1]、範囲: 0～15、 $f_s = 48\text{kHz}/96\text{kHz}$ の場合 round(LVDL * 2*f _s) - 1、範囲: 0～15、 $f_s < 48\text{k}$ の場合

8.9.125 ページ=0x05 アドレス=0x7C～0x7F [リセット=66676869h]

ビット	フィールド	タイプ	リセット	説明
31-0	BKD_EN[31:0]	RW	66676869h	バック・ドアは、0 でない任意の値の場合に有効になります

8.9.126 ページ=0x06 アドレス=0x08～0x0B [リセット=00000000h]

ビット	フィールド	タイプ	リセット	説明
31-0	WVSH_08_01[31:0]	RW	00000000h	8 ステップの Class-H デューティ・サイクルは 0% です

8.9.127 ページ=0x06 アドレス=0x0C~0x0F [リセット=80800000h]

ビット	フィールド	タイプ	リセット	説明
31-0	WVSH_08_02[31:0]	RW	80800000h	8 ステップの Class-H デューティ・サイクルは 12.5% です

8.9.128 ページ=0x06 アドレス=0x10~0x13 [リセット=C0C00000h]

ビット	フィールド	タイプ	リセット	説明
31-0	WVSH_08_03[31:0]	RW	C0C00000h	8 ステップの Class-H デューティ・サイクルは 25% です

8.9.129 ページ=0x06 アドレス=0x14~0x17 [リセット=E0E00000h]

ビット	フィールド	タイプ	リセット	説明
31-0	WVSH_08_04[31:0]	RW	E0E00000h	8 ステップの Class-H デューティ・サイクルは 37.5% です

8.9.130 ページ=0x06 アドレス=0x18~0x1B [リセット=F0F00000h]

ビット	フィールド	タイプ	リセット	説明
31-0	WVSH_08_05[31:0]	RW	F0F00000h	8 ステップの Class-H デューティ・サイクルは 50% です

8.9.131 ページ=0x06 アドレス=0x1C~0x1F [リセット=F8F80000h]

ビット	フィールド	タイプ	リセット	説明
31-0	WVSH_08_06[31:0]	RW	F8F80000h	8 ステップの Class-H デューティ・サイクルは 62.5% です

8.9.132 ページ=0x06 アドレス=0x20~0x23 [リセット=FCFC0000h]

ビット	フィールド	タイプ	リセット	説明
31-0	WVSH_08_07[31:0]	RW	FCFC0000h	8 ステップの Class-H デューティ・サイクルは 75% です

8.9.133 ページ=0x06 アドレス=0x24~0x27 [リセット=FCFC0000h]

ビット	フィールド	タイプ	リセット	説明
31-0	WVSH_08_08[31:0]	RW	FCFC0000h	8 ステップの Class-H デューティ・サイクルは 75% です 87.5% の場合、レジスタを FEFE0000h に設定します

8.9.134 ページ=0x06 アドレス=0x28~0x2B [リセット=FCFC0000h]

ビット	フィールド	タイプ	リセット	説明
31-0	WVSH_08_09[31:0]	RW	FCFC0000h	8 ステップの Class-H デューティ・サイクルは 75% です 100% の場合、レジスタを FFFF0000h に設定します

8.9.135 ページ=0x06 アドレス=0x2C~0x2F [リセット=00000000h]

ビット	フィールド	タイプ	リセット	説明
31-0	WVSH_16_01[31:0]	RW	00000000h	16 ステップの Class-H デューティ・サイクルは 0% です

8.9.136 ページ=0x06 アドレス=0x30~0x33 [リセット=80000000h]

ビット	フィールド	タイプ	リセット	説明
31-0	WVSH_16_02[31:0]	RW	80000000h	16 ステップの Class-H デューティ・サイクルは 6.25% です

8.9.137 ページ=0x06 アドレス=0x34~0x37 [リセット=C0000000h]

ビット	フィールド	タイプ	リセット	説明
31-0	WVSH_16_03[31:0]	RW	C0000000h	16 ステップの Class-H デューティ・サイクルは 12.5% です

8.9.138 ページ=0x06 アドレス=0x38~0x3B [リセット=E0000000h]

ビット	フィールド	タイプ	リセット	説明
31-0	WVSH_08_04[31:0]	RW	E0000000h	16 ステップの Class-H デューティ・サイクルは 18.75% です

8.9.139 ページ=0x06 アドレス=0x3C~0x3F [リセット=F0000000h]

ビット	フィールド	タイプ	リセット	説明
31-0	WVSH_16_05[31:0]	RW	F0000000h	16 ステップの Class-H デューティ・サイクルは 25% です

8.9.140 ページ=0x06 アドレス=0x40~0x43 [リセット=F8000000h]

ビット	フィールド	タイプ	リセット	説明
31-0	WVSH_16_06[31:0]	RW	F8000000h	16 ステップの Class-H デューティ・サイクルは 31.25% です

8.9.141 ページ=0x06 アドレス=0x44~0x47 [リセット=FC000000h]

ビット	フィールド	タイプ	リセット	説明
31-0	WVSH_16_07[31:0]	RW	FC000000h	16 ステップの Class-H デューティ・サイクルは 37.5% です

8.9.142 ページ=0x06 アドレス=0x48~0x4B [リセット=FE000000h]

ビット	フィールド	タイプ	リセット	説明
31-0	WVSH_16_08[31:0]	RW	FE000000h	16 ステップの Class-H デューティ・サイクルは 43.75% です

8.9.143 ページ=0x06 アドレス=0x4C~0x4F [リセット=FF000000h]

ビット	フィールド	タイプ	リセット	説明
31-0	WVSH_16_09[31:0]	RW	FF000000h	16 ステップの Class-H デューティ・サイクルは 50% です

8.9.144 ページ=0x06 アドレス=0x50~0x53 [リセット=FF800000h]

ビット	フィールド	タイプ	リセット	説明
31-0	WVSH_16_10[31:0]	RW	FF800000h	16 ステップの Class-H デューティ・サイクルは 56.25% です

8.9.145 ページ=0x06 アドレス=0x54~0x57 [リセット=FFC00000h]

ビット	フィールド	タイプ	リセット	説明
31-0	WVSH_16_11[31:0]	RW	FFC00000h	16 ステップの Class-H デューティ・サイクルは 62.5% です

8.9.146 ページ=0x06 アドレス=0x58~0x5B [リセット=FFE00000h]

ビット	フィールド	タイプ	リセット	説明
31-0	WVSH_16_12[31:0]	RW	FFE00000h	16 ステップの Class-H デューティ・サイクルは 68.75% です

8.9.147 ページ=0x06 アドレス=0x5C~0x5F [リセット=FFF00000h]

ビット	フィールド	タイプ	リセット	説明
31-0	WVSH_16_13[31:0]	RW	FFF00000h	16 ステップの Class-H デューティ・サイクルは 75% です

8.9.148 ページ=0x06 アドレス=0x60~0x63 [リセット=FFF00000h]

ビット	フィールド	タイプ	リセット	説明
31-0	WVSH_16_14[31:0]	RW	FFF00000h	16 ステップの Class-H デューティ・サイクルは 75% です 81.25% の場合、レジスタを FF800000h に設定します

8.9.149 ページ=0x06 アドレス=0x64~0x67 [リセット=FFF00000h]

ビット	フィールド	タイプ	リセット	説明
31-0	WVSH_16_15[31:0]	RW	FFF00000h	16 ステップの Class-H デューティ・サイクルは 75% です 87.5% の場合、レジスタを FFFC0000h に設定します

8.9.150 ページ=0x06 アドレス=0x68~0x6B [リセット=FFF00000h]

ビット	フィールド	タイプ	リセット	説明
31-0	WVSH_16_16[31:0]	RW	FFF00000h	16 ステップの Class-H デューティ・サイクルは 75% です 93.75% の場合、レジスタを FFFE0000h に設定します

8.9.151 ページ=0x06 アドレス=0x6C~0x6F [リセット=FFF00000h]

ビット	フィールド	タイプ	リセット	説明
31-0	WVSH_16_17[31:0]	RW	FFF00000h	16 ステップの Class-H デューティ・サイクルは 75% です 100% の場合、レジスタを FFFF0000h に設定します

8.9.152 ページ=0x08 アドレス=0x18~0x1B [リセット=9C000000h]

ビット	フィールド	タイプ	リセット	説明
31-0	VOL_CVR[31:0]	RW	9C000000h	オーディオ・チャンネルのミュート解除 ミュート解除するには、00 00 00 00 を書き込みます

8.9.153 ページ=0x08 アドレス=0x28~0x2B [リセット=00000000h]

ビット	フィールド	タイプ	リセット	説明
31-0	UNMUTE_CVR[31:0]	RW	00000000h	オーディオ・チャンネルのミュート解除 ミュート解除するには、40 00 00 00 を書き込みます

8.9.154 ページ=0x0A アドレス=0x48~0x4B [リセット=9C000000h]

ビット	フィールド	タイプ	リセット	説明
31-0	VOL_NVR[31:0]	RW	9C000000h	オーディオ・チャンネルのミュート解除 ミュート解除するには、00 00 00 00 を書き込みます

8.9.155 ページ=0x0A アドレス=0x58~0x5B [リセット=00000000h]

ビット	フィールド	タイプ	リセット	説明
31-0	UNMUTE_NVR[31:0]	RW	00000000h	オーディオ・チャンネルのミュート解除 ミュート解除するには、40 00 00 00 を書き込みます

8.9.156 ページ=0xFD アドレス=0x3E [リセット=4Dh]

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	4h	予約済み

ビット	フィールド	タイプ	リセット	説明
3-0	OPT_DMIN[3:0]	RW	Dh	DMIN の最適化設定

8.10 SDOUT の式

以下の式は、SDOUT で読み取ったデータの変換に使用できます。

$$PVDDH (V) = 23 * [Hex2Dec(SDOUTdata)] / 2^{PVDDH_SlotLength} \quad (5)$$

デフォルトでは、PVDDH_SlotLength = 8 です。

$$PVDDL (V) = 8 * [Hex2Dec(SDOUTdata)] / 2^{PVDDL_SlotLength} \quad (6)$$

デフォルトでは、PVDDL_SlotLength = 8 です。

$$TEMP (^{\circ}C) = 256 * [Hex2Dec(SDOUTdata)] / 2^{TEMP_SlotLength} - 93 \quad (7)$$

TEMP_SlotLength = 8。

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

TAS2781 はデジタル入力 Class-D オーディオ・パワー・アンプで、DSP が内蔵されており、テキサス・インスツルメンツのスピーカ保護用 SmartAmp アルゴリズムをサポートしています。I²S オーディオ・データは、ホスト・プロセッサから供給されます。I²C または SPI バスが、構成と制御に使用されます。外部昇圧コンバータ用の Hybrid-Pro コントローラを使用すると、効率を向上できます。

9.2 代表的なアプリケーション

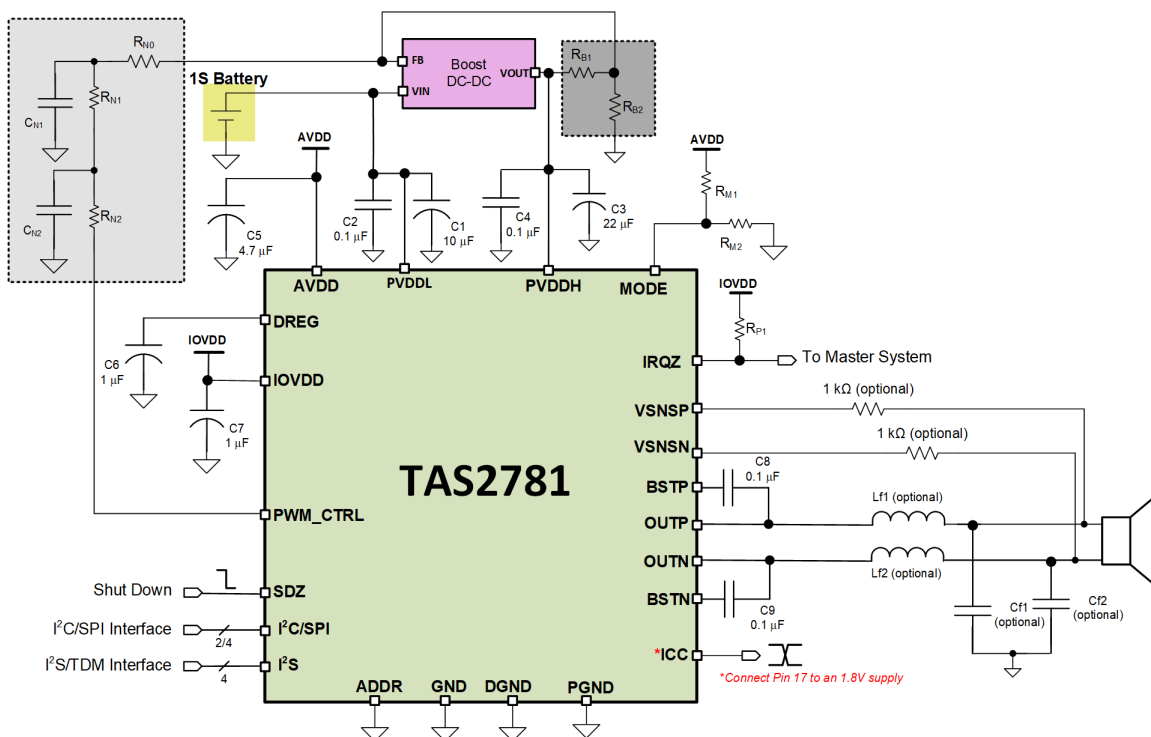


図 9-1. 代表的なアプリケーション - 1S バッテリ電源および外部昇圧制御

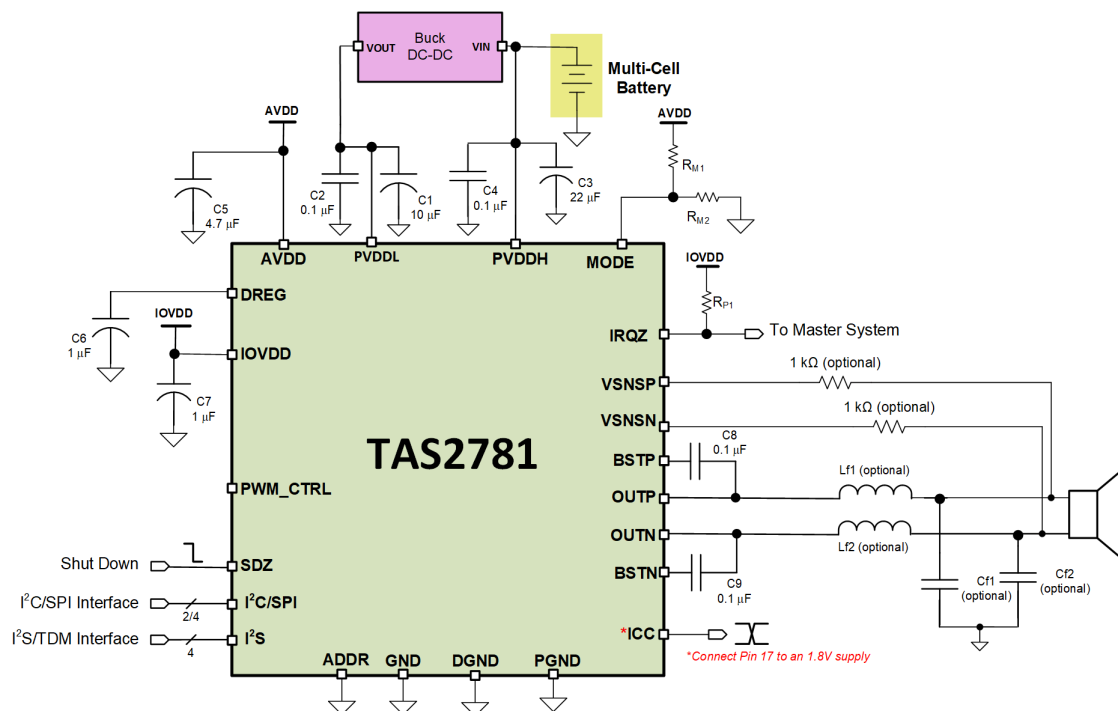


図 9-2. 代表的なアプリケーション - マルチセル・バッテリー電源

表 9-1. 推奨外付け部品

部品	説明	仕様	最小値	代表値	最大値	単位
C1	PVDDL デカップリング・コンデンサ - PVDDL 外部電源 (PWR_MODE0/1/3)	タイプ	X7R			
		容量、公差 20%		10		μF
		定格電圧		10		V
	PVDDL デカップリング・コンデンサ - 内部生成された PVDDL (PWR_MODE2)	タイプ	X7R			
		容量、公差 20%	0.68	1		μF
		定格電圧		10		V
C2	PVDDL デカップリング・コンデンサ	タイプ	X7R			
		容量、公差 20%		100		nF
		定格電圧		10		V
C3	PVDDH デカップリング・コンデンサ	タイプ	X7R			
		容量、公差 20%	22			μF
		定格電圧	30			V
C4	PVDDH デカップリング・コンデンサ	タイプ	X7R			
		容量、公差 20%		100		nF
		定格電圧	30			V
C5	AVDD デカップリング・コンデンサ	タイプ	X7R			
		容量、公差 20% AVDD = 1.8V, IOVDD = 3.3V	4.7			μF
		容量、公差 20% AVDD = 1.8V, IOVDD に接続	6.8			
		定格電圧	6			V
C6	DREG デカップリング・コンデンサ	タイプ	X7R			
		容量、公差 20%		1		μF
		定格電圧	6			V

表 9-1. 推奨外付け部品 (continued)

部品	説明	仕様	最小値	代表値	最大値	単位
C7	IOVDD デカップリング・コンデンサ IOVDD = 3.3V, AVDD への接続なし	タイプ	X7R			
		容量、公差 20%		1		μF
		定格電圧	6			V
C8, C9	ブートストラップ・コンデンサ	タイプ	X7R			
		容量、公差 20%		100		nF
		定格電圧	6			V
Lf1, Lf2 (オプション)	EMI フィルタのインダクタはオプションです。 TAS2781 デバイスはフィルタレス D 級動作をサポートしています。フェライト・ビーズ EMI フィルタを使用する場合は、PFFB 機能を推奨します	100MHz 時のインピーダンス		120		Ω
		DC 抵抗			0.095	Ω
		DC 電流	7			A
Cf1, Cf2 (オプション)	EMI フィルタ・コンデンサはオプションです。 Cf1, Cf2 を使用する場合は、設計に Lf2, Lf3 を使用する必要があります	容量		1		nF

9.3 設計要件

この設計例では、[セクション 9.2](#) に示すパラメータを使用します。

表 9-2. 設計パラメータ

設計パラメータ	値の例
オーディオ入力	デジタル・オーディオ、I ² S
電流および電圧データ・ストリーム	デジタル・オーディオ、I ² S
モノラルまたはステレオの構成	モノラル
最大出力電力 (THD+N = 1% 時)、 R _L = 4Ω	25W

9.4 詳細な設計手順

9.4.1 モノラル / ステレオの構成

アプリケーションでは、デバイスはモノラル・モードで動作していることが想定されています。TAS2781 の I²C アドレスをステレオ動作に対応するよう変更する方法については、[セクション 8.3.2](#) を参照してください。モノラルまたはステレオの構成は、デバイス性能には影響しません。

9.4.2 EMI パッシブ・デバイス

TAS2781 は、EMI を最小限に抑える拡散スペクトラムをサポートしています。Class-D 出力にパッシブ・デバイスを含めることができます。出力段の安定性を保つために、パッシブ・デバイス (LC フィルタ) は適切に選択する必要があります。詳しくは、[セクション 8.4.5](#) を参照してください。

9.5 アプリケーション曲線

$T_A = 25^\circ\text{C}$ 、 $f_{\text{SPK_AMP}} = 384\text{kHz}$ 、入力信号 $f_{\text{IN}} = 1\text{kHz}$ - サイン、負荷 = $4\Omega + 15\mu\text{H}$ (特に記述のない限り)。

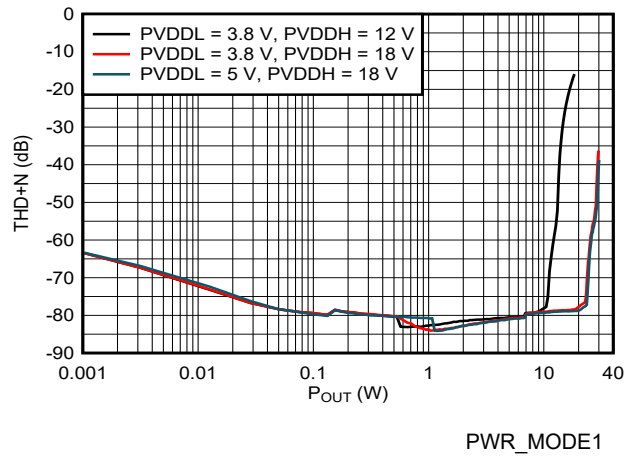


図 9-3. THD+N と出力電力との関係

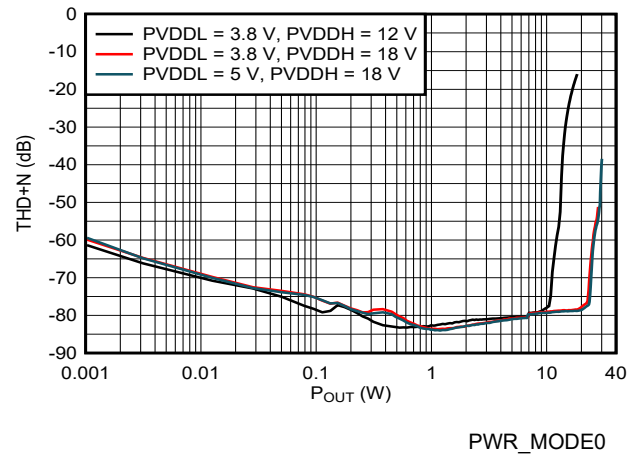


図 9-4. THD+N と出力電力との関係

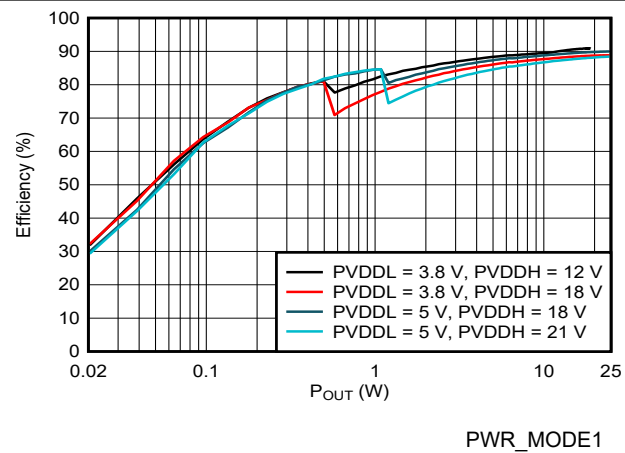


図 9-5. 効率と出力電力との関係

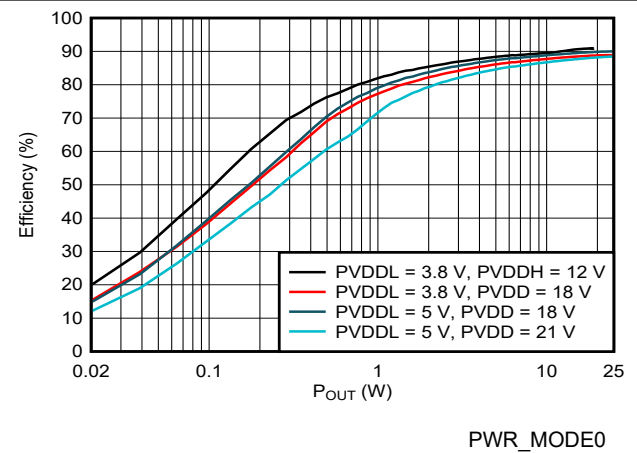


図 9-6. 効率と出力電力との関係

10 初期化セットアップ

10.1 初期デバイス構成 - 電源投入およびソフトウェア・リセット

次の条件では、以下の I²C シーケンスを使用する必要があります。

- 電源投入時、SDZ = 1 のとき (ハードウェア・シャットダウンからソフトウェア・シャットダウンへ)。
- デバイスがソフトウェア・シャットダウンまたはアクティブ・モードで、ユーザーがソフトウェア・リセット・コマンドを実行するとき (レジスタ 0x01 のビット[0] = 1)。

```
##### プリリセット構成
w 70 00 01 #ページ 0x01
w 70 37 3A #バイパス

w 70 00 FD #ページ 0xFD
w 70 0D 0D #ページ アクセス
w 70 06 C1 #Dmin を設定

w 70 00 01 #ページ 0x01
w 70 19 E0 #強制変調
w 70 00 FD #ページ 0xFD
w 70 0D 0D #ページ アクセス
w 70 06 D5 #Dmin を設定

##### ソフトウェア リセット

w 70 00 00 #ページ 0x00
w 70 7F 00 #ブック 0x00
w 70 01 01 #ソフトウェア リセット
d 01 #1 ms 遅延

##### ポストリセット構成

w 70 00 01 #ページ 0x01
w 70 37 3A #バイパス

w 70 00 FD #ページ 0xFD
w 70 0D 0D #ページ アクセス
w 70 06 C1 #Dmin を設定
w 70 06 D5 #Dmin を設定
```

10.2 初期デバイス構成 - PWR_MODE0

以下の I²C シーケンスは、PWR_MODE0 でのデバイスの初期化例です。

```
w 70 00 00 #Page 0x00
w 70 0E C4 #TDM TX vsns transmit enable with slot 4
w 70 0F 40 #TDM TX isns transmit enable with slot 0

w 70 00 01 #Page 0x01
w 70 17 C8 #SARBurstMask=0
w 70 19 20 #LSR Mode
w 70 35 74 #DC noise minimized

w 70 00 FD #Page 0xFD
w 70 0D 0D #Access Page
w 70 3E 4A #Optimal Dmin
w 70 0D 00 #Remove access

w 70 00 04 #Page 0x04
w 70 30 00 00 00 01 #Merge Limiter and Thermal Foldback gains

w 70 00 08 #Page 0x08
w 70 18 00 00 00 00 #0dB volume
w 70 28 40 00 00 00 #Unmute

w 70 00 0A #Page 0x0A
w 70 48 00 00 00 00 #0dB volume
w 70 58 40 00 00 00 #Unmute

w 70 00 00 #Page 0x00
```

```
w 70 03 A8 #PWR_MODE0 selected
w 70 71 03 #PVDDH UVLO set to 2.76V
w 70 02 80 #Play audio, power up with playback, IV enabled
```

10.3 初期デバイス構成 - PWR_MODE1

以下の I²C シーケンスは、PWR_MODE1 でのデバイスの初期化例です。

```
w 70 00 00 #Page 0x00
w 70 0E C4 #TDM TX vsns transmit enable with slot 4
w 70 0F 40 #TDM TX isns transmit enable with slot 0

w 70 00 01 #Page 0x01
w 70 17 C8 #SARBurstMask=0
w 70 35 74 #DC noise minimized
w 70 19 20 #LSR Mode

w 70 00 FD #Page 0xFD
w 70 0D 0D #Access Page 0xFD
w 70 3E 4A #Optimal Dmin
w 70 0D 00 #Remove access Page 0xFD

w 70 00 04 #Page 0x04
w 70 30 00 00 00 01 #Merge Limiter and Thermal Foldback gains

w 70 00 08 #Page 0x08
w 70 18 00 00 00 00 #0dB volume
w 70 28 40 00 00 00 #Unmute

w 70 00 0A #Page 0x0A
w 70 48 00 00 00 00 #0dB volume
w 70 58 40 00 00 00 #Unmute

w 70 00 00 #Page 0x00
w 70 02 00 #Play audio, power up with playback, IV enabled
```

10.4 初期デバイス構成 - PWR_MODE2

以下の I²C シーケンスは、PWR_MODE2 でのデバイスの初期化例です。

```
w 70 00 00 #Page 0x00
w 70 0E C4 #TDM TX vsns transmit enable with slot 4
w 70 0F 40 #TDM TX isns transmit enable with slot 0

w 70 00 01 #Page 0x01
w 70 17 C0 #SARBurstMask=0
w 70 19 20 #LSR Mode
w 70 35 74 #DC noise minimized

w 70 00 FD #Page 0xFD
w 70 0D 0D #Access Page 0xFD
w 70 3E 4A #Optimal Dmin
w 70 0D 00 #Remove access Page 0xFD

w 70 00 04 #Page 0x04
w 70 30 00 00 00 01 #Merge Limiter and Thermal Foldback gains

w 70 00 08 #Page 0x08
w 70 18 00 00 00 00 #0dB volume
w 70 28 40 00 00 00 #Unmute

w 70 00 0A #Page 0x0A
w 70 48 00 00 00 00 #0dB volume
w 70 58 40 00 00 00 #Unmute

w 70 00 00 #Page 0x00
w 70 03 E8 #PWR_MODE2
w 70 04 A1 #Int LDO mode for internal PVDDL
w 70 71 0E #PVDDH UVLO 6.5V
w 70 02 80 #Power up audio playback with I,V enabled
```

10.5 初期デバイス構成 - PWR_MODE3

以下の I²C シーケンスは、PWR_MODE3、超音波アプリケーションでのデバイスの初期化例です。

```
w 70 00 00 #Page 0x00
w 70 0E C4 #TDM TX vsns transmit enable with slot 4
w 70 0F 40 #TDM TX isns transmit enable with slot 0

w 70 00 01 #Page 0x01
w 70 17 C8 #SARBurstMask=0
w 70 19 20 #LSR

w 70 00 04 #Page 0x04
w 70 30 00 00 00 01 #Merge Limiter and Thermal Foldback gains

w 70 00 08 #Page 0x08
w 70 18 00 00 00 00 #0dB volume
w 70 28 40 00 00 00 #Unmute

w 70 00 0A #Page 0x0A
w 70 48 00 00 00 00 #0dB volume
w 70 58 40 00 00 00 #Unmute

w 70 00 00 #Page 0x00
w 70 03 68 #PVDDL only mode
w 70 73 E0 #DEM dither disabled
w 70 02 00 #play audio, power up with playback, IV enabled
```

11 電源に関する推奨事項

電源レール間の電源シーケンスは、SDZ ピンが Low に保持されている間は、任意の順序で適用できます。すべての電源が安定すると、SDZ ピンを High にセットして部品を初期化することができます。ハードウェア・リセットかソフトウェア・リセットの後は、OTP メモリをロードするために、以後のデバイスへのコマンドを 1ms 以上遅延させる必要があります ([セクション 10](#) セクションを参照)。

PVDDL が内部生成される場合 (以下の [セクション 11.1](#) を参照)、デバイスがソフトウェア・シャットダウン・モードに移行してからハードウェア・シャットダウン・モードに移行することが推奨されています。これにより、PVDDL ピンは必ず、内蔵されている 5kΩ のプルダウン抵抗を使用して放電されます (ハードウェア・シャットダウン・モードにはありません)。

11.1 電源モード

TAS2781 は、PVDDL と PVDDH の両方を電源として使用するか、または PVDDH か PVDDL のどちらかのみを電源とすることによって動作します。以下の表に、ユーザーのニーズに応じたさまざまな動作の電源モードを示します。

表 11-1. デバイス構成と電源モード

電力モード	出力スイッチング・モード	電源条件	PVDDL モード	デバイス構成	使用事例とデバイスの機能
PWR_MODE0	PVDDH に高出力	PVDDH>PVDDL	外部	PVDDL_MODE=0 CDS_MODE[1:0]=10	PVDDH は出力電力の供給に使用される唯一の電源です。
PWR_MODE1	Y ブリッジ - PVDDL に高出力	PVDDH	外部	PVDDL_MODE=0 CDS_MODE[1:0]=00	PVDDL は、構成されたレベルとヘッドルームに基づく出力電力の供給に使用されます。オーディオ信号がプログラムされたスレッショルドを超えると、Class-D 出力は PVDDH に切り替わります。
PWR_MODE2	Y ブリッジ - PVDDL に低出力	PVDDH	内部	PVDDL_MODE=1 CDS_MODE[1:0]=11	PVDDH は唯一の電源です。PVDDL は内部 LDO から供給され、アイドル・チャネル・レベルに近接した信号での供給に使用されます。オーディオ信号レベルが -100dBFS (デフォルト) を超えると、Class-D 出力は PVDDH に切り替わります。
PWR_MODE3	PVDDL	PVDDL	外部	PVDDL_MODE=0 CDS_MODE[1:0]=01	デバイスを強制的に低出力レール・モードで動作させることができます。たとえば、オーディオが再生されていない場合、この動作モードは低出力超音波チャープに使用することができます。

PVDDL が外部 (PWR_MODE0、PWR_MODE1) の場合、PVDDH が (PVDDL + 2.5V) レベルを下回ると、Y ブリッジは電源間のスイッチングを停止し、PVDDH 電源のままになります。

PWR_MODE2 では、Y ブリッジの動作モードを利用するため、PVDDH 電源レベルが、内部生成された PVDDL 電圧より少なくとも 2.5V 高いことを、ユーザーが確認する必要があります。電圧保護をイネーブルにするには、レジスタ・ビット PVDD_UVLO[5:0] を使用して、PVDDH 電源の低電圧スレッショルドを 7.3V 以上に設定する必要があります。これにより、内部生成された 4.8V の PVDDL によって、PVDDH 電源は PVDDL より 2.5V 以上高くなります。

12 レイアウト

12.1 レイアウトのガイドライン

電源レールはすべて、[セクション 9.2](#) に示すように、低 ESR セラミック・コンデンサでバイパスする必要があります。

PGND、DGND、および GND に低インピーダンス接続を確立し、グラウンド・ノイズを最小限にするには、複数の伝導性エポキシでコーティングされたビアを持つグラウンド・プレーンをレイアウトに使用する必要があります。

このデバイスでは、以下のレイアウト設計要件に従うことが推奨されています。

- 大電流を通す次の信号には、広いパターンを使用してください: PVDDH、PVDDL、PGND、DGND、GND、およびスピーカの OUTP、OUTN。
- PGND ピンはグラウンド・プレーンに直接接続して短絡させてください。
- DGND ピンはグラウンド・プレーンに直接接続してください。
- VSNSP と VSNSN は、スピーカにできる限り近づけて接続してください。
- 出力に EMI フェライトが使用されている場合は、VSNSP と VSNSN は EMI フェライト・フィルタとスピーカの間に接続してください。
- VSNSP と VSNSN の配線は分けて、スイッチング信号 (インターフェイス信号、スピーカ出力、ブートストラップ・ピン) からシールドしてください。
- ブートストラップ・コンデンサは、BST ピンにできる限り近づけて配置してください。
- PVDDH と PVDDL のデカップリング・コンデンサは、ピンにできる限り近づけて配置してください ([セクション 12.2](#) を参照)。

12.2 レイアウト例

次の [図 12-1](#) は、[図 9-1](#) で割り当てられている主要な部品の配置を示しています。

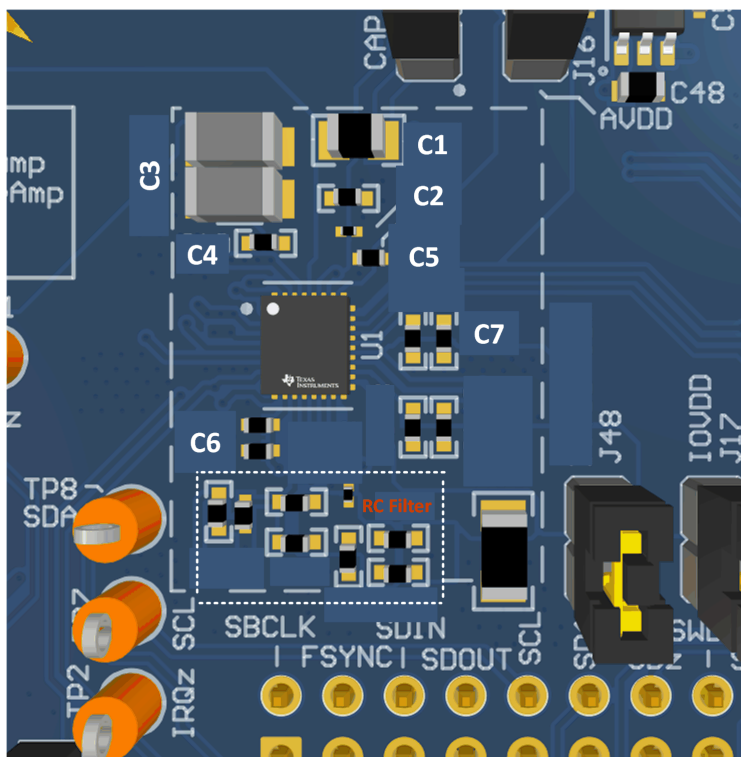


図 12-1. 部品の配置

次の 2 つの画像に、レイアウト設計の例を示します。

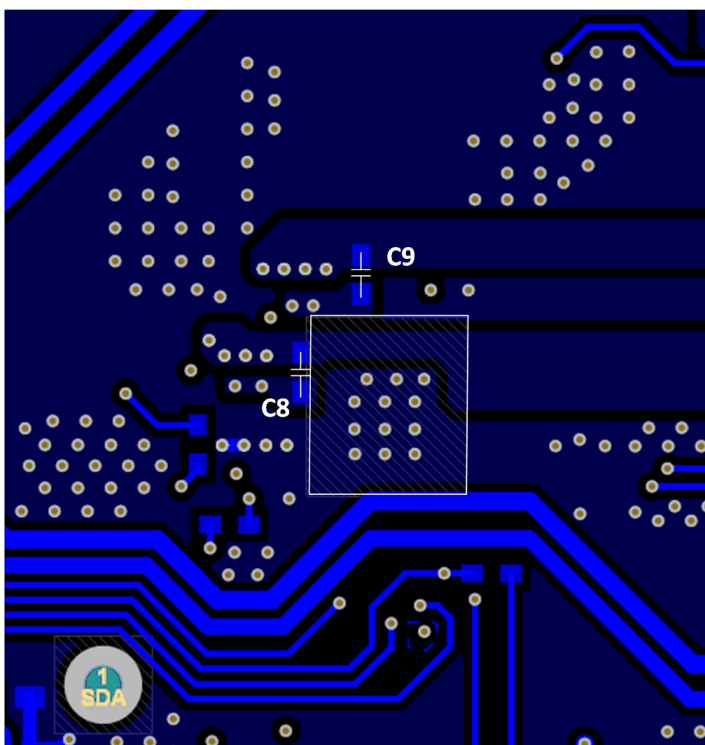
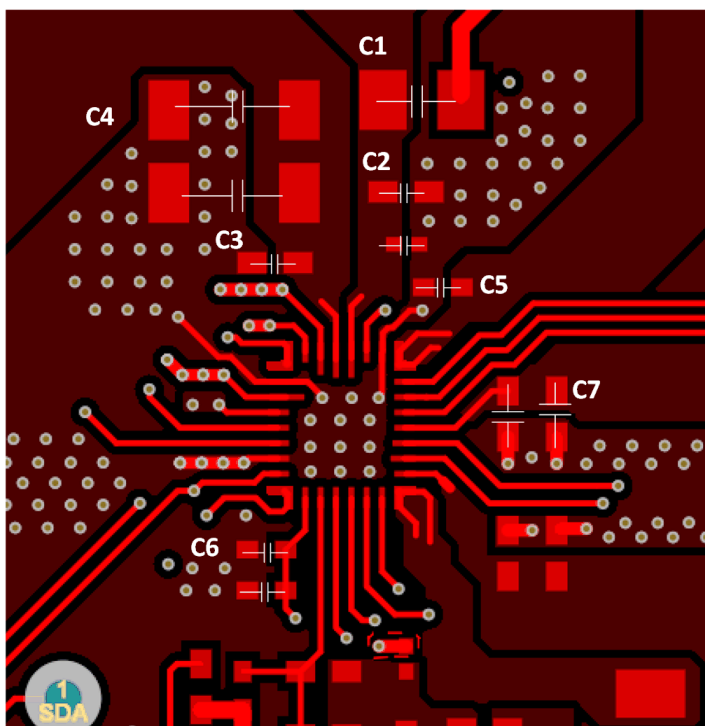


図 12-2. レイアウト例 - 上層と下層

13 デバイスおよびドキュメントのサポート

13.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。右上の隅にある「通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

13.2 コミュニティ・リソース

13.3 商標

すべての商標は、それぞれの所有者に帰属します。

14 メカニカル、パッケージ、および注文情報

以下のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

14.1 付録：パッケージ・オプション

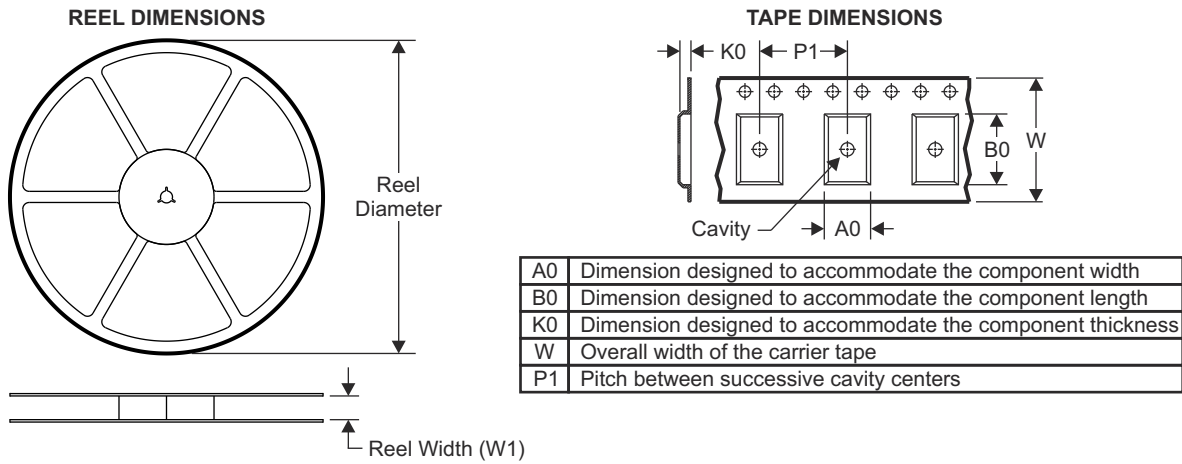
パッケージ情報

発注可能なデバイス	ステータス(1)	パッケージ・タイプ	パッケージ図	ピン数	パッケージの数量	エコ・プラン(2)	リード / ボール仕 上げ(6)	MSL ピーク温 度(3)	動作温度 (°C)	デバイス・マー キング(4/5)
PTAS2781RYYR	アクティブ	VQFN-HR	RYY	30	3000	RoHS とグリー ン	NiPdAu	Level-1-260C -UNLIM	-40～85	P278-SA
TAS2781RYYR	アクティブ	VQFN-HR	RYY	30	3000	RoHS とグリー ン	NiPdAu	Level-1-260C -UNLIM	-40～85	TAS2781

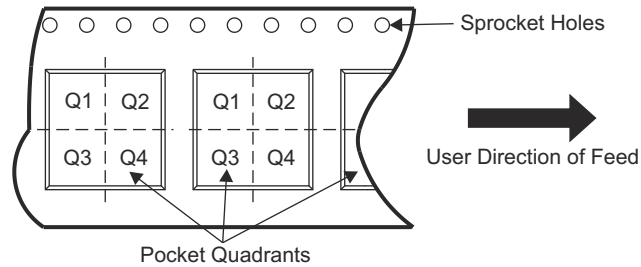
重要なお知らせと免責事項:このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよびテキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じたテキサス・インスツルメンツの責任は、このドキュメント発行時点でのテキサス・インスツルメンツ製品の価格に基づくテキサス・インスツルメンツからお客様への合計購入価格 (年次ベース) を超えることはありません。

14.2 テープおよびリール情報

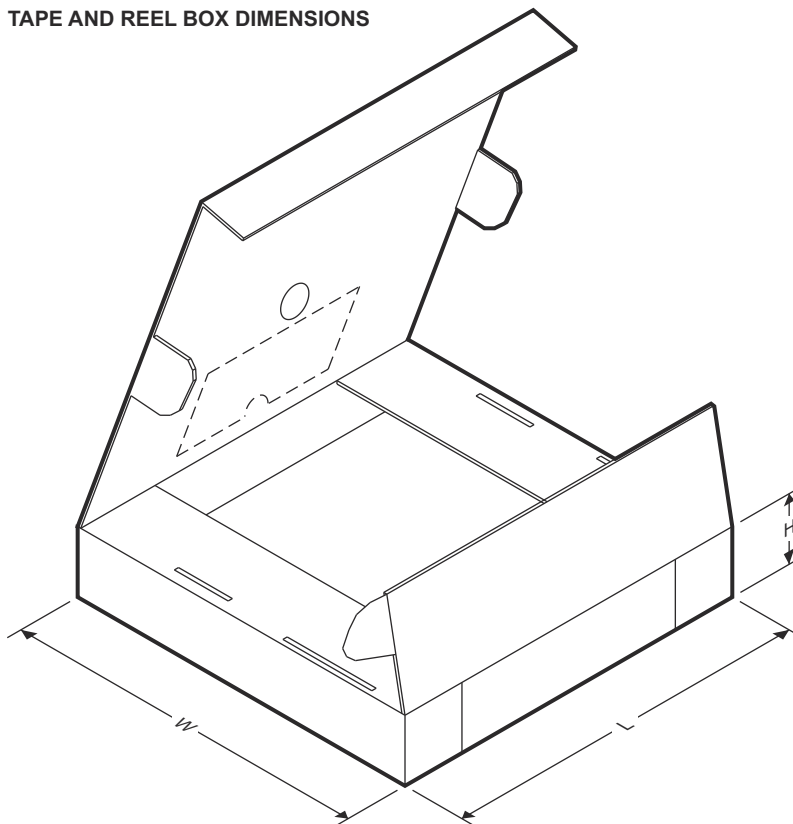


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

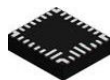


デバイス	パッケージ タイプ	パッケージ 図	ピン数	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	1 ピンの 象限
PTAS2781RYYR	VQFN-HR	RYY	30	3000	330	12.4	3.8	4.3	1.5	8	12	Q1
TAS2781RYYR	VQFN-HR	RYY	30	3000	330	12.4	3.8	4.3	1.5	8	12	Q1

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージ・タイプ	パッケージ図	ピン 数	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
PTAS2781RYYR	VQFN-HR	RYY	30	3000	367	367	35
TAS2781RYYR	VQFN-HR	RYY	30	3000	367	367	35

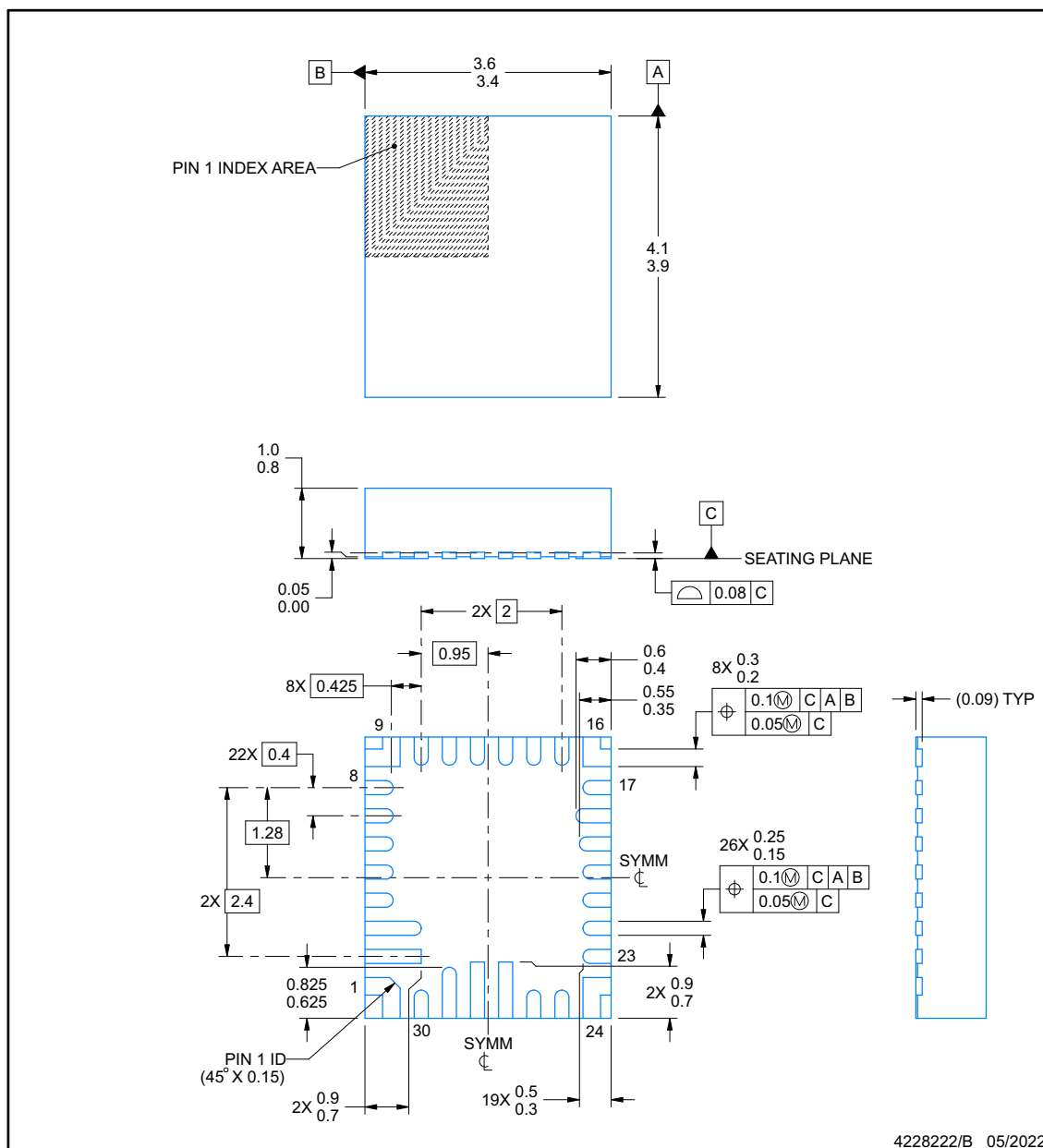


RYY0030A

PACKAGE OUTLINE

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

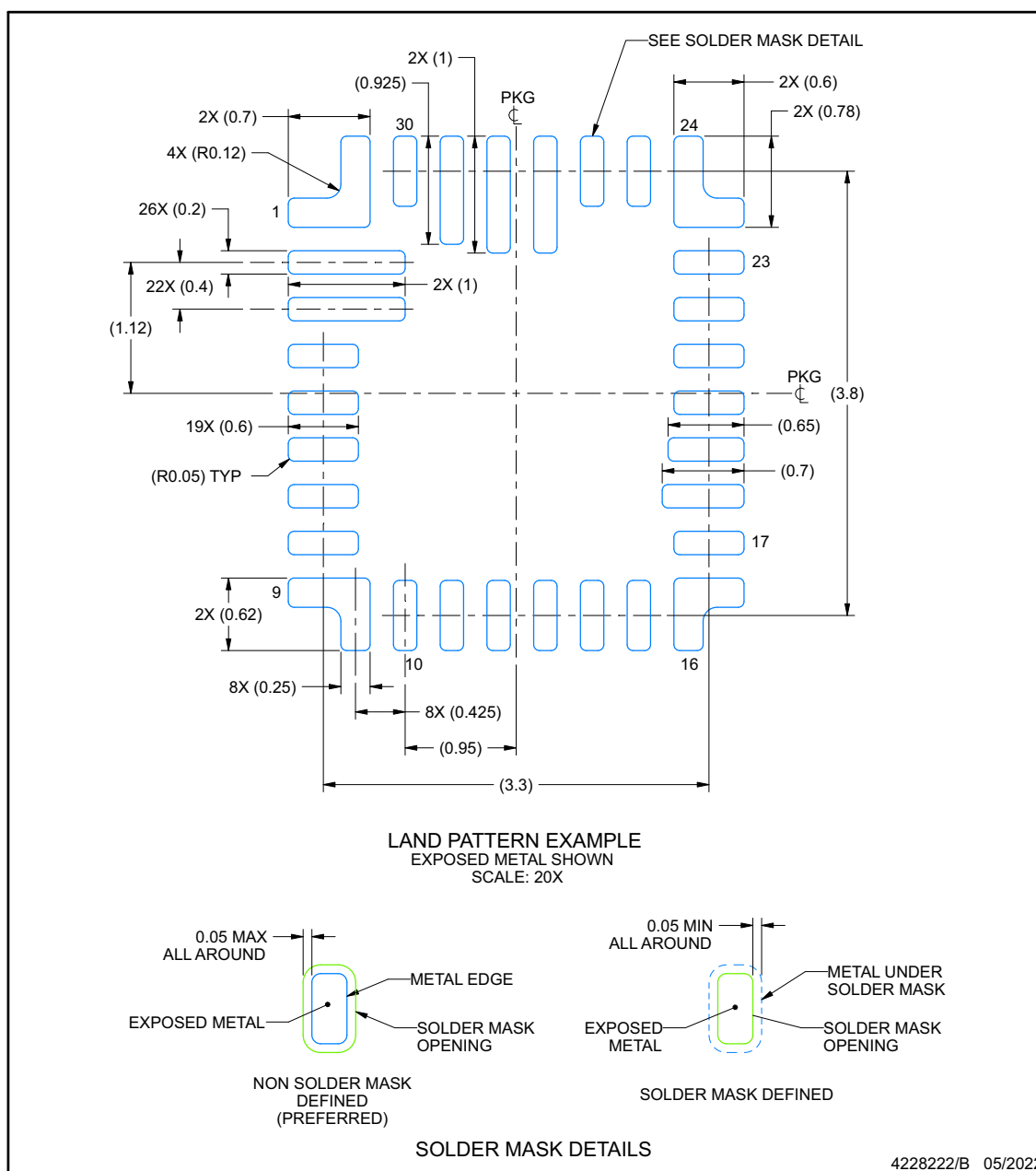
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RYY0030A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

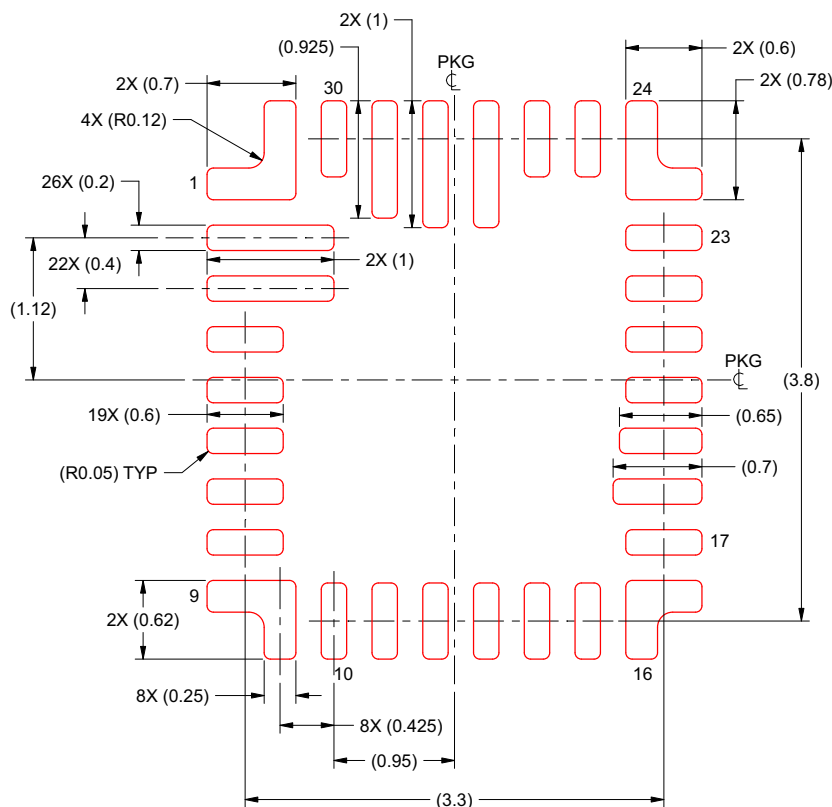
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sl原因271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RYY0030A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

4228222/B 05/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TAS2781RYYR	Active	Production	VQFN-HR (RYY) 30	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TAS2781
TAS2781RYYR.A	Active	Production	VQFN-HR (RYY) 30	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TAS2781

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

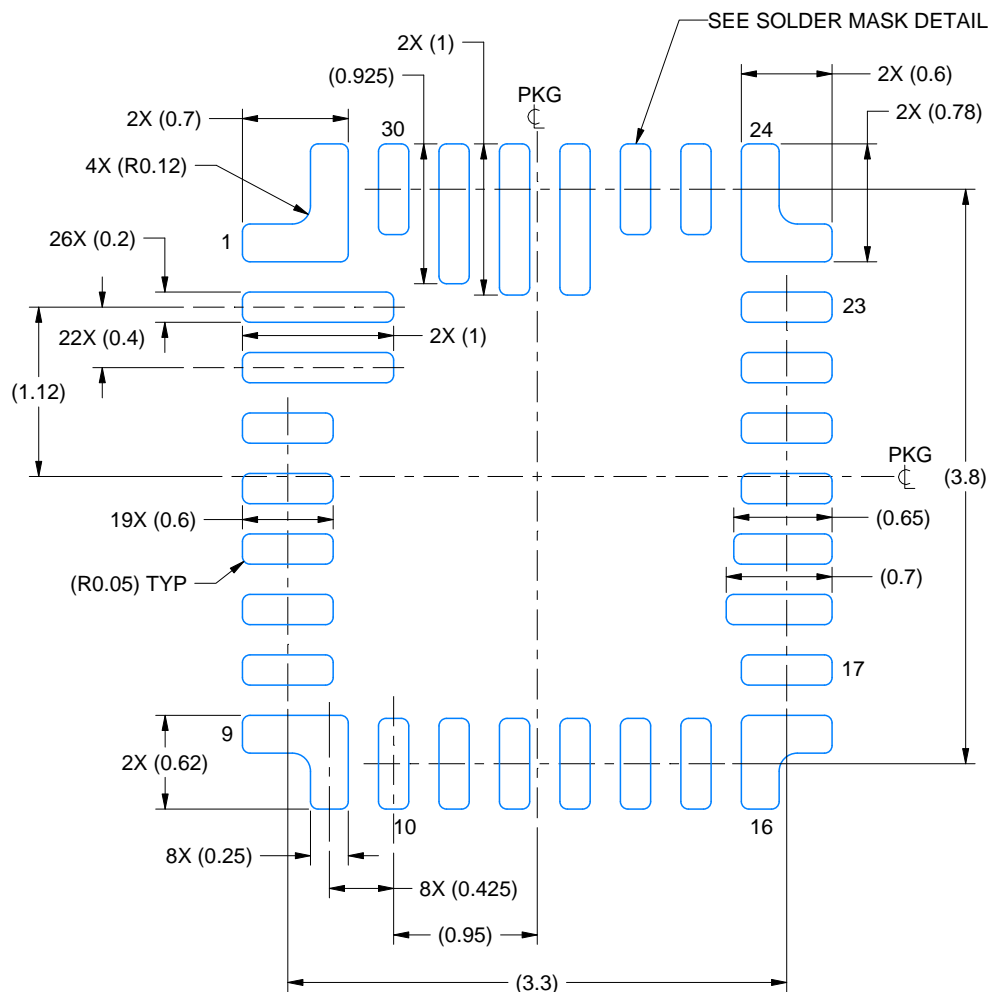
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

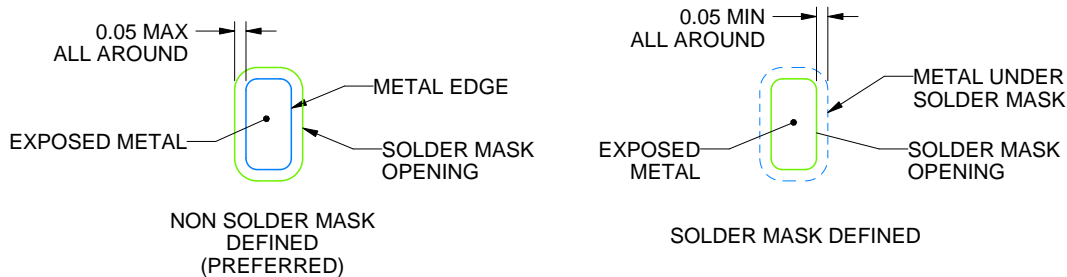
RYY0030A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4228222/B 05/2022

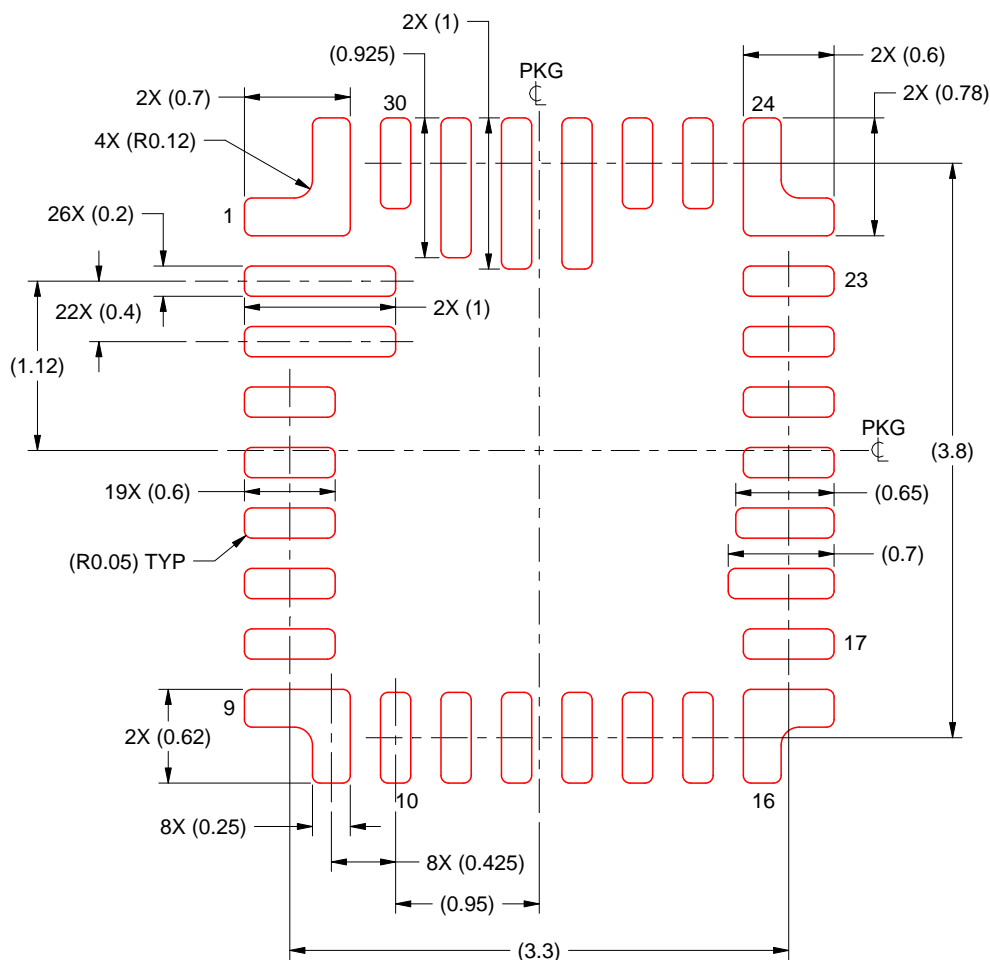
NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

RYY0030A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

4228222/B 05/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月