TAS2780 スピーカ IV センスを搭載したデジタル入力、モノラル Class-D オーディオ・アンプ

1 特長

主な特長
- Class-D 出力段用の 24V 電源
- Y ブリッジ・マルチレベル電源アーキテクチャ
- スペクトラム拡散制御
- 最大 40kHz の超音波出力をサポート

出力電力:
- 1% THD+N で 25W (4Ω、18V)
- 最大出力電力 30W、THD+N 10%

効率 (THDN 1%) と消費電力
- 1W、4Ω、PVDD = 12V、VBAT1S = 3.8V で 83%
- 1W、8Ω、PVDD = 18V、VBAT1S = 5V で 83%
- 1W、4Ω、PVDD = 18V、VBAT1S = 5V で 85%
- 15W、4Ω、PVDD = 18V、VBAT1S = 5V で 89%
- 15W、8Ω、PVDD = 18V、VBAT1S = 5V で 93%
- ハードウェア・シャットダウン・モードで 0.5μA 未満

電源とパワー・マネージメント:
- PVDD:3V～24V
- VBAT1S:2.7V～5.5V
- AVDD:1.8V
- IOVDD:1.8V/3.3V

インターフェイスと制御:
- SDOUT によるエコー・キャンセレーション
- I^2S/TDM:32 ビット、最大 96KSPS で 8 チャネル
- I^2C:アドレスを Fast Mode+ で選択可能
- チップ間通信バス
- 44.1kHz～96kHz のサンプル・レート

スピーカ管理、保護、EMI を内蔵:
- リアルタイムの IV センスによるスピーカ保護
- 負荷短絡および開放保護
- 過熱および過電流保護
- 電力リミッタによるブラウンアウト保護
- 過電力および低バッテリ保護
- PVDD および VBAT1S 電源トラッキング・リミッタ
- サーマル・フォールドバック
- ポスト・フィルタ・フィードバック
- 出力スルーレート制御

2 アプリケーション

- ラップトップおよびデスクトップ PC
- スマート・スピーカ
- タブレットとハンドヘルド
- ワイヤレス・スピーカ

3 概要

TAS2780 はモノラル、デジタル入力の Class-D オーディオ・アンプで、ラウドスピーカを高いピーク電力で効率的に駆動できるよう最適化されています。この Class-D アンプは、電源電圧 18V の場合、4Ω の負荷に 25W の連続出力を 1% 未満の THD+N で供給できます。このアンプは電圧入力範囲が広く出力電力が大きいため、バッテリでもライン電源システムでも動作できるほど多目的です。

TAS2780 は、従来のアンプとして、またはホスト・ベースのスピーカ保護アルゴリズムとともに使用できます。内蔵のスピーカ電圧および電流検出により、リターン I^2S パスを介して、保護アルゴリズムにラウドスピーカの状態をリアルタイムでフィードバックできます。

Y ブリッジ電源アーキテクチャは、電源を内部的に選択してヘッドルームを最適化することでアンプの効率を向上させます。複数のスレッショルドを備えたブラウンアウト防止方式により、電源電圧が低下した際に信号路のゲインを下げることができます。

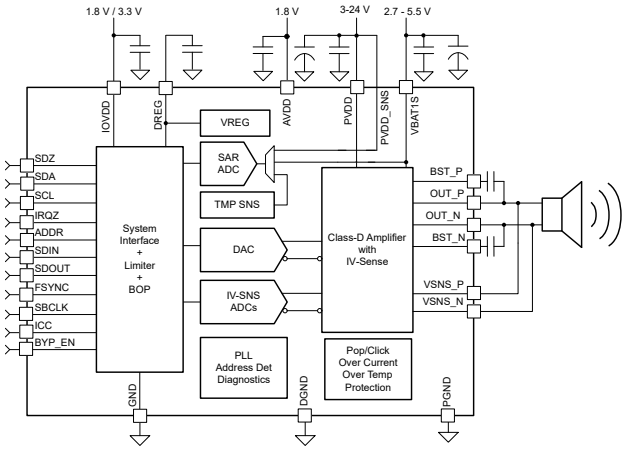
I^2S/TDM および I^2C/SPI インターフェイスにより、最大 8 個の TAS2780 デバイスが同じバスを共有できます。

TAS2780 は、PCB の占有面積が小さい 30 ピン HR-QFN パッケージで供給されます。

製品情報(1)

部品番号	パッケージ	本体サイズ (公称)
TAS2780	HR QFN	4mm × 3.5mm

(1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。



回路図

英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.com で閲覧でき、その内容が常に優先されます。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

目次

1 特長.... 1
2 アプリケーション.... 1
3 概要.... 1
4 改訂履歴.... 2
5 ピン構成および機能.... 3
6 仕様.... 4
6.1 絶対最大定格.... 4
6.2 ESD 定格.... 4
6.3 推奨動作条件.... 4
6.4 熱に関する情報.... 5
6.5 電気的特性.... 5
6.6 I²C のタイミング要件.... 10
6.7 TDM ポートのタイミング要件.... 11
6.8 標準的特性.... 12
7 パラメータ測定情報.... 16
8 詳細説明.... 16
8.1 概要.... 16
8.2 機能ブロック図.... 17
8.3 機能説明.... 17
8.4 デバイスの機能モード.... 18
8.5 動作モード.... 31
8.6 フォルトとステータス.... 32
8.7 電源シーケンス要件.... 36
8.8 デジタル入力プルダウン.... 36
8.9 レジスタ・マップ.... 36
8.10 SDOUT の式.... 84
9 アプリケーションと実装.... 85
9.1 アプリケーション情報.... 85
9.2 代表的なアプリケーション.... 85
9.3 設計要件.... 86
9.4 詳細な設計手順.... 86
9.5 アプリケーション曲線.... 87
10 初期化セットアップ.... 88
10.1 初期デバイス構成 - 電源投入およびソフトウェア・リセット.... 88
10.2 初期デバイス構成 - PWR_MODE0.... 88
10.3 初期デバイス構成 - PWR_MODE1.... 89
10.4 初期デバイス構成 - PWR_MODE2.... 89
10.5 初期デバイス構成 - PWR_MODE3.... 89
10.6 デバイス構成 - 44.1kHz.... 90
10.7 過電力保護 - OCP プログラミング.... 90
10.8 DSP のループバック.... 90
11 電源に関する推奨事項.... 91
11.1 電源モード.... 91
12 レイアウト.... 92
12.1 レイアウトのガイドライン.... 92
12.2 レイアウト例.... 92
13 デバイスおよびドキュメントのサポート.... 94
13.1 ドキュメントの更新通知を受け取る方法.... 94
13.2 コミュニティ・リソース.... 94
13.3 商標.... 94
14 メカニカル、パッケージ、および注文情報.... 95

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (June 2022) to Revision B (March 2023) — **Page**

- 「絶対最大定格」および「推奨動作条件」で PVDD を 24V に更新し、-20℃の温度条件の脚注を追加。.... 4
- エッジ・レート・レジスタの説明を明確化。.... 77
- フェライト・ビーズ・フィルタ用の PFFB 機能に関する推奨事項。.... 85
- 起動時のポップアップの問題を修正するために、スタートアップ構成スクリプトを追加。.... 88

Changes from Revision * (February 2022) to Revision A (June 2022) — **Page**

- デバイスのステータスを「事前情報」から「量産データ」に変更。.... 1

Copyright © 2023 Texas Instruments Incorporated

5 ピン構成および機能

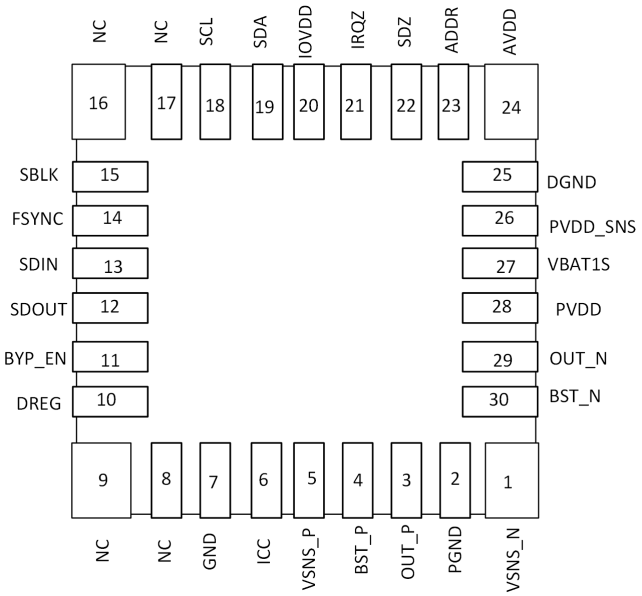


図 5-1. 30 ピン HR-QFN パッケージ - 底面図

表 5-1. ピン機能

ピン		I/O	説明
名称	番号		
ADDR	23	I	アドレス検出ピン。このピンの抵抗値により、I^2C アドレスが選択されます。セクション 8.3.1 を参照してください。
AVDD	24	P	アナログ電源入力。1.8V 電源に接続し、コンデンサで GND にデカップリングします。
BST_N	30	P	Class-D の負のブートストラップ。BST_N と OUT_N の間にコンデンサを接続します。
BST_P	4	P	Class-D の正のブートストラップ。BST_P と OUT_P の間にコンデンサを接続します。
BYP_EN	11	O	オープン・ドレイン出力での低電圧信号伝送ピン。外部 DC/DC コンバータのイネーブル / ディセーブルに使用できます。
DGND	25	P	デバイスのサブストレート・グランド。PCB グランド・プレーンに接続します。このピンと GND ピンの間に相互配線インダクタンスが発生しないようにします。
DREG	10	P	デジタル・コア電圧レギュレータ出力。コンデンサを使用して GND にバイパスします。外部負荷に接続しないでください。
FSYNC	14	I	フレーム同期クロック。
GND	7	P	アナログ・グランド。PCB グランド・プレーンに接続します。
ICC	6	IO	チップ間通信ピン。
IOVDD	20	P	デジタル IO 電源。1.8V または 3.3V の電源に接続し、コンデンサで GND にデカップリングします。
IRQZ	21	O	オープン・ドレイン、アクティブ Low、割り込みピン。オプションの内部プルアップを使用しない場合は、抵抗を使用して IOVDD にプルアップします。
NC	8、9、16、17		接続なし。
OUT_N	29	O	Class-D の負出力。
OUT_P	3	O	Class-D の正出力。
PGND	2	P	Class-D のグランド。PCB グランド・プレーンに接続します。
PVDD	28	P	Class-D 電源入力。コンデンサでデカップリングします。
PVDD_SNS	26	I	PVDD リモート検出ピン。

表 5-1. ピン機能 (continued)

ピン		I/O	説明
名称	番号		
SBCLK	15	I	シリアル・ビット・クロック。
SCL	18	I	I^2C クロック・ピン。抵抗を使用して IOVDD にプルアップします。
SDA	19	IO	I^2C データ・ピン。抵抗を使用して IOVDD にプルアップします。
SDIN	13	I	シリアル・データ入力。
SDOUT	12	IO	シリアル・データ出力。
SDZ	22	I	アクティブ Low のハードウェア・シャットダウン。
VBAT1S	27	P	シングルセル・バッテリ電源入力。コンデンサでデカップリングします。
VSNS_N	1	I	電圧検出の負入力。Class-D の負出力に接続するか、または LC フィルタの後に接続します。
VSNS_P	5	I	電圧検出の正入力。Class-D の正出力に接続するか、または LC フィルタの後に接続します。

6 仕様

6.1 絶対最大定格

		最小値	最大値	単位
電源電圧	AVDD	-0.3	2	V
	IOVDD	-0.3	5	V
	PVDD	-0.3	26	V
	VBAT1S	-0.3	6	V
	PVDD - VBAT1S	-0.3	22	V
内部電源電圧	DREG	-0.3	1.5	V
IO 電圧(1)	IOVDD 電源を基準とするデジタル IO	-0.3	5	V
自由気流での動作温度 T_A。デバイスは高い信頼性で正しく動作しますが、一部の性能特性が低下する可能性があります。	PVDD は 23V 以下	-40	85	℃
	PVDD は 23V より高い	-20	85	℃
自由気流での性能温度 T_P。すべての性能特性を満たしています。		-20	70	℃
動作時の接合部温度、T_J	PVDD は 23V 以下	-40	150	℃
	PVDD は 23V より高い	-20	150	℃
保存温度、T_{stg}		-65	150	℃

(1) すべてのデジタル入力と IO はフェイルセーフです。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠(2)	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

		最小値	標準値	最大値	単位
AVDD	電源電圧	1.65	1.8	1.95	V
IOVDD	電源電圧	3 1.65	3.3 1.8	3.6 1.95	V

Copyright © 2023 Texas Instruments Incorporated

			最小値	標準値	最大値	単位
PVDD	電源電圧 (機能)[1]	動作時の最低自由気流温度および最低動作接合部温度は -20℃	3		24	V
		動作時の最低自由気流温度および最低動作接合部温度は -40℃	3		23	
	電源電圧 (性能)	動作時の最低自由気流温度および最低動作接合部温度は -20℃	4.5		24	
		動作時の最低自由気流温度および最低動作接合部温度は -40℃	4.5		23	
VBAT1S	電源電圧 (機能)[1]		2.7		5.5	V
	電源電圧 (性能)		3.4		5.5	
R_{SPK}	スピーカのインピーダンス		3.2			Ω
L_{SPK}	スピーカのインダクタンス		5			μH

(1) デバイスの機能は維持されますが、性能は低下します。

6.4 熱に関する情報

熱評価基準[1]		HR_QFN 30 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	47.7	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	25.2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	10.7	°C/W
ψ_{JT}	接合部から上面への熱特性パラメータ	0.8	°C/W
ψ_{JB}	接合部から基板への熱特性パラメータ	10.5	°C/W

(1) 従来および新しい熱特性の詳細については、アプリケーション・レポート『半導体および IC パッケージの熱測定値』、SPRA953 を参照してください。

6.5 電気的特性

T_A = 25℃、PVDD = 18V、VBAT1S = 3.8V、AVDD = 1.8V、IOVDD =1.8V、R_L = 4Ω + 15μH、f_{in} = 1kHz、f_s = 48kHz、ゲイン = 21dBV、SDZ = 1、NG_EN=0、EN_LLSR=0、PWR_MODE1[2]、セクション 7 に記載されるフィルタなしの状態で測定 (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
デジタル入出力						
V_{IH}	High レベル・デジタル入力ロジック電圧スレッショルド	すべてのデジタル・ピン	0.7×IOVDD			V
V_{IL}	Low レベル・デジタル入力ロジック電圧スレッショルド	すべてのデジタル・ピン			0.3 × IOVDD	V
V_{OH}	High レベル・デジタル出力電圧	SDA、SCL、IRQZ、BYP_EN を除くすべてのデジタル・ピン。I_{OH} = 100μA。	IOVDD-0.2V			V
V_{OL}	Low レベル・デジタル出力電圧	SDA、SCL、IRQZ、BY_EN を除くすべてのデジタル・ピン。I_{OL} = -100μA。			0.2	V
$V_{OL(I2C)}$	Low レベル・デジタル出力電圧	SDA および SCL。I_{OL} = -1mA。			0.2 x IOVDD	V
$V_{OL(IRQZ)}$	IRQZ および BY_EN オープン・ドレイン出力への Low レベル・デジタル出力電圧	IRQZ、BY_EN。I_{OL} = -1mA。			0.2	V
I_{IH}	デジタル入力への入力ロジック High リーケージ	すべてのデジタル・ピン。入力 = 電源レール。	-1		1	μA
I_{IL}	デジタル入力への入力ロジック Low リーケージ	すべてのデジタル・ピン。入力 = GND。	-1		1	μA
C_{IN}	デジタル入力の入力容量	すべてのデジタル・ピン		5		pF
R_{PD}	オンにアサートされたときの IO ピンのプルダウン抵抗			18		kΩ

T_A = 25℃、PVDD = 18V、VBAT1S = 3.8V、AVDD = 1.8V、IOVDD =1.8V、R_L = 4Ω + 15μH、f_{in} = 1kHz、f_s = 48kHz、ゲイン = 21dBV、SDZ = 1、NG_EN=0、EN_LLSR=0、PWR_MODE1[(2)]、セクション 7 に記載されるフィルタなしの状態で測定 (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
R_{OS}	VSNS 抵抗への OUT	負荷が切断された状態		10		kΩ
IO	出力電流強度	電源電圧より 0.4V 低く GND より 0.4V 高い値で測定。		8		mA
アンプ性能						
P_{OUT}	ピーク出力電力	THD+N = 10%、VBAT1S = 5V、PWR_MODE0[(1)]、PWR_MODE1[(2)]		30		W
	最大連続出力電力	THD+N = 1%、VBAT1S= 5V、PWR_MODE0、PWR_MODE1		25		
	システム効率	P_{OUT} = 1W、VBAT1S= 5V、PWR_MODE1		85		%
		P_{OUT} = 1W、VBAT1S= 5V、PWR_MODE0		79		
		P_{OUT} = 3W、VBAT1S= 5V、PWR_MODE0 および PWR_MODE1		85		
		P_{OUT} = 8W、VBAT1S = 5V、PWR_MODE0 および PWR_MODE1		88		
THD+N	全高調波歪およびノイズ	P_{OUT} = 1W		-84		dB
		P_{OUT} = 1W、f_{IN} = 6.667kHz		-84		
IMD	相互変調歪	ITU-R、19kHz/20kHz、1: 1: 12.5W		-83		dB
V_N	アイドル・チャネル・ノイズ	A-Weighted、20Hz～20kHz、PWR_MODE0		40		μV
		A-Weighted、20Hz～20kHz、PWR_MODE2 [(3)]		34		
		A-Weighted、20Hz～20kHz、PWR_MODE1		32		
	超音波チャープを伴うアイドル・チャネル・ノイズ (100μs デューティ・サイクル、25ms 周期)	A-Weighted、20Hz～20kHz、VBAT1S = 5V、PWR_MODE3 [(4)]、$1V_{Peak}$、レジスタ 0x73 を E0h に設定		34		
F_{PWM}	Class-D PWM スイッチング周波数	拡散スペクトラム・モードでの平均周波数、CLASSD_SYNC=0		384		kHz
		固定周波数モード、CLASSD_SYNC=0		384		
		固定周波数モード、CLASSD_SYNC=1、f_s = 44.1、88.2kHz		352.8		
		固定周波数モード、CLASSD_SYNC=1、f_s = 48、96kHz		384		
V_{OS}	出力オフセット電圧	アイドル・モード	-1.3	±0.33	1.3	mV
DNR	ダイナミック・レンジ	A-Weighted、-60dBFS		110		dB
		A-Weighted、-60dBFS、PWR_MODE2		109		
		A-Weighted、-60dBFS、PWR_MODE0		109		
SNR	信号対雑音比	A-Weighted、1% THD+N 出力レベルを基準		110		dB
		A-Weighted、1% THD+N 出力レベルを基準、PWR_MODE2		110		
		A-Weighted、1% THD+N 出力レベルを基準、PWR_MODE0		109		
K_{CP}	クリックおよびポップ性能	アイドル・モード、シャットダウンの開始時と終了時、A-Weighted		0.8		mV
	フルスケール出力電圧	f_s ≦ 48kHz		21		dBV
	プログラム可能な最小ゲイン	f_s ≦ 48kHz		11		dBV
	プログラム可能な最大ゲイン	f_s ≦ 48kHz		21		
	プログラム可能な出力レベルのステップ・サイズ			0.5		dB
	ミュート減衰	デバイスはソフトウェア・シャットダウン中、または通常動作でミュート中		108		dB
	チップ間群遅延		-1		1	μs
	PVDD 電源除去比	PVDD = 18V + 200mV_{pp}、f_{ripple} = 217Hz		118		dB
		PVDD = 18V + 200mV_{pp}、f_{ripple} = 1kHz		110		
		PVDD = 18V + 200mV_{pp}、f_{ripple} = 20kHz		95		
	VBAT1S 電源除去比	VBAT1S = 3.8V + 200mV_{pp}、f_{ripple} = 217Hz		114		dB
		VBAT1S = 3.8V + 200mV_{pp}、f_{ripple} = 1kHz		110		
		VBAT1S = 3.8V + 200mV_{pp}、f_{ripple} = 20kHz		90		

Copyright © 2023 Texas Instruments Incorporated

T_A = 25℃、PVDD = 18V、VBAT1S = 3.8V、AVDD = 1.8V、IOVDD =1.8V、R_L = 4Ω + 15μH、f_{in} = 1kHz、f_s = 48kHz、ゲイン = 21dBV、SDZ = 1、NG_EN=0、EN_LLSR=0、PWR_MODE1[(2)]、セクション 7 に記載されるフィルタなしの状態で測定 (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
	AVDD 電源除去比	AVDD = 1.8V + 200mV_{pp}、f_{ripple} = 217Hz		105		dB
		AVDD = 1.8V + 200mV_{pp}、f_{ripple} = 1kHz		104		
		AVDD = 1.8V + 200mV_{pp}、f_{ripple} = 20kHz		87		
	電源相互変調	PVDD、217Hz、100mVpp、入力 f = 1kHz @ 400mW		-120		dB
		VBAT1S、217Hz、100mVpp、入力 f = 1kHz @ 400mW		-120		
		AVDD、217Hz、100mVpp、入力 f = 1kHz @ 400mW		-80		
		IOVDD 217Hz、100mVpp、入力 f = 1kHz @ 400mW		-120		
	SW シャットダウンのリリースからのターンオン時間	ボリューム・ランプなし		1.12		ms
		ボリューム・ランプ		6.7		
	SW シャットダウンのアサートからアンプのハイ・インピーダンスまでのターンオフ時間	ボリューム・ランプなし		0.56		ms
		ボリューム・ランプ		6		
	HW シャットダウンから復帰して最初の I^2C コマンドまで		1			ms
診断ジェネレータ						
THD+N	全高調波歪およびノイズ	Pout = 1W		-82		dB
f_{err}	周波数誤差	内部発振器を使用:DG_CLK = 0		2		%
ダイ温度センサ						
	分解能			8		ビット
	最小温度測定範囲			-40		°C
	最大温度測定範囲			150		°C
	ダイ温度分解能			1		°C
	ダイ温度精度		-5		5	°C
電圧モニタ						
	分解能			12		ビット
	PVDD の測定範囲	最小レベル		2		V
		最大レベル		23		
	PVDD の分解能			22.5		mV
	PVDD の精度	2V ≦ PVDDV ≦ 23V		±60		mV
	VBAT1S の測定範囲	最小レベル		2		V
		最大レベル		6		
	VBAT1S の分解能			20		mV
	VBAT1S の精度	2.3V ≦ VBAT1S ≦ 6V		±20		mV
TDM シリアル・オーディオ・ポート						
	最小 PCM サンプル・レートと FSYNC 入力周波数			44.1		kHz
	最大 PCM サンプル・レートと FSYNC 入力周波数			96		
	最小 SBCLK 入力周波数	I^2S/TDM での動作		0.7056		MHz
	最大 SBCLK 入力周波数	I^2S/TDM での動作		24.576		
	SBCLK の最大入力ジッタ	性能を低下させない許容範囲 40kHz 未満の RMS ジッタ			0.5	ns
		性能を低下させない許容範囲 40kHz 以上の RMS ジッタ			1	
	I^2S および TDM モードにおける FSYNC 当たりの最小 SBCLK サイクル	その他の値:24、32、48、64、96、125、128、192、250、256、384、500		16		サイクル
	I^2S および TDM モードにおける FSYNC 当たりの最大 SBCLK サイクル	その他の値:24、32、48、64、96、125、128、192、250、256、384、500		512		

T_A = 25℃、PVDD = 18V、VBAT1S = 3.8V、AVDD = 1.8V、IOVDD =1.8V、R_L = 4Ω + 15μH、f_{in} = 1kHz、f_s = 48kHz、ゲイン = 21dBV、SDZ = 1、NG_EN=0、EN_LLSR=0、PWR_MODE1[(2)]、セクション 7 に記載されるフィルタなしの状態で測定 (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
PCM 再生 特性 f_s ≦ 48kHz						
f_s	最小サンプル・レート			44.1		kHz
	最大サンプル・レート			48		
	通過帯域リップルの周波数			0.454		f_s
	通過帯域リップル	LPF のカットオフ周波数に 20Hz	-0.15		0.15	dB
	ストップ・バンド減衰	0.55 以上の f_s		60		dB
		1 以上の f_s		65		
	群遅延 (ノイズ・ゲートを含む)	DC から 0.454 f_s まで、DC ブロッカはディセーブル		19		$1/f_s$
PCM 再生 特性 f_s > 48kHz						
fs	最小サンプル・レート			88.2		kHz
	最大サンプル・レート			96		
	通過帯域リップルの周波数	f_s = 96kHz		0.437		f_s
	通過帯域 3db 周波数	f_s = 96kHz		0.459		f_s
	通過帯域リップル	DC から LPF へのカットオフ周波数	-0.5		0.5	dB
	ストップ・バンド減衰	0.56 以上の f_s		60		dB
		1 以上の f_s		65		
	群遅延 (ノイズ・ゲートを含む)	DC から 0.375 f_s まで (96kHz の場合)、DC ブロッカはディセーブル		35		$1/f_s$
スピーカ電流センス						
	分解能			16		ビット
DNR	ダイナミック・レンジ	重み付けなし、基準は 0dBFS。		70		dB
THD+N	全高調波歪およびノイズ	Pout = 15W		-64		dB
	フルスケール入力電流	-6dBFS で測定。0dBFS で再スケーリング。		5		A
	差動モード・ゲイン		0.98		1.02	
	周波数応答	20Hz～20kHz	-0.1		0.1	dB
	群遅延			5		$1/f_s$
スピーカ電圧センス						
	分解能			16		ビット
DNR	ダイナミック・レンジ	重み付けなし、基準は 0dBFS		75		dB
THD+N	全高調波歪およびノイズ	Pout = 15W		-71		dB
	フルスケール入力電圧			16		V_{PK}
	差動モード・ゲイン		0.98		1.02	
	周波数応答	20Hz～20kHz	-0.1		0.1	dB
	群遅延			5		$1/f_s$
スピーカの電圧 / 電流センス比						
	ゲインの直線性	Pout ≧ 40mW から 0.1% THD+N。40Hz、-40dBFS のパイロット・トーンを使用、PWR_MODE0 および PWR_MODE1	-1		1	%
	温度範囲全体でのゲイン誤差	-20°C～70°C、Pout = 1W		±0.6		%
	V と I の間の位相誤差			300		ns
保護回路						
	最初のアタックに対するブラウンアウト防止レイテンシ	BOP_SRC = 1		19		μs
	サーマル・シャットダウン温度			142		°C
	サーマル・シャットダウンの再試行	OTE_RETRY = 1		1.5		s
	PVDD の出力過電流制限	出力から出力、出力から GND、または出力から PVDD への短絡	5.5	6.6		A

Copyright © 2023 Texas Instruments Incorporated

T_A = 25℃、PVDD = 18V、VBAT1S = 3.8V、AVDD = 1.8V、IOVDD =1.8V、R_L = 4Ω + 15μH、f_{in} = 1kHz、f_s = 48kHz、ゲイン = 21dBV、SDZ = 1、NG_EN=0、EN_LLSR=0、PWR_MODE1[(2)]、セクション 7 に記載されるフィルタなしの状態で測定 (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
	VBAT1S の出力過電流制限	出力から出力、出力から GND、または出力から VBAT1S への短絡	2	2.6		A
	VBAT1S 低電圧誤動作防止スレッショルド	UVLO がアサートされている		2		V
		UVLO がアサート解除されている		2.16		
	AVDD 低電圧誤動作防止スレッショルド	UVLO がアサートされている		1.45		V
		UVLO がアサート解除されている		1.51		
	IOVDD 低電圧誤動作防止スレッショルド	UVLO がアサートされている		1.13		V
		UVLO がアサート解除されている		1.25		
	VBAT1S 内部 LDO 低電圧誤動作防止スレッショルド	UVLO がアサートされている	4			V
標準消費電流						
	ハードウェア・シャットダウン	SDZ = 0、PVDD		0.05		μA
		SDZ = 0、VBAT1S		0.01		
		SDZ = 0、AVDD		0.14		
		SDZ = 0、IOVDD		0.005		
	ソフトウェア・シャットダウン	すべてのクロックが停止、PVDD		0.05		μA
		すべてのクロックが停止、VBAT1S		0.5		
		すべてのクロックが停止、AVDD		10.2		
		すべてのクロックが停止、IOVDD		0.55		
	ノイズ・ゲート・モード	f_s = 48kHz、PVDD		0.012		mA
		f_s = 48kHz、VBAT1S		0.13		
		f_s = 48kHz、AVDD		3		
		f_s = 48kHz、IOVDD		0.01		
	アイドル・モード - PWR_MODE1	f_s = 48kHz、PVDD		0.04		mA
		f_s = 48kHz、VBAT1S		2.2		
		f_s = 48kHz、AVDD、IV センス = イネーブル		9.2		
		f_s = 48kHz、AVDD、IV センス = ディセーブル		6.8		
		f_s = 48kHz、IOVDD		0.02		
	アイドル・モード - PWR_MODE2	f_s = 48kHz、PVDD		3		mA
		f_s = 48kHz、AVDD、IV センス = イネーブル		9.2		
		f_s = 48kHz、AVDD、IV センス = ディセーブル		6.8		
		f_s = 48kHz、IOVDD		0.02		
	アイドル・モード - PWR_MODE0	f_s = 48kHz、PVDD		2.28		mA
		f_s = 48kHz、VBAT1S		2.1		
		f_s = 48kHz、AVDD、IV センス = イネーブル		9.2		
		f_s = 48kHz、AVDD、IV センス = ディセーブル		6.8		
		f_s = 48kHz、IOVDD		0.02		

(1) **PWR_MODE0**: CDS_MODE=10、VBAT1S_MODE=0
(2) **PWR_MODE1**: CDS_MODE=00、VBAT1S_MODE=0
(3) **PWR_MODE2**: CDS_MODE=11、VBAT1S_MODE=1
(4) **PWR_MODE3**: CDS_MODE=01、VBAT1S_MODE=0

6.6 I²C のタイミング要件

T_A = 25℃、AVDD = IOVDD = 1.8V (特に記述のない限り)

		最小値	最大値	単位
標準モード				
f_{SCL}	SCL クロック周波数	0	100	kHz
$t_{HD;STA}$	(反復) 開始条件のホールド時間。この時間が経過すると、最初のクロック・パルスが生成されます。	4		µs
t_{LOW}	SCL クロックの Low の時間	4.7		µs
t_{HIGH}	SCL クロックの High の時間	4		µs
$t_{SU;STA}$	反復開始条件のセットアップ時間	4.7		µs
$t_{HD;DAT}$	データ・ホールド時間:I²C バス・デバイスの場合		3.45	µs
$t_{SU;DAT}$	データ・セットアップ時間	250		ns
t_r	SDA と SCL の立ち上がり時間		1000	ns
t_f	SDA と SCL の立ち下がり時間		300	ns
$t_{SU;STO}$	終了条件のセットアップ時間	4		µs
t_{BUF}	終了条件と開始条件の間のバス・フリー時間	4.7		µs
C_b	各バス・ラインの容量性負荷		400	pF
Fast モード				
f_{SCL}	SCL クロック周波数	0	400	kHz
$t_{HD;STA}$	(反復) 開始条件のホールド時間。この時間が経過すると、最初のクロック・パルスが生成されます。	0.6		µs
t_{LOW}	SCL クロックの Low の時間	1.3		µs
t_{HIGH}	SCL クロックの High の時間	0.6		µs
$t_{SU;STA}$	反復開始条件のセットアップ時間	0.6		µs
$t_{HD;DAT}$	データ・ホールド時間:I²C バス・デバイスの場合	0	0.9	µs
$t_{SU;DAT}$	データ・セットアップ時間	100		ns
t_r	SDA と SCL の立ち上がり時間	20 + 0.1 x C_b[pF]	300	ns
t_f	SDA と SCL の立ち下がり時間	20 + 0.1 x C_b[pF]	300	ns
$t_{SU;STO}$	終了条件のセットアップ時間	0.6		µs
t_{BUF}	終了条件と開始条件の間のバス・フリー時間	1.3		µs
C_b	各バス・ラインに対する容量性負荷 (10pF～400pF)		400	pF
Fast+ モード				
f_{SCL}	SCL クロック周波数		1000	kHz
$t_{HD;STA}$	(反復) 開始条件のホールド時間。この時間が経過すると、最初のクロック・パルスが生成されます。	0.26		µs
t_{LOW}	SCL クロックの Low の時間	0.5		µs
t_{HIGH}	SCL クロックの High の時間	0.26		µs
$t_{SU;STA}$	反復開始条件のセットアップ時間	0.26		µs
$t_{HD;DAT}$	データ・ホールド時間:I²C バス・デバイスの場合	0		µs
$t_{SU;DAT}$	データ・セットアップ時間	50		ns
t_r	SDA と SCL の立ち上がり時間		120	ns
t_f	SDA と SCL の立ち下がり時間		120	ns
$t_{SU;STO}$	終了条件のセットアップ時間	0.26		µs
t_{BUF}	終了条件と開始条件の間のバス・フリー時間	0.5		µs
C_b	各バス・ラインの容量性負荷		550	pF

Copyright © 2023 Texas Instruments Incorporated

6.7 TDM ポートのタイミング要件

T_A = 25℃、AVDD = IOVDD = 1.8V、すべての出力に 20pF の負荷 (特に記述のない限り)

			最小値	最大値	単位
t_H(SBCLK)	SBCLK の High 期間		20		ns
t_L(SBCLK)	SBCLK の Low 期間		20		ns
t_{SU}(FSYNC)	FSYNC セットアップ時間		8		ns
t_{HLD}(FSYNC)	FSYNC のホールド時間		8		ns
t_{SU}(SDIN/ICC)	SDIN/ICC セットアップ時間		8		ns
t_{HLD}(SDIN/ICC)	SDIN/ICC のホールド時間		8		ns
t_d(SBCLK_SDOUT/ICC)	SBCLK から SDOUT/ICC への遅延	SBCLK の 50% から SDOUT/ICC の 50% まで、IOVDD = 1.8V		30	ns
t_r(SBCLK)	SBCLK の立ち上がり時間	10%～90% の立ち上がり時間		8	ns
t_f(SBCLK)	SBCLK の立ち下がり時間	90%～10% の立ち下がり時間		8	ns

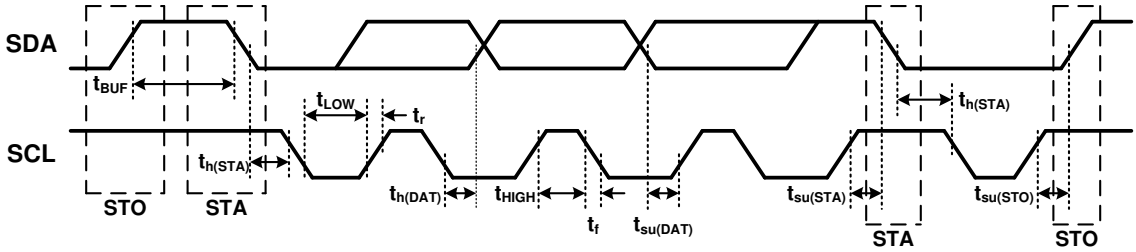


図 6-1. I²C のタイミング図

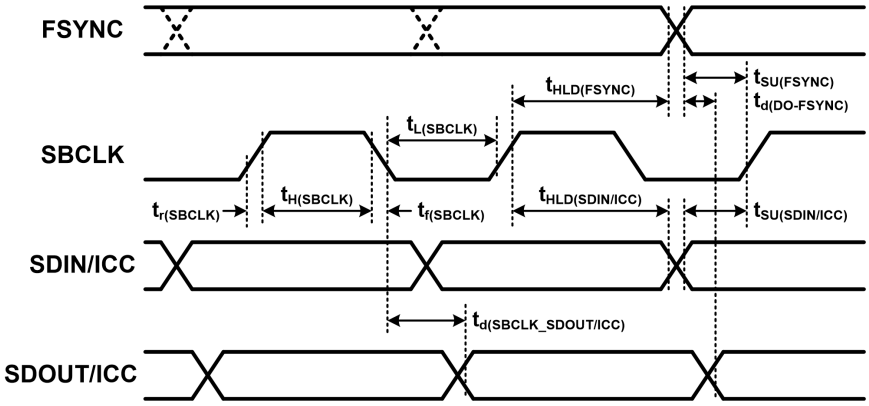
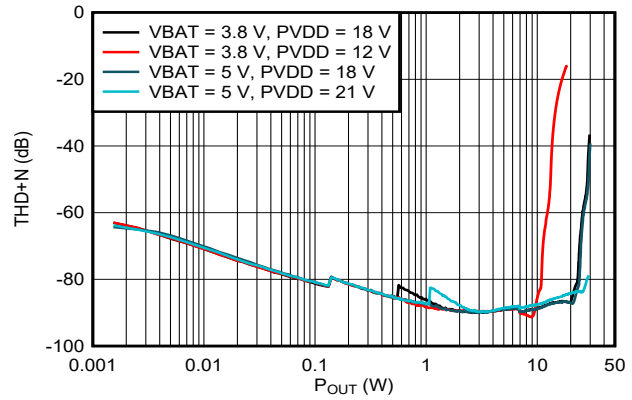


図 6-2. TDM と ICC のタイミング図

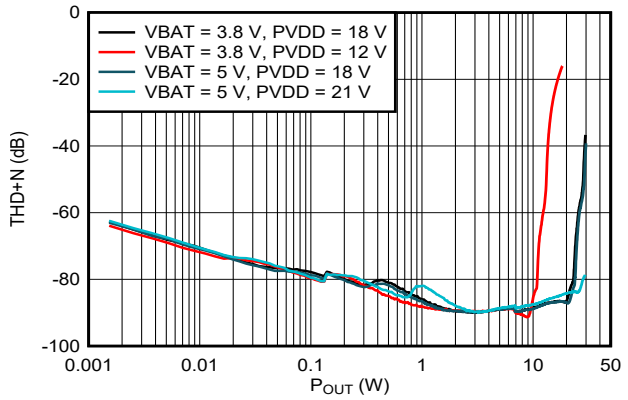
6.8 標準的特性

T_A = 25℃、f_s = 48kHz、Class-D スイッチング周波数=384kHz、入力信号 f_{IN} = 1kHz - サイン、負荷=4Ω +15μH (特に記述のない限り)。



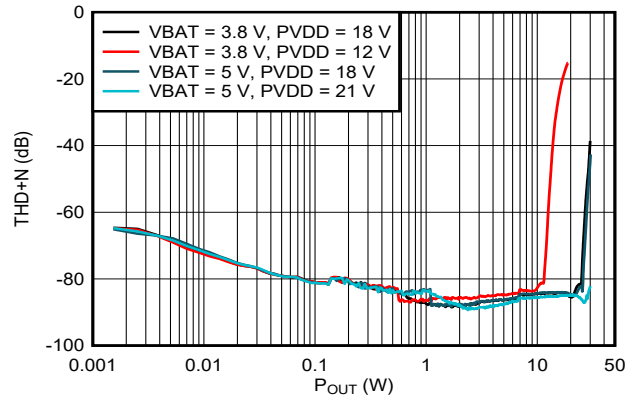
PWR_MODE1

図 6-3. THD+N と出力電力との関係



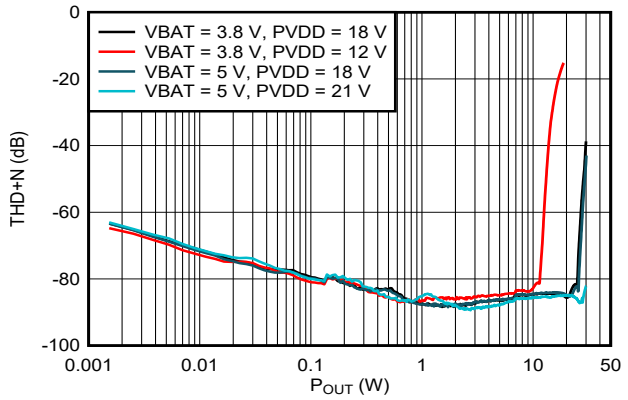
PWR_MODE0

図 6-4. THD+N と出力電力との関係



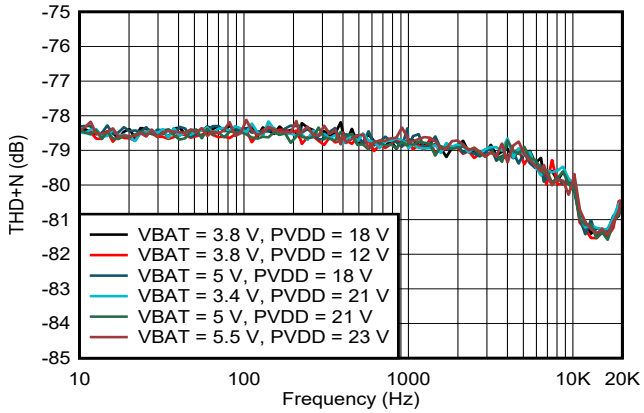
f_{IN}= 6.667kHz PWR_MODE1

図 6-5. THD+N と出力電力との関係



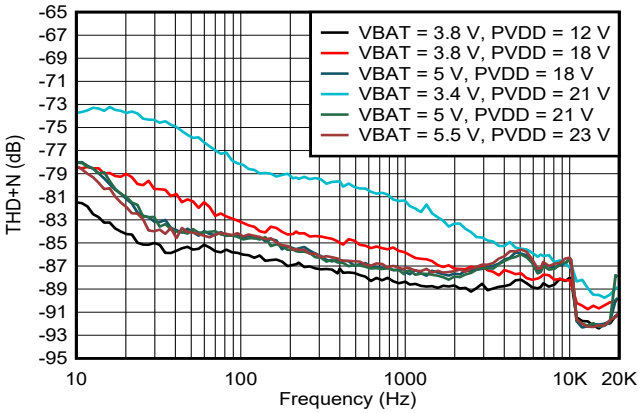
f_{IN}= 6.667kHz PWR_MODE0

図 6-6. THD+N と出力電力との関係



P_{OUT}= 0.1W PWR_MODE1

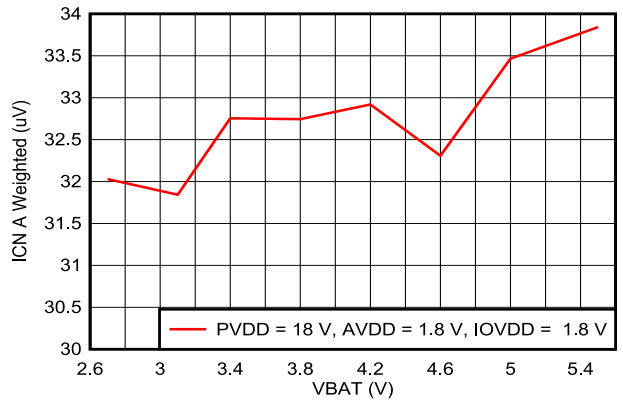
図 6-7. THD+N と周波数との関係



P_{OUT} = 1W PWR_MODE1

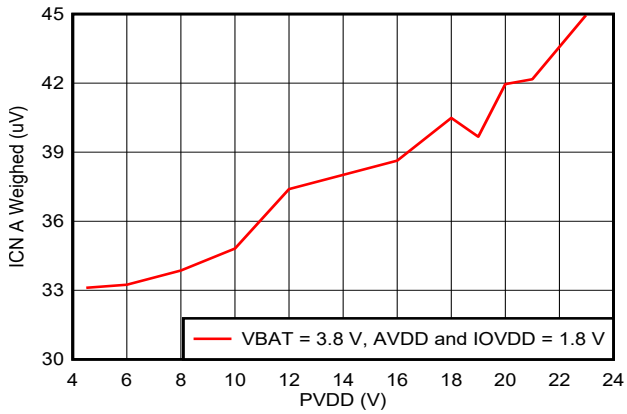
図 6-8. THD+N と周波数との関係

Copyright © 2023 Texas Instruments Incorporated



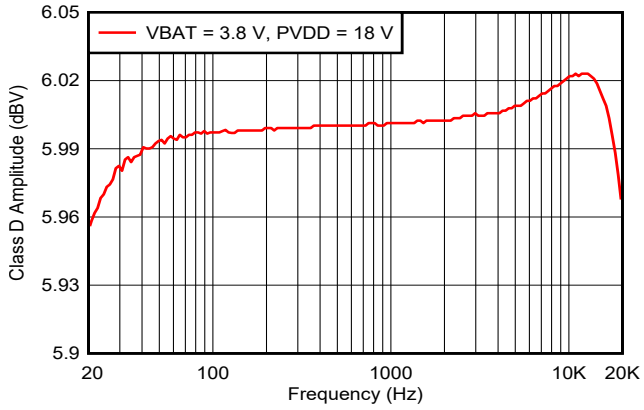
PWR_MODE1

図 6-9. ICN と VBAT との関係



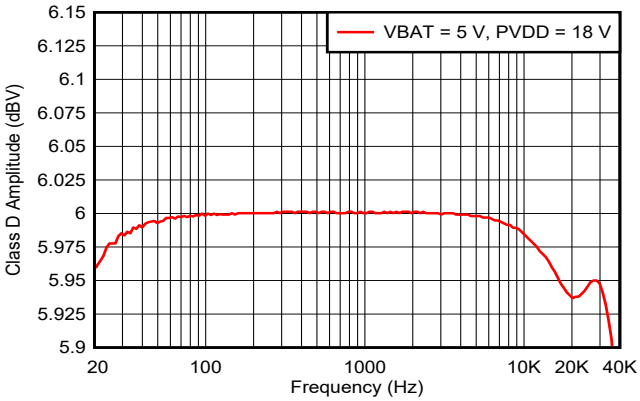
PWR_MODE0

図 6-10. ICN と PVDD との関係



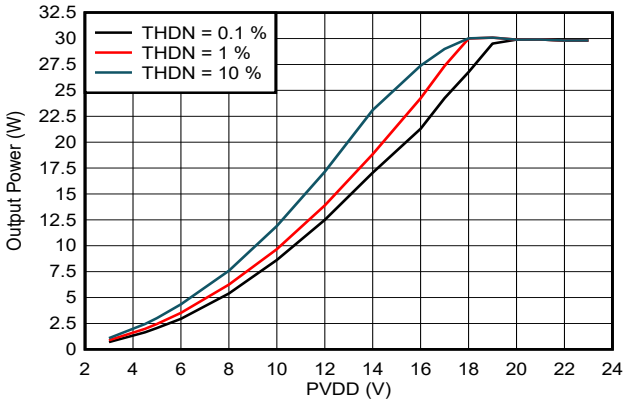
PWR_MODE1

図 6-11. Class-D の振幅と周波数との関係



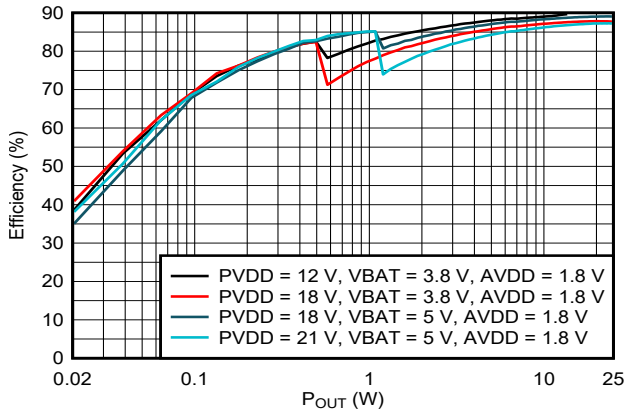
f_s= 96kHz PWR_MODE3

図 6-12. Class-D の振幅と周波数との関係



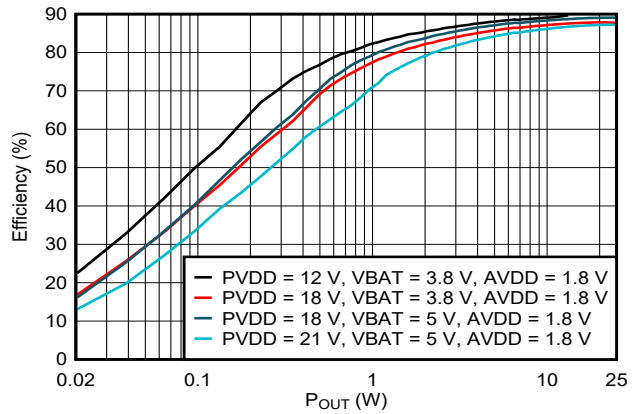
VBAT1S = 5V PWR_MODE0/PWR_MODE1

図 6-13. 出力電力と PVDD との関係



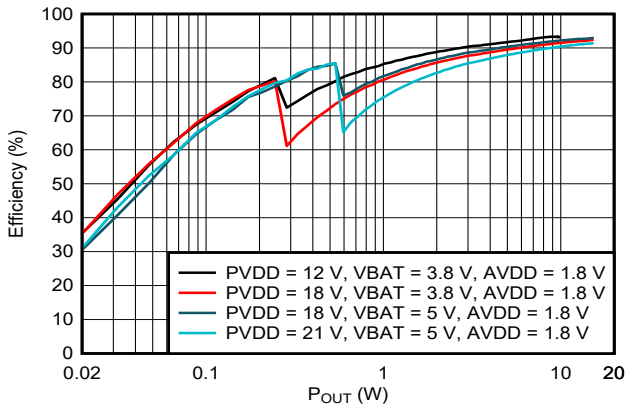
PWR_MODE1

図 6-14. 効率と出力電力との関係



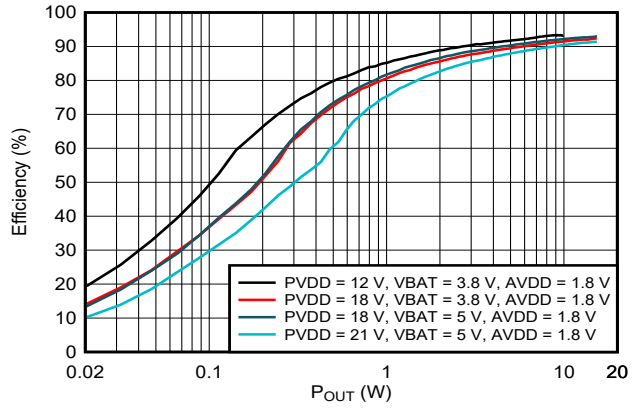
PWR_MODE0

図 6-15. 効率と出力電力との関係



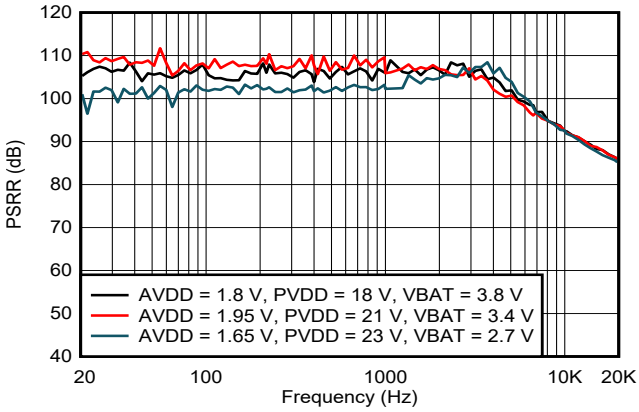
負荷=8Ω　PWR_MODE1

図 6-16. 効率と出力電力との関係



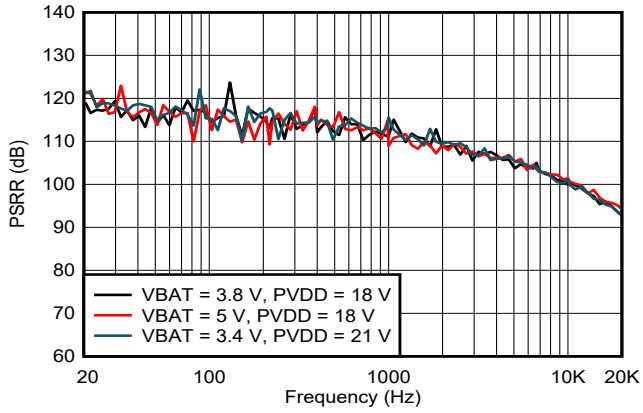
負荷=8Ω　PWR_MODE0

図 6-17. 効率と出力電力との関係



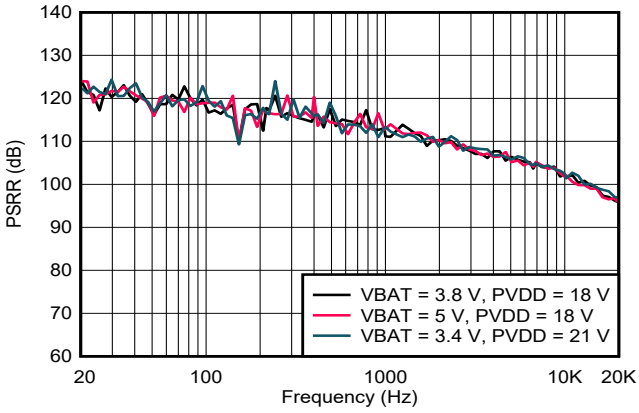
PWR_MODE1

図 6-18. AVDD PSRR と周波数との関係



PWR_MODE1

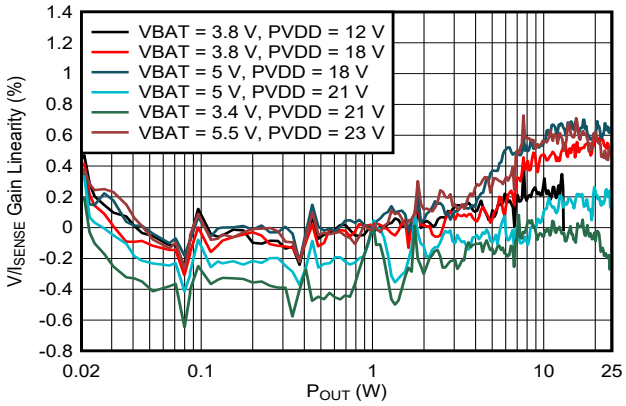
図 6-19. VBAT1S PSRR と周波数との関係



PWR_MODE1

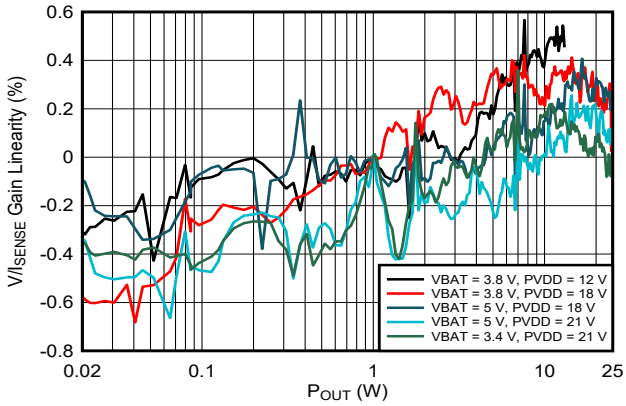
図 6-20. PVDD PSRR と周波数との関係

Copyright © 2023 Texas Instruments Incorporated



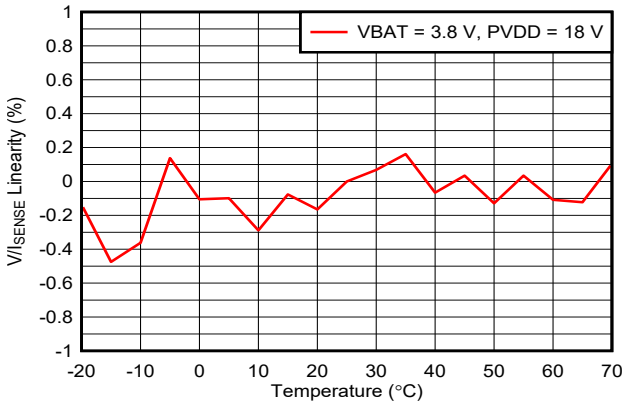
PWR_MODE1

図 6-21. V/I ゲインの直線性と出力電力との関係



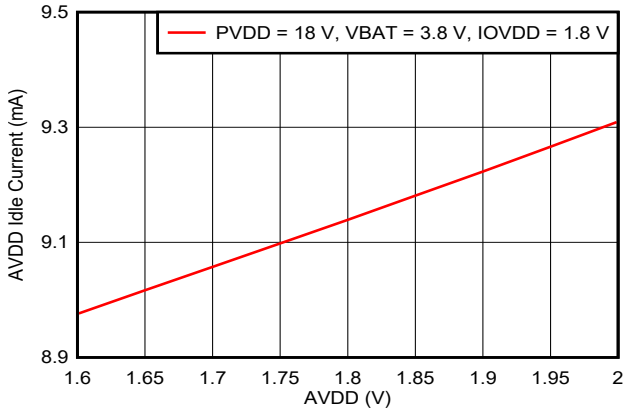
PWR_MODE0

図 6-22. V/I ゲインの直線性と出力電力との関係



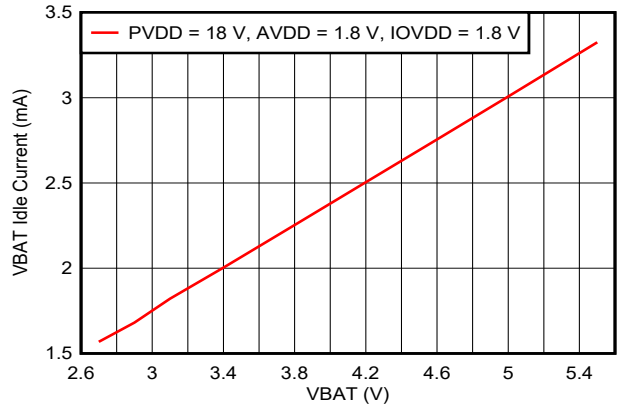
PWR_MODE1

図 6-23. V/I の直線性と温度との関係



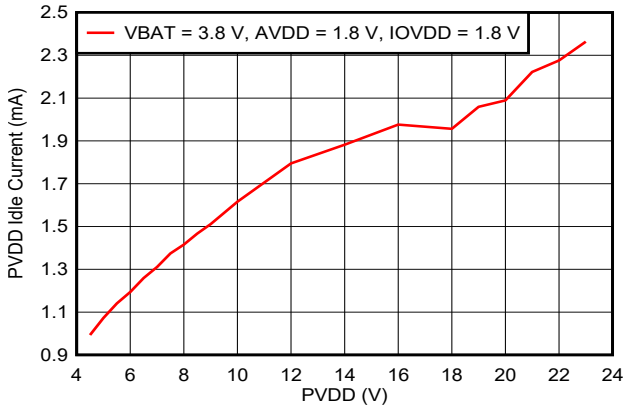
PWR_MODE1

図 6-24. AVDD のアイドル電流と AVDD との関係



PWR_MODE1

図 6-25. VBAT のアイドル電流と VBAT との関係



PWR_MODE0

図 6-26. PVDD のアイドル電流と PVDD との関係

7 パラメータ測定情報

デバイスの標準的な特性は、ベンチ評価基板 (EVM) とオーディオ高精度アナライザを使用して測定されます。PSIA インターフェイスを使用すると、I²S インターフェイスをオーディオ高精度アナライザに直接駆動することができます。

一部の測定では (THD+N、ICN、DNR など)、Class-D 出力端子は、以下に示すように差動からシングルエンドへの (D2S) フィルタを経由して、オーディオ高精度アナライザのアナログ入力に接続されます。D2S フィルタには、120kHz の 2 次パッシブ極と計測用アンプが搭載されています。D2S フィルタにより、TAS2780 の高性能 Class-D アンプは処理前の出力のフィルタリングとバッファリングを確実に行います。そのため、Class-D 出力において AUX-00XX フィルタの効果に影響を及ぼす負荷によって生じる測定誤差を防止することができます。

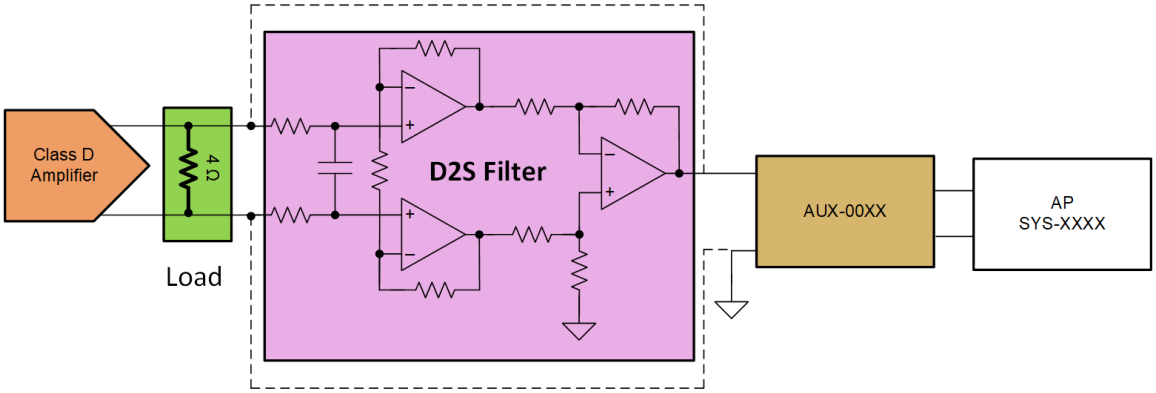


図 7-1. 差動からシングルエンドへの (D2S) フィルタ

8 詳細説明

8.1 概要

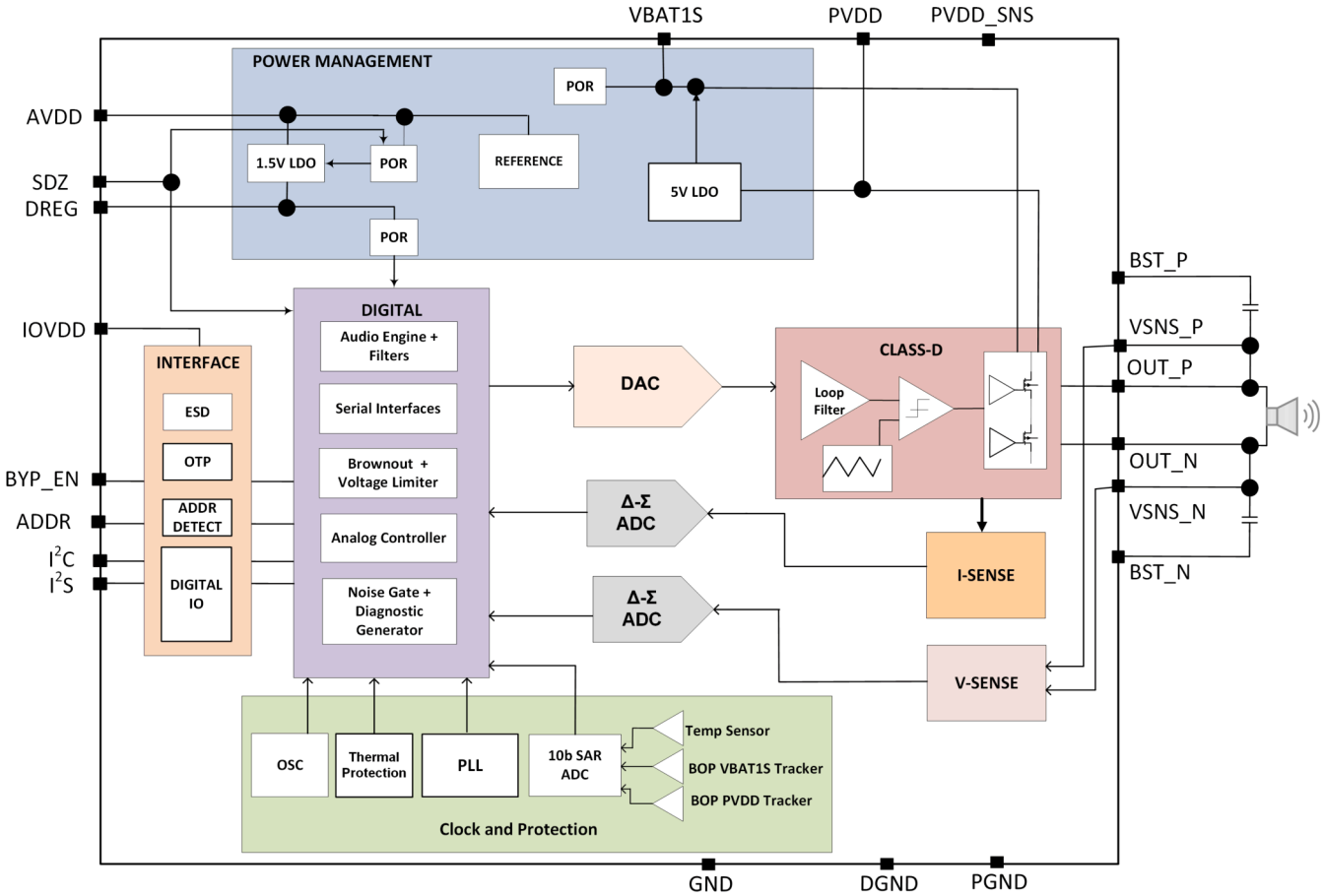
TAS2780 はモノラル・デジタル入力 Class-D アンプで、効率的なバッテリ動作と小さなソリューション・サイズが重要となるモバイル・アプリケーション向けに最適化されています。この中には、スピーカ IV (電流 / 電圧) 検出機能とブラウンアウト防止付きバッテリ・トラッキング制限機能が搭載されています。このデバイスは、TDM/I²S および I²C インターフェイスを使用して動作します。

表 8-1. フルスケール

入出力信号	フルスケール値
Class-D 出力	21dBV
電圧モニタ	23V
電流検出	5A
電圧検出	16Vpk

Copyright © 2023 Texas Instruments Incorporated

8.2 機能ブロック図



8.3 機能説明

8.3.1 デバイス・アドレスの選択

TAS2780 は、TDM/I²S インターフェイスを使用して動作します。オーディオ入出力は、I²S、左詰め、TDM などの形式を使用して FSYNC、SBCLK、SDIN、SDOUT ピン経由で行われます。構成とステータスは、I²C プロトコルを使用して SDA および SCL ピン経由で提供されます。

I²C アドレス用のデバイスの構成方法を以下の表に示します。ペリフェラル・アドレスは、R/W ビットを 0 にセットし、1 ビット左にシフトして表記しています (例:{ADDR[6:0],1b0})。アドレス構成を設定するには、公差が 5% 以内の抵抗を使用する必要があります。

表 8-2. I²C アドレスの選択

I²C アドレス	0x70	0x72	0x74	0x76	0x78	0x7A	0x7C	0x7E
ADDR ピン	GND への短絡	470Ω を GND との間に接続	470Ω を AVDD との間に接続	2.2kΩ を GND との間に接続	2.2kΩ を AVDD との間に接続	10kΩ を GND との間に接続	10kΩ を AVDD との間に接続	AVDD への短絡

TAS2780 には、グローバルの 7 ビット I²C アドレス 0x80 が設定されています。イネーブルにすると、ADDR ピンの設定に関係なく、デバイスはこのアドレスで I²C コマンドに追加応答します。これにより、複数の TAS2780 デバイスを使用して、すべてのデバイスで同様の設定をプログラムする場合に、デバイス構成を迅速化することができます。複数のデバイスが I²C コマンドに応答しているため、マルチデバイスの書き込み中は I²C の ACK/NACK を使用することはできません。I²C の CRC 機能を使用して、各デバイスが I²C コマンドを正しく受信したかを確認する必要があります。グローバル・アドレスを使用して複数のデバイスへの書き込みが完了すると、ローカル・アドレスを使用して各デバイスの I2C_CKSUM レ

ジスタの CRC をチェックし、適切な値が書き込まれたことを確認する必要があります。グローバル I²C アドレスをディセーブルにするには、I2C_GBL_EN レジスタ・ビットを使用します。SDZ ピンをリリースすると、ADDR ピンの自動サンプリングにより I²C アドレスが検出されます。さらに、電源投入後に I2C_AD_DET レジスタ・ビットを High に設定すると、アドレスが再検出され、ADDR ピンも再度サンプリングされます。

8.3.2 レジスタの構成

デバイスの構成と係数は、ページとブック方式で保存されます。各ページは 128 バイト、各ブックは 256 ページで構成されています。すべてのデバイス構成レジスタはブック 0 に保存されます。これは、電源投入時とソフトウェア・リセット後のデフォルト設定です。ブックとページは、の BOOK[7:0] レジスタ・ビットと、の PAGE[7:0] レジスタ・ビットで設定できます。

注

ブック 0x00、ページ 0x04 のレジスタ・ビットをプログラムするには、4 つのレジスタ (32 ビット形式) のグループ単位で行う必要があります。各バイトは 1 レジスタに対応しており、最下位バイトはもっとも大きなレジスタ・アドレスに対応しています。たとえば、リミッタの最大スレッショルドをプログラムする場合、ページ 0x04 のレジスタ 0x0C～0x0F では、MSB はレジスタ 0x0C で、LSB はレジスタ 0x0F になります。

8.4 デバイスの機能モード

8.4.1 TDM ポート

TAS2780 は、フレキシブルなシリアル・オーディオ・ポートを搭載しています。このポートは、ステレオ I²S、左揃え、TDM などさまざまなフォーマットに対応するように構成することができます。モノラル・オーディオ再生は、SDIN ピンから行うことが可能です。SDOUT ピンは、スピーカ電圧と電流センス、PVDD 電圧、ダイ温度、チャネル・ゲインなどのサンプル・ストリームを送信するために使用します。

TDM シリアル・オーディオ・ポートは、サンプル・レート 44.1/48kHz の場合には最大 16 の 32 ビット・タイム・スロット、サンプル・レート 88.2/96kHz の場合には最大 8 つの 32 ビット・タイム・スロットをサポートしています。有効な SBCLK 対 FSYNC 比は、16、24、32、48、64、96、128、192、256、512 です。デバイスはタイム・スロット数を自動検出できるため、プログラムする必要はありません。

デフォルトでは、TAS2780 は PCM 再生サンプル・レートを自動検出します。AUTO_RATE レジスタ・ビットを High にセットすることにより、この機能をディセーブルにして、デバイスを手動で構成することもできます。

AUTO_RATE レジスタ・ビットが High にセットされている場合 (TDM サンプル・レートの自動検出がディセーブル)、SAMP_RATE[2:0] レジスタ・ビットと SAMP_RATIO[3:0] レジスタ・ビットを使用して、PCM オーディオ・サンプル・レートを構成することができます。TAS2780 は堅牢なクロック・フォルト検出エンジンを搭載しており、FSYNC が構成されているサンプル・レートに合っていない場合 (AUTO_RATE = 1 の場合) や、SBCLK 対 FSYNC 比がサポートされていない場合に、再生パスのボリュームを自動的に低下させます (可聴アーティファクトが最小化されます)。クロックの周波数と比がどちらも有効であることが検出されると、デバイスは再生パスのボリュームを自動的に構成されている値に戻し、再生を再開します。

自動レート検出を使用すると、TDM バスで検出されたサンプリング・レートと SBCLK 対 FSYNC 比は、読み取り専用レジスタ・ビット FS_RATE[2:0] と FS_RATIO[3:0] に通知されます。

TAS2780 は、12MHz の SBCLK 動作をサポートしています。システムは、125 か 250 の比率を検出するか、または手動で構成する必要があります。ここで指定した比率にするとデータが切り捨てられるため、最後の 32 ビットのスロットを TDM (SDOUT) や ICC (セクション 8.4.2.10.1) を経由したデータ送信に使用することはできません。

以下の 図 8-1 と 図 8-2 に、再生用ポートの構成に必要なレシーバ・フレームのパラメータを示します。フレームは FSYNC が High から Low、または Low から High へのいずれかの遷移で開始します (FRAME_START レジスタ・ビットで設定)。FSYNC および SDIN は、SBCLK の立ち上がりエッジか立ち下がりエッジのいずれかを使用してサンプリングされます (RX_EDGE レジスタ・ビットで設定)。RX_OFFSET[4:0] レジスタ・ビットでは、FSYNC の遷移からタイム・スロット 0 の開始までの SBCLK のサイクル数を定義します。この値は通常、左揃えフォーマットの場合は 0、I²S フォーマットの場合は 1 に設定されます。

Copyright © 2023 Texas Instruments Incorporated

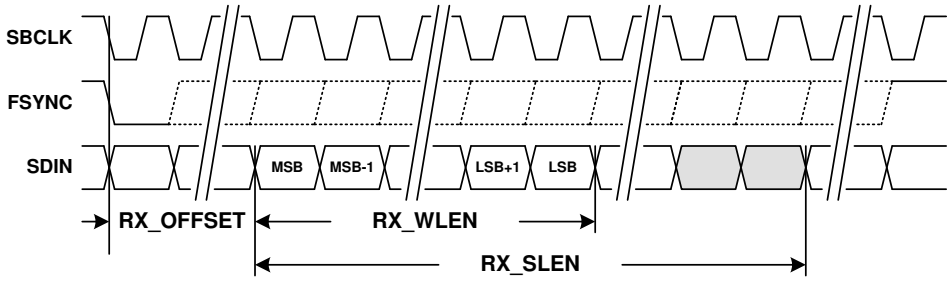


図 8-1. 左揃えの TDM RX タイム・スロット

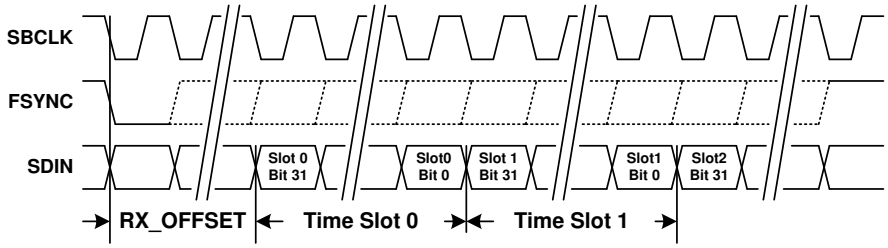


図 8-2. TDM RX タイム・スロット

RX_SLEN[1:0] レジスタ・ビットは、RX タイム・スロットの長さを 16、24、32 (デフォルト) ビットに設定します。タイム・スロット内のオーディオ・サンプルのワード長は、RX_WLEN[1:0] レジスタ・ビットで 16、20、24 (デフォルト)、32 ビットに設定します。デフォルトでは、RX ポートはタイム・スロット内のオーディオ・サンプルを左揃えにしますが、RX_JUSTIFY レジスタ・ビットで右揃えに変更することも可能です。TAS2780 は、モノラルとステレオのダウンミックス再生 ([L+R]/2) に対応しています。デフォルトでは、デバイスは I^2C ベース・アドレスのオフセット (ADDR ピンで設定) と同じタイム・スロットからモノラル再生を行います。RX_SCFG[1:0] レジスタ・ビットを使用すると、RX_SLOT_L[3:0] レジスタ・ビットと RX_SLOT_R[3:0] レジスタ・ビットの設定により、再生ソースを左側のタイム・スロット、右側のタイム・スロット、またはステレオ・ダウンミックスにオーバーライドすることができます。

タイム・スロットがフレーム境界を超えたときに部分的に受信するか、すべて受信するかのいずれかを選択した場合、レシーバはデジタル的にミュートされたサンプルと同等のヌル・サンプルを返します。

TDM ポートは、SDOUT ピンで、スピーカ電圧センス、スピーカ電流センス、割り込みとステータス、PVDD 電圧、ダイ温度、チャネル・ゲインなど多数のサンプル・ストリームを送信できます。以下の 図 8-3 に、タイム・スロットとフレームの開始場所のアライメント、および指定のサンプル・ストリームをタイム・スロットにマッピングする方法を示します。

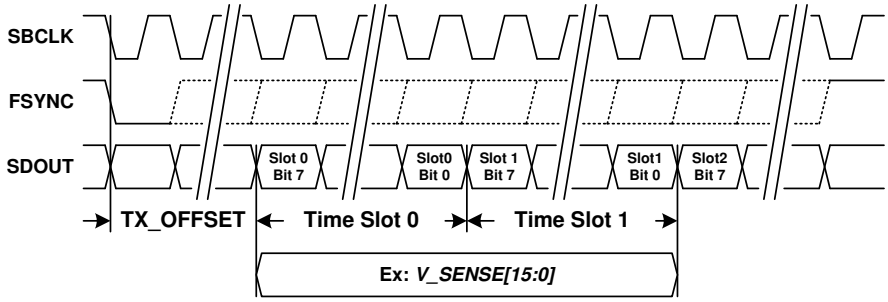


図 8-3. TDM ポートの TX 図

SBCLK の立ち上がりエッジか立ち下がりエッジのいずれかを使用して、SDOUT ピンでデータを送信することができます。この機能は、TX_EDGE レジスタ・ビットをセットして構成できます。TX_OFFSET[2:0] レジスタ・ビットは、フレーム開始時からタイム・スロット 0 の開始時までの SBCLK のサイクル数を定義します。TDM と ICC TX は、TX_FILL レジスタ・ビットの設定に応じて、ロジック 0 かハイ・インピーダンスのいずれかを送信することができます。オプションのバス・キーパーは、バスを駆動しているすべてのデバイスがハイ・インピーダンスの場合、SDOUT ピンと ICC ピンの状態を弱く保持し

ます。SDOUT で必要なバス・キーパーは 1 つだけのため、この機能は TX_KEEPEN レジスタ・ビットでディセーブルにできます。バス・キーパーは、TX_KEEPLN レジスタ・ビットを使用して、1LSB のみバスを保持するか、常時バスを保持するかを構成することができます。さらに、TX_KEEPCY レジスタ・ビットを使用して、キーパーの LSB をフル・サイクルで駆動するか、ハーフ・サイクルで駆動するかも設定できます。

TX_FILL レジスタ・ビットは、I^2S バスにアンプが 1 つしかないモノラル・システムで使用されます。TX_FILL レジスタ・ビットを Low にセットしておくと、アンプに使用されないスロットにはすべて 0 が入ります。

複数のデバイスが同一の I^2S バス上にある場合は、ページ 0x01 の SDOUT_HIZ レジスタが役立ちます。各デバイスは、バス上にある他のデバイスのスロット構成を認識できません。システム・レベルで SDOUT_HIZ レジスタを、設定が正しく行われ、内部や外部の競合が発生しないよう、適切にプログラムする必要があります。

各サンプル・ストリームは、1 つまたは 2 つの 8 ビット・タイム・スロットで構成されます。スピーカ電圧センスとスピーカ電流センスのサンプル・ストリームは 16 ビット精度のため、常に 2 つの TX タイム・スロットを使用します。PVDD 電圧と VBAT1S 電圧のストリームは 10 ビット精度であり、16 ビット・ワード (2 つのタイム・スロットを使用) の左揃えで送信されるか、または 8 ビットに切り捨てられて (上位 8MSB) シングル・タイム・スロットで送信されます。この構成は、PVDD_SLEN および VBAT1S_SLEN レジスタ・ビットで構成します。ダイ温度とゲインはどちらも 8 ビット精度で、シングル・タイム・スロットで送信されます。

各サンプル・ストリームのタイム・スロット・レジスタは、MSB の送信開始位置を定義します。デフォルトでは、VSNS_SLOT[5:0] レジスタ・ビットは 2 (10 進数) にセットされ、上位 8MSB はタイム・スロット 2 で送信され、下位 8LSB はタイム・スロット 3 で送信されます。このサンプル・ストリームは、VSNS_TX レジスタ・ビットを使用して個別にイネーブルやディセーブルに設定できます。ISNS_SLOT[5:0] レジスタ・ビットは、デフォルトでは 0 (10 進数) に設定されていますが、ISNS_TX レジスタ・ビットを使用して、サンプル・ストリームをイネーブルやディセーブルに設定することが可能です。ストリームのイネーブル / ディセーブル機能は、必ずしもバス上のすべてのデバイスにあるすべてのストリームを送信する必要はないため、TDM の帯域幅制限の管理に役立ちます。

アクティブに送信されるサンプル・ストリームに割り当てるタイム・スロットが競合しないようにすることが重要です。こうすることで、予測不可能な送信が生成され、ビット・スロットの競合が発生する (つまり、優先順位が定義されない) ことを防止します。

電流値と電圧値は、デフォルトでは全 16 ビットすべての測定値が送信されます。IVMON_LEN[1:0] レジスタ・ビットを使用すると、1 スロットで 8MSB ビットだけを送信するか、または複数のスロットにまたがって 12MSB ビットの値を送信することができます。ホスト・プロセッサで 24 ビットの I^2S/TDM データのみを処理する場合は、特殊な 12 ビット・モードを使用します。デバイスは電圧センス・スロットと電流センス・スロットを 1 スロットずつオフに構成する必要があり、この結果、3 つの連続する 8 ビット・スロットが消費されます。このモードでは、デバイスは最初の 12MSB ビットを送信し、次に前のスロットで指定された 2 番目の 12MSB ビットを送信します。

タイム・スロットがフレーム境界を超えて送信されるように選択した場合、トランスミッタはフレーム境界で送信を切り捨てます。

VBAT1S、PVDD、温度の測定値用のタイム・スロットは、それぞれ VBAT1S_SLOT[5:0]、PVDD_SLOT[5:0]、TEMP_SLOT[5:0] レジスタ・ビットを使用して設定します。各サンプル・ストリームをイネーブルにするには、レジスタ・ビット VBAT1S_TX、PVDD_TX、TEMP_TX を High にセットします。スロット長は、VBAT1S_SLEN レジスタ・ビットと PVDD_SLEN レジスタ・ビットで選択します。

TDM の最後に処理されるオーディオ・スロットについては、イネーブル化や長さの設定にレジスタ・ビット AUDIO_SLOT[5:0]、AUDIO_TX、AUDIO_SLEN を使用します。

スロットのステータス情報は STATUS_SLOT[5:0] レジスタ・ビットで確認できます。STATUS_TX レジスタ・ビットを High にセットすると、ステータス送信はイネーブルになります。

TX リミッタ・ゲインを低減するスロット構成は、GAIN_SLOT[5:0] レジスタ・ビットを使用して 0 (デフォルト) から 63 までの範囲で設定できます。これは ICC (セクション 8.4.2.10) に使用され、TDM バスか ICC バスのいずれかで使用できます。この機能を使用するには、レジスタ・ビット GAIN_TX を High にセットする必要があります。

Copyright © 2023 Texas Instruments Incorporated

8.4.2 再生信号パス

8.4.2.1 ハイパス・フィルタ

オーディオ再生信号に過度な DC と低周波数の内容が含まれていると、ラウドスピーカが損傷する可能性があります。TAS2780 は、PCM 再生パスに対してこうした事象が発生することを防ぐハイパス・フィルタ (HPF) を搭載しています。HPF_FREQ_PB[2:0] レジスタ・ビットは、HPF のコーナー周波数を設定します。レジスタ・ビットを 3'b000 にセットすると、フィルタをバイパスさせることができます。

8.4.2.2 アンプの反転

TAS2780 は、OUT_P ピンと OUT_N ピンに非反転信号を出力します。AMP_INV レジスタ・ビットを High に設定することにより、出力をデジタル入力値に対して反転できます。

8.4.2.3 デジタル・ボリューム制御およびアンプ出力レベル

オーディオ入力からスピーカ端子へのゲインは、アンプ出力レベルとデジタル・ボリューム制御 (DVC) の設定で制御します。

アンプ出力レベルの設定は、AMP_LVL[4:0] レジスタ・ビットを使用してプログラムします。アンプのレベルは、セクション 8.9.9 に記載しています。デジタル・ボリューム制御 (DVC) は、デフォルトで 0dB に設定されています。このレベルは、アンプのアナログ・クリッピングにより必ずしも実現できるとは限らないため、ゲインの伝達にのみ使用してください。

式 (1) で、アンプ出力電圧を計算します:

$$V_{AMP} = INPUT + A_{DVC} + A_{AMP} \quad (1)$$

ここで

- V_{AMP} は、アンプ出力電圧 (dBV) です
- INPUT は、0dBFS を基準とした場合のデジタル入力振幅を表す dB 数です
- A_{DVC} は、デジタル・ボリューム制御の設定を表す dB 数です
- A_{AMP} は、アンプ出力レベルの設定を表す dBV 数です

DVC は DVC_LVL[7:0] レジスタ・ビットの設定によって、0dB～-100dB の間で 0.5dB きざみで構成することができます。C8h より大きい設定は、ミュートと解釈されます。デジタル・ボリューム制御が変更されると、デバイスは DVC_RAMP_RATE[1:0] レジスタ・ビットのステータスに基づいて、ボリュームを新しい設定にランプします。

DVC_RAMP_RATE[1:0] ビットが 2'b11 にセットされている場合、ボリュームのランプはディセーブルになります。この設定を使用すると、ボリュームのランプをシステム・コントローラで処理する場合に、起動、シャットダウン、デジタル・ボリュームの変更を迅速化することが可能です。

Class-D アンプは、閉ループ・アーキテクチャを搭載しています。出力信号クリッピングのスレッショルドの近似値を求めるには、式 (2) を使用します。

$$V_{PK} = V_{SUP} * \frac{R_L}{R_{FET} + R_P + R_L} \quad (2)$$

ここで:

- V_{PK} は、クリッピングされていない出力電圧の最大ピーク値 (V) です
- V_{SUP} は、Class-D 出力段の電源です
- R_L は、スピーカ負荷 (Ω) です
- R_P は、PCB (配線、フィルタ) の寄生抵抗 (Ω) です
- R_{FET} は、電力段の合計抵抗 (HS FET、LS FET、検出抵抗、ボンディング、パッケージング) (Ω) です

VBAT1S が Class-D 出力段を供給する場合、R_{FET} の標準値は 0.5Ω です。PVDD が供給する場合、R_{FET} の標準値は 0.25Ω です。

8.4.2.3.1 セーフ・モード

セーフ・モードは、フォワード・パスで 18dB の減衰を有効にするシングル・ビットです。これは、DVC_LVL[7:0] レジスタ・ビットを 24h (-18dB) にセットすることと同じです。SMODE_EN ビットを High にセットすると、DVC_LVL[7:0] レジスタ・ビットは無視され、ボリューム・ランプはディセーブルになります。

8.4.2.4 VBAT1S 電源

TAS2780 は、外部 VBAT1S 電源の有無にかかわらず動作可能です。外部 VBAT1S 電源を使用せずに構成した場合、PVDD 電圧は内部 LDO で使用されて、この電源電圧を生成します。表 9-1 で推奨されているように、デカップリング・コンデンサを基板に実装する必要があります。この場合は、ソフトウェア・シャットダウンから移行する前に、VBAT1S_MODE ビットを High にセットしておく必要があります。VBAT1S 電源の動作モードの詳細については、セクション 11.1 を参照してください。

8.4.2.5 低電圧信号伝送 (LVS)

TAS2780 は、オーディオ・ストリームの絶対値を監視します。

入力が初期状態から LVS_FTH[4:0] レジスタ・ビットによって設定したプログラム固定スレッショルドを上回っている場合、Class-D は PVDD レールから電源供給されます。信号レベルが、LVS_HYS[3:0] ビットで定義したヒステリシス時間を超えてこのスレッショルドを下回るまで低下した場合、Class-D 電源は VBAT1S に切り替わります (図 8-4 を参照)。

LVS_HYS[3:0] ビットのすべての値を設定すると、BYP_EN ピンがアサートされる (High) 前に残りのサンプルが必ず出力されます。複数のデバイスが BYP_EN ピンで相互に接続されている場合、その中でスレッショルドより高い電源電圧が必要なデバイスは、オープン・ドレイン出力を Low にプルします。

信号レベルが LVS_FTH[4:0] ビットによって設定したプログラム固定スレッショルドを上回ると、Class-D 電源は PVDD に切り替わります。

オープン・ドレインの BYP_EN ピンは、LVS_DLY[1:0] レジスタ・ビットでプログラムされた遅延の経過後にアサート解除されます (出力をアクティブに Low にプル)。Y ブリッジは、CDS_DLY[1:0] レジスタ・ビットでプログラムされた遅延の経過後に、VBAT1S 電源から PVDD 電源に切り替わります。

固定 LVS スレッショルドは出力信号レベルに基づいて設定され、単位 dBFS で測定されます。

デフォルトでは、LVS スレッショルドは VBAT1S 電圧を基準にした値になるように構成されます。LVS_TMODE ビットは High にセットされ、LVS_RTH[3:0] レジスタ・ビットは 3'b010 (VBAT1S から 0.7V) にセットされます。

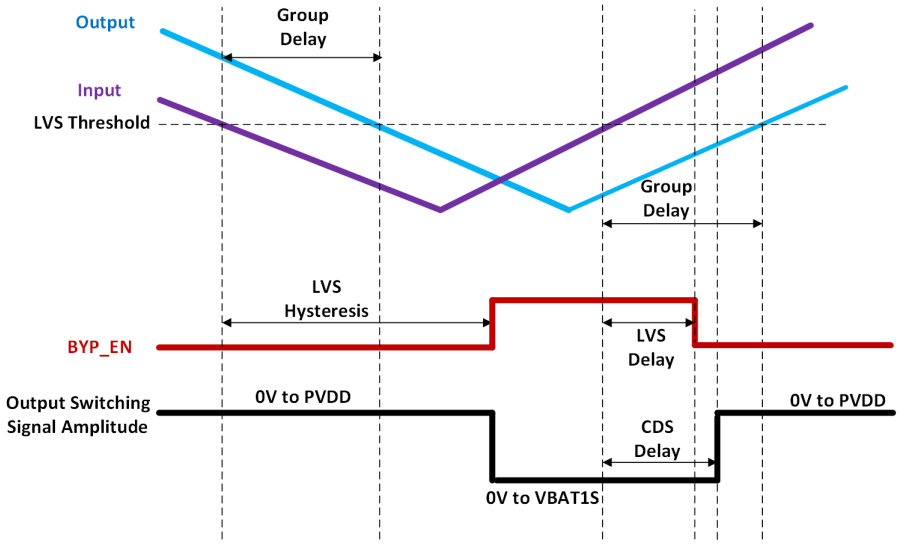


図 8-4. 低電圧信号伝達

Copyright © 2023 Texas Instruments Incorporated

LVS 固定スレッショルドは、CDS_MODE[1:0]=11 (セクション 11.1 の PWR_MODE2) の場合に、レジスタ・ビット LVS_FTH_LOW[1:0] を使用して設定することができます。CDS_MODE[1:0]=00 (セクション 11.1 の PWR_MODE1) の場合、固定スレッショルドはレジスタ・ビット LVS_FTH[4:0] で設定する必要があります。

LVS スレッショルドの計算に、BOP、リミッタ、サーマル・フォールドバック、サーマル勾配ゲイン減衰を考慮する必要はありません。

8.4.2.6 Y ブリッジ

TAS2780 の Class-D 出力には Y ブリッジ構成が使用されており、再生中の効率を向上させています。内蔵の LVS (セクション 8.4.2.5) により、PVDD 電源か VBAT1S 電源を選択することができます。この機能をイネーブルにするには、PVDD と VBAT1S の両方からデバイスに電源供給されているときに CDS_MODE[1:0] ビットを 2'b00 にセットします。この場合、VBAT1S レールは電力を供給できなければなりません (最大 1W)。

Y ブリッジ・モードが構成されていない場合、たとえクリッピングが発生しても、デバイスは Class-D 出力に選択した電源のみを使用します。デバイスは Class-D 出力への電源供給に PVDD を使用した場合にのみ動作します。この構成では、VBAT1S への電源は外部電源から供給するか (レジスタ・ビット VBAT1S_MODE=0)、または内部 LDO で生成します (レジスタ・ビット VBAT1S_MODE=1)。この場合、CDS_MODE[1:0] ビットは 2'b10 にセットしてください。

TAS2780 の Y ブリッジを VBAT1S 低電力で使用した場合、アイドル状態に近い超低消費電力のときのみ VBAT1S レールに切り替えることができます。これにより、アイドル状態に近いときの Class-D 出力スイングは低減し、VBAT1S 電源の電流要件が制限されます。このモードにするには、CDS_MODE[1:0] レジスタを 2'b11 にセットします。

電力モード時の動作のプログラミングの詳細については、セクション 11.1 を参照してください。

Y ブリッジ・モードの場合、PVDD が (VBAT1S + 2.5V) レベルを下回ると、Y ブリッジは電源間のスイッチングを停止して、PVDD 電源に維持されます。

8.4.2.7 ノイズ・ゲート

TAS2780 にはノイズ・ゲート機能が搭載されており、入力信号を監視し、NG_HYST[2:0] レジスタ・ビットで設定された時間を超えて NG_LVL[1:0] ビットで設定されたスレッショルド未満になると、Class-D をパワーダウンします。信号がスレッショルドを超えると、Class-D は 7 サンプル以内に再起動し、その後、オーディオ入力インターフェイスに適用されたサンプルは Class-D ブリッジに達します。この機能をイネーブルにするには、NG_EN ビットを High にセットします。イネーブルになると、チャネルをデバイスの処理遅延時間内に起動や停止することができ、追加で外部制御を行う必要はありません。また、NG_DVR_EN ビットを Low にセットすると、ノイズ・ゲート動作中にボリューム・ランプを使用することも可能です。

ノイズ・ゲートは、I^2C 書き込みを追加することにより、より高分解能で構成することができます。このモードをイネーブルにするには NGFR_EN ビットを使用し、高分解能に設定するにはレジスタ・ビット NGFR_LVL[23:0] を使用します。高分解能ヒステリシスを設定するには、NGFR_HYST[18:3] レジスタ・ビットを使用します。

8.4.2.8 ブラウンアウト防止機能付き電源トラッキング・リミッタ

TAS2780 には、歪みとブラウンアウト防止を制御して、ブラウンアウト・イベントを低減する電源トラッキング・リミッタが搭載されています。このブロックによって発生するゲイン低減は、チップ間ゲイン・アライメント (ICGA) (セクション 8.4.2.10) 機能を使用して複数のデバイスにまたがって調整することができます。DEV_MAX_ATTN[6:0] レジスタ・ビットで設定されるデバイスの最大減衰を使用すると、リミッタとブラウンアウト減衰の組み合わせを制限することが可能です。

電源トラッキング・リミッタ (STL) (セクション 8.4.2.8.1) とブラウンアウト防止 (BOP) (セクション 8.4.2.8.2) は別々に構成します。ICGA がイネーブルの場合、STL と BOP がゲインを低減する必要があるときは、複数のデバイスのゲインを同期します。ただし、デバイスでは BOP が優先されます。STL と BOP の両方がシステムに対して同時調整を行うことを防止するには、BOP の動作時に完全にこれがリリースされるまで STL と ICGA を一時停止します。

デバイスに適用する減衰には、リミッタ減衰 (ICLA) とブラウンアウト減衰 (ICBA) の合計か、またはこれら 2 つの最大値かのいずれかを、ICG_MODE レジスタ・ビットの設定によって選択することができます。

8.4.2.8.1 電源トラッキング・リミッタ (STL)

TAS2780 は PVDD 電源電圧とオーディオ信号を監視しており、オーディオ信号のピークがプログラム可能なスレッショルドを超えるとゲインは自動的に低下します。これにより、クリッピングを防止して、充電終了時のバッテリ条件で再生時間を延ばすことができます。

電源トラッキング・リミッタ機能をイネーブルにするには、LIM_EN ビット・レジスタを High にセットします。

構成可能なアタック・レート、ホールド時間、リリース・レートにより、リミッタの動的応答を形成します (LIM_ATK_RT[3:0]、LIM_HLD_TM[2:0]、LIM_RLS_RT [3:0] レジスタ・ビット)。

リミッタによって適用される減衰の最大レベルは、LIM_MAX_ATTN[3:0] レジスタ・ビットで構成することができます。リミッタ・モードがアタック中に最大減衰に達すると、ゲインはそれ以上低下しません。

出力信号レベルがリミッタのスレッショルドを超えると、リミッタはゲインの低下を開始します。リミッタは、PVDD をプログラム可能な変曲点より下までトラッキングするように構成でき、最小スレッショルド値も指定できます。次の 図 8-5 に、PVDD レベルに関係なく一定レベルに制限されるように構成したリミッタを示します。この動作を実現するには、リミッタの最大スレッショルドを LIM_TH_MAX[31:0] レジスタ・ビットで目標レベルに設定します。リミッタの変曲点 (LIM_INF_PT[31:0] レジスタ・ビット) は、PVDD の設定で許容される最小値より低く設定します。レジスタ・ビット LIM_TH_MIN[31:0] を使用して設定するリミッタの最小スレッショルドは、この使用事例ではリミッタの動作に影響を与えません。

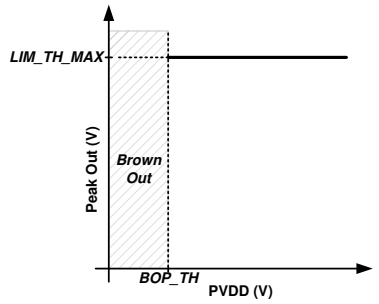


図 8-5. 固定スレッショルドのリミッタ

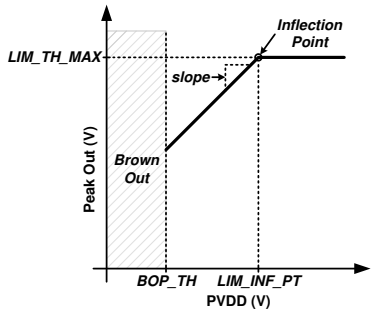


図 8-6. 変曲点を持つリミッタ

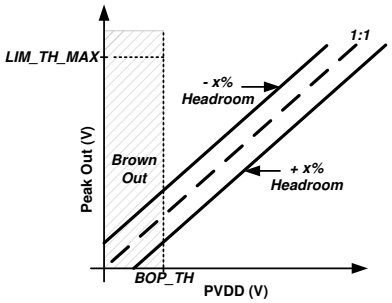


図 8-7. 動的なスレッショルドのリミッタ

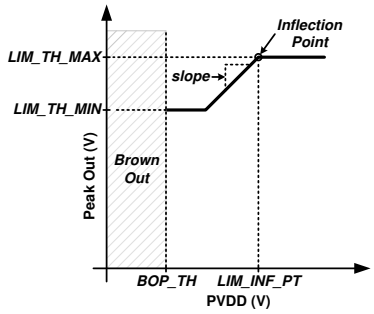


図 8-8. 変曲点と最小スレッショルドを持つリミッタ

図 8-6 に、リミッタの最小スレッショルドを設定せず、PVDD 電源を特定のレベルより下までトラッキングするよう構成する方法を示します。LIM_TH_MAX[31:0] レジスタ・ビットを使用して目標のスレッショルドに設定し、LIM_INF_PT[31:0] レジスタ・ビットを使用して目標の変曲点に設定します。この変曲点は、リミッタが PVDD でスレッショルドの低下を開始するポイントです。LIM_SLOPE[31:0] レジスタ・ビットを使用すると、PVDD でトラッキングするリミッタのスロープを変更することができます。デフォルト値の 1V/V に設定すると、PVDD が 1V 低下するごとにスレッショルドを 1V 低下させます。必要に応じて、より急なトラッキング・スロープになるようプログラムすることができます。PVDD 電源をトラッキングするときに、リミッタの最小スレッショルド低下を防ぐため、LIM_TH_MIN[31:0] ビットは最小 PVDD を下回るようにプログラムします。

電源トラッキング・スロープのあるリミッタは、別の方法で構成できます。LIM_HR_EN レジスタ・ビットを High にセットすると、LIM_DHR[4:0] レジスタ・ビットを設定することにより 1V/V のスロープを使用して、ヘッドルームを電源電圧のパーセン

Copyright © 2023 Texas Instruments Incorporated

テージとして指定することができます。たとえば、-10% のヘッドルームが指定されると、ピーク出力電圧は PVDD より 10% 高く設定されます。図 8-7 に示すこの使用事例では、制限は電源電圧を上回る信号に対して開始されるため、固定クリッピングが発生します。正のヘッドルーム +10% が指定されると、ピーク出力電圧は現在の PVDD より 10% 低い値に動的に設定されます。この使用事例では、制限は電源電圧より低い信号レベルで開始されるため、クリッピングの発生を防ぎます。

PVDD のみを最小スレッショルドになるまでトラッキングするリミッタを実現するには、リミッタの LIM_TH_MAX [31:0] と LIM_SLOPE[31:0] レジスタ・ビットを前述の例のように構成します。さらに、LIM_TH_MIN[31:0] レジスタ・ビットを目標の最小スレッショルドに設定します。電源電圧がこの最小スレッショルドを下回ると、信号出力電圧は低下を継続しません。これは、図 8-8 に示すとおりです。

レジスタ・ビット LIM_HR_EN を Low にセットすることにより、リミッタのメカニズムは最大 / 最小スレッショルド、変曲点、スロープの設定に応じて変わります。このビットを High にセットすると、リミッタのダイナミック・ヘッドルームはイネーブルになります。

BOP (ブラウンアウト防止) イベントが発生すると、リミッタは BOP が完全にリリースするまで更新を一時停止することができます (LIM_PDB レジスタ・ビットは High にセットされます)。この機能を使用することにより、双方の保護システム間の好ましくない相互作用を防止することができます。

8.4.2.8.2 ブラウンアウト防止 (BOP)

ブラウンアウト防止 (BOP) 機能は、専用リミッタに優先的に入力を供給することで、システムレベルでのブラウンアウトを引き起こす可能性のある充電終了時の電源電圧における過渡的なディップに対して、高速応答を生成します。電源電圧が BOP スレッショルドを下回ると、リミッタは構成可能なアタック・レートでゲインの低下を開始します。電源電圧が BOP スレッショルドを上回ると、リミッタはプログラムされたホールド時間経過後にリリースを開始します。BOP 機能をイネーブルにするには、BOP_EN レジスタ・ビットを High にセットします。ブラウンアウト電源を設定するには、アプリケーションの要件に応じて、BOP_SRC レジスタ・ビットを PVDD (BOP_SRC =1) または VBAT1S (BOP_SRC =0) のいずれかにセットします。BOP 機能はリミッタとは独立しており、電源トラッキング・リミッタが無効でも、イネーブルになっていれば機能します。

BOP は、電源電圧が継続的な下降に応じて、4 つのレベルでゲインをアタックするように設定することができます。BOP スレッショルド・レベル 3 には BOP_TH3[7:0] レジスタ・ビットを使用し、それに続いて、スレッショルド・レベル 2 には BOP_TH2[7:0] レジスタ・ビット、その後に、レベル 1 に BOP_TH1[7:0] ビットを使用して、最後にレベル 0 に BOP_TH0[7:0] レジスタ・ビットを使用します。

使用しない BOP レベルは、個別に無効化することができ (レジスタ・ビット BOP_DIS0、BOP_DIS1、BOP_DIS2、BOP_DIS3)、1 レベルから 4 レベルまでフレキシブルに設定することができます。適切に動作させるためには、レベル 3 から開始して、レベルを順番に無効化していく必要があります。

各レベルに個別のアタック・レート (レジスタ・ビット BOP_ATK_RT0[2:0]～BOP_ATK_RT3[2:0])、アタック・ステップ・サイズ (レジスタ・ビット BOP_ATK_ST0[3:0]～BOP_ATK_ST3[3:0])、リリース・レート (レジスタ・ビット BOP_RLS_RT0[2:0]～BOP_RLS_RT3[2:0])、リリース・ステップ・サイズ (レジスタ・ビット BOP_RLS_ST0[3:0]～BOP_RLS_ST3[3:0])、ドウェル時間 (レジスタ・ビット BOP_DT0[2:0]～BOP_DT3[2:0])、ホールド時間 (レジスタ・ビット BOP_HT0[2:0]～BOP_HT3[2:0])、最大減衰 (BOP_MAX_ATTN0[4:0]～BOP_MAX_ATTN3[4:0]) が設定されます。

デバイスを適切に動作させるためには、以下の条件を満たす必要があります。

- BOP_MAX_ATTN0 > BOP_MAX_ATTN1 > BOP_MAX_ATTN2 > BOP_MAX_ATTN3
- BOP_TH レベル 3 > BOP_TH レベル 2 > BOP_TH レベル 1 > BOP_TH レベル 0

レジスタ BOP_CFG4、BOP_CFG9、BOP_CFG14、BOP_CFG20 の BOP_MAX_ATTN ビットを使用して、減衰レベルをプログラムします。レジスタ BOP_CFG5、BOP_CFG10、BOP_CFG15、BOP_CFG21 は、BOP スレッショルド・レベルの設定に使用します。

BOP_SHDN レジスタ・ビットが High にセットされている場合、レベル 0 に到達して BOP イベントが発生すると、TAS2780 もすぐにミュートされ、デバイスをシャットダウンすることができます。デバイスがオーディオの再生を再び継続するには、ソフトウェア / ハードウェア・シャットダウン状態を遷移する必要があります。BOP_HT0÷4[2:0] レジスタ・ビットで設

定されたホールド時間が 7h (無限大) になっている場合、デバイスはミュート状態かソフトウェア / ハードウェア・シャットダウン状態を遷移する必要があるか、またはレジスタ・ビット BOP_HLD_CLR を High にセットして、デバイスのホールド状態を終了させて、リリースを開始することができます。このビットはセルフ・クリアされ、常に Low に読み戻しが行われます。

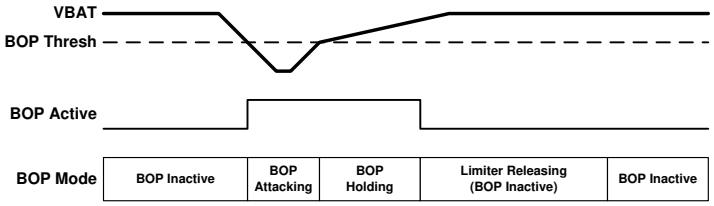


図 8-9. ブラウンアウト防止イベント

TAS2780 BOP エンジンは、現在のレベル状態、実行された最小 BOP レベル、および BOP 電源電圧の最小測定値を継続してトラッキングします。この情報は、要求されるまで継続的に更新されます。この情報にアクセスするには、レジスタ BOP_STAT_HLD を High にセットする必要があります。この設定により、現在の状態 (BOP_STAT_STATE[3:0]) と最小 BOP レベル (BOP_STAT_LLVL[2:0]) レジスタ・ビットの更新が一時停止し、これらの値を読み戻すことができます。読み戻しが完了した後は、レジスタ・ビット BOP_STAT_HLD を再び Low にセットして、現在の BOP 状態レジスタをクリアし、現在の BOP 状態に基づいて更新を再度イネーブルにする必要があります。

読み取り前にあらかじめ BOP_STAT_HLD レジスタ・ビットが High にセットされている場合は、最後の読み取りから最小の PVDD の測定値をレジスタ・ビット BOP_STAT_PVDD[9:0] から取得可能です。

電源が低レベルのリリースよりも早く上昇する場合、より高い BOP レベルのホールド条件 (無限大かどうかにかかわらず) は満たされません。具体的には、あるレベルの無限ホールドに到達するかしないかは低レベルのリリース・レートに依存するため、たとえ無限大のホールドが設定されていても、到達しないことがあります。

8.4.2.9 低バッテリ・トラッキング・リミッタ (LBTL)

VBAT1S リミッタは、VBAT1S がより低電圧のとき (< 3.2V) にチャネル・ゲインを減衰させて、最大電力供給を低下させ、サーマル・シャットダウンを防止します。

VBAT1S に SAR 測定を使用して、リミッタは以下の式に基づきゲインを計算します。

$$LBTL_GAIN\ (dBV) = 21dBV + VBLIM_GAIN\ (dBV) \quad (3)$$

プログラムされた信号ゲイン (アンプ・レベルと DVC) が以下の条件を満たす場合:

$$A_{AMP} + A_{DVC} < LBTL_GAIN \quad (4)$$

LBTL メカニズムはアクティブになりません。

式 (3) の VBLIM_GAIN は VBAT1S レベルに依存します (以下の表を参照)。

表 8-3. VBLIM_GAIN と VBAT1S

VBAT1S [V]	VBLIM_GAIN [dBV]
3.2	0
3.1	-0.5
3	-0.75
2.9	-1.2
2.8	-1.56
2.7	-2

信号チェーンの全体のゲインは、SPL、BOP、LBTL で定義されるゲインの最小値になります。

Copyright © 2023 Texas Instruments Incorporated

8.4.2.10 チップ間のゲイン・アライメント (ICGA)

TAS2780 は、専用の ICC 機能 (セクション 8.4.2.10.1) や TDM 出力バス (SDOUT) 経由を使用して、デバイス全体での STL のアライメントとブラウンアウト BOP ダイナミクスをサポートしています。これにより、制限イベント中やブラウンアウト・イベント中のチャネル間ゲインの一貫性を確保できます。これは、このダイナミクスがチャネルによって異なる可能性のあるオーディオ・コンテンツに依存しているためです。各デバイスは、他のデバイスに指定された数値に合わせるように構成できるため、相互に合わせるデバイスのグループを作成することが可能です。

オプションとして、STL と BOP のアクティビティは、24 ビットのタイム・スロットにある SDOUT ピンや ICC ピン上の各デバイスによって送信されます。リミッタとブラウンアウトの両方がイネーブルになっている場合、データはリミッタ用の 11 ビット・ワードとブラウンアウト・データ用の 13 ビット・ワードで構成されます。リミッタのみがイネーブルになっている場合、データはリミッタ・データ用の 12 ビット・ワードになります。ゲイン低減は、整列したすべてのデバイスにおいて、ICGA_SLOT[5:0] レジスタ・ビットで指定する最初のスロットから開始して、隣接するタイム・スロットに送信する必要があります。デバイスが隣接していれば、その順序は重要ではありません。リミッタのゲイン低減のタイム・スロットを構成するには GAIN_SLOT[5:0] レジスタ・ビットを使用し、イネーブルにするには GAIN_TX レジスタ・ビットを High にセットします。ICGA_SEN[7:0] レジスタ・ビットでは、ゲイン・アライメントのためにリスンするタイム・スロットを指定します。これにより、2～8 の間の任意の数のデバイスをグループ化することができます。アライメントを実行するには、これらのデバイスのうち最低でも 2 つがイネーブルになっている必要があります。

チップ間のリミッタ・アライメントをイネーブルにするには、ICLA_EN レジスタ・ビットを High にセットします。チップ間の BOP アライメントをイネーブルにするには、ICBA_EN レジスタ・ビットを High にセットします。デバイスはすべて、同一のリミッタとブラウンアウト防止設定で構成する必要があります。

8.4.2.10.1 チップ間通信 (ICC) ピン

TAS2780 には専用の ICC バス・ピンがあり、TDM バスのスロットを消費することなく、ゲイン・アライメント (ICGA) を有効にすることができます。ICC ピンはシステム内のすべての TAS2780 デバイスに接続されており、スロットを構成するにはレジスタ・ビット GAIN_SLOT[5:0] を使用します。このバスは TDM (セクション 8.4.1) BCLK および FSYNC 入力を使用しており、すべてのデバイスに対して同じサンプリング・クロックを使用して構成する必要があります。ICC ピンは、SDOUT ピンから独立したバス・キーパー構成に対応しています (TDM バス)。ICC ピンがディセーブルの場合、または GPIO 機能に使用される場合、ICGA (セクション 8.4.2.10) は ICC ピンではなく TDM バス上で発生します。レジスタ・ビット ICC_MODE[2:0] を使用して、ICC ピンの機能を設定します。

8.4.2.11 Class-D 設定

8.4.2.11.1 同期

TAS2780 の Class-D アンプは拡散スペクトラム PWM 変調に対応しており、AMP_SS レジスタ・ビットを High にセットすることでイネーブルにできます。この機能により、システムの EMI を低減できます。

デフォルトでは、Class-D アンプのスイッチング周波数はデバイスでトリムされている内部発振器に基づいています。スイッチングをオーディオ・サンプル・レートに同期するには、CLASSD_SYNC レジスタ・ビットを High にセットします。Class-D をオーディオ・サンプル・レートに同期する場合は、周波数に基づくオーディオ・サンプル・レートの 44.1kHz か 48kHz に応じて RAMP_RATE レジスタ・ビットを設定する必要があります。

44.1、88.2、176.4kHz の場合は RAMP_RATE ビットを High にセットし、48、96、192kHz の場合は Low にセットします。これにより、内部ランプ・ジェネレータのスロープが適切に設定されます。

8.4.2.11.2 出力スルーレート制御

出力スルーレートをプログラムするには、ページ 0x01、レジスタ 0x4C のレジスタ・ビット EDGE_CTRL[1:0] を使用します。

デフォルトでは、PVDD 電源が 20V 未満のとき、出力スルーレートは高速になります。PVDD が 20V 以上になると、スルーレートは自動的に低速に変わります。

オプションとして、EMI 性能を向上させるために、EDGE_CTRL[1:0] ビットを 2'b11 にセットすることにより PVDD 電源の全範囲でスルーレートを低速に設定することができます。

8.4.3 SAR ADC

SAR ADC は、PVDD 電圧、VBAT1S 電圧、ダイ温度を監視します。この変換結果は、レジスタの読み戻し (PVDD_CNV[11:0]、VBAT1S_CNV[11:0]、TMP_CNV[7:0] レジスタ・ビット) から参照可能です。PVDD 電圧と VBAT1S 電圧の変換は、リミッタとブラウンアウト防止ブロックにも使用されます。

デフォルトでは、VBAT1S 変換は BOP ソースが VBAT1S でも (BOP_SRC=0)、PVDD (BOP_SRC=1) でも、PVDD および温度とともにイネーブルになります。VBAT1S 変換をディセーブルにするには、ビット・レジスタ CONV_VBAT を Low にセットします。

ADC は、192kHz の固定サンプル・レートで、変換時間 5.2μs で実行されます。

温度のサンプリング・レートは 10K サンプル / 秒です。

PVDD 電圧、VBAT1S 電圧、ダイ温度の計算は、ページ 0x00 のレジスタ 0x52～0x56 の式を使用して行います。

レジスタ・ビットの中身は、常に MSB から LSB に向かって読み出します。

8.4.4 電流と電圧 (IV) の検出

TAS2780 はスピーカ電圧と電流検出の測定機能を実現しており、ラウドスピーカの動作をリアルタイムで監視することができます。VSNS_P ピンと VSNS_N ピンはフェライト・ビーズ・フィルタの後に接続するか、または EMI フィルタが使用されていない場合は OUT_P と OUT_N に直接接続する必要があります。V センス接続を行うと、パッケージング、PCB の相互接続、またはフェライト・ビーズ・フィルタ抵抗による電圧降下誤差が排除されます。V センス接続はポスト・フィルタ・フィードバック (セクション 8.4.5) にも使用することができ、フェライト・ビーズが原因で電圧降下によって発生するゲイン誤差や非直線性を補正することができます。VSNS 端子の後の相互接続抵抗は補正されないため、VSNS ピンはできる限り負荷の近くに接続してください。

電圧および電流検出の ADC には、DC ブロッキング・フィルタがあります。このフィルタのカットオフ周波数は調整可能です。また、フィルタは HPF_FREQ_REC[2:0] レジスタ・ビットを使用してバイパスすることもできます。

I センス・ブロックと V センス・ブロックは、ISNS_PD および VSNS_PD レジスタ・ビットを Low にセットすることによりパワーアップ可能です。パワーダウンすると、デバイスはパワーダウン・ブロックに対してヌル・サンプルを返します。

8.4.5 ポスト・フィルタ・フィードバック (PFFB)

このデバイスは、外部フィルタの後にアンプ・フィードバック・ループを閉じることにより、ポスト・フィルタ・フィードバックをサポートしています。フィードバックを適用するには、デバイスの VSNS_N 端子と VSNS_P 端子を使用します。たとえば、アンプ・ループの安定性を損なう外部フィルタが実装されている場合など、この機能をディセーブルにするには、PFFB_EN レジスタ・ビットを使用します。PFFB がディセーブルになると、フィードバックはデバイスの OUT_N ピンと OUT_P ピンから内部で配線されます。

PFFB 動作モードでは、外部フィルタが f_0 > 10MHz かつ f_0/Q > 2.5MHz の条件を満たす必要があります (f_0 と Q は、外部フィルタのカットオフ周波数と品質係数です)。

8.4.6 負荷診断

TAS2780 は、スピーカ端子の開放や短絡を確認することができます。この機能により、スピーカの連続性やスピーカへのパターンを検証することができます。動作全体は TAS2780 によって実行され、結果は IRQZ ピンを使用したり、または完了時に I^2C バスを経由して読み取ることで通知されます。負荷診断は、外部オーディオ・クロック (レジスタ・ビット LDG_CLK=0) または内部発振器 (LDG_CLK=1) を使用して実行することができます。

スピーカの開放 (上部 - UT) と短絡 (下部 - LT) スレッショルドは、LDG_RES_UT[31:0] および LDG_RES_LT[31:0] レジスタ・ビットを使用して構成されます。診断を実行するには、MODE[2:0] レジスタ・ビットの設定で負荷診断モードのいずれかを選択します。負荷診断はアクティブ・モードやスタンドアロンに移行する前に実行することができ、完了時にはソフトウェア・シャットダウンに戻ります。負荷診断が実行されると、-35dBFS で 22kHz を 100ms の間再生し、スピーカ配線の抵抗を測定します。この結果は、LDG_AVG[1:0] レジスタ・ビットで指定した時間の中で平均化されます。測定されたスピーカのインピーダンスは、LDS_RES_VAL[31:0] レジスタ・ビットから読み出すことが可能です。

Copyright © 2023 Texas Instruments Incorporated

8.4.7 サーマル・フォールドバック

TAS2780 はダイ温度を監視し、ダイ温度がスレッショルドの設定値に到達すると、自動的にオーディオ信号に制限をかけることができます。内部の DSP が各レジスタに必要な計算を行うため、この保護メカニズムを構成するためにサーマル・フォールドバック・レジスタを使用することを推奨します。

サーマル・フォールドバックをディセーブルにするには、TFB_EN レジスタ・ビットを使用します。ダイ温度が TF_TEMP_TH[31:0] レジスタ・ビットで設定した値に達すると、この機能によりオーディオ信号は減衰を開始して、過熱によるデバイスのシャットダウンを防止します。この機能は、TF_LIMS[31:0] レジスタ・ビットに値を設定することにより、TF_TEMP_TH[31:0] レジスタ・ビットで設定した温度範囲でオーディオ信号を減衰します。サーマル・フォールドバック・アタックは 0.25dB/ms のレートに固定されています。最大減衰を指定するには、レジスタ・ビット TF_MAX_ATTN[31:0] を使用します。ただし、デバイスの温度が上昇し続ける場合は、最終的には過熱がトリガされます。減衰は TF_HOLD_CNT[31:0] レジスタ・ビットで設定したサンプル数の間保持された後、リリースを開始します。

8.4.8 過電力保護機能

TAS2780 は内部パワー FET の温度を監視します。最大連続電力が高く、パワー FET の温度がスレッショルド以上になると、内部保護回路はサーマル・フォールドバックをトリガし、それでも温度が上昇する場合はデバイスをシャットダウンします。

この保護メカニズムは 2 つのスレッショルド TH1 と TH2 に基づいています。TH1 スレッショルドは内部バンドギャップで測定された温度より 116℃高い温度で設定され、最低でも 250℃です。TH1 スレッショルドによって、サーマル・フォールドバックがトリガされます。

TH2 スレッショルドは TH1 より 40℃高く、これによりサーマル・シャットダウンがトリガされます。

2 つの検出メカニズムは、ページ 0x01、レジスタ 0x47 の TG_TH2 ビットと TG_TH1 ビットを Low にセットするとディセーブルにすることができます。

8.4.9 低バッテリ保護

VBAT1S 電源が 3.4V 未満の場合、パワー FET は負荷電流が高くなると飽和状態になることがあり、その結果、FET が接続されている PVDD の熱暴走によりデバイスが損傷する可能性があります。

損傷を防ぐためには、内部 SAR ADC で測定された VBAT1S レベルに基づいて OCP 制限を調整する必要があります。以下の表に、OCP が調整されるスレッショルドと、これらのスレッショルドをプログラムするレジスタの設定を示します。

VBAT1S 電源が 3.4V 未満のレベルで検出されると、レジスタをプログラムする前に、デバイスはソフトウェア・シャットダウンかアイドル・モードに移行する必要があります。

表 8-4. OCP スレッショルドと VBAT

VBAT1S の範囲	PVDD OCP レベル	ブック / ページ / レジスタ - 新しい設定
VBAT1S ≧ 3.4V	6.6A	該当なし
3.1V ≦ VBAT1S < 3.4V	6A	B_0/P_0/R_6 - 01
2.9V ≦ VBAT1S < 3.1V	5.3A	B_0/P_0/R_6 - 02
2.7V ≦ VBAT1S < 2.9V	4.3A	B_0/P_FD/R_3A - 7D
		B_0/P_FD/R_3B - セクション 10.7 を参照してください
		B_0/P_FD/R_5C - C0

上記の OCP スレッショルドの制御は、VBAT1S が外部から供給されるパワー・モード中で、Class-D 出力が PVDD (PWR_MODE0、PWR_MODE1) でスイッチングしている場合にのみ必要です。

8.4.10 クロックおよび PLL

デバイスのクロックは、SBCLK 入力クロックから取得されます。表 8-5 および 表 8-6 に、各サンプリング・レートに対する有効な SBCLK クロック周波数と SBCLK 対 FSYNC 比を示します。

表 8-5. サポートされる SBCLK 周波数 (48kHz ベースのサンプル・レート)

サンプル・レート (kHz)	SBCLK 対 FSYNC 比						
	16	**24**	**32**	**48**	**64**	**96**	**125**
48kHz	768kHz	1.152MHz	1.536MHz	2.304MHz	3.072MHz	4.608MHz	6MHz
96kHz	1.536MHz	2.304MHz	3.072MHz	4.608MHz	6.144MHz	9.216MHz	12MHz
サンプル・レート (kHz)	SBCLK 対 FSYNC 比						
	128	**192**	**250**	**256**	**384**	**500**	**512**
48kHz	6.144MHz	9.216MHz	12MHz	12.288MHz	18.432MHz	24MHz	24.576MHz
96kHz	12.288MHz	18.432MHz	24MHz	24.576MHz	-	-	-

表 8-6. サポートされる SBCLK 周波数 (44.1kHz ベースのサンプル・レート)

サンプル・レート (kHz)	SBCLK 対 FSYNC 比						
	16	**24**	**32**	**48**	**64**	**96**	**125**
44.1kHz	705.6kHz	1.0584MHz	1.4112MHz	2.1168MHz	2.8224MHz	4.2336MHz	5.5125MHz
88.2kHz	1.4112MHz	2.1168MHz	2.8224MHz	4.2336MHz	5.6448MHz	8.4672MHz	11.025MHz
サンプル・レート (kHz)	SBCLK 対 FSYNC 比						
	128	**192**	**250**	**256**	**384**	**500**	**512**
44.1kHz	5.6448MHz	8.4672MHz	11.025MHz	11.2896MHz	16.9344MHz	22.05MHz	22.5792MHz
88.2kHz	11.2896MHz	16.9344MHz	22.05MHz	22.5792MHz	-	-	-

サンプル・レートが SAMP_RATE[2:0] レジスタ・ビットによって適切に構成されている場合、SBCLK 対 FSYNC 比が有効である限り、構成を追加する必要はありません。デバイスは不適切な SBCLK 周波数や SBCLK 対 FSYNC 比を検出し、ボリュームは再生パスを低下させて、可聴アーティファクトを最小限に抑えます。クロック誤差が検出されると、DIS_CLK_HALT ビットが Low の場合、デバイスは CLK_HALT_TIMER[2:0] レジスタ・ビットで設定した時間経過後に低消費電力停止モードに入ります。さらに、CLK_PWR_UD_EN レジスタ・ビットが High にセットされていると、デバイスは有効なクロック信号で自動的に電源オンとオフを行うことができます。この機能がイネーブルの間、デバイスのサンプリング・レートを変更することはできません。この機能を正常に動作させるために、このモードでは DIS_CLK_HALT ビット・レジスタを Low にセットする必要があります。

8.4.11 超音波

TAS2780 には専用の電力モード (PWR_MODE3) があり、プレゼンス検出、ジェスチャー認識など最新の超音波アプリケーションで超音波を再生することができます。

超音波を再生する際は、設定を使用することを推奨します。

PWR_MODE3 モードでの動作時は、Class-D の出力段は外部の VBAT1S レールから供給されます。

8.4.12 エコー・リファレンス

TAS2780 は、DSP 出力をループバックすることができます。

この機能により、ユーザーはノイズ・キャンセレーションやエコー修正アルゴリズムを実行することが可能です。

以下に、ブロック図を示します。

Copyright © 2023 Texas Instruments Incorporated

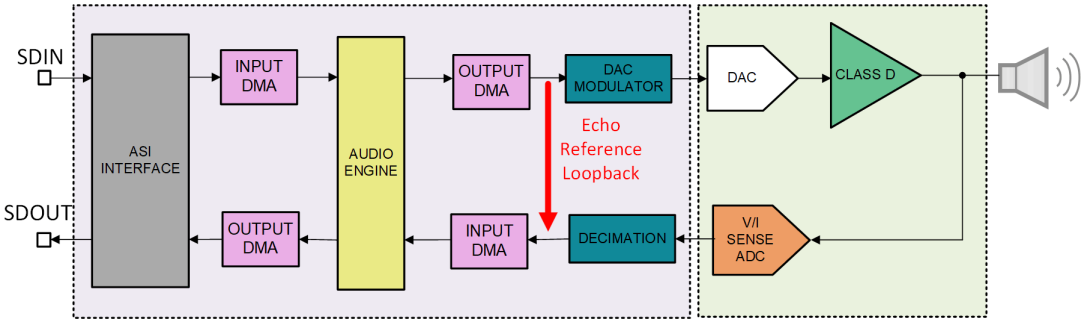


図 8-10. エコー・リファレンスのループバック

エコー・リファレンスは、AUDIO_TX レジスタ・ビットの構成でイネーブルできます。スロットの長さとタイム・スロットは、AUDIO_SLEN および AUDIO_SLOT[5:0] レジスタ・ビットを使用して選択できます。

8.5 動作モード

8.5.1 ハードウェア・シャットダウン

デバイスは、SDZ ピンが Low にアサートされている場合に、ハードウェア・シャットダウン・モードに移行します。ハードウェア・シャットダウン・モードでは、デバイスは AVDD、IOVDD、PVDD、PVDDH、VBAT1S 電源からの最小静止電流を消費します。このモードでは、すべてのレジスタの状態が失われ、I^2C 通信はディセーブルになります。

デフォルトでは、SDZ ピンが Low になると、デバイスはシャットダウン・タイマ (レジスタ・ビット SDZ_TIMEOUT[1:0]) で構成可能なタイムアウト設定の経過後に、強制的にハードウェア・シャットダウンに移行します。オーディオの再生中に SDZ が Low にアサートされると、デバイスはオーディオのボリュームを下げて、Class-D スイッチングを停止し、アナログとデジタル・ブロックをパワーダウンして、最後にハードウェア・シャットダウン・モードに移行します。デバイスが強制的にハードウェア・シャットダウン・モードに移行するように構成することも可能です。この場合、オーディオ・チャネルを穏やかにディセーブルする試みは行われません。シャットダウン・モードを制御するには、SDZ_MODE[1:0] レジスタ・ビットを使用します。

SDZ が解放されると、デバイスは ADDR ピンをサンプリングし、ソフトウェア・シャットダウン・モードに移行します。

8.5.2 モード制御とソフトウェア・リセット

TAS2780 のモードは、MODE[2:0] レジスタ・ビットを書き込むことにより構成できます。

ソフトウェア・リセットを行うには、SW_RESET レジスタ・ビットを High にセットします。このビットはセルフ・クリアです。イネーブルになると、すべてのレジスタがそれぞれのデフォルト値に復元されます。

8.5.3 ソフトウェア・シャットダウン

ソフトウェア・シャットダウン・モードでは、オーディオ再生に必要なすべてのアナログ・ブロックが停止しますが、これによりデバイスでレジスタの状態が失われることはありません。

このレジスタは、I^2C インターフェイスで利用することができます。

ソフトウェア・シャットダウンをイネーブルにするには、MODE[2:0] レジスタ・ビットを 3'b010 にアサートします。ソフトウェア・シャットダウンがアサートされたときにオーディオが再生中の場合、Class-D はボリュームをランプダウンしてからシャットダウンします。デアサートされると、Class-D はスイッチングを開始し、ボリュームはプログラムされたデジタル・ボリューム設定に戻ります。

8.5.4 ミュート・モード

TAS2780 は、MODE[2:0] レジスタ・ビットを 3'b001 にセットすることにより、Class-D アンプのボリュームをミュート状態まで低下させます。ミュート中でも Class-D は切り替わりますが、オーディオ・コンテンツは送信されません。ミュートがアサート解除されると、デバイスはボリュームをプログラムされたデジタル設定に戻します。

8.5.5 アクティブ・モード

アクティブ・モードでは、Class-D に切り替わり、オーディオが再生されます。イネーブルの場合、スピーカ電圧と電流検出は動作可能です。MODE[2:0] レジスタ・ビットを 3'b000 にセットすると、アクティブ・モードに移行します。

8.5.6 診断モード

TAS2780 には診断ジェネレータが実装されており、デバイスに PCM クロック送信をしなくても使用することができます。DG_CLK レジスタ・ビットが Low にセットされている場合、内部発振器は DG_SIG[4:0] ビットで選択したテスト・パターンを生成します。正弦波を生成するには、はじめに SAMP_RATE[2:0] レジスタ・ビットを使用してサンプリング周波数 f_s を設定する必要があります。

診断モードでプログラム可能な DC レベルは、DG_DC_VAL[31:0] レジスタ・ビットを使用して設定します。

DC 診断トーンを再生するには、レジスタ 0x04 の HPF_FREQ_PB[2:0] ビットを 0h にセットします (DC ブロッカはディセーブル)。

8.5.7 ノイズ・ゲート・モード

セクション 8.4.2.7 で説明するこの動作モードでは、TAS2780 は信号を監視し、信号がスレッショルド未満になると Class-D をパワーダウンします。

8.6 フォルトとステータス

起動シーケンスの間、AVDD ピンを監視する回路は、電源が有効になるまでデバイスをリセット状態に保持します (すべての構成レジスタを含む)。AVDD が有効で SDZ ピンが解放されるまで、デバイスはハードウェア・シャットダウンを終了しません。SDZ が解放されると、デジタル・コア電圧レギュレータが起動し、動作モードの検出が有効になります。AVDD が低電圧スレッショルドを下回ると、デバイスはただちにリセット状態に強制的に移行します。

また、デバイスは PVDD 電源を監視し、電源が PVDD 低電圧スレッショルドを下回ると、アナログ・コアをパワーダウン状態に保持します (レジスタ・ビット PVDDH_UVLO_TH[5:0] で設定)。TAS2780 がアクティブ動作中で、低電圧フォルトが発生した場合、アナログ・ブロックはただちにパワーダウンして、デバイスを保護します。これらのフォルトはラッチされるため、ハードウェアまたはソフトウェア・シャットダウンに遷移して、フォルトをクリアする必要があります。ラッチされたレジスタは、低電圧フォルトを通知します。

以下のような TDM クロックに伴うフォルトが検出された場合、デバイスはソフトウェア・シャットダウン・モードに遷移します。

* 無効な SBCLK 対 FSYNC 比

* 無効な FSYNC 周波数

* SBCLK または FSYNC クロックの停止

TDM クロック・エラーが検出されると、デバイスは可能な限りすぐにソフトウェア・シャットダウン・モードに遷移して、オーディオ・アーティファクトの可能性を制限します。すべての TDM クロック・エラーが解決すると、デバイスのボリュームは以前の再生状態に戻ります。TDM クロック・エラーの発生中は、クロック・エラー割り込みマスク・レジスタ・ビット IM_TDMCE が Low にセットされている場合、IRQZ ピンは Low にアサートされます。また、クロック・フォルトはラッチされたフォルト・ステータス・レジスタ (IR_TDMCE ビット) で読み戻すことも可能です。

注

I²C をプログラムしてアクティブ・モードに移行する前に、TDM クロックを利用可能にしておく必要があります。クロックがないままアクティブ・モードに移行すると、クロック・エラーを引き起こし、デバイスはソフトウェア・シャットダウンに入り、クロック・エラーに関連した割り込みが発生します。

TAS2780 はダイ温度と Class-D 負荷電流も監視しており、このどちらかが安全な値を超えると、ソフトウェア・シャットダウン・モードに移行します。TDM クロック・エラーと同様に、過熱や過電流に対してフォルト割り込みマスク・レジスタ・ビットが Low にセットされていれば、IRQZ ピンはこれらのフォルトで Low にアサートされます。フォルト・ステータスは、ラッチされたフォルト・レジスタでも監視することができます。

Copyright © 2023 Texas Instruments Incorporated

ダイの過熱と Class-D 過電流エラーは、どちらもラッチされます (たとえば、ハードウェアまたはソフトウェアのシャットダウン・シーケンスが適用されるまで、デバイスはソフトウェア・シャットダウンに移行します)。また、これらは所定の時間経過後に自動で再試行するようにプログラムすることが可能です。この動作を構成するには、OTE_RETRY、OCE_RETRY レジスタ・ビットを使用します (それぞれ、過熱用と過電流用)。ラッチ・モードでも、Class-D は再試行時間 (1.5s) が経過するまで、過熱や過電流エラーの後の再試行は行いません。この機能により、デバイスの損傷を引き起こす、デバイスへのストレスが急速に繰り返し与えられることを防ぎます。デバイスでハードウェアまたはソフトウェア・シャットダウンのサイクルが実行される場合、再試行時間が経過した後にのみ動作を開始します。

デフォルトでは、再試行機能はすべて無効になっています。

ソフトウェア・シャットダウンを終了してアクティブ・モードになっていると (010b～000b の MODE[2:0] ビットなど)、PVDD 低電圧が検出された場合、デバイスはソフトウェア・シャットダウン・モードに戻り、割り込み (IL_PUVLO) のフラグが立ちます。このフォルトを終了するには、ユーザーは割り込みをクリアし、再びアクティブ・モードに移行しようとする前に、MODE[2:0] ビットを使用してデバイスをソフトウェア・シャットダウンにプログラムする必要があります。

内部 VBAT1S LDO 低電圧が検出され、IL_LDO_UV 割り込みのフラグが立った場合、PWR_MODE2 でも同様の状況が発生する可能性があります。

ステータス・レジスタ (ステータス・マスク・レジスタ経由で有効になっている場合は、IRQZ ピンも同様) も、以下のようなリミッタ動作を通知します。リミッタがアクティブになっている場合、PVDD が変曲点を下回った場合、減衰が最大になった場合、リミッタが無限保持状態の場合、リミッタがオーディオをミュートにしている場合などです。

このような状況では、デバイスが PWR_MODE2 で動作している場合、VBAT1S ピンには内部 LDO から供給されます。保護回路はこのブロックを監視し、低電圧、過電圧、または LDO が過負荷の場合にフォルトを生成します。これらのフォルトのいずれかが発生すると、デバイスはソフトウェア・シャットダウン・モードに移行します。

IRQZ ピンはオープン・ドレイン出力で、マスクなしのフォルト発生中は Low にアサートされます。そのため、IOVDD への抵抗でプルアップする必要があります。内部プルアップ抵抗が実装されており、IRQZ_PU レジスタ・ビットを High にセットすることで、アクセス可能になります (ピンに接続される)。

IRQZ の割り込み構成を設定するには、IRQZ_PIN_CFG[1:0] レジスタ・ビットを使用します。IRQZ_POL レジスタ・ビットは割り込み極性を設定します。

INT_LTCH_CLR レジスタ・ビットを使用すると、すべての割り込みラッチのレジスタ・ビットをクリアすることができます。

ライブ・フラグ・レジスタは、デバイスがアクティブ・モードで動作中にのみアクティブになります。デバイスが I^2C コマンドか、以下のいずれかのフォルト条件を満たしたことによってシャットダウンされると、ライブ・フラグはリセットされます。ラッチされたフラグはこの条件ではリセットされないため、ユーザーはステータスを読み取ることができます。

表 8-7. フォルト割り込みマスク

割り込み	ライブ・レジスタ・ビット	ラッチ・レジスタ・ビット	マスク・レジスタ・ビット	デフォルト (1 = マスク)
105℃以上の温度	IL_TO105	IR_TO105	IM_TO105	1
115℃以上の温度	IL_TO115	IR_TO115	IM_TO115	1
125℃以上の温度	IL_TO125	IR_TO125	IM_TO125	1
135℃以上の温度	IL_TO135	IR_TO135	IM_TO135	1
過熱エラー	デバイスはシャットダウン中	IR_OT	IM_OT	0
過電流エラー	デバイスはシャットダウン中	IR_OC	IM_OC	0
TDM クロック・エラー	デバイスはシャットダウン中	IR_TDMCE	IM_TDMCE	1
TDM クロック・エラー：SBCLK 比または FS レートが無効		IR_TDMCEIR		
TDM クロック・エラー：FS はオンザフライで変更		IR_TDNCEFC		
TDM クロック・エラー：SBCLK の FS 比率はオンザフライで変更		IR_TDMCERC		

表 8-7. フォルト割り込みマスク (continued)

割り込み	ライブ・レジスタ・ビット	ラッチ・レジスタ・ビット	マスク・レジスタ・ビット	デフォルト (1 = マスク)
BOP がアクティブ	IL_BOPA	IR_BOPA	IM_BOPA	0
BOP レベル 0 がアクティブ	IL_BOPL0A	IR_BOPL0A	IM_BOPL0A	0
BOP レベル 1 がアクティブ	IL_BOPL1A	IR_BOPL1A	IM_BOPL1A	0
BOP レベル 2 がアクティブ	IL_BOPL2A	IR_BOPL2A	IM_BOPL2A	0
BOP レベル 3 がアクティブ	IL_BOPL3A	IR_BOPL3A	IM_BOPL3A	0
BOP 無限ホールド	IL_BOPIH	IR_BOPIH	IM_BOPIH	1
BOP ミュート	IL_BOPM	IR_BOPM	IM_BOPM	1
PVDD がリミッタの変曲点を下回る	IL_PBIP	IR_PBIP	IM_PBIP	1
リミッタがアクティブ	IL_LIMA	IR_LIMA	IM_LIMA	1
リミッタの最大減衰	IL_LIMMA	IR_LIMMA	IM_LIMMA	1
PVDD UVLO	デバイスはシャットダウン中	IR_PUVLO	IM_PUVLO	0
VBAT1S UVLO	デバイスはシャットダウン中	IR_VBAT1S_UVLO	IM_VBAT1S_UVLO	0
OTP CRC エラー	デバイスはシャットダウン中	IR_OTPCRC		
VBAT ゲイン・リミッタ	IL_VBATLIM	IR_VBATLIM	IM_VBATLIM	1
負荷診断完了		IR_LDC	IM_LDC	1
負荷診断モード・フォルト		IR_LDMODE[1:0]	IM_LDMODE[1:0]	11
内部 PLL クロック・エラー	デバイスはシャットダウン中	IR_PLL_CLK	IM_PLL_CLK	1
ノイズ・ゲートがアクティブ	IL_NGA			
PVDD-VBAT1S がスレッショルド未満	IL_PVBT	IR_PVBT	IM_PVBT	0
内部 VBAT1S LDO が過電圧	デバイスはシャットダウン中	IR_LDO_OV	IM_LDO_OV	1
内部 VBAT1S LDO が低電圧	デバイスはシャットダウン中	IR_LDO_UV	IM_LDO_UV	0
内部 VBAT1S LDO が過負荷	デバイスはシャットダウン中	IR_LDO_OL	IM_LDO_OL	1
熱検出スレッショルド 2	デバイスはシャットダウン中	IR_TDTH2	IM_TDTH2	0
熱検出スレッショルド 1	IL_TDTH1	IR_TDTH1	IM_TDTH1	0

8.6.1 TDM 上のフォルトとステータス

STATUS_TX レジスタ・ビットが High にセットされている場合、フォルト情報とデバイス動作情報を TDM バス経由で送信することができます。TDM バスのスロットの位置は、STATUS_SLOT[5:0] レジスタ・ビットを使用して構成することが可能です。

表 8-8. TDM 情報ビット

TDM_STATUS[7:0] ビット	ビット情報	0 値	1 値
0	電源オン状態	電源オフ(1)	電源オン
1	Y ブリッジ	PVDD アクティブ	VBAT1S アクティブ
2	ノイズゲート・ステータス	通常動作	ノイズ・ゲートがアクティブ
3	リミッタ・アクティブ	リミッタまたは ICLA attn が適用されない	リミッタまたは ICLA attn が適用される
4	BOP アクティブ	BOP attn が適用されない	BOP attn が適用される
5	過熱エラー	過熱なし	過熱を検出(1)

Copyright © 2023 Texas Instruments Incorporated

表 8-8. TDM 情報ビット (continued)

TDM_STATUS[7:0] ビット	ビット情報	0 値	1 値
6	過電流エラー	過電流なし	過電流を検出[(1)]
7	PVDD のステータス	PVDD UVLO なし	PVDD UVLO を検出[(1)]

(1) 過渡シャットダウン・フェーズ中にのみ読み取り可能です。シャットダウン後、TDM ビットは使用できません。

8.6.2 温度の警告

TAS2780 はダイ温度を監視し、温度が 105℃、115℃、125℃、135℃を上回ると警告を出します。

警告はレジスタ 0x47 からライブで読み取るか、またはレジスタ 0x4F、ページ 0x00 にラッチされます。

8.7 電源シーケンス要件

SDZ ピンが Low に保持されている限り、ランプアップまたはランプダウンのレートの順序についての電源シーケンス要件はありません。

8.8 デジタル入力プルダウン

I^2S/TDM インターフェイス・ピンと ICC ピンにはオプションで弱いプルダウン抵抗があり、ピンがオープンになることを防止します。プルダウンのイネーブル / ディセーブルにはレジスタ・ビット DIN_PD[4:0] を使用します。ハードウェアのシャットダウン中はプルダウンはイネーブルになりません。

8.9 レジスタ・マップ

8.9.1 レジスタ・サマリ表 ページ=0x00

アドレス	レジスタ	説明	セクション
0x00	PAGE	デバイスのページ	セクション 8.9.6
0x01	SW_RESET	ソフトウェア・リセット	セクション 8.9.7
0x02	MODE_CTRL	デバイスの動作モード	セクション 8.9.8
0x03	CHNL_0	Y ブリッジとチャネルの設定	セクション 8.9.9
0x04	DC_BLK0	SAR フィルタと DC パス・ブロッカ	セクション 8.9.10
0x05	DC_BLK1	レコード DC ブロッカ	セクション 8.9.11
0x06	MISC_CFG1	その他の構成 1	セクション 8.9.12
0x07	MISC_CFG2	その他の構成 2	セクション 8.9.13
0x08	TDM_CFG0	TDM 構成 0	セクション 8.9.14
0x09	TDM_CFG1	TDM 構成 1	セクション 8.9.15
0x0A	TDM_CFG2	TDM 構成 2	セクション 8.9.16
0x0B	LIM_MAX_ATTN	リミッタ	セクション 8.9.17
0x0C	TDM_CFG3	TDM 構成 3	セクション 8.9.18
0x0D	TDM_CFG4	TDM 構成 4	セクション 8.9.19
0x0E	TDM_CFG5	TDM 構成 5	セクション 8.9.20
0x0F	TDM_CFG6	TDM 構成 6	セクション 8.9.21
0x10	TDM_CFG7	TDM 構成 7	セクション 8.9.22
0x11	TDM_CFG8	TDM 構成 8	セクション 8.9.23
0x12	TDM_CFG9	TDM 構成 9	セクション 8.9.24
0x13	TDM_CFG10	TDM 構成 10	セクション 8.9.25
0x14	TDM_CFG11	TDM 構成 11	セクション 8.9.26
0x15	ICC_CNFG2	ICC モード	セクション 8.9.27
0x16	TDM_CFG12	TDM 構成 12	セクション 8.9.28
0x17	ICLA_CFG0	チップ間リミッタ・アライメント 0	セクション 8.9.29
0x18	ICLA_CFG1	チップ間ゲイン・アライメント 1	セクション 8.9.30
0x19	DG_0	診断信号	セクション 8.9.31
0x1A	DVC	デジタル・ボリューム制御	セクション 8.9.32
0x1B	LIM_CFG0	リミッタ構成 0	セクション 8.9.33
0x1C	LIM_CFG1	リミッタ構成 1	セクション 8.9.34
0x1D	BOP_CFG0	ブラウンアウト防止 0	セクション 8.9.35
0x1E	BOP_CFG1	ブラウンアウト防止 1	セクション 8.9.36
0x1F	BOP_CFG2	ブラウンアウト防止 2	セクション 8.9.37

Copyright © 2023 Texas Instruments Incorporated

0x20	BOP_CFG3	ブラウンアウト防止 3	セクション 8.9.38
0x21	BOP_CFG4	ブラウンアウト防止 4	セクション 8.9.39
0x22	BOP_CFG5	BOP 構成 5	セクション 8.9.40
0x23	BOP_CFG6	ブラウンアウト防止 6	セクション 8.9.41
0x24	BOP_CFG7	ブラウンアウト防止 7	セクション 8.9.42
0x25	BOP_CFG8	ブラウンアウト防止 8	セクション 8.9.43
0x26	BOP_CFG9	ブラウンアウト防止 9	セクション 8.9.44
0x27	BOP_CFG10	BOP 構成 10	セクション 8.9.45
0x28	BOP_CFG11	ブラウンアウト防止 11	セクション 8.9.46
0x29	BOP_CFG12	ブラウンアウト防止 12	セクション 8.9.47
0x2A	BOP_CFG13	ブラウンアウト防止 13	セクション 8.9.48
0x2B	BOP_CFG14	ブラウンアウト防止 14	セクション 8.9.49
0x2C	BOP_CFG15	BOP 構成 15	セクション 8.9.50
0x2D	BOP_CFG17	ブラウンアウト防止 17	セクション 8.9.51
0x2E	BOP_CFG18	ブラウンアウト防止 18	セクション 8.9.52
0x2F	BOP_CFG19	ブラウンアウト防止 19	セクション 8.9.53
0x30	BOP_CFG20	ブラウンアウト防止 20	セクション 8.9.54
0x31	BOP_CFG21	BOP 構成 21	セクション 8.9.55
0x32	BOP_CFG22	ブラウンアウト防止 22	セクション 8.9.56
0x33	BOP_CFG23	PVDD の最小測定値	セクション 8.9.57
0x34	BOP_CFG24	BOP の最小アタック・レート	セクション 8.9.57
0x35	NG_CFG0	ノイズ・ゲート 0	セクション 8.9.59
0x36	NG_CFG1	ノイズ・ゲート 1	セクション 8.9.60
0x37	LVS_CFG0	低電圧信号伝達	セクション 8.9.61
0x38	DIN_PD	デジタル入力ピンのプルダウン	セクション 8.9.62
0x3B	INT_MASK0	割り込みマスク 0	セクション 8.9.63
0x3C	INT_MASK1	割り込みマスク 1	セクション 8.9.64
0x3D	INT_MASK4	割り込みマスク 4	セクション 8.9.65
0x40	INT_MASK2	割り込みマスク 2	セクション 8.9.66
0x41	INT_MASK3	割り込みマスク 3	セクション 8.9.67
0x42	INT_LIVE0	ライブ割り込み読み戻し 0	セクション 8.9.68
0x43	INT_LIVE1	ライブ割り込み読み戻し 1	セクション 8.9.69
0x44	INT_LIVE1_0	ライブ割り込み読み戻し 1_0	セクション 8.9.70
0x47	INT_LIVE2	ライブ割り込み読み戻し 2	セクション 8.9.71
0x48	INT_LIVE3	ライブ割り込み読み戻し 3	セクション 8.9.72
0x49	INT_LTCH0	ラッチ割り込み読み戻し 0	セクション 8.9.73
0x4A	INT_LTCH1	ラッチ割り込み読み戻し 1	セクション 8.9.74
0x4B	INT_LTCH1_0	ラッチ割り込み読み戻し 1_0	セクション 8.9.75
0x4F	INT_LTCH2	ラッチ割り込み読み戻し 2	セクション 8.9.76
0x50	INT_LTCH3	ラッチ割り込み読み戻し 3	セクション 8.9.77
0x51	INT_LTCH4	ラッチ割り込み読み戻し 4	セクション 8.9.78
0x52	VBAT_MSB	SAR VBAT1S 0	セクション 8.9.79
0x53	VBAT_LSB	SAR VBAT1S 1	セクション 8.9.80
0x54	PVDD_MSB	SAR PVDD 0	セクション 8.9.81
0x55	PVDD_LSB	SAR PVDD 1	セクション 8.9.82
0x56	TEMP	SAR ADC 変換 2	セクション 8.9.83
0x5C	INT_CLK_CFG	クロック設定と IRQZ	セクション 8.9.84
0x5D	MISC_CFG3	その他の構成 3	セクション 8.9.85
0x60	CLOCK_CFG	クロック構成	セクション 8.9.86

0x63	IDLE_IND	アイドル・チャネル電流の最適化	セクション 8.9.87
0x64	SAR_SAMP	SAR サンプリング時間	セクション 8.9.88
0x65	MISC_CFG4	その他の構成 4	セクション 8.9.89
0x67	TG_CFG0	トーン・ジェネレータ	セクション 8.9.90
0x68	CLK_CFG	クロック比とサンプル・レートの検出	セクション 8.9.91
0x6A	LV_EN_CFG	Class-D と LVS の遅延	セクション 8.9.92
0x6B	NG_CFG2	ノイズ・ゲート 2	セクション 8.9.93
0x6C	NG_CFG3	ノイズ・ゲート 3	セクション 8.9.94
0x6D	NG_CFG4	ノイズ・ゲート 4	セクション 8.9.95
0x6E	NG_CFG5	ノイズ・ゲート 5	セクション 8.9.96
0x6F	NG_CFG6	ノイズ・ゲート 6	セクション 8.9.97
0x70	NG_CFG7	ノイズ・ゲート 7	セクション 8.9.98
0x71	PVDD_UVLO	UVLO スレッショルド	セクション 8.9.99
0x73	DMD	DAC 変調器のディザー	セクション 8.9.100
0x7E	I2C_CKSUM	I2C のチェックサム	セクション 8.9.101
0x7F	BOOK	デバイスのブック	セクション 8.9.102

8.9.2 レジスタのサマリ表 ページ=0x01

アドレス	レジスタ	説明	セクション
0x17	INIT_0	初期化	セクション 8.9.103
0x19	LSR	変調	セクション 8.9.104
0x21	INIT_1	初期化	セクション 8.9.105
0x35	INIT_2	初期化	セクション 8.9.106
0x36	INT_LDO	内部 LDO 設定	セクション 8.9.107
0x3D	SDOUT_HIZ_1	スロット制御	セクション 8.9.108
0x3E	SDOUT_HIZ_2	スロット制御	セクション 8.9.109
0x3F	SDOUT_HIZ_3	スロット制御	セクション 8.9.110
0x40	SDOUT_HIZ_4	スロット制御	セクション 8.9.111
0x41	SDOUT_HIZ_5	スロット制御	セクション 8.9.112
0x42	SDOUT_HIZ_6	スロット制御	セクション 8.9.113
0x43	SDOUT_HIZ_7	スロット制御	セクション 8.9.114
0x44	SDOUT_HIZ_8	スロット制御	セクション 8.9.115
0x45	SDOUT_HIZ_9	スロット制御	セクション 8.9.116
0x47	TG_EN	サーマル検出イネーブル	セクション 8.9.117
0x4C	EDGE_CTRL	スルーレート制御	セクション 8.9.118

8.9.3 レジスタ・サマリ表 ページ=0x04

アドレス	レジスタ	説明	セクション
0x08	DG_DC_VAL1	診断 DC レベル	セクション 8.9.119
0x09	DG_DC_VAL2	診断 DC レベル	セクション 8.9.120
0x0A	DG_DC_VAL3	診断 DC レベル	セクション 8.9.121
0x0B	DG_DC_VAL4	診断 DC レベル	セクション 8.9.122
0x0C	LIM_TH_MAX1	リミッタ最大スレッショルド	セクション 8.9.123
0x0D	LIM_TH_MAX2	リミッタ最大スレッショルド	セクション 8.9.124
0x0E	LIM_TH_MAX3	リミッタ最大スレッショルド	セクション 8.9.125
0x0F	LIM_TH_MAX4	リミッタ最大スレッショルド	セクション 8.9.126
0x10	LIM_TH_MIN1	リミッタ最小スレッショルド	セクション 8.9.127
0x11	LIM_TH_MIN2	リミッタ最小スレッショルド	セクション 8.9.128

Copyright © 2023 Texas Instruments Incorporated

0x12	LIM_TH_MIN3	リミッタ最小スレッショルド	セクション 8.9.129
0x13	LIM_TH_MIN4	リミッタ最小スレッショルド	セクション 8.9.130
0x14	LIM_INF_PT1	リミッタの変曲点	セクション 8.9.131
0x15	LIM_INF_PT2	リミッタの変曲点	セクション 8.9.132
0x16	LIM_INF_PT3	リミッタの変曲点	セクション 8.9.133
0x17	LIM_INF_PT4	リミッタの変曲点	セクション 8.9.134
0x18	LIM_SLOPE1	リミッタ・スロープ	セクション 8.9.135
0x19	LIM_SLOPE2	リミッタ・スロープ	セクション 8.9.136
0x1A	LIM_SLOPE3	リミッタ・スロープ	セクション 8.9.137
0x1B	LIM_SLOPE4	リミッタ・スロープ	セクション 8.9.138
0x1C	TF_HLD1	TFB の最大ホールド	セクション 8.9.139
0x1D	TF_HLD2	TFB の最大ホールド	セクション 8.9.140
0x1E	TF_HLD3	TFB の最大ホールド	セクション 8.9.141
0x1F	TF_HLD4	TFB の最大ホールド	セクション 8.9.142
0x20	TF_RLS1	TFB のリリース・レート	セクション 8.9.143
0x21	TF_RLS2	TFB のリリース・レート	セクション 8.9.144
0x22	TF_RLS3	TFB のリリース・レート	セクション 8.9.145
0x23	TF_RLS4	TFB のリリース・レート	セクション 8.9.146
0x24	TF_SLOPE1	TFB のリミッタ・スロープ	セクション 8.9.147
0x25	TF_SLOPE2	TFB のリミッタ・スロープ	セクション 8.9.148
0x26	TF_SLOPE3	TFB のリミッタ・スロープ	セクション 8.9.149
0x27	TF_SLOPE4	TFB のリミッタ・スロープ	セクション 8.9.150
0x28	TF_TEMP_TH1	TFB のスレッショルド	セクション 8.9.151
0x29	TF_TEMP_TH2	TFB のスレッショルド	セクション 8.9.152
0x2A	TF_TEMP_TH3	TFB のスレッショルド	セクション 8.9.153
0x2B	TF_TEMP_TH4	TFB のスレッショルド	セクション 8.9.154
0x2C	TF_MAX_ATTN1	TFB のゲイン低減	セクション 8.9.155
0x2D	TF_MAX_ATTN2	TFB のゲイン低減	セクション 8.9.156
0x2E	TF_MAX_ATTN3	TFB のゲイン低減	セクション 8.9.157
0x2F	TF_MAX_ATTN4	TFB のゲイン低減	セクション 8.9.158
0x40	LD_CFG0	負荷診断抵抗の上限スレッショルド	セクション 8.9.159
0x41	LD_CFG1	負荷診断抵抗の上限スレッショルド	セクション 8.9.160
0x42	LD_CFG2	負荷診断抵抗の上限スレッショルド	セクション 8.9.161
0x43	LD_CFG3	負荷診断抵抗の上限スレッショルド	セクション 8.9.162
0x44	LD_CFG4	負荷診断抵抗の下限スレッショルド	セクション 8.9.163
0x45	LD_CFG5	負荷診断抵抗の下限スレッショルド	セクション 8.9.164
0x46	LD_CFG6	負荷診断抵抗の下限スレッショルド	セクション 8.9.165
0x47	LD_CFG7	負荷診断抵抗の下限スレッショルド	セクション 8.9.166
0x48	CLD_EFF_1	Class-D 効率	セクション 8.9.167
0x49	CLD_EFF_2	Class-D 効率	セクション 8.9.168
0x4A	CLD_EFF_3	Class-D 効率	セクション 8.9.169
0x4B	CLD_EFF_4	Class-D 効率	セクション 8.9.170
0x4C	LDG_RES1	負荷診断の抵抗値	セクション 8.9.171
0x4D	LDG_RES2	負荷診断の抵抗値	セクション 8.9.172
0x4E	LDG_RES3	負荷診断の抵抗値	セクション 8.9.173
0x4F	LDG_RES4	負荷診断の抵抗値	セクション 8.9.174

8.9.4 レジスタ・サマリ表 ページ=0xFD

アドレス	レジスタ	説明	セクション
0x3E	INIT_3	初期化	セクション 8.9.175

8.9.5 注と凡例

注:イタリック体で記載されているレジスタ・ビットはすべて、アクティブ・モードでプログラムすることができます。

凡例:**R/W** = 読み出し / 書き込み、**R** = 読み出し専用、**-n** = リセット後の値

8.9.6 PAGE (ページ=0x00 アドレス=0x00) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-0	PAGE[7:0]	RW	0h	デバイス・ページの設定。 00h = ページ 0 01h = ページ 1 ... FFh = ページ 255

8.9.7 SW_RESET (ページ=0x00 アドレス=0x01) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0h	予約済み
0	*SW_RESET*	RW	0h	ソフトウェア・リセット。ビットはセルフ・クリアです。 0b=リセットしない 1b=リセットする

8.9.8 MODE_CTRL (ページ=0x00 アドレス=0x02) [リセット=1Ah]

ビット	フィールド	タイプ	リセット	説明
7	BOP_SRC	RW	0h	BOP 入力ソースと PVDD UVLO 0b = VBAT1S 入力と PVDD UVLO はディセーブル。 1b = PVDD 入力と PVDD UVLO はイネーブル。
6-5	予約済み	RW	0h	予約済み
4	*ISNS_PD*	RW	1h	電流センス 0b = アクティブ 1b = 電源オフ
3	*VSNS_PD*	RW	1h	電圧センス 0b = アクティブ 1b = 電源オフ
2-0	*MODE[2:0]*	RW	2h	デバイスの動作モード。 000b = ミュートなしでアクティブ 001b = ミュートしてアクティブ 010b = ソフトウェア・シャットダウン 011b = 負荷診断の後に通常のデバイス起動 100b = スタンドアロン負荷診断、完了後にこれらのビットを 010b にセルフ・リセット 101b = 診断ジェネレータ・モード 110b～111b = 予約済み

Copyright © 2023 Texas Instruments Incorporated

8.9.9 CHNL_0 (ページ = 0x00 アドレス = 0x03) [リセット = 28h]

ビット	フィールド	タイプ	リセット	説明
7-6	CDS_MODE[1:0]	RW	0h	Class-D スイッチング・モード 00b = Y ブリッジ、VBAT1S に高出力 01b = VBAT1S のみ Class D の供給 10b = PVDD のみ Class-D の供給 11b = Y ブリッジ、VBAT1S に低出力
5-1	*AMP_LEVEL[4:0]*	RW	14h	設定 / 48ksps 時 / 96ksps 時 00h / 11dBV / 9dBV 01h / 11.5dBV / 9.5dBV 02h / 12.0dBV / 10dBV 03h / 12.5dBV / 10.5dBV 04h / 13.0dBV / 11dBV 05h / 13.5dBV / 11.5dBV 06h / 14.0dBV / 12dBV 07h / 14.5dBV / 12.5dBV 08h / 15.0dBV / 13dBV 09h / 15.5dBV / 13.5dBV 0Ah / 16.0dBV / 14dBV 0Bh / 16.5dBV / 14.5dBV 0Ch / 17.0dBV / 15dBV 0Dh / 17.5dBV / 15.5dBV 0Eh / 18.0dBV / 16dBV 0Fh / 18.5dBV / 16.5dBV 10h / 19dBV / 17dBV 11h / 19.5dBV / 17.5dBV 12h / 20dBV / 18dBV 13h / 20.5dBV / 18.5dBV 14h / 21dBV / 19dBV 上記以外：予約済み
0	予約済み	RW	0h	予約済み

8.9.10 DC_BLK0 (ページ = 0x00 アドレス = 0x04) [リセット = 21h]

ビット	フィールド	タイプ	リセット	説明
7	VBAT1S_MODE	RW	0h	VBAT1S 電源 0b = 外部から供給 1b = PVDD から内部で生成
6	IRQZ_PU	RW	0h	IRQZ 内部プルアップ・イネーブル。 0b = ディセーブル 1b = イネーブル
5	AMP_SS * *スペクトラム拡散と同期モードがどちらもイネーブルの場合、同期モードが優先されます*	RW	1h	低 EMI スペクトラム拡散が 0b = ディセーブル 1b = イネーブル
4-3	予約済み	R	0h	予約済み

ビット	フィールド	タイプ	リセット	説明
2-0	*HPF_FREQ_PB[2:0]*	RW	1h	フォワード・パス DC ブロッカ 0h = ディセーブル (フィルタはバイパスされます) 1h = 2Hz 2h = 50Hz 3h = 100Hz 4h = 200Hz 5h = 400Hz 6h = 800Hz 7h = 予約済み * サンプリング・レートが 44.1/88.2 kHz の場合は、上記の数値を 1.0884 で割ってください

8.9.11 DC_BLK1 (ページ = 0x00 アドレス = 0x05) [リセット = 41h]

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	RW	4h	予約済み
3	*TFB_EN*	RW	0h	サーマル・フォールドバックの設定 0b = ディセーブル 1b = イネーブル
2-0	*HPF_FREQ_REC[2:0]*	RW	1h	レコード・パス DC ブロッカ 0h = ディセーブル (フィルタはバイパスされます) 1h = 2Hz 2h = 50Hz 3h = 100Hz 4h = 200Hz 5h = 400Hz 6h = 800Hz 7h = 予約済み * サンプリング・レートが 44.1/88.2kHz の場合は、上記の数値を 1.0884 で割ってください

8.9.12 MISC_CFG1 (ページ=0x00 アドレス=0x06) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	RW	0h	予約済み
5	OCE_RETRY	RW	0h	過電流イベント後の再試行。 0b = ディセーブル 1b = イネーブル、タイマ後に再試行。
4	OTE_RETRY	RW	0h	過熱イベント後の再試行。 0b = ディセーブル 1b = イネーブル、タイマ後に再試行。
3	PFFB_EN	RW	0h	ポスト・フィルタ・フィードバック 0b = ディセーブル (OUT_N ピンと OUT_P ピンを使用) 1b = イネーブル (VSNS_N ピンと VSNS_P ピンを使用)
2	*SMODE_EN*	RW	0h	セーフ・モードをイネーブルにすると、チャネル・ゲインに 18dB の減衰が追加されます。セーフ・モード 0b = ディセーブル 1b = イネーブル
1-0	*OC_CTRL[1:0]*	RW	0h	OC スレッショルド制御 0h = 公称値 1h = 公称値より 10% 低い 2h = 公称値より 20% 低い 3h = 公称値より 30% 低い

Copyright © 2023 Texas Instruments Incorporated

8.9.13 MISC_CFG2 (ページ=0x00 アドレス=0x07) [リセット=20h]

ビット	フィールド	タイプ	リセット	説明
7-6	*SDZ_MODE[1:0]*	RW	0h	SDZ モード構成。 00b = タイムアウト後にシャットダウン 01b = ただちに強制シャットダウン 10b～11b = 予約済み
5-4	*SDZ_TIMEOUT[1:0]*	RW	2h	SDZ タイムアウト値 00b = 2ms 01b = 4ms 10b = 6ms 11b = 23.8ms
3-2	DVC_RAMP_RATE[1:0]	RW	0h	デジタル・ボリューム制御ランプ・レート 00b = 0.5dB/1 サンプル 01b = 0.5dB/4 サンプル 10b = 0.5dB/8 サンプル 11b = ボリューム・ランプ・ディセーブル
1	*I2C_GBL_EN*	RW	0h	I^2C グローバル・アドレス 0b = ディセーブル 1b = イネーブル
0	*I2C_AD_DET*	RW	0h	I^2C ペリフェラル・アドレスの再検出 (セルフ・クリア・ビット)。 0b = 通常検出 1b = パワーアップ後にアドレスを再検出

8.9.14 TDM_CFG0 (ページ=0x00 アドレス=0x08) [リセット=09h]

ビット	フィールド	タイプ	リセット	説明
7	AMP_INV	RW	0h	オーディオ・アンプ出力の反転 0b=通常 1b=反転
6	CLASSD_SYNC ** スペクトラム拡散と同期モードがどちらもイネーブルの場合、同期モードが優先されます*	RW	0h	Class-D 同期モード 0b=オーディオ・クロックと非同期 1b=オーディオ・クロックと同期
5	RAMP_RATE	RW	0h	CLASSD_SYNC=1 の場合の 44.1kHz または 48kHz に基づくサンプル・レート 0b = 48kHz 1b = 44.1kHz
4	AUTO_RATE	RW	0h	TDM サンプル・レートの自動検出 0b=イネーブル 1b=ディセーブル
3-1	SAMP_RATE[2:0]	RW	4h	TDM バスのサンプル・レート 000b～011b = 予約済み 100b = 44.1/48kHz 101b = 88.2/96kHz 110b～111b = 予約済み
0	FRAME_START	RW	1h	TDM フレームの開始極性 0h = FSYNC で Low から High 1h = FSYNC で High から Low

8.9.15 TDM_CFG1 (ページ=0x00 アドレス=0x09) [リセット=02h]

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	RX_JUSTIFY	RW	0h	タイム・スロット内の TDM RX サンプルの揃え方向 0b=左 1b=右

ビット	フィールド	タイプ	リセット	説明
5-1	RX_OFFSET[4:0]	RW	1h	TDM RX のフレーム開始位置からタイム・スロット 0 へのオフセット - FSYNC の遷移からの SBCLK サイクル数
0	RX_EDGE	RW	0h	TDM RX キャプチャのクロック極性 0b = SBCLK の立ち上がりエッジ 1b = SBCLK の立ち下がりエッジ

8.9.16 TDM_CFG2 (ページ=0x00 アドレス=0x0A) [リセット=0Ah]

ビット	フィールド	タイプ	リセット	説明
7-6	IVMON_LEN[1:0]	RW	0h	電流と電圧データ長の設定値 00b = 16 ビット 01b = 12 ビット 10b = 8 ビット 11b=予約済み
5-4	RX_SCFG[1:0]	RW	0h	TDM RX のタイム・スロット選択構成 00b=モノラル、タイム・スロットは I^2C アドレス・オフセットと同じ 01b=モノラル、左チャネル 10b=モノラル、右チャネル 11b=ステレオ・ダウンミックス (L+R)/2
3-2	RX_WLEN[1:0]	RW	2h	TDM RX のワード長 00b = 16 ビット 01b = 20 ビット 10b = 24 ビット 11b = 32 ビット
1-0	RX_SLEN[1:0]	RW	2h	TDM RX のタイム・スロット長 00b = 16 ビット 01b = 24 ビット 10b = 32 ビット 11b=予約済み

8.9.17 LIM_MAX_ATTN (ページ=0x00 アドレス=0x0B) [リセット=80h]

ビット	フィールド	タイプ	リセット	説明
7-4	LIM_MAX_ATTN[3:0]	RW	8h	リミッタの最大減衰 0h = 1dB 1h = 2dB 2h = 3dB ... 0Eh = 15dB 0Fh = 予約済み
3-0	予約済み	R	0h	予約済み

8.9.18 TDM_CFG3 (ページ=0x00 アドレス=0x0C) [リセット=10h]

ビット	フィールド	タイプ	リセット	説明
7-4	RX_SLOT_R[3:0]	RW	1h	TDM RX 右チャネルのタイム・スロット。
3-0	RX_SLOT_L[3:0]	RW	0h	TDM RX 左チャネルのタイム・スロット。

8.9.19 TDM_CFG4 (ページ=0x00 アドレス=0x0D) [リセット=13h]

ビット	フィールド	タイプ	リセット	説明
7	TX_KEEPCY	RW	0h	TX_KEEPEN がイネーブルの場合に、TDM と ICC TX SDOUT LSB データが駆動されるサイクル (フル / ハーフ) 0b=フルサイクル 1b=ハーフサイクル

Copyright © 2023 Texas Instruments Incorporated

ビット	フィールド	タイプ	リセット	説明
6	TX_KEEPLN	RW	0h	TX_KEEPEN がイネーブルの場合に、TDM と ICC TX SDOUT がバスを保持する長さ 0b = 1LSB サイクル 1b=常時
5	TX_KEEPEN	RW	0h	TDM と ICC TX SDOUT のバス・キーパー・イネーブル 0b=バス・キーパーをディセーブル 1b=バス・キーパーをイネーブル
4	TX_FILL	RW	1h	TDM と ICC TX SDOUT の未使用のビット・フィールドを埋める数値 0b = 0 を送信 1b=ハイ・インピーダンスを送信
3-1	TX_OFFSET[2:0]	RW	1h	TDM TX のフレーム開始からタイム・スロット 0 へのオフセット
0	TX_EDGE	RW	1h	TDM TX 起動クロック極性 0b = SBCLK の立ち上がりエッジ 1b = SBCLK の立ち下がりエッジ

8.9.20 TDM_CFG5 (ページ=0x00 アドレス=0x0E) [リセット=42h]

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	VSNS_TX	RW	1h	TDM TX 電圧センス送信 0b=ディセーブル 1b=イネーブル
5-0	VSNS_SLOT[5:0]	RW	2h	TDM TX 電圧センスのタイム・スロット

8.9.21 TDM_CFG6 (ページ=0x00 アドレス=0x0F) [リセット=40h]

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	ISNS_TX	RW	1h	TDM TX 電流センス送信 0b=ディセーブル 1b=イネーブル
5-0	ISNS_SLOT[5:0]	RW	0h	TDM TX 電流センスのタイム・スロット

8.9.22 TDM_CFG7 (ページ=0x00 アドレス=0x10) [リセット=04h]

ビット	フィールド	タイプ	リセット	説明
7	VBAT1S_SLEN	RW	0h	TDM TX VBAT1S のタイム・スロット長 0b = 8 ビットに切り捨て 1b=左揃えで 16 ビット
6	VBAT1S_TX	RW	0h	TDM TX VBAT1S 送信 0b=ディセーブル 1b=イネーブル
5-0	VBAT1S_SLOT[5:0]	RW	4h	TDM TX VBAT1S のタイム・スロット

8.9.23 TDM_CFG8 (ページ=0x00 アドレス=0x11) [リセット=05h]

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	TEMP_TX	RW	0h	TDM TX 温度センサ送信 0b=ディセーブル 1b=イネーブル
5-0	TEMP_SLOT[5:0]	RW	5h	TDM TX 温度センサのタイム・スロット

8.9.24 TDM_CFG9 (ページ=0x00 アドレス=0x12) [リセット=06h]

ビット	フィールド	タイプ	リセット	説明
7	PVDD_SLEN	RW	0h	TDM TX PVDD のタイム・スロット長 0b = 8 ビットに切り捨て 1b=左揃えで 16 ビット
6	PVDD_TX	RW	0h	TDM TX PVDD 送信 0b=ディセーブル 1b=イネーブル
5-0	PVDD_SLOT[5:0]	RW	6h	TDM TX PVDD のタイム・スロット

8.9.25 TDM_CFG10 (ページ=0x00 アドレス=0x13) [リセット=08h]

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	STATUS_TX	RW	0h	TDM TX ステータス送信 0b=ディセーブル 1b=イネーブル
5-0	STATUS_SLOT[5:0]	RW	8h	TDM TX ステータス・タイム・スロット ステータス・スロット・ビットの説明: * **ビット 7** - PVDD ステータス (アナログ・ブロックのシャットダウン後は読み取り不可) 0b = PVDD UVLO 未検出 1b = PVDD UVLO 検出 * **ビット 6** - 過電流ステータス (アナログ・ブロックのシャットダウン後は読み取り不可) 0b = OC 未検出 1b = OC 検出 * **ビット 5** - 過熱ステータス (アナログ・ブロックのシャットダウン後は読み取り不可) 0b = OT 未検出 1b = OT 検出 * **ビット 4** - BOP ステータス 0b = BOP 未検出 1b = BOP 検出 * **ビット 3** - 信号歪みリミッタ・ステータス 0b=歪みリミッタも ICLA ゲインも適用なし 1b=歪みリミッタ / ICLA によってゲイン減衰完了 * **ビット 2** - ノイズ・ゲート・ステータス 0b=デバイスは通常モード中 1b=デバイスはノイズ・ゲート・モード中 * **ビット 1** - Class-D 出力段ステータス 0b = Class D 電力スイッチは PVDD に接続 1b = Class D 電力スイッチは VBAT1S に接続 * **ビット 0** - 電源オン・ステータス (アナログ・ブロックのシャットダウン後は読み取り不可) 0b=デバイスは電源オフ中 1b=デバイスはアクティブ状態

8.9.26 TDM_CFG11 (ページ=0x00 アドレス=0x14) [リセット=0Ah]

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み

Copyright © 2023 Texas Instruments Incorporated

ビット	フィールド	タイプ	リセット	説明
6	GAIN_TX	RW	0h	TDM/ICC TX リミッタのゲイン低減送信 0b = ディセーブル 1b = イネーブル
5-0	GAIN_SLOT[5:0]	RW	Ah	TDM/ICC TX リミッタのゲイン低減タイム・スロット

8.9.27 ICC_CNFG2 (ページ=0x00 アドレス=0x15) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R	0h	予約済み
4-2	ICC_MODE[2:0]	RW	0h	ICC ピンの機能を選択 0h = ICC ピンのゲイン・アライメント 1h =予約済み 2h = ICC ピンのバッファをディセーブル 3h = ICC ピンは汎用入力 4h = ICC ピンは汎用出力 5h～7h=予約済み
1-0	予約済み	R	0h	予約済み

8.9.28 TDM_CFG12 (ページ=0x00 アドレス=0x16) [リセット=12h]

ビット	フィールド	タイプ	リセット	説明
7	AUDIO_SLEN	RW	0h	TDM オーディオ・スロットの長さ 0b = 16 ビット 1b = 24 ビット
6	AUDIO_TX	RW	0h	TDM オーディオ出力送信 0b=ディセーブル 1b=イネーブル
5-0	AUDIO_SLOT[5:0]	RW	12h	TDM TX ステータス・タイム・スロット

8.9.29 ICLA_CFG0 (ページ=0x00 アドレス=0x17) [リセット=0Ch]

ビット	フィールド	タイプ	リセット	説明
7	ICBA_EN	RW	0h	チップ間のブラウンアウト・ゲイン・アライメント 0b = ディセーブル 1b = イネーブル
6-1	ICGA_SLOT[5:0]	RW	6h	チップ間ゲイン・アライメントの開始時間スロット
0	ICLA_EN	RW	0h	チップ間のリミッタ・アライメント・ゲイン 0b = ディセーブル 1b = イネーブル

8.9.30 ICLA_CFG1 (ページ=0x00 アドレス=0x18) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7	ICGA_SEN[7]	RW	0h	タイム・スロットは ICGA_SLOT[5:0]+7*3 です。イネーブルにすると、リミッタはこのタイム・スロットを整列グループに含めます。 0b = ディセーブル 1b = イネーブル
6	ICGA_SEN[6]	RW	0h	タイム・スロットは ICGA_SLOT[5:0]+6*3 です。イネーブルにすると、リミッタはこのタイム・スロットを整列グループに含めます。 0b = ディセーブル 1b = イネーブル
5	ICGA_SEN[5]	RW	0h	タイム・スロットは ICGA_SLOT[5:0]+5*3 です。イネーブルにすると、リミッタはこのタイム・スロットを整列グループに含めます。 0b = ディセーブル 1b = イネーブル

ビット	フィールド	タイプ	リセット	説明
4	ICGA_SEN[4]	RW	0h	タイム・スロットは ICGA_SLOT[5:0]+4*3 です。イネーブルにすると、リミッタはこのタイム・スロットを整列グループに含めます。 0b = ディセーブル 1b = イネーブル
3	ICGA_SEN[3]	RW	0h	タイム・スロットは ICGA_SLOT[5:0]+3*3 です。イネーブルにすると、リミッタはこのタイム・スロットを整列グループに含めます。 0b = ディセーブル 1b = イネーブル
2	ICGA_SEN[2]	RW	0h	タイム・スロットは ICGA_SLOT[5:0]+2*3 です。イネーブルにすると、リミッタはこのタイム・スロットを整列グループに含めます。 0b = ディセーブル 1b = イネーブル
1	ICGA_SEN[1]	RW	0h	タイム・スロットは ICGA_SLOT[5:0]+1*3 です。イネーブルにすると、リミッタはこのタイム・スロットを整列グループに含めます。 0b = ディセーブル 1b = イネーブル
0	ICGA_SEN[0]	RW	0h	タイム・スロットは ICGA_SLOT[5:0]+0 です。イネーブルにすると、リミッタはこのタイム・スロットを整列グループに含めます。 0b = ディセーブル 1b = イネーブル

8.9.31 DG_0 (ページ = 0x00 アドレス = 0x19) [リセット = 0Dh]

ビット	フィールド	タイプ	リセット	説明
7	ICGA_NG_EN	RW	0h	ノイズ・ゲートがイネーブルの場合に ICGA 機能と共に推奨 0b = 機能をディセーブル 1b = 機能をイネーブル
6	DG_CLK	RW	0h	生成されたクロック・ソースの診断 0b = 内蔵オシレータ 1b = 外付けの SBCLK と FSYNC
5	ICG_MODE	RW	0h	デバイスの減衰 0b = BOP とリミッタ減衰を合計する 1b = BOP かリミッタのいずれかの最大減衰
4-0	*DG_SIG[4:0]*	RW	Dh	DG MODE のトーン周波数を選択する 00h = 0 入力 (アイドル・チャネル) 01h = -6dBFS 正の DC 02h = -6dBFS 負の DC 03h = -12dBFS 正の DC 04h = -12dBFS 負の DC 05h = -18dBFS 正の DC 06h = -18dBFS 負の DC 07h = -24dBFS 正の DC 08h = -24dBFS 負の DC 09h = -30dBFS 正の DC 0Ah = -30dBFS 負の DC 0Bh = -6dBFS $f_s/4$ 0Ch = -4.8dBFS $f_s/6$ 0Dh = 0dBFS 1kHz 正弦 0Eh = B0_P4 を使用してプログラム可能な DC、レジスタ 0x08～0x0B 0Fh～1Fh = 予約済み

Copyright © 2023 Texas Instruments Incorporated

8.9.32 DVC (ページ=0x00 アドレス=0x1A) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-0	*DVC_LVL[7:0]*	RW	0h	デジタル・ボリューム制御 00h = 0dB 01h = -0.5dB 02h = -1dB ... C8h = -100dB その他:ミュート

8.9.33 LIM_CFG0 (ページ=0x00 アドレス=0x1B) [リセット=62h]

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	1h	予約済み
5	LIM_HR_EN	RW	1h	リミッタの動的ヘッドルーム 0b = ディセーブル 1b = イネーブル
4-1	LIM_ATK_RT[3:0]	RW	1h	リミッタのアタック・レート 00h = 20µs/dB 01h = 40µs/dB 02h = 80µs/dB 03h = 160µs/dB 04h = 320µs/dB 05h = 640µs/dB 06h = 1280µs/dB 07h = 2560µs/dB 08h = 5120µs/dB 09h = 10240µs/dB 10h = 20480µs/dB 11h = 40960µs/dB 12h = 81920µs/dB 13h = 163840µs/dB その他: 予約済み
0	LIM_EN	RW	0h	リミッタ 0b = ディセーブル 1b = イネーブル

8.9.34 LIM_CFG1 (ページ=0x00 アドレス=0x1C) [リセット=32h]

ビット	フィールド	タイプ	リセット	説明
7	LIM_PDB	RW	0h	BOP 中のリミッタ 0b = 実行中 1b = 一時停止
6-3	LIM_RLS_RT[3:0]	RW	6h	リミッタのリリース・レート 0h = 予約済み 1h = 4ms/dB 2h = 8ms/dB 3h = 16ms/dB 4h = 32ms/dB 5h = 64ms/dB 6h = 128ms/dB 7h = 256ms/dB 8h = 512ms/dB 9h = 1024ms/dB Ah = 2048ms/dB Bh = 4096ms/dB Ch = 8192ms/dB その他: 予約済み

ビット	フィールド	タイプ	リセット	説明
2-0	LIM_HLD_TM[2:0]	RW	2h	リミッタのホールド時間 0h = 予約済み 1h = 10ms 2h = 25ms 3h = 50ms 4h = 100ms 5h = 250ms 6h = 500ms 7h = 1000ms

8.9.35 BOP_CFG0 (ページ = 0x00 アドレス = 0x1D) [リセット = 40h]

ビット	フィールド	タイプ	リセット	説明
7-3	LIM_DHR[4:0]	RW	8h	PVDD のリミッタ最大ヘッドルーム (%) 00h = -20 01h = -17.5 02h = -15 .. 0Fh = 17.5 10h = 20 上記以外 = 予約済み
2	予約済み	R	0h	予約済み
1	BOP_SHDN	RW	0h	BOP レベル 0 に達したときのデバイスの動作 0b = レベル 0 の設定に基づき減衰する 1b = ミュートして、デバイスはシャットダウンされる
0	BOP_EN	RW	0h	ブラウンアウト防止 0b = ディセーブル 1b = イネーブル

8.9.36 BOP_CFG1 (ページ = 0x00 アドレス = 0x1E) [リセット = 32h]

ビット	フィールド	タイプ	リセット	説明
7	BOP_HLD_CLR	RW	0h	BOP 無限ホールド・クリア (セルフ・クリア) 0b = クリアしない 1b = クリアする
6-0	DEV_MAX_ATTN[6:0]	RW	32h	リミッタと BOP を組み合わせた場合のデバイスの最大減衰 00h = 0dB 01h= -1dB 02h = -2dB 03h = -3dB .. 2Eh = -46dB 2Fh～7Fh = ディセーブル

8.9.37 BOP_CFG2 (ページ = 0x00 アドレス = 0x1F) [リセット = 02h]

ビット	フィールド	タイプ	リセット	説明
7-5	BOP_DT3[2:0]	RW	0h	BOP レベル 3 ドウェル時間 0h = 0µs 1h = 100µs 2h = 250µs 3h = 500µs 4h = 1000µs 5h = 2000µs 6h = 4000µs 7h = 8000µs

Copyright © 2023 Texas Instruments Incorporated

ビット	フィールド	タイプ	リセット	説明
4-1	BOP_ATK_ST3[3:0]	RW	1h	BOP レベル 3 アタック・ステップ・サイズ 0h = -0.0625dB 1h = -0.5dB 2h = -0.8958dB 3h = -1.2916dB 4h = -1.6874dB 5h = -2.0832dB 6h = -2.479dB 7h = -2.8748dB 8h = -3.2706dB 9h = -3.6664dB Ah = -4.0622dB Bh = -4.458dB Ch = -4.8538dB Dh = -5.2496dB Eh = -5.6454dB Fh = -6dB
0	予約済み	R	0h	予約済み

8.9.38 BOP_CFG3 (ページ = 0x00 アドレス = 0x20) [リセット = 06h]

ビット	フィールド	タイプ	リセット	説明
7-5	BOP_ATK_RT3[2:0]	RW	0h	BOP レベル 3 アタック・レート 0h = 2.5µs 1h = 5µs 2h = 10µs 3h = 25µs 4h = 50µs 5h = 100µs 6h = 250µs 7h = 500µs
4-1	BOP_RLS_ST3[3:0]	RW	3h	BOP レベル 3 リリース・ステップ・サイズ 0h = 0.0625dB 1h = 0.5dB 2h = 0.8958dB 3h = 1.2916dB 4h = 1.6874dB 5h = 2.0832dB 6h = 2.479dB 7h = 2.8748dB 8h = 3.2706dB 9h = 3.6664dB 0Ah = 4.0622dB 0Bh = 4.458dB 0Ch = 4.8538dB 0Dh = 5.2496dB 0Eh = 5.6454dB 0Fh = 6dB
0	予約済み	R	0h	予約済み

8.9.39 BOP_CFG4 (ページ = 0x00 アドレス = 0x21) [リセット = 2Ch]

ビット	フィールド	タイプ	リセット	説明
7-5	BOP_RLS_RT3[2:0]	RW	1h	BOP レベル 3 リリース・レート時間 0h = 5ms 1h = 10ms 2h = 25ms 3h = 50ms 4h = 100ms 5h = 250ms 6h = 500ms 7h = 1000ms

ビット	フィールド	タイプ	リセット	説明
4-0	BOP_MAX_ATTN3[4:0]	RW	0Ch	BOP レベル 3 の最大減衰 00h = 0dB 01h = -1dB 02h = -2dB .. 0Ch = -12dB .. 1Eh = -30dB 1Fh = -31dB

8.9.40 BOP_CFG5 (ページ = 0x00 アドレス = 0x22) [リセット = 4Ch]

ビット	フィールド	タイプ	リセット	説明		
7-0	BOP_TH3[7:0]	RW	4Ch	BOP レベル 3 スレッショルド (V)		
				設定	BOP_SRC = 0 (VBAT1S ソース)	BOP_SRC = 1 (PVDD ソース)
				00h	2.7	5.5
				01h	2.75	5.55
				02h	2.8	5.6
				.....	.....	.....
				38h	5.5	8.3
				39h	予約済み	8.35
				.....	予約済み	.....
				5Ah	予約済み	10
				.....	予約済み	.....
				FDh	予約済み	18.15
				FEh	予約済み	18.2
				FFh	予約済み	18.25

8.9.41 BOP_CFG6 (ページ = 0x00 アドレス = 0x23) [リセット = 20h]

ビット	フィールド	タイプ	リセット	説明
7-5	BOP_HT3[2:0]	RW	1h	BOP レベル 3 ホールド時間 0h = 0ms 1h = 10ms 2h = 100ms 3h = 250ms 4h = 500ms 5h = 1000ms 6h = 2000ms 7h = 無限大 (これは BOP_HLD_CLR ビットで終了可能)
4	BOP_DIS3	RW	0h	BOP レベル 3 0b = イネーブル 1b = ディセーブル

Copyright © 2023 Texas Instruments Incorporated

ビット	フィールド	タイプ	リセット	説明
3-0	BOP_STAT_STATE[3:0]	R	0h	BOP の現在の状態 - 更新と有効な読み戻しを維持するには BOP_STAT_HLD ビットを High にセットする 0h =アイドル 1h = アタック中、レベル 3 2h = アタック中、レベル 2 3h = アタック中、レベル 1 4h = アタック中、レベル 0 5h = ホールド中、レベル 3 6h = ホールド中、レベル 2 7h = ホールド中、レベル 1 8h = ホールド中、レベル 0 9h = リリース中、レベル 3 Ah = リリース中、レベル 2 Bh = リリース中、レベル 1 Ch = リリース中、レベル 0 Dh～Fh = 予約済み

8.9.42 BOP_CFG7 (ページ = 0x00 アドレス = 0x24) [リセット = 02h]

ビット	フィールド	タイプ	リセット	説明
7-5	BOP_DT2[2:0]	RW	0h	BOP レベル 2 ドウェル時間 0h = 0µs 1h = 100µs 2h = 250µs 3h = 500µs 4h = 1000µs 5h = 2000µs 6h = 4000µs 7h = 8000µs
4-1	BOP_ATK_ST2[3:0]	RW	1h	BOP レベル 2 アタック・ステップ・サイズ 0h = -0.0625dB 1h = -0.5dB 2h = -0.8958dB 3h = -1.2916dB 4h = -1.6874dB 5h = -2.0832dB 6h = -2.479dB 7h = -2.8748dB 8h = -3.2706dB 9h = -3.6664dB Ah = -4.0622dB Bh = -4.458dB Ch = -4.8538dB Dh = -5.2496dB Eh = -5.6454dB Fh = -6dB
0	予約済み	R	0h	予約済み

8.9.43 BOP_CFG8 (ページ = 0x00 アドレス = 0x25) [リセット = 06h]

ビット	フィールド	タイプ	リセット	説明
7-5	BOP_ATK_RT2[2:0]	RW	0h	BOP レベル 2 アタック・レート 0h = 2.5µs 1h = 5µs 2h = 10µs 3h = 25µs 4h = 50µs 5h = 100µs 6h = 250µs 7h = 500µs

ビット	フィールド	タイプ	リセット	説明
4-1	BOP_RLS_ST2[3:0]	RW	3h	BOP レベル 2 リリース・ステップ・サイズ 0h = 0.0625dB 1h = 0.5dB 2h = 0.8958dB 3h = 1.2916dB 4h = 1.6874dB 5h = 2.0832dB 6h = 2.479dB 7h = 2.8748dB 8h = 3.2706dB 9h = 3.6664dB Ah = 4.0622dB Bh = 4.458dB Ch = 4.8538dB Dh = 5.2496dB Eh = 5.6454dB Fh = 6dB
0	予約済み	R	0h	予約済み

8.9.44 BOP_CFG9 (ページ = 0x00 アドレス = 0x26) [リセット = 32h]

ビット	フィールド	タイプ	リセット	説明
7-5	BOP_RLS_RT2[2:0]	RW	1h	BOP レベル 2 リリース・レート時間 0h = 5ms 1h = 10ms 2h = 25ms 3h = 50ms 4h = 100ms 5h = 250ms 6h = 500ms 7h = 1000ms
4-0	BOP_MAX_ATTN2[4:0]	RW	12h	BOP レベル 2 の最大減衰 00h = 0dB 01h = -1dB 02h = -2dB .. 12h = -18dB .. 1Eh = -30dB 1Fh = -31dB

Copyright © 2023 Texas Instruments Incorporated

8.9.45 BOP_CFG10 (ページ = 0x00 アドレス = 0x27) [リセット = 46h]

ビット	フィールド	タイプ	リセット	説明		
7-0	BOP_TH2[7:0]	RW	46h	BOP レベル 2 スレッショルド (V)		
				設定	BOP_SRC = 0 (VBAT1S ソース)	BOP_SRC = 1 (PVDD ソース)
				00h	2.7	5.5
				01h	2.75	5.55
				02h	2.8	5.6
				.....	.....	.....
				38h	5.5	8.3
				39h	予約済み	8.35
				.....	予約済み	.....
				5Ah	予約済み	10
				.....	予約済み	.....
				FDh	予約済み	18.15
				FEh	予約済み	18.2
				FFh	予約済み	18.25

8.9.46 BOP_CFG11 (ページ = 0x00 アドレス = 0x28) [リセット = 20h]

ビット	フィールド	タイプ	リセット	説明
7-5	BOP_HT2[2:0]	RW	1h	BOP レベル 2 ホールド時間 0h = 0ms 1h = 10ms 2h = 100ms 3h = 250ms 4h = 500ms 5h = 1000ms 6h = 2000ms 7h = 無限大 (これは BOP_HLD_CLR ビットで終了可能)
4	BOP_DIS2	RW	0h	BOP レベル 2 0b = イネーブル 1b = ディセーブル
3-0	予約済み	R	0h	予約済み

8.9.47 BOP_CFG12 (ページ = 0x00 アドレス = 0x29) [リセット = 02h]

ビット	フィールド	タイプ	リセット	説明
7-5	BOP_DT1[2:0]	RW	0h	BOP レベル 1 ドウェル時間 0h = 0µs 1h = 100µs 2h = 250µs 3h = 500µs 4h = 1000µs 5h = 2000µs 6h = 4000µs 7h = 8000µs

ビット	フィールド	タイプ	リセット	説明
4-1	BOP_ATK_ST1[3:0]	RW	1h	BOP レベル 1 アタック・ステップ・サイズ 0h = -0.0625dB 1h = -0.5dB 2h = -0.8958dB 3h = -1.2916dB 4h = -1.6874dB 5h = -2.0832dB 6h = -2.479dB 7h = -2.8748dB 8h = -3.2706dB 9h = -3.6664dB Ah = -4.0622dB Bh = -4.458dB Ch = -4.8538dB Dh = -5.2496dB Eh = -5.6454dB Fh = -6dB
0	予約済み	R	0h	予約済み

8.9.48 BOP_CFG13 (ページ = 0x00 アドレス = 0x2A) [リセット = 06h]

ビット	フィールド	タイプ	リセット	説明
7-5	BOP_ATK_RT1[2:0]	RW	0h	BOP レベル 1 アタック・レート 0h = 2.5µs 1h = 5µs 2h = 10µs 3h = 25µs 4h = 50µs 5h = 100µs 6h = 250µs 7h = 500µs
4-1	BOP_RLS_ST1[3:0]	RW	3h	BOP レベル 1 リリース・ステップ・サイズ 0h = 0.0625dB 1h = 0.5dB 2h = 0.8958dB 3h = 1.2916dB 4h = 1.6874dB 5h = 2.0832dB 6h = 2.479dB 7h = 2.8748dB 8h = 3.2706dB 9h = 3.6664dB Ah = 4.0622dB Bh = 4.458dB Ch = 4.8538dB Dh = 5.2496dB Eh = 5.6454dB Fh = 6dB
0	予約済み	R	0h	予約済み

8.9.49 BOP_CFG14 (ページ = 0x00 アドレス = 0x2B) [リセット = 38h]

ビット	フィールド	タイプ	リセット	説明
7-5	BOP_RLS_RT1[2:0]	RW	1h	BOP レベル 1 リリース・レート時間 0h = 5ms 1h = 10ms 2h = 25ms 3h = 50ms 4h = 100ms 5h = 250ms 6h = 500ms 7h = 1000ms

Copyright © 2023 Texas Instruments Incorporated

ビット	フィールド	タイプ	リセット	説明
4-0	BOP_MAX_ATTN1[4:0]	RW	18h	BOP レベル 1 の最大減衰 0h = 0dB 1h = -1dB 2h = -2dB .. 18h = -24dB .. 1Eh = -30dB 1Fh = -31dB

8.9.50 BOP_CFG15 (ページ = 0x00 アドレス = 0x2C) [リセット = 40h]

ビット	フィールド	タイプ	リセット	説明		
7-0	BOP_TH1[7:0]	RW	40h	BOP レベル 1 スレッショルド (V)		
				設定	BOP_SRC = 0 (VBAT1S ソース)	BOP_SRC = 1 (PVDD ソース)
				00h	2.7	5.5
				01h	2.75	5.55
				02h	2.8	5.6
				.....	.....	.....
				38h	5.5	8.3
				39h	予約済み	8.35
				.....	予約済み	.....
				5Ah	予約済み	10
				.....	予約済み	.....
				FDh	予約済み	18.15
				FEh	予約済み	18.2
				FFh	予約済み	18.25

8.9.51 BOP_CFG17 (ページ = 0x00 アドレス = 0x2D) [リセット = 20h]

ビット	フィールド	タイプ	リセット	説明
7-5	BOP_HT1[2:0]	RW	1h	BOP レベル 1 ホールド時間 0h = 0ms 1h = 10ms 2h = 100ms 3h = 250ms 4h = 500ms 5h = 1000ms 6h = 2000ms 7h = 無限大 (これは BOP_HLD_CLR ビットで終了可能)
4	BOP_DIS1	RW	0h	BOP レベル 1 0b = イネーブル 1b = ディセーブル
3-0	予約済み	R	0h	予約済み

8.9.52 BOP_CFG18 (ページ = 0x00 アドレス = 0x2E) [リセット = 02h]

ビット	フィールド	タイプ	リセット	説明
7-5	BOP_DT0[2:0]	RW	0h	BOP レベル 0 ドウェル時間 0h = 0µs 1h = 100µs 2h = 250µs 3h = 500µs 4h = 1000µs 5h = 2000µs 6h = 4000µs 7h = 8000µs
4-1	BOP_ATK_ST0[3:0]	RW	1h	BOP レベル 0 アタック・ステップ・サイズ 0h = -0.0625dB 1h = -0.5dB 2h = -0.8958dB 3h = -1.2916dB 4h = -1.6874dB 5h = -2.0832dB 6h = -2.479dB 7h = -2.8748dB 8h = -3.2706dB 9h = -3.6664dB Ah = -4.0622dB Bh = -4.458dB Ch = -4.8538dB Dh = -5.2496dB Eh = -5.6454dB Fh = -6dB
0	予約済み	R	0h	予約済み

8.9.53 BOP_CFG19 (ページ = 0x00 アドレス = 0x2F) [リセット = 06h]

ビット	フィールド	タイプ	リセット	説明
7-5	BOP_ATK_RT0[2:0]	RW	0h	BOP レベル 0 アタック・レート 0h = 2.5µs 1h = 5µs 2h = 10µs 3h = 25µs 4h = 50µs 5h = 100µs 6h = 250µs 7h = 500µs
4-1	BOP_RLS_ST0[3:0]	RW	3h	BOP レベル 0 リリース・ステップ・サイズ 0h = 0.0625dB 1h = 0.5dB 2h = 0.8958dB 3h = 1.2916dB 4h = 1.6874dB 5h = 2.0832dB 6h = 2.479dB 7h = 2.8748dB 8h = 3.2706dB 9h = 3.6664dB Ah = 4.0622dB Bh = 4.458dB Ch = 4.8538dB Dh = 5.2496dB Eh = 5.6454dB Fh = 6dB
0	予約済み	R	0h	予約済み

Copyright © 2023 Texas Instruments Incorporated

8.9.54 BOP_CFG20 (ページ = 0x00 アドレス = 0x30) [リセット = 3Eh]

ビット	フィールド	タイプ	リセット	説明
7-5	BOP_RLS_RT0[2:0]	RW	1h	BOP レベル 0 リリース・レート時間 0h = 5ms 1h = 10ms 2h = 25ms 3h = 50ms 4h = 100ms 5h = 250ms 6h = 500ms 7h = 1000ms
4-0	BOP_MAX_ATTN0[4:0]	RW	1Eh	BOP レベル 0 の最大減衰。 0h = 0dB 1h = -1dB 2h = -2dB .. Ch = -12dB .. 1Eh = -30dB 1Fh = -31dB

8.9.55 BOP_CFG21 (ページ = 0x00 アドレス = 0x31) [リセット = 37h]

ビット	フィールド	タイプ	リセット	説明		
7-0	BOP_TH0[7:0]	RW	37h	BOP レベル 0 スレッショルド (V)		
				設定	BOP_SRC = 0 (VBAT1S ソース)	BOP_SRC = 1 (PVDD ソース)
				00h	2.7	5.5
				01h	2.75	5.55
				02h	2.8	5.6
				.....	.....	.....
				38h	5.5	8.3
				39h	予約済み	8.35
				.....	予約済み	.....
				5Ah	予約済み	10
				.....	予約済み	.....
				FDh	予約済み	18.15
				FEh	予約済み	18.2
				FFh	予約済み	18.25

8.9.56 BOP_CFG22 (ページ = 0x00 アドレス = 0x32) [リセット = 20h]

ビット	フィールド	タイプ	リセット	説明
7-5	BOP_HT0[2:0]	RW	1h	BOP レベル 0 ホールド時間 0h = 0ms 1h = 10ms 2h = 100ms 3h = 250ms 4h = 500ms 5h = 1000ms 6h = 2000ms 7h = 無限大 (これは BOP_HLD_CLR ビットで終了可能)
4	BOP_DIS0	RW	0h	BOP レベル 0 0b = イネーブル 1b = ディセーブル
3-1	予約済み	RW	0h	予約済み

ビット	フィールド	タイプ	リセット	説明
0	BOP_STAT_HLD	RW	0h	BOP_STAT_STATE[3:0]、BOP_STAT_LLVL[2:0]、BOP_STAT_PVDD[9:0] レジスタ・ビットの BOP ステータスを保持します。このビットを Low に戻すと、ステータス・レジスタはリセットされ、更新が再開されます。 0b = ホールドの更新はディセーブル、ステータス・レジスタの読み戻しは無効 1b = ホールドの更新はイネーブル、ステータス・レジスタの読み戻しは有効

8.9.57 BOP_CFG23 (ページ = 0x00 アドレス = 0x33) [リセット = FFh]

ビット	フィールド	タイプ	リセット	説明
7-0	BOP_STAT_PVDD[9:2]	R	FFh	最後の読み取り以降に測定された最小 PVDD。読み取る前に BOP_STAT_HLD を High にセットします。デバイスで SAR がイネーブルにならない間は、デバイスが PWR_MODE2 なら、レジスタは PVDD (FFh) にデフォルト値を読み戻します。デバイスが PWR_MODE1 のときは、VBAT (FFh) にデフォルト値を読み戻します。注:PVDD のデフォルト値は 23V、VBAT1S は 6V です。

8.9.58 BOP_CFG24 (ページ = 0x00 アドレス = 0x34) [リセット = E6h]

ビット	フィールド	タイプ	リセット	説明
7-6	BOP_STAT_PVDD[1:0]	R	3h	最後の読み取り以降に測定された最小 PVDD。読み取る前に BOP_STAT_HLD を High にセットします。デバイスで SAR がイネーブルにならない間は、デバイスが PWR_MODE2 なら、レジスタは PVDD (3h) にデフォルト値を読み戻します。デバイスが PWR_MODE1 のときは、VBAT (3h) にデフォルト値を読み戻します。注:PVDD のデフォルト値は 23V、VBAT1S は 6V です。
5-3	BOP_STAT_LLVL[2:0]	R	4h	最後の読み取り以降にアタックされた最小 BOP レベル。読み取る前に BOP_STAT_HLD を High にセットします。 0h = 最小アタック・レベルはアタック・レベル 0 だった 1h = 最小アタック・レベルはアタック・レベル 1 だった 2h = 最小アタック・レベルはアタック・レベル 2 だった 3h = 最小アタック・レベルはアタック・レベル 3 だった 4h = 最後の読み取り以降に BOP はアタックされていない 5h～7h = 予約済み
2-1	LVS_FTH_LOW[1:0]	RW	3h	CDS_MODE のときの LVS のスレッショルド = 3h 0h = -121.5dBFS 1h= -101.5dBFS (デフォルト) 2h= -81.5dBFS 3h = -71.5dBFS
0	予約済み	R	0h	予約済み

8.9.59 NG_CFG0 (ページ=0x00 アドレス=0x35) [リセット=BDh]

ビット	フィールド	タイプ	リセット	説明
7-5	NG_HYST[2:0]	RW	5h	ノイズ・ゲート・エントリのヒステリシス・タイマ 0h = 400µs 1h = 600µs 2h = 800µs 3h = 2ms 4h = 10ms 5h = 50ms 6h = 100ms 7h = 1000ms

Copyright © 2023 Texas Instruments Incorporated

ビット	フィールド	タイプ	リセット	説明
4-3	NG_LVL[1:0]	RW	3h	ノイズ・ゲートのオーディオ・スレッショルド・レベル 0h = -90dBFS 1h = -100dBFS 2h = -110dBFS 3h = -120dBFS
2	NG_EN	RW	1h	ノイズ・ゲート 0b = ディセーブル 1b = イネーブル
1-0	予約済み	RW	1h	予約済み

8.9.60 NG_CFG1 (ページ=0x00 アドレス=0x36) [リセット=ADh]

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	RW	2h	予約済み
5	NG_DVR_EN	RW	1h	ノイズ・ゲート制御におけるボリューム・ランプ 0b = イネーブル 1b = ディセーブル
4	予約済み	R	0h	予約済み
3-0	LVS_HYS[3:0]	RW	Dh	PVDD から VBAT1S へのヒステリシス時間 0h～9h =予約済み Ah = 1ms Bh = 10ms Ch = 20ms Dh = 50ms Eh = 75ms Fh = 100ms

8.9.61 LVS_CFG0 (ページ=0x00 アドレス=0x37) [リセット=A8h]

ビット	フィールド	タイプ	リセット	説明
7	LVS_TMODE	RW	1h	低電圧信号伝達検出スレッショルド 0b = 固定 1b = 基準は VBAT1S 電圧
6	予約済み	RW	1h	予約済み
4-0	LVS_FTH[4:0]	RW	8h	CDS_MODE = 0h のときの LVS のスレッショルド 00h = -18.5dBFS 01h=-18.25dBFS (デフォルト) 02h=-18dBFS 03h = -17.75dBFS 04h=-17.5dBFS. .. 08h=-16.5dBFS. .. 1Eh = -11dBFS 1Fh = -10.75dBFS

8.9.62 DIN_PD (ページ = 0x00 アドレス = 0x38) [リセット = 03h]

ビット	フィールド	タイプ	リセット	説明
7	予約済み	RW	0h	予約済み
6	DIN_PD[4]	RW	0h	ICC のプルダウンを弱くします 0b = ディセーブル 1b = イネーブル
5	DIN_PD[3]	RW	0h	SDOUT のプルダウンを弱くします 0b = ディセーブル 1b = イネーブル

ビット	フィールド	タイプ	リセット	説明
4	DIN_PD[2]	RW	0h	SDIN のプルダウンを弱くします 0b = ディセーブル 1b = イネーブル
3	DIN_PD[1]	RW	0h	FSYNC のプルダウンを弱くします 0b = ディセーブル 1b = イネーブル
2	DIN_PD[0]	RW	0h	SBCLK のプルダウンを弱くします 0b = ディセーブル 1b = イネーブル
1-0	予約済み	RW	3h	予約済み

8.9.63 INT_MASK0 (ページ=0x00 アドレス=0x3B) [リセット=FCh]

ビット	フィールド	タイプ	リセット	説明
7	*IM_BOPM*	RW	1h	BOP ミュート割り込み 0b = マスクなし 1b = マスクあり
6	*IM_BOPIH*	RW	1h	BOP 無限ホールド割り込み。 0b = マスクなし 1b = マスクあり
5	*IM_LIMMA*	RW	1h	リミッタの最大減衰の割り込み 0b = マスクなし 1b = マスクあり
4	*IM_PBIP*	RW	1h	リミッタの変曲点以下となった PVDD の割り込み 0b = マスクなし 1b = マスクあり
3	*IM_LIMA*	RW	1h	リミッタのアクティブの割り込み 0b = マスクなし 1b = マスクあり
2	*IM_TDMCE*	RW	1h	TDM クロック誤差の割り込み 0b = マスクなし 1b = マスクあり
1	*IM_OC*	RW	0h	過電流エラーの割り込み 0b = マスクなし 1b = マスクあり
0	*IM_OT*	RW	0h	過熱エラーの割り込み 0b = マスクなし 1b = マスクあり

8.9.64 INT_MASK1 (ページ=0x00 アドレス=0x3C) [リセット=BFh]

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	RW	2h	予約済み
5	*IM_LDC*	RW	1h	負荷診断完了 0h = マスクなし 1h = マスクあり
4-3	*IM_LDMODE[1:0]*	RW	3h	スピーカ負荷 0h = マスクなし 1h = 開放負荷検出をマスク 2h = 短絡負荷検出をマスク 3h = 両方をマスク
2-11	予約済み	RW	1h	予約済み

Copyright © 2023 Texas Instruments Incorporated

ビット	フィールド	タイプ	リセット	説明
0	*IM_VBATLIM*	RW	1h	ゲイン・リミッタ・アクティブ割り込み 0h = マスクなし 1h = マスクあり

8.9.65 INT_MASK4 (ページ=0x00 アドレス=0x3D) [リセット=DFh]

ビット	フィールド	タイプ	リセット	説明
7	*IM_PLL_CLK*	RW	1h	内部 PLL 派生クロック・エラー・マスク 0h = マスクなし 1h = マスクあり
6	予約済み	RW	1h	予約済み
5	*IM_VBAT1S_UVLO*	RW	0h	VBAT1S が低電圧 0h = マスクなし 1h = マスクあり
4-0	予約済み	RW	1Fh	予約済み

8.9.66 INT_MASK2 (ページ=0x00 アドレス=0x40) [リセット=F6h]

ビット	フィールド	タイプ	リセット	説明
7	*IM_TO105*	RW	1h	105℃を超える温度の割り込み。 0h=マスクなし 1h=マスクあり
6	*IM_TO115*	RW	1h	115℃を超える温度の割り込み。 0h=マスクなし 1h=マスクあり
5	*IM_TO125*	RW	1h	125℃を超える温度の割り込み。 0h=マスクなし 1h=マスクあり
4	*IM_TO135*	RW	1h	135℃を超える温度の割り込み。 0h=マスクなし 1h=マスクあり
3	*IM_LDO_UV*	RW	0h	内部 VBAT1S LDO が低電圧 0h = マスクなし 1h = マスクあり
2	*IM_LDO_OV*	RW	1h	内部 VBAT1S LDO が過電圧 0h = マスクなし 1h = マスクあり
1	*IM_LDO_OL*	RW	1h	内部 VBAT1S LDO が過負荷 0h = マスクなし 1h = マスクあり
0	*IM_PUVLO*	RW	0h	PVDD UVLO 割り込み。 0h = マスクなし 1h = マスクあり

8.9.67 INT_MASK3 (ページ=0x00 アドレス=0x41) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7	*IM_TDTH2*	RW	0h	熱検出スレッショルド 2 0h = マスクなし 1h = マスクあり
6	*IM_TDTH1*	RW	0h	熱検出スレッショルド 1 0h = マスクなし 1h = マスクあり

ビット	フィールド	タイプ	リセット	説明
5	*IM_PVBT*	RW	0h	PVDD - VBAT1S がスレッショルド未満 0h = マスクなし 1h = マスクあり
4	*IM_BOPA*	RW	0h	BOP アクティブ割り込み 0h = マスクなし 1h = マスクあり
3	*IM_BOPL3A*	RW	0h	BOP レベル 3 検出割り込み 0h = マスクなし 1h = マスク
2	*IM_BOPL2A*	RW	0h	BOP レベル 2 検出割り込み 0h = マスクなし 1h = マスクあり
1	*IM_BOPL1A*	RW	0h	BOP レベル 1 検出割り込み 0h = マスクなし 1h = マスクあり
0	*IM_BOPL0A*	RW	0h	BOP レベル 0 検出割り込み 0h = マスクなし 1h = マスクあり

8.9.68 INT_LIVE0 (ページ=0x00 アドレス=0x42) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7	IL_BOPM	R	0h	BOP のミュート要因の割り込み 0h = 割り込みなし 1h = 割り込みあり
6	IL_BOPIH	R	0h	BOP の無限ホールド要因の割り込み 0h = 割り込みなし 1h = 割り込みあり
5	IL_LIMMA	R	0h	リミッタの最大減衰要因の割り込み 0h = 割り込みなし 1h = 割り込みあり
4	IL_PBIP	R	0h	リミッタの変曲点以下となった PVDD 要因の割り込み 0h = 割り込みなし 1h = 割り込みあり
3	IL_LIMA	R	0h	リミッタ・アクティブ要因の割り込み 0h = 割り込みなし 1h = 割り込みあり
2	IL_TDMCE	R	0h	TDM クロック誤差要因の割り込み 0h = 割り込みなし 1h = 割り込みあり - デバイスはシャットダウン中
1	IL_OC	R	0h	過電流エラー要因の割り込み 0h = 割り込みなし 1h = 割り込みあり - デバイスはシャットダウン中
0	IL_OT	R	0h	過熱エラー要因の割り込み 0h = 割り込みなし 1h = 割り込みあり - デバイスはシャットダウン中

8.9.69 INT_LIVE1 (ページ=0x00 アドレス=0x43) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	IL_OTPCRC	R	0h	OTP CRC エラー・フラグ要因の割り込み 0h = 割り込みなし 1h = 割り込みあり - デバイスはシャットダウン中

Copyright © 2023 Texas Instruments Incorporated

ビット	フィールド	タイプ	リセット	説明
5-3	予約済み	R	0h	予約済み
2	IL_NGA	R	0h	ノイズ・ゲート・アクティブ・フラグ 0h = ノイズ・ゲート未検出 1h = ノイズ・ゲート検出
1	予約済み	R	0h	予約済み
0	IL_VBATLIM	R	0h	ゲイン・リミッタ 0h = 割り込みなし 1h = 割り込みあり

8.9.70 INT_LIVE1_0 (ページ=0x00 アドレス=0x44) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7	IL_PLL_CLK	R	0h	内部 PLL クロック・エラー 0h = 割り込みなし 1h = 割り込みあり - デバイスはシャットダウン中
6	予約済み	R	0h	予約済み
5	IL_VBAT1S_UVLO	R	0h	VBAT1S が低電圧 0h = 割り込みなし 1h = 割り込みあり - デバイスはシャットダウン中
4-0	予約済み	R	0h	予約済み

8.9.71 INT_LIVE2 (ページ=0x00 アドレス=0x47) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7	IL_TO105	R	0h	105℃を超える温度 0h=割り込みなし 1h=割り込みあり
6	IL_TO115	R	0h	115℃を超える温度 0h=割り込みなし 1h=割り込みあり
5	IL_TO125	R	0h	125℃を超える温度 0h=割り込みなし 1h=割り込みあり
4	IL_TO135	R	0h	135℃を超える温度 0h=割り込みなし 1h=割り込みあり
3	IL_LDO_UV	R	0h	VBAT1S 内部 LDO が低電圧 0h = 割り込みなし 1h = 割り込みあり - デバイスはシャットダウン中
2	IL_LDO_OV	R	0h	VBAT1S 内部 LDO が過電圧 0h = 割り込みなし 1h = 割り込みあり - デバイスはシャットダウン中
1	IL_LDO_OL	R	0h	VBAT1S 内部 LDO が過負荷 0h = 割り込みなし 1h = 割り込みあり - デバイスはシャットダウン中
0	IL_PUVLO	R	0h	PVDD UVLO 0h = 割り込みなし 1h = 割り込みあり - デバイスはシャットダウン中

8.9.72 INT_LIVE3 (ページ=0x00 アドレス=0x48) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7	IL_TDTH2	R	0h	熱検出スレッショルド 2 アクティブ・フラグ 0h = 割り込みなし 1h = 割り込みあり - デバイスはシャットダウン中
6	IL_TDTH1	R	0h	熱検出スレッショルド 1 アクティブ・フラグ 0h = 割り込みなし 1h = 割り込みあり
5	IL_PVBT	R	0h	PVDD -VBAT1S はスレッショルド・フラグを下回る 0h = 割り込みなし 1h = 割り込みあり
4	IL_BOPA	R	0h	BOP アクティブ・フラグ 0h = 割り込みなし 1h = 割り込みあり
3	IL_BOPL3A	R	0h	BOP レベル 3 検出フラグ 0h = 割り込みなし 1h = 割り込みあり
2	IL_BOPL2A	R	0h	BOP レベル 2 検出フラグ 0h = 割り込みなし 1h = 割り込みあり
1	IL_BOPL1A	R	0h	BOP レベル 1 検出フラグ 0h = 割り込みなし 1h = 割り込みあり
0	IL_BOPL0A	R	0h	BOP レベル 0 検出フラグ 0h = 割り込みなし 1h = 割り込みあり

8.9.73 INT_LTCH0 (ページ=0x00 アドレス=0x49) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7	IR_BOPM	R	0h	BOP のミュート要因の割り込み 0h = 割り込みなし 1h = 割り込みあり
6	IR_BOPIH	R	0h	BOP の無限ホールド要因の割り込み 0h = 割り込みなし 1h = 割り込みあり
5	IR_LIMMA	R	0h	リミッタの最大減衰要因の割り込み 0h = 割り込みなし 1h = 割り込みあり
4	IR_PBIP	R	0h	リミッタの変曲点以下となった PVDD 要因の割り込み 0h = 割り込みなし 1h = 割り込みあり
3	IR_LIMA	R	0h	リミッタ・アクティブ要因の割り込み 0h = 割り込みなし 1h = 割り込みあり
2	IR_TDMCE	R	0h	TDM クロック・エラー要因の割り込み (クロック・エラーの種類は INT_LTCH4 レジスタで確認可能) 0h = 割り込みなし 1h = 割り込みあり
1	IR_OC	R	0h	過電流エラー要因の割り込み 0h = 割り込みなし 1h = 割り込みあり

Copyright © 2023 Texas Instruments Incorporated

ビット	フィールド	タイプ	リセット	説明
0	IR_OT	R	0h	過熱エラー要因の割り込み 0h = 割り込みなし 1h = 割り込みあり

8.9.74 INT_LTCH1 (ページ=0x00 アドレス=0x4A) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	IR_OTPCRC	R	0h	OTP CRC エラー・フラグ要因の割り込み 0h = 割り込みなし 1h = 割り込みあり
5	IR_LDC	R	0h	負荷診断完了要因の割り込み 0h = 未完了 1h = 完了
4-3	IR_LDMODE[1:0]	R	0h	負荷診断モードのフォルト・ステータス要因の割り込み 0h = 通常負荷 1h = オープン負荷を検出 2h = 短絡負荷を検出 3h = 予約済み
2-1	予約済み	R	0h	予約済み
0	IR_VBATLIM	R	0h	ゲイン・リミッタの割り込み 0h = 割り込みなし 1h = 割り込みあり

8.9.75 INT_LTCH1_0 (ページ=0x00 アドレス=0x4B) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7	IR_PLL_CLK	R	0h	内部 PLL クロック・エラー 0h = 割り込みなし 1h = 割り込みあり
6	予約済み	R	0h	予約済み
5	IR_VBAT1S_UVLO	R	0h	VBAT1S が低電圧 0h = 割り込みなし 1h = 割り込みあり
4-0	予約済み	R	0h	予約済み

8.9.76 INT_LTCH2 (ページ=0x00 アドレス=0x4F) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7	IR_TO105	R	0h	105℃を超える温度 0h=割り込みなし 1h=割り込みあり
6	IR_TO115	R	0h	115℃を超える温度 0h=割り込みなし 1h=割り込みあり
5	IR_TO125	R	0h	125℃を超える温度 0h=割り込みなし 1h=割り込みあり
4	IR_TO135	R	0h	135℃を超える温度 0h=割り込みなし 1h=割り込みあり
3	IR_LDO_UV	R	0h	内部 VBAT1S LDO が低電圧 0h = 割り込みなし 1h = 割り込みあり

Copyright © 2023 Texas Instruments Incorporated

ビット	フィールド	タイプ	リセット	説明
2	IR_LDO_OV	R	0h	内部 VBAT1S LDO が過電圧 0h = 割り込みなし 1h = 割り込みあり
1	IR_LDO_OL	R	0h	内部 VBAT1S LDO が過負荷 0h = 割り込みなし 1h = 割り込みあり
0	IR_PUVLO	R	0h	PVDD UVLO 0h = 割り込みなし 1h = 割り込みあり

8.9.77 INT_LTCH3 (ページ=0x00 アドレス=0x50) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7	IR_TDTH2	R	0h	熱検出スレッショルド 2 0h = 割り込みなし 1h = 割り込みあり
6	IR_TDTH1	R	0h	熱検出スレッショルド 1 0h = 割り込みなし 1h = 割り込みあり
5	IR_PVBT	R	0h	PVDD-VBAT1S がスレッショルドを下回ることによる割り込み 0h = 割り込みなし 1h = 割り込みあり
4	IR_BOPA	R	0h	BOP アクティブ・フラグ 0h = 割り込みなし 1h = 割り込みあり
3	IR_BOPL3A	R	0h	BOP レベル 3 検出 0h = 割り込みなし 1h = 割り込みあり
2	IR_BOPL2A	R	0h	BOP レベル 2 検出 0h = 割り込みなし 1h = 割り込みあり
1	IR_BOPL1A	R	0h	BOP レベル 1 検出 0h = 割り込みなし 1h = 割り込みあり
0	IR_BOPL0A	R	0h	BOP レベル 0 検出 0h = 割り込みなし 1h = 割り込みあり

8.9.78 INT_LTCH4 (ページ=0x00 アドレス=0x51) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R	0h	予約済み
2	IR_TDMCEIR	R	0h	TDM クロック・エラーの種類 = SBCLK 比またはサンプリング・レートが無効 0b = TDM クロック・エラー中は検出されない 1b = TDM クロック・エラー中に検出される
1	IR_TDMCEFC	R	0h	TDM クロック・エラーの種類 = サンプリング・レートはオンザフライで変更 0b = TDM クロック・エラー中に検出される 1b = TDM クロック・エラー中は検出されない
0	IR_TDMCERC	R	0h	TDM クロック・エラーの種類 = SBCLK 比はオンザフライで変更 0b = TDM クロック・エラー中は検出されない 1b = TDM クロック・エラー中に検出される

Copyright © 2023 Texas Instruments Incorporated

8.9.79 VBAT_MSB (ページ=0x00 アドレス=0x52) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-0	VBAT1S_CNV[11:4]	R	0h	SAR ADC VBAT1S 変換の MSB を返します。 {hex2dec(VBAT1S_CNV[11:0])}/128

8.9.80 VBAT_LSB (ページ=0x00 アドレス=0x53) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-4	VBAT1S_CNV[3:0]	R	0h	SAR ADC VBAT1S 変換の LSB を返します。 {hex2dec(VBAT1S_CNV[11:0])}/128
3-0	予約済み	R	0h	予約済み

8.9.81 PVDD_MSB (ページ=0x00 アドレス=0x54) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-0	PVDD_CNV[11:4]	R	0h	SAR ADC PVDD 変換の MSB を返します。 {hex2dec(PVDD_CNV[11:0])}/64

8.9.82 PVDD_LSB (ページ=0x00 アドレス=0x55) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-4	PVDD_CNV[3:0]	R	0h	SAR ADC PVDD 変換の LSB を返します。 {hex2dec(PVDD_CNV[11:0])}/64
3-0	予約済み	R	0h	予約済み

8.9.83 TEMP (ページ=0x00 アドレス=0x56) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-0	TMP_CNV[7:0]	R	0h	SAR ADC 温度センサの変換を返します。 {hex2dec(TMP_CNV[7:0])} - 95

8.9.84 INT_CLK_CFG (ページ=0x00 アドレス=0x5C) [リセット=19h]

ビット	フィールド	タイプ	リセット	説明
7	CLK_PWR_UD_EN	RW	0h	クロック・ベースのデバイスのパワーアップ / パワーダウン機能 0h=ディセーブル 1h=イネーブル
6	DIS_CLK_HALT	RW	0h	クロック停止タイマ 0h = クロック誤差の検出後に、クロック停止検出をイネーブルする 1h = クロック誤差の検出後に、クロック停止検出をディセーブルする
5-3	CLK_HALT_TIMER[2:0]	RW	3h	クロック停止タイマの値 0h = 820µs 1h = 3.27ms 2h = 26.21ms 3h = 52.42ms 4h = 104.85ms 5h = 209.71ms 6h = 419.43ms 7h = 838.86ms
2	INT_LTCH_CLR	RW	0h	割り込みラッチ・レジスタのクリア 0h = クリアしない 1h = クリアする (セルフ・クリーニング・ビット)

ビット	フィールド	タイプ	リセット	説明
1-0	IRQZ_PIN_CFG[1:0]	RW	1h	IRQZ 割り込み構成。IRQZ のアサート条件 0h = マスクされていない状態でのライブ割り込み時 1h = マスクされていない状態でのラッチ割り込み時 2h = マスクされていない状態でのライブ割り込みイベント時に 1 回だけ 2～4ms 3h = マスクされていない状態でのラッチ割り込み時の 4ms ごとに 2～4ms

8.9.85 MISC_CFG3 (ページ=0x00 アドレス=0x5D) [リセット=80h]

ビット	フィールド	タイプ	リセット	説明
7	IRQZ_POL	RW	1h	割り込み時の IRQZ ピンの極性 0h = アクティブ High (IRQ) 1h = アクティブ Low (IRQZ)
6-4	予約済み	RW	0h	予約済み
3-2	YB_BOP_CTRL[1:0]	RW	0h	このレジスタは、BOP_SRC=0 のときに PVDD にシフトする BOP レベル、Y ブリッジ、BYP_EN パッドの条件を選択します 0h = BOP LVL0 が検出されると PVDD にシフト 1h = BOP LVL1 か LVL0 が検出されると PVDD にシフト 2h = BOP LVL2 か LVL1 か LVL0 が検出されると PVDD にシフト 3h = BOP LVL3 か LVL2 か LVL1 か LVL0 が検出されると PVDD にシフト
1-0	予約済み	RW	0h	予約済み

8.9.86 CLOCK_CFG (ページ = 0x00 アドレス = 0x60) [リセット = 0Dh]

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	予約済み
5-2	SAMP_RATIO[3:0]	RW	3h	AUTO_RATE = 1 (ディセーブル) の場合の SBCLK と FSYNC の比率 00h = 16 01h = 24 02h = 32 03h = 48 04h = 64 05h = 96 06h = 128 07h = 192 08h = 256 09h = 384 0Ah = 512 0Bh = 125 0Ch = 250 0Dh = 500 0Eh-0Fh = 予約済み
1-0	予約済み	RW	1h	予約済み

8.9.87 IDLE_IND (ページ=0x00 アドレス=0x63) [リセット=48]

ビット	フィールド	タイプ	リセット	説明
7	IDLE_IND	RW	0h	アイドル・チャネル Class-D 出力電流の最適化 0h = 15μH 以上のインダクタに使用 1h = 5μH のインダクタに使用
6-0	予約済み	RW	48h	予約済み

Copyright © 2023 Texas Instruments Incorporated

8.9.88 SAR_SAMP (ページ=0x00 アドレス=0x64) [リセット=84h]

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	RW	2h	予約済み
5-4	SAR_SAMP_TIME[1:0]	RW	0h	サンプリング時間と ADC フィルタ周波数 0h = 1.3µs、フィルタはディセーブル 1h = 4.1µs、300kHz 2h = 12.1µs、150kHz 3h = 24.2µs、50kHz
3-0	予約済み	RW	4h	予約済み

8.9.89 MISC_CFG4 (ページ=0x00 アドレス=0x65) [リセット=08]

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	RW	0h	予約済み
3	LDG_CLK	RW	1h	負荷診断用クロック・ソース 0h = 外部 TDM 1h = 内部発振器
2-1	LDG_AVG[1:0]	RW	0h	V/I データの平均化時間 0h = 5ms 1h = 10ms 2h = 50ms 3h = 100ms
0	予約済み	RW	0h	予約済み

8.9.90 IDLE_CFG (ページ=0x00 アドレス=0x67) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	00h	予約済み
1-0	ID_CH_HYST_TIME[1:0]	RW	0h	アイドル・チャネルのヒステリシス・タイマ。 0h = 50ms 1h = 100ms 2h = 200ms 3h = 1000ms

8.9.91 CLK_CFG (ページ = 0x00 アドレス = 0x68) [リセット = 7Fh]

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6-3	FS_RATIO[3:0]	R	Fh	検出された SBCLK と FSYNC の比率。 00h = 16 01h = 24 02h = 32 03h = 48 04h = 64 05h = 96 06h = 128 07h = 192 08h = 256 09h = 384 0Ah = 512 0Bh = 125 0Ch = 250 0Dh = 500 0Eh =予約済み 0F = 無効な比率

ビット	フィールド	タイプ	リセット	説明
2-0	FS_RATE[2:0]	R	7h	TDM バスの検出サンプル・レート。 0h～3h = 予約済み 4h = 44.1/48kHz 5h = 88.2/96 kHz 6h = 予約済み 7h = エラー状態

8.9.92 LV_EN_CFG (ページ=0x00 アドレス=0x6A) [リセット=12h]

ビット	フィールド	タイプ	リセット	説明
7-6	CDS_DLY[1:0]	RW	0h	入力信号に対する Class-D Y ブリッジのスイッチングの遅延 (1/f_s) 0h = 8.1 (NG イネーブル、48ksps)、6.1 (NG ディセーブル、48ksps) 0h = 12.6 (NG イネーブル、96ksps), 9.6 (NG ディセーブル、96ksps) 1h = 7.1 (NG イネーブル、48ksps)、5.1 (NG ディセーブル、48ksps) 1h = 10.6 (NG イネーブル、96ksps)、7.6 (NG ディセーブル、96ksps) 2h = 6.1 (NG イネーブル、48ksps)、4.1 (NG ディセーブル、48ksps) 2h = 8.5 (NG イネーブル、96ksps)、5.6 (NG ディセーブル、96ksps) 3h = 5.6 (NG イネーブル、48ksps)、3.6 (NG ディセーブル、48ksps) 3h = 7.6 (NG イネーブル、96ksps)、4.6 (NG ディセーブル、96ksps)
5-4	LVS_DLY[1:0]	RW	1h	入力信号に対する BYP_EN 信号伝送の遅延 (1/f_s) 0h = 7.8 (NG イネーブル、48ksps)、5.8 (NG ディセーブル、48ksps) 0h = 12.1 (NG イネーブル、96ksps)、9.1 (NG ディセーブル、96ksps) 1h = 6.8 (NG イネーブル、48ksps)、4.8 (NG ディセーブル、48ksps) 1h = 10.1 (NG イネーブル、96ksps)、7.1 (NG ディセーブル、96ksps) 2h = 5.8 (NG イネーブル、48ksps)、3.8 (NG ディセーブル、48ksps) 2h = 8.1 (NG イネーブル、96ksps)、5.1 (NG ディセーブル、96ksps) 3h = 5.1 (NG イネーブル、48ksps)、3.1 (NG ディセーブル、48ksps) 3h = 6.6 (NG イネーブル、96ksps)、3.6 (NG ディセーブル、96ksps)
3-0	LVS_RTH[3:0]	RW	2h	低電圧信号伝送 (LVS) の相対スレッショルド。ヘッドルームは VBAT1S 電源を基準とします。 0h = 0.5V 1h = 0.6V 2h = 0.7V ... Eh = 1.9V Fh = 2V

8.9.93 NG_CFG2 (ページ=0x00 アドレス=0x6B) [リセット=43h]

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	CONV_VBAT	RW	1h	BOP ソースが PVDD の場合の VBAT1S の変換 0h = VBAT1S の変換なし 1h = SAR により VBAT1S の変換を実行

Copyright © 2023 Texas Instruments Incorporated

ビット	フィールド	タイプ	リセット	説明
5-3	予約済み	RW	0h	予約済み
2	NGFR_EN	RW	0h	ノイズ・ゲートの高分解能レジスタ・モード 0h=ディセーブル 1h=イネーブル
1-0	予約済み	RW	3h	予約済み

8.9.94 NG_CFG3 (ページ=0x00 アドレス=0x6C) [リセット=00h]

ノイズ・ゲートの高分解能スレッショルドのプログラマブル・ビットをレベル **NGLVL** (dBFS) に設定。デフォルトは -110dBFS。

ビット	フィールド	タイプ	リセット	説明
7-0	NGFR_LVL[23:16]	RW	00h	dec2hex{round{ 10^(**NGLVL**)/20)]*2^23}

8.9.95 NG_CFG4 (ページ=0x00 アドレス=0x6D) [リセット=00h]

ノイズ・ゲートの高分解能スレッショルドのプログラマブル・ビットをレベル **NGLVL** (dBFS) に設定。デフォルトは -110dBFS。

ビット	フィールド	タイプ	リセット	説明
7-0	NGFR_LVL[15:8]	RW	00h	dec2hex{round{ 10^(**NGLVL**)/20)]*2^23}

8.9.96 NG_CFG5 (ページ=0x00 アドレス=0x6E) [リセット=1Ah]

ノイズ・ゲートの高分解能スレッショルドのプログラマブル・ビットをレベル **NGLVL** (dBFS) に設定。デフォルトは -110dBFS。

ビット	フィールド	タイプ	リセット	説明
7-0	NGFR_LVL[7:0]	RW	1Ah	dec2hex{round{ 10^(**NGLVL**)/20)]*2^23}

8.9.97 NG_CFG6 (ページ=0x00 アドレス=0x6F) [リセット=00h]

ノイズ・ゲートの高分解能ヒステリシスのプログラマブル・ビットを値 **NGHYS** (ms) に設定します。

1ms 以上に設定することを推奨します。

ビット	フィールド	タイプ	リセット	説明
7-0	NGFR_HYST[18:11]	RW	0h	dec2bin[(**NGHYS***f_s),19] f_s=サンプリング・レート (kHz)

8.9.98 NG_CFG7 (ページ=0x00 アドレス=0x70) [リセット=96h]

ノイズ・ゲートの高分解能ヒステリシスのプログラマブル・ビットを値 **NGHYS** (ms) に設定します。

1ms 以上に設定することを推奨します。

ビット	フィールド	タイプ	リセット	説明
7-0	NGFR_HYST[10:3]	RW	96h	dec2bin[(**NGHYS***f_s),19] f_s=サンプリング・レート (kHz)

例:

NGFR_HYST[15:0] は、最後の 3 ビット (000) が破棄された 19 ビット処理の結果です

50ms と 48ksps の場合の式は以下のとおりです。

*dec2bin[50*48,19]=dec2bin[2400,19]=0000000100101100**000*** (5)

結果:レジスタ 0x6F で 01h、レジスタ 0x70 で 2Ch。

8.9.99 PVDD_UVLO (ページ=0x00 アドレス=0x71) [リセット=02h]

Y ブリッジを使用する場合 (PWR_MODE1 など)、PVDD UVLO スレッショルドを VBAT1S レベルより 2.5V 高く設定する必要があります。

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	RW	0h	予約済み
5-0	PVDD_UVLO_TH[5:0]	RW	02h	PVDD UVLO スレッショルド 00h = 1.753V 01h = 2.09V 02h = 2.428V ..... 3Fh = 23V

8.9.100 DMD (ページ = 0x00 アドレス = 0x73) [リセット = 00h]

ビット	フィールド	タイプ	リセット	説明
7-6	DEM_CTRL[1:0]	R	0h	DAC の MSB と LSB DEM のイネーブル / ディセーブル制御 0h = MSB イネーブル、LSB = イネーブル 1h = MSB イネーブル、LSB = ディセーブル 2h = MSB ディセーブル、LSB = イネーブル 3h = MSB ディセーブル、LSB = ディセーブル - 超音波の使用事例に推奨
5	DIS_DITH	RW	0h	DAC MSB 変調器のディザー制御 0h = イネーブル 1h = ディセーブル - 超音波の使用事例に推奨
4-0	予約済み	R	00	予約済み

8.9.101 I2C_CKSUM (ページ=0x00 アドレス=0x7E) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-0	I2C_CKSUM[7:0]	RW	0h	I^2C チェックサムを返します。このレジスタに書き込むことにより、チェックサムを書き込まれた値にリセットします。このレジスタは、すべてのブックとページ上にある他のレジスタに書き込むたびに更新されます。

8.9.102 BOOK (ページ = 0x00 アドレス = 0x7F) [リセット = 00h]

ビット	フィールド	タイプ	リセット	説明
7-0	BOOK[7:0]	RW	0h	デバイスのブックを設定します。 00h = ブック 0 01h = ブック 1 ... FFh = ブック 255

8.9.103 INIT_0 (ページ=0x01 アドレス=0x17) [リセット=D0h]

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	RW	6h	予約済み
4	CMP_HYST_LP	RW	1h	低消費電力の Class-D コンパレータに対する依存 0h=ディセーブル 1h=イネーブル

Copyright © 2023 Texas Instruments Incorporated

ビット	フィールド	タイプ	リセット	説明
3	SAR_IDLE	RW	0h	SAR へのアイドル・チャネルの相互動作 0h=イネーブル 1h=ディセーブル
2-0	予約済み	RW	0h	予約済み

8.9.104 LSR (ページ=0x01 アドレス=0x19) [リセット=40h]

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済み
6	EN_LLSR	RW	1h	変調 0h = LSR 1h=リニア LSR
5-0	予約済み	R	00h	予約済み

8.9.105 INIT_1 (ページ=0x01 アドレス=0x21) [リセット=08h]

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0h	予約済み
3	HSCMP_EN	RW	0h	Class-D コンパレータの電圧ヒステリシス 0h =イネーブル 1h = ディスエーブル
2-0	予約済み	R	0h	予約済み

8.9.106 INIT_2 (ページ=0x01 アドレス=0x35) [リセット=75h]

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	7h	予約済み
3-0	BIAS_NOISE	RW	5h	ノイズを改善するための設定

8.9.107 INT_LDO (ページ=0x01 アドレス=0x36) [リセット=08h]

ビット	フィールド	タイプ	リセット	説明
7-6	INT_LDO_SET[1:0]	RW	0h	内部 LDO の設定 0h = ページ 0x00h のレジスタ 04h で設定 1h = 外部電源を強制的に使用、VBAT1S LDO はディセーブル 2h = 内部 LDO を強制的に使用 3h = 予約済み
5-0	予約済み	R	08h	予約済み

8.9.108 SDOUT_HIZ_1 (ページ=0x01 アドレス=0x3D) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-0	SDOUT_HIZ1[7:0]	RW	00h	スロット 7 から 0 に強制的に「0」の出力制御を設定します。SBLK 対 FSYNC の比によってスロットが有効でない場合、このレジスタはゼロとしてプログラムされます。

8.9.109 SDOUT_HIZ_2 (ページ=0x01 アドレス=0x3E) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-0	SDOUT_HIZ2[7:0]	RW	00h	スロット 15 から 8 に強制的に「0」の出力制御を設定します。SBLK 対 FSYNC の比によってスロットが有効でない場合、このレジスタはゼロとしてプログラムされます。

8.9.110 SDOUT_HIZ_3 (ページ=0x01 アドレス=0x3F) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-0	SDOUT_HIZ3[7:0]	RW	00h	スロット 23 から 16 に強制的に「0」の出力制御を設定します。SBLK 対 FSYNC の比によってスロットが有効でない場合、このレジスタはゼロとしてプログラムされます。

8.9.111 SDOUT_HIZ_4 (ページ=0x01 アドレス=0x40) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-0	SDOUT_HIZ4[7:0]	RW	00h	スロット 31 から 24 に強制的に「0」の出力制御を設定します。SBLK 対 FSYNC の比によってスロットが有効でない場合、このレジスタはゼロとしてプログラムされます。

8.9.112 SDOUT_HIZ_5 (ページ=0x01 アドレス=0x41) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-0	SDOUT_HIZ5[7:0]	RW	00h	スロット 39 から 32 に強制的に「0」の出力制御を設定します。SBLK 対 FSYNC の比によってスロットが有効でない場合、このレジスタはゼロとしてプログラムされます。

8.9.113 SDOUT_HIZ_6 (ページ=0x01 アドレス=0x42) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-0	SDOUT_HIZ6[7:0]	RW	00h	スロット 47 から 40 に強制的に「0」の出力制御を設定します。SBLK 対 FSYNC の比によってスロットが有効でない場合、このレジスタはゼロとしてプログラムされます。

8.9.114 SDOUT_HIZ_7 (ページ=0x01 アドレス=0x43) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-0	SDOUT_HIZ7[7:0]	RW	00h	スロット 55 から 48 に強制的に「0」の出力制御を設定します。SBLK 対 FSYNC の比によってスロットが有効でない場合、このレジスタはゼロとしてプログラムされます。

8.9.115 SDOUT_HIZ_8 (ページ=0x01 アドレス=0x44) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-0	SDOUT_HIZ8[7:0]	RW	00h	スロット 63 から 56 に強制的に「0」の出力制御を設定します。SBLK 対 FSYNC の比によってスロットが有効でない場合、このレジスタはゼロとしてプログラムされます。

8.9.116 SDOUT_HIZ_9 (ページ=0x01 アドレス=0x45) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7	SDOUT_FORCE_0_CNT_EN	RW	0h	未使用のスロットに「0」を送信する際の制御 0h = すべての未使用スロットに「ハイ・インピーダンス」を送信 1h = 未使用スロットは、ページ 0x01 のレジスタ 0x3D～0x44 でのプログラミングに基づき「0」を送信
6-0	予約済み	RW	00h	予約済み

8.9.117 TG_EN (ページ=0x01 アドレス=0x47) [リセット=AB]

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	2Ah	予約済み

Copyright © 2023 Texas Instruments Incorporated

ビット	フィールド	タイプ	リセット	説明
1	TG_TH2	RW	1h	サーマル・スレッショルド 2 0h=ディセーブル 1h=イネーブル
0	TG_TH1	RW	1h	サーマル・スレッショルド 1 0h=ディセーブル 1h=イネーブル

8.9.118 EDGE_CTRL (ページ=0x01 アドレス=0x4C) [リセット=00h]

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み		0h	予約済み
2-1	EDGE_CTRL[1:0]	RW	0h	出力スルーレート 00b = PVDD の範囲に基づくスルーレートの自動調整 01b = 予約済み 10b = 予約済み 11b = PVDD の全範囲で低スルーレート
0	予約済み	RW	0h	予約済み

8.9.119 DG_DC_VAL1 (ページ = 0x04 アドレス = 0x08) [リセット = 40h]

DC_VAL (dBFS) の目標レベルのためのプログラマブル DG ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	DG_DC_VAL [31:24]	RW	40h	dec2hex{256*round[10^(**DC_VAL**/20)*2^23]}

8.9.120 DG_DC_VAL2 (ページ = 0x04 アドレス = 0x09) [リセット = 26h]

DC_VAL (dBFS) の目標レベルのためのプログラマブル DG ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	DG_DC_VAL [23:16]	RW	26h	dec2hex{256*round[10^(**DC_VAL**/20)*2^23]}

8.9.121 DG_DC_VAL3 (ページ = 0x04 アドレス = 0x0A) [リセット = 40h]

DC_VAL (dBFS) の目標レベルのためのプログラマブル DG ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	DG_DC_VAL [15:8]	RW	40h	dec2hex{256*round[10^(**DC_VAL**/20)*2^23]}

8.9.122 DC_DG_VAL4 (ページ = 0x04 アドレス = 0x0B) [リセット = 00h]

DC_VAL (dBFS) の目標レベルのためのプログラマブル DG ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	DG_DC_VAL [7:0]	RW	00h	dec2hex{256*round[10^(**DC_VAL**/20)*2^23]}

8.9.123 LIM_TH_MAX1 (ページ=0x04 アドレス=0x0C) [リセット=68h]

リミッタの最大スレッショルドを **LIM_TH_MAX**(V) の値に設定するためのプログラマブル・ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	LIM_TH_MAX[31:24]	RW	68h	dec2hex{256*round [**LIM_TH_MAX***2^18]}

8.9.124 LIM_TH_MAX2 (ページ=0x04 アドレス=0x0D) [リセット=00h]

リミッタの最大スレッショルドを **LIM_TH_MAX**(V) の値に設定するためのプログラマブル・ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	LIM_TH_MAX[23:16]	RW	00h	dec2hex{256*round [**LIM_TH_MAX***2^18]}

8.9.125 LIM_TH_MAX3 (ページ=0x04 アドレス=0x0E) [リセット=00h]

リミッタの最大スレッショルドを **LIM_TH_MAX**(V) の値に設定するためのプログラマブル・ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	LIM_TH_MAX[15:8]	RW	00h	dec2hex{256*round [**LIM_TH_MAX***2^18]}

8.9.126 LIM_TH_MAX4 (ページ=0x04 アドレス=0x0F) [リセット=00h]

リミッタの最大スレッショルドを **LIM_TH_MAX**(V) の値に設定するためのプログラマブル・ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	LIM_TH_MAX[7:0]	RW	00h	dec2hex{256*round [**LIM_TH_MAX***2^18]}

8.9.127 LIM_TH_MIN1 (ページ=0x04 アドレス=0x10) [リセット=28h]

リミッタの最大スレッショルドを **LIM_TH_MIN**(V) の値に設定するためのプログラマブル・ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	LIM_TH_MIN[31:24]	RW	28h	dec2hex{256*round [**LIM_TH_MIN***2^18]}

8.9.128 LIM_TH_MIN2 (ページ=0x04 アドレス=0x11) [リセット=00h]

リミッタの最大スレッショルドを **LIM_TH_MIN**(V) の値に設定するためのプログラマブル・ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	LIM_TH_MIN[23:16]	RW	00h	dec2hex{256*round [**LIM_TH_MIN***2^18]}

8.9.129 LIM_TH_MIN3 (ページ=0x04 アドレス=0x12) [リセット=00h]

リミッタの最大スレッショルドを **LIM_TH_MIN**(V) の値に設定するためのプログラマブル・ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	LIM_TH_MIN[15:8]	RW	00h	dec2hex{256*round [**LIM_TH_MIN***2^18]}

8.9.130 LIM_TH_MIN4 (ページ=0x04 アドレス=0x13) [リセット=00h]

リミッタの最大スレッショルドを **LIM_TH_MIN**(V) の値に設定するためのプログラマブル・ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	LIM_TH_MIN[7:0]	RW	0h	dec2hex{256*round [**LIM_TH_MIN***2^18]}

8.9.131 LIM_INF_PT1 (ページ=0x04 アドレス=0x14) [リセット=56h]

リミッタの変曲点を **LIM_INF_PT**T(V) の値に設定するプログラマブル・ビット。リミッタの変曲点を設定します。

ビット	フィールド	タイプ	リセット	説明
7-0	LIM_INF_PT[31:24]	RW	56h	dec2hex{256*round [**LIM_IN_PT***2^18]}}

8.9.132 LIM_INF_PT2 (ページ=0x04 アドレス=0x15) [リセット=66h]

リミッタの変曲点を **LIM_INF_PT**T(V) の値に設定するプログラマブル・ビット。リミッタの変曲点を設定します。

Copyright © 2023 Texas Instruments Incorporated

ビット	フィールド	タイプ	リセット	説明
7-0	LIM_INF_PT[23:16]	RW	66h	dec2hex{256*round [**LIM_IN_PT***2^18]}}

8.9.133 LIM_INF_PT3 (ページ=0x04 アドレス=0x16) [リセット=66h]

リミッタの変曲点を **LIM_INF_PT**T(V) の値に設定するプログラマブル・ビット。リミッタの変曲点を設定します。

ビット	フィールド	タイプ	リセット	説明
7-0	LIM_INF_PT[15:8]	RW	66h	dec2hex{256*round [**LIM_IN_PT***2^18]}}

8.9.134 LIM_INF_PT4 (ページ=0x04 アドレス=0x17) [リセット=00h]

リミッタの変曲点を **LIM_INF_PT**T(V) の値に設定するプログラマブル・ビット。リミッタの変曲点を設定します。

ビット	フィールド	タイプ	リセット	説明
7-0	LIM_INF_PT[7:0]	RW	0h	dec2hex{256*round [**LIM_IN_PT***2^18]}}

8.9.135 LIM_SLOPE1 (ページ=0x04 アドレス=0x18) [リセット=10h]

リミッタ・スロープを **LIM_SLOPE** (V/V) 値に設定するためのプログラマブル・ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	LIM_SLOPE[31:24]	RW	10h	dec2hex{256*round [**LIM_SLOPE***2^20]}

8.9.136 LIM_SLOPE2 (ページ=0x04 アドレス=0x19) [リセット=00h]

リミッタ・スロープを **LIM_SLOPE** (V/V) 値に設定するためのプログラマブル・ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	LIM_SLOPE[23:16]	RW	00h	dec2hex{256*round [**LIM_SLOPE***2^20]}

8.9.137 LIM_SLOPE3 (ページ=0x04 アドレス=0x1A) [リセット=00h]

リミッタ・スロープを **LIM_SLOPE** (V/V) 値に設定するためのプログラマブル・ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	LIM_SLOPE[15:8]	RW	00h	dec2hex{256*round [**LIM_SLOPE***2^20]}

8.9.138 LIM_SLOPE4 (ページ=0x04 アドレス=0x1B) [リセット=00h]

リミッタ・スロープを **LIM_SLOPE** (V/V) 値に設定するためのプログラマブル・ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	LIM_SLOPE[7:0]	RW	00h	dec2hex{256*round [**LIM_SLOPE***2^20]}

8.9.139 TF_HLD1 (ページ=0x04 アドレス=0x1C) [リセット=00h]

TF_HLD[s] 値に設定されるサーマル・フォールドバック・ホールド・カウントのプログラマブル・ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	TF_ HOLD_CNT[31:24]	RW	00h	dec2hex[256*round (**TF_HLD***9600)]

8.9.140 TF_HLD2 (ページ=0x04 アドレス=0x1D) [リセット=00h]

TF_HLD[s] 値に設定されるサーマル・フォールドバック・ホールド・カウントのプログラマブル・ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	TF_HOLD_CNT[23:16]	RW	00h	dec2hex[256*round (**TF_HLD***9600)]

8.9.141 TF_HLD3 (ページ=0x04 アドレス=0x1E) [リセット=64h]

TF_HLD[s] 値に設定されるサーマル・フォールドバック・ホールド・カウントのプログラマブル・ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	TF_HOLD_CNT[15:8]	RW	64h	dec2hex[256*round (**TF_HLD***9600)]

8.9.142 TF_HLD4 (ページ=0x04 アドレス=0x1F) [リセット=00h]

TF_HLD[s] 値に設定されるサーマル・フォールドバック・ホールド・カウントのプログラマブル・ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	TF_HOLD_CNT[7:0]	RW	00h	dec2hex[256*round (**TF_HLD***9600)]

8.9.143 TF_RLS1 (ページ=0x04 アドレス=0x20) [リセット=40h]

TF_RLS[dB/100µs] 値に設定されるサーマル・フォールドバック・リミッタのリリース・レートのプログラマブル・ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	TF_REL_RATE[31:24]	RW	40h	dec2hex{256*round[10^(**TF_RLS**/20)*2^22]}

8.9.144 TF_RLS2 (ページ=0x04 アドレス=0x21) [リセット=BDh]

TF_RLS[dB/100µs] 値に設定されるサーマル・フォールドバック・リミッタのリリース・レートのプログラマブル・ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	TF_REL_RATE[23:16]	RW	BDh	dec2hex{256*round[10^(**TF_RLS**/20)*2^22]}

8.9.145 TF_RLS3 (ページ=0x04 アドレス=0x22) [リセット=B8h]

TF_RLS[dB/100µs] 値に設定されるサーマル・フォールドバック・リミッタのリリース・レートのプログラマブル・ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	TF_REL_RATE[15:8]	RW	B8h	dec2hex{256*round[10^(**TF_RLS**/20)*2^22]}

8.9.146 TF_RLS4 (ページ=0x04 アドレス=0x23) [リセット=00h]

TF_RLS[dB/100µs] 値に設定されるサーマル・フォールドバック・リミッタのリリース・レートのプログラマブル・ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	TF_REL_RATE[7:0]	RW	0h	dec2hex{256*round[10^(**TF_RLS**/20)*2^22]}

8.9.147 TF_SLOPE1 (ページ=0x04 アドレス=0x24) [リセット=04h]

TF_SLOPE(V/°C) 値に設定されるサーマル・フォールドバック・リミッタ減衰のスロープのプログラマブル・ビット。

入力レベルは 0dB と仮定しており、ゲインは 21dB です。追加の 3dB (合計 24dB) は rms からピークへの変換によるものです。

ビット	フィールド	タイプ	リセット	説明
7-0	TF_LIMS[31:24]	RW	04h	dec2hex{256*round {[**TF_SLOPE**/(10^24/20)]*2^23}

8.9.148 TF_SLOPE2 (ページ=0x04 アドレス=0x25) [リセット=08h]

TF_SLOPE(V/°C) 値に設定されるサーマル・フォールドバック・リミッタ減衰のスロープのプログラマブル・ビット。

Copyright © 2023 Texas Instruments Incorporated

入力レベルは 0dB と仮定しており、ゲインは 21dB です。追加の 3dB (合計 24dB) は rms からピークへの変換によるものです。

ビット	フィールド	タイプ	リセット	説明
7-0	TF_LIMS[23:16]	RW	08h	dec2hex{256*round {[**TF_SLOPE**/(10^24/20)]*2^23}

8.9.149 TF_SLOPE3 (ページ=0x04 アドレス=0x26) [リセット=89h]

TF_SLOPE(V/℃) 値に設定されるサーマル・フォールドバック・リミッタ減衰のスロープのプログラマブル・ビット。

入力レベルは 0dB と仮定しており、ゲインは 21dB です。追加の 3dB (合計 24dB) は rms からピークへの変換によるものです。

ビット	フィールド	タイプ	リセット	説明
7-0	TF_LIMS[15:8]	RW	89h	dec2hex{256*round {[**TF_SLOPE**/(10^24/20)]*2^23}

8.9.150 TF_SLOPE4 (ページ=0x04 アドレス=0x27) [リセット=00h]

TF_SLOPE(V/℃) 値に設定されるサーマル・フォールドバック・リミッタ減衰のスロープのプログラマブル・ビット。

入力レベルは 0dB と仮定しており、ゲインは 21dB です。追加の 3dB (合計 24dB) は rms からピークへの変換によるものです。

ビット	フィールド	タイプ	リセット	説明
7-0	TF_LIMS[7:0]	RW	0h	dec2hex{256*round {[**TF_SLOPE**/(10^24/20)]*2^23}

8.9.151 TF_TEMP_TH1 (ページ=0x04 アドレス=0x28) [リセット=39h]

TF_TEMP(℃) 値に設定されるサーマル・フォールドバック温度スレッショルドのプログラマブル・ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	TF_TEMP_TH[31:24]	RW	39h	dec2hex{256*round [**TF_TEMP***(2^15)]}

8.9.152 TF_TEMP_TH2 (ページ=0x04 アドレス=0x29) [リセット=80h]

TF_TEMP(℃) 値に設定されるサーマル・フォールドバック温度スレッショルドのプログラマブル・ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	TF_TEMP_TH[23:16]	RW	80h	dec2hex{256*round [**TF_TEMP***(2^15)]}

8.9.153 TF_TEMP_TH3 (ページ=0x04 アドレス=0x2A) [リセット=00h]

TF_TEMP(℃) 値に設定されるサーマル・フォールドバック温度スレッショルドのプログラマブル・ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	TF_TEMP_TH[15:8]	RW	00h	dec2hex{256*round [**TF_TEMP***(2^15)]}

8.9.154 TF_TEMP_TH4 (ページ=0x04 アドレス=0x2B) [リセット=00h]

TF_TEMP(℃) 値に設定されるサーマル・フォールドバック温度スレッショルドのプログラマブル・ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	TF_TEMP_TH[7:0]	RW	0h	dec2hex{256*round [**TF_TEMP***(2^15)]}

8.9.155 TF_MAX_ATTN1 (ページ=0x04 アドレス=0x2C) [リセット=2Dh]

TF_ATTN(dB) の減衰値に設定されるサーマル・フォールドバック最大ゲイン低減のプログラマブル・ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	TF_MAX_ATTN[31:24]	RW	2Dh	dec2hex{256*round [(10^(-**TF_ATTN**/20)*2^23]}

8.9.156 TF_MAX_ATTN2 (ページ=0x04 アドレス=0x2D) [リセット=6Ah]

TF_ATTN(dB) の減衰値に設定されるサーマル・フォールドバック最大ゲイン低減のプログラマブル・ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	TF_MAX_ATTN[23:16]	RW	6Ah	dec2hex{256*round [(10^(-**TF_ATTN**/20)*2^23]}

8.9.157 TF_MAX_ATTN3 (ページ=0x04 アドレス=0x2E) [リセット=86h]

TF_ATTN(dB) の減衰値に設定されるサーマル・フォールドバック最大ゲイン低減のプログラマブル・ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	TF_MAX_ATTN[15:7]	RW	86h	dec2hex{256*round [(10^(-**TF_ATTN**/20)*2^23]}

8.9.158 TF_MAX_ATTN4 (ページ=0x04 アドレス=0x2F) [リセット=00h]

TF_ATTN(dB) の減衰値に設定されるサーマル・フォールドバック最大ゲイン低減のプログラマブル・ビット。

ビット	フィールド	タイプ	リセット	説明
7-0	TF_MAX_ATTN[7:0]	RW	0h	dec2hex{256*round [(10^(-**TF_ATTN**/20)*2^23]}

8.9.159 LD_CFG0 (ページ=0x04 アドレス=0x40) [リセット=03h]

負荷診断抵抗のスレッショルド上限のプログラマブル・ビットを **LD_RES_UT** (Ω) 値に設定します。

ビット	フィールド	タイプ	リセット	説明
7-0	LDG_RES_UT[31:24]	RW	03h	dec2hex{256*round (**LDG_RES_UT***(5/16)*2^14)}

8.9.160 LD_CFG1 (ページ=0x04 アドレス=0x41) [リセット=20h]

負荷診断抵抗のスレッショルド上限のプログラマブル・ビットを **LD_RES_UT** (Ω) 値に設定します。

ビット	フィールド	タイプ	リセット	説明
7-0	LDG_RES_UT[23:16]	RW	20h	dec2hex{256*round (**LDG_RES_UT***(5/16)*2^14)}

8.9.161 LD_CFG2 (ページ=0x04 アドレス=0x42) [リセット=00h]

負荷診断抵抗のスレッショルド上限のプログラマブル・ビットを **LD_RES_UT** (Ω) 値に設定します。

ビット	フィールド	タイプ	リセット	説明
7-0	LDG_RES_UT[15:7]	RW	00h	dec2hex{256*round (**LDG_RES_UT***(5/16)*2^14)}

8.9.162 LD_CFG3 (ページ=0x04 アドレス=0x43) [リセット=00h]

負荷診断抵抗のスレッショルド上限のプログラマブル・ビットを **LD_RES_UT** (Ω) 値に設定します。

ビット	フィールド	タイプ	リセット	説明
7-0	LDG_RES_UT[7:0]	RW	0h	dec2hex{256*round (**LDG_RES_UT***(5/16)*2^14)}

8.9.163 LD_CFG4 (ページ=0x04 アドレス=0x44) [リセット=00h]

負荷診断抵抗のスレッショルド下限のプログラマブル・ビットを **LD_RES_LT** (Ω) 値に設定します。

ビット	フィールド	タイプ	リセット	説明
7-0	LDG_RES_LT[31:24]	RW	0h	dec2hex{256*round (**LDG_RES_LT***(5/16)*2^14)}

Copyright © 2023 Texas Instruments Incorporated

8.9.164 LD_CFG5 (ページ=0x04 アドレス=0x45) [リセット=20h]

負荷診断抵抗のスレッショルド下限のプログラマブル・ビットを **LD_RES_LT** (Ω) 値に設定します。

ビット	フィールド	タイプ	リセット	説明
7-0	LDG_RES_LT[23:16]	RW	20h	dec2hex{256*round (**LDG_RES_LT***(5/16)*2^14)}

8.9.165 LD_CFG6 (ページ=0x04 アドレス=0x46) [リセット=00h]

負荷診断抵抗のスレッショルド下限のプログラマブル・ビットを **LD_RES_LT** (Ω) 値に設定します。

ビット	フィールド	タイプ	リセット	説明
7-0	LDG_RES_LT[15:8]	RW	00h	dec2hex{256*round (**LDG_RES_LT***(5/16)*2^14)}

8.9.166 LD_CFG7 (ページ=0x04 アドレス=0x47) [リセット=00h]

負荷診断抵抗のスレッショルド下限のプログラマブル・ビットを **LD_RES_LT** (Ω) 値に設定します。

ビット	フィールド	タイプ	リセット	説明
7-0	LDG_RES_LT[7:0]	RW	0h	dec2hex{256*round (**LDG_RES_LT***(5/16)*2^14)}

8.9.167 CLD_EFF_1 (ページ = 0x04 アドレス = 0x48) [リセット = 6Ch]

LV_EN 相対スレッショルドに対する Class-D 効率のプログラマブル・ビット。割合 (**EFF**) で表記されており、デフォルトは 0.85 です。

ビット	フィールド	タイプ	リセット	説明
7-0	ClassD 効率 [31:24]	RW	6Ch	dec2hex[256*round (**EFF***2^23)]

8.9.168 CLD_EFF_2 (ページ = 0x04 アドレス = 0x49) [リセット = CCh]

LV_EN 相対スレッショルドに対する Class-D 効率のプログラマブル・ビット。割合 (**EFF**) で表記されており、デフォルトは 0.85 です。

ビット	フィールド	タイプ	リセット	説明
7-0	ClassD 効率 [23:16]	RW	CCh	dec2hex[256*round (**EFF***2^23)]

8.9.169 CLD_EFF_3 (ページ = 0x04 アドレス = 0x4A) [リセット = CDh]

LV_EN 相対スレッショルドに対する Class-D 効率のプログラマブル・ビット。割合 (**EFF**) で表記されており、デフォルトは 0.85 です。

ビット	フィールド	タイプ	リセット	説明
7-0	ClassD 効率 [15:8]	RW	CDh	dec2hex[256*round (**EFF***2^23)]

8.9.170 CLD_EFF_4 (ページ = 0x04 アドレス = 0x4B) [リセット = 00h]

LV_EN 相対スレッショルドに対する Class-D 効率のプログラマブル・ビット。割合 (**EFF**) で表記されており、デフォルトは 0.85 です。

ビット	フィールド	タイプ	リセット	説明
7-0	ClassD 効率 [7:0]	RW	00h	dec2hex[256*round (**EFF***2^23)]

8.9.171 LDG_RES1 (ページ=0x04 アドレス=0x4C) [リセット=00h]

診断モードの負荷抵抗の測定値 (Ω)。読み取り値は 0x**UUVVXXYY** で、最後のバイトは削除されます。

ビット	フィールド	タイプ	リセット	説明
7-0	LDG_RES_VAL[31:24]	R	0h	(16/5)*{hex2dec (0x**UUVVXX**)]/2^14}

8.9.172 LDG_RES2 (ページ=0x04 アドレス=0x4D) [リセット=00h]

診断モードの負荷抵抗の測定値 (Ω)。読み取り値は 0x**UUVVXXYY** で、最後のバイトは削除されます。

ビット	フィールド	タイプ	リセット	説明
7-0	LDG_RES_VAL[23:16]	R	0h	(16/5)*{hex2dec (0x**UUVVXX**)]/2^14}

8.9.173 LDG_RES3 (ページ=0x04 アドレス=0x4E) [リセット=00h]

診断モードの負荷抵抗の測定値 (Ω)。読み取り値は 0x**UUVVXXYY** で、最後のバイトは削除されます。

ビット	フィールド	タイプ	リセット	説明
7-0	LDG_RES_VAL[15:7]	R	0h	(16/5)*{hex2dec (0x**UUVVXX**)]/2^14}

8.9.174 LDG_RES4 (ページ=0x04 アドレス=0x4F) [リセット=00h]

診断モードの負荷抵抗の測定値 (Ω)。この最後のバイトは削除されます。

ビット	フィールド	タイプ	リセット	説明
7-0	LDG_RES_VAL[7:0]	R	0h	このバイトを削除する

8.9.175 INIT_3 (ページ=0xFD アドレス=0x3E) [リセット=45h]

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	RW	4h	予約済み
3-0	OPT_DMIN[3:0]	RW	5h	DMIN の最適化設定

8.10 SDOUT の式

以下の式は、SDOUT で読み取ったデータの変換に使用できます。

$$PVDD\ (V) = 23 * [Hex2Dec(SDOUTdata)]/2^{PVDD_SlotLength} \quad (6)$$

デフォルトでは、PVDD_SlotLength = 8 です。

$$VBAT1S\ (V) = 8 * [Hex2Dec(SDOUTdata)]/2^{VBAT1S_SlotLength} \quad (7)$$

デフォルトでは、VBAT1S_SlotLength = 8 です。

$$TEMP\ (^{0}C) = 256*[Hex2Dec(SDOUTdata)]/2^{TEMP_SlotLength} - 95 \quad (8)$$

TEMP_SlotLength = 8。

Copyright © 2023 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

TAS2780 は、I/V 検出機能を内蔵したデジタル入力 Class-D オーディオ・パワー・アンプです。I²S オーディオ・データは、ホスト・プロセッサから供給されます。このデバイスは、I/V データを I²S フォーマットで提供します。I²C バスは、構成と制御に使用されます。

9.2 代表的なアプリケーション

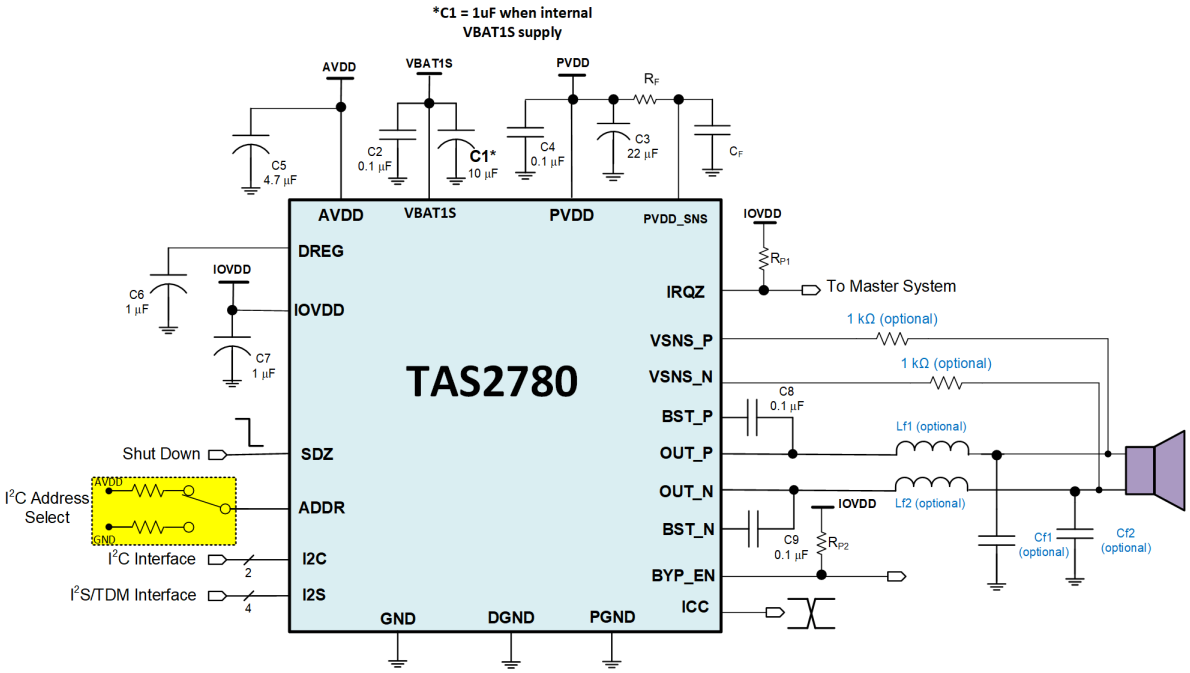


図 9-1. 代表的なアプリケーション - デジタル・オーディオ入力

表 9-1. 推奨外付け部品

部品	説明	仕様	最小値	標準値	最大値	単位
C1	VBAT1S デカップリング・コンデンサ - VBAT1S 外部電源 (PWR_MODE0/1/3)	タイプ	X7R			
		容量、公差 20%		10		µF
		定格電圧		10		V
	VBAT1S デカップリング・コンデンサ - 内部生成された VBAT1S (PWR_MODE2)	タイプ	X7R			
		容量、公差 20%		1		µF
		定格電圧		10		V
C2	VBAT1S デカップリング・コンデンサ	タイプ	X7R			
		容量、公差 20%		100		nF
		定格電圧		10		V

表 9-1. 推奨外付け部品 (continued)

部品	説明	仕様	最小値	標準値	最大値	単位
C3	PVDD デカップリング・コンデンサ	タイプ	X7R			
		容量、公差 20%	22			µF
		定格電圧	30			V
C4	PVDD デカップリング・コンデンサ	タイプ	X7R			
		容量、公差 20%		100		nF
		定格電圧	30			V
C5	AVDD デカップリング・コンデンサ	タイプ	X7R			
		容量、公差 20%	4.7			µF
		定格電圧	6			V
C6	DREG デカップリング・コンデンサ	タイプ	X7R			
		容量、公差 20%		1		µF
		定格電圧	6			V
C7	IOVDD デカップリング・コンデンサ	タイプ	X7R			
		容量、公差 20%		1		µF
		定格電圧	6			V
C8、C9	ブートストラップ・コンデンサ	タイプ	X7R			
		容量、公差 20%		100		nF
		定格電圧	6			V
Lf1、Lf2 (オプション)	EMI フィルタのインダクタはオプションです。TAS2780 デバイスはフィルタレス Class-D 動作をサポートしています。フェライト・ビーズ EMI フィルタを使用する場合は、PFFB 機能を推奨します。	100MHz 時のインピーダンス		120		Ω
		DC 抵抗			0.095	Ω
		DC 電流	7			A
Cf1、Cf2 (オプション)	EMI フィルタ・コンデンサはオプションです。Cf1、Cf2 を使用する場合は、設計に Lf2、Lf3 を使用する必要があります。	容量		1		nF
R_F	ノイズ低減のためのフィルタ抵抗	抵抗、公差 20%	1			kΩ
C_F	ノイズ低減のためのフィルタ・コンデンサ	容量、公差 20%			10/R_F(kΩ)	nF
		定格電圧	30			V

9.3 設計要件

この設計例では、セクション 9.2 に示すパラメータを使用します。

表 9-2. 設計パラメータ

設計パラメータ	値の例
オーディオ入力	デジタル・オーディオ、I²S
電流および電圧データ・ストリーム	デジタル・オーディオ、I²S
モノラルまたはステレオの構成	モノラル
最大出力電力 (THD+N = 1% 時)、R_L = 4Ω	25W

9.4 詳細な設計手順

9.4.1 モノラル / ステレオの構成

アプリケーションでは、デバイスはモノラル・モードで動作していることが想定されています。TAS2780 の I²C アドレスをステレオ動作に対応するよう変更する方法については、セクション 8.3.1 を参照してください。モノラルまたはステレオの構成は、デバイス性能には影響しません。

Copyright © 2023 Texas Instruments Incorporated

9.4.2 EMI パッシブ・デバイス

TAS2780 は、EMI を最小限に抑える拡散スペクトラムをサポートしています。Class-D 出力にパッシブ・デバイスを含めることができます。図 9-1 のパッシブ・デバイス Lf1、Lf2、Cf1、Cf2 には、表 9-1 に示す推奨仕様があります。アンプの安定性を保つために、出力フィルタのパッシブ・デバイスは適切に選択する必要があります。詳しくは、セクション 8.4.5 を参照してください。

9.5 アプリケーション曲線

T_A = 25℃、f_{SPK_AMP} = 384kHz、入力信号 f_{IN} = 1kHz - サイン、負荷 = 4Ω + 15μH (特に記述のない限り)。

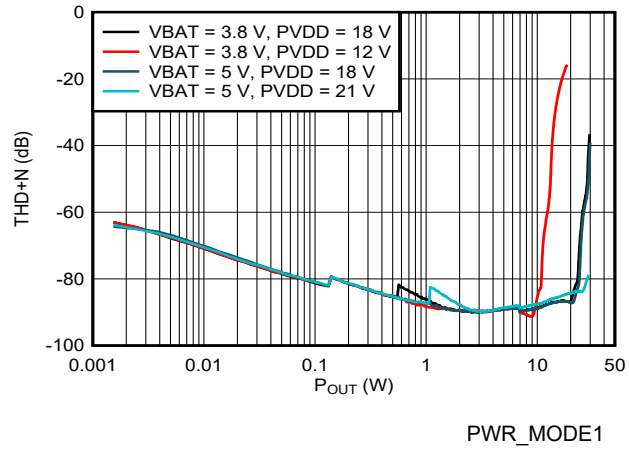


図 9-2. THD+N と出力電力との関係

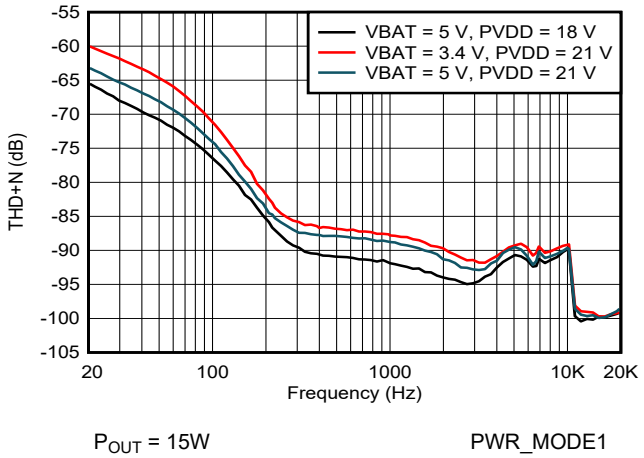


図 9-3. THD+N と出力電力との関係

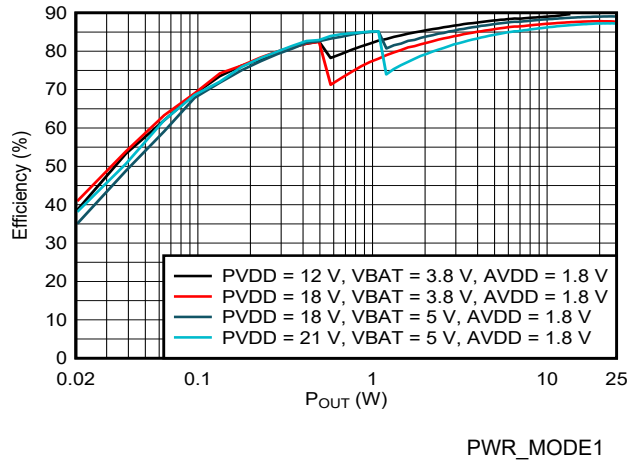


図 9-4. 効率と出力電力との関係

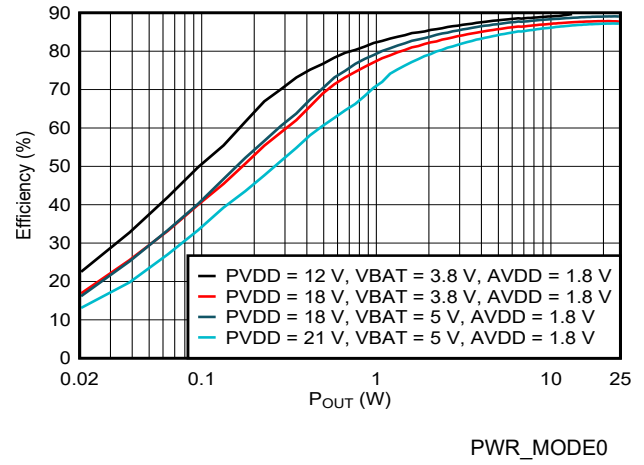


図 9-5. 効率と出力電力との関係

10 初期化セットアップ

10.1 初期デバイス構成 - 電源投入およびソフトウェア・リセット

次の条件では、以下の I²C シーケンスを使用する必要があります。

- 電源投入時、SDZ = 1 のとき (ハードウェア・シャットダウンからソフトウェア・シャットダウンへ)。
- デバイスがソフトウェア・シャットダウンまたはアクティブ・モードで、ユーザーがソフトウェア・リセット・コマンドを実行するとき (レジスタ 0x01 のビット[0] = 1)。

```
###### プリリセット構成
w 70 00 01 #ページ 0x01
w 70 37 3A #バイパス

w 70 00 FD #ページ 0xFD
w 70 0D 0D #ページ アクセス
w 70 06 C1 #Dmin を設定

w 70 00 01 #ページ 0x01
 w 70 19 C0 #強制変調
w 70 00 FD #ページ 0xFD
w 70 0D 0D #ページ アクセス
w 70 06 D5 #Dmin を設定

###### ソフトウェア リセット

w 70 00 00 #ページ 0x00
w 70 7F 00 #ブック 0x00
w 70 01 01 #ソフトウェア リセット
d 01 #1 ms 遅延

###### ポストリセット構成

w 70 00 01 #ページ 0x01
w 70 37 3A #バイパス

w 70 00 FD #ページ 0xFD
w 70 0D 0D #ページ アクセス
w 70 06 C1 #Dmin を設定
w 70 06 D5 #Dmin を設定
```

10.2 初期デバイス構成 - PWR_MODE0

以下の I²C シーケンスは、PWR_MODE0 でのデバイスの初期化例です。

```
w 70 00 00 # ページ 0x00
w 70 0E 44 #TDM tx vsns スロット 4 の送信をイネーブル
w 70 0F 40 #TDM tx isns スロット 0 の送信をイネーブル

w 70 00 01 #ページ 0x01
w 70 21 00 #コンパレータのヒステリシスをディセーブル
w 70 17 C8 #SARBurstMask=0
w 70 19 00 #LSR モード
w 70 35 74 #ノイズを最小化

w 70 00 FD #ページ 0xFD
w 70 0D 0D #ページ 0xFD にアクセス
w 70 3E 4A #Dmin を最適化
w 70 0D 00 #ページ 0xFD へのアクセスを削除

w 70 00 00 #ページ 0x00
w 70 03 A8 #PWR_MODE0 を選択
w 70 71 03 #PVDD UVLO を 2.76V に設定
w 70 02 80 #IV をイネーブルにしてオーディオ再生をパワーアップ
```


Copyright © 2023 Texas Instruments Incorporated

10.3 初期デバイス構成 - PWR_MODE1

以下の I²C シーケンスは、PWR_MODE1 でのデバイスの初期化例です。

```
w 70 00 00 # ページ 0x00
w 70 0E 44 #TDM tx vsns スロット 4 の送信をイネーブル
w 70 0F 40 #TDM tx isns スロット 0 の送信をイネーブル

w 70 00 01 #ページ 0x01
w 70 17 C8 #SARBurstMask=0
w 70 21 00 #コンパレータのヒステリシスをディセーブル
w 70 19 00 #LSR モード
w 70 35 74 #ノイズを最小化

w 70 00 FD #ページ 0xFD
w 70 0D 0D #ページ 0xFD アクセス
w 70 3E 4A #Dmin  を最適化
w 70 0D 00 #ページ 0xFD へのアクセスを削除

w 70 00 00 #ページ 0x00
w 70 02 00 #再生、IV をイネーブルにしてオーディオ再生をパワーアップ
```

10.4 初期デバイス構成 - PWR_MODE2

以下の I²C シーケンスは、PWR_MODE2 でのデバイスの初期化例です。

```
w 70 00 00 #ページ 0x00
w 70 0E 44 #TDM tx vsns スロット 4 の送信をイネーブル
w 70 0F 40 #TDM tx isns スロット 0 の送信をイネーブル

w 70 00 01 #ページ 0x01
w 70 17 C0 #SARBurstMask=0
w 70 19 00 #LSR モード
w 70 21 00 #コンパレータのヒステリシスをディセーブル
w 70 35 74 #ノイズを最小化

w 70 00 FD #ページ 0xFD
w 70 0D 0D #ページ 0xFD にアクセス
w 70 3E 4A #Dmin を最適化
w 70 0D 00 #ページ 0xFD へのアクセスを削除

w 70 00 00 #ページ 0x00
w 70 03 E8 #PWR_MODE2
w 70 04 A1 #Int LDO モード
w 70 71 0E #PVDD UVLO 6.5V
w 70 02 80 #I,V をイネーブルにしてオーディオ再生をパワーアップ
```

10.5 初期デバイス構成 - PWR_MODE3

以下の I²C シーケンスは、PWR_MODE3、超音波アプリケーションでのデバイスの初期化例です。

```
w 70 00 00 #ページ 0x00
w 70 0E 44 #TDM tx vsns スロット 4 で送信イネーブル
w 70 0F 40 #TDM tx isns スロット 0 で送信イネーブル

w 70 00 01 #ページ 0x01
w 70 17 C8 #SARBurstMask=0
w 70 19 00 #LSR モード
w 70 21 00 #コンパレータのヒステリシスをディセーブル

w 70 00 FD #ページ 0xFD
w 70 0D 0D #ページ 0xFD にアクセス
w 70 3E 4A #Dmin を最適化
w 70 0D 00 #ページ 0xFD へのアクセスを削除

w 70 00 00 #ページ 0x00
w 70 03 68 #PWR_MODE3
w 70 73 E0 #DEM ディザーをディセーブル
w 70 02 00 #再生、IV をイネーブルにしてオーディオ再生をパワーアップ
```

Copyright © 2023 Texas Instruments Incorporated

10.6 デバイス構成 - 44.1kHz

以下の I²C シーケンスは、TAS2780 デバイスを 44.1kHz のサンプリング・レートに初期化する例です。

```
###### チャネルの構成
w 70 60 21 # SBLK 対 Fs 比=256 / 8 TDM スロット
w 70 08 39 # 44.1KHz、自動 TDM オフ、フレーム開始時 High から Low
w 70 09 03 # オフセット = 1、BCLK 立ち下がりエッジで同期
w 70 0A 0A # アドレスによる TDM スロット、ワード = 24 ビット、フレーム = 32 ビット
w 70 0C 20 # 右 Ch = TDM スロット 2、左 Ch = TDM スロット 0
w 70 0D 33 # TX バス・キーパー、Hi-Z、オフセット 1、立ち下がりエッジで TX
```

10.7 過電力保護 - OCP プログラミング

以下の I²C シーケンスは、2.7V ≦ VBAT1S≦ 2.9V の場合に過電流保護をプログラムします。

```
w 70 00 FD #
w 70 0D 0D #
w 70 5C C0 #
w 70 3A 7D #
r 70 3B 01 #
# レジスタ 3B から読み取った値を記録します:XY
w 70 3B XZ # Z=Y-2
w 70 0D 00 #
w 70 00 00 #
```

10.8 DSP のループバック

以下の I²C シーケンスにより、エコー・リファレンスに対する DSP のループバックはイネーブルになります。

```
#####DSP エコー・リファレンスのループバック
w 70 00 00 # ページ 0x00
w 70 7F 00
w 70 16 C0 # オーディオ TX スロットは 0 にプログラムされる
w 70 0E 00 # V センスをディセーブルにする
w 70 0F 00 # I センスをディセーブルにする
```


Copyright © 2023 Texas Instruments Incorporated

11 電源に関する推奨事項

電源レール間の電源シーケンスは、SDZ ピンが Low に保持されている間は、任意の順序で適用できます。すべての電源が安定すると、SDZ ピンを High にセットして部品を初期化することができます。ハードウェア・リセットかソフトウェア・リセットの後は、OTP メモリをロードするために、以後のデバイスへのコマンドを 1ms 以上遅延させる必要があります (セクション 10 セクションを参照)。

VBAT1S が内部生成される場合 (以下の セクション 11.1 を参照)、デバイスがソフトウェア・シャットダウン・モードに移行してからハードウェア・シャットダウン・モードに移行することが推奨されています。これにより、VBAT1S ピンは必ず、内蔵されている 5kΩ のプルダウン抵抗を使用して放電されます (ハードウェア・シャットダウン・モードにはありません)。

11.1 電源モード

TAS2780 は、VBAT1S と PVDD の両方を電源として使用するか、または PVDD か VBAT1S のどちらかのみを電源とすることによって動作します。以下の表に、ユーザーのニーズに応じたさまざまな動作の電源モードを示します。

表 11-1. デバイス構成と電源モード

電力モード	出力スイッチング・モード	電源条件	VBAT1S モード	デバイス構成	使用事例とデバイスの機能
PWR_MODE0	PVDD に高出力	PVDD>VBAT1S	外部	VBAT1S_MODE=0 CDS_MODE[1:0]=10	PVDD は出力電力の供給に使用される唯一の電源です。
PWR_MODE1	Y ブリッジ - VBAT1S に高出力	PVDD	外部	VBAT1S_MODE=0 CDS_MODE[1:0]=00	VBAT1S は、構成されたレベルとヘッドルームに基づく出力電力の供給に使用されます。オーディオ信号がプログラムされたスレッショルドを超えると、Class-D 出力は PVDD に切り替わります。
PWR_MODE2	Y ブリッジ - VBAT1S に低出力	PVDD	内部	VBAT1S_MODE=1 CDS_MODE[1:0]=11	PVDD は唯一の電源です。VBAT1S は内部 LDO から供給され、アイドル・チャネル・レベルに近接した信号での供給に使用されます。オーディオ信号レベルが -100dBFS (デフォルト) を超えると、Class-D 出力は PVDD に切り替わります。
PWR_MODE3	VBAT1S	VBAT1S	外部	VBAT1S_MODE=0 CDS_MODE[1:0]=01	デバイスを強制的に低出力レール・モードで動作させることができます。たとえば、オーディオが再生されていない場合、この動作モードは低出力超音波チャープに使用することができます。

VBAT1S が外部 (PWR_MODE0、PWR_MODE1) の場合、PVDD が (VBAT1S + 2.5V) レベルを下回ると、Y ブリッジは電源間のスイッチングを停止し、PVDD 電源のままになります。

PWR_MODE2 では、Y ブリッジの動作モードを利用するため、PVDD 電源レベルが、内部生成された VBAT1S 電圧より少なくとも 2.5V 高いことを、ユーザーが確認する必要があります。電圧保護をイネーブルにするには、レジスタ・ビット PVDD_UVLO[5:0] を使用して、PVDD 電源の低電圧スレッショルドを 7.3V 以上に設定する必要があります。これにより、内部生成された 4.8V の VBAT1S によって、PVDD 電源は VBAT1S より 2.5V 以上高くなります。

12 レイアウト

12.1 レイアウトのガイドライン

電源レールはすべて、セクション 9.2 に示すように、低 ESR セラミック・コンデンサでバイパスする必要があります。

PGND、DGND、および GND に低インピーダンス接続を確立し、グランド・ノイズを最小限にするには、複数の伝導性エポキシでコーティングされたビアを持つグランド・プレーンをレイアウトに使用する必要があります。

このデバイスでは、以下のレイアウト設計要件に従うことが推奨されています。

- 大電流を通す次の信号には、広いパターンを使用してください：PVDD、VBAT1S、PGND、DGND、GND、およびスピーカの OUT_P、OUT_N。
- PGND ピンはグランド・プレーンに直接接続して短絡させてください。
- DGND ピンはグランド・プレーンに直接接続してください。
- VSNS_P と VSNS_N は、スピーカにできる限り近づけて接続してください。
- 出力に EMI フェライトが使用されている場合は、VSNS_P と VSNS_N は EMI フェライト・フィルタとスピーカの間に接続してください。
- VSNS_P と VSNS_N の配線は分けて、スイッチング信号 (インターフェイス信号、スピーカ出力、ブートストラップ・ピン) からシールドしてください。
- ブートストラップ・コンデンサは、BST ピンにできる限り近づけて配置してください。
- PVDD と VBAT1S のデカップリング・コンデンサは、ピンにできる限り近づけて配置してください (図 12-1 を参照)。

12.2 レイアウト例

次の図は、図 9-1 で割り当てられている主要な部品の配置を示しています。

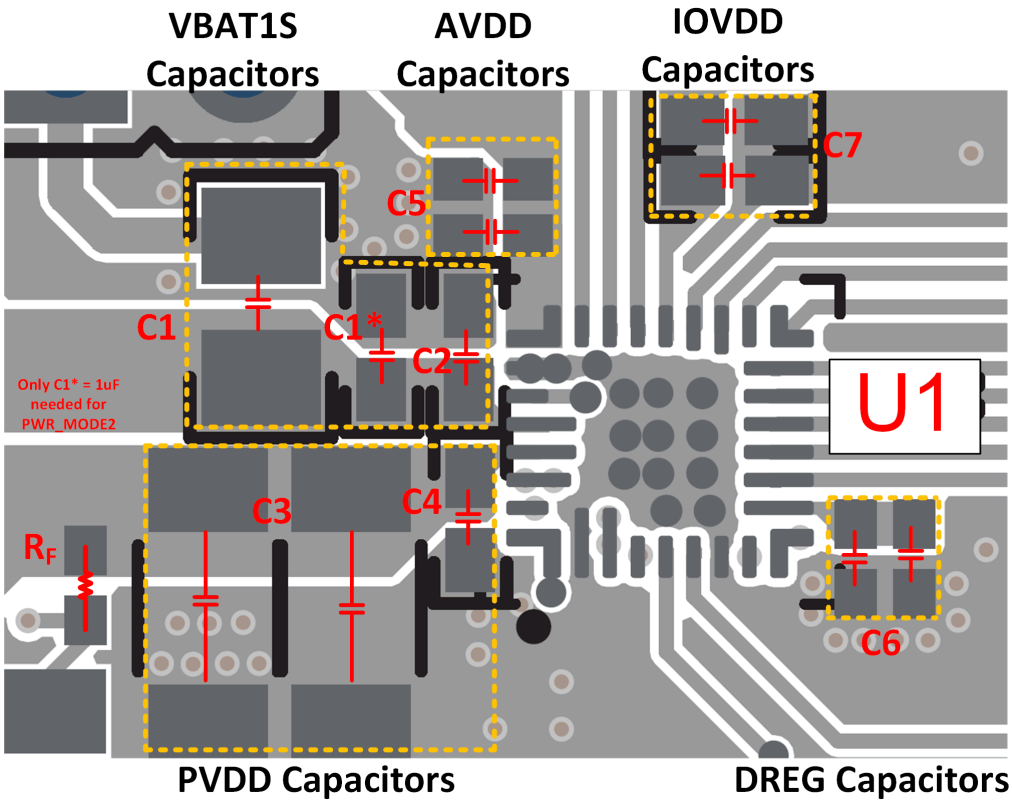


図 12-1. レイアウトと部品の配置 - 上層

Copyright © 2023 Texas Instruments Incorporated

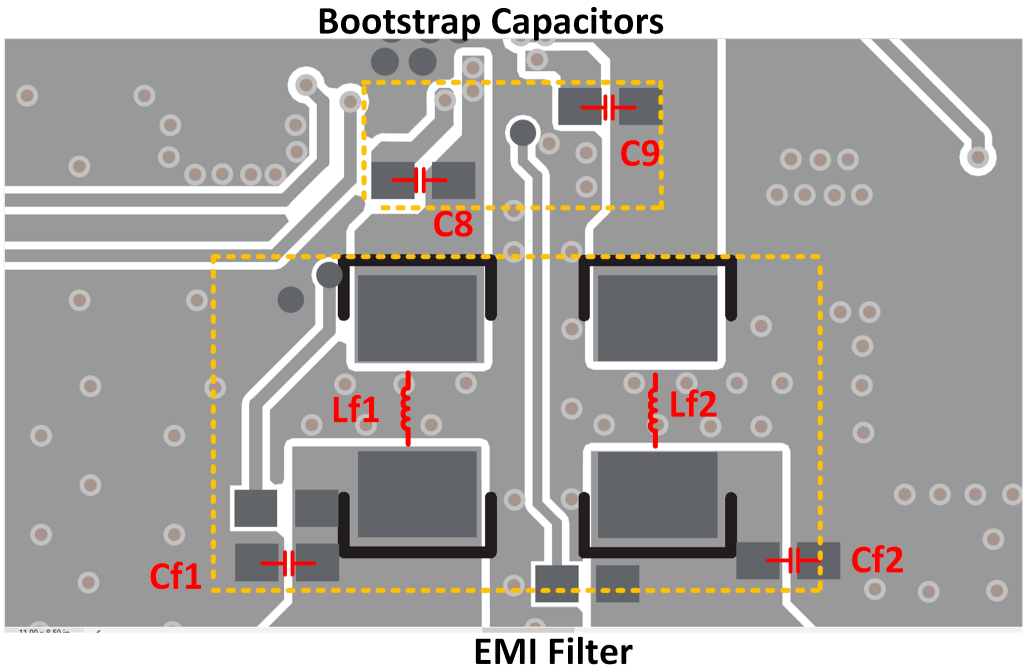


図 12-2. レイアウトと部品の配置 - 下層

13 デバイスおよびドキュメントのサポート

13.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。右上の隅にある「通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

13.2 コミュニティ・リソース

13.3 商標

すべての商標は、それぞれの所有者に帰属します。

Copyright © 2023 Texas Instruments Incorporated

14 メカニカル、パッケージ、および注文情報

以下のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TAS2780RYAR	Active	Production	VQFN-HR (RYA) | 30	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	TAS2780
TAS2780RYAR.A	Active	Production	VQFN-HR (RYA) | 30	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	TAS2780

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

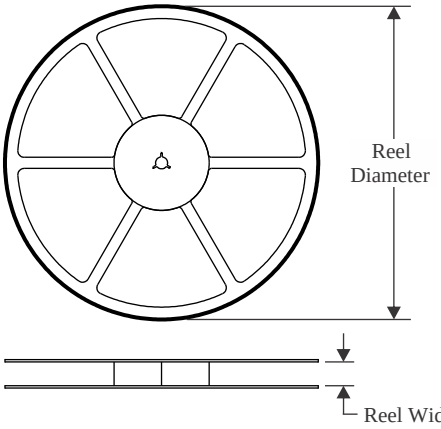
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

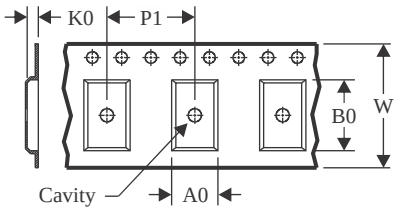
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

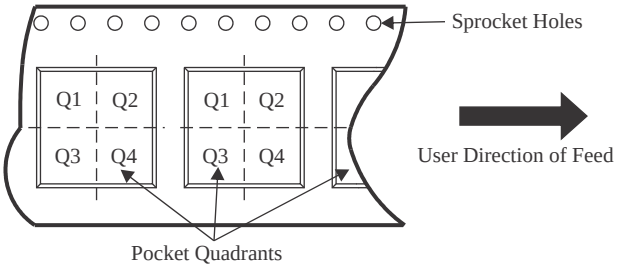


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

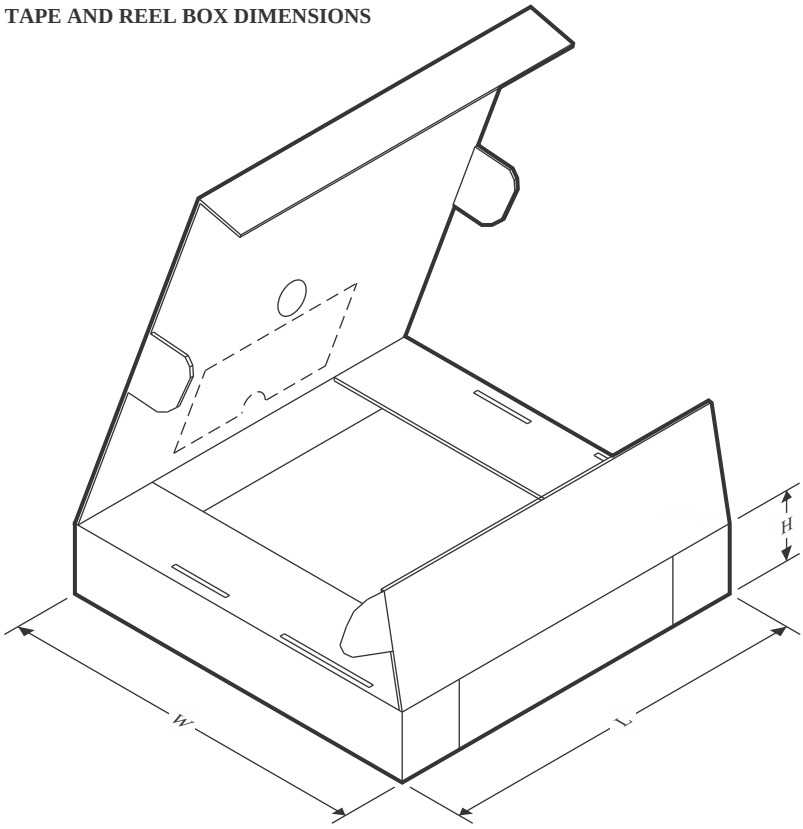
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

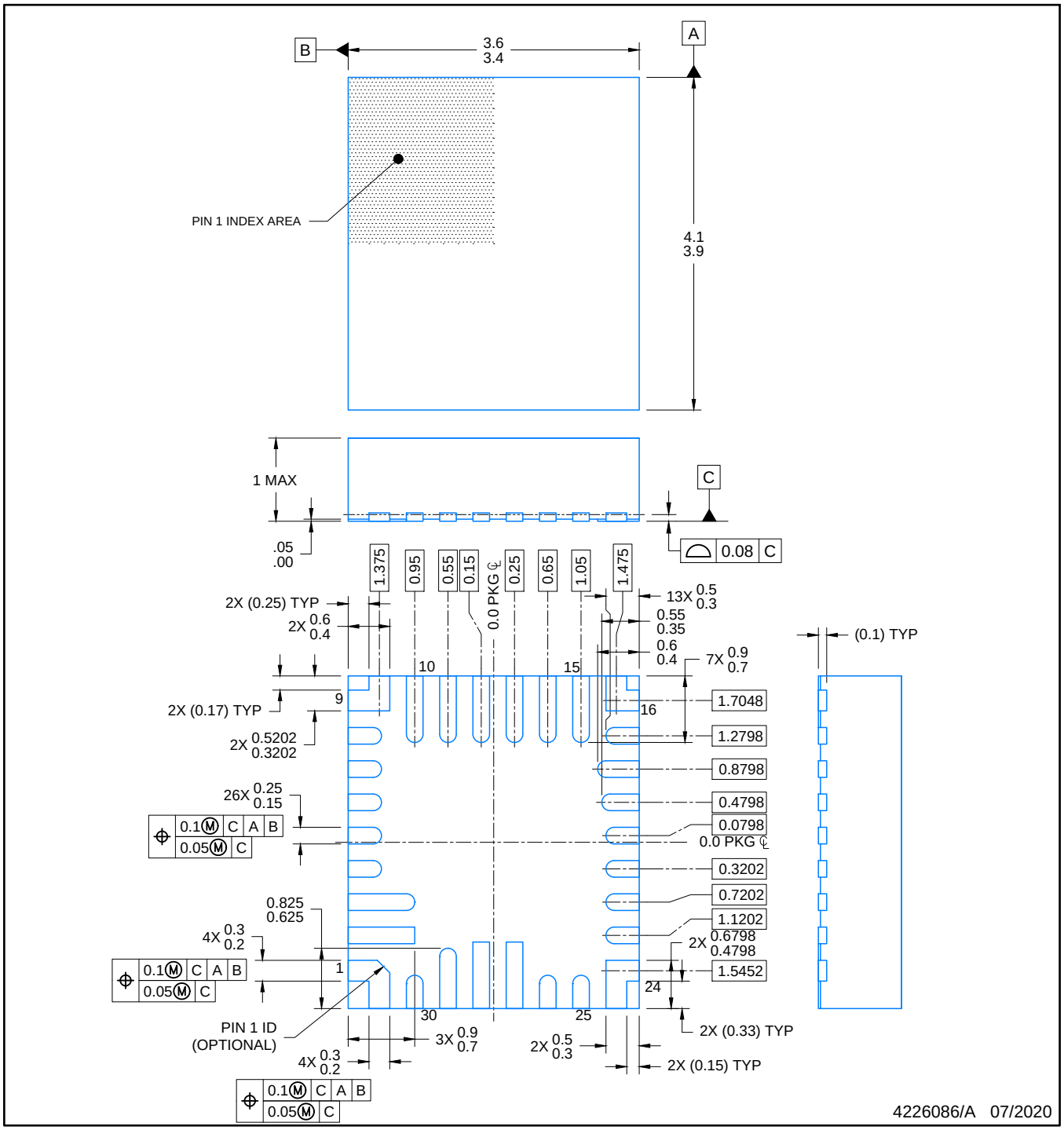
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TAS2780RYAR	VQFN-HR	RYA	30	3000	330.0	12.4	3.8	4.3	1.5	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



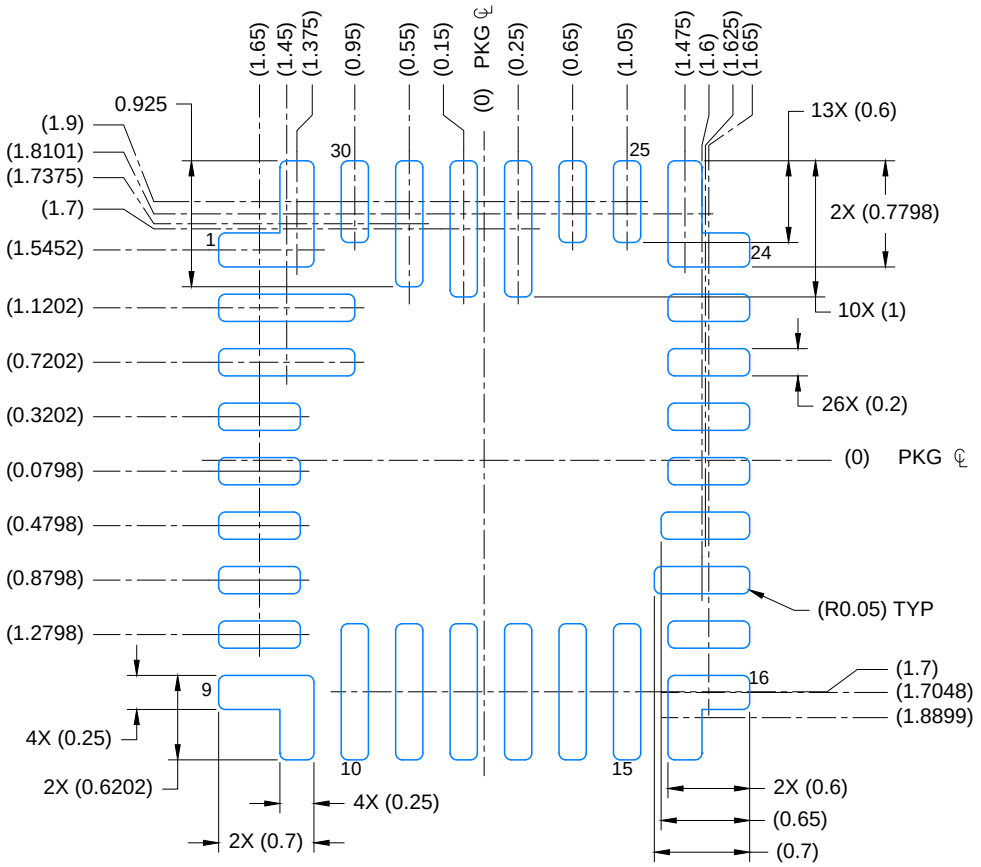
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TAS2780RYAR	VQFN-HR	RYA	30	3000	367.0	367.0	35.0

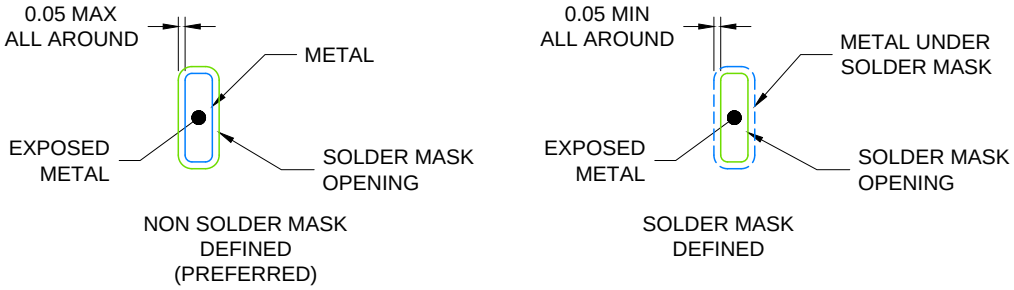


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 18X

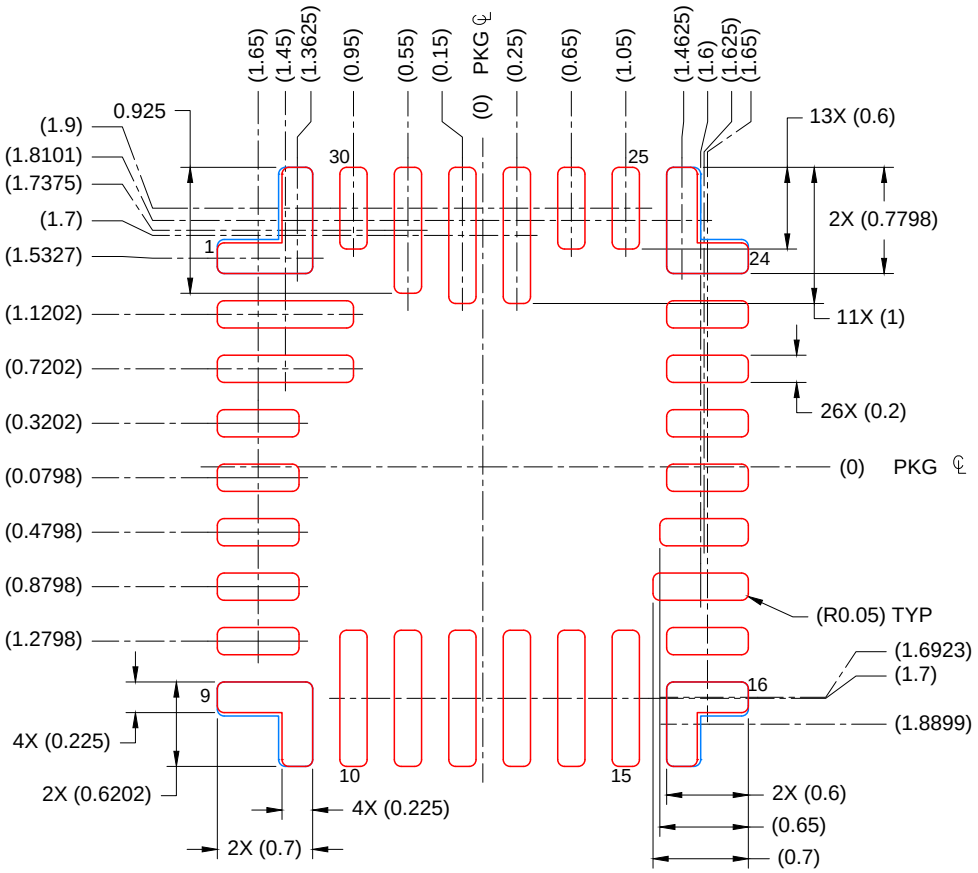


SOLDER MASK DETAILS

4226086/A 07/2020

NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271) .
4. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PADS 1,9, 16, 24: 92%
SCALE: 18X

4226086/A 07/2020

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated