TAC5301-Q1 車載、101dB ADC、110dB DAC、プログラマブル高電圧マイクバイアス搭載、モノラル オーディオ コーデック

1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
  - 温度グレード 1:-40℃ ≤ T_A ≤ +125℃
- モノラル オーディオ ADC チャネル
  - 性能:
    - ライン / マイクロフォン差動入力のダイナミック レンジ:100dB
    - 差動入力 THD+N:-87dB
  - 入力電圧:
    - 差動、$2V_{RMS}$ フルスケール入力
    - シングルエンド、$1V_{RMS}$ フルスケール入力
  - ADC サンプル レート (f_S) = 8kHz～192kHz
  - プログラム可能なマイクロフォン バイアス (3V～10V)
    - または外部の高電圧 HVDD 電源を使用
- モノラル差動またはステレオ シングルエンド オーディオ DAC
  - 性能:
    - DAC から差動ライン出力までのダイナミック レンジ:110dB
    - DAC から差動ヘッドホン出力までのダイナミック レンジ:109dB
    - THD+N:-101dB
  - ライン出力とヘッドホン出力電圧:
    - 差動、$2V_{RMS}$ フルスケール
    - 疑似差動、$1V_{RMS}$ フルスケール
    - シングルエンド、$1V_{RMS}$ フルスケール
  - DAC サンプル レート (f_s) = 8kHz～192kHz
- 共通機能
  - 音声アクティビティ検出
  - 超音波アクティビティ検出
  - バッテリおよびサーマル フォールドバック保護
  - 信号歪みリミッタ
  - 低レイテンシおよび超低レイテンシのフィルタ オプション
  - HPF およびバイカッド フィルタをプログラム可能
  - I^2C 制御インターフェイス
  - オーディオ シリアル インターフェイス
    - フォーマット:TDM、I^2S、左揃え (LJ)
    - ワード長:16、20、24、または 32 ビット
    - バス コントローラおよびターゲット モード
  - 柔軟なクロック供給のためのプログラム可能な PLL
  - クロックとサンプル レートの自動検出
  - 低消費電力モード
  - 単一電源動作 AVDD:3.3V
  - I/O 電源動作:1.2V、1.8V、3.3V

2 アプリケーション

- テレマティクス制御ユニット
- 車載ヘッド ユニット
- 車載用クラスタ
- 後部座席用エンターテインメント

3 説明

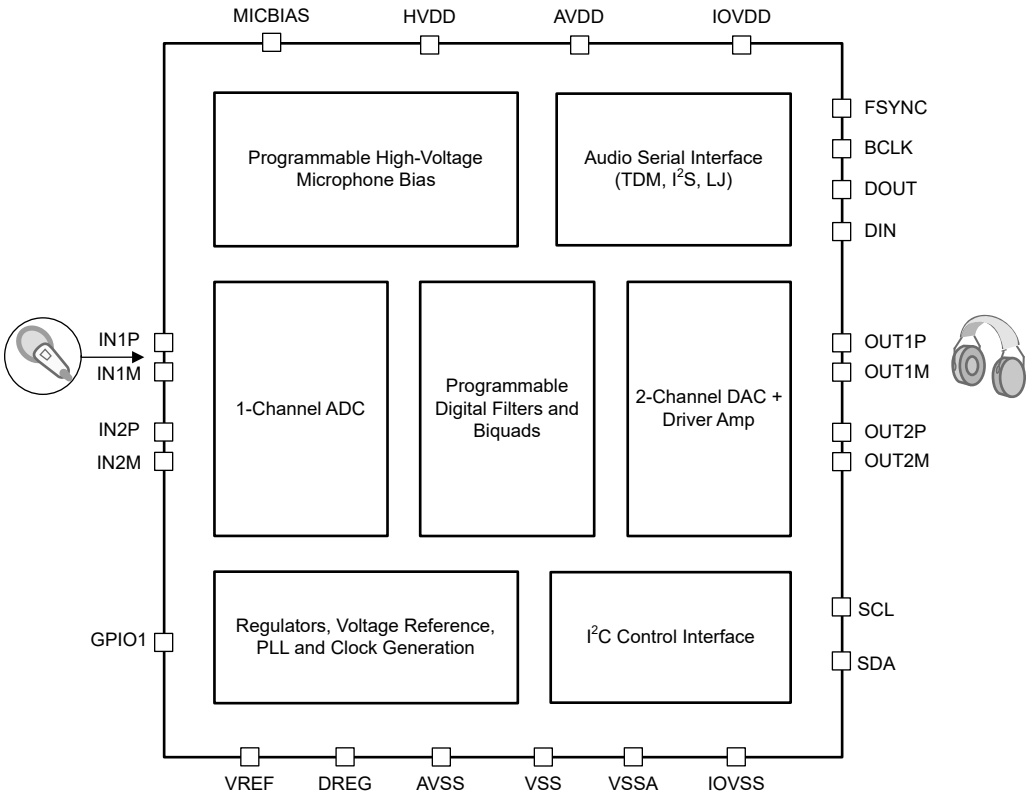
TAC5301-Q1 は、車載対応の低消費電力モノラル オーディオ コーデックで、$2V_{RMS}$ の差動入力、100dB のダイナミック レンジを持つ ADC、および $2V_{RMS}$ の差動出力、110dB のダイナミック レンジのモノラル チャネルまたは $1V_{RMS}$ のシングルエンド出力、107dB のダイナミック レンジのステレオ チャネルを持つ DAC を備えています。TAC5301-Q1 は、差動入出力とシングルエンド入出力の両方をサポートしています。ADC は、AC または DC 結合構成のオプションにより、ライン / マイクロフォン入力信号をサポートします。DAC 出力は、ライン出力とヘッドホン負荷のいずれかに構成できます。DAC は、16Ω のヘッドホン負荷を最大 62.5mW で駆動できます。さらに、このデバイスは外部の高電圧電源 (HVDD) を直接使用する機能を備えています。HVDD は、高電圧のプログラム可能なマイク バイアスを生成するためにシステムですぐに利用できる電源です。TAC5301-Q1 は、プログラム可能なチャネル ゲイン、デジタル音量制御、低ジッタのフェーズ ロック ループ (PLL)、プログラム可能なハイパス フィルタ (HPF)、プログラム可能な EQ およびバイクワッド フィルタ、低レイテンシおよび超低レイテンシのフィルタ モードを内蔵しており、ADC と DAC の両方のシグナル チェーンにおいて最高 192kHz のサンプル レートに対応できます。TAC5301-Q1 は時分割多重化 (TDM)、I^2S、左揃え (LJ) オーディオ フォーマットに対応しており、I^2C で制御できます。これらの高性能な機能を内蔵し、3.3V の単一電源で動作するため、TAC5301-Q1 は、スペースに制約のある車載用システムに最適な選択肢です。

デバイス情報

部品番号	パッケージ (1)	パッケージ サイズ (公称) (2)
TAC5301-Q1	VQFN (24)	4mm × 4mm、0.5mm ピッチ

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



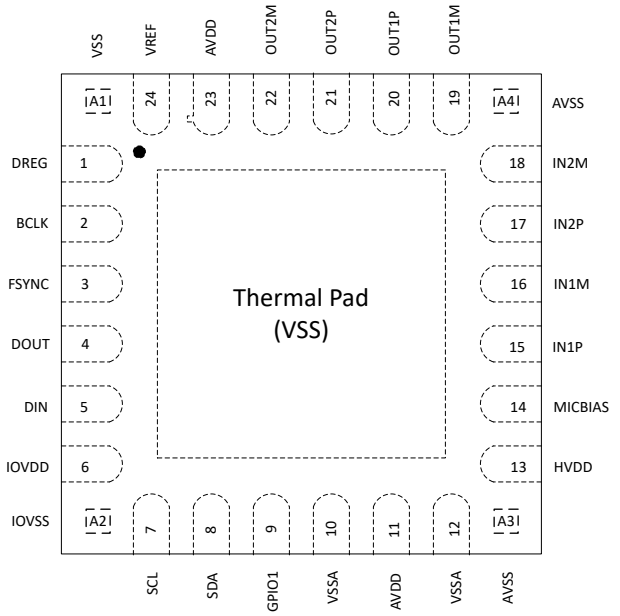
概略ブロック図

Copyright © 2025 Texas Instruments Incorporated

目次

1 特長.... 1
2 アプリケーション.... 1
3 説明.... 1
4 ピン構成および機能.... 4
5 仕様.... 6
5.1 絶対最大定格.... 6
5.2 ESD 定格.... 6
5.3 推奨動作条件.... 6
5.4 熱に関する情報.... 7
5.5 電気的特性.... 7
5.6 電気的特性.... 9
5.7 タイミング要件：I²C インターフェイス.... 13
5.8 スイッチング特性：I²C インターフェイス.... 14
5.9 タイミング要件：TDM、I²S または LJ インターフェイス... 14
5.10 スイッチング特性：TDM、I²S または LJ インターフェイス.... 14
5.11 タイミング図.... 15
5.12 代表的特性.... 16
6 詳細説明.... 21
6.1 概要.... 21
6.2 機能ブロック図.... 22
6.3 機能説明.... 22
6.4 デバイスの機能モード.... 76
6.5 プログラミング.... 77
7 レジスタ マップ.... 80
7.1 デバイス構成レジスタ.... 80
7.2 プログラム可能な係数レジスタ.... 177
8 アプリケーションと実装.... 209
8.1 アプリケーション情報.... 209
8.2 代表的なアプリケーション.... 209
8.3 電源に関する推奨事項.... 212
8.4 レイアウト.... 214
9 デバイスおよびドキュメントのサポート.... 216
9.1 ドキュメントのサポート.... 216
9.2 静電気放電に関する注意事項.... 216
9.3 ドキュメントの更新通知を受け取る方法.... 216
9.4 サポート・リソース.... 217
9.5 商標.... 217
9.6 用語集.... 217
10 改訂履歴.... 217
11 メカニカル、パッケージ、および注文情報.... 217

4 ピン構成および機能



Notes:-
Not to Scale

図 4-1. TAC5301-Q1 24 ピン QFN パッケージ、露出サーマル パッドおよびコーナー ピン付き、上面図

表 4-1. ピンの機能

ピン		タイプ	説明
名称	番号		
VSS	A1	グランド	グランド ピン。基板のグランド プレーンへ直接短絡します。
DREG	1	デジタル電源	デジタル電源用デジタル オンチップ レギュレータ出力電圧（1.5V、公称値）
BCLK	2	デジタル I/O	オーディオ シリアル データインターフェイスのバス ビット クロック
FSYNC	3	デジタル I/O	オーディオ シリアル データ インターフェイス バス フレームの同期信号
DOUT	4	デジタル出力	オーディオ シリアル データ インターフェイス バス出力
DIN	5	デジタル入力	オーディオ シリアル データ インターフェイス バス入力
IOVDD	6	デジタル電源	デジタル I/O 電源（1.2V、1.8V または 3.3V、公称値）
IOVSS	A2	デジタル GND	デジタル I/O 電源グランド ピン。基板のグランド プレーンへ直接短絡します。
SCL	7	デジタル入力	I^2C 制御インターフェイス用クロック
SDA	8	デジタル I/O	I^2C 制御インターフェイス用データ
GPIO1	9	デジタル I/O	汎用デジタル入出力 1（デイジーチェーン入力、オーディオ データ出力、PLL 入力クロック ソース、割り込みなど、多目的機能）
VSSA	10	グランド	基板のグランド プレーンへ直接短絡します
AVDD	11	アナログ電源	アナログ電源 (公称 3.3V)
VSSA	12	グランド	基板のグランド プレーンへ直接短絡します

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ	説明
名称	番号		
AVSS	A3	グランド	アナログ電源のグランド ピン。基板のグランド プレーンへ直接短絡します。
HVDD	13	アナログ電源	マイク バイアス電圧を生成するためのアナログ電源 (最大 12V)
MICBIAS	14	アナログ	MICBIAS 出力 (最大 10V までプログラム可能な出力)
IN1P	15	アナログ入力	アナログ入力 1P ピン
IN1M	16	アナログ入力	アナログ入力 1M ピン
IN2P	17	アナログ入力	アナログ入力 2P ピン
IN2M	18	アナログ入力	アナログ入力 2M ピン
AVSS	A4	グランド	アナログ電源のグランド ピン。基板のグランド プレーンへ直接短絡します。
OUT1M	19	アナログ出力	アナログ出力 1M ピン
OUT1P	20	アナログ出力	アナログ出力 1P ピン
OUT2P	21	アナログ出力	アナログ出力 2P ピン
OUT2M	22	アナログ出力	アナログ出力 2M ピン
AVDD	23	アナログ電源	アナログ電源 (公称 3.3V)
VREF	24	アナログ	アナログ リファレンス電圧フィルタ出力
VSS	サーマル パッド	グランド	サーマル パッドを内部デバイスのグランドに短絡します。基板のグランド プレーンへ直接短絡します

5 仕様

5.1 絶対最大定格

動作環境温度範囲内（特に記載がない限り）[(1)]

		最小値	最大値	単位
電源電圧	AVDD から AVSS へ	-0.3	3.9	V
電源電圧	IOVDD から IOVSS へ	-0.3	3.9	V
電源電圧	HVDD から AVSS へ	-0.3	14	V
グランドとの電位差	AVSS、IOVSS、VSSA および VSS (サーマル パッド)	-0.3	0.3	V
アナログ入力電圧	アナログ入力ピン電圧から AVSS へ	-0.3	18	V
デジタル入力電圧	デジタル入力ピン電圧から VSS（サーマル パッド）	-0.3	IOVDD + 0.3	V
温度	動作時周囲温度、T_A	-40	125	℃
	接合部、T_J	-40	150	
	保存、T_{stg}	-65	150	

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 [(1)]	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	±500	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
電源					
AVDD[(1)]	アナログ供給電圧を AVSS に接続 - AVDD 3.3V 動作	3.0	3.3	3.6	V
IOVDD[(2)]	IO 電源電圧を IOVSS に接続 - IOVDD 3.3V 動作	3.0	3.3	3.6	V
	IO 電源電圧を IOVSS に接続 - IOVDD 1.8V 動作	1.65	1.8	1.95	
IOVDD	IO 電源電圧を IOVSS に接続 - IOVDD 1.2V 動作	1.08	1.2	1.32	V
HVDD	AVSS への HVDD 電源電圧	5.6	9	12	V
入力					
INxx	アナログ入力ピン電圧からラインイン録音用 AVSS に接続	0		14.2	V
	マイクロフォン録音のためのアナログ入力ピン電圧を AVSS に接続	0.1		MICBIAS–0.1	V
	デジタル入力ピン電圧から IOVSS	0		IOVDD	V
温度					
T_A	動作時の周囲温度	-40		125	℃

Copyright © 2025 Texas Instruments Incorporated

5.3 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
その他					
	GPIO1 (CCLK 入力として使用) クロック周波数			36.864[3]	MHz
C_b	I^2C インターフェースの SCL および SDA バス容量は、スタンダード モードおよび ファースト モードをサポートしています			400	pF
	I^2C インターフェースの SCL および SDA バス容量は、ファストモード プラスをサポートします			550	
C_L	デジタル出力負荷容量		20	50	pF

(1) AVSS および VSS (サーマル パッド)。すべてのグランド ピンは一緒に接続する必要があり、電圧の差は 0.2V を超えてはなりません。
(2) IOVDD が 1.8V および 1.2V の動作の場合、IOVDD_IO_MODE ビットを正しく設定します。
(3) CCLK 入力の立ち上がり時間 (V_{IL} から V_{IH}) と立ち下がり時間 (V_{IH} から V_{IL}) は 5ns 未満である必要があります。オーディオのノイズ特性を向上させるには、低ジッタの CCLK 入力を使用する必要があります。

5.4 熱に関する情報

熱評価基準[1]		TAC5301-Q1 RGE (VQFN) 24 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	38.4	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	26.3	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	15.9	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.5	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	15.8	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	13.8	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 電気的特性

T_A = 25°C、AVDD = 3.3V、IOVDD = 3.3V、f_{IN} = 1kHz 正弦波信号、f_S = 48kHz、32 ビット オーディオ データ、BCLK = 256 × f_S、TDM ターゲット モード、PLL オン、チャネル ゲイン= 0dB、リニア位相補間フィルタ、差動/シングルエンド構成における 1200Ω/600Ω のラインアウト負荷、または 32Ω/16Ω のレシーバ / ヘッドホン負荷 (該当する場合)、MICBIAS は VREF に設定済み、その他はデフォルト設定とします。特に記載がない限り、20Hz～20kHz の無補正帯域幅で Audio Precision によりフィルタ フリーで測定します。

パラメータ		テスト条件	最小値	公称値	最大値	単位
ライン出力/ヘッドフォン再生時の DAC 性能						
	フルスケール出力電圧	OUTxP と OUTxM 間の差動出力、AVDD = 3.3V		2		V_{RMS}
		シングルエンド出力、AVDD = 3.3V		1		
		OUTxP と OUTxM 間の疑似差動出力、AVDD = 3.3V		1		
SNR	信号対雑音比、A 特性補正[1] [2]	差動出力、0dBFS 信号、AVDD = 3.3V		110		dB
		シングルエンド出力、0dBFS 信号、AVDD = 3.3V		107		
		疑似差動出力、0dBFS 信号、AVDD = 3.3V		108		
		差動出力、0dBFS 信号、AVDD = 3.3V、パワー チューン モード [3]		105		
		シングルエンド出力、0dBFS 信号、AVDD = 3.3V、パワー チューン モード[3]		103		
		疑似差動出力、0dBFS 信号、AVDD = 3.3V、パワー チューン モード[3]		106		

5.5 電気的特性 (続き)

T_A = 25°C、AVDD = 3.3V、IOVDD = 3.3V、f_{IN} = 1kHz 正弦波信号、f_S = 48kHz、32 ビット オーディオ データ、BCLK = 256 × f_S、TDM ターゲット モード、PLL オン、チャネル ゲイン= 0dB、リニア位相補間フィルタ、差動/シングルエンド構成における 1200Ω/600Ω のラインアウト負荷、または 32Ω/16Ω のレシーバ / ヘッドホン負荷（該当する場合）、MICBIAS は VREF に設定済み、その他はデフォルト設定とします。特に記載がない限り、20Hz～20kHz の無補正帯域幅で Audio Precision によりフィルタ フリーで測定します。

パラメータ		テスト条件	最小値	公称値	最大値	単位
SNR	信号対雑音比、A 特性補正(1) (2)	差動出力、レシーバ負荷、0dBFS 信号、AVDD = 3.3V		109		dB
		シングルエンド出力、ヘッドホン負荷、0dBFS 信号、AVDD = 3.3V		107		
		疑似差動出力、レシーバ負荷、0dBFS 信号、AVDD = 3.3V		108		
DR	ダイナミック レンジ、A 特性補正(2)	差動出力、-60dBFS 信号、AVDD = 3.3V		110		dB
		シングルエンド出力、-60dBFS 信号、AVDD = 3.3V		107		
		疑似差動出力、-60dBFS 信号、AVDD = 3.3V		108		
		差動出力、-60dBFS 信号、AVDD = 3.3V、パワー チューン モード(3)		105		
		シングルエンド出力、-60dBFS 信号、AVDD = 3.3V、パワー チューン モード(3)		103		
		疑似差動出力、-60dBFS 信号、AVDD = 3.3V、パワー チューン モード(3)		107		
DR	ダイナミック レンジ、A 特性補正(2)	差動出力、レシーバ負荷、-60dBFS 信号、AVDD = 3.3V		109		dB
		シングルエンド出力、ヘッドフォン負荷、-60dBFS 信号、AVDD = 3.3V		107		
		疑似差動出力、レシーバ負荷、-60dBFS 信号、AVDD = 3.3V		108		
THD+N	全高調波歪(2)	差動出力、–1dBFS 信号、AVDD = 3.3V		-101		dB
	ヘッドフォンの負荷範囲	シングル エンド	4	16	600	Ω
	ライン出力負荷範囲	シングル エンド	600			Ω
	ヘッドフォン / ライン出力容量性負荷	シングル エンド	0		2	nF
DAC チャネルのその他のパラメータ						
	出力オフセット	0 入力、差動ライン出力		±0.5		mV
	出力同相モード	OUTxP および OUTxM の同相モード レベル（AVDD = 3.3V、レジスタで構成可能）		1.65		V
	同相モード誤差	同相モード電圧の DC 誤差		±20		mV
	出力信号帯域幅	最大 192KSPS の FS レート		0.46		FS
		>192KSPS		90		kHz
	入力データ サンプル レート	プログラム可能	4		768	kHz
	入力データ サンプルのワード長	プログラム可能	16		32	ビット
	デジタル ハイパス フィルタのカットオフ周波数	プログラム可能な係数を持つ 1 次 IIR フィルタ、–3-dB ポイント（デフォルト設定）		1		Hz
	ゲイン誤差	差動出力、–6dBFS 入力信号		±0.1		dB
PSRR	電源除去比	AVDD に 100mV_{PP}、1kHz の正弦波信号を入力、差動出力、チャネル ゲインは 0dB		110		dB
	ミュート減衰			-130		dB

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性 (続き)

T_A = 25°C、AVDD = 3.3V、IOVDD = 3.3V、f_{IN} = 1kHz 正弦波信号、f_S = 48kHz、32 ビット オーディオ データ、BCLK = 256 × f_S、TDM ターゲット モード、PLL オン、チャネル ゲイン= 0dB、リニア位相補間フィルタ、差動/シングルエンド構成における 1200Ω/600Ω のラインアウト負荷、または 32Ω/16Ω のレシーバ / ヘッドホン負荷（該当する場合）、MICBIAS は VREF に設定済み、その他はデフォルト設定とします。特に記載がない限り、20Hz～20kHz の無補正帯域幅で Audio Precision によりフィルタ フリーで測定します。

パラメータ		テスト条件	最小値	公称値	最大値	単位
P_{out}	出力電力供給	シングルエンド / 疑似差動ヘッドフォン R_L= 16 Ω、THD + N < 0.1%		62.5		mW

(1) 1kHz のフルスケール正弦波入力時の出力レベルと、ジェネレータ入力信号がない状態で入力がグラウンドにショートされている場合の出力レベルの比率、オーディオ アナライザを使用し、20Hz から 20kHz の帯域幅で A 特性補正フィルタをかけて測定します。
(2) すべての性能測定は、20kHz のローパス フィルタを使用して行い、必要に応じて A 特性補正も使用しています。そのようなフィルタを使用しない場合、電気的特性に示されている値よりも THD+N が高く、SNR およびダイナミック レンジの読み値が低くなる可能性があります。ローパス フィルタは帯域外のノイズを除去します。これらのノイズは聴覚には影響しませんが、ダイナミック仕様値に影響を与える可能性があります。
(3) PWR_TUNE_CFG0 = 0xD4、PWR_TUNE_CFG1 = 0x96、PLL_DIS = 1'b1、パワー チューン モード用

5.6 電気的特性

T_A = 25°C、AVDD = 3.3V、IOVDD = 3.3V、HVDD = 11V、f_{IN} = 1kHz 正弦波信号、f_S = 48kHz、32 ビット オーディオ データ、BCLK = 256 × f_S、TDM ターゲット モード、PLL オン、チャネル ゲイン = 0dB、リニア位相デシメーション / 補間フィルタ、VCM = 1.414V の AC 結合差動入力、1200 Ω/600 Ω ライン出力負荷 (差動/シングルエンド構成)、または 32Ω/16Ω レシーバ / ヘッドフォン負荷 (該当する場合)、その他のデフォルト構成、フィルターフリーで測定。Audio Precision を使用し、20Hz～A20kHz の非特性補正帯域幅で測定 (特に記載がない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
LINE/MIC 入力録音用 ADC 性能						
	差動入力のフルスケール DC 信号電圧	AC 結合または DC 結合の入力		2		V_{RMS}
	シングルエンド入力のフルスケール DC 信号電圧	AC 結合または DC 結合の入力		1		V_{RMS}
LINE/MIC 入力録音用 ADC 性能						
SNR	信号対雑音比、A 特性補正(1) (2)	IN1x 差動 DC 結合入力および AC 信号、グランド短絡、0dB チャネル ゲイン		101		dB
		IN1x 差動 DC 結合入力および AC 信号、グランド短絡、12dB チャネル ゲイン		89		
SNR	信号対雑音比、A 特性補正(1) (2)	広帯域モード(3):IN1x の差動 DC 結合入力、および AC 信号がグランドに短絡された状態、チャネル ゲインは 0dB (20kHz まで積分)		101		dB
SNR	信号対雑音比、A 特性補正(1) (2)	パワー チューン モード(4):IN1x 差動 DC 結合入力および AC 信号、グランド短絡、0dB チャネル ゲイン		99		dB
DR	ダイナミック レンジ、A 特性補正(2)	IN1x 差動 DC 結合入力–60dBFS AC 信号入力、0dB チャネル ゲイン		100		dB
		IN1x 差動 DC 結合入力–72dBFS AC 信号入力、12dB チャネル ゲイン		88		
DR	ダイナミック レンジ、A 特性補正(2)	パワー チューン モード(4):IN1x 差動 DC 結合入力–60dBFS AC 信号入力、0dB チャネル ゲイン		98		dB
THD+N	全高調波歪(2)	IN1x 差動 DC 結合入力–1dBFS AC 信号入力、0dB チャネル ゲイン		-87		dB
		IN1x 差動 DC 結合入力–13dBFS AC 信号入力、12dB チャネル ゲイン		-85		
	AC 入力インピーダンス	入力ピン INxP または INxM		34		kΩ
	デジタル ボリューム制御範囲	0.5dB ステップでプログラム可能	-80		47	dB

5.6 電気的特性 (続き)

T_A = 25°C、AVDD = 3.3V、IOVDD = 3.3V、HVDD = 11V、f_{IN} = 1kHz 正弦波信号、f_S = 48kHz、32 ビット オーディオ データ、BCLK = 256 × f_S、TDM ターゲット モード、PLL オン、チャネル ゲイン = 0dB、リニア位相デシメーション / 補間フィルタ、VCM = 1.414V の AC 結合差動入力、1200 Ω/600 Ω ライン出力負荷 (差動/シングルエンド構成)、または 32Ω/16Ω レシーバ / ヘッドフォン負荷 (該当する場合)、その他のデフォルト構成、フィルターフリーで測定。Audio Precision を使用し、20Hz～A20kHz の非特性補正帯域幅で測定 (特に記載がない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
	入力信号帯域幅	最大 192KSPS の FS レート		0.46		FS
		>192KSPS		85		kHz
	出力データのサンプル レート	プログラム可能	4		768	kHz
	出力データ サンプルのワード長	プログラム可能	16		32	ビット
	デジタル ハイパス フィルタのカットオフ周波数	プログラム可能な係数を持つ 1 次 IIR フィルタ、–3dB ポイント (デフォルト設定)		1		Hz
PSRR	電源除去比	AVDD に 100mV$_{PP}$、1kHz の正弦波信号を入力、差動入力、チャネル ゲインは 0dB		92		dB
CMRR	同相除去比	差動 DC 結合入力、0dB チャンネルゲイン、–6dBFS AC 入力、両ピン 1kHz 信号および出力時の測定レベル		60		dB
マイク バイアス						
	MICBIAS ノイズ	BW = 20 Hz から 20 kHz、A 特性補正、MICBIAS と AVSS の間に 1µF コンデンサを接続		20		µV$_{RMS}$
	MICBIAS 電圧	0.5V ステップでプログラム可能	3		10	V
	MICBIAS 電流ドライブ	MICBIAS の電圧は 10V			30	mA
	MICBIAS 負荷制御	MICBIAS 電圧 10V、最大負荷まで測定	0		1	%
	MICBIAS の過電流保護スレッショルド	MICBIAS の電圧は 10V	32			mA
デジタル I/O						
V_{IL}	Low レベル デジタル入力ロジック電圧スレッショルド	SDA および SCL を除くすべてのデジタル ピンは、IOVDD が 1.8V または 1.2V で動作	-0.3		0.35 × IOVDD	V
		SDA および SCL を除くすべてのデジタル ピンは、IOVDD 3.3V で動作	-0.3		0.8	
V_{IH}	High レベル デジタル入力ロジック電圧スレッショルド	SDA および SCL を除くすべてのデジタル ピンは、IOVDD が 1.8V または 1.2V で動作	0.65 × IOVDD		IOVDD + 0.3	V
		SDA および SCL を除くすべてのデジタル ピンは、IOVDD 3.3V で動作	2		IOVDD + 0.3	
V_{OL}	Low レベル デジタル出力電圧	SDA および SCL を除くすべてのデジタル ピンにおいて、I_{OL} =–2mA、IOVDD は 1.8V または 1.2V で動作			0.45	V
		SDA および SCL を除くすべてのデジタル ピンにおいて、I_{OL} = –2mA、IOVDD は 3.3V で動作			0.4	
V_{OH}	High レベル デジタル出力電圧	SDA および SCL を除くすべてのデジタル ピンにおいて、I_{OH} =2mA、IOVDD は 1.8V または 1.2V で動作	IOVDD - 0.45			V
		SDA および SCL を除くすべてのデジタル ピンにおいて、I_{OH} = 2mA、IOVDD は 3.3V で動作	2.4			
$V_{IL(I2C)}$	Low レベル デジタル入力ロジック電圧スレッショルド	SDA および SCL	-0.5		0.3 × IOVDD	V

Copyright © 2025 Texas Instruments Incorporated

5.6 電気的特性 (続き)

T_A = 25°C、AVDD = 3.3V、IOVDD = 3.3V、HVDD = 11V、f_{IN} = 1kHz 正弦波信号、f_S = 48kHz、32 ビット オーディオ データ、BCLK = 256 × f_S、TDM ターゲット モード、PLL オン、チャネル ゲイン = 0dB、リニア位相デシメーション / 補間フィルタ、VCM = 1.414V の AC 結合差動入力、1200 Ω/600 Ω ライン出力負荷 (差動/シングルエンド構成)、または 32Ω/16Ω レシーバ / ヘッドフォン負荷 (該当する場合)、その他のデフォルト構成、フィルターフリーで測定。Audio Precision を使用し、20Hz～A20kHz の非特性補正帯域幅で測定 (特に記載がない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
$V_{IH(I2C)}$	High レベル デジタル入力ロジック電圧スレッショルド	SDA および SCL	0.7 × IOVDD		IOVDD + 0.5	V
$V_{OL1(I2C)}$	Low レベル デジタル出力電圧	SDA、$I_{OL(I2C)}$ =–3mA、IOVDD は 3.3V で動作			0.4	V
$V_{OL2(I2C)}$	Low レベル デジタル出力電圧	SDA、$I_{OL(I2C)}$ = –2mA、IOVDD は 1.8V または 1.2V で動作			0.2 × IOVDD	V
$I_{OL(I2C)}$	Low レベル デジタル出力電流	SDA、$V_{OL(I2C)}$ = 0.4V、スタンダード モードまたはファスト モード	3			mA
		SDA、$V_{OL(I2C)}$ = 0.4V、ファースト モード プラス	20			
I_{IL}	デジタル入力への入力ロジック Low リーケージ	すべてのデジタル ピン、入力 = 0V	-5	0.1	5	µA
I_{IH}	デジタル入力への入力ロジック High リーケージ	すべてのデジタル ピン、入力 = IOVDD	-5	0.1	5	µA
C_{IN}	デジタル入力の入力容量	すべてのデジタル ピン		5		pF
R_{PD}	デジタル I/O ピンがアサートされている場合のプルダウン抵抗			20		kΩ
標準電源電流消費						
I_{AVDD}	スリープ モードでの消費電流(ソフトウェア シャットダウン モード)	すべてのデバイス外部クロックが停止		9		µA
I_{HVDD}				0.01		
I_{IOVDD}				1		
I_{AVDD}	MICBIAS オン、MICBIAS 電圧 10 V、負荷 30 mA、ADC オフ時の消費電流	f_S = 48kHz、BCLK = 256 × f_S		1.6		mA
I_{HVDD}				1.1		
I_{IOVDD}				0.02		
I_{AVDD}	ADC 1 チャネル動作、MICBIAS オフ、PLL オン時の電流消費	f_S = 16kHz、BCLK = 512 × f_S		6.3		mA
I_{IOVDD}				0.1		
I_{AVDD}	ADC 1 チャネル動作、MICBIAS オフ、PLL オフ時の電流消費	f_S = 48kHz、BCLK = 512 × f_S		5.7		mA
I_{HVDD}				1.1		
I_{IOVDD}				0.3		
I_{AVDD}	DAC - HP 1 チャネル動作、MICBIAS オフ、PLL オン時の電流消費	f_S = 16kHz、BCLK = 512 × f_S		12.1		mA
I_{IOVDD}				0.02		
I_{AVDD}	DAC - HP 1 チャネル動作、MICBIAS オフ、PLL オフ時の電流消費	f_S = 48kHz、BCLK = 512 × f_S		9.5		mA
I_{IOVDD}				0.04		
I_{AVDD}	MICBIAS オフ、PLL オフの ADC 1 チャネル動作および DAC - HP 1 チャネル動作での電流消費	f_S = 48kHz、BCLK = 512 × f_S		24.5		mA
I_{HVDD}				1.1		
I_{IOVDD}				0.3		

5.6 電気的特性 (続き)

T_A = 25°C、AVDD = 3.3V、IOVDD = 3.3V、HVDD = 11V、f_{IN} = 1kHz 正弦波信号、f_S = 48kHz、32 ビット オーディオ データ、BCLK = 256 × f_S、TDM ターゲット モード、PLL オン、チャネル ゲイン = 0dB、リニア位相デシメーション / 補間フィルタ、VCM = 1.414V の AC 結合差動入力、1200 Ω/600 Ω ライン出力負荷 (差動/シングルエンド構成)、または 32Ω/16Ω レシーバ / ヘッドフォン負荷 (該当する場合)、その他のデフォルト構成、フィルターフリーで測定。Audio Precision を使用し、20Hz～A20kHz の非特性補正帯域幅で測定 (特に記載がない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
I_{AVDD}	パワー チューン モード (4):DAC - LO SE 1 チャネル動作、MICBIAS オフ、PLL オフ時の電流消費	f_S = 48kHz、BCLK = 512 × f_S		7.2		mA
I_{IOVDD}				0.04		
I_{AVDD}	パワー チューン モード (4):ADC の 1 チャネル動作、MICBIAS オフ、PLL オフ時の消費電流	f_S = 48kHz、BCLK = 128 × f_S		3.6		mA
I_{IOVDD}				0.2		

(1) 1kHz のフルスケール正弦波入力時の出力レベルと、AC 信号入力がグラウンドにショートされている場合の出力レベルの比率、オーディオ アナライザを使用し、20Hz から 20kHz の帯域幅で A 特性補正を測定しました。
(2) すべての性能測定は、20kHz のローパス フィルタを使用して行い、必要に応じて A 特性補正も使用しています。そのようなフィルタを使用しない場合、電気的特性に示されている値よりも THD+N が高く、SNR およびダイナミック レンジの読み値が低くなる可能性があります。ローパス フィルタは帯域外のノイズを除去します。これらのノイズは聴覚には影響しませんが、ダイナミック仕様値に影響を与える可能性があります。
(3) 広帯域モードの場合は、ADC_CHx_BW_MODE = 1'b1
(4) PWR_TUNE_CFG0 = 0xD4、PWR_TUNE_CFG1 = 0x96、PLL_DIS = 1'b1、パワー チューン モード用

Copyright © 2025 Texas Instruments Incorporated

5.7 タイミング要件：I²C インターフェイス

T_A = 25°C の場合、IOVDD は 3.3V、1.8V、または 1.2V です（特に記載がない限り）。タイミング図については図 5-1 を参照してください。IOVDD が 1.8V および 1.2V の動作の場合、IOVDD_IO_MODE ビットを正しく設定します。

		最小値	公称値	最大値	単位
スタンダード モード					
f_{SCL}	SCL クロック周波数	0		100	kHz
$t_{HD;STA}$	(反復) 開始条件のホールド時間。この時間が経過すると、最初のクロック パルスが生成されます。	4			µs
t_{LOW}	SCL クロックの Low 期間	4.7			µs
t_{HIGH}	SCL クロックの High 期間	4			µs
$t_{SU;STA}$	反復開始条件のセットアップ時間	4.7			µs
$t_{HD;DAT}$	データ ホールド時間	0		3.45	µs
$t_{SU;DAT}$	データ セットアップ時間	250			ns
t_r	SDA と SCL の立ち上がり時間			1000	ns
t_f	SDA と SCL の立ち下がり時間			300	ns
$t_{SU;STO}$	停止条件のセットアップ時間	4			µs
t_{BUF}	STOP 条件と START 条件の間のバス フリー時間	4.7			µs
ファスト モード					
f_{SCL}	SCL クロック周波数	0		400	kHz
$t_{HD;STA}$	(反復) 開始条件のホールド時間。この時間が経過すると、最初のクロック パルスが生成されます。	0.6			µs
t_{LOW}	SCL クロックの Low 期間	1.3			µs
t_{HIGH}	SCL クロックの High 期間	0.6			µs
$t_{SU;STA}$	反復開始条件のセットアップ時間	0.6			µs
$t_{HD;DAT}$	データ ホールド時間	0		0.9	µs
$t_{SU;DAT}$	データ セットアップ時間	100			ns
t_r	SDA と SCL の立ち上がり時間	20		300	ns
t_f	SDA と SCL の立ち下がり時間	20 × (IOVDD / 5.5V)		300	ns
$t_{SU;STO}$	停止条件のセットアップ時間	0.6			µs
t_{BUF}	STOP 条件と START 条件の間のバス フリー時間	1.3			µs
ファスト モード プラス					
f_{SCL}	SCL クロック周波数	0		1000	kHz
$t_{HD;STA}$	(反復) 開始条件のホールド時間。この時間が経過すると、最初のクロック パルスが生成されます。	0.26			µs
t_{LOW}	SCL クロックの Low 期間	0.5			µs
t_{HIGH}	SCL クロックの High 期間	0.26			µs
$t_{SU;STA}$	反復開始条件のセットアップ時間	0.26			µs
$t_{HD;DAT}$	データ ホールド時間	0			µs
$t_{SU;DAT}$	データ セットアップ時間	50			ns
t_r	SDA と SCL の立ち上がり時間			120	ns
t_f	SDA と SCL の立ち下がり時間	20 × (IOVDD / 5.5V)		120	ns
$t_{SU;STO}$	停止条件のセットアップ時間	0.26			µs
t_{BUF}	STOP 条件と START 条件の間のバス フリー時間	0.5			µs

5.8 スイッチング特性：I²C インターフェイス

T_A = 25°C の場合、IOVDD は 3.3V、1.8V、または 1.2V です（特に記載がない限り）。タイミング図については図 5-1 を参照してください。IOVDD が 1.8V および 1.2V の動作の場合、IOVDD_IO_MODE ビットを正しく設定します。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{d(SDA)}$	SCL から SDA への遅延	スタンダード モード	200		1250	ns
		ファースト モード	200		850	ns
		ファスト モード プラス			400	ns

5.9 タイミング要件：TDM、I²S または LJ インターフェイス

T_A = 25°C、IOVDD = 3.3V または 1.8V または 1.2V、すべての出力に 20pF の負荷がかかっている場合（特に記載がない限り）、タイミング図については図 5-2 を参照してください。IOVDD が 1.8V および 1.2V の動作の場合、IOVDD_IO_MODE ビットを正しく設定します。

			最小値	公称値	最大値	単位
$t_{(BCLK)}$	BCLK 周期		40			ns
$t_{H(BCLK)}$	BCLK high パルス持続時間 (1)		18			ns
$t_{L(BCLK)}$	BCLK low パルス持続時間 (1)		18			ns
$t_{SU(FSYNC)}$	FSYNC のセットアップ時間		8			ns
$t_{HLD(FSYNC)}$	FSYNC のホールド時間		8			ns
$t_{r(BCLK)}$	BCLK の立ち上がり時間	10%～90% の立ち上がり時間			10	ns
$t_{f(BCLK)}$	BCLK の立ち下がり時間	90%～10% の立ち下がり時間			10	ns

(1) タイミング仕様を満たすためには、DOUT データ ラインがデバイスによって DOUT データを送信するために使用される BCLK エッジとは逆の BCLK エッジ極性でラッチされる場合、BCLK の最小高 / 低パルス幅は 25ns 以上である必要があります。

5.10 スイッチング特性：TDM、I²S または LJ インターフェイス

T_A = 25°C、IOVDD = 3.3V または 1.8V または 1.2V、すべての出力に 20pF の負荷がかかっている場合（特に記載がない限り）、タイミング図については図 5-2 を参照してください。IOVDD が 1.8V および 1.2V の動作の場合、IOVDD_IO_MODE ビットを正しく設定します。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{d(DOUT-BCLK)}$	BCLK から DOUT への遅延	BCLK の 50% から DOUT の 50% まで、IOVDD = 1.8V または 1.2V			18	ns
		BCLK の 50% から DOUT の 50% まで、IOVDD = 3.3V			14	
$t_{d(DOUT-FSYNC)}$	TDM または LJ モードにおける FSYNC から DOUT までの遅延（TX_OFFSET = 0 の場合、MSB データ用）	FSYNC の 50% から DOUT の 50% まで、IOVDD = 1.8V または 1.2V			18	ns
		FSYNC の 50% から DOUT の 50% まで、IOVDD = 3.3V			14	
$f_{(BCLK)}$	BCLK 出力クロック周波数、コントローラ モード (1)				24.576	MHz
$t_{H(BCLK)}$	BCLK のハイ パルスの持続時間、コントローラ モード	IOVDD = 1.8V または 1.2V	14			ns
		IOVDD = 3.3V	14			
$t_{L(BCLK)}$	BCLK Low パルス幅、コントローラ モード	IOVDD = 1.8V または 1.2V	14			ns
		IOVDD = 3.3V	14			
$t_{d(FSYNC)}$	BCLK から FSYNC までの遅延、コントローラ モード	BCLK の 50% から FSYNC の 50% まで、IOVDD = 1.8V または 1.2V			18	ns
		BCLK の 50% から FSYNC の 50%、IOVDD = 3.3V			14	

Copyright © 2025 Texas Instruments Incorporated

5.10 スイッチング特性：TDM、I²S または LJ インターフェイス (続き)

T_A = 25°C、IOVDD = 3.3V または 1.8V または 1.2V、すべての出力に 20pF の負荷がかかっている場合（特に記載がない限り）、タイミング図については図 5-2 を参照してください。IOVDD が 1.8V および 1.2V の動作の場合、IOVDD_IO_MODE ビットを正しく設定します。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{r(BCLK)}$	BCLK 立ち上がり時間、コントローラモード	10% ～ 90% の立ち上がり時間、IOVDD = 1.8V または 1.2V			10	ns
		10%~90% の立ち上がり時間、IOVDD = 3.3V			10	
$t_{f(BCLK)}$	BCLK 立ち下がり時間、コントローラモード	90% ～ 10% 立ち下がり時間、IOVDD = 1.8V または 1.2V			8	ns
		90%~10% 立ち下がり時間、IOVDD = 3.3V			8	

(1) タイミング仕様を満たすためには、DOUT データ ラインがデバイスが DOUT データを送信するために使用する BCLK エッジの極性とは反対の BCLK エッジでラッチされる場合、BCLK 出力クロック周波数は 18.5MHz 未満である必要があります。

5.11 タイミング図

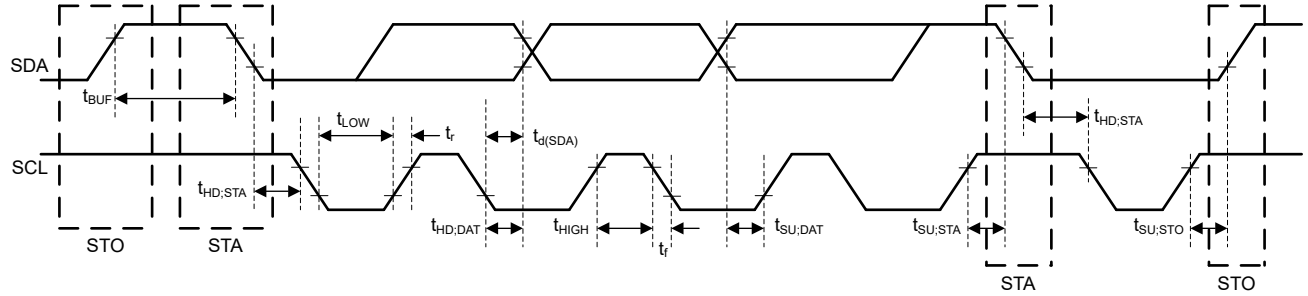


図 5-1. I²C インターフェイス プロトコル図

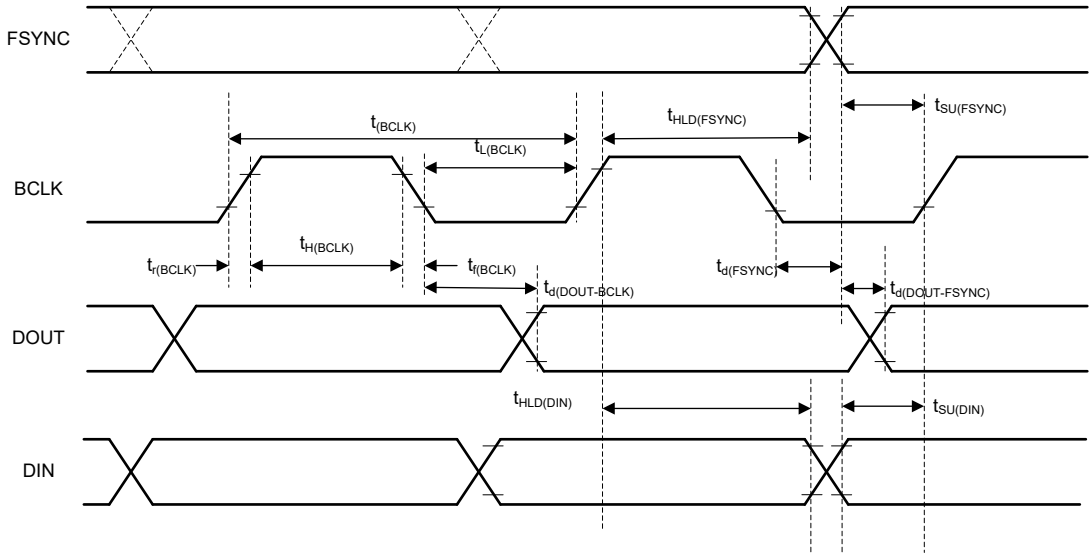
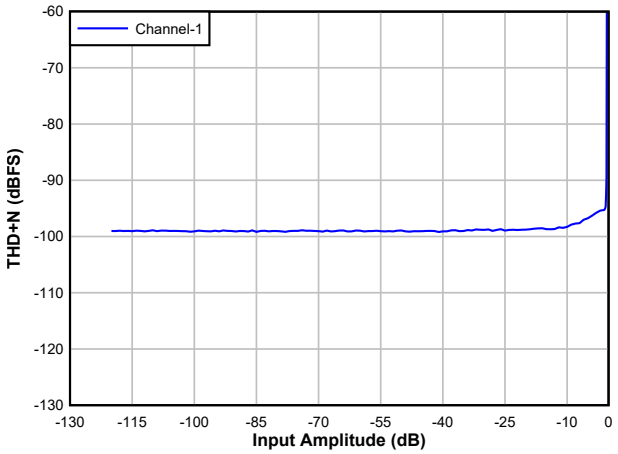


図 5-2. TDM（BCLK_POL = 1）、I²S、LJ インターフェイスのタイミング図

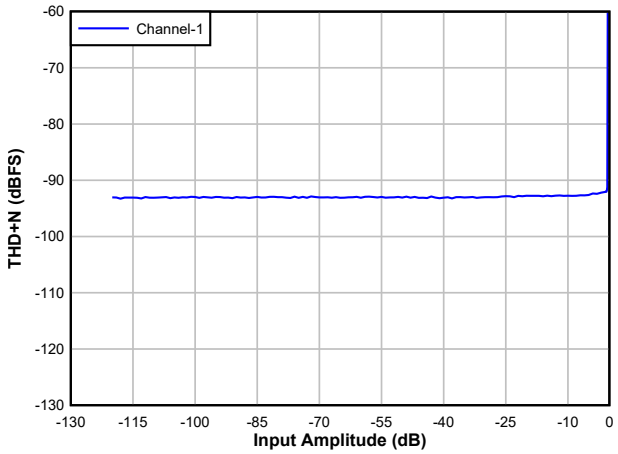
5.12 代表的特性

T_A = 25℃、AVDD = 3.3V、IOVDD = 3.3V、HVDD = 11V、f_{IN} = 1kHz 正弦波信号、f_S = 48kHz、32 ビット オーディオ データ、BCLK = 256 × f_S、TDM ターゲット モード、PLL オン、チャネル ゲイン = 0dB、リニア位相デシメーション / 補間フィルタ、AC 結合差動入力、V_{CM} = 1.414V、1200Ω/600Ω ライン出力負荷 (差動 / シングルエンド構成)、または 32Ω レシーバ差動負荷 (該当する場合)、その他のデフォルト構成、フィルタなしでオーディオ精度 20Hz ～ 20kHz の非加重帯域幅で測定 (特に記載がない限り)



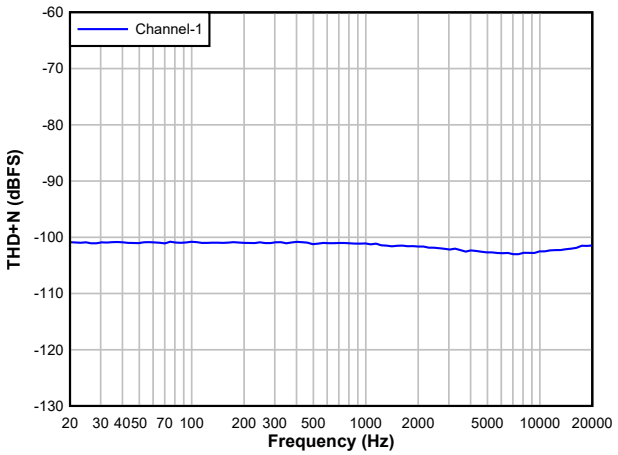
AC 結合差動ライン入力

図 5-3. ADC の THD +N レベルと入力との関係



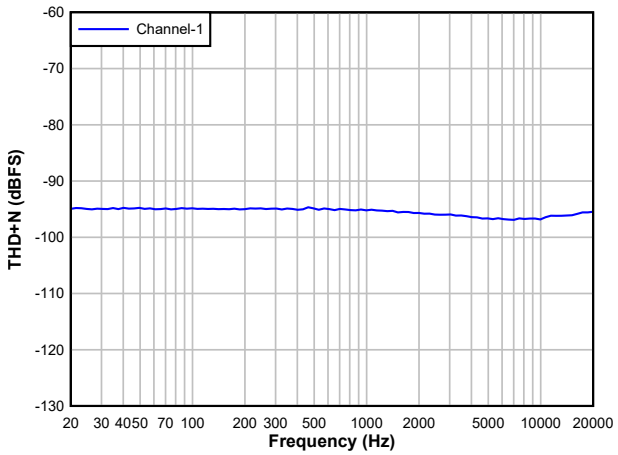
AC 結合のシングルエンド ライン入力

図 5-4. ADC の THD +N レベルと入力との関係



AC 結合差動ライン入力 (-60dBFS)

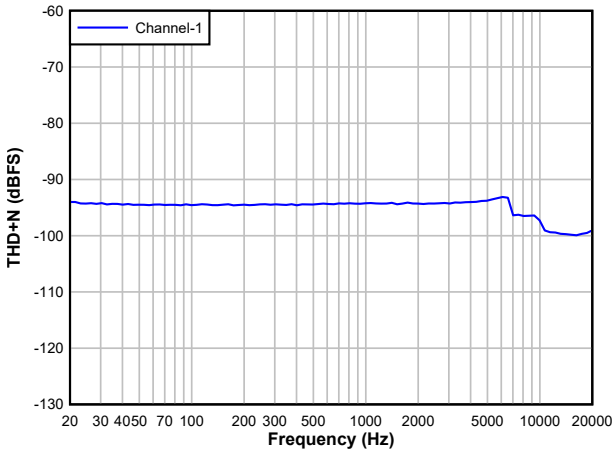
図 5-5. ADC A 重み付け DR と周波数との関係



AC 結合のシングル エンド ライン入力 (-60dBFS)

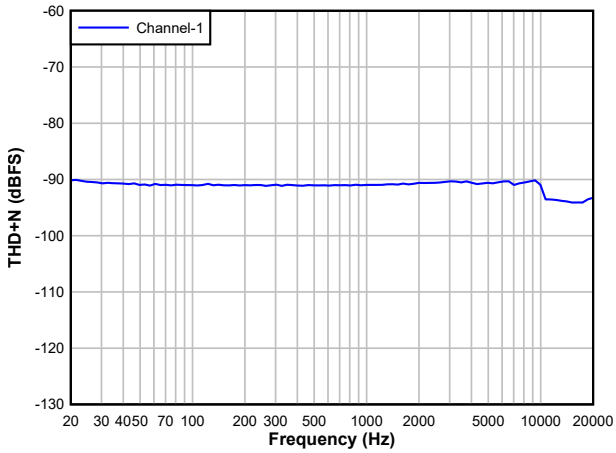
図 5-6. ADC A 重み付け DR と周波数との関係

Copyright © 2025 Texas Instruments Incorporated



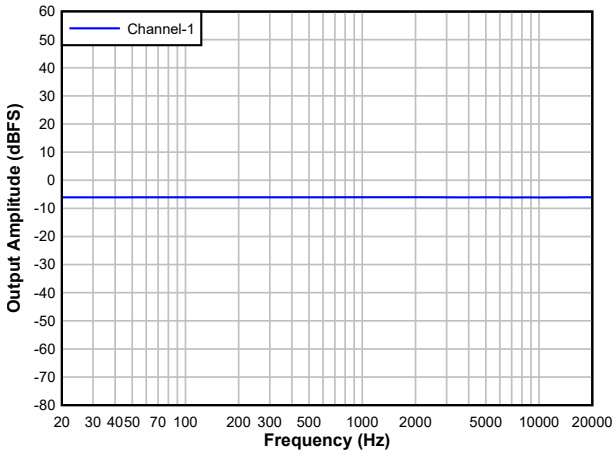
AC 結合差動ライン入力 (-1dBFS)

図 5-7. ADC THD+N と周波数との関係



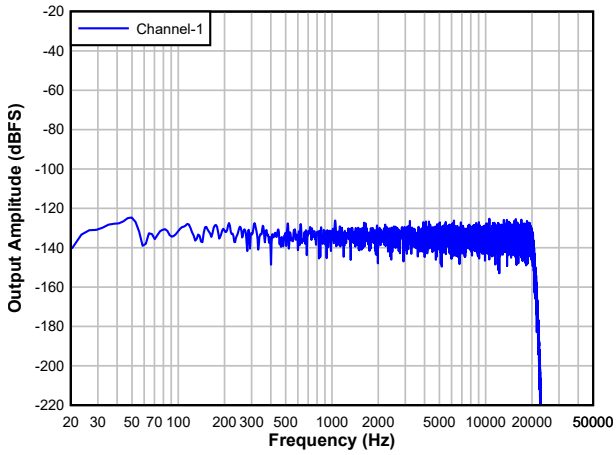
AC 結合のシングル エンド ライン入力 (-1dBFS)

図 5-8. ADC THD+N と周波数との関係



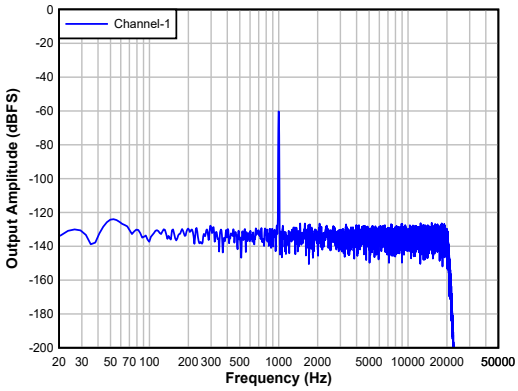
AC 結合差動ライン入力 (-6dBFS)

図 5-9. ADC の周波数応答



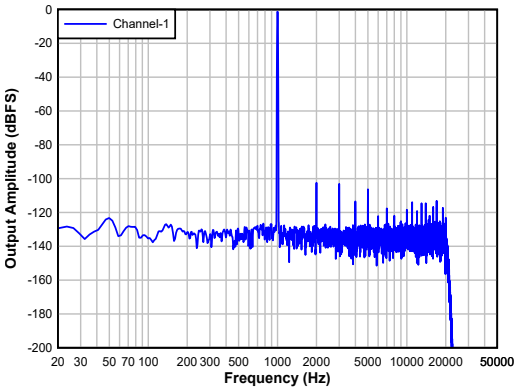
AC 結合差動ライン入力

図 5-10. アイドル チャネル入力による ADC FFT



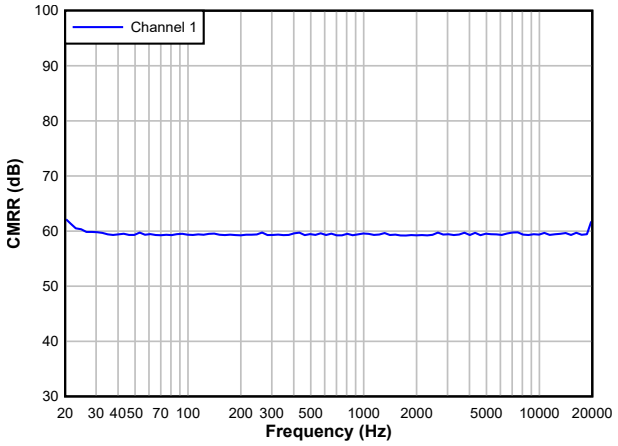
AC 結合差動ライン入力

図 5-11. -60dBFS 入力の ADC FFT



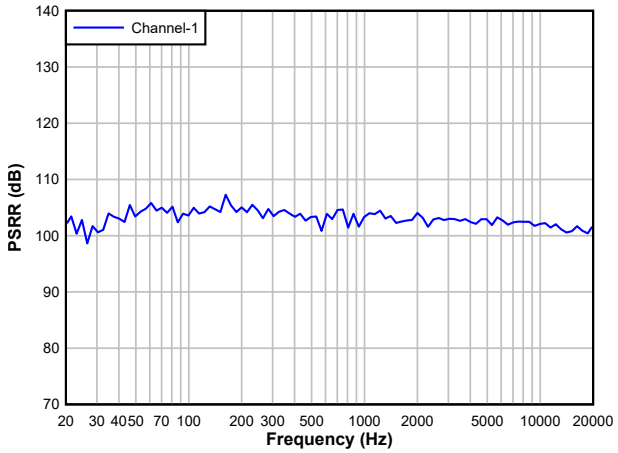
AC 結合差動ライン入力

図 5-12. -1dBFS 入力の ADC FFT



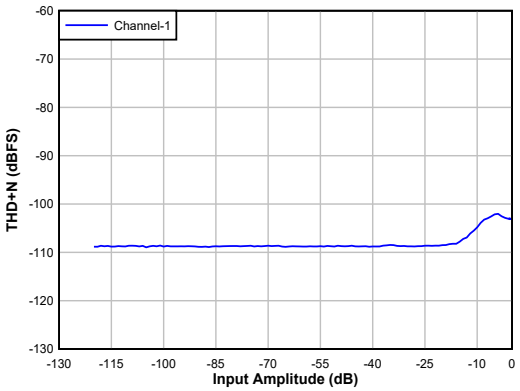
DC 結合差動ライン入力

図 5-13. ADC CMRR と周波数との関係



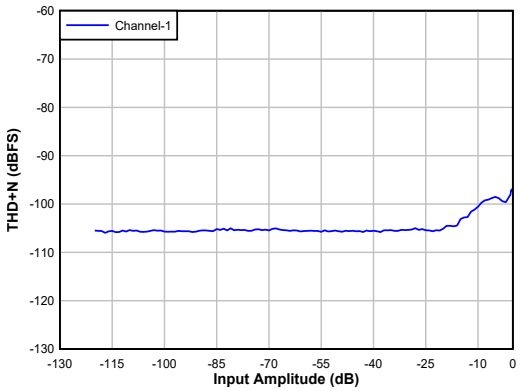
AC 結合差動ライン入力

図 5-14. ADC PSRR と周波数との関係



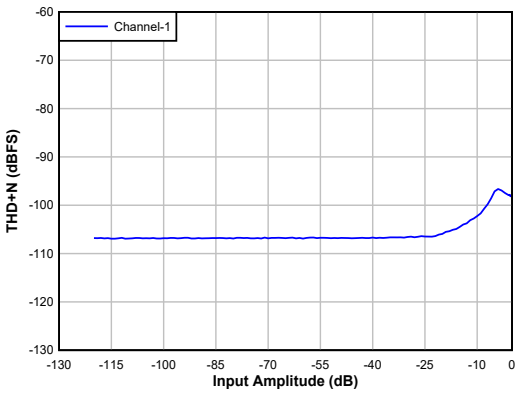
差動出力

図 5-15. DAC の THD +N レベルと入力との関係



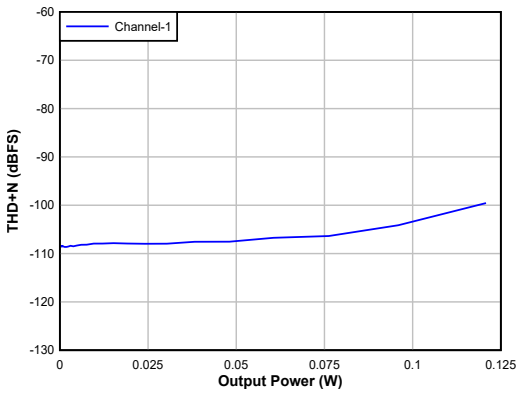
シングルエンド出力

図 5-16. DAC の THD +N レベルと入力との関係



疑似差動出力

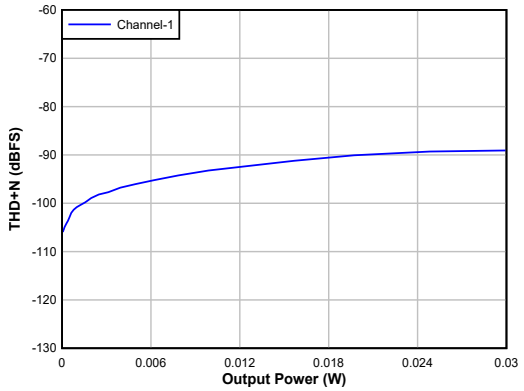
図 5-17. DAC の THD +N レベルと入力との関係



差動レシーバ出力、32Ω 負荷

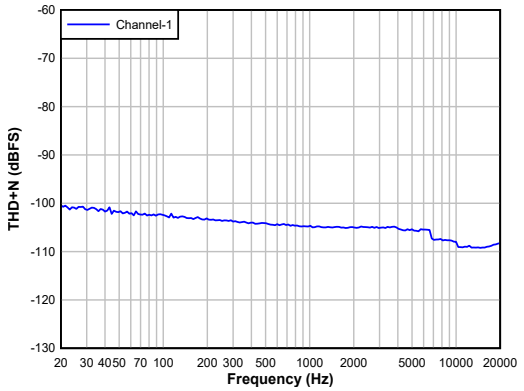
図 5-18. DAC THD+N レベルと出力電力との関係

Copyright © 2025 Texas Instruments Incorporated



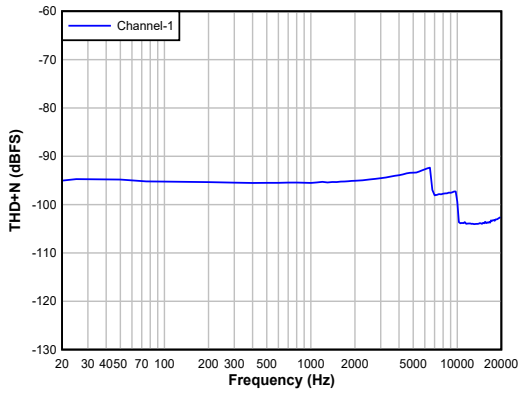
疑似差動出力、32Ω ヘッドフォン負荷

図 5-19. DAC THD+N レベルと出力パワー



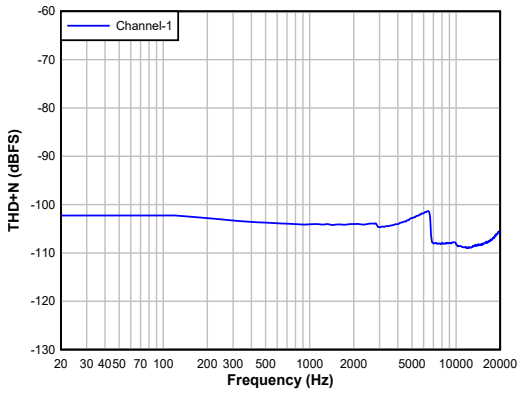
差動出力（-1dBFS 入力）

図 5-20. DAC の THD+N 比と周波数との関係



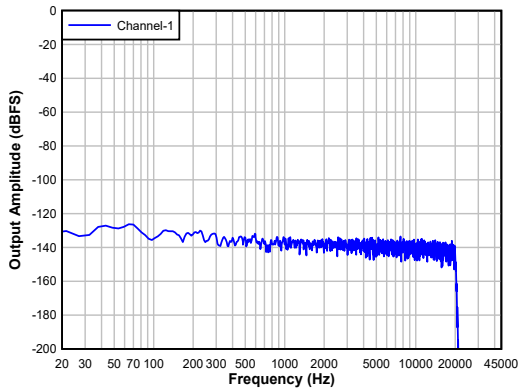
シングルエンド出力（-1dBFS 入力）

図 5-21. DAC の THD+N 比と周波数との関係



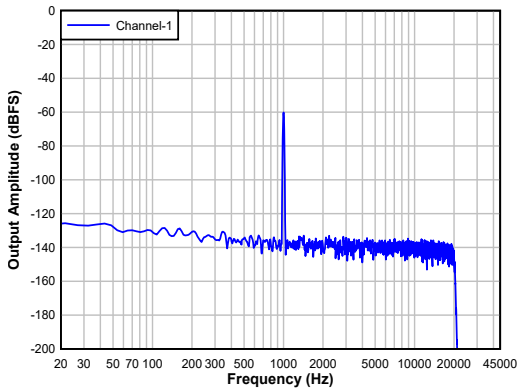
差動レシーバ出力、32Ω 負荷（-1dBFS 入力）

図 5-22. DAC の THD+N 比と周波数との関係



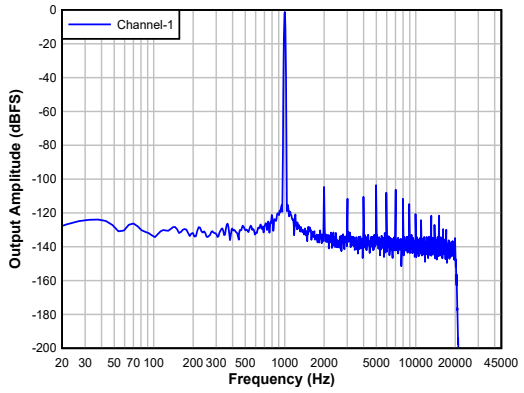
差動出力

図 5-23. アイドル チャネル入力による DAC FFT



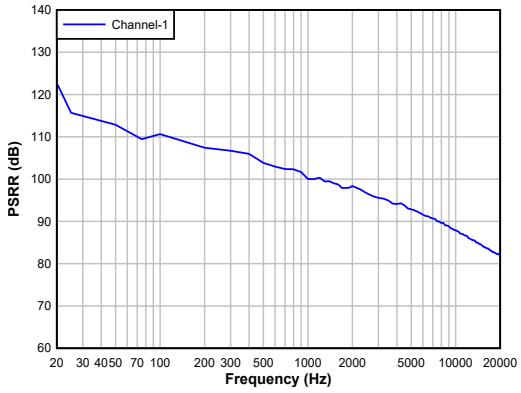
差動出力

図 5-24. -60dBFS 入力の DAC FFT



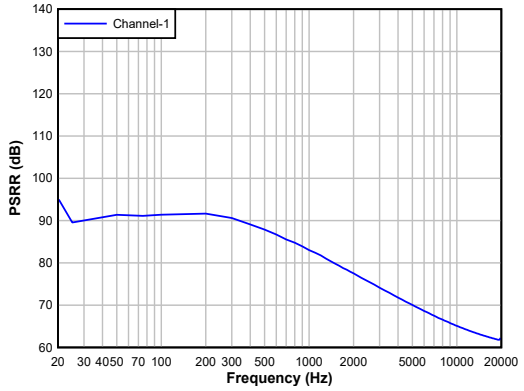
差動出力

図 5-25. -1dBFS 入力の DAC FFT



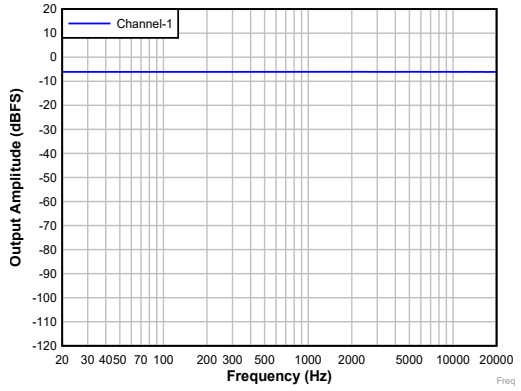
差動出力

図 5-26. DAC PSRR と周波数との関係



シングルエンド出力

図 5-27. DAC PSRR と周波数との関係



差動出力、-6dBFS 入力、ハイパス フィルタ（HPF）無効

図 5-28. DAC の周波数応答

Copyright © 2025 Texas Instruments Incorporated

6 詳細説明

6.1 概要

TAC5301-Q1 は車載対応、低消費電力、柔軟なモノラル オーディオ A/D コンバータ (ADC) と、オーディオ D/A コンバータ (DAC) で構成され、豊富な機能が統合されています。このデバイスは、テレマティクス制御ユニット、ハンズフリー車内通信、緊急通話、マルチメディア アプリケーションなどの車載アプリケーションを想定しています。このデバイスは、スペースに制約のある自動車用サブシステムの設計において、コスト、基板スペース、消費電力を削減する多数の機能を統合しています。拡張ファミリ全体で、パッケージ、性能、デバイス互換性のある構成レジスタを備えることにより、このデバイスはスケーラブルなシステム設計に最適です。

TAC5301-Q1 は以下に示すブロックで構成されています。

- モノラル、マルチビット、低消費電力デルタ シグマ (ΔΣ) ADC
- 構成可能なシングルエンド入力または差動入力
- 高電圧、低ノイズの外部 HVDD 電源を使用したプログラム可能なマイク バイアス出力
- ステレオ、マルチビット、高性能デルタ シグマ (ΔΣ) DAC
- シングルエンド、差動、または擬似差動の各オーディオ出力が構成可能
- 入力と出力のミックス、およびマルチプレクサのオプション
- MICBIAS 向けの過電流保護
- ADC チャネル用の自動ゲイン制御 (AGC) と DAC チャネル用のダイナミック レンジ コントローラ (DRC)
- 高度なサーマル フォールドバックと保護機能
- 高度なバッテリ ガードと歪みリミッタ
- リニア位相、低レイテンシ、超低レイテンシの応答オプションを備えた、プログラム可能なデシメーションおよび補間フィルタ
- 各 ADC および DAC チャネルにプログラム可能なチャネル ゲイン、ボリューム制御、バイカッド フィルタ
- 各 ADC チャンネルごとに、高分解能で位相とゲインの較正をプログラム可能
- プログラム可能なハイパス フィルタ (HPF) とデジタル チャネル ミキサーによる ADC およびチャネル
- 多様なシステム クロックをサポートする、低ジッタのフェーズ ロック ループ（PLL）を内蔵
- 単一電源動作をサポートするデジタルおよびアナログ電圧レギュレータを内蔵

制御レジスタを構成するための TAC5301-Q1 との通信は、I^2C インターフェイスを使用してサポートされています。このデバイスは、柔軟性の高いオーディオ・シリアル・インターフェイス[時分割多重化（TDM）、I^2S、左揃え（LJ）]をサポートしており、システムでデバイスの間でオーディオ データをシームレスに送信できます。

TAC5301-Q1 は、複数のデバイス間で共通の TDM バスを共有することで、複数のデバイスをサポートできます。さらに、このデバイスにはデイジーチェーン機能も搭載されています。これらの機能により、高いオーディオ データ帯域幅を必要とするアプリケーションで複数のデバイスを動作させる場合、共有 TDM バスのタイミング要件と基板設計の複雑さが緩和されます。

表 6-1 に、このドキュメント全体を通して、デバイスを制御するレジスタに使用される参照用略語を示します。

表 6-1. レジスタ参照の略語

リファレンス	略語	説明	例
ページ y、登録 z、ビット k	Py_Rz_D[k]	シングル データ ビット。レジスタの 1 ビットの値。	ページ 1、レジスタ 36、ビット 0 = P1_R36_D[0]
ページ y、レジスタ z、ビット k-m	Py_Rz_D[k:m]	データ ビットの範囲。データ ビットの範囲（含む）。	ページ 1、レジスタ 36、ビット 3-0 = P1_R36_D[3:0]
ページ y、登録 z	Py_Rz	レジスタ全体に 1 つ。レジスタ内の 8 ビットすべてをユニットとして使用	ページ 1、レジスタ 36 = P1_R36
ページ y、レジスタ z-n	Py_Rz-Rn	レジスタの範囲。同じページ内のレジスタの範囲。	ページ 1、レジスタ 36、37、38 = P1_R36~R38

6.2 機能ブロック図

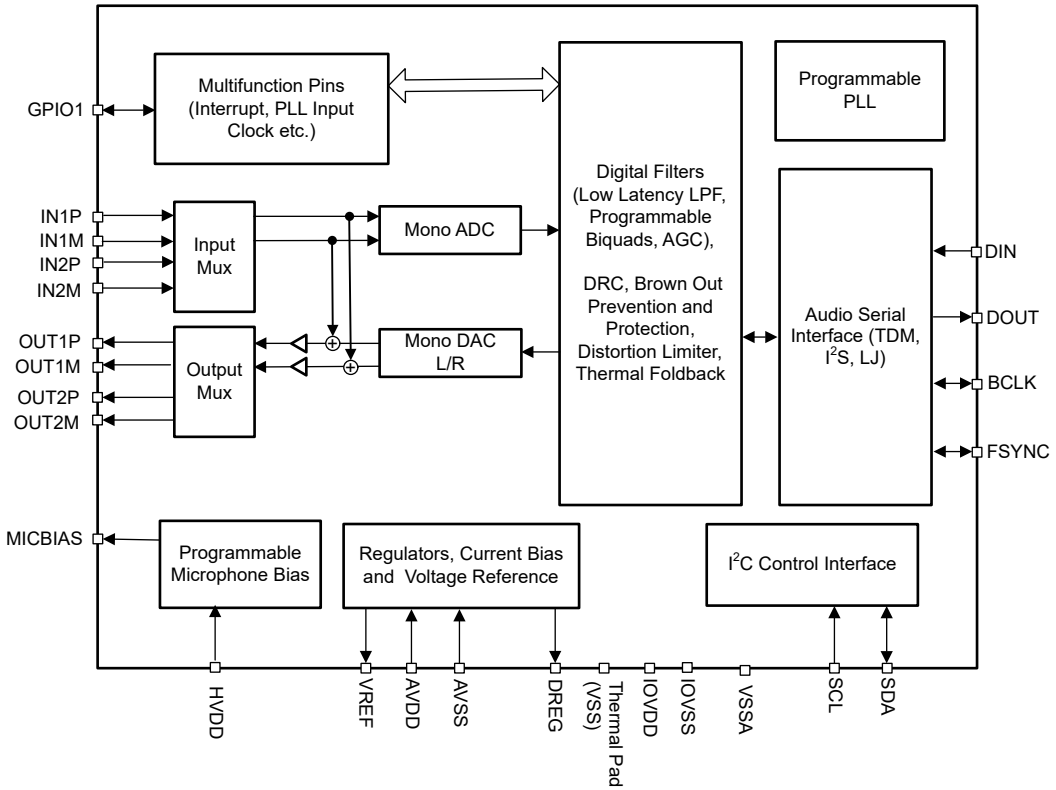


図 6-1. 機能ブロック図

6.3 機能説明

6.3.1 シリアル インターフェイス

このデバイスには、制御とオーディオ データの 2 つのシリアル インターフェイスがあります。制御シリアル インターフェイスは、デバイスの構成に使用されます。オーディオ データ シリアル インターフェイスは、オーディオ データをホスト デバイスに送信するために使用されます。

6.3.1.1 制御シリアル インターフェイス

このデバイスには、特定のシステムや用途に合わせて希望する値に設定できる構成レジスタとプログラマブル係数が含まれています。これらのレジスタには、デバイスへの I²C 通信を使用してすべてアクセスできます。詳細については、セクション 6.5 とセクション 7 を参照してください。

6.3.1.2 オーディオ シリアル インターフェイス

デジタル オーディオ データは、ホスト プロセッサと TAC5301-Q1 との間でデジタル オーディオ シリアル インターフェース (ASI) またはオーディオ バスを通じて流れます。この非常に柔軟な ASI バスには、マルチチャネル動作用の TDM モード、I²S または左揃えプロトコル フォーマットのサポート、プログラマブル データ長オプション、バス クロック ラインのための非常に柔軟なコントローラのターゲット設定、システム内の複数のデバイスと直接通信する能力が含まれています。

Copyright © 2025 Texas Instruments Incorporated

バス プロトコル TDM、I²S、左揃え（LJ）形式は、PASI_FORMAT[1:0]、(P0_R26_D[7:6]) レジスタ ビットを使用して、プライマリ ASI のために選択できます。表 6-2 と表 6-3 に示すように、これらのモードはすべて最上位ビット（MSB）ファーストのパルス符号変調（PCM）データ フォーマットで、出力チャネルのデータ ワード長は、PASI_WLEN[1:0]、P0_R26_D[5:4] レジスタ ビットを構成することで 16、20、24、または 32 ビットに設定可能です。

表 6-2. プライマリ オーディオ シリアル インターフェース フォーマット

P0_R26_D[7:6]：PASI_FORMAT[1:0]	プライマリ オーディオ シリアル インターフェース フォーマット
00 (デフォルト)	時分割多重化（TDM）モード
01	インタ IC サウンド（I²S）モード
10	左揃え (LJ) モード
11	予約済み（この設定は使用しないでください）

表 6-3. プライマリ オーディオ シリアル インターフェース データ ワード 長

P0_R26_D[5:4]：PASI_WLEN[1:0]	プライマリ オーディオ出力チャネル データ ワード長
00	データ ワード長 は 16 ビットに設定
01	データ ワード長 は 20 ビットに設定
10	データ ワード長 は 24 ビットに設定
11 (デフォルト)	データ ワード長 は 32 ビットに設定

フレーム同期ピン（FSYNC ）は、このオーディオ バス プロトコルでフレームの開始を定義するために使用され、出力データ サンプル レートと同じ周波数を持っています。ビット クロック ピン（BCLK） は、デジタル オーディオ データをシリアル バス 経由で クロック アウトするために使用されます。フレーム内のビット クロック サイクル数は、プログラムされたデータ ワード長を持つ複数の デバイス アクティブ出力チャネルに対応する必要があります。

フレームは、複数の時分割チャネルスロット (最大 32 個)で構成され、同じオーディオ バスを共有するデバイスまたは複数のデバイスによって、すべての入力/出力チャネルのオーディオ データ伝送がオーディオ バス上で完了するようになっています。このデバイスは、最大 8 つの入力チャネルと 8 つの出力チャネルをサポートしており、プライマリ ASI バス上でオーディオ データをスロット 0 からスロット 31 まで配置するように設定できます。表 6-4 に、出力チャネル 1 スロットの設定値を示します。I²S および LJ モードでは、セクション 6.3.1.2.2 および セクション 6.3.1.2.3 のセクションに記載されているように、スロットは左チャネル スロットと右チャネル スロットの 2 つのセットに分割されます。

表 6-4. 出力チャネル 1 スロット割り当て設定

P0_R30_D[4:0]：PASI_TX_CH1_SLOT[4:0]	出力チャネル 1 のスロット割り当て
0 0000 = 0d (デフォルト)	スロット 0 は TDM 用、または I²S、LJ 用の左 チャネル スロット 0。
0 0001 = 1d	TDM の場合はスロット 1、LJ の場合は左スロット 1。
…	…
0 1111 = 15d	TDM の場合はスロット 15、LJ の場合は左スロット 15。
1 0000 = 16d	TDM の場合はスロット 16、I²S、LJ の場合は右スロット 0。
…	…
1 1110 = 30d	TDM の場合はスロット 30、LJ の場合は右スロット 14。
1 1111 = 31d	TDM の場合はスロット 31、LJ の場合は右スロット 15。

同様に、出力チャネル 2 からチャネル 8 のスロット割り当て設定は、PASI_TX_CH2_SLOT (P0_R31) から PASI_TX_CH8_SLOT (P0_R37) レジスタを使用して行うことができ、入力チャネル 1 からチャネル 8 の設定は、PASI_RX_CH1_SLOT (P0_R40) から PAS_RX_CH8_SLOT (P0_R47) レジスタを使用して行うことができます。

スロット ワード長は、デバイスに設定されたプライマリ ASI チャネル ワード長と同じです。出力チャネル データ ワード長は、システム内ですべてのデバイスが同じ ASI バスを共有する場合、すべての TAC5301-Q1 デバイスで同じ値に設定する必要があります。システム内の ASI バスで使用可能な最大スロット数は、利用可能なバス帯域幅によって制限されま

す。この帯域幅は、BCLK 周波数、使用される出力データ サンプル レート、および設定されたチャネル データ ワード長に依存します。

Copyright © 2025 Texas Instruments Incorporated

このデバイスには、スロット データ転送の開始位置をフレーム同期に対して最大 31 サイクル分、ビット クロックでオフセットする機能も含まれています。オフセットは、入力および出力データ パスに対して個別に構成できます。表 6-5 および表 6-6 は、それぞれ送信パスと受信パスのプログラム可能なオフセット構成設定を示します。

表 6-5. ASI スロット開始の送信に対するプログラム可能なオフセット設定

P0_R28_D[4:0]:PASI_TX_OFFSET[4:0]	スロット データ送信開始のプログラム可能なオフセット設定
0 0000 = 0d (デフォルト)	このデバイスは、オフセットなしで標準プロトコルのタイミングに従います。
0 0001 = 1d	スロット開始は、標準プロトコルのタイミングと比較して、1 回の BCLK サイクル分オフセットされています。 I²S または LJ の場合、左チャネルと右チャネルのスロット開始は、標準プロトコルのタイミングと比較して、1 回の BCLK サイクル分オフセットされています。
.....	.....
1 1110 = 30d	スロット開始は、標準プロトコルのタイミングと比較して、30 回の BCLK サイクル分オフセットされています。 I²S または LJ の場合、左チャネルと右チャネルのスロット開始は、標準プロトコルのタイミングと比較して、30 回の BCLK サイクル分オフセットされています。
1 1111 = 31d	スロット開始は、標準プロトコルのタイミングと比較して、31 回の BCLK サイクル分オフセットされています。 I²S または LJ の場合、左チャネルと右チャネルのスロット開始は、標準プロトコルのタイミングと比較して、31 回の BCLK サイクル分オフセットされています。

表 6-6. 受信のための ASI スロット開始のプログラム可能なオフセット設定

P0_R38_D[4:0]:PASI_RX_OFFSET[4:0]	スロット データ受信開始のオフセット設定をプログラム可能
0 0000 = 0d (デフォルト)	このデバイスは、オフセットなしで標準プロトコルのタイミングに従います。
0 0001 = 1d	スロット開始は、標準プロトコルのタイミングと比較して、1 回の BCLK サイクル分オフセットされています。 I²S または LJ の場合、左チャネルと右チャネルのスロット開始は、標準プロトコルのタイミングと比較して、1 回の BCLK サイクル分オフセットされています。
.....	.....
1 1110 = 30d	スロット開始は、標準プロトコルのタイミングと比較して、30 回の BCLK サイクル分オフセットされています。 I²S または LJ の場合、左チャネルと右チャネルのスロット開始は、標準プロトコルのタイミングと比較して、30 回の BCLK サイクル分オフセットされています。
1 1111 = 31d	スロット開始は、標準プロトコルのタイミングと比較して、31 回の BCLK サイクル分オフセットされています。 I²S または LJ の場合、左チャネルと右チャネルのスロット開始は、標準プロトコルのタイミングと比較して、31 回の BCLK サイクル分オフセットされています。

このデバイスには、オーディオ データを転送するために使用されるフレーム同期ピン（FSYNC）の極性を反転させる機能もあり、これは標準プロトコルのタイミングで使用されるデフォルトの FSYNC 極性と比較されます。この機能は、PASI_FSYNC_POL（P0_R26_D[3]）レジスタ ビットを使用して設定できます。同様に、このデバイスはビット クロック ピン（BCLK）の極性を反転させることができ、これは PASI_BCLK_POL（P0_R26_D[2]）レジスタ ビットを使用して設定できます。

さらに、ワード クロックとビット クロックは、コントローラ モードまたはターゲット モードで独立して構成でき、さまざまなプロセッサへの柔軟な接続が可能です。ワード クロックはフレームの開始を定義するために使用され、パルス信号または正弦波信号としてプログラムできます。このクロックの周波数は、選択した ADC および DAC のサンプリング周波数の最大値に対応します。

6.3.1.2.1 時分割多重オーディオ (TDM) インターフェイス

DSP モードとも呼ばれる TDM モードでは、FSYNC の立ち上がりエッジで、スロット 0 のデータから最初にデータ転送が開始されます。スロット 0 データの転送直後に、残りのスロット データは順番に送信されます。FSYNC と各データ ビット（TX_OFFSET が 0 のときのスロット 0 の MSB を除く）は、BCLK の立ち上がりエッジで送信されます。図 6-2 ～ 図 6-5

は送信 DOUT ラインのさまざまな構成における TDM 動作のプロトコル タイミングを示します。同じプロトコルが受信 DIN ラインにも適用できます。

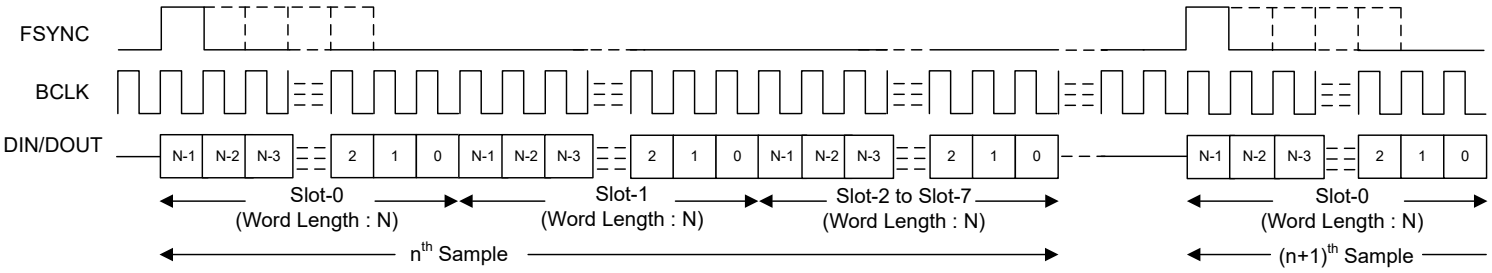


図 6-2. TDM モードの標準プロトコル タイミング（PASI_TX_OFFSET = 0）

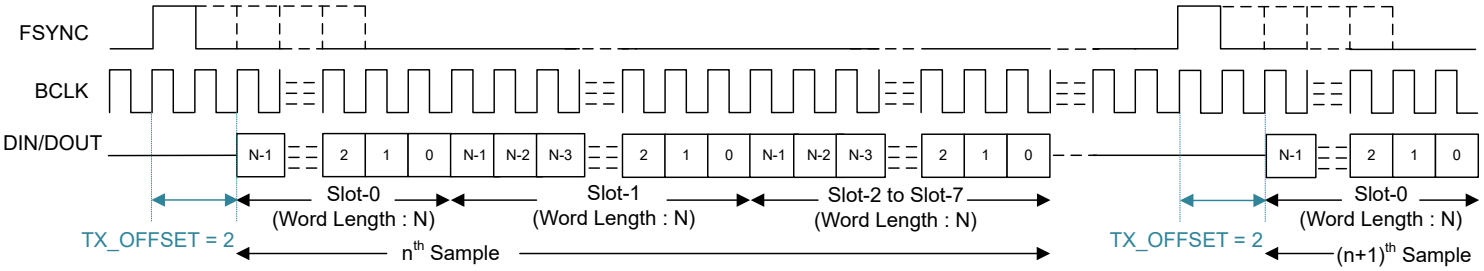


図 6-3. TDM モードのプロトコル タイミング（PASI_TX_OFFSET = 2）

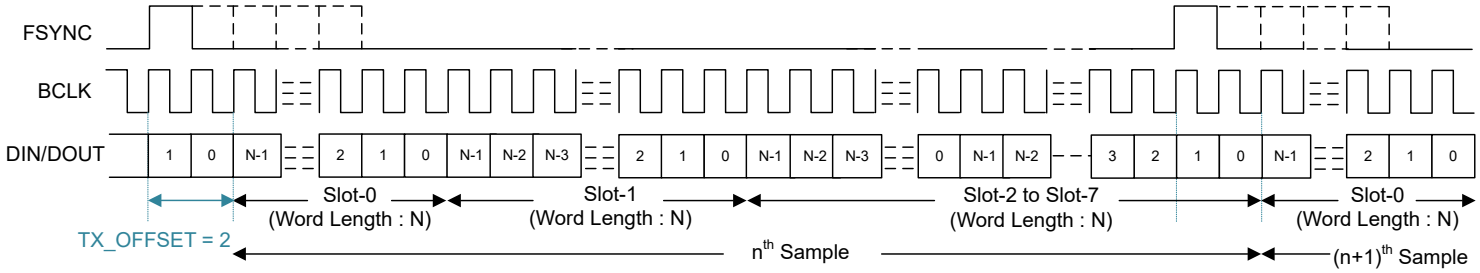


図 6-4. TDM モードのプロトコル タイミング（アイドル BCLK サイクルなし、PASI_TX_OFFSET = 2）

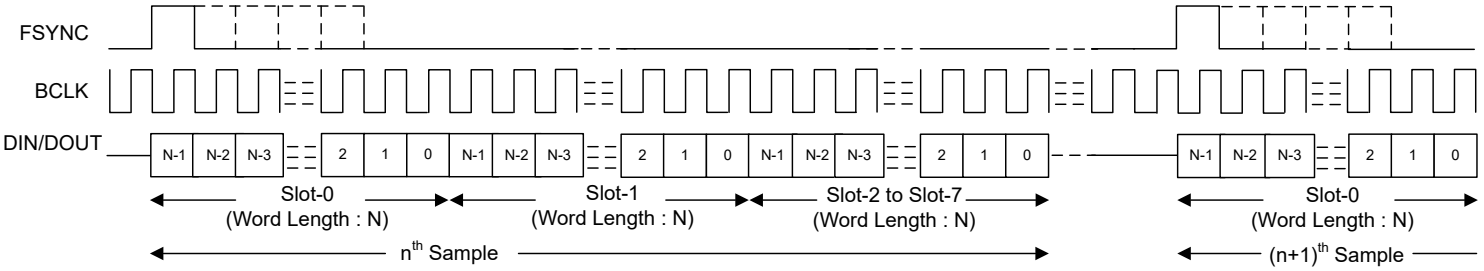


図 6-5. TDM モードのプロトコル タイミング（PASI_TX_OFFSET = 0 および PASI_BCLK_POL = 1）

TDM モードでオーディオ バスを適切に動作させるには、1 フレームあたりのビット クロック数が、アクティブな出力チャネル数と出力チャネルデータのプログラムされたワード長との積以上の値である必要があります。このデバイスは、1 サイクル幅のビット クロックを使用するパルスとして FSYNC をサポートしますが、同様に複数の倍数にも対応しています。BCLK 周波数を高くして動作させるには、PASI_TX_OFFSET 値を 0 より高く設定した TDM モードを使用することを推奨します。

Copyright © 2025 Texas Instruments Incorporated

6.3.1.2.2 I²S (Inter IC Sound) インターフェイス

標準の I²S プロトコルは、左と右の 2 つのチャネルのみに対して定義されています。このデバイスは、同じプロトコルのタイミングをマルチチャネル動作に拡張しています。I²S モードでは、FSYNC の立ち下がりエッジの後の 2 番目のサイクルで、左スロット 0 の MSB が BCLK の立ち下がりエッジで送信されます。左スロット 0 のデータ送信が完了した直後に、残りの左スロットのデータが順番に送信されます。右スロット 0 の MSB は、FSYNC の立ち上がりエッジの後の 2 番目のサイクルで、BCLK の立ち下がりエッジで送信されます。右スロット 0 のデータ送信が完了した直後に、残りの右スロットのデータが順番に送信されます。FSYNC と各データ ビットは、BCLK の立ち下がりエッジで送信されます。図 6-6 ～ 図 6-9 のさまざまな構成における送信 DOUT ラインの I²S 動作に関するプロトコル タイミングを示しています。同じプロトコルが受信 DIN ラインにも適用できます。

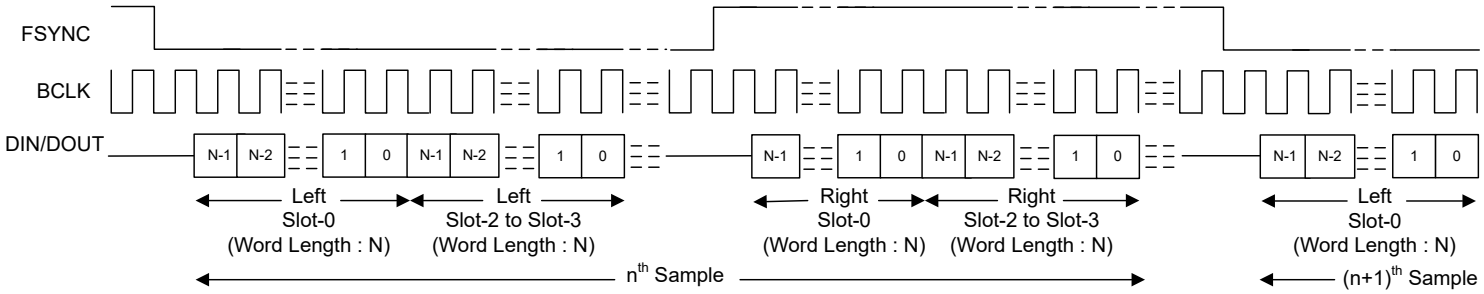


図 6-6. I² S モードの標準プロトコルのタイミング（PASI_TX_OFFSET = 0）

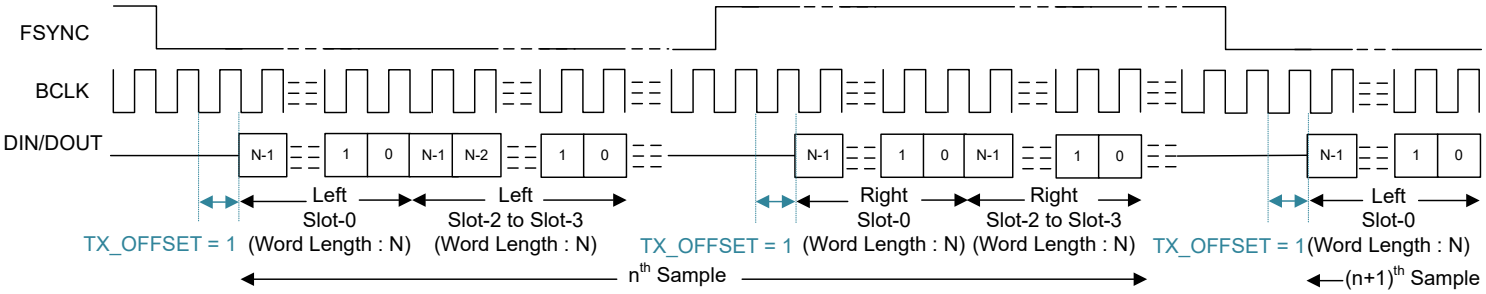


図 6-7. I²S プロトコルのタイミング（PASI_TX_OFFSET = 1）

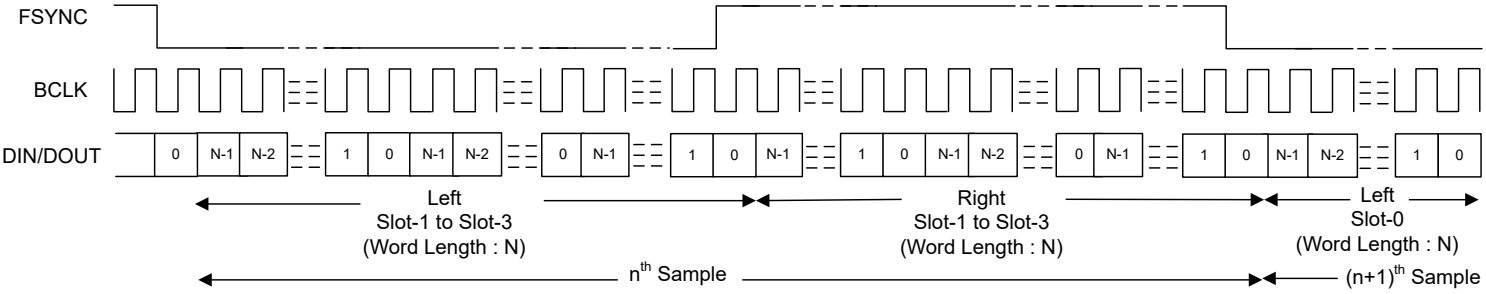


図 6-8. I²S プロトコルのタイミング（アイドル BCLK サイクルなし、PASI_TX_OFFSET = 0）

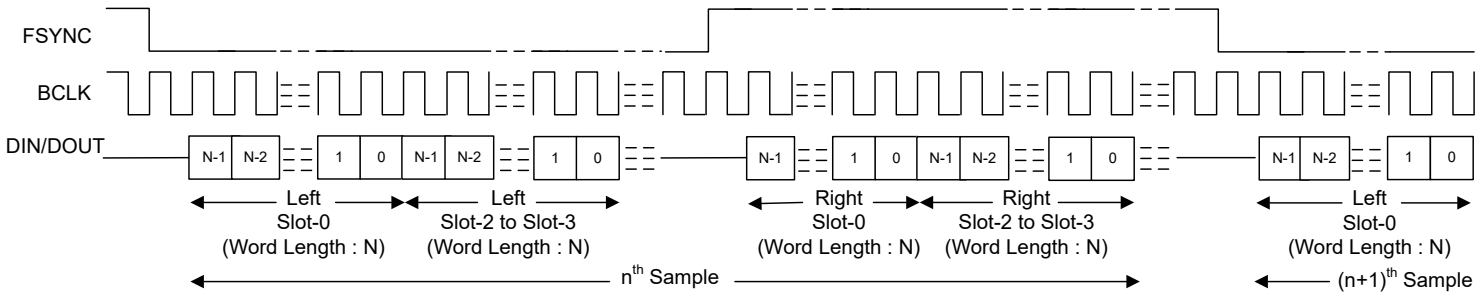


図 6-9. I²S プロトコルのタイミング（PASI_TX_OFFSET = 0 および PASI_BCLK_POL = 1）

I²S モードでオーディオ バスを正常に動作させるためには、フレームあたりのビット クロック数が、アクティブな出力チャネル数（左および右スロットを含む）に、出力チャネル データの設定されたワード長を掛けた値以上でなければなりません。本デバイスの FSYNC のロー パルスは、アクティブな左スロット数に設定されたデータワード長を掛けた値以上の BCLK サイクル幅でなければなりません。同様に、FSYNC のハイパルスは、アクティブな右スロット数に設定されたデータ ワード長を掛けた値以上の BCLK サイクル幅でなければなりません。

6.3.1.2.3 左揃え (LJ) インターフェイス

標準的な LJ プロトコルは、左と右の 2 チャネルのみに定義されています。このデバイスは、同じプロトコルのタイミングをマルチチャネル動作に拡張しています。LJ モードでは、FSYNC の *立ち上がり*エッジの後、左スロット 0 の MSB が同じ BCLK サイクルで送信されます。それ以降の各データ ビットは、BCLK の立ち下がりエッジで送信されます。左スロット 0 データ転送の直後に、残りの左スロット データが順番に送信されます。右スロット 0 の MSB は、FSYNC の *立ち下がり*エッジの後、同じ BCLK サイクルで送信されます。それ以降の各データ ビットは、BCLK の立ち下がりエッジで送信されます。右スロット 0 データ転送の直後に、残りの右スロット データが順番に送信されます。FSYNC は、BCLK の立ち下がりエッジで送信されます。図 6-10 ～ 図 6-13 は送信 DOUT ラインのさまざまな構成における LJ 動作のプロトコル タイミングを示します。同じプロトコルが受信 DIN ラインにも適用できます。

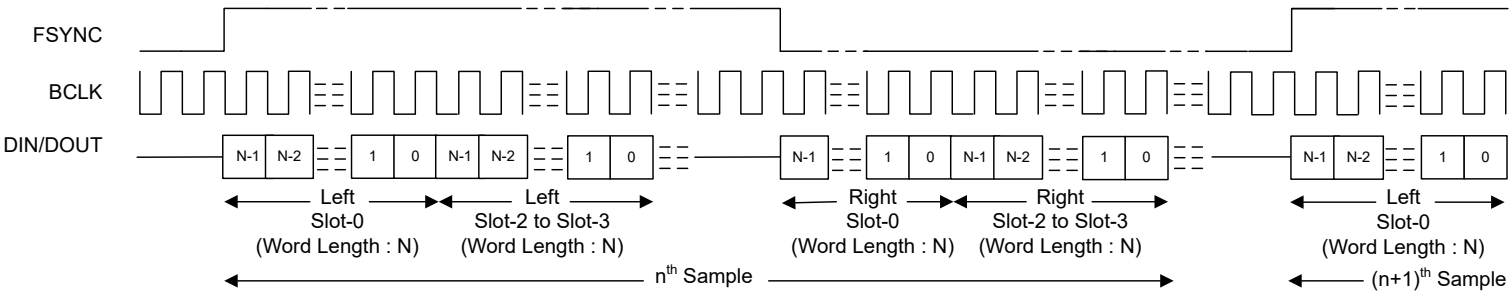


図 6-10. LJ モード標準プロトコル タイミング（TX_OFFSET = 0）

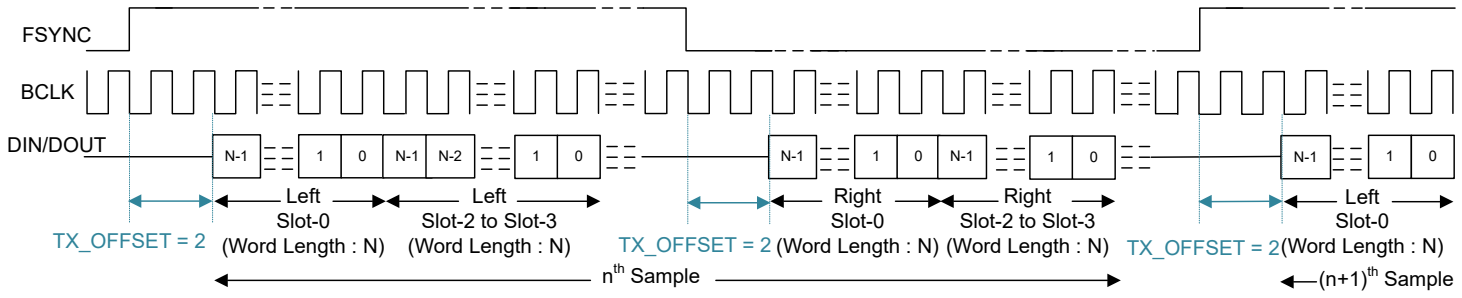


図 6-11. LJ プロトコルのタイミング（TX_OFFSET = 2）

Copyright © 2025 Texas Instruments Incorporated

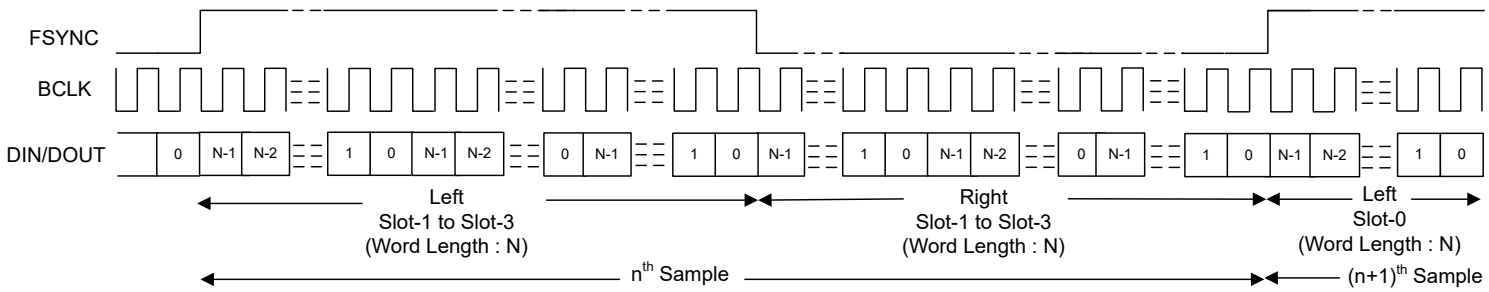


図 6-12. LJ プロトコルのタイミング（アイドル BCLK サイクルなし、TX_OFFSET = 0）

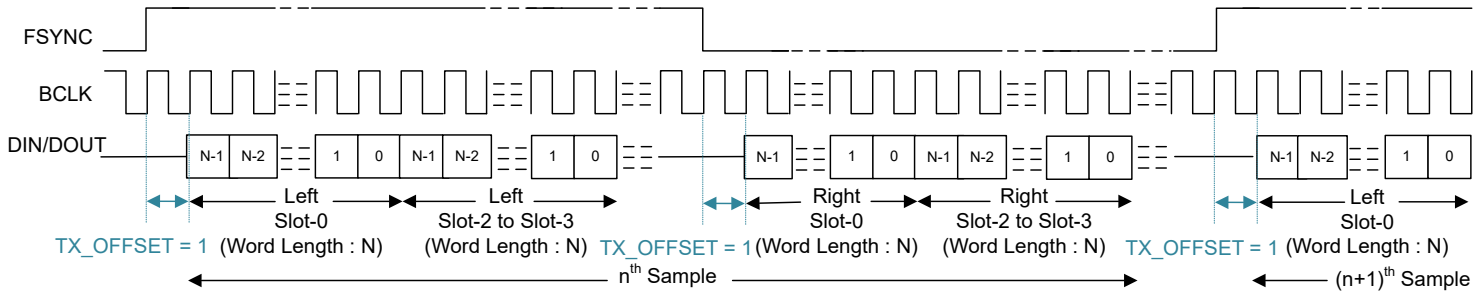


図 6-13. LJ プロトコルのタイミング（TX_OFFSET = 1 および BCLK_POL = 1）

LJ モードでオーディオ バスを適切に動作させるには、1 フレームあたりのビット クロック数が、アクティブな出力チャンネル数（左および右のスロットを含む）に、出力チャネル データのプログラムされたワード長を掛けた数以上である必要があります。デバイス FSYNC の高パルスは、アクティブな左スロットの数に設定されたデータ ワード長を掛けた数以上の、BCLK サイクル数分である必要があります。同様に、FSYNC の Low パルスは、アクティブな右スロットの数に設定されたデータ ワード長を掛けた数以上の BCLK サイクル数分、幅を持たせる必要があります。BCLK 周波数を高くして動作させるには、TX_OFFSET 値を 0 より高く設定した LJ モードを使用することを推奨します。

6.3.1.3 共有バスで複数のデバイスを使用

このデバイスは、複数の機能と柔軟なオプションを備え、単一の共通の I²C 制御バスとオーディオ シリアル インターフェース バスを共有することで、複数の TAC5301-Q1 デバイスをシステムでシームレスに接続するために使用できます。このアーキテクチャにより、ビームフォーミング動作、電話会議、ノイズ キャンセルなどにマイクまたはスピーカ アレイを必要とするシステムに、複数のアプリケーションを適用できます。図 6-14 に、制御データ バスとオーディオ データ バスが共有されている構成内の複数の TAC5301-Q1 デバイスの図を示します。

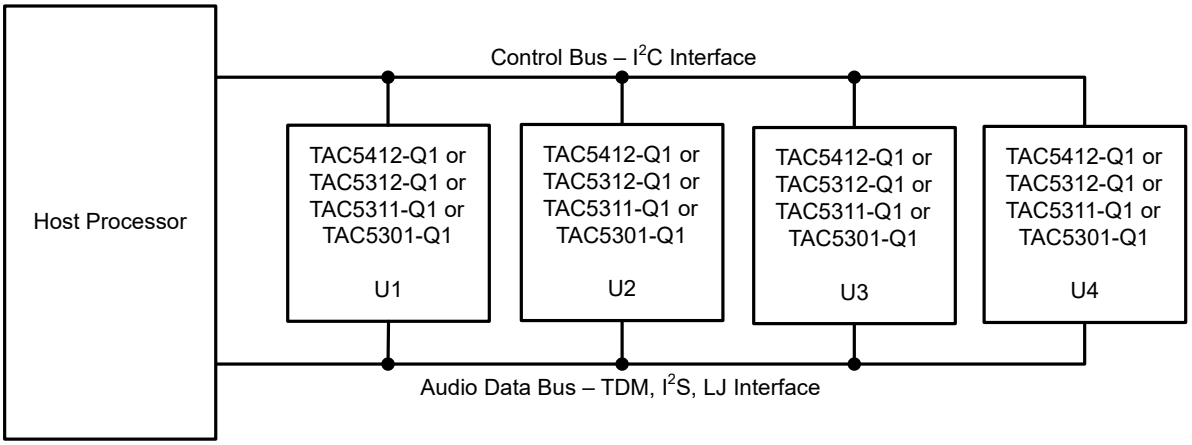


図 6-14. 制御およびオーディオ データ バスを共有する複数の TAC5301-Q1 デバイス

TAC5301-Q1 は、共有バスを使用して複数のデバイスとのシームレスな接続と相互作用を可能にする以下の機能を備えています。

- I²C ブロードキャストにより、すべての TAC5301-Q1 デバイスに対して同時に書き込み（またはトリガ）します
- オーディオ シリアル インターフェース用の最大 32 構成の入出力チャネル スロットをサポート
- デバイスの未使用のオーディオ データ スロット用のトライステート機能（有効化と無効化が可能）
- オーディオ バス上の最後の駆動値を保持するためのバス ホルダ機能（有効化および無効化可能）をサポート
- GPO1 ピンは複数の TAC5301-Q1 デバイスのデイジーチェーン構成で使用可能
- 高速インターフェースのタイミング要件を緩和するために、BCLK サイクル 1 回のデータ ラッチング タイミングをサポート
- プライマリおよびセカンダリ オーディオ シリアル インターフェース用のプログラマブル コントローラおよびターゲット オプション
- 複数のデバイスを同期し、複数のデバイス間での同時サンプリング要件に対応できる機能

詳細は、『*複数の TAC5x1x デバイスで共有された TDM および I²C/SPI バス*』アプリケーション レポートを参照してください。

6.3.2 フェーズ ロック ループ (PLL) とクロック生成

このデバイスには、ADC および DAC モジュレータおよび信号処理に使用されるデジタル フィルタ エンジンに必要なすべての内部クロックを生成するスマート自動構成ブロックがあります。この構成は、オーディオ バス上の FSYNC および BCLK 信号の周波数を監視することによって行われます。

このデバイスは、さまざまなデータ サンプル レート（FSYNC 信号周波数）および BCLK と FSYNC の比率をサポートし、ホスト プログラミングなしで PLL 構成を含むすべてのクロック ディバイダを内部で構成します。表 6-7 および表 6-8 に、サポートされている FSYNC および BCLK 周波数を示します。

表 6-7. サポートされる FSYNC（48kHz の倍数またはサブ倍数）および BCLK 周波数

BCLK 対 FSYNC 比	BCLK（MHz）						
	FSYNC (8kHz)	FSYNC (16kHz)	FSYNC (24kHz)	FSYNC (32kHz)	FSYNC (48kHz)	FSYNC (96kHz)	FSYNC (192kHz)
16	予約済み	0.256	0.384	0.512	0.768	1.536	3.072
24	予約済み	0.384	0.576	0.768	1.152	2.304	4.608
32	0.256	0.512	0.768	1.024	1.536	3.072	6.144
48	0.384	0.768	1.152	1.536	2.304	4.608	9.216
64	0.512	1.024	1.536	2.048	3.072	6.144	12.288
96	0.768	1.536	2.304	3.072	4.608	9.216	18.432
128	1.024	2.048	3.072	4.096	6.144	12.288	24.576
192	1.536	3.072	4.608	6.144	9.216	18.432	予約済み
256	2.048	4.096	6.144	8.192	12.288	24.576	予約済み
384	3.072	6.144	9.216	12.288	18.432	予約済み	予約済み
512	4.096	8.192	12.288	16.384	24.576	予約済み	予約済み
1024	8.192	16.384	24.576	予約済み	予約済み	予約済み	予約済み
2048	16.384	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み

表 6-8. サポートされる FSYNC（44.1kHz の倍数またはサブ倍数）および BCLK 周波数

BCLK 対 FSYNC 比	BCLK（MHz）						
	FSYNC (7.35kHz)	FSYNC (14.7kHz)	FSYNC (22.05kHz)	FSYNC (29.4kHz)	FSYNC (44.1kHz)	FSYNC (88.2kHz)	FSYNC (176.4kHz)
16	予約済み	予約済み	0.3528	0.4704	0.7056	1.4112	2.8224
24	予約済み	0.3528	0.5292	0.7056	1.0584	2.1168	4.2336
32	予約済み	0.4704	0.7056	0.9408	1.4112	2.8224	5.6448
48	0.3528	0.7056	1.0584	1.4112	2.1168	4.2336	8.4672

Copyright © 2025 Texas Instruments Incorporated

表 6-8. サポートされる FSYNC（44.1kHz の倍数またはサブ倍数）および BCLK 周波数 (続き)

BCLK 対 FSYNC 比	BCLK（MHz）						
	FSYNC (7.35kHz)	FSYNC (14.7kHz)	FSYNC (22.05kHz)	FSYNC (29.4kHz)	FSYNC (44.1kHz)	FSYNC (88.2kHz)	FSYNC (176.4kHz)
64	0.4704	0.9408	1.4112	1.8816	2.8224	5.6448	11.2896
96	0.7056	1.4112	2.1168	2.8224	4.2336	8.4672	16.9344
128	0.9408	1.8816	2.8224	3.7632	5.6448	11.2896	22.5792
192	1.4112	2.8224	4.2336	5.6448	8.4672	16.9344	予約済み
256	1.8816	3.7632	5.6448	7.5264	11.2896	22.5792	予約済み
384	2.8224	5.6448	8.4672	11.2896	16.9344	予約済み	予約済み
512	3.7632	7.5264	11.2896	15.0528	22.5792	予約済み	予約済み
1024	7.5264	15.0528	22.5792	予約済み	予約済み	予約済み	予約済み
2048	15.0528	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み

TAC5301-Q1 は、前の表に記載されているオーディオ サンプル レートを超える非オーディオ サンプル レートにも対応しています。詳細については、『*デバイスのクロッキング構成および TAx5x1x ファミリの柔軟なクロッキング*』アプリケーション レポートを参照してください。

TAC5301-Q1 のサンプル レートは、プライマリ ASI およびセカンダリ ASI にそれぞれ CLK_CFG0（P0_R50）および CLK_CFG1（P0_R51）レジスタを使用して構成できます。CLK_DET_STS0 (P0_R62) および CLK_DET_STS1 (P0_R63) レジスタは、それぞれプライマリおよびセカンダリ ASI のオート検出モードでの FSYNC 周波数のデバイス自動検出結果もキャプチャします。CLK_DET_STS2（P0_R64）および CLK_DET_STS3（P0_R65）レジスタは、選択した ASI のためにデバイスがオート検出モードで検出した BCLK と FSYNC の比率をキャプチャします。この ASI は、CLK_SRC_SEL（P0_R52_D[3:1]）レジスタを通じて PLL リファレンスとして選択されます。デバイスがサポートされていない FSYNC 周波数と BCLK と FSYNC の比率の組み合わせを検出した場合、デバイスは ASI クロック エラー割り込みを生成し、それに応じてデバイスのさまざまなブロックをシャットダウンします。

TAC5301-Q1 は、ADC または DAC チャネルがすでに動作している状態でチャネルの有効化もサポートしていますこれは、適切なクロック生成と使用を維持するために、動作中に有効化できる最大チャネル数を説明するための電源投入前の事前構成が必要です。これは、レジスタ DYN_PUPD_CFG（P0_R119）を使って構成できます。ADC_DYN_PUPD_EN（P0_R119_D[7]）および DAC_DYN_PUPD_EN（P0_R119_D[5]）ビットは、ADC または DAC チャネルの動的電力アップを独立して有効にするために使用できます。動的電力アップおよび電力ダウンでサポートされる最大チャネル数は、ADC_DYN_MAXCH_SEL（P0_R119_D[6]）および DAC_DYN_MAXCH_SEL（P0_R119_D[4]）ビットを使用して構成できます。

このデバイスは、モジュレータやデジタル フィルタ エンジン、その他の制御ブロックに必要な内部クロックを生成するために、統合された低ジッタの位相同期ループ（PLL）を使用しています。このデバイスは、PLL を使用せずに BCLK または GPIO1 ピン (CCLK として) をオーディオ クロック ソースとして使用するオプションもサポートしており、これにより消費電力を削減できます。ただし、外部クロック ソースからのジッタにより ADC の性能が低下する可能性があり、外部オーディオ クロック ソースの周波数が十分に高くない場合、一部の処理機能がサポートされない可能性があります。したがって、TI は高性能アプリケーションには PLL の使用を推奨しています。PLL を使用せずに低電力モードでデバイスを構成して使用する方法に関する詳細および情報については、『*TAx5x1x-Q1 さまざまな使用シナリオにおける消費電力マトリックス*』アプリケーション レポートを参照してください。

このデバイスは、GPIO1 ピン (CCLK として) をリファレンス入力クロック ソースとして使用するオーディオ バス コントローラ モード動作もサポートしており、さまざまな柔軟なオプションと広範囲なシステム クロックをサポートしています。コントローラ モードの構成と動作の詳細については、『*デバイスのクロック構成および TAx5x1x ファミリの柔軟なクロッキング*』アプリケーション レポートを参照してください。

オーディオ バス クロック エラー検出および自動検出機能は、すべての内部クロックを自動的に生成しますが、IGNORE_CLK_ERR（P0_R4_D[6]）および CUSTOM_CLK_CFG（P0_R50_D[0]）レジスタ ビットを使用してそれぞれ無効にすることができます。システムでは、この無効化機能を使用して、オート検出方式ではカバーされていないカスタム

クロック周波数をサポートすることができます。このようなアプリケーションの使用事例では、複数のクロック分周器がすべて適切に構成されるように注意する必要があります。テキサス インスツルメンツは、デバイス設定の構成には PPC3 GUI の使用を推奨しています。詳細については『*TAx5x1xQ15B5EVM-K 評価基板*』ユーザー ガイドと『PurePath™ コンソール グラフィカル開発スイート』を参照してください。『*デバイスのクロック構成および TAx5x1x ファミリの柔軟なクロッキング*』アプリケーション レポートでは、カスタム クロック構成のさまざまな側面についても説明しています。デバイスのクロック検出モジュールの詳細については、『*TAx5x1x ファミリでサポートされるクロック誤差の構成、検出、およびモード*』アプリケーション レポートを参照してください。

PLL がオフのとき、デジタル ボリューム コントロールやプログラム可能な係数を使用する他の機能 (バイクワッド、ミキサ、AGC など) はハイパス フィルタ (HPF) を除いて適用できません。

6.3.3 入力チャネルの構成

TAC5301-Q1 は、録音チャネルの差動入力またはシングルエンド入力として構成できる 2 組のアナログ入力ピン (INxP および INxM) で構成されています。このデバイスは、最大 1 つのアナログ チャネルの録音をサポートしており、低消費電力のシングル チャネル ADC を使用して IN1x と IN2x のいずれかの入力ピンを録音に使用するために選択できる入力スワップ機能 (ADC_CH_SWAP (P0_R119_D[1])) を内蔵しています。アナログ ピンの入力ソースには、エレクトレット コンデンサ アナログ マイクロフォン (ECM)、微小電気機械システム (MEMS)、またはシステム基板からのライン入力 (補助) を使用できます。表 6-9 は、録音チャネルの入力構成を設定する方法について説明しています。

表 6-9. 記録チャネルの入力ソース選択

P0_R80_D[7:6]: ADC_CH1_INSRC[1:0]	入力チャンネル 1 記録ソースの選択
00 (デフォルト)	チャネル 1 のアナログ差動入力
01	チャネル 1 のアナログ シングルエンド入力
10 または 11	予約済み (この設定は使用しないでください)

DC 結合ライン入力構成では、デフォルト モードの動作で $2V_{RMS}$ のフルスケール差動入力をサポートするために、アナログ入力ピンの DC 同相モード差動 (INxP ～ INxM) は 3.4V ～ 6.0V にする必要があります。DC 差動同相モード電圧は後で、デジタル ハイパスフィルタによってフィルタ処理され、デジタル出力のフルスケールは $_{2V\ RMS}$ AC 信号に対応します。

図 6-15 と図 6-16 に、DC 結合マイクロフォンを差動入力とシングルエンド入力に接続する方法をそれぞれ示します。マイクロフォンのインピーダンスに基づいて、外付けバイアス抵抗 R1 の値を適切に選択する必要があります。差動入力の場合、マイクロフォンのインピーダンスの半分に対して外部バイアス抵抗の値を使用することを推奨しますが、シングルエンド入力の場合は、外部バイアス抵抗をマイクロフォンのインピーダンスと同じにすることを推奨します。

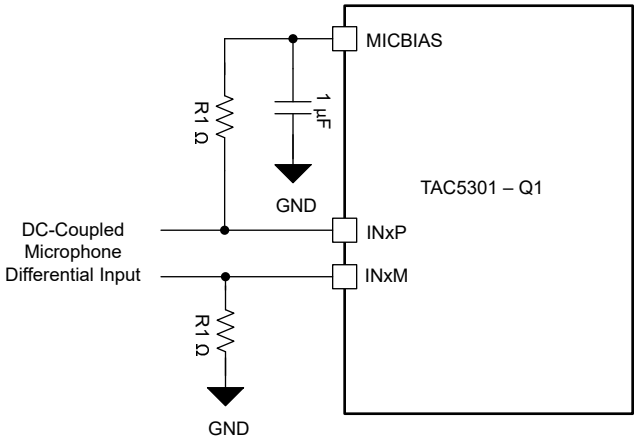


図 6-15. DC 結合マイクロフォン差動入力接続

Copyright © 2025 Texas Instruments Incorporated

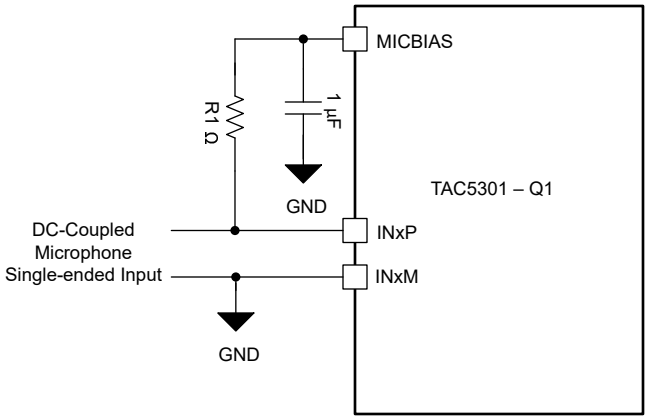


図 6-16. DC 結合マイクロフォン シングルエンド入力接続

AC 結合モードでは、カップリング コンデンサと入力インピーダンスによって形成されるハイパスフィルタが信号成分に影響を与えないように、カップリングコンデンサの値を選択する必要があります。パワーアップ時、適切な録音を開始する前に、このカップリング コンデンサを同相電圧まで充電する必要があります。シングルエンド入力構成では、AC 結合モードの AC カップリング コンデンサの後に INxM ピンを接地する必要があります。

図 6-17 と図 6-18 に、差動入力とシングルエンド入力の AC 結合マイクロフォンまたはラインソースをそれぞれ接続する方法を示します。AC 結合モードでは、デバイスの入力ピン INxP と INxM を、オンチップの MICBIAS 出力電圧と外部バイアス抵抗 R0 を使用するか、または外部バイアス ジェネレータ回路を使用して DC 同相値に合わせて適切にバイアスする必要があります。抵抗 R0 の最大値は、信号スイングと設定された MICBIAS 値によって異なります。目的のシステム構成での R0 値を計算するには *TAC5xxx-Q1 AC 結合外部抵抗カリキュレータを*参照してください。

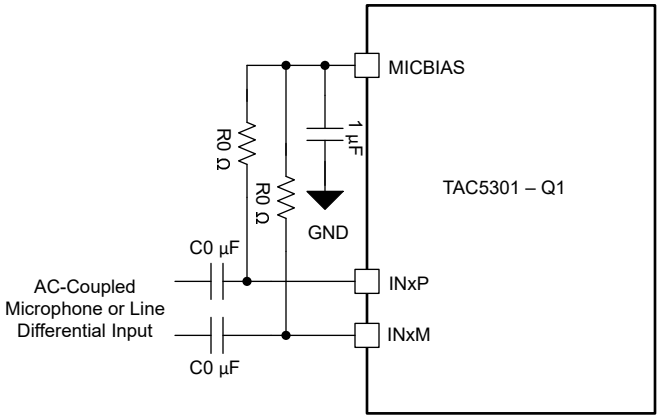


図 6-17. AC 結合マイクロフォンまたはライン差動入力接続

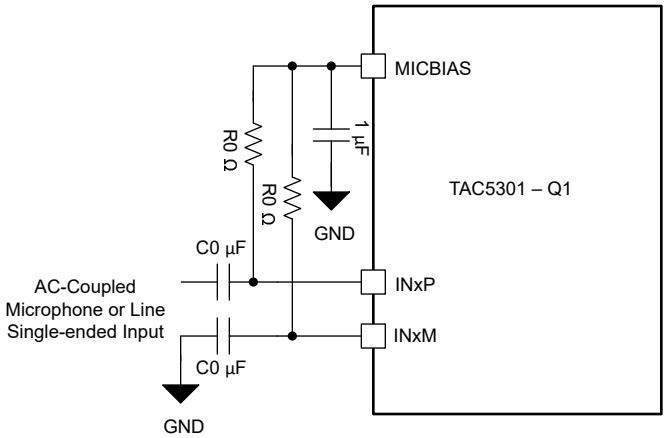


図 6-18. AC 結合マイクロフォンまたはラインシングルエンド入力接続

6.3.4 出力チャネルの構成

このデバイスは、再生チャネルのために差動入力またはシングルエンド出力として構成できる 2 組のアナログ出力ピン（OUTxP と OUTxM）で構成されています。このデバイスは、高性能マルチチャネル DAC を使用して、最大 2 チャネルのシングルエンド出力、または最大 1 チャネルの差動出力を同時に再生できます。デバイスには、DAC_CH_SWAP (P0_R119_D[0]) レジスタを使用して再生チャネルを交換するマルチプレクサが内蔵されています。

TAC5301-Q1 は、最大 1 チャネルの差動出力、最大 1 チャネルの疑似差動出力、および最大 2 チャネルのシングルエンド出力をサポートしています。各出力チャネルは、差動出力またはシングルエンド出力として独立して構成できます。

表 6-10 に、出力ピンの構成モードを示します。

表 6-10. 再生チャネルの出力ピン構成

P0_R100_D[4:2]:OUT1x_CFG[2:0]	OUT1P/OUT1M ピン構成
000 (デフォルト)	OUT1P/OUT1M を差動ペアとして使用
001	OUT1P と OUT1M を独立したシングルエンド出力として使用
010	OUT1P でのモノラル シングルエンド出力のみ

Copyright © 2025 Texas Instruments Incorporated

表 6-10. 再生チャネルの出力ピン構成 (続き)

P0_R100_D[4:2]:OUT1x_CFG[2:0]	OUT1P/OUT1M ピン構成
011	OUT1M でのモノラル シングルエンド出力のみ
100	OUT1P を信号、OUT1M を VCOM とした擬似差動出力
101	予約済み。この設定は使用しないでください。
110	OUT1M を信号、OUT1P を VCOM とした擬似差動出力
111	予約済み。この設定は使用しないでください。

各種標準出力構成図については、図 6-22～図 6-19 を参照してください。

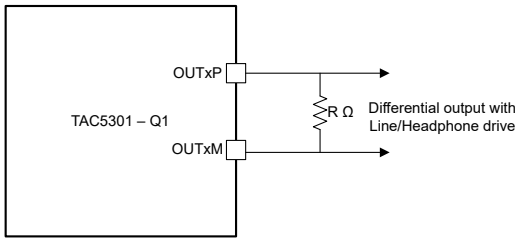


図 6-19. 差動出力接続（OUT1x_CFG[2:0] = 3'b000）

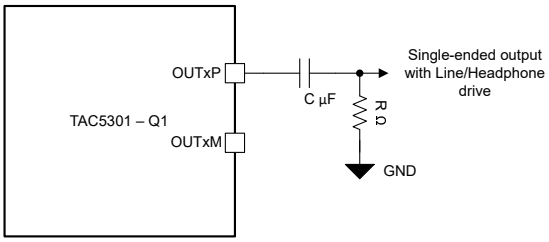


図 6-20. OUT1P でのモノ シングルエンド出力接続（OUT1x_CFG[2:0] = 3'b010）

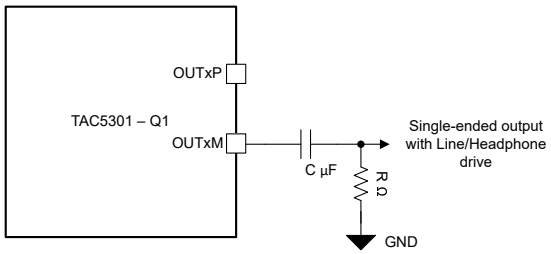


図 6-21. OUT1M でのモノ シングルエンド出力接続（OUT1x_CFG[2:0] = 3'b011）

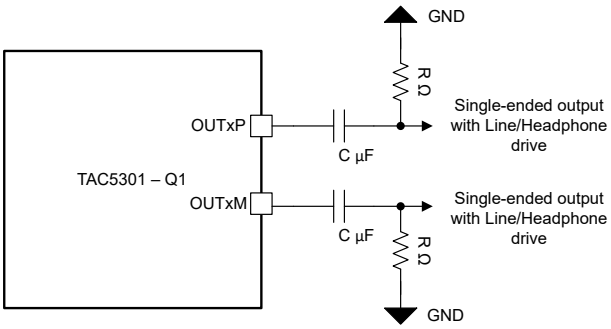


図 6-22. ステレオ シングルエンド出力接続（OUT1x_CFG[2：0]= 3'b001）

TAC5301-Q1 は、ヘッドフォン、ラインアウト、および受信アンプなど、さまざまな負荷をサポートできます。各ピンで個別に負荷駆動構成が可能です。OUT1P_DRIVE[1:0]（P0_R101_D[7:6]）は、OUT1P ピンの負荷駆動能力を構成します。同様に、OUT1M_DRIVE[1:0] は OUT1M の出力ドライブを制御します。

6.3.5 基準電圧

すべてのオーディオ データ コンバータは DC リファレンス電圧を必要とします。TAC5301-Q1 は、内部で低ノイズの基準電圧を生成することによって、低ノイズ性能を実現します。このリファレンス電圧は、優れた PSRR 性能を持つバンドギャップ回路を使用して生成されます。このオーディオ コンバータのリファレンス電圧は、VREF ピンからアナログ グラウンド（AVSS）に接続された最低 1µF のコンデンサを使用して外部でフィルタリングする必要があります。

低消費電力を実現するため、このオーディオ リファレンス ブロックはスリープ モードまたはソフトウェアシャットダウンでパワーダウンします。詳細については、セクション 6.4 を参照してください。スリープモードを終了するときは、SLEEP_EXIT_VREF_EN (P0_R2_D3) を 1'b1 に設定して、オーディオ リファレンス ブロックを起動する必要があります。内部高速充電方式により、VREF ピンが定常状態の電圧にすばやく安定するのに役立ちます (VREF ピンのデカップリング コンデンサの関数)。1µF デカップリング コンデンサを使用する場合、この時間は約 3.5ms に等しくなります。VREF ピンに値の大きいデカップリング コンデンサが使用されている場合、VREF_QCHG (P0_R2_D[5:4]) レジスタ ビ

ットを使用して、ファスト チャージ設定を再構成する必要があります。このレジスタは、3.5ms（デフォルト）、10ms、50ms、または 100ms のオプションをサポートしています。

6.3.6 マイク バイアス

このデバイスには、低ノイズ、プログラム可能な高電圧のマイクロフォン バイアス ピン (MICBIAS) が内蔵されており、システムでアナログ マイクロフォンをバイアスするために使用できます。統合バイアス アンプは、最大 30mA の負荷電流をサポートしており、複数のマイクに使用できるように設計されています。また、高い PSRR、低ノイズ、プログラム可能なバイアス電圧の組み合わせを提供し、特定のマイクロフォンの組み合わせに合わせてバイアスの微調整ができます。TAC5301-Q1 は、プログラム可能なマイクロフォン バイアスを生成するために外部高電圧電源 (HVDD) を使用します。最小電圧は、プログラムされた MICBIAS 値よりも 0.6V 高い必要があります

この MICBIAS ピンをバイアスや複数のマイクロフォンへバイアスする場合、TI はマイクロフォン間のカップリングを最小限に抑えるために、MICBIAS 接続のための基板レイアウトで同相インピーダンスを避けることを推奨しています。セクション 6.3.6 に、マイクロフォン バイアスのプログラム可能なオプションを示します。

表 6-11. MICBIAS プログラム可能設定

P1_R115_D[7:4]：MBIAS_VAL[3:0]	MICBIAS 出力電圧
0000	バイパス
0001	3.0V に設定
0010	3.5V に設定
0011-1000	4.0V ～ 6.5V に設定
1001	7.0V に設定
1010	7.5V に設定 (デフォルト)
1011	8.0V に設定
1100	8.5V に設定
1101	9.0V に設定
1110	9.5V に設定
1111	10.0V に設定

マイクロフォン バイアス出力は、MICBIAS_PDZ および P0_R120_D [5] レジスタ ビットを設定することで、オンまたはオフ（デフォルト）にすることができます。さらに、デバイスは、GPIO1 ピンを構成して、マイクロフォン バイアス出力のパワーオンとパワーオフを直接制御するオプションを提供します。この機能は、一部のシステムで、I^2C 通信のためにホスト接続せずに、マイクを直接制御するのに役立ちます。GPIO1 ピンがマイクロフォン バイアスのオン / オフを設定するように構成されている場合、MICBIAS_PDZ、P0_R120_D[5] レジスタ ビットの値は無視されます。

Copyright © 2025 Texas Instruments Incorporated

6.3.7 シグナル チェーン処理

TAC5301-Q1 シングル チェーンは、非常に低ノイズで高性能、低消費電力のアナログブロックと、高度に柔軟でプログラム可能なデジタル処理ブロックで構成されています。高性能で柔軟性が高く、コンパクトなパッケージにより、TAC5301-Q1 はマルチチャネル オーディオ キャプチャおよび再生を必要とする各種の最終機器およびアプリケーション向けに最適化されています。セクション 6.3.7.1 およびセクション 6.3.7.2 に、それぞれ ADC および DAC 信号チェーンの主要なコンポーネントを示します。

6.3.7.1 ADC 信号チェーン

図 6-23 に、録音パス信号チェーンの主要な成分を示します。

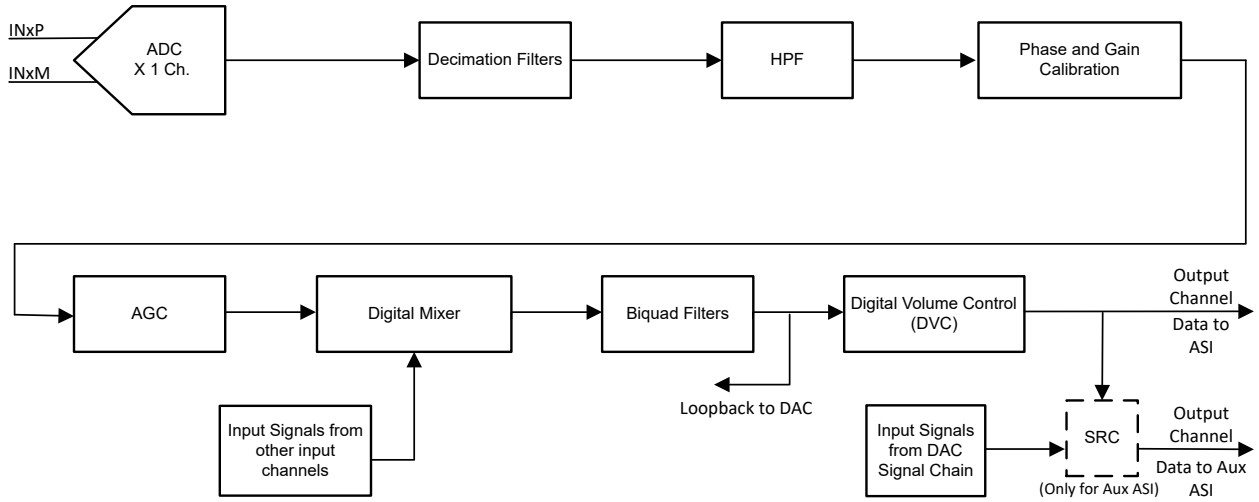


図 6-23. ADC 信号チェーン処理フローチャート

フロントエンド ADC は、100dB のダイナミック レンジ性能を実現しています。ADC アーキテクチャには、複数の変調器周波数成分周辺の帯域外周波数ノイズを高いレベルで除去するアンチエイリアス フィルタリングが本質的に組み込まれています。したがって、このデバイスは、ADC サンプリング時にノイズがオーディオ帯域にエイリアシングするのを防ぎます。信号チェーンのさらに先では、統合された高性能多段デジタル デシメーション フィルタが、高い阻止帯域減衰量で帯域外の周波数ノイズを鋭く遮断します。

このデバイスには、カスタムのローパス、ハイパス、またはその他の希望する周波数整形を可能にする統合されたプログラム可能なバイキュア フィルタも搭載されています。このため、シグナル チェーン全体のアーキテクチャにより、アンチエイリアシング ローパス フィルタリングのための外部コンポーネントを追加する必要がなくなり、外部システムの部品コストと基板面積を大幅に削減できます。詳細については、*TAC5212 統合アナログ アンチエイリアシング フィルタおよび柔軟なデジタル フィルタ*アプリケーション レポートを参照してください。

信号チェーンは、位相キャリブレーション、ゲイン キャリブレーション、ハイパス フィルタ、デジタル サマーまたはミキサー、バイキュア フィルタ、同期サンプル レート コンバータ、ボリューム コントロールなどのさまざまな高い柔軟性を持つデジタル処理ブロックで構成されています。これらの処理ブロックの詳細については、このセクションでさらに説明します。

記録用の入力チャネルは、CH_EN（P0_R118）レジスタを使用して有効または無効にすることができ、オーディオ シリアル インターフェースの出力チャネルは、ASI_TX_CHx_CFG レジスタを使用して有効または無効にすることができます。一般的に、このデバイスはすべてのアクティブ チャネルの同時パワーアップおよびパワーダウンをサポートし、同時録音を実現します。ただし、アプリケーションのニーズに基づき、他のチャネルの録音中に一部のチャネルを動的に電源オンまたはオフにする必要がある場合、その使用例は DYN_PUPD_CFG（P0_R119）レジスタを設定することでサポートされます。

このデバイスは、90kHz までの入力信号帯域幅をサポートしています。ADC_CHx_BW_MODE ビット（P0_R80_D[0]、P0_R85_D[0]）を使用して、広帯域、広帯域幅のモードを有効または無効にできます。

サンプル レートが 48kHz 以下の場合、デバイスはすべての機能とさまざまなプログラム可能な処理ブロックをサポートします。しかし、サンプル レートが 48kHz より高い場合、同時に録音できるチャンネル数や、使用できるバイキュア フィルタの数などに制限があります。詳細については、『*TAC5212 サンプリング レートおよびサポートされているプログラム可能な処理ブロック*』アプリケーション レポート を参照してください。

Copyright © 2025 Texas Instruments Incorporated

6.3.7.1.1 プログラム可能なチャネル ゲインおよびデジタル ボリューム制御

デバイスには、各入力チャネルについて独立したプログラム可能なチャネル ゲイン設定があり、システムで予測される最大入力信号に基づいて適切な値に設定できます。これにより、ADC のフルスケール信号レベルが決まります。

チャネル ゲインはプログラム可能なデジタル ボリューム制御機能で設定でき、-80dB ～ 47dB で 0.5dB 刻みの範囲で、チャネルの録音をミュートすることもできます。ADC チャネルが起動し、録音されている間は、デジタル ボリューム コントロール値を動的に変更することができます。ボリューム コントロールの変更中は、ソフトランアップまたはソフトランダウン機能が内部的に使用され、可聴アーティファクトを回避します。ソフトステッピングは、ADC_DSP_DISABLE_SOFT_STEP（P0_R114_D[1]）レジスタ ビットを使用して完全に無効化できます。

デジタル ボリューム コントロール設定は、デジタル マイクロフォン レコード チャネルを含む各出力チャンネルに対して個別に使用できます。ただし、チャネル 1 の電源オン時と電源オフ時のどちらであっても、チャネル 1 デジタル ボリューム コントロール設定を使用して、すべてのチャネルのボリューム コントロール設定を一括でアップするオプションもサポートしています。このギャングアップは、ADC_DSP_dvol_GANG（P0_R114_D[0]）レジスタ ビットを使用して有効化できます。

表 6-12 はデジタル ボリューム コントロール用に利用可能なプログラマブル オプションを示します。

表 6-12. デジタル ボリューム コントロール（DVC）のプログラマブル設定

P0_R82_D[7:0]：ADC_CH1_DVOL[7:0]	出力チャネル 1 の DVC 設定
0000 0000 = 0d	出力チャネル 1 DVC はミュートに設定されます
0000 0001 = 1d	出力チャネル 1 の DVC は -80dB に設定されます
0000 0010 = 2d	出力チャネル 1 の DVC は -79.5dB に設定されます
0000 0011 = 3d	出力チャネル 1 の DVC は -79dB に設定されます
…	…
1010 0000 = 160d	出力チャネル 1 の DVC は -0.5dB に設定されます
1010 0001 = 161d (デフォルト)	出力チャネル 1 の DVC は 0dB に設定されます
1010 0010 = 162d	出力チャネル 1 の DVC は 0.5dB に設定されます
…	…
1111 1101 = 253d	出力チャネル 1 の DVC は 46dB に設定されます
1111 1110 = 254d	出力チャネル 1 の DVC は 46.5dB に設定されます
1111 1111 = 255d	出力チャネル 1 の DVC は 47dB に設定されます

同様に、出力チャネル 2 のデジタル ボリューム コントロール設定は、CH2_DVOL (P0_R87) のレジスタ ビットを使用して設定できます。

チャネルが電源投入されると、内部デジタル処理エンジンがミュート レベルからプログラムされた音量レベルまで音量を徐々に上げます。また、チャネルが電源オフになると、内部デジタル処理エンジンがプログラムされた音量からミュートまで音量を徐々に下げます。この音量のソフト ステッピングは、レコード チャネルの急激な電源投入や電源切断を防ぐために行われます。この機能は、ADC_DSP_DISABLE_SOFT_STEP（P0_R114_D[1]）レジスタ ビットを使用して完全に無効化することもできます。

デジタル ボリューム (DVOL) 制御により、プログラム可能ゲイン アンプ (PGA) を必要とせずにゲインを制御できます。TAC5301-Q1 では、PGA オペアンプが ADC フロントエンドに組み込まれており、従来の PGA ベースのデバイスに比べて数分の 1 の電力で、他の低ノイズ PGA ベースのオーディオ信号チェーンと同等の非常に高性能を実現します。詳細については、「*TAX5XXX デバイスを使用したマイクロフォン インターフェイス*」を参照してください。

PLL がオフになっている場合、プログラム可能なチャネルのデジタル ボリューム コントロール機能は適用されません。チャネル減衰の設定については、セクション 6.3.7.1.4 で説明されているように、プログラム可能なハイパス フィルタ係数を使用してユーザーが設定できます。

6.3.7.1.2 プログラム可能なチャネル ゲイン較正

デジタル ボリューム コントロール機能に加え、このデバイスはプログラム可能なチャネル ゲイン較正も提供します。各チャネルのゲインは、–0.8dB から 0.7dB のゲイン誤差範囲で、0.1dB ごとに微調整または調整することができます。この調整は、外部部品とマイク感度に起因するチャネル間のゲインを一致させようとする際に役立ちます。この機能は、通常のデジタル ボリューム コントロールと組み合わせることで、0.1dB の解像度で広いゲイン誤差範囲にわたってすべてのチャネルのゲインを一致させることができます。チャネル ゲイン較正に利用可能なプログラム可能なオプションを 表 6-13 に示します。

表 6-13. チャネル ゲイン較正のプログラム可能設定

P0_R83_D[7:4]:ADC_CH1_FGAIN[3:0]	入力チャネル 1 のチャネル ゲイン較正設定
0000 = 0d	入力チャネル 1 のゲイン較正を -0.8dB に設定します
0001 = 1d	入力チャネル 1 のゲイン較正を -0.7dB に設定します
…	…
1000 = 8d (デフォルト)	入力チャネル 1 のゲイン較正を 0dB に設定します
…	…
1110 = 14d	入力チャネル 1 のゲイン較正を 0.6dB に設定します
1111 = 15d	入力チャネル 1 のゲイン較正を 0.7dB に設定します

同様に、入力チャネル 2 のチャネル ゲイン較正設定は、ADC_CH2_CFG3 (P0_R88) レジスタ ビットを使用して設定できます。

6.3.7.1.3 プログラム可能なチャネル位相較正

ゲイン較正に加えて、各記録チャネルの位相遅延は、位相誤差に対して 1~63 のサイクル範囲に対して、1 変調器クロック サイクル ステップで微調整または調整できます。アナログおよびデジタル マイクロフォンの変調器クロックは、互いに独立して設定します。アナログマイクの場合、クロックは ADC MOD CLK に使用されます。デフォルト設定では 3.072MHz（出力データ サンプル レートは 48kHz の倍数または倍数未満）または 2.8224MHz（出力データ サンプル レートは 44.1kHz の倍数または倍数未満）です。消費電力を削減するため、ADC 変調器のクロックを 1.536Mhz (出力データ サンプルレートは 48kHz の倍数またはその約数) または 1.4112Mhz (出力データ サンプルレートは 44.1kHz の倍数またはその約数) に下げるには、ADC_CLK_BY2_MODE（B0_P78_D[7]）レジスタビットを使用することもできます。プログラマブルなチャネル位相較正機能は、外部部品やマイクに起因するチャネル間の位相の不一致など、各チャネル間の位相を細かく一致させる必要がある多くの用途に非常に役立ちます。表 6-14 に、チャネル位相較正で使用可能なプログラム可能なオプションを示します。

表 6-14. チャネル位相較正のプログラム可能設定

P0_R84_D[7:2]:ADC_CH1_PCAL[5:0]	入力チャネル 1 のチャネル位相較正設定
00 0000 = 0d (デフォルト)	位相較正なし
00 0001 = 1d	入力チャネル 1 位相較正遅延は、変調器クロックの 1 サイクルに設定されます
…	…
11 1111 = 63d	入力チャネル 1 位相較正遅延は、変調器クロックの 63 サイクルに設定されます

同様に、入力チャネル 2 のチャネル位相較正設定は、ADC_CH2_PCAL (P0_R89_D[7:2]) レジスタ ビットを使用して設定できます。

6.3.7.1.4 プログラム可能なデジタル ハイパス フィルタ

記録データの直流オフセット成分を除去し、不要な低周波ノイズを減衰させるために、本デバイスはプログラム可能なハイパス フィルタ（HPF）をサポートしています。HPF は、チャネルごとに独立したフィルタ設定ではなく、すべての ADC チャネルに対してグローバルに適用されます。この HPF は一次のインフィニット インパルス レスポンス（IIR）フィルタを使用して構成されており、信号中の DC 成分を効果的に除去するのに十分な性能を備えています。表 6-15 は、P0_R114_D[5:4]の ADC_DSP_HPF_SEL[1:0] レジスタ ビットを使用して設定できる、利用可能な -3dB のカットオフ周

Copyright © 2025 Texas Instruments Incorporated

波数を表示します。さらに、特定の用途に合わせて -3dB のカットオフ周波数をカスタマイズするには、ADC_DSP_HPF_SEL[1:0] レジスタ ビットを 2'b00 に設定すると、一次 IIR フィルタ係数をプログラムすることもできます。HPF フィルタの周波数応答プロットを、図 6-24 に示します。

表 6-15. HPF プログラム可能設定

P0_R114_D[5:4]: ADC_DSP_HPF_SEL[1:0]	-3dB カットオフ周波数設定	16kHz サンプル レートで -3dB カットオフ周波数	48kHz サンプル レートにおける -3dB カットオフ周波数
00	プログラム可能な 1 次 IIR フィルタ	プログラム可能な 1 次 IIR フィルタ	プログラム可能な 1 次 IIR フィルタ
01 (デフォルト)	0.00002 × f_S	0.25Hz	1Hz
10	0.00025 × f_S	4Hz	12Hz
11	0.002 × f_S	32Hz	96Hz

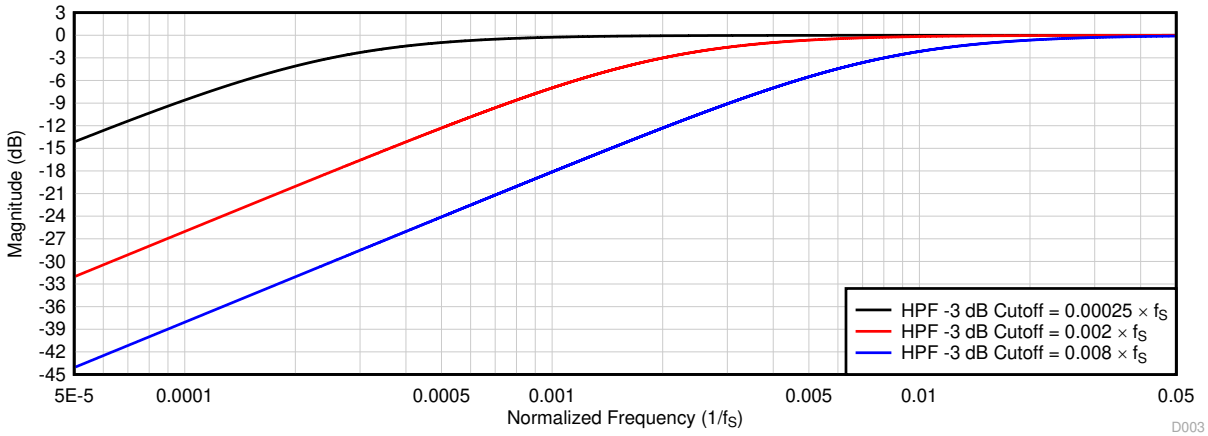


図 6-24. HPF フィルタの周波数応答プロット

式 1 は、一次プログラム可能 IIR フィルタの伝達関数を示しています。

$$H(z) = \frac{N_0 + N_1 z^{-1}}{2^{31} - D_1 z^{-1}} \tag{1}$$

この一次プログラム可能な IIR フィルタは、デフォルト係数の場合、周波数応答が 0dB のフラットなゲインとなり、オールパス フィルタとして動作します。ホスト デバイスは、表 6-16 にある IIR 係数をプログラムすることで、ハイパス フィルタリングやその他の必要なフィルタリングに合わせた目的の周波数応答に上書きすることができます。ADC_DSP_HPF_SEL[1:0] が 2'b00 に設定されている場合、ホスト デバイスは、いずれかの ADC チャネルを録音用に起動する前に、目的の周波数応答に対応するこれらの係数値を書き込む必要があります。1 次 IIR フィルタのフィルタ係数を、表 6-16 に示します。

表 6-16. 1 次 IIR フィルタの係数

フィルタ	フィルタの係数	デフォルトの係数値	係数レジスタのマッピング
プログラム可能な 1 次 IIR フィルタ(HPF または他の目的のフィルタに割り当て可能)	N_0	0x7FFFFFFF	P10_R120-R123
	N_1	0x00000000	P10_R124-R127
	D_1	0x00000000	P11_R8-R11

6.3.7.1.5 プログラム可能なデジタル バイクワッド フィルタ

このデバイスは最大 12 個のプログラム可能なデジタルバイキュアド フィルタをサポートしており、ADC 信号チェーンでは各チャネルに最大 3 個まで使用できます。これらの高効率フィルタは、所定の周波数応答を達成します。TAC5301-Q1 は、2 チャネルの録音使用ケースに対応したオンザフライのプログラム可能なバイクワッド フィルタもサポートしています。デジタル信号処理において、デジタル バイキュア フィルタは、2 つの極と 2 つのゼロを持つ二次の再帰的線形フィルタです。式 2 は、各バイキュア フィルタの伝達関数を示します。

$$H(z) = \frac{N_0 + 2N_1 z^{-1} + N_2 z^{-2}}{2^{31} - 2D_1 z^{-1} - D_2 z^{-2}} \tag{2}$$

デフォルトの係数を使用したバイキュア フィルタ セクションの周波数応答は、0dB のゲインでフラット（全通フィルタ）です。ホスト デバイスは、バイキュア係数をプログラムすることで周波数応答を上書きし、低域通過、高域通過、またはその他の希望する周波数シェーピングを達成できます。ミキサー動作のプログラム可能な係数は、B0_P8 と B0_P9 に配置されています。バイキュア フィルタリングが必要な場合、ホスト デバイスは録音用のいかなる ADC チャネルをパワーアップする前に、これらの係数値を書き込む必要があります。2 チャネルのユース ケースでは、TAC5301-Q1 はオンザフライのプログラム可能なフィルタもサポートしています。この場合、デバイスは 1 つのチャネルに対して 2 つのフィルタ バンクを使用し、スイッチ ビットを使用して 1 つのフィルタ バンクから別のフィルタ バンクへ切り替えを行います。表 6-17 で説明しているように、これらのバイキュア フィルタは、P0_R114_D[3:2]の ADC_DSP_BQ_CFG[1:0] レジスタ設定に基づいて、各出力チャネルに割り当てることができます。ADC_DSP_BQ_CFG[1:0] を 2'b00 に設定することで、すべてのレコード チャネルのバイキュア フィルタリングが無効になり、システム アプリケーションで追加のフィルタリングが必要ない場合、ホスト デバイスはこの設定を選択できます。詳細については、*TAC5x1x および TAC5x1x-Q1 プログラム可能バイキュア フィルタ ー 構成とアプリケーションアプリケーション レポート*を参照してください。

表 6-17. バイキュア フィルタの録音出力チャネルへの割り当て

プログラム可能バイキュア フィルタ	P0_R114_D[3:2] レジスタ設定を使用した録音出力チャネルの割り当て		
	ADC_DSP_BQ_CFG[1:0] = 2'b01 (1 チャネルあたり 1 バイキュア フィルタ)	ADC_DSP_BQ_CFG[1:0] = 2'b10 (デフォルト) (1 チャネルあたり 2 バイキュア フィルタ)	ADC_DSP_BQ_CFG[1:0] = 2'b11 (1 チャネルあたり 3 バイキュア フィルタ)
バイキュア フィルタ 1	出力チャネル 1 に割り当て	出力チャネル 1 に割り当て	出力チャネル 1 に割り当て
バイキュア フィルタ 2	出力チャネル 2 に割り当て	出力チャネル 2 に割り当て	出力チャネル 2 に割り当て
バイキュア フィルタ 3	出力チャネル 3 に割り当て	出力チャネル 3 に割り当て	出力チャネル 3 に割り当て
バイキュア フィルタ 4	出力チャネル 4 に割り当て	出力チャネル 4 に割り当て	出力チャネル 4 に割り当て
バイキュア フィルタ 5	未使用	出力チャネル 1 に割り当て	出力チャネル 1 に割り当て
バイキュア フィルタ 6	未使用	出力チャネル 2 に割り当て	出力チャネル 2 に割り当て
バイキュア フィルタ 7	未使用	出力チャネル 3 に割り当て	出力チャネル 3 に割り当て
バイキュア フィルタ 8	未使用	出力チャネル 4 に割り当て	出力チャネル 4 に割り当て
バイキュア フィルタ 9	未使用	未使用	出力チャネル 1 に割り当て
バイキュア フィルタ 10	未使用	未使用	出力チャネル 2 に割り当て
バイキュア フィルタ 11	未使用	未使用	出力チャネル 3 に割り当て
バイキュア フィルタ 12	未使用	未使用	出力チャネル 4 に割り当て

表 6-18 に、レジスタ空間へのバイキュア フィルタ係数のマッピングを示します。

表 6-18. バイキュア フィルタ係数のレジスタのマッピング

プログラム可能バイキュア フィルタ	バイキュア フィルタ係数のレジスタのマッピング	プログラム可能バイキュア フィルタ	バイキュア フィルタ係数のレジスタのマッピング
バイキュア フィルタ 1	P8_R8-R27	バイキュア フィルタ 7	P9_R8-R27
バイキュア フィルタ 2	P8_R28-R47	バイキュア フィルタ 8	P9_R28-R47

Copyright © 2025 Texas Instruments Incorporated

表 6-18. バイキュア フィルタ係数のレジスタのマッピング (続き)

プログラム可能バイキュア フィルタ	バイキュア フィルタ係数のレジスタのマッピング	プログラム可能バイキュア フィルタ	バイキュア フィルタ係数のレジスタのマッピング
バイキュア フィルタ 3	P8_R48-R67	バイキュア フィルタ 9	P9_R48-R67
バイキュア フィルタ 4	P8_R68-R87	バイキュア フィルタ 10	P9_R68-R87
バイキュア フィルタ 5	P8_R88-R107	バイキュア フィルタ 11	P9_R88-R107
バイキュア フィルタ 6	P8_R108-R127	バイキュア フィルタ 12	P9_R108-R127

6.3.7.1.6 プログラム可能なチャネル サマーおよびデジタル ミキサ

各チャネルでサポートされている SNR よりもさらに高い SNR を必要とするアプリケーションでは、デバイスのデジタル加算モードを使用できます。このモードでは、デジタル録音データが同じ重み係数でチャンネル全体に合計され、有効レコードノイズの低減に役立ちます。

このデバイスは、さまざまな入力チャネルをカスタム プログラム可能なスケールファクタでミキシングして最終的な出力チャネルを生成する、完全にプログラム可能なミキサ機能をサポートしています。出力チャネル 1 を生成するためのミキサ 1 の動作を説明するブロック図を、図 6-25 に示します。ミキサ操作のためのプログラム可能な係数は、B0_P10 に配置されています。

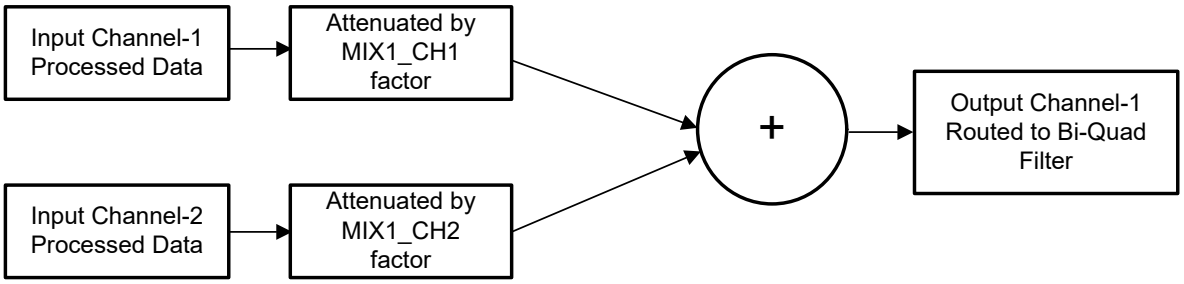


図 6-25. プログラマブル デジタル ミキサのブロック図

ミキサ 2 も同様のミキサ動作を行い、出力チャネル 2 を生成します。TI は、プログラマブル係数の設定には PPC3 GUI の使用を推奨しています。詳細については「*TAx5x1x-Q1EVM-PDK 評価基板ユーザー ガイド*と PurePath™ コンソール グラフィカル開発スイートをご覧ください。構成の詳細については、『*TAx5x1x プログラム可能なデジタル チャネル ミキサ*』アプリケーション レポート を参照してください。

6.3.7.1.7 構成可能なデジタル デシメーション フィルタ

デバイスのレコード チャネルには、広いダイナミック レンジと、マルチビット デルタ シグマ (Δ Σ) 変調器からのオーバーサンプリング データを処理するための内蔵デジタル デシメーション フィルタが含まれており、FSYNC レートと同じナイキスト サンプリング レートでデジタルデータを生成できます。デシメーション フィルタは、対象アプリケーションに必要な周波数応答、群遅延、消費電力、位相直線性に応じて、4 つの異なるタイプから選択できます。デシメーション フィルタ オプションの選択は、ADC_DSP_DECI_FILT（P0_R114_D[7:6]）レジスタ ビットの設定によって行うことができます。低消費電力フィルタは、ADC_LOW_PWR_FILT (P0_R78_D[2]) ビットをセットすることで構成できます。記録チャネルのデシメーション フィルタ モード選択の構成レジスタ設定を、表 6-19 に示します。

表 6-19. レコード チャネルのデシメーション フィルタ モードの選択

P0_R78_D[2] : ADC_LOW_PWR_FILT	P0_R114_D[7:6]: ADC_DSP_DECI_FILT[1:0]	デシメーション フィルタ モードの選択
0	00 (デフォルト)	デシメーションには線形位相フィルタが使用されます
0	01	デシメーションに低レイテンシ フィルタを使用します
0	10	超低レイテンシのフィルタを使用して、デシメーションを実施します
0	11	予約済み（この設定は使用しないでください）
1	x	デシメーションとして低消費電力フィルタを使用します

以下のセクションでは、各種のレイテンシ オプションおよびサンプル レートのフィルタ応答について説明します。

6.3.7.1.7.1 線形位相フィルタ

線形位相のデシメーション フィルタは、デバイスで設定されるデフォルトのフィルタであり、フィルタのパスバンド仕様内で線形位相偏差を 0 にする必要があるすべての用途で使用できます。このセクションでは、サポートされているすべての出力サンプリング レートにおけるフィルタの性能仕様と各種プロットを記載しています。

6.3.7.1.7.1.1 サンプリング レート : 8 kHz または 7.35 kHz

図 6-26 と図 6-27 に、このデシメーション フィルタのサンプリング レートが 8kHz または 7.35kHz での振幅応答とパスバンド リップルをそれぞれ示し、表 6-20 に仕様を示します。

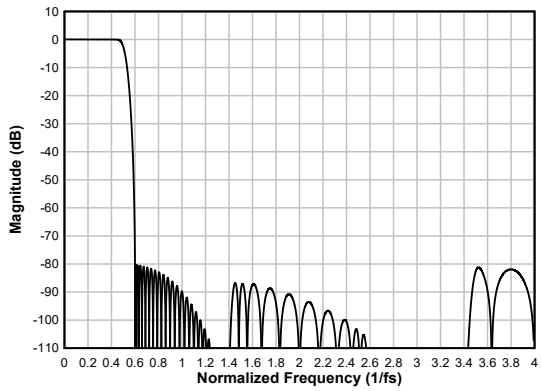


図 6-26. 線形位相デシメーション フィルタの振幅応答

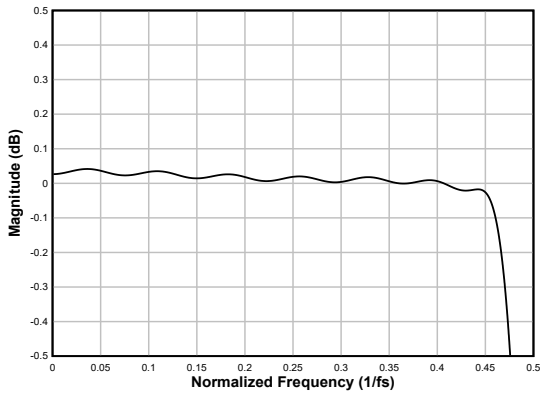


図 6-27. 線形位相デシメーション フィルタのパスバンド リップル

表 6-20. 線形位相デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.454 × f_S	-0.04		0.04	dB
ストップ バンド減衰	周波数範囲は 0.6 × f_S ～ 4 × f_S です	80.2			dB
	周波数範囲は 4 × f_S 以降です	84.7			

Copyright © 2025 Texas Instruments Incorporated

表 6-20. 線形位相デシメーション フィルタの仕様 (続き)

パラメータ	テスト条件	最小値	標準値	最大値	単位
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.454 × f_S		16.1		$1/f_S$

6.3.7.1.7.1.2 サンプリング レート : 16 kHz または 14.7 kHz

図 6-28 と図 6-29 に、このデシメーション フィルタのサンプリング レートが 16kHz または 14.7kHz での振幅応答とパス バンド リップルをそれぞれ示し、表 6-21 に仕様を示します。

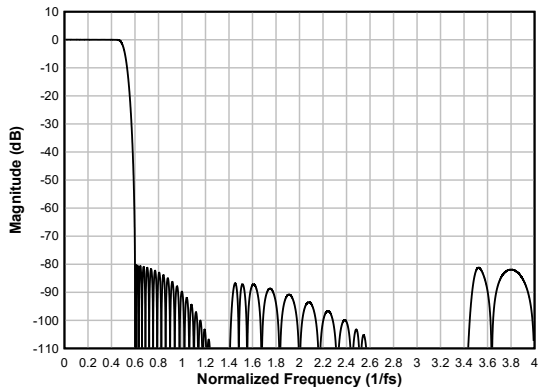


図 6-28. 線形位相デシメーション フィルタの振幅応答

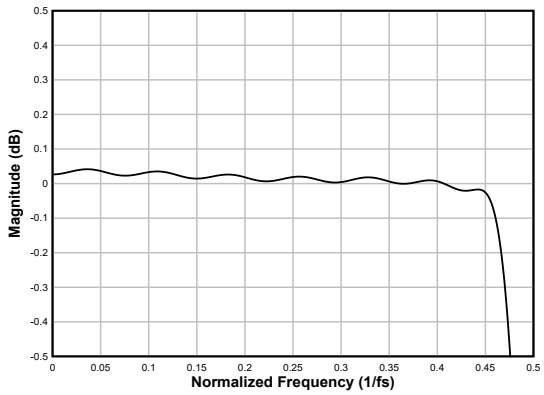


図 6-29. 線形位相デシメーション フィルタのパスバンド リップル

表 6-21. 線形位相デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.454 × f_S	-0.04		0.04	dB
ストップ バンド減衰	周波数範囲は 0.6 × f_S ～ 4 × f_S です	80.2			dB
	周波数範囲は 4 × f_S 以降です	84.7			
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.454 × f_S		16.1		1/f_S

6.3.7.1.7.1.3 サンプリング レート : 24 kHz または 22.05 kHz

図 6-30 と図 6-31 に、このデシメーション フィルタのサンプリング レートが 24kHz または 22.05kHz での振幅応答とパス バンド リップルをそれぞれ示し、表 6-22 に仕様を示します。

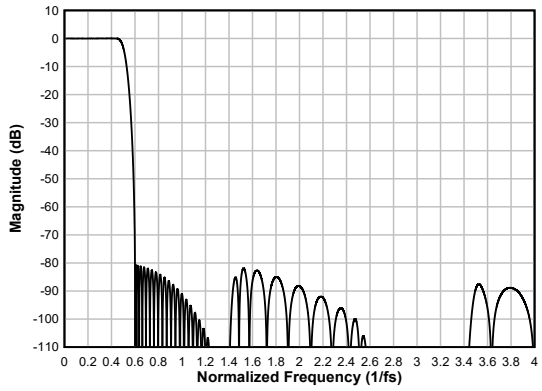


図 6-30. 線形位相デシメーション フィルタの振幅応答

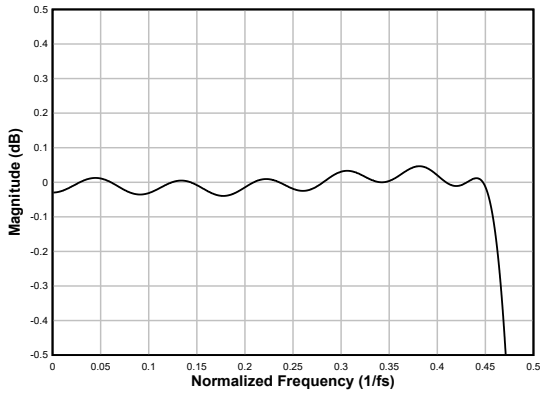


図 6-31. 線形位相デシメーション フィルタのパスバンド リップル

表 6-22. 線形位相デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.455 × f_S	-0.05		0.05	dB

Copyright © 2025 Texas Instruments Incorporated

表 6-22. 線形位相デシメーション フィルタの仕様 (続き)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ストップ バンド減衰	周波数範囲は 0.6 × f_S ～ 4 × f_S です	80.6			dB
	周波数範囲は 4 × f_S 以降です	93			
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.455 × f_S		14.7		1/f_S

6.3.7.1.7.1.4 サンプリング レート : 32 kHz または 29.4 kHz

図 6-32 と図 6-33 に、このデシメーション フィルタのサンプリング レートが 32kHz または 29.4kHz での振幅応答とパスバンド リップルをそれぞれ示し、表 6-23 に仕様を示します。

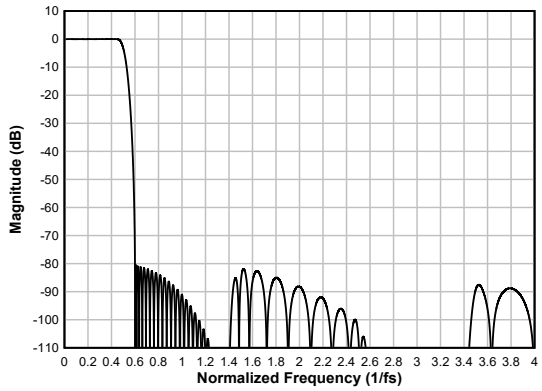


図 6-32. 線形位相デシメーション フィルタの振幅応答

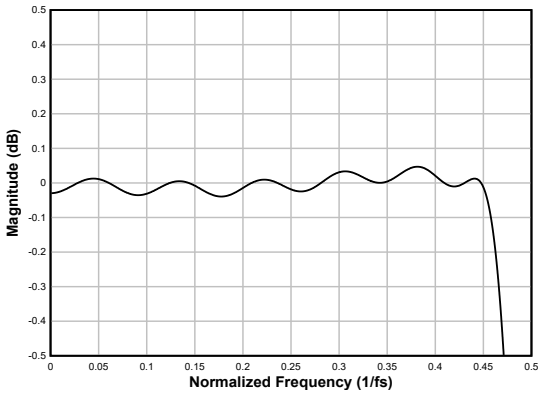


図 6-33. 線形位相デシメーション フィルタのパスバンド リップル

表 6-23. 線形位相デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.455 × f_S	-0.05		0.05	dB
ストップ バンド減衰	周波数範囲は 0.6 × f_S ～ 4 × f_S です	80.6			dB
	周波数範囲は 4 × f_S 以降です	92.9			
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.455 × f_S		14.7		1/f_S

6.3.7.1.7.1.5 サンプリング レート : 48 kHz または 44.1 kHz

図 6-34 と図 6-35 に、このデシメーション フィルタのサンプリング レートが 48kHz または 44.1kHz での振幅応答とパスバンド リップルをそれぞれ示し、表 6-24 に仕様を示します。

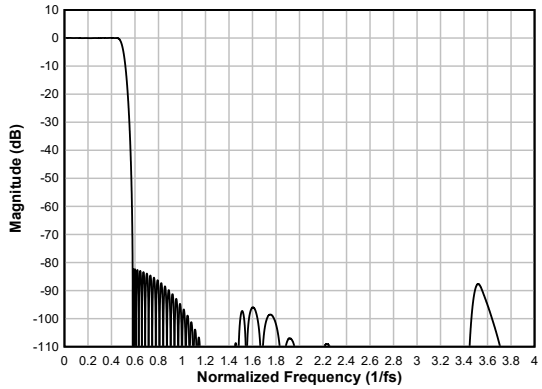


図 6-34. 線形位相デシメーション フィルタの振幅応答

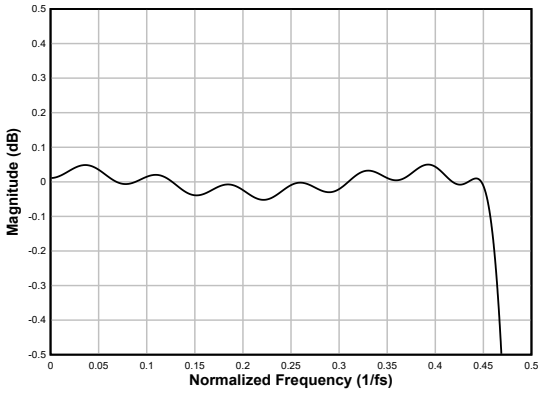


図 6-35. 線形位相デシメーション フィルタのパスバンド リップル

表 6-24. 線形位相デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.454 × f_S	-0.05		0.05	dB
ストップ バンド減衰	周波数範囲は 0.58 × f_S ～ 4 × f_S です	82.2			dB
	周波数範囲は 4 × f_S 以降です	98			
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.454 × f_S		17		1/f_S

6.3.7.1.7.1.6 サンプリング レート : 96 kHz または 88.2 kHz

図 6-36 と図 6-37 に、このデシメーション フィルタのサンプリング レートが 96kHz または 88.2kHz での振幅応答とパスバンド リップルをそれぞれ示し、表 6-25 に仕様を示します。

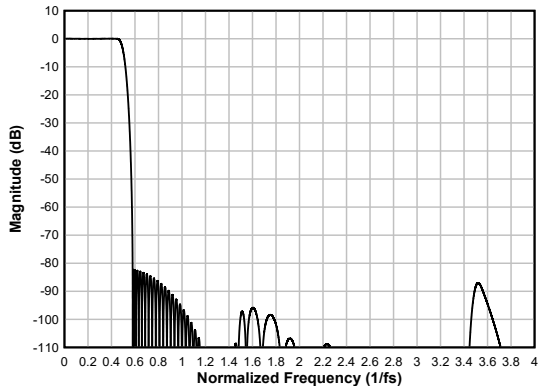


図 6-36. 線形位相デシメーション フィルタの振幅応答

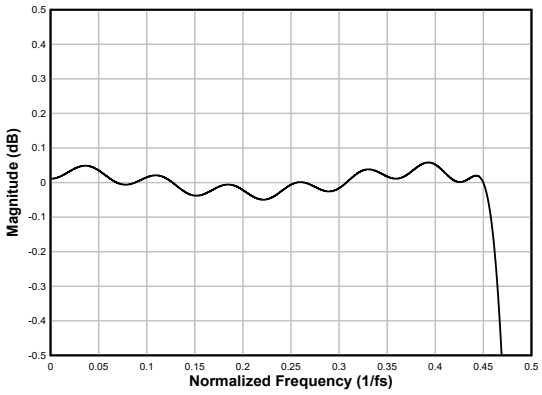


図 6-37. 線形位相デシメーション フィルタのパスバンド リップル

表 6-25. 線形位相デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.455 × f_S	-0.05		0.06	dB
ストップ バンド減衰	周波数範囲は 0.58 × f_S ～ 4 × f_S です	82.2			dB
	周波数範囲は 4 × f_S 以降です	87			
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.455 × f_S		16.9		1/f_S

Copyright © 2025 Texas Instruments Incorporated

6.3.7.1.7.1.7 サンプリング レート : 192 kHz または 176.4 kHz

図 6-38 と図 6-39 に、このデシメーション フィルタのサンプリング レートが 192kHz または 176.4kHz での振幅応答とパスバンド リップルをそれぞれ示し、表 6-26 に仕様を示します。

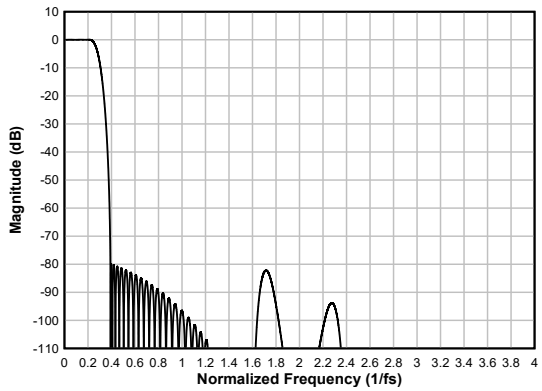


図 6-38. 線形位相デシメーション フィルタの振幅応答

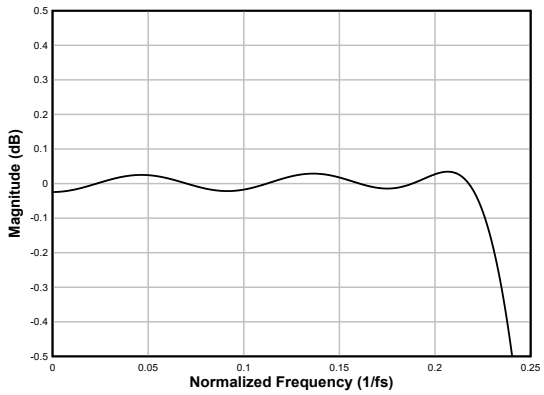


図 6-39. 線形位相デシメーション フィルタのパスバンド リップル

表 6-26. 線形位相デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.223 × f_S	-0.04		0.04	dB
ストップ バンド減衰	周波数範囲は 0.391 × f_S ～ 4 × f_S です	80			dB
	周波数範囲は 4 × f_S 以降です	82.2			
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.258 × f_S		11.6		1/f_S

6.3.7.1.7.2 低レイテンシ フィルタ

オーディオ帯域内で最小限の位相偏差と低レイテンシが重要なアプリケーションには、TAC5301-Q1 の低レイテンシ デシメーション フィルタを使用できます。このデバイスは、0.376 × f_S の周波数帯域内でほぼ線形な位相応答を持つ、約 7 個のサンプルのグループ遅延のフィルタをサポートしています。このセクションでは、低レイテンシ フィルタに対応するすべての出力サンプリング レートに関するフィルタ性能仕様および各種プロットを提供します。

6.3.7.1.7.2.1 サンプリング レート : 24 kHz または 22.05 kHz

図 6-40 は減衰特性を示し、図 6-41 は通過帯域のリップルと位相偏差を示しています。このデシメーション フィルタのサンプリング レートは 24kHz または 22.05kHz です。表 6-27 に、仕様を示します。

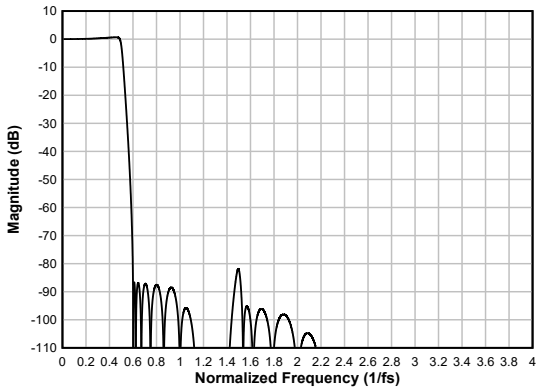


図 6-40. 低レイテンシのデシメーション フィルタの振幅応答

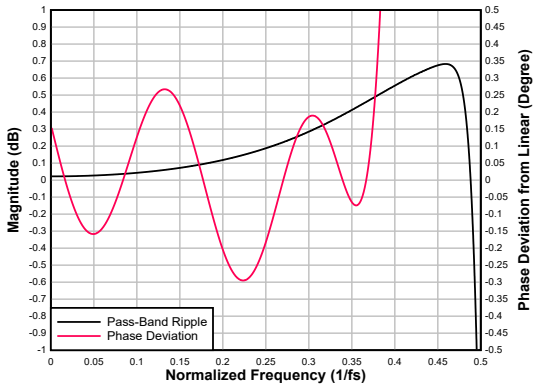


図 6-41. 低レイテンシ デシメーション フィルタのパスバンド リップルと位相偏差

表 6-27. 低レイテンシのデシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.492 × f_S	-0.67		-0.67	dB
ストップ バンド減衰	周波数範囲は 0.6 × f_S ～ 4 × f_S です	81.8			dB
	周波数範囲は 4 × f_S 以降です	115			
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.376 × f_S		6.5		1/f_S
群遅延の偏差	周波数範囲は 0 ~ 0.376 × f_S	-0.092		0.029	1/f_S
位相偏差	周波数範囲は 0 ~ 0.376 × f_S	-0.3		0.27	度

6.3.7.1.7.2.2 サンプリング レート : 32 kHz または 29.4 kHz

図 6-42 は減衰特性を示し、図 6-43 は通過帯域のリップルと位相偏差を示しています。このデシメーション フィルタのサンプリング レートは 32kHz または 29.4kHz です。表 6-28 に、仕様を示します。

Copyright © 2025 Texas Instruments Incorporated

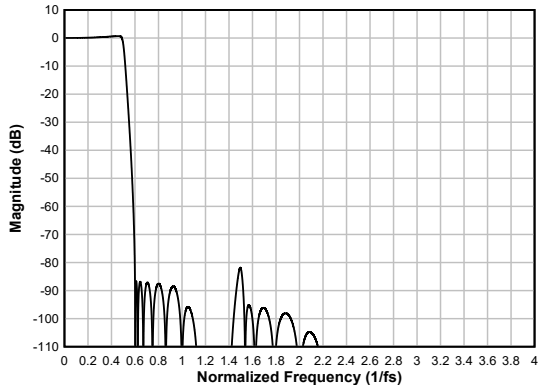


図 6-42. 低レイテンシのデシメーション フィルタの振幅応答

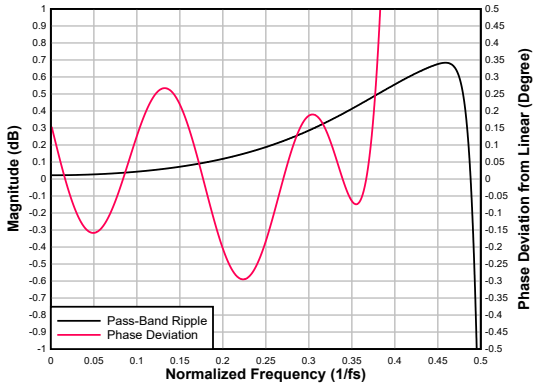


図 6-43. 低レイテンシ デシメーション フィルタのパスバンド リップルと位相偏差

表 6-28. 低レイテンシのデシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.492 × f_S	-0.67		-0.67	dB
ストップ バンド減衰	周波数範囲は 0.6 × f_S ～ 4 × f_S です	81.8			dB
	周波数範囲は 4 × f_S 以降です	115			
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.376 × f_S		6.5		1/f_S
群遅延の偏差	周波数範囲は 0 ~ 0.376 × f_S	-0.092		0.029	1/f_S
位相偏差	周波数範囲は 0 ~ 0.376 × f_S	-0.3		0.27	度

6.3.7.1.7.2.3 サンプリング レート : 48 kHz または 44.1 kHz

図 6-44 は減衰特性を示し、図 6-45 は通過帯域のリップルと位相偏差を示しています。このデシメーション フィルタのサンプリング レートは 48kHz または 44.1kHz です。表 6-29 に、仕様を示します。

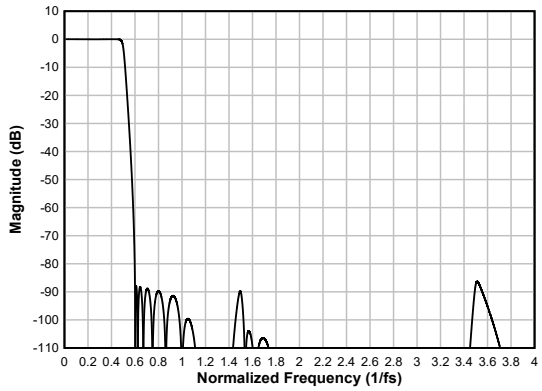


図 6-44. 低レイテンシのデシメーション フィルタの振幅応答

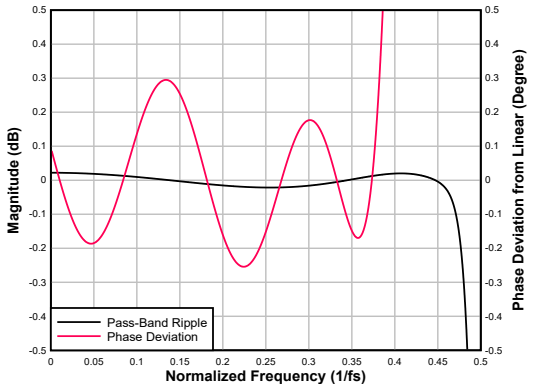


図 6-45. 低レイテンシ デシメーション フィルタのパスバンド リップルと位相偏差

表 6-29. 低レイテンシのデシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.456 × f_S	-0.02		-0.02	dB
ストップ バンド減衰	周波数範囲は 0.6 × f_S ～ 4 × f_S です	86.3			dB
	周波数範囲は 4 × f_S 以降です	96.8			

表 6-29. 低レイテンシのデシメーション フィルタの仕様 (続き)

パラメータ	テスト条件	最小値	標準値	最大値	単位
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.376 × f_S		6.6		$1/f_S$
群遅延の偏差	周波数範囲は 0 ~ 0.376 × f_S	-0.086		0.027	$1/f_S$
位相偏差	周波数範囲は 0 ~ 0.376 × f_S	-0.25		0.3	度

6.3.7.1.7.2.4 サンプリング レート : 96 kHz または 88.2 kHz

図 6-46 は減衰特性を示し、図 6-47 は通過帯域のリップルと位相偏差を示しています。このデシメーション フィルタのサンプリング レートは 96kHz または 88.2kHz です。表 6-30 に、仕様を示します。

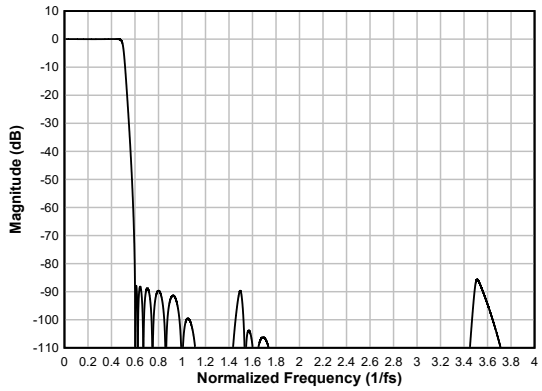


図 6-46. 低レイテンシのデシメーション フィルタの振幅応答

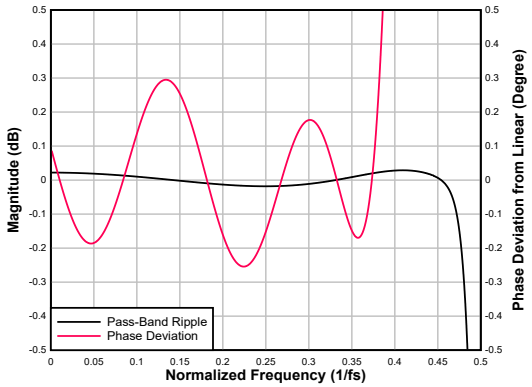


図 6-47. 低レイテンシ デシメーション フィルタのパスバンド リップルと位相偏差

表 6-30. 低レイテンシのデシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.456 × f_S	-0.02		0.03	dB
ストップ バンド減衰	周波数範囲は 0.599 × f_S ～ 4 × f_S です	85.6			dB
	周波数範囲は 4 × f_S 以降です	95.7			
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.376 × f_S		6.6		$1/f_S$
群遅延の偏差	周波数範囲は 0 ~ 0.376 × f_S	-0.086		0.022	$1/f_S$
位相偏差	周波数範囲は 0 ~ 0.376 × f_S	-0.25		0.022	度

6.3.7.1.7.2.5 サンプリング レート : 192 kHz または 176.4 kHz

図 6-48 は減衰特性を示し、図 6-49 は通過帯域のリップルと位相偏差を示しています。このデシメーション フィルタのサンプリング レートは 192kHz または 176.4kHz です。表 6-31 に、仕様を示します。

Copyright © 2025 Texas Instruments Incorporated

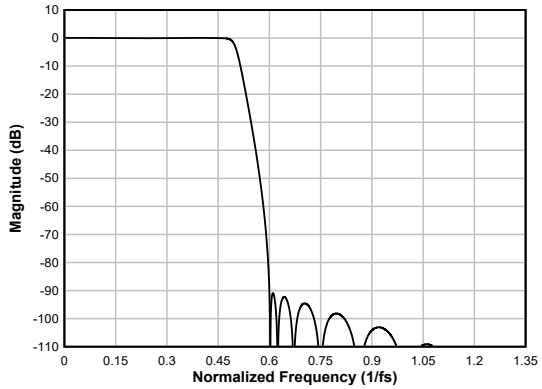


図 6-48. 低レイテンシのデシメーション フィルタの振幅応答

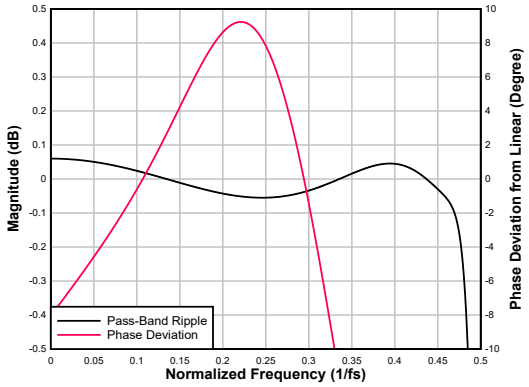


図 6-49. 低レイテンシ デシメーション フィルタのパスバンド リップルと位相偏差

表 6-31. 低レイテンシのデシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.456 × f_S	-0.06		0.06	dB
ストップ バンド減衰	周波数範囲は 0.571 × f_S ～ 1.35 × f_S です	90.5			dB
	周波数範囲は 1 × f_S 以降です	86.9			
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.327 × f_S		6.8		1/f_S
群遅延の偏差	周波数範囲は 0 ~ 0.327 × f_S	-0.296		0.829	1/f_S
位相偏差	周波数範囲は 0 ~ 0.327 × f_S	-9.24		9.24	度

6.3.7.1.7.3 超低レイテンシ フィルタ

超低レイテンシ（オーディオ帯域内）が重要なアプリケーションでは、TAC5301-Q1 の超低レイテンシ デシメーション フィルタを使用できます。このデバイスは、0.325×f_S の周波数帯域内でほぼ直線的な位相応答を持つ、約 4 サンプルの群遅延でこれらのフィルタをサポートしています。このセクションでは、超低レイテンシ フィルタのサポートされているすべての出力サンプリング レートにおけるフィルタ性能仕様と各種プロットを提供します。

6.3.7.1.7.3.1 サンプリング レート：24 kHz または 22.05 kHz

図 6-50 は減衰特性を示し、図 6-51 は通過帯域のリップルと位相偏差を示しています。このデシメーション フィルタのサンプリング レートは 24kHz または 22.05kHz です。表 6-32 に、仕様を示します。

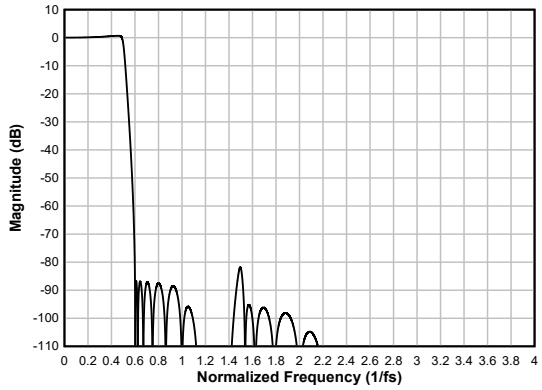


図 6-50. 超低レイテンシのデシメーション フィルタの振幅応答

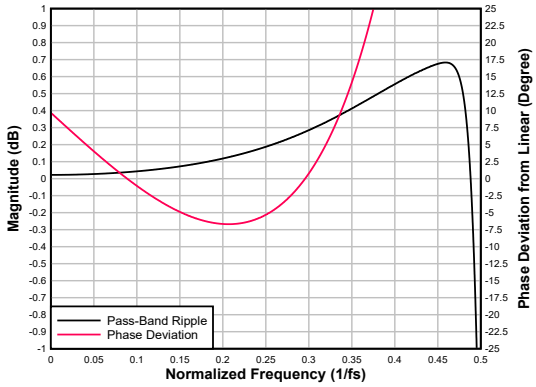


図 6-51. 超低レイテンシ デシメーション フィルタのパスバンド リップルと位相偏差

表 6-32. 超低レイテンシ デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.492 × f_S	-0.67		-0.67	dB
ストップ バンド減衰	周波数範囲は 0.6 × f_S ～ 4 × f_S です	81.8			dB
	周波数範囲は 4 × f_S 以降です	115			
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.325 × f_S		2.8		1/f_S
群遅延の偏差	周波数範囲は 0 ~ 0.325 × f_S	-0.292		0.765	1/f_S
位相偏差	周波数範囲は 0 ~ 0.325 × f_S	-6.7		9.7	度

6.3.7.1.7.3.2 サンプリング レート : 32 kHz または 29.4 kHz

図 6-52 は減衰特性を示し、図 6-53 は通過帯域のリップルと位相偏差を示しています。このデシメーション フィルタのサンプリング レートは 32kHz または 29.4kHz です。表 6-33 に、仕様を示します。

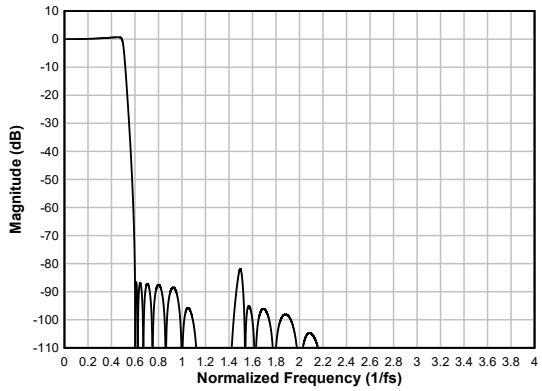


図 6-52. 超低レイテンシのデシメーション フィルタの振幅応答

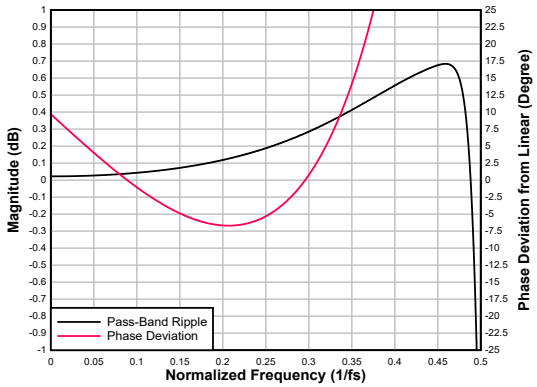


図 6-53. 超低レイテンシ デシメーション フィルタのパスバンド リップルと位相偏差

表 6-33. 超低レイテンシ デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.492 × f_S	-0.67		-0.67	dB
ストップ バンド減衰	周波数範囲は 0.6 × f_S ～ 4 × f_S です	81.8			dB
	周波数範囲は 4 × f_S 以降です	115			
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.325 × f_S		2.7		1/f_S
群遅延の偏差	周波数範囲は 0 ~ 0.325 × f_S	-0.292		0.765	1/f_S
位相偏差	周波数範囲は 0 ~ 0.325 × f_S	-6.7		9.7	度

6.3.7.1.7.3.3 サンプリング レート : 48 kHz または 44.1 kHz

図 6-54 は減衰特性を示し、図 6-55 は通過帯域のリップルと位相偏差を示しています。このデシメーション フィルタのサンプリング レートは 48kHz または 44.1kHz です。表 6-34 に、仕様を示します。

Copyright © 2025 Texas Instruments Incorporated

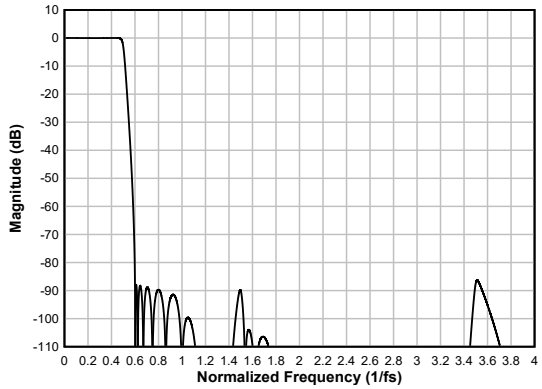


図 6-54. 超低レイテンシのデシメーション フィルタの振幅応答

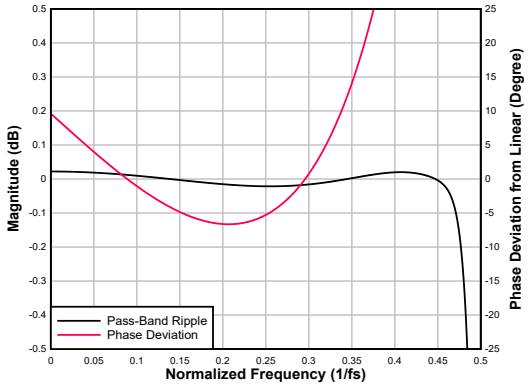


図 6-55. 超低レイテンシ デシメーション フィルタのパスバンド リップルと位相偏差

表 6-34. 超低レイテンシ デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.456 × f_S	-0.02		-0.02	dB
ストップ バンド減衰	周波数範囲は 0.6 × f_S ～ 4 × f_S です	86.3			dB
	周波数範囲は 4 × f_S 以降です	96.8			
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.325 × f_S		2.8		1/f_S
群遅延の偏差	周波数範囲は 0 ~ 0.325 × f_S	-0.29		0.761	1/f_S
位相偏差	周波数範囲は 0 ~ 0.325 × f_S	-6.6		9.6	度

6.3.7.1.7.3.4 サンプリング レート : 96 kHz または 88.2 kHz

図 6-56 は減衰特性を示し、図 6-57 は通過帯域のリップルと位相偏差を示しています。このデシメーション フィルタのサンプリング レートは 96kHz または 88.2kHz です。表 6-35 に、仕様を示します。

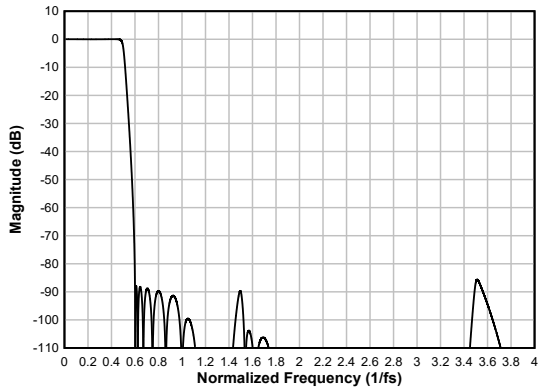


図 6-56. 超低レイテンシのデシメーション フィルタの振幅応答

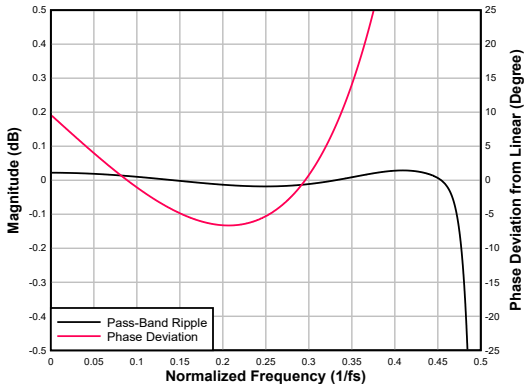


図 6-57. 超低レイテンシ デシメーション フィルタのパスバンド リップルと位相偏差

表 6-35. 超低レイテンシ デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.456 × f_S	-0.02		0.03	dB
ストップ バンド減衰	周波数範囲は 0.599 × f_S ～ 4 × f_S です	85.6			dB
	周波数範囲は 4 × f_S 以降です	95.7			

表 6-35. 超低レイテンシ デシメーション フィルタの仕様 (続き)

パラメータ	テスト条件	最小値	標準値	最大値	単位
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.325 × f_S		2.7		$1/f_S$
群遅延の偏差	周波数範囲は 0 ~ 0.325 × f_S	-0.29		0.761	$1/f_S$
位相偏差	周波数範囲は 0 ~ 0.325 × f_S	-6.6		9.6	度

6.3.7.1.7.3.5 サンプリング レート : 192 kHz または 176.4 kHz

図 6-58 は減衰特性を示し、図 6-59 は通過帯域のリップルと位相偏差を示しています。このデシメーション フィルタのサンプリング レートは 192kHz または 176.4kHz です。表 6-36 に、仕様を示します。

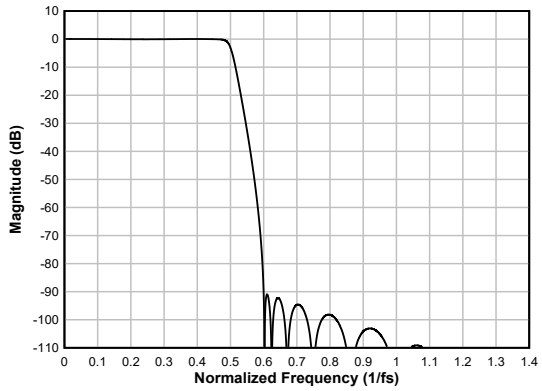


図 6-58. 超低レイテンシのデシメーション フィルタの振幅応答

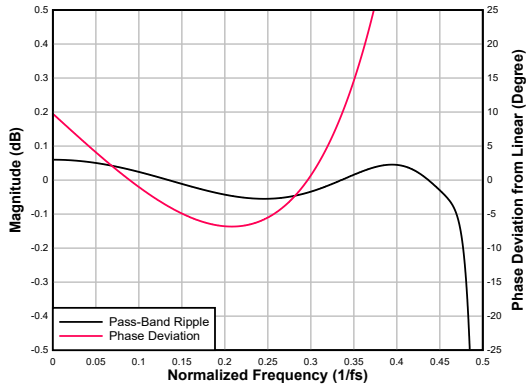


図 6-59. 超低レイテンシ デシメーション フィルタのパスバンド リップルと位相偏差

表 6-36. 超低レイテンシ デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.456 × f_S	-0.06		0.06	dB
ストップ バンド減衰	周波数範囲は 0.571 × f_S ～ 1.35 × f_S です	90.5			dB
	周波数範囲は 1.35 × f_S 以降です	86.9			
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.325 × f_S		2.7		$1/f_S$
群遅延の偏差	周波数範囲は 0 ~ 0.325 × f_S	-0.293		0.794	$1/f_S$
位相偏差	周波数範囲は 0 ~ 0.325 × f_S	-6.8		9.8	度

6.3.7.1.8 自動ゲイン コントローラ (AGC)

デバイスには、ADC 記録用の自動ゲイン コントローラ(AGC)が内蔵されています。図 6-60 に示すように、AGC を使用して音声録音時に出力レベルを公称値に一定に維持できます。AGC モードでは、チャネル ゲインを手動で設定する代わりに、マイクに向かって話している人がマイクに近づいたり遠ざかったりするなど、入力信号が大きすぎたり、極端に弱くなったりしたときに、回路がチャネル ゲインを自動的に調整します。AGC アルゴリズムには、ターゲット レベル、許容される最大ゲイン、アタックおよびリリース(または減衰)時間定数、ノイズ スレッショルドなど、いくつかのプログラミング可能なパラメータがあり、特定の用途に合わせてアルゴリズムを微調整できます。これらはデバイスでプログラム可能な係数の一部であり、B0_P27 および B0_P28 のレジスタを使用して構成できます。

Copyright © 2025 Texas Instruments Incorporated

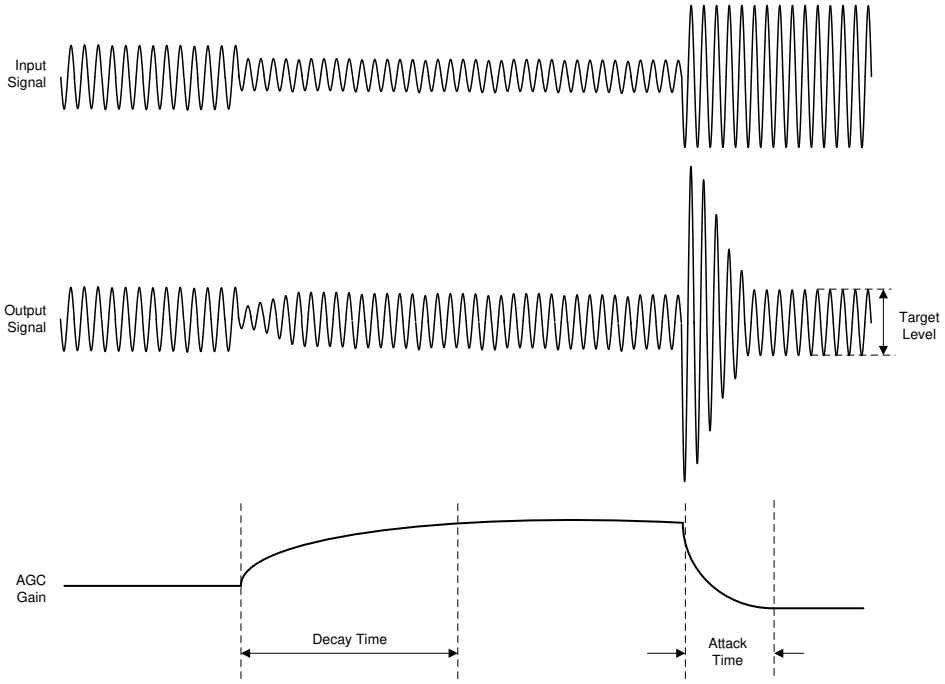


図 6-60. AGC の特性

目標レベルは、AGC が ADC 出力信号レベルの保持を試みるときのおおよその出力レベルを表します。TAC5301-Q1 を使用すると、さまざまなターゲット レベルをプログラムできます。ターゲット レベルは、大きな音が発生したときにクリッピングを防ぐために十分なマージンを設定することをお勧めします。AGC 各種構成可能パラメータおよびアプリケーションの使用方法の詳細については、*TAx5x1x ファミリでの自動ゲイン コントローラ(AGC)の使用アプリケーション レポート*を参照してください。TI は、プログラマブル係数の設定には PPC3 GUI の使用を推奨しています。詳細については「*TAx5x1x-Q1EVM-PDK 評価基板ユーザー ガイド*と PurePath™ コンソール グラフィカル開発スイートをご覧ください。

6.3.7.1.9 音声アクティビティ検出 (VAD)

TAC5301-Q1 は、低電力アクティビティ検出(LPAD)方式の一部として、音声アクティビティ検出(VAD)モードをサポートしています。このモードでは、TAC5301-Q1 は入力チャネルの 1 つを継続的に監視して音声検出を行います。このモードでは、デバイスは AVDD 電源からの低静止電流を消費します。この機能は、VAD_EN(P0_R120_D[2])を 1'b1 に設定することで有効化できます。音声アクティビティを検出すると、TAC5301-Q1 は I²C プログラムされた設定に基づいて、ホストに割り込みまたは自動ウェイクアップで通知し、録音を開始します。このアラートは、LPAD_MODE (P1_R30_D[7:6]) レジスタ ビットを通じて設定できます。

VAD の入力チャネルは、LPAD_CH_SEL(P1_R30_D[5:4])レジスタ ビットを適切な値に設定することで選択できます。詳細については、『*TAx511x および TAx521x での音声アクティビティ検出の使用方法*』アプリケーション レポートを参照してください。

6.3.7.1.10 超音波アクティビティ検出（UAD）

TAC5301-Q1 は、低消費電力アクティビティ検出(LPAD)方式の一部として、超音波アクティビティ検出(UAD)モードをサポートしています。このモードでは、TAC5301-Q1 は入力チャネルの 1 つを連続的に監視し、超音波周波数帯域の信号を検出します。このモードでは、デバイスは AVDD 電源からの低静止電流を消費します。この機能は、UAD_EN (P0_R120_D[3]) を 1'b1 に設定することで有効にすることができます。超音波動作を検出すると、TAC5301-Q1 は割り込みまたは自動ウェイクアップによりホストにアラートを送信でき、I²C プログラム構成に基づいて記録を開始できます。このアラートは、LPAD_MODE (P1_R30_D[7:6]) レジスタ ビットを通じて設定できます。

UAD の入力チャネルは、LPAD_CH_SEL(P1_R30_D[5:4])レジスタ ビットを適切な値に設定することで選択できます。詳細については、*TAx511x および TAx521x の超音波アクティビティ検出の使用方法*を参照してください。

6.3.7.2 DAC 信号チェーン

図 6-61 に、再生信号チェーンの主要な成分を示します。

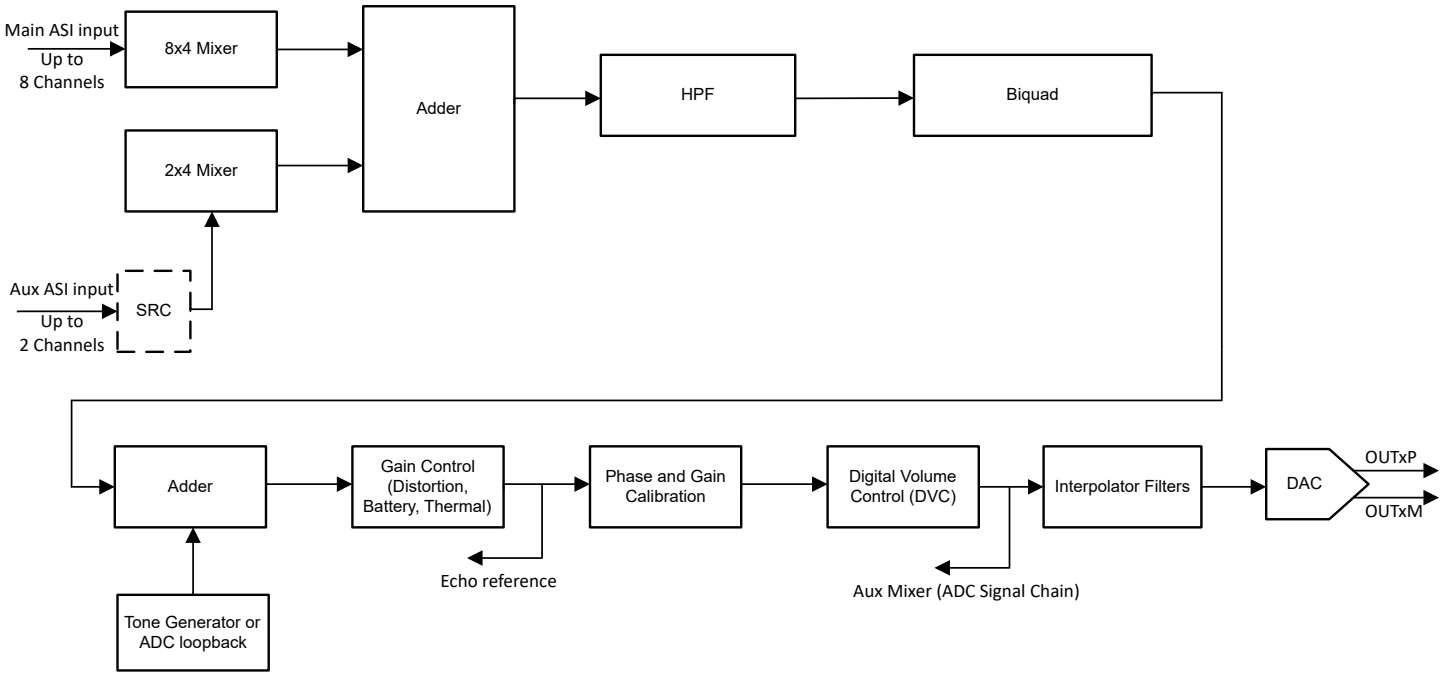


図 6-61. DAC 信号チェーン処理フローチャート

DAC 信号チェーンは、低ノイズおよびハイファイ オーディオ アプリケーション向けに、非常に柔軟な低ノイズ再生パスを提供します。この低ノイズ、低歪み、マルチビットのデルタ シグマ DAC により、TAC5301-Q1 は超低消費電力で 110dB のダイナミック レンジを実現できます。さらに、DAC アーキテクチャには、複数の変調器周波数成分周辺の帯域外周波数ノイズを高いレベルで除去するアンチエイリアス フィルタリングが組み込まれています。したがって、このデバイスは、ノイズがオーディオ帯域にエイリアシングするのを防ぎます。信号チェーンのさらに先では、統合された高性能多段デジタル補間フィルタが、高い阻止帯域減衰量で帯域外の周波数ノイズを鋭く遮断します。

また、信号処理チェーンは、バイクアッド フィルタ、位相較正、ゲイン較正、ハイパス フィルタ、デジタル サマーまたはミキサー、同期サンプル レート コンバータ、歪みリミッタ、サーマル フォールドバック、電圧低下防止、およびデジタル音量調整など、高度にプログラミング可能なさまざまなデジタル処理ブロックで構成されています。これらの処理ブロックの詳細については、このセクションでさらに説明します。また、このデバイスは最大 4 チャネルのシングル エンド出力モードもサポートしています。

再生用の出力チャンネルは、CH_EN（P0_R118）レジスタを使用して有効または無効にすることができ、オーディオ シリアル インターフェース用の入力チャンネルは、PASI_RX_CHx_CFG または SASI_RX_CHx_CFG ビットを使用して有効または無効にできます。このデバイスは、同時再生のためにすべてのアクティブ チャネルの同時パワーアップとパワーダウンをサポートしています。しかし、アプリケーションのニーズによっては、他のチャネルの再生中に、いくつかのチャネルを動的にパワーアップまたはパワーダウンする必要がある場合、DYN_PUPD_CFG（P0_R119）レジスタを設定することで、その使用事例に対応できます。

このデバイスは、複数のデータ混合オプションをサポートしており、DAC 出力で再生する前に、メイン ASI からの最大 8 つの入力チャネル、Aux ASI からの 2 つの入力チャネル、ADC ループバック データ、トーン ジェネレータを、各パスで柔軟なゲイン オプションで混合できます。デフォルトでは、これらのミキサーは無効になっており、チャネルは 1 つのチャネルのデータのみに設定されています。ミキサーは、レジスタ マップ B0_P17 に記載されているプログラマブル係数レジスタ ASI_DIN_Mixers を設定することで構成できます。

このデバイスは、90kHz までの出力信号帯域幅をサポートしています。DAC_CHx_BW_Mode ビット（P0_R101_D[0]、P0_R108_D[0]）を使用して、広帯域モードを有効または無効にできます。

Copyright © 2025 Texas Instruments Incorporated

サンプル レートが 48kHz 以下の場合、デバイスはすべての機能とさまざまなプログラム可能な処理ブロックをサポートします。しかし、サンプル レートが 48kHz より高い場合、同時に録音および再生できるチャンネル数や、使用できるバイキュア フィルタの数などに制限があります。詳細については、『*TAC5212 サンプリング レートおよびサポートされているプログラム可能な処理ブロック*』アプリケーション レポートを参照してください。

以下のセクションでは、DAC 信号チェーンの主要なブロックについて説明します。DAC 信号チェーンの他のさまざまなブロックの詳細については、セクション 9.1.1 のアプリケーション ノートを参照してください。

6.3.7.2.1 プログラム可能なチャネル ゲインおよびデジタル ボリューム制御

デバイスには、各出力チャネルについて独立したプログラム可能なチャネル ゲイン設定があり、システムで予測される最大入力信号に基づいて適切な値に設定できます。これは、OUT1x_LVL_CTRL および OUT2x_LVL_CTRL ビットを構成することで実現できます。粗いゲイン設定（-8dB～-26dB）は、これらのコントロールを 6dB ステップで使用することで可能です。

このデバイスにはプログラム可能なデジタル ボリューム制御機能があり、-100dB~27dB で 0.5dB 刻みの範囲で、チャネルの録音をミュートすることもできます。DAC チャネルが起動し、再生されている間は、デジタル ボリューム コントロール値を動的に変更することができます。ボリューム コントロールの変更中は、ソフトランアップまたはソフトランダウン機能が内部的に使用され、可聴アーティファクトを回避します。ソフトステップは、DAC_DSP_DISABLE_SOFT_STEP (P0_R115_D[1]) レジスタ ビットを使用して完全に無効にすることができます。

デジタル ボリューム コントロールの設定は、4 つのシングルエンド出力チャネルそれぞれに対して個別に利用できます。2 チャネル差動 DAC の場合、DAC_CH1A および DAC_CH2A の設定のみが適用されます。また、このデバイスは、チャネル 1A のデジタル ボリューム コントロール設定を使用して、チャネル 1A が電源オンまたは電源オフの状態に関わらず、すべてのチャネルの ボリューム コントロール設定をまとめて変更するオプションもサポートしています。このギャングアップは、DAC_DSP_DVOL_GANG (P0_R115_D[0]) レジスタビットを使用して有効にできます。

表 6-37 はデジタル ボリューム コントロール用に利用可能なプログラマブル オプションを示します。

表 6-37. デジタル ボリューム コントロール（DVC）のプログラマブル設定

P0_R103_D (7:0)DAC_CH1A_DVOL[7:0]	DVC 出力チャネル 1A の設定
0000 0000 = 0d	出力チャネル 1 の DVC はミュートに設定
0000 0001 = 1d	出力チャネル 1 の DVC は -100dB に設定されます
0000 0010 = 2d	出力チャネル 1 の DVC は -99.5dB に設定されます
0000 0011 = 3d	出力チャネル 1 の DVC は -99dB に設定されます
…	…
1100 1000 = 200d	出力チャネル 1 の DVC は -0.5dB に設定されます
1100 1001 = 201d (デフォルト)	出力チャネル 1 の DVC は 0dB に設定されます
1100 1010 = 202d	出力チャネル 1 の DVC は 0.5dB に設定されます
…	…
1111 1101 = 253d	出力チャネル 1 の DVC は 26dB に設定されます
1111 1110 = 254d	出力チャネル 1 の DVC は 26.5dB に設定されます
1111 1111 = 255d	出力チャネル 1 の DVC は 27dB に設定されます

同様に、出力チャネル 1B、2A、2B のデジタル ボリューム コントロール設定は、それぞれ CH2B_DVOL (P0_R112) から CH2B_DVOL（P0_R112）レジスタ ビットを使用して構成できます。

チャネルが電源投入されると、内部デジタル処理エンジンがミュート レベルからプログラムされた音量レベルまで音量を徐々に上げます。また、チャネルが電源オフになると、内部デジタル処理エンジンがプログラムされた音量からミュートまで音量を徐々に下げます。このボリュームのソフトステップは、可聴アーティファクトの原因となる再生チャネルの突然の電源オンおよび電源オフを防止するために行われます。この機能は、DAC_DSP_DISABLE_SOFT_STEP（P0_R115_D[1]）レジスタ ビットを使用して完全に無効化することもできます。

6.3.7.2.2 プログラム可能なチャネル ゲイン較正

デジタル ボリューム コントロール機能に加え、このデバイスはプログラム可能なチャネル ゲイン較正も提供します。各チャネルのゲインは、–0.8dB から 0.7dB のゲイン誤差範囲で、0.1dB ごとに微調整または調整することができます。この調整は、トランスデューサの感度や負荷インピーダンスの不一致に起因するチャンネル間のゲインの一致を試みる際に有効です。この機能は、通常のデジタル ボリューム コントロールと組み合わせることで、0.1dB の解像度で広いゲイン誤差範囲にわたってすべてのチャネルのゲインを一致させることができます。チャネル ゲイン較正に利用可能なプログラム可能なオプションを 表 6-38 に示します。

表 6-38. DAC チャネル ゲイン較正のプログラマブル設定

P0_R104_D[7:4]: DAC_CH1A_FGAIN[3:0]	入力チャネル 1A のチャネル ゲイン較正設定
0000 = 0d	入力チャネル 1 のゲイン較正を -0.8dB に設定します
0001 = 1d	入力チャネル 1 のゲイン較正を -0.7dB に設定します
…	…
1000 = 8d (デフォルト)	入力チャネル 1 のゲイン較正を 0dB に設定します
…	…
1110 = 14d	入力チャネル 1 のゲイン較正を 0.6dB に設定します
1111 = 15d	入力チャネル 1 のゲイン較正を 0.7dB に設定します

同様に、入力チャネル 1B、2A、2B のチャネル ゲイン較正設定は、それぞれ、DAC_CH1B_CFG1 (P0_R106)、DAC_CH2A_CFG1(P0_R111)、および DAC_CH2B_CFG1(P0_R113) レジスタ ビットを使用して構成できます。

6.3.7.2.3 プログラム可能なデジタル ハイパス フィルタ

記録データの直流オフセット成分を除去し、不要な低周波ノイズを減衰させるために、本デバイスはプログラム可能なハイパス フィルタ（HPF）をサポートしています。HPF は、チャネルごとに独立したフィルタ設定ではなく、すべての DAC チャネルに対してグローバルに適用されます。この HPF は一次のインフィニット インパルス レスポンス（IIR）フィルタを使用して構成されており、信号中の DC 成分を効果的に除去するのに十分な性能を備えています。表 6-39 は、P0_R115 の DAC_DSP_HPF_SEL[1:0] レジスタ ビットを使用して設定できる、あらかじめ定義された -3dB カットオフ周波数を示しています。さらに、特定のアプリケーションに合わせたカスタムの－3dB カットオフ周波数を実現するために、DAC_DSP_HPF_SEL[1:0] レジスタ ビットを 2'b00 に設定することで、一次 IIR フィルタの係数をプログラムすることも可能です。HPF フィルタの周波数応答プロットを、図 6-62 に示します。

表 6-39. HPF プログラム可能設定

P0_R115_D[5:4]: DAC_DSP_HPF_SEL[1:0]	-3dB カットオフ周波数設定	16kHz サンプル レートで -3dB カットオフ周波数	48kHz サンプル レートにおける -3dB カットオフ周波数
00	プログラム可能な 1 次 IIR フィルタ	プログラム可能な 1 次 IIR フィルタ	プログラム可能な 1 次 IIR フィルタ
01 (デフォルト)	0.00002 × f_S	0.25 Hz	1Hz
10	0.00025 × f_S	4Hz	12Hz
11	0.002 × f_S	32Hz	96Hz

Copyright © 2025 Texas Instruments Incorporated

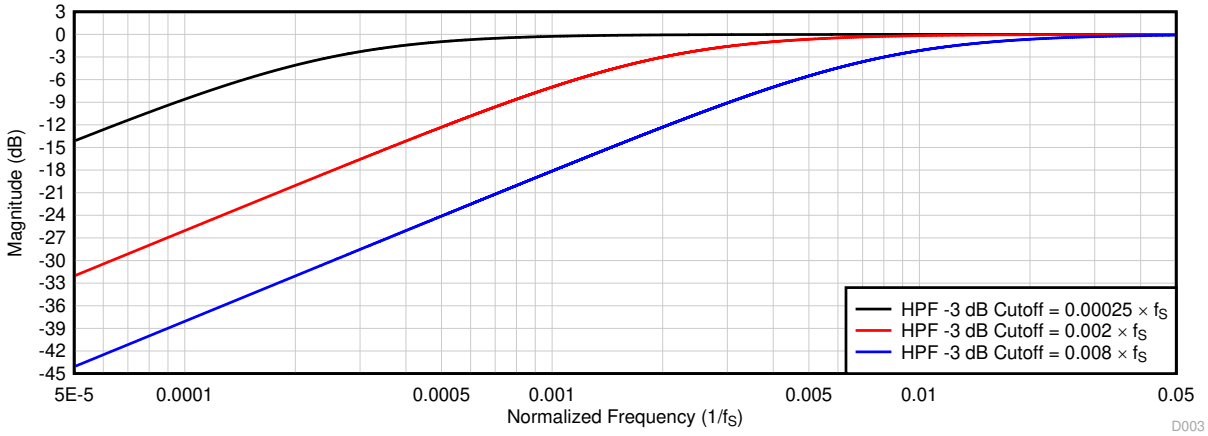


図 6-62. HPF フィルタの周波数応答プロット

式 3 は、1 次プログラム可能 IIR フィルタの伝達関数を示しています。

$$H(z) = \frac{N_0 + N_1 z^{-1}}{2^{31} - D_1 z^{-1}} \tag{3}$$

この一次プログラム可能な IIR フィルタは、デフォルト係数の場合、周波数応答が 0dB のフラットなゲインとなり、オールパス フィルタとして動作します。ホスト デバイスは、表 6-40 にある IIR 係数をプログラムすることで、ハイパス フィルタリングやその他の必要なフィルタリングに合わせた目的の周波数応答に上書きすることができます。DAC_DSP_HPF_SEL[1:0] が 2'b00 に設定されている場合、ホスト デバイスは、いずれかの DAC チャネルを再生用に起動する前に、目的の周波数応答に対応するこれらの係数値を書き込む必要があります。1 次 IIR フィルタのフィルタ係数を、表 6-40 に示します。

表 6-40. 1 次 IIR フィルタの係数

フィルタ	フィルタの係数	デフォルトの係数値	係数レジスタのマッピング
プログラム可能な 1 次 IIR フィルタ（HPF または他の目的のフィルタに割り当て可能）	N_0	0x7FFFFFFF	P17_R120-R124
	N_1	0x00000000	P17_R125-R128
	D_1	0x00000000	P18_R8-R11

6.3.7.2.4 プログラム可能なデジタル バイクワッド フィルタ

このデバイスは最大 12 個のプログラム可能なデジタルバイキュアド フィルタをサポートしており、DAC 信号チェーンでは各チャネルに最大 3 個まで使用できます。これらの高効率フィルタは、所定の周波数応答を達成します。TAC5301-Q1 は、2 チャネル再生の使用ケースに対応した、オンザフライでプログラム可能なバイキュア フィルタもサポートしています。デジタル信号処理において、デジタル バイキュア フィルタは、2 つの極と 2 つのゼロを持つ二次の再帰的線形フィルタです。式 4 は、各バイキュア フィルタの伝達関数を示します。

$$H(z) = \frac{N_0 + 2N_1 z^{-1} + N_2 z^{-2}}{2^{31} - 2D_1 z^{-1} - D_2 z^{-2}} \tag{4}$$

デフォルトの係数を使用したバイキュア フィルタ セクションの周波数応答は、0dB のゲインでフラット（全通フィルタ）です。ホスト デバイスは、バイキュア係数をプログラムすることで周波数応答を上書きし、低域通過、高域通過、またはその他の希望する周波数シェーピングを達成できます。バイキュア フィルタのプログラム可能な係数は、B0_P15 および B0_P16 のプログラム可能係数レジスタに配置されています。バイキュア フィルタリングが必要な場合、ホスト デバイスは、ADC チャネルでの録音や DAC チャネルでの再生を開始する前に、これらの係数の値を設定する必要があります。2 チャネルの

ユースケースでは、TAC5301-Q1 はオンザフライ プログラム可能フィルタもサポートしています。この場合、デバイスは 1 つのチャネルに対して 2 つのフィルタ バンクを使用し、スイッチ ビットを使用して 1 つのフィルタ バンクから別のフィルタ バンクへ切り替えを行います。表 6-41 で説明しているように、これらのバイキュア フィルタは、P0_R115 の DAC_DSP_BQ_CFG[1:0] レジスタ設定に基づいて、各出力チャネルに割り当てることができます。DAC_DSP_BQ_CFG[1:0] を 2'b00 に設定することで、すべての再生チャネルに対するバイキュア フィルタリングが無効化され、システム アプリケーションに追加のフィルタリングが必要ない場合、ホスト デバイスはこの設定を選択できます。詳細については、*TAC5x1x および TAC5x1x-Q1 プログラム可能バイキュア フィルタ ー 構成とアプリケーションアプリケーション レポート*を参照してください。

表 6-41. バイキュア フィルタの録音出力チャネルへの割り当て

プログラム可能バイキュア フィルタ	P0_R115_D[3:2] レジスタ設定を使用した再生出力チャネルの割り当て		
	DAC_DSP_BQ_CFG[1:0] = 2'b01 (チャネルごとに 1 つのバイキュア)	DAC_DSP_BQ_CFG[1:0]= 2'b10 (デフォルト) (チャネルごとに 2 つのバイキュア)	DAC_DSP_BQ_CFG[1:0] = 2'b11 (チャネルごとに 3 つのバイキュア)
バイキュア フィルタ 1	出力チャネル 1 に割り当て	出力チャネル 1 に割り当て	出力チャネル 1 に割り当て
バイキュア フィルタ 2	出力チャネル 2 に割り当て	出力チャネル 2 に割り当て	出力チャネル 2 に割り当て
バイキュア フィルタ 3	出力チャネル 3 に割り当て	出力チャネル 3 に割り当て	出力チャネル 3 に割り当て
バイキュア フィルタ 4	出力チャネル 4 に割り当て	出力チャネル 4 に割り当て	出力チャネル 4 に割り当て
バイキュア フィルタ 5	未使用	出力チャネル 1 に割り当て	出力チャネル 1 に割り当て
バイキュア フィルタ 6	未使用	出力チャネル 2 に割り当て	出力チャネル 2 に割り当て
バイキュア フィルタ 7	未使用	出力チャネル 3 に割り当て	出力チャネル 3 に割り当て
バイキュア フィルタ 8	未使用	出力チャネル 4 に割り当て	出力チャネル 4 に割り当て
バイキュア フィルタ 9	未使用	未使用	出力チャネル 1 に割り当て
バイキュア フィルタ 10	未使用	未使用	出力チャネル 2 に割り当て
バイキュア フィルタ 11	未使用	未使用	出力チャネル 3 に割り当て
バイキュア フィルタ 12	未使用	未使用	出力チャネル 4 に割り当て

表 6-42 に、レジスタ空間へのバイキュア フィルタ係数のマッピングを示します。

表 6-42. バイキュア フィルタ係数のレジスタのマッピング

プログラム可能バイキュア フィルタ	バイキュア フィルタ係数のレジスタのマッピング	プログラム可能バイキュア フィルタ	バイキュア フィルタ係数のレジスタのマッピング
バイキュア フィルタ 1	P16_R8-R27	バイキュア フィルタ 7	P17_R8-R27
バイキュア フィルタ 2	P16_R28-R47	バイキュア フィルタ 8	P17_R28-R47
バイキュア フィルタ 3	P16_R48-R67	バイキュア フィルタ 9	P17_R48-R67
バイキュア フィルタ 4	P16_R68-R87	バイキュア フィルタ 10	P17_R68-R87
バイキュア フィルタ 5	P16_R88-R107	バイキュア フィルタ 11	P17_R88-R107
バイキュア フィルタ 6	P16_R108-R127	バイキュア フィルタ 12	P17_R108-R127

Copyright © 2025 Texas Instruments Incorporated

6.3.7.2.5 構成可能なデジタル補間フィルタ

デバイスの再生チャネルには、マルチビット(ΔΣ)変調器用のデジタル データ ストリームを生成するために、入力データ ストリームを処理する高ダイナミック レンジのデジタル補間フィルタが内蔵されています。補間フィルタは、対象アプリケーションに必要な周波数応答、群遅延、消費電力、位相直線性に応じて、4 つの異なるタイプから選択できます。補間フィルタ オプションの選択は、DAC_DSP_INTX_FILT(P0_R115_D[7:6])レジスタ ビットを設定することで行うことができます。低消費電力フィルタは、DAC_LOW_PWR_FILT(P0_R79_D[2])ビットを設定することで構成できます。記録チャネルのデシメーション フィルタ モード選択の構成レジスタ設定を、表 6-43 に示します。

表 6-43. 再生チャネルの補間フィルタ モードの選択

P0_R79_D[2]: DAC_LOW_PWR_FILT	P0_R115_D[7:6]: DAC_DSP_INTX_FILT[1:0]	補間フィルタモードの選択
0	00 (デフォルト)	補間には線形位相フィルタが使用されます
0	01	補間には低遅延フィルタが使用されます
0	10	補間には超低遅延フィルタが使用されます
0	11	予約済み(この設定は使用しないでください)
1	XX	補間には低電力フィルタが使用されます

6.3.7.2.5.1 線形位相フィルタ

線形補間フィルタは、デバイスによって設定されたデフォルトのフィルタであり、フィルタの通過帯域仕様内でゼロ位相偏差を持つ線形位相が必要なすべてのアプリケーションに使用できます。このセクションでは、サポートされているすべての出力サンプリング レートにおけるフィルタの性能仕様と各種プロットを記載しています。

6.3.7.2.5.1.1 サンプリング レート : 8 kHz または 7.35 kHz

図 6-63 および図 6-64 は、それぞれ補間フィルタの振幅応答と通過帯域リップルを、サンプリング レートが 8kHz または 7.35kHz の場合に示し、表 6-44 は仕様のリストです。

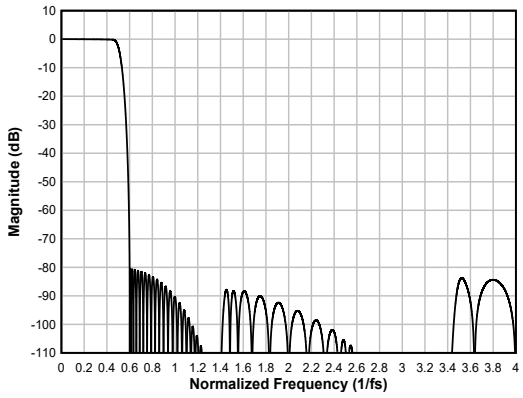


図 6-63. 線形位相補間フィルタの振幅応答

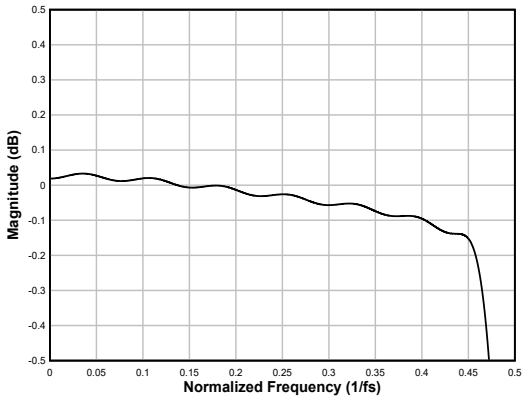


図 6-64. 線形位相補間フィルタのパスバンド リップル

表 6-44. 線形位相補間フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.455 × f_S	-0.17		0.03	dB
ストップ バンド減衰	周波数範囲は 0.6 × f_S ～ 4 × f_S です	80.4			dB
	周波数範囲は 4 × f_S ～ 7.431 × f_S です	86.9			
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.455 × f_S		16		1/f_S

6.3.7.2.5.1.2 サンプリング レート : 16 kHz または 14.7 kHz

図 6-65 および図 6-66 は、それぞれ補間フィルタの振幅応答と通過帯域リップルを、サンプリング レートが 16kHz または 14.7kHz の場合に示し、表 6-45 は仕様のリストです。

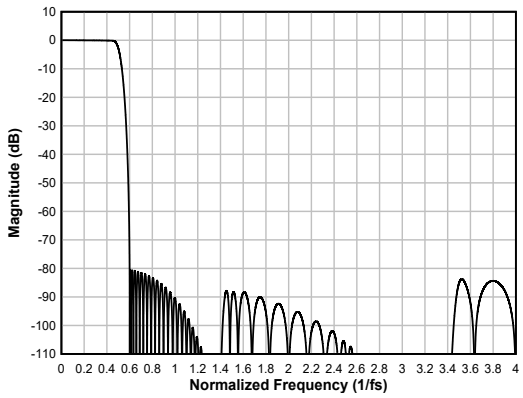


図 6-65. 線形位相補間フィルタの振幅応答

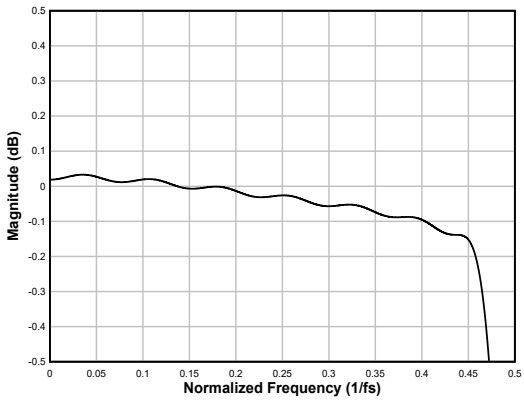


図 6-66. 線形位相補間フィルタのパスバンド リップル

表 6-45. 線形位相補間フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.455 × f_S	-0.17		0.03	dB
ストップ バンド減衰	周波数範囲は 0.6 × f_S ～ 4 × f_S です	80.4			dB
	周波数範囲は 4 × f_S ～ 7.431 × f_S です	86.9			
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.455 × f_S		16		$1/f_S$

6.3.7.2.5.1.3 サンプリング レート : 24 kHz または 22.05 kHz

図 6-67 および図 6-68 は、それぞれ補間フィルタの振幅応答と通過帯域リップルを、サンプリング レートが 24kHz または 22.05kHz の場合に示し、表 6-46 は仕様のリストです。

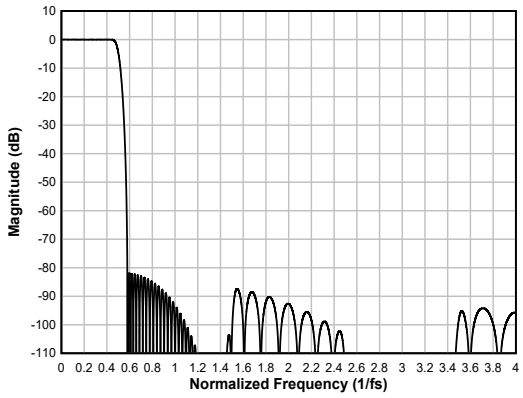


図 6-67. 線形位相補間フィルタの振幅応答

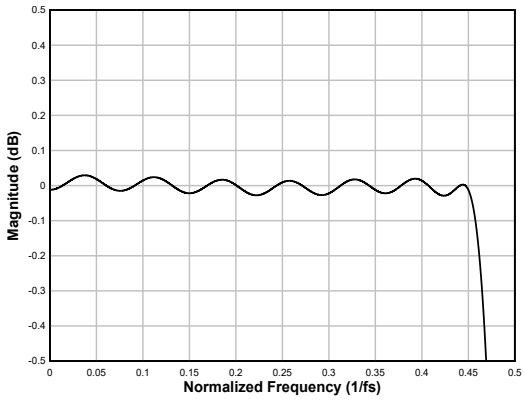


図 6-68. 線形位相補間フィルタのパスバンド リップル

表 6-46. 線形位相補間フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.455 × f_S	-0.05		0.03	dB
ストップ バンド減衰	周波数範囲は 0.58 × f_S ～ 4 × f_S です	81.9			dB
	周波数範囲は 4 × f_S ～ 8 × f_S です	87.7			

Copyright © 2025 Texas Instruments Incorporated

表 6-46. 線形位相補間フィルタの仕様 (続き)

パラメータ	テスト条件	最小値	標準値	最大値	単位
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.455 × f_S		17.6		$1/f_S$

6.3.7.2.5.1.4 サンプリング レート : 32 kHz または 29.4 kHz

図 6-69 および図 6-70 は、それぞれ補間フィルタの振幅応答と通過帯域リップルを、サンプリング レートが 32kHz または 29.4kHz の場合に示し、表 6-47 は仕様のリストです。

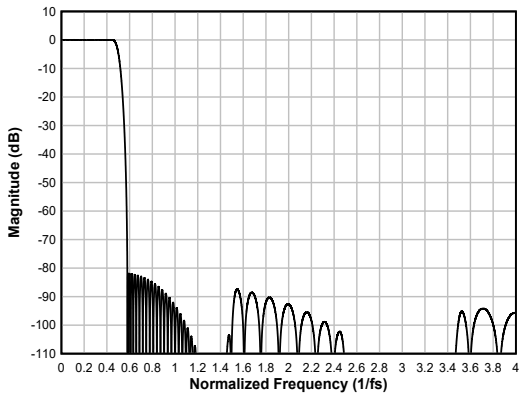


図 6-69. 線形位相補間フィルタの振幅応答

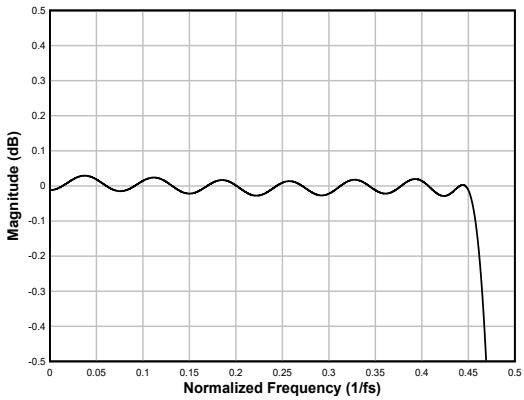


図 6-70. 線形位相補間フィルタのパスバンド リップル

表 6-47. 線形位相補間フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.455 × f_S	-0.05		0.03	dB
ストップ バンド減衰	周波数範囲は 0.58 × f_S ～ 4 × f_S です	81.9			dB
	周波数範囲は 4 × f_S ～ 8 × f_S です	87.6			
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.455 × f_S		17.6		$1/f_S$

6.3.7.2.5.1.5 サンプリング レート : 48 kHz または 44.1 kHz

図 6-71 および図 6-72 は、それぞれ補間フィルタの振幅応答と通過帯域リップルを、サンプリング レートが 48kHz または 44.1kHz の場合に示し、表 6-48 は仕様のリストです。

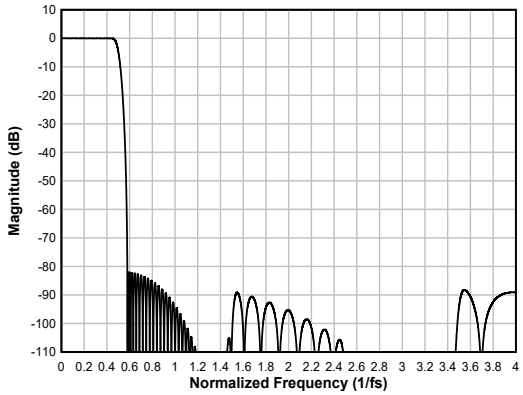


図 6-71. 線形位相補間フィルタの振幅応答

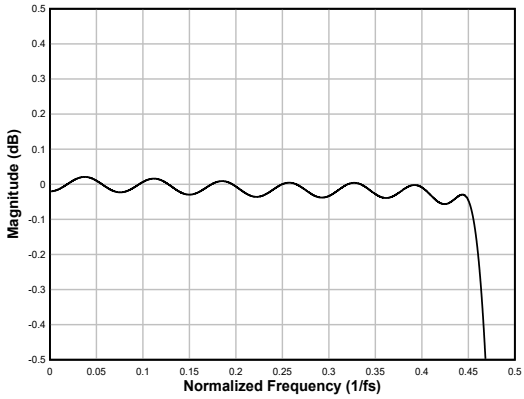


図 6-72. 線形位相補間フィルタのパスバンド リップル

表 6-48. 線形位相補間フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.455 × f_S	-0.09		0.02	dB
ストップ バンド減衰	周波数範囲は 0.58 × f_S ～ 4 × f_S です	82			dB
	周波数範囲は 4 × f_S ～ 7.423 × f_S です	89.1			
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.455 × f_S		17.3		1/f_S

6.3.7.2.5.1.6 サンプリング レート : 96 kHz または 88.2 kHz

図 6-73 と図 6-74 に、サンプリング レートが 96kHz または 88.2kHz での、この補間フィルタの振幅応答とパスバンド リップルを示し、表 6-49 に仕様を示します。

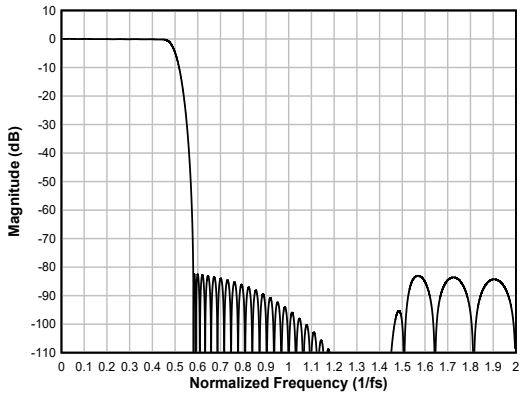


図 6-73. 線形位相補間フィルタの振幅応答

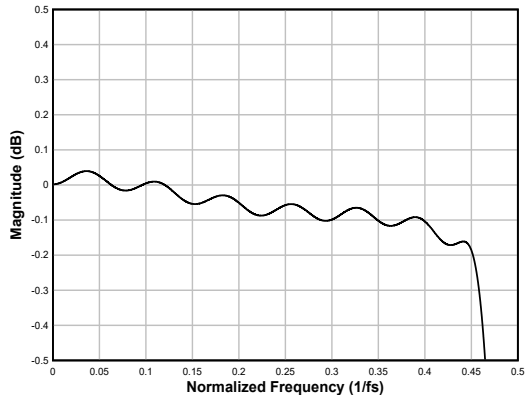


図 6-74. 線形位相補間フィルタのパスバンド リップル

表 6-49. 線形位相補間フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.455 × f_S	-0.23		0.04	dB
ストップ バンド減衰	周波数範囲は 0.58 × f_S ～ 2 × f_S です	82.4			dB
	周波数範囲は 2 × f_S ～ 3.422 × f_S です	85.1			
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.455 × f_S		16.7		1/f_S

6.3.7.2.5.1.7 サンプリング レート : 192 kHz または 176.4 kHz

図 6-75 および図 6-76 は、それぞれ補間フィルタの振幅応答と通過帯域リップルを、サンプリング レートが 192kHz または 176.4kHz の場合に示し、表 6-50 は仕様のリストです。

Copyright © 2025 Texas Instruments Incorporated

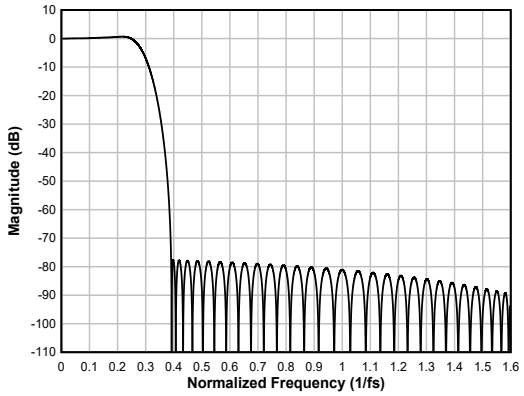


図 6-75. 線形位相補間フィルタの振幅応答

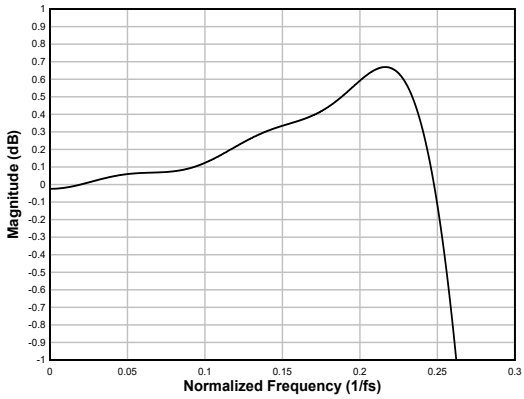


図 6-76. 線形位相補間フィルタのパスバンド リップル

表 6-50. 線形位相補間フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.258 × f_S	-0.67		0.67	dB
ストップ バンド減衰	周波数範囲は 0.391 × f_S ～ 1 × f_S です	77.7			dB
	周波数範囲は 1 × f_S ～ 1.612 × f_S です	81.1			
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.258 × f_S		10.7		1/f_S

6.3.7.2.5.2 低レイテンシ フィルタ

オーディオ帯域内での最小限の位相偏差と低レイテンシが重要となるアプリケーションには、TAC5301-Q1 の低レイテンシ補間フィルタを使用できます。このデバイスは、0.376 × f_S の周波数帯域内でほぼ線形な位相応答を持つ、約 7 個のサンプルのグループ遅延のフィルタをサポートしています。このセクションでは、低レイテンシ フィルタに対応するすべての出力サンプリング レートに関するフィルタ性能仕様および各種プロットを提供します。

6.3.7.2.5.2.1 サンプリング レート : 24 kHz または 22.05 kHz

図 6-77 は振幅応答を示し、図 6-78 はサンプリング レート 24kHz または 22.05kHz での補間フィルタのパスバンド リップルと位相偏差を示します。表 6-51 に、仕様を示します。

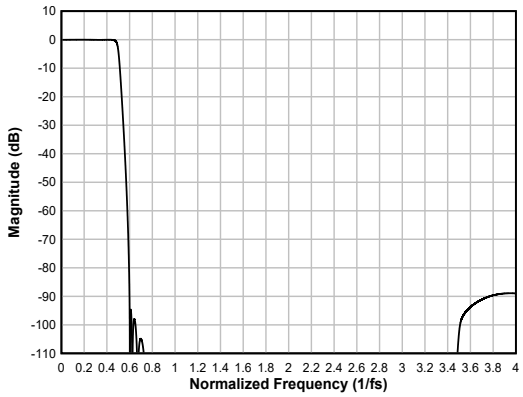


図 6-77. 低レイテンシ補間フィルタのマグニチュード応答

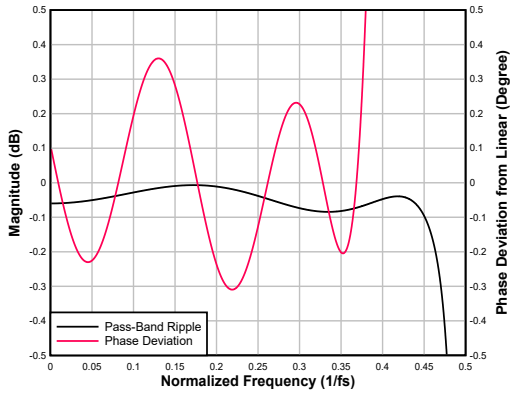


図 6-78. 低レイテンシ補間フィルタのパスバンド リップルと位相偏差

表 6-51. 低レイテンシ補間フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.455 × f_S	-0.12		-0.01	dB
ストップ バンド減衰	周波数範囲は 0.599 × f_S ～ 4 × f_S です	88.9			dB
	周波数範囲は 4 × f_S ～ 7.414 × f_S です	89			
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.376 × f_S		7.19		1/f_S
群遅延の偏差	周波数範囲は 0 ~ 0.376 × f_S	-0.088		0.088	1/f_S
位相偏差	周波数範囲は 0 ~ 0.376 × f_S	-0.31		0.36	度

6.3.7.2.5.2.2 サンプリング レート : 32 kHz または 29.4 kHz

図 6-79 は振幅応答を示し、図 6-80 はサンプリング レート 32kHz または 29.4kHz での補間フィルタのパスバンド リップルと位相偏差を示します。表 6-52 に、仕様を示します。

Copyright © 2025 Texas Instruments Incorporated

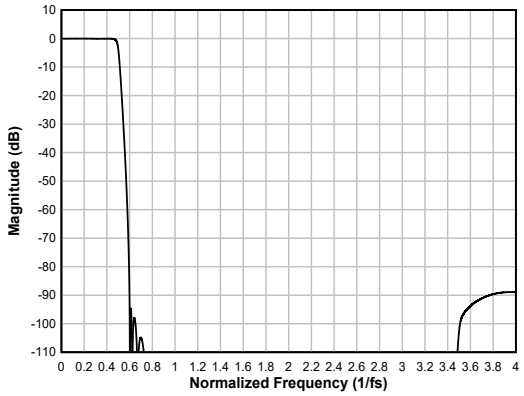


図 6-79. 低レイテンシ補間フィルタのマグニチュード応答

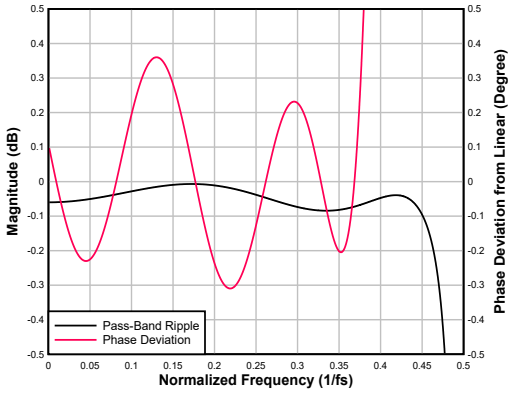


図 6-80. 低レイテンシ補間フィルタのパスバンド リップルと位相偏差

表 6-52. 低レイテンシ補間フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.455 × f_S	-0.12		-0.01	dB
ストップ バンド減衰	周波数範囲は 0.599 × f_S ～ 4 × f_S です	88.9			dB
	周波数範囲は 4 × f_S ～ 7.414 × f_S です	89			
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.376 × f_S		7.19		1/f_S
群遅延の偏差	周波数範囲は 0 ~ 0.376 × f_S	-0.088		0.088	1/f_S
位相偏差	周波数範囲は 0 ~ 0.376 × f_S	-0.31		0.36	度

6.3.7.2.5.2.3 サンプリング レート : 48 kHz または 44.1 kHz

図 6-81 は振幅応答を示し、図 6-82 はサンプリング レート 48kHz または 44.1kHz での補間フィルタのパスバンド リップルと位相偏差を示します。表 6-53 に、仕様を示します。

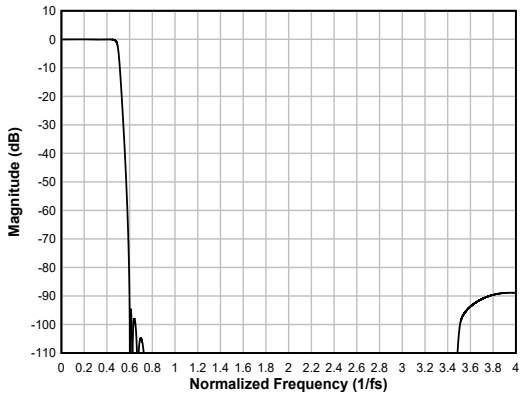


図 6-81. 低レイテンシ補間フィルタのマグニチュード応答

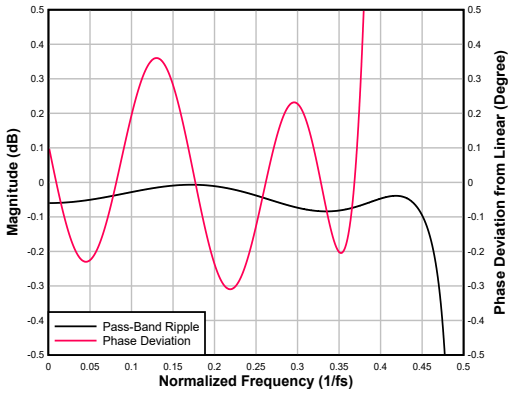


図 6-82. 低レイテンシ補間フィルタのパスバンド リップルと位相偏差

表 6-53. 低レイテンシ補間フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.455 × f_S	-0.12		-0.01	dB
ストップ バンド減衰	周波数範囲は 0.599 × f_S ～ 4 × f_S です	88.9			dB
	周波数範囲は 4 × f_S ～ 7.414 × f_S です	89			

表 6-53. 低レイテンシ補間フィルタの仕様 (続き)

パラメータ	テスト条件	最小値	標準値	最大値	単位
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.376 × f_S		7.19		$1/f_S$
群遅延の偏差	周波数範囲は 0 ~ 0.376 × f_S	-0.088		0.088	$1/f_S$
位相偏差	周波数範囲は 0 ~ 0.376 × f_S	-0.31		0.36	度

6.3.7.2.5.2.4 サンプリング レート : 96 kHz または 88.2 kHz

図 6-83 は振幅応答を示し、図 6-84 はサンプリング レート 96kHz または 88.2kHz での補間フィルタのパスバンド リップルと位相偏差を示します。表 6-54 に、仕様を示します。

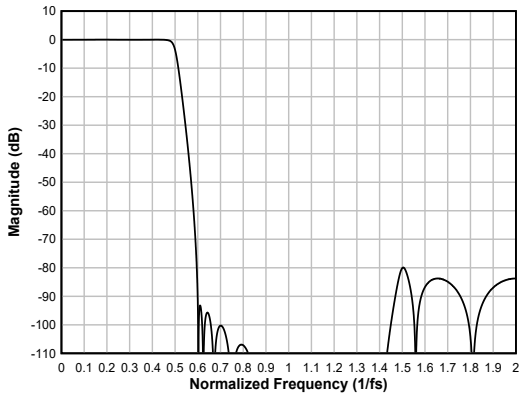


図 6-83. 低レイテンシ補間フィルタのマグニチュード応答

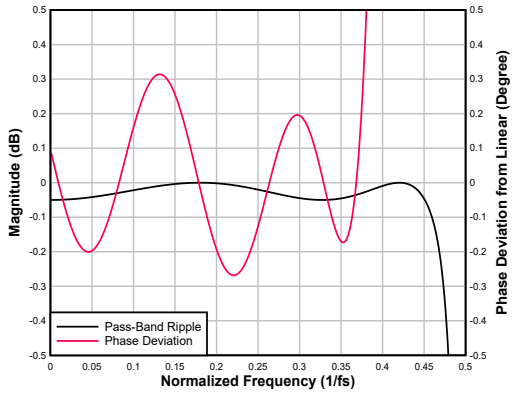


図 6-84. 低レイテンシ補間フィルタのパスバンド リップルと位相偏差

表 6-54. 低レイテンシ補間フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.456 × f_S	-0.07		0	dB
ストップ バンド減衰	周波数範囲は 0.595 × f_S ～ 2 × f_S です	79.9			dB
	周波数範囲は 2 × f_S ～ 3.405 × f_S です	79.9			
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.376 × f_S		6.39		$1/f_S$
群遅延の偏差	周波数範囲は 0 ~ 0.376 × f_S	-0.078		0.022	$1/f_S$
位相偏差	周波数範囲は 0 ~ 0.376 × f_S	-0.268		0.022	度

6.3.7.2.5.2.5 サンプリング レート : 192 kHz または 176.4 kHz

図 6-85 は振幅応答を示し、図 6-86 はサンプリング レート 192kHz または 176.4kHz での補間フィルタのパスバンド リップルと位相偏差を示します。表 6-55 に、仕様を示します。

Copyright © 2025 Texas Instruments Incorporated

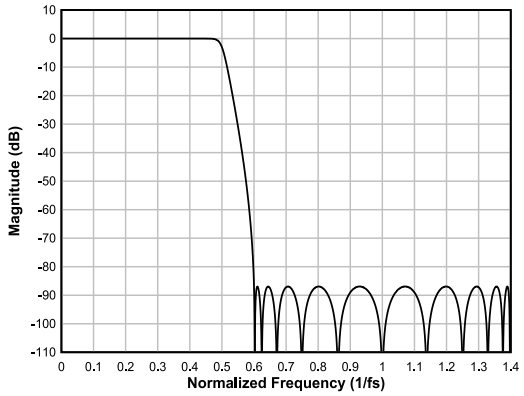


図 6-85. 低レイテンシ補間フィルタのマグニチュード応答

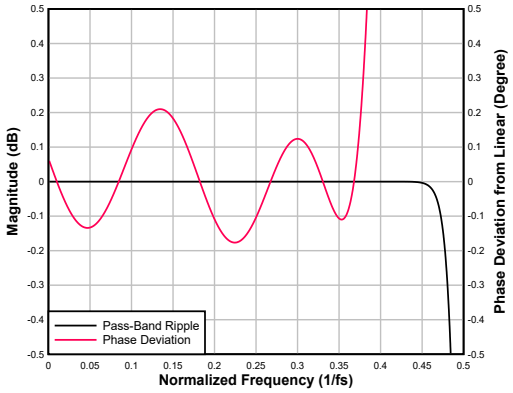


図 6-86. 低レイテンシ補間フィルタのパスバンド リップルと位相偏差

表 6-55. 低レイテンシ補間フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.452 × f_S	-0.005		0	dB
ストップ バンド減衰	周波数範囲は 0.6 × f_S ～ 1 × f_S です	86.9			dB
	周波数範囲は 1 × f_S ～ 1.401 × f_S です	86.9			
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.376 × f_S		5.41		1/f_S
群遅延の偏差	周波数範囲は 0 ~ 0.376 × f_S	-0.055		0.055	1/f_S
位相偏差	周波数範囲は 0 ~ 0.376 × f_S	-0.177		0.21	度

6.3.7.2.5.3 超低レイテンシ フィルタ

超低レイテンシ（オーディオ帯域内）が重要なアプリケーションでは、TAC5301-Q1 の超低レイテンシ補間フィルタを使用できます。このデバイスは、0.325×f_S の周波数帯域内でほぼ直線的な位相応答を持つ、約 4 サンプルの群遅延でこれらのフィルタをサポートしています。このセクションでは、超低レイテンシ フィルタのサポートされているすべての出力サンプリング レートにおけるフィルタ性能仕様と各種プロットを提供します。

6.3.7.2.5.3.1 サンプリング レート : 24 kHz または 22.05 kHz

図 6-87 は振幅応答を示し、図 6-88 はサンプリング レート 24kHz または 22.05kHz での補間フィルタのパスバンド リップルと位相偏差を示します。表 6-56 に、仕様を示します。

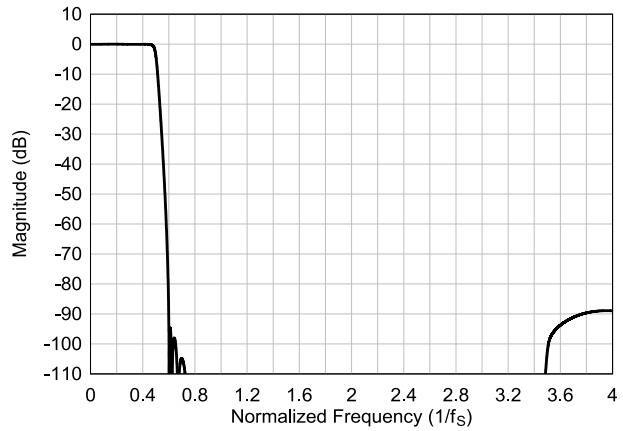


図 6-87. 超低レイテンシ補間フィルタの振幅応答

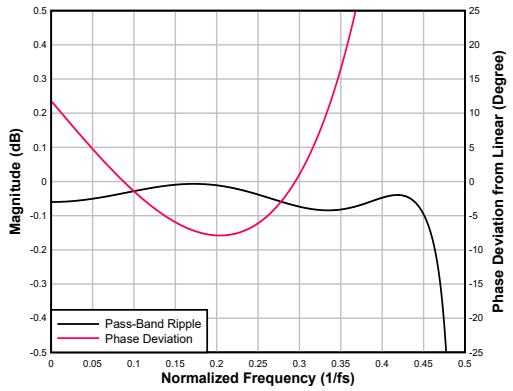


図 6-88. 超低レイテンシ補間フィルタのパス バンド リップルと位相偏差

表 6-56. 超低レイテンシ補間フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.42 × f_S	-0.005		0.01	dB
ストップ バンド減衰	周波数範囲は 0.6 × f_S ～ 4 × f_S です	88.9			dB
	周波数範囲は 4 × f_S ～ 7.41 × f_S です	88.9			
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.325 × f_S		3.2		1/f_S
群遅延の偏差	周波数範囲は 0 ~ 0.325 × f_S	-0.888		0.363	1/f_S
位相偏差	周波数範囲は 0 ~ 0.325 × f_S	-7.9		11.7	度

6.3.7.2.5.3.2 サンプリング レート : 32 kHz または 29.4 kHz

図 6-89 は振幅応答を示し、図 6-90 はサンプリング レート 32kHz または 29.4kHz での補間フィルタのパスバンド リップルと位相偏差を示します。表 6-57 に、仕様を示します。

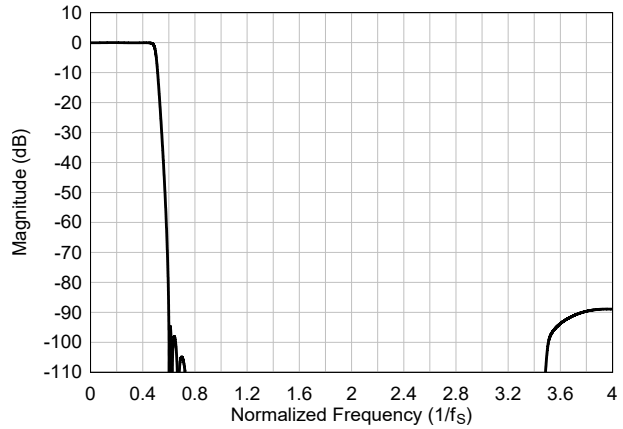


図 6-89. 超低レイテンシ補間フィルタの振幅応答

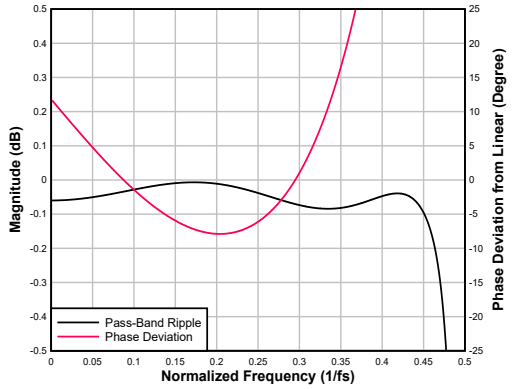


図 6-90. 超低レイテンシ補間フィルタのパス バンド リップルと位相偏差

Copyright © 2025 Texas Instruments Incorporated

表 6-57. 超低レイテンシ補間フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.42 × f_S	-0.005		0.01	dB
ストップ バンド減衰	周波数範囲は 0.6 × f_S ～ 4 × f_S です	88.9			dB
	周波数範囲は 4 × f_S ～ 7.41 × f_S です	88.9			
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.325 × f_S		3.2		1/f_S
群遅延の偏差	周波数範囲は 0 ~ 0.325 × f_S	-0.888		0.363	1/f_S
位相偏差	周波数範囲は 0 ~ 0.325 × f_S	-7.9		11.7	度

6.3.7.2.5.3.3 サンプリング レート : 48 kHz または 44.1 kHz

図 6-91 は振幅応答を示し、図 6-92 はサンプリング レート 48kHz または 44.1kHz での補間フィルタのパスバンド リップルと位相偏差を示します。表 6-58 に、仕様を示します。

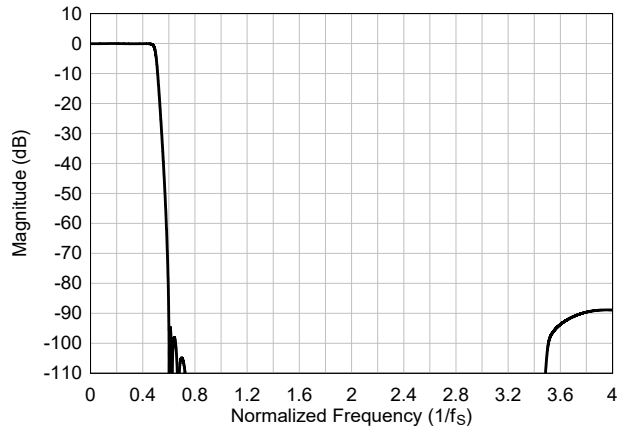


図 6-91. 超低レイテンシ補間フィルタの振幅応答

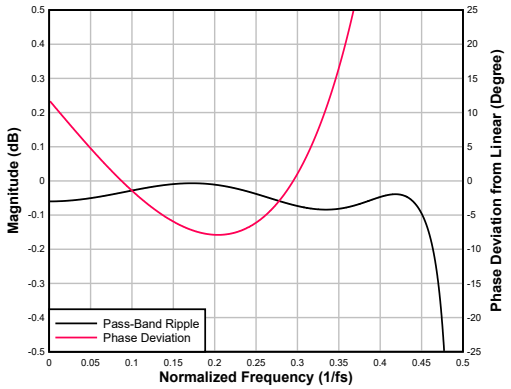


図 6-92. 超低レイテンシ補間フィルタのパス バンド リップルと位相偏差

表 6-58. 超低レイテンシ補間フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.42 × f_S	-0.005		0.01	dB
ストップ バンド減衰	周波数範囲は 0.6 × f_S ～ 4 × f_S です	88.9			dB
	周波数範囲は 4 × f_S ～ 7.41 × f_S です	88.9			
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.325 × f_S		3.2		1/f_S
群遅延の偏差	周波数範囲は 0 ~ 0.325 × f_S	-0.888		0.363	1/f_S
位相偏差	周波数範囲は 0 ~ 0.325 × f_S	-7.9		11.7	度

6.3.7.2.5.3.4 サンプリング レート : 96 kHz または 88.2 kHz

図 6-93 は振幅応答を示し、図 6-94 はサンプリング レート 96kHz または 88.2kHz での補間フィルタのパスバンド リップルと位相偏差を示します。表 6-59 に、仕様を示します。

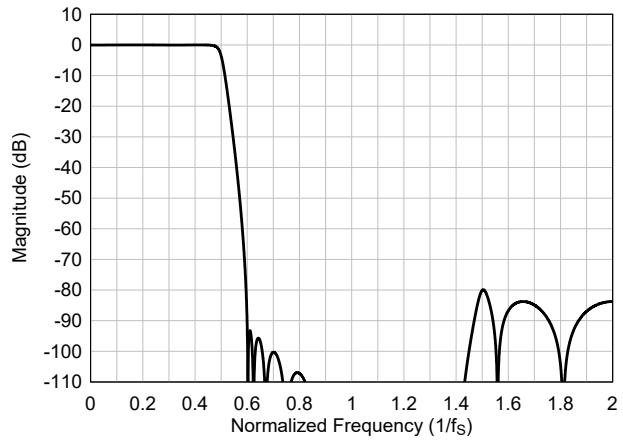


図 6-93. 超低レイテンシ補間フィルタの振幅応答

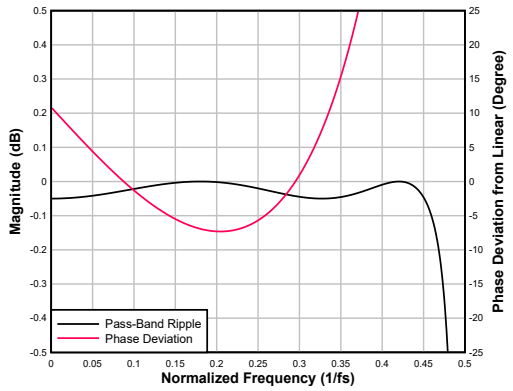


図 6-94. 超低レイテンシ補間フィルタのパス バンド リップルと位相偏差

表 6-59. 超低レイテンシ補間フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.45 × f_S	-0.05		0.001	dB
ストップ バンド減衰	周波数範囲は 0.6 × f_S ～ 2 × f_S です	80.6			dB
	周波数範囲は 2 × f_S ～ 3.4 × f_S です	80.6			
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.325 × f_S		2.5		1/f_S
群遅延の偏差	周波数範囲は 0 ~ 0.325 × f_S	-0.826		0.333	1/f_S
位相偏差	周波数範囲は 0 ~ 0.325 × f_S	-0.86		1.30	度

6.3.7.2.5.3.5 サンプリング レート : 192kHz または 176.4kHz

図 6-95 は振幅応答を示し、図 6-96 はサンプリング レート 192kHz または 176.4kHz での補間フィルタのパスバンド リップルと位相偏差を示します。表 6-60 に、仕様を示します。

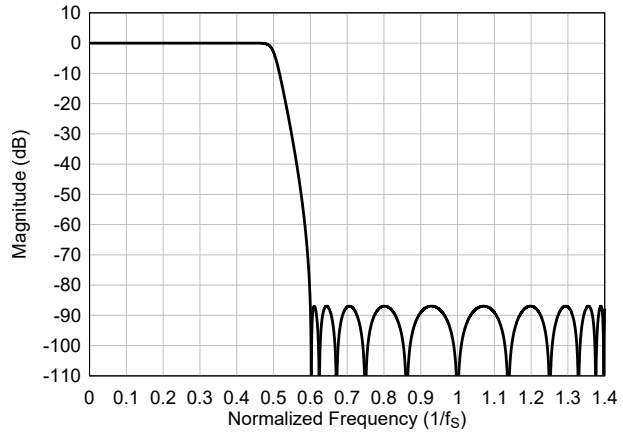


図 6-95. 超低レイテンシ補間フィルタの振幅応答

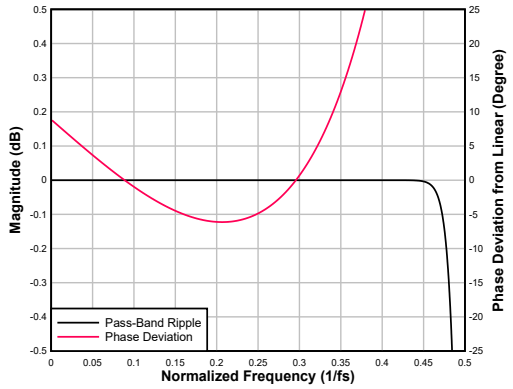


図 6-96. 超低レイテンシ補間フィルタのパス バンド リップルと位相偏差

Copyright © 2025 Texas Instruments Incorporated

表 6-60. 超低レイテンシ補間フィルタの仕様 192

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は 0 ~ 0.463 × f_S	-0.001		0.001	dB
ストップ バンド減衰	周波数範囲は 0.6 × f_S ～ 1 × f_S です	86.9			dB
	周波数範囲は 1 × f_S ～ 1.4 × f_S です	86.9			
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.325 × f_S		1.7		1/f_S
群遅延の偏差	周波数範囲は 0 ~ 0.325 × f_S	-0.702		0.268	1/f_S
位相偏差	周波数範囲は 0 ~ 0.325 × f_S	-0.12		0.18	度

6.3.8 割り込み、ステータス、およびデジタル I/O ピンの多重化

デバイス内の特定のイベントはホスト プロセッサの介入を必要とし、ホスト プロセッサへの割り込みをトリガするために使用できます。そのようなイベントの 1 つに、オーディオ シリアル インターフェース（ASI）バス エラーがあります。ASI バス エラー クロックに何らかのエラーが検出された場合、デバイスは記録チャネルをパワーオフにします。

- 無効な FSYNC 周波数
- 無効な BCLK 対 FSYNC 比
- BCLK または FSYNC クロックの長い一時停止

ASI バス クロック エラーが検出されると、デバイスはすべての録画および再生チャネルをできるだけ早くシャットダウンします。ASI バス クロック エラーがすべて解決されると、デバイスの音量が元の状態に戻り、オーディオが回復します。ASI バス クロック エラーが発生している間、クロック エラー割り込みマスク レジスタ ビット INT_MASK0[7]（P1_R47_D[7]）が Low に設定されている場合、内部割り込み要求（IRQ）割り込み信号は Low をアサートします。クロック エラーは、ラッチされたフォルト ステータス レジスタ ビット INT_LTCH0（P1_R52）でも読み出しが可能です。これは読み出し専用のレジスタです。ラッチされたフォルト ステータス レジスタ INT_LTCH0 を読み出すと、ラッチされたフォルト ステータスがすべてクリアされます。このデバイスは、内部 IRQ 割り込み信号を GPIO1 ピンにルーティングするように追加設定できます。また、これらのピンを他のデバイスのオープンドレイン割り込み出力に配線を削減できるように、オープンドレイン出力として設定することもできます。

IRQ 割り込み信号は、INT_POL（P0_R66_D[7]）レジスタ ビットを設定することで、アクティブ Low またはアクティブ High のどちらかに構成できます。この信号は、INT_EVENT[1:0]（P0_R66_D[6:5]）レジスタ ビットをプログラムすることで、単一パルスまたは一連のパルスとして設定することもできます。割り込みがパルスの一連のシーケンスとして構成されている場合、イベントがパルスの開始をトリガーし、ラッチされたフォルト ステータス レジスタが読み取られて割り込みの原因が特定されるとパルスが停止します。

また、このデバイスは、チャネルがパワーアップまたはパワーダウンの状態であるか、デバイスがスリープ モードであるか否かを判断するための読み取り専用のライブ ステータス レジスタもサポートしています。これらのステータス レジスタは、DEV_STS0（P0_R121）および DEV_STS1（P0_R122）レジスタ ビットにあります。

このデバイスには多機能の GPIO1 ピンがあり、目的の特定の機能に合わせて構成できます。表 6-61 に、これらのマルチファンクションピンの、さまざまな機能に対するすべての可能な割り当てをリストアップします。

表 6-61. マルチファンクション ピン構成

行	ピン機能	GPIO1
—	—	GPIO1_CFG
—	—	P0_R10[7:4]
A	ピンがディスエーブル時	S[(1)]
B	汎用出力 (GPO)	S
C	割り込み出力(IRQ)	S(デフォルト)
D	すべての ADC チャネルのパワーダウン	S
E	すべての DAC チャネルのパワーダウン	S
F	MICBIAS オン/オフ入力(BIASEN)	S
G	汎用入力 (GPI)	S
H	コントローラ クロック入力 (CCLK)	S
I	ASI デイジーチェーン入力	S
J	ASI DOUT	S
K	ASI BCLK	S
L	ASI FSYNC	S
M	汎用クロック出力	S

(1) S は、この行に記載されている機能がピンで*サポートされている*ことを意味します

GPO1 ピンは、GPIO1_DRV[2:0] レジスタ ビットを使用して、希望するドライブ構成設定に設定することができます。表 6-62 に、ドライブ構成の設定を示します。

表 6-62. GPIO1 ピンドライブ構成の設定

P0_R10_D[2:0]:GPIO1_DRV[2:0]	GPIO1 の出力ドライブ構成設定
000	GPIO1 ピンが高インピーダンス(フローティング)に設定
001	GPIO1 ピンは、アクティブ Low またはアクティブ High で駆動
010 (デフォルト)	GPIO1 ピンはアクティブ Low または弱 High(オンチップ プルアップ)で駆動
011	GPIO1 ピンはアクティブ Low またはハイ インピーダンスで駆動(フローティング)。
100	GPIO1 ピンは、弱 Low(オンチップ プルダウン)またはアクティブ High で駆動
101	GPIO1 ピンは、ハイ インピーダンス(フローティング)またはアクティブ High で駆動
110 および 111	予約済み(これらの設定は使用しないでください)

汎用出力 (GPO) として構成したときは、GPO_GPI_VAL (P0_R14) レジスタを書き込むことで、GPIO1 ピンの値を駆動できます。GPIO_MON ビット (P0_R14_D[3:1]) は、汎用入力 (GPI) として構成されている場合、GPIO1 ピンのステータスを読み出すために使用できます。

6.3.9 パワー チューン モード

低消費電力アプリケーション向けに、TAC5301-Q1 にはパワーチューン モードでデバイスを構成するオプションがあります。このモードは、PWR_TUNE_CFG0 (P0_R78) レジスタを 0xD4 に、PWR_TUNE_CFG1 (P0_R79) レジスタを 0x96 に、PLL_DIS (P0_R52_D[7]) を 1'b1 に設定することで構成できます。省電力のため、ADC および DAC モジュレータ クロックは 1.536Mhz (入力および出力データ サンプル レートが 48kHz の倍数または約数の場合) または 1.4112MHz (入力および出力データ サンプル レートが 44.1kHz の倍数または約数の場合) で動作するように設定されています。詳細については、*TAC5x1x-Q1 さまざまな使用シナリオにおける消費電力マトリックス アプリケーション レポート*を参照してください。

6.4 デバイスの機能モード

6.4.1 スリープ モードまたはソフトウェア シャットダウン

スリープ モードまたはソフトウェア シャットダウン モードでは、デバイスは AVDD 電源から非常に低い静止電流を消費し、同時に I^2C 通信によりデバイスをアクティブ動作に起動することができます。

Copyright © 2025 Texas Instruments Incorporated

また、ホスト デバイスが SLEEP_ENZ (P0_R2_D[0]) ビットを 1'b0 に設定すると、デバイスはスリープ モードに入ります。デバイスがアクティブ モードのときに SLEEP_ENZ ビットが Low にアサートされると、デバイスは録音データのボリュームを下げて、アナログおよびデジタル ブロックの電源をオフにして、スリープ モードに移行します。しかし、デバイスは依然として、デバイス構成レジスタとプログラマブル係数の最後のプログラムされた値を保持し続けています。

スリープ モードでは、アクティブ モードに移行するためにスリープ モードを終了することを除き、I²C トランザクションを実行しません。スリープ モードに移行した後は、10ms 以上待機してから I²C トランザクションを開始してスリープ モードを終了します。

6.4.2 ソフトウェア リセット

ソフトウェア リセットは、SW_RESET ビット（P0_R1_D[0]）をアサートすることでいつでも実行でき、これは自己クリア ビットです。このソフトウェア リセットは、デバイスを即座にシャット ダウンし、すべてのデバイス構成レジスタとプログラム可能な係数をデフォルト値に戻します。

6.4.3 アクティブ モード

ホスト デバイスが SLEEP_ENZ ビットを 1'b1 に設定してスリープ モードを終了すると、デバイスはアクティブ モードに入ります。アクティブ モードでは、I²C トランザクションを実行して、デバイスを構成しアクティブ動作用にパワーアップできます。アクティブ モードに移行した後、デバイスが内部ウェークアップ シーケンスを完了できるように、I²C トランザクションを開始する前に少なくとも 2 ミリ秒待つ必要があります。

プログラマブル係数レジスタとチャネル構成レジスタへの読み取りおよび書き込み操作は、スリープ モードから復帰後 10 ミリ秒後に実行する必要があります。

ターゲット アプリケーションとシステム設定用の他のすべてのレジスタを設定した後、入力チャネル イネーブル レジスタ P0_R118（CH_EN）を設定します。最後に、デバイスのパワーアップ レジスタ P0_R120（PWR_CFG）を構成します。各チャネルに電源を投入する前に、プログラム可能な係数の値をすべて書き込む必要があります。

アクティブ モードでは、P0_R121（DEV_STS0）および P0_R122（DEV_STS1）レジスタに位置する読み取り専用デバイス ステータス ビットを読み取ることで、さまざまなブロックの電源投入および電源切断の状態が監視されます。

6.5 プログラミング

このデバイスには、特定のシステムや用途に合わせて希望する値に設定できる構成レジスタとプログラマブル係数が含まれています。これらのレジスタは *デバイス制御レジスタ* と呼ばれ、ページ方式でマップされて幅が 8 ビットです。

各ページには 128 の構成レジスタがあります。すべてのデバイス構成レジスタはページ 0 に保存されます。これは、電源投入時およびソフトウェア リセット後のデフォルトのページ設定です。プログラム可能な係数レジスタはすべて、ページ 0、ページ 1、ページ 3 にあります。デバイスの現在のページは、各ページのレジスタ 0 に位置する PAGE[7:0] ビットを使用して、新しい希望のページに切り替えることができます。

6.5.1 制御シリアル インターフェイス

デバイス制御レジスタには、このセクションで説明するように、デバイスへの I²C 通信を使用してアクセスできます。

6.5.1.1 一般的な I²C の動作

I²C バスは、SDA（データ）と SCL（クロック）の 2 つの信号を使用して、シリアル データ伝送によってシステム内の集積回路間で通信を行います。アドレスおよびデータの 8 ビット バイトは、MSB（最上位ビット）から先に転送されます。さらに、バス上で転送される各バイトは、受信デバイスによってアクノリッジ ビットで確認されます。各転送操作は、コントローラ デバイスがバス上にスタート コンディションを発生させることで開始し、ストップ コンディションを発生させることで終了します。バスは、クロックがロジック ハイの状態でデータ ピン（SDA）の遷移を使用して、スタートの条件およびストップの条件を示します。SDA ラインでのハイからローへの遷移はスタート条件を示し、ローからハイへの遷移はストップ条件を示します。通常のデータビット遷移は、クロック周期の低レベル期間内に発生しなければなりません。

コントローラ デバイスは、スタート コンディションを発行した後、7 ビットのターゲット アドレスとリード / ライト（R/W）ビットを送信して他のデバイスとの通信を開始し、次にアクノレッジ（ACK）コンディションを待機します。ターゲット デバイスは、ア

クノレッジ クロック期間中に SDA を低レベルに保持することで、アクノレッジを示します。これにより、コントローラ デバイスは順に次のバイトを送信します。各ターゲット デバイスは、一意の 7 ビットのターゲット アドレスに R/W ビットを加えた（1 バイトの）アドレスによって指定されます。すべての互換デバイスは、ワイヤード-AND 接続を使用した双方向バスを介して、同じ信号を共有します。

スタート コンディションとストップ コンディションの間で送信されるバイト数に制限はありません。最後のデータワードが転送されると、コントローラ デバイスはバスを解放するためにストップ コンディションを生成します。一般的なデータ転送シーケンスを、図 6-97 に示します。

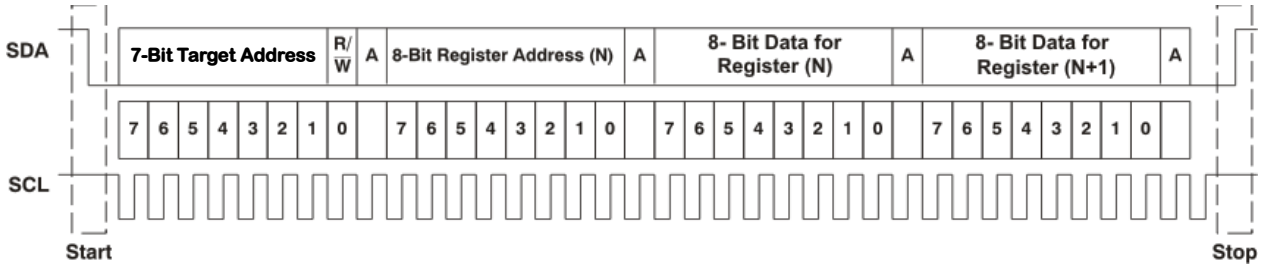


図 6-97. 代表的な I²C シーケンス

システム内では、SDA および SCL 信号に外部プルアップ抵抗を使用して、バスの論理 High レベルを設定します。SDA および SCL の電圧は、デバイスの電源電圧である IOVDD を超えてはなりません。

6.5.1.2 I²C のシングル バイトおよびマルチ バイト転送

デバイスの I²C インターフェイスは、すべてのレジスタに対して、シングル バイトおよびマルチバイトの読み取り / 書き込み操作をサポートしています。マルチ バイトの読み取り動作中は、コントローラがアクノリッジで応答を継続している限り、アサインされたレジスタから始まるデータを 1 バイトずつ返します。

デバイスは、シーケンシャルな I²C アドレッシングに対応しています。書き込みトランザクションの場合、レジスタが発行されて、次にそのレジスタのデータと残りのすべてのレジスタのデータが続いて送信される場合、I²C の書き込みトランザクションはシーケンシャルに実行されます。I²C のシーケンシャルな書き込みトランザクションの場合、発行されたレジスタは開始点となり、その次に停止または開始が送信される前に、データの量が送信され、いくつのレジスタを書き込むかが決定されます。

6.5.1.2.1 I²C のシングル バイト書き込み

図 6-98 にあるように、シングル バイトのデータ書き込み転送では、最初にマスター デバイスが開始条件を送信し、次に I²C デバイス アドレスと読み取り / 書き込みビットが続きます。データ転送方向は、R/W ビットによって決定されます。書き込みデータ転送を実行するには、読み取り / 書き込みビットを 0 にセットします。正しい I²C のターゲット アドレスと 読み取り / 書き込みビットを受信すると、アクノリッジ ビット（ACK）を返信します。次に、コントローラ デバイスは、アクセスされているデバイス内部レジスタ アドレスに対応するレジスタ バイトを送信します。デバイスは、レジスタ バイトを受信すると、再度アクノリッジ ビット（ACK）を返信します。その後、コントローラは指定されたレジスタに書き込むデータのバイトを送信します。完了すると、ターゲット デバイスはアクノリッジ ビット（ACK）で応答します。最後に、コントローラ デバイスが停止条件を送信すると、シングル バイト データの書き込み転送が完了します。

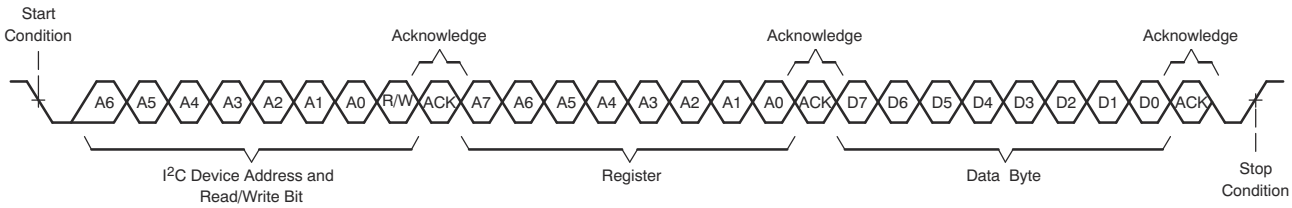


図 6-98. I²C のシングル バイト書き込み転送

Copyright © 2025 Texas Instruments Incorporated

6.5.1.2.2 I²C のマルチ バイト書き込み

図 6-99 で示されているように、複数バイトのデータ書き込み転送は、コントローラ デバイスからターゲット デバイスに複数のデータ バイトが送信されることを除いて、シングルバイトのデータ書き込み転送と同一です。各データ バイトを受信すると、デバイスはアクノリッジ ビット（ACK）で応答します。最後に、コントローラ デバイスは最後のデータ バイトの書き込み転送後にストップ条件を送信します。

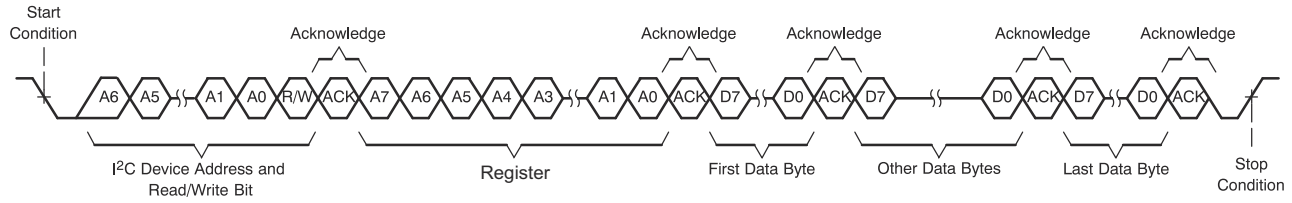


図 6-99. I²C のマルチ バイト書き込み転送

6.5.1.2.3 I²C のシングル バイト読み出し

図 6-100 で示されているように、シングルバイトのデータ読み取り転送は、コントローラ デバイスがスタート条件を送信し、それに続いて I²C のターゲット アドレスと読み取り / 書き込みビットが続きます。データ読み取り転送の場合、書き込みとその次の読み取りの両方が行われます。最初に、内部レジスタ アドレスの読み取りに必要なアドレス バイトを転送するために、書き込みが実行されます。その結果、読み取り / 書き込みビットは 0 に設定されます。

ターゲット アドレスと読み書きビットを受信すると、デバイスはアクノリッジ ビット（ACK）で応答します。その後、コントローラ デバイスは内部レジスタ アドレス バイトを送信し、その後、デバイスがアクノリッジ ビット（ACK）を発行します。コントローラ デバイスは、ターゲット アドレスと読み取り / 書き込みビットに続いて、もう 1 つのスタート条件を送信します。このとき、R/W ビットは 1 に設定され、読み取り転送が実行されることを示します。次に、デバイスは読み取っているレジスタ アドレスからデータ バイトを送信します。データ バイトを受信後、コントローラ デバイスは、1 バイトのデータ読み取り転送を完了するために、非応答（NACK）に続いてストップ条件を送信します。

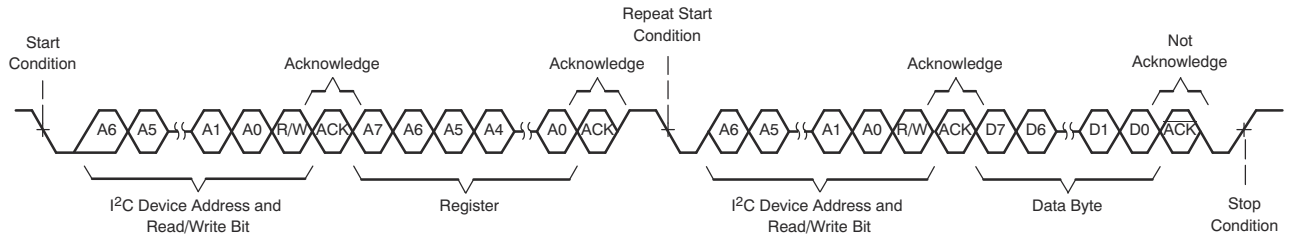


図 6-100. I²C のシングル バイト読み出し転送

6.5.1.2.4 I²C のマルチ バイト読み出し

図 6-101 で示されているように、複数バイトのデータ読み取り転送は、単一バイトのデータ読み取り転送と同様ですが、複数のデータ バイトがデバイスからコントローラ デバイスに送信されます。コントローラ デバイスは、データ バイトを受信するごとにアクノリッジ ビットを返信します。ただし、最後のデータ バイトについては返信しません。最後のデータ バイトを受信した後、コントローラ デバイスは非応答（NACK）を送信し、その後ストップ条件を送信してデータ読み取り転送を完了します。

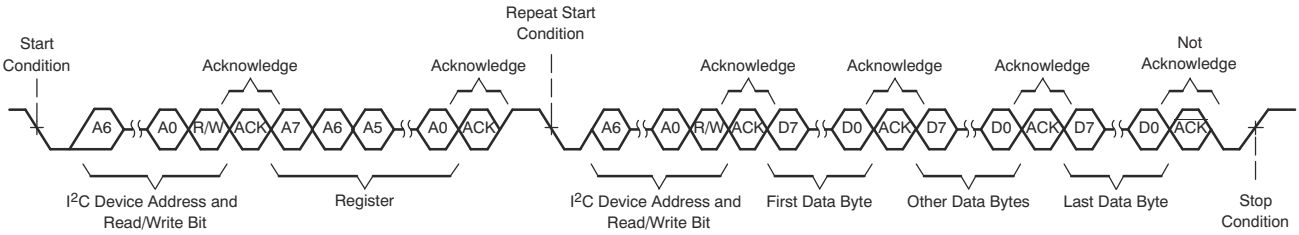


図 6-101. I²C のマルチ バイト読み出し転送

7 レジスタ マップ

このセクションでは、デバイスの制御レジスタについて詳細に説明します。これらのレジスタはすべて 8 ビット幅で、デバイス構成およびプログラム可能な係数設定に割り当てられます。これらのレジスタは、デバイスへの I^2C 通信を使用して制御可能なページ方式を使用して内部的にマップされます。各ページには 128 バイトのレジスタが含まれます。すべてのデバイス構成レジスタは、ページ 0、ページ 1、ページ 3 に保存されます。ページ 0 は電源投入時（およびソフトウェア リセット後）のデフォルトのページ設定です。各ページのレジスタ 0 に位置する PAGE[7:0] ビットを使用することで、デバイスの現在のページを新しい希望のページに切り替えることができます。

予約済みページや予約済みレジスタとの読み書きを行わないでください。有効なレジスタの予約済みビットのデフォルト値のみを書き込みます。

複数のページにわたるレジスタ アクセスの手順は次のとおりです。

- ページ N を選択します（現在のページ番号に関係なくデータ *N* をレジスタ 0 に書き込みます）
- ページ N の有効なレジスタとの間でデータを読み書きします
- 新しいページ M を選択します（現在のページ番号に関係なくデータ *M* をレジスタ 0 に書き込みます）
- ページ M の有効なレジスタとの間でデータの読み書きができます
- 必要に応じて繰り返します

7.1 デバイス構成レジスタ

このセクションでは、デバイスのページ 0、ページ 1、ページ 3 のデバイス構成レジスタについて説明します。レジスタのアクセス コードを、表 7-1 に示します。

表 7-1. アクセス タイプ コード

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
R/W	R/W	読み出しまたは書き込み
書き込みタイプ		
W	W	書き込み

Copyright © 2025 Texas Instruments Incorporated

7.1.1 TAC5301-Q1_B0_P0 レジスタ

TAC5301-Q1_B0_P0 レジスタのメモリマップト レジスタを、表 7-2 に示します。表 7-2 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-2. TAC5301-Q1_B0_P0 レジスタ

アドレス	略称	レジスタ名	リセット値	セクション
0x0	PAGE_CFG	デバイス ページ レジスタ	0x00	セクション 7.1.1.1
0x1	SW_RESET	ソフトウェア リセット レジスタ	0x00	セクション 7.1.1.2
0x2	DEV_MISC_CFG	デバイスの各種設定レジスタ	0x00	セクション 7.1.1.3
0x3	AVDD_IOVDD_STS	電源ステータス レジスタ	0x00	セクション 7.1.1.4
0x4	MISC_CFG	各種構成レジスタ	0x00	セクション 7.1.1.5
0x5	MISC_CFG1	その他設定レジスタ 1	0x15	セクション 7.1.1.6
0x6	DAC_CFG_A0	DAC ポップノイズ除去設定レジスタ	0x35	セクション 7.1.1.7
0x7	MISC_CFG0	その他設定レジスタ 0	0x00	セクション 7.1.1.8
0xA	GPIO1_CFG0	GPIO1 構成レジスタ 0	0x32	セクション 7.1.1.9
0xE	GPO_GPI_VAL	GPIO、GPO 出力値レジスタ	0x00	セクション 7.1.1.10
0xF	INTF_CFG0	インターフェース構成レジスタ 0	0x00	セクション 7.1.1.11
0x10	INTF_CFG1	インターフェース構成レジスタ 1	0x52	セクション 7.1.1.12
0x11	INTF_CFG2	インターフェース構成レジスタ 2	0x80	セクション 7.1.1.13
0x12	INTF_CFG3	インターフェース構成レジスタ 3	0x00	セクション 7.1.1.14
0x14	INTF_CFG5	インターフェース構成レジスタ 5	0x00	セクション 7.1.1.15
0x15	INTF_CFG6	インターフェース構成レジスタ 6	0x00	セクション 7.1.1.16
0x18	ASI_CFG0	ASI 構成レジスタ 0	0x40	セクション 7.1.1.17
0x19	ASI_CFG1	ASI 構成レジスタ 1	0x00	セクション 7.1.1.18
0x1A	PASI_CFG0	プライマリ ASI 構成レジスタ 0	0x30	セクション 7.1.1.19
0x1B	PASI_TX_CFG0	PASI TX 構成レジスタ 0	0x00	セクション 7.1.1.20
0x1C	PASI_TX_CFG1	PASI TX 構成レジスタ 1	0x00	セクション 7.1.1.21
0x1D	PASI_TX_CFG2	PASI TX 構成レジスタ 2	0x00	セクション 7.1.1.22
0x1E	PASI_TX_CH1_CFG	PASI TX チャネル 1 構成レジスタ	0x20	セクション 7.1.1.23
0x1F	PASI_TX_CH2_CFG	PASI TX チャネル 2 構成レジスタ	0x21	セクション 7.1.1.24
0x20	PASI_TX_CH3_CFG	PASI TX チャネル 3 構成レジスタ	0x02	セクション 7.1.1.25
0x21	PASI_TX_CH4_CFG	PASI TX チャネル 4 構成レジスタ	0x03	セクション 7.1.1.26
0x22	PASI_TX_CH5_CFG	PASI TX チャネル 5 構成レジスタ	0x04	セクション 7.1.1.27
0x23	PASI_TX_CH6_CFG	PASI TX チャネル 6 構成レジスタ	0x05	セクション 7.1.1.28
0x24	PASI_TX_CH7_CFG	PASI TX チャネル 7 構成レジスタ	0x06	セクション 7.1.1.29
0x25	PASI_TX_CH8_CFG	PASI TX チャネル 8 構成レジスタ	0x07	セクション 7.1.1.30
0x26	PASI_RX_CFG0	PASI RX 構成レジスタ 0	0x00	セクション 7.1.1.31
0x27	PASI_RX_CFG1	PASI RX 構成レジスタ 1	0x00	セクション 7.1.1.32
0x28	PASI_RX_CH1_CFG	PASI RX チャネル 1 構成レジスタ	0x20	セクション 7.1.1.33
0x29	PASI_RX_CH2_CFG	PASI RX チャネル 2 構成レジスタ	0x21	セクション 7.1.1.34
0x2A	PASI_RX_CH3_CFG	PASI RX チャネル 3 構成レジスタ	0x02	セクション 7.1.1.35
0x2B	PASI_RX_CH4_CFG	PASI RX チャネル 4 構成レジスタ	0x03	セクション 7.1.1.36
0x2C	PASI_RX_CH5_CFG	PASI RX チャネル 5 構成レジスタ	0x04	セクション 7.1.1.37
0x2D	PASI_RX_CH6_CFG	PASI RX チャネル 6 構成レジスタ	0x05	セクション 7.1.1.38
0x2E	PASI_RX_CH7_CFG	PASI RX チャネル 7 構成レジスタ	0x06	セクション 7.1.1.39

Copyright © 2025 Texas Instruments Incorporated

表 7-2. TAC5301-Q1_B0_P0 レジスタ (続き)

アドレス	略称	レジスタ名	リセット値	セクション
0x2F	PASI_RX_CH8_CFG	PASI RX チャネル 8 構成レジスタ	0x07	セクション 7.1.1.40
0x32	CLK_CFG0	クロック設定レジスタ 0	0x00	セクション 7.1.1.41
0x33	CLK_CFG1	クロック設定レジスタ 1	0x00	セクション 7.1.1.42
0x34	CLK_CFG2	クロック設定レジスタ 2	0x40	セクション 7.1.1.43
0x35	CNT_CLK_CFG0	コントローラ モード クロック構成レジスタ 0	0x00	セクション 7.1.1.44
0x36	CNT_CLK_CFG1	コントローラ モード クロック構成レジスタ 1	0x00	セクション 7.1.1.45
0x37	CNT_CLK_CFG2	コントローラ モード クロック構成レジスタ 2	0x20	セクション 7.1.1.46
0x38	CNT_CLK_CFG3	コントローラ モード クロック構成レジスタ 3	0x00	セクション 7.1.1.47
0x39	CNT_CLK_CFG4	コントローラ モード クロック構成レジスタ 4	0x00	セクション 7.1.1.48
0x3A	CNT_CLK_CFG5	コントローラ モード クロック構成レジスタ 5	0x00	セクション 7.1.1.49
0x3B	CNT_CLK_CFG6	コントローラ モード クロック構成レジスタ 6	0x00	セクション 7.1.1.50
0x3C	CLK_ERR_STS0	クロック エラーとステータス レジスタ 0	0x00	セクション 7.1.1.51
0x3D	CLK_ERR_STS1	クロック エラーとステータス レジスタ 1	0x00	セクション 7.1.1.52
0x3E	CLK_DET_STS0	クロック比検出レジスタ 0	0x00	セクション 7.1.1.53
0x3F	CLK_DET_STS1	クロック比検出レジスタ 1	0x00	セクション 7.1.1.54
0x40	CLK_DET_STS2	クロック比検出レジスタ 2	0x00	セクション 7.1.1.55
0x41	CLK_DET_STS3	クロック比検出レジスタ 3	0x00	セクション 7.1.1.56
0x42	INT_CFG	割り込み構成レジスタ	0x00	セクション 7.1.1.57
0x43	DAC_FLT_CFG	割り込み構成レジスタ	0x54	セクション 7.1.1.58
0x4B	ADC_DAC_MISC_CFG	ADC 過負荷応答構成レジスタ	0x00	セクション 7.1.1.59
0x4E	PWR_TUNE_CFG0	パワー チューン構成レジスタ 0	0x00	セクション 7.1.1.60
0x4F	PWR_TUNE_CFG1	パワー チューン構成レジスタ 1	0x00	セクション 7.1.1.61
0x50	ADC_CH1_CFG0	ADC チャネル 1 構成レジスタ 0	0x00	セクション 7.1.1.62
0x52	ADC_CH1_CFG2	ADC チャネル 1 構成レジスタ 2	0xA1	セクション 7.1.1.63
0x53	ADC_CH1_CFG3	ADC チャネル 1 構成レジスタ 3	0x80	セクション 7.1.1.64
0x54	ADC_CH1_CFG4	ADC チャネル 1 構成レジスタ 4	0x00	セクション 7.1.1.65
0x55	ADC_CH2_CFG0	ADC チャネル 2 構成レジスタ 0	0x00	セクション 7.1.1.66
0x57	ADC_CH2_CFG2	チャネル 2 構成レジスタ 2	0xA1	セクション 7.1.1.67
0x58	ADC_CH2_CFG3	ADC チャネル 2 構成レジスタ 3	0x80	セクション 7.1.1.68
0x59	ADC_CH2_CFG4	ADC チャネル 2 構成レジスタ 4	0x00	セクション 7.1.1.69
0x64	OUT1x_CFG0	チャネル OUT1x 構成レジスタ 0	0x20	セクション 7.1.1.70
0x65	OUT1x_CFG1	チャネル OUT1x 構成レジスタ 1	0x20	セクション 7.1.1.71
0x66	OUT1x_CFG2	チャネル OUT2x 構成レジスタ 2	0x20	セクション 7.1.1.72
0x67	DAC_CH1A_CFG0	DAC チャネル 1A 構成レジスタ 0	0xC9	セクション 7.1.1.73
0x68	DAC_CH1A_CFG1	DAC チャネル 1A 構成レジスタ 1	0x80	セクション 7.1.1.74
0x69	DAC_CH1B_CFG0	DAC チャネル 1B 構成レジスタ 0	0xC9	セクション 7.1.1.75
0x6A	DAC_CH1B_CFG1	DAC チャネル 1B 構成レジスタ 1	0x80	セクション 7.1.1.76
0x6B	OUT2x_CFG0	チャネル OUT2x 構成レジスタ 0	0x20	セクション 7.1.1.77
0x6C	OUT2x_CFG1	チャネル OUT2x 構成レジスタ 1	0x20	セクション 7.1.1.78
0x6D	OUT2x_CFG2	チャネル OUT2x 構成レジスタ 2	0x20	セクション 7.1.1.79
0x6E	DAC_CH2A_CFG0	DAC チャネル 2A 構成レジスタ 0	0xC9	セクション 7.1.1.80
0x6F	DAC_CH2A_CFG1	DAC チャネル 2A 構成レジスタ 1	0x80	セクション 7.1.1.81

Copyright © 2025 Texas Instruments Incorporated

表 7-2. TAC5301-Q1_B0_P0 レジスタ (続き)

アドレス	略称	レジスタ名	リセット値	セクション
0x70	DAC_CH2B_CFG0	DAC チャネル 2B 構成レジスタ 0	0xC9	セクション 7.1.1.82
0x71	DAC_CH2B_CFG1	DAC チャネル 2B 構成レジスタ 1	0x80	セクション 7.1.1.83
0x72	DSP_CFG0	DSP 構成レジスタ 0	0x18	セクション 7.1.1.84
0x73	DSP_CFG1	DSP 構成レジスタ 0	0x18	セクション 7.1.1.85
0x76	CH_EN	チャネル イネーブル構成レジスタ	0xCC	セクション 7.1.1.86
0x77	DYN_PUPD_CFG	パワーアップ構成レジスタ	0x00	セクション 7.1.1.87
0x78	PWR_CFG	パワーアップ構成レジスタ	0x00	セクション 7.1.1.88
0x79	DEV_STS0	デバイス ステータス レジスタ 0	0x00	セクション 7.1.1.89
0x7A	DEV_STS1	デバイス ステータス レジスタ 1	0x80	セクション 7.1.1.90
0x7E	I2C_CKSUM	I^2C チェックサム レジスタ	0x00	セクション 7.1.1.91

7.1.1.1 PAGE_CFG レジスタ (アドレス = 0x0) [リセット = 0x00]

PAGE_CFG を 表 7-3 に示します。

概略表に戻ります。

デバイスのメモリ マップは複数のページに分かれています。このレジスタはページを設定します。

表 7-3. PAGE_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PAGE[7:0]	R/W	00000000b	これらのビットは、デバイスのページを設定します。 0d = ページ 0 1d = ページ 1 2d ～ 254d = ページ 2 ～ ページ 254 255d = ページ 255

7.1.1.2 SW_RESET レジスタ (アドレス = 0x1) [リセット = 0x00]

SW_RESET を 表 7-4 に示します。

概略表に戻ります。

このレジスタはソフトウェア リセット レジスタです。ソフトウェア・リセットをアサートすると、すべてのレジスタ値はデフォルトのパワーオン・リセット(POR)状態になります。

表 7-4. SW_RESET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	SW_RESET	R/W	0b	ソフトウェア リセット。このビットはセルフ クリアです。 0d = リセットしない 1d = すべてのレジスタをリセット値にリセットする

7.1.1.3 DEV_MISC_CFG レジスタ (アドレス = 0x2) [リセット = 0x00]

DEV_MISC_CFG を 表 7-5 に示します。

概略表に戻ります。

このレジスタは、各種デバイス レジスタを設定します。

表 7-5. DEV_MISC_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

5-4	VREF_QCHG[1:0]	R/W	00b	VREF 外部コンデンサの急速充電の時間は、200 andx3A9;# の内部直列インピーダンスを使用して設定されます。
				0d = VREF 急速充電時間 3.5ms（標準値）
				1d = VREF 急速充電時間 10ms（標準値
				）2D = VREF 急速充電時間 50ms（標準値）
				3D = VREF 急速充電時間 100ms（標準値）

3	SLEEP_EXIT_VREF_EN	R/W	0b	スリープ モード終了設定 0d = DREG のみイネーブル 1d = DREG および VREF 有効化
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	IOVDD_IO_MODE	R/W	0b	IOVDD モード構成。 0D = 3.3V/1.8V/1.2V での IOVDD（1.8V および 1.2V での動作には速度制限が適用されます ）1d = IOVDD、1.8V/1.2V でのみ（速度制限なし。3.3V での IOVDD の動作にはこの設定を使用しないでください）。
0	SLEEP_ENZ	R/W	0b	スリープ モード設定。 0D = デバイスはスリープ モード 1d = デバイスはスリープ モードではない

7.1.1.4 AVDD_IOVDD_STS レジスタ (アドレス = 0x3) [リセット = 0x00]

AVDD_IOVDD_STS を 表 7-6 に示します。

概略表に戻ります。

このレジスタには、電源検出と電圧低下の状態が含まれています。

表 7-6. AVDD_IOVDD_STS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6	IOVDD_IO_MODE_STS	R	0b	IOVDD モード ステータス フラグ レジスタ。 0D = 構成された IOVDD_MODE 1d = IOVDD 3.3V 動作（IOVDD_IO_MODE を強制的に 0d に設定）
5-2	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
1	BRWNOUT_SHDN_STS	R	0b	ブラウンアウト シャットダウン ステータス 0d = ブラウンアウト シャットダウンなし 1d = ブラウンアウト シャットダウン
0	BRWNOUT_SHDN_EXIT_SLEEP	R/W	0b	ブラウンアウト シャットダウン スリープ終了構成 0d = スリープ モードにとどまる 1d = スリープ モードを終了

7.1.1.5 MISC_CFG レジスタ (アドレス = 0x4) [リセット = 0x00]

MISC_CFG を 表 7-7 に示します。

概略表に戻ります。

このレジスタは、さまざまな構成レジスタを設定します。

表 7-7. MISC_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

Copyright © 2025 Texas Instruments Incorporated

表 7-7. MISC_CFG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	IGNORE_CLK_ERR	R/W	0b	クロック エラー検出動作 0b = クロック エラーがイネーブル 1b = クロック エラーがディセーブル
5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	I2C_BRDCAST_EN	R/W	0b	I^2C ブロードキャスト アドレッシング設定。 0D = I^2 C ブロードキャスト モードがディセーブル 1d = I^2C ブロードキャスト モードがイネーブル、I^2C ターゲット アドレスは、ピン制御 LSB ビットを「0」に固定
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.6 MISC_CFG1 レジスタ (アドレス = 0x5) [リセット = 0x15]

MISC_CFG1 を表 7-8 に示します。

概略表に戻ります。

このレジスタは、各種設定レジスタ 1 を設定します。

表 7-8. MISC_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明

7-6	INCAP_QCHG[1:0]	R/W	00b	外部 AC 結合コンデンサの急速充電時間は、内部直列インピーダンス 800 andx3A9;# を使用して設定されます。
				0D = INxP、INxM 急速充電時間 2.5ms（標準値）
				1d = INxP、INxM 急速充電時間 12.5ms（標準値）
				2D = INxP、INxM 急速充電時間 25ms（標準値）
				3D = INxP、INxM 急速充電時間 50ms（標準値）

5-4	SHDN_CFG[1:0]	R/W	01b	シャットダウン構成。 0d = IOVDD がデアサートされた直後に DREG を電源オフ 1d = DREG はアクティブに維持され、タイムアウト（DREG_KA_TIME）に達するまで、クリーンなシャットダウンをイネーブルにし、タイムアウト期間の後に DREG は強制的に電源オフ。 2d= デバイスがクリーンにシャットダウンされるまで DREG はアクティブに維持 3d = 予約済み
3-2	DREG_KA_TIME[1:0]	R/W	01b	これらのビットは、IOVDD がデアサートされた後に DREG がアクティブに維持される時間を設定します。 0d = DREG を 30ms（標準値）の間アクティブに維持 1d = DREG を 25ms（標準値）の間アクティブに維持 2d = DREG を 10ms（標準値）の間アクティブに維持 3d = DREG を 5ms（標準値）の間アクティブに維持
1-0	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

7.1.1.7 DAC_CFG_A0 レジスタ (アドレス = 0x6) [リセット = 0x35]

DAC_CFG_A0 を表 7-9 に示します。

概略表に戻ります。

このレジスタは、デバイス DAC のポップオフを構成します。

表 7-9. DAC_CFG_A0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	RSERIES_DE_POP_INT[1:0]	R/W	00b	HP アンプ直列抵抗選択構成。 0d = 1K 1d = 0.5K 2d = 0.33K 3d = 0.25k
5-4	RSERIES_DE_POP_MID[1:0]	R/W	11b	HP アンプ直列抵抗選択構成。 0d = 1K 1d = 0.5K 2d = 0.33K 3d = 0.25k
3-0	PWR_UP_TIME_DE_POP[3:0]	R/W	0101b	HP アンプ外部キャップ充電時間設定。 0d = 2ms 1d = 4ms 2D = 8ms 3D = 16ms 4D = 50ms 5d = 100ms 6d = 250ms 7d = 500ms 8d = 1s 9d = 5s 10d-15d = 予約済み

7.1.1.8 MISC_CFG0 レジスタ (アドレス = 0x7) [リセット = 0x00]

MISC_CFG0 を表 7-10 に示します。

概略表に戻ります。

このレジスタは、各種設定レジスタ 0 を設定します。

表 7-10. MISC_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	DAC_ST_W_CAP_DIS	R/W	0b	DAC は、DC ブロッキング コンデンサの放電シーケンスから開始します。 0d = ディセーブル 1d = イネーブル
6	DAC_DLYD_PWRUP	R/W	0b	DAC 電源オン遅延構成。 0d = ディセーブル 1d = イネーブル（DAC_DLYD_PWRUP_TIME 構成に基づくパワーアップの遅延）
5	DAC_DLYD_PWRUP_TIME	R/W	0b	DAC 電源オン遅延時間構成。 0d = 64-128ms 1d = 256-512ms
4	HW_RESET_ON_CLK_STOP_EN	R/W	0b	CLK_SRC_SEL によって選択されたクロックが 2ms の間利用できない場合のハード リセットのアサート 0d = ディセーブル 1d = イネーブル
3-0	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

7.1.1.9 GPIO1_CFG0 レジスタ (アドレス = 0xA) [リセット = 0x32]

GPIO1_CFG0 を表 7-11 に示します。

概略表に戻ります。

このレジスタは GPIO1 構成レジスタ 0 です。

Copyright © 2025 Texas Instruments Incorporated

表 7-11. GPIO1_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	GPIO1_CFG[3:0]	R/W	0011b	GPIO1 構成。 0d = GPIO1 は無効 1d = GPIO1 は汎用入力 (GPI) またはその他の入力機能として構成 2d = GPIO1 は汎用出力 (GPO) として構成 3d = GPIO1 はチップ割り込み出力 (IRQ) として構成 4d = 予約済み 5d = GPIO1 はプライマリ ASI DOUT として構成 6d = GPIO1 はプライマリ ASI DOUT2 として構成 7d = GPIO1 はセカンダリ ASI DOUT として構成 8d = GPIO1 はセカンダリ ASI DOUT2 として構成 9d = GPIO1 はセカンダリ ASI BCLK 出力として構成 10d = GPIO1 はセカンダリ ASI FSYNC 出力として構成 11d = GPIO1 は汎用 CLKOUT として構成 12d = GPIO1 は PASI DOUT および SASI DOUT のマルチプレクサとして構成 13d = GPIO1 は DIN Daisy 用に DAISY_OUT として構成 14d ～ 15d = 予約済み
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2-0	GPIO1_DRV[2:0]	R/W	010b	GPIO1 出力ドライブ構成（GPIO1_CFG を I^2S out として構成した場合は無効） 0d = ハイ インピーダンス出力 1d = アクティブ Low とアクティブ High を駆動 2d = アクティブ Low と弱い High を駆動 3d =アクティブ Low、ハイ インピーダンス 4d = 弱い Low とアクティブ High を駆動 5d = ハイ インピーダンスとアクティブ High を駆動 6d~7d = 予約済み。使用しないでください。

7.1.1.10 GPO_GPI_VAL レジスタ (アドレス = 0xE) [リセット = 0x00]

GPO_GPI_VAL を 表 7-12 に示します。

概略表に戻ります。

このレジスタは、GPIO および GPO 出力値レジスタです。

表 7-12. GPO_GPI_VAL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	GPIO1_VAL	R/W	0b	GPO として構成されているときの GPIO1 の出力値。 0d = 値 0 で出力を駆動 1d = 値 1 で出力を駆動
6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
3	GPIO1_MON	R	0b	GPI として構成されている場合は GPIO1 の値を監視します。 0d = 入力モニタ値 0 1d = 入力モニタ値 1
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.11 INTF_CFG0 レジスタ (アドレス = 0xF) [リセット = 0x00]

INTF_CFG0 を表 7-13 に示します。

概略表に戻ります。

このレジスタは、インターフェイス構成レジスタ 0 です。

表 7-13. INTF_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6-5	CCLK_SEL[1:0]	R/W	00b	CCLK 選択構成。 0d = CCLK は無効 1d = GPIO1 2d = 予約済み 3d = 予約済み
4-2	PASI_DIN2_SEL[2:0]	R/W	000b	プライマリ ASI DIN2 選択構成。 0d =プライマリ ASI DIN2 は無効 1d = GPIO1 2d = 予約済み 3d = 予約済み 4d = DOUT 5d = プライマリ ASI DIN 6d ～ 7d = 予約済み
1	PASI_BCLK_SEL	R/W	0b	プライマリ ASI BCLK 選択構成。 0d = プライマリ ASI BCLK が BCLK 1d =プライマリ ASI BCLK がセカンダリ ASI BCLK
0	PASI_FSYNC_SEL	R/W	0b	プライマリ ASI FSYNC 選択構成。 0d = プライマリ ASI FSYNC が FSYNC 1d =プライマリ ASI FSYNC がセカンダリ ASI FSYNC

7.1.1.12 INTF_CFG1 レジスタ (アドレス = 0x10) [リセット = 0x52]

INTF_CFG1 を表 7-14 に示します。

概略表に戻ります。

このレジスタは、インターフェイス構成レジスタ 1 です。

表 7-14. INTF_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	DOUT_SEL[3:0]	R/W	0101b	DOUT 選択構成。 0d = DOUT は無効 1d = DOUT は入力として構成 2d = DOUT は汎用出力 (GPO) として構成 3d = DOUT はチップ割り込み出力 (IRQ) として構成 4d = 予約済み 5d = DOUT はプライマリ ASI DOUT として構成 6d = DOUT はプライマリ ASI DOUT2 として構成 7d = DOUT はセカンダリ ASI DOUT として構成 8d = DOUT はセカンダリ ASI DOUT2 として構成 9d = DOUT はセカンダリ ASI BCLK 出力として構成 10d = DOUT はセカンダリ ASI FSYNC 出力として構成 11d = DOUT は汎用 CLKOUT として構成 12d = DOUT は PASI DOUT と SASI DOUT のマルチプレクサとして構成 13d = DOUT は DIN Daisy 用に DAISY_OUT として構成 14d = DOUT は DIN (ループバック) として構成 15d = 予約済み

Copyright © 2025 Texas Instruments Incorporated

表 7-14. INTF_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	DOUT_VAL	R/W	0b	GPO として構成された場合の DOUT 出力値。 0d = 値 0 で出力を駆動 1d = 値 1 で出力を駆動
2-0	DOUT_DRV[2:0]	R/W	010b	DOUT 出力駆動構成。 0D = Hi-Z 出力 1d = アクティブ Low とアクティブ High を駆動 2d =アクティブ Low と弱い High を駆動 3d =アクティブ Low、Hi-Z 4D = 弱い Low、アクティブ High を駆動 5d = Hi-Z とアクティブ High を駆動 6d~7d = 予約済み。使用しないでください。

7.1.1.13 INTF_CFG2 レジスタ (アドレス = 0x11) [リセット = 0x80]

INTF_CFG2 を表 7-15 に示します。

概略表に戻ります。

このレジスタは、インターフェイス構成レジスタ 2 です。

表 7-15. INTF_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PASI_DIN_EN	R/W	1b	プライマリ ASI DIN イネーブル構成。 0d = プライマリ ASI DIN が無効 1d = プライマリ ASI DIN が有効
6-4	SASI_FSYNC_SEL[2:0]	R/W	000b	セカンダリ ASI FSYNC 選択設定。 0d = セカンダリ ASI が無効 1d = GPIO1 2d = 予約済み 3d = 予約済み 4d = 予約済み 5d = プライマリ ASI FSYNC 6d ～ 7d = 予約済み
3-1	SASI_BCLK_SEL[2:0]	R/W	000b	セカンダリ ASI BCLK 選択設定。 0d = セカンダリ ASI が無効 1d = GPIO1 2d = 予約済み 3d = 予約済み 4d = 予約済み 5d = プライマリ ASI BCLK 6d ～ 7d = 予約済み
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.14 INTF_CFG3 レジスタ (アドレス = 0x12) [リセット = 0x00]

INTF_CFG3 を表 7-16 に示します。

概略表に戻ります。

このレジスタは、インターフェイス構成レジスタ 3 です。

表 7-16. INTF_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	SASI_DIN_SEL[2:0]	R/W	000b	セカンダリ ASI DIN 選択設定。 0d = セカンダリ ASI DIN が無効 1d = GPIO1 2d = 予約済み 3d = 予約済み 4d = DOUT 5d =プライマリ ASI DIN 6d ～ 7d =予約済み
4-2	SASI_DIN2_SEL[2:0]	R/W	000b	セカンダリ ASI DIN2 選択構成。 0d =セカンダリ ASI DIN2 が無効 1d = GPIO1 2d = 予約済み 3d = 予約済み 4d = DOUT 5d =プライマリ ASI DIN 6d ～ 7d = 予約済み
1-0	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

7.1.1.15 INTF_CFG5 レジスタ (アドレス = 0x14) [リセット = 0x00]

INTF_CFG5 を表 7-17 に示します。

概略表に戻ります。

このレジスタは、インターフェイス構成レジスタ 5 です。

表 7-17. INTF_CFG5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6	DOUT_WITH_DIN	R/W	0b	DOUT を ASI OUT と ASI IN の両方として使用 0d = DOUT_SEL に基づく DOUT 1d = DOUT を ASI OUT と ASI DIN の両方として使用
5-4	PD_ADC_GPIO[1:0]	R/W	00b	GPIO 選択構成を使用した ADC のパワーダウン (PD_ADC_GPIO / ADC_PDZ のいずれかがパワーダウン構成の場合、ADC がパワーダウン)。 0d = GPIO を使用した ADC のパワーダウンが無効 1d = GPIO1 を使用した ADC のパワーダウン 2d = 予約済み 3d = 予約済み
3-2	PD_DAC_GPIO[1:0]	R/W	00b	GPIO 選択構成を使用した DAC のパワーダウン (PD_DAC_GPIO / DAC_PDZ のいずれかがパワーダウン構成の場合、DAC がパワーダウン)。 0d = GPIO を使用した DAC のパワーダウンが無効 1d = GPIO1 を使用した DAC のパワーダウン 2d = 予約済み 3d = 予約済み
1	PLIM_GPIO	R/W	0b	GPIO1 構成を使用する PLIM。 0d = GPIO1 を使用する PLIM はディスエーブル 1d = GPIO1 を使用する PLIM
0	GPA_GPIO	R/W	0b	GPIO1 構成を使用する GPA。 0d = GPIO1 を使用する GPA はディスエーブル 1d = GPIO1 を使用する GPA

Copyright © 2025 Texas Instruments Incorporated

7.1.1.16 INTF_CFG6 レジスタ (アドレス = 0x15) [リセット = 0x00]

INTF_CFG6 を表 7-18 に示します。

概略表に戻ります。

このレジスタは、インターフェイス構成レジスタ 6 です。

表 7-18. INTF_CFG6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	EN_MBIAS_GPIO[1:0]	R/W	00b	GPIO 選択構成を使用して MICBIAS をイネーブル。 0d = GPIO を使用した MICBIAS の有効化が無効 1d = GPIO1 を使用して MICBIAS を有効にする 2d = 予約済み 3d = 予約済み
5-4	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
3-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.17 ASI_CFG0 レジスタ (アドレス = 0x18) [リセット = 0x40]

ASI_CFG0 を表 7-19 に示します。

概略表に戻ります。

このレジスタは ASI 構成レジスタ 0 です。

表 7-19. ASI_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PASI_DIS	R/W	0b	プライマリ ASI（PASI）を無効または有効にします。 0d =プライマリ ASI 有効 1d = プライマリ ASI 無効
6	SASI_DIS	R/W	1b	セカンダリ ASI（SASI）を無効または有効にします。 0d = セカンダリ ASI が有効 1d =セカンダリ ASI が無効
5	SASI_CFG_GANG	R/W	0b	プライマリ ASI と連動するセカンダリ ASI のすべての設定。 0d = セカンダリ ASI は独立した構成を持っている 1d = セカンダリ ASI 構成はプライマリ ASI と同じ
4-3	DAISY_EN[1:0]	R/W	00b	デイジーチェーン機能有効（1 つの ASI と 1 つの DOUT および DIN のみ利用可能） 0d = デイジーチェーンをディセーブル 1d = PASI デイジーチェーンをイネーブル（セカンダリ ASI は利用不可） 2d = SASI デイジーチェーンを有効（プライマリ ASI は利用不可） 3d = 予約済み、使用しません
2-0	DAISY_IN_SEL[2:0]	R/W	000b	デイジー入力選択構成。 0d = デイジー入力が無効 1d = GPIO1 2d = 予約済み 3d = 予約済み 4d =予約済み 5d = DIN 6d ～ 7d = 予約済み

7.1.1.18 ASI_CFG1 レジスタ (アドレス = 0x19) [リセット = 0x00]

ASI_CFG1 を表 7-20 に示します。

概略表に戻ります。

このレジスタは ASI 構成レジスタ 1 です。

表 7-20. ASI_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	ASI_DOUT_CFG[1:0]	R/W	00b	ASI データ出力構成。 0d = プライマリ ASI 用データ出力 1 つ、セカンダリ ASI 用データ出力 1 つ 1d = プライマリ ASI 用の 2 つのデータ出力 2d = 2 データ出力、セカンダリ ASI 3d = 予約済み。使用しません
5-4	ASI_DIN_CFG[1:0]	R/W	00b	ASI データ入力構成。 0d = プライマリ ASI 用データ入力 1 つ、セカンダリ ASI 用データ入力 1 つ 1d = プライマリ ASI 用データ入力 2 つ 2d = セカンダリ ASI 用データ入力 2 つ 3d = 予約済み。使用しません
3	DAISY_DIR	R/W	0b	デイジー方向構成。 0D = ASI DOUT デイジー 1d = ASI DIN デイジー
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.19 PASI_CFG0 レジスタ (アドレス = 0x1A) [リセット = 0x30]

PASI_CFG0 を表 7-21 に示します。

概略表に戻ります。

このレジスタは ASI 構成レジスタ 0 です。

表 7-21. PASI_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	PASI_FORMAT[1:0]	R/W	00b	プライマリ ASI プロトコル フォーマット。 0D = TDM モード 1d = I^2S モード 2D = LJ（左揃え）モード 3d =予約済み、使用しないでください
5-4	PASI_WLEN[1:0]	R/W	11b	プライマリ ASI ワードまたはスロットの長さ。 0D = 16 ビット (10kandx3A9 入力インピーダンス構成で使用するため、この設定を推奨) 1d = 20 ビット 2d = 24 ビット 3d = 32 ビット
3	PASI_FSYNC_POL	R/W	0b	ASI fsync 極性（PASI プロトコルのみ）。 0d = 標準プロトコルに基づくデフォルトの極性 1d = 標準プロトコルに対して反転された極性
2	PASI_BCLK_POL	R/W	0b	ASI BCLK 極性（PASI プロトコルのみ）。 0d = 標準プロトコルに基づくデフォルトの極性 1d = 標準プロトコルに対して反転された極性
1	PASI_BUS_ERR	R/W	0b	ASI バス エラー検出。 0d = バス エラー検出を有効にする 1d = バス エラー検出を無効にする

Copyright © 2025 Texas Instruments Incorporated

表 7-21. PASI_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	PASI_BUS_ERR_RCOV	R/W	0b	ASI バス エラー自動再開。 0D = バス エラー回復後の自動再開をイネーブル 1d = バス エラー回復後の自動再開をディスエーブルにし、ホストがデバイスを構成するまでの間、電源オフのままになります

7.1.1.20 PASI_TX_CFG0 レジスタ (アドレス = 0x1B) [リセット = 0x00]

PASI_TX_CFG0 を表 7-22 に示します。

概略表に戻ります。

このレジスタは PASI TX 構成レジスタ 0 です。

表 7-22. PASI_TX_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PASI_TX_EDGE	R/W	0b	プライマリ ASI データ出力(プライマリおよびセカンダリ データ ピン)の送信エッジ。 0d = PASI_BCLK_POL のプロトコル構成設定に従うデフォルトのエッジ 1d = デフォルトのエッジ設定を基準として、後続のエッジ(半周期遅延)を反転
6	PASI_TX_FILL	R/W	0b	未使用のサイクルのプライマリ ASI データ出力(プライマリおよびセカンダリ データ ピン) 0d = 未使用のサイクルの場合は常に 0 を送信 1d = 未使用のサイクルの場合は常にハイ インピーダンスを使用
5	PASI_TX_LSB を表します	R/W	0b	LSB 送信用のプライマリ ASI データ出力(プライマリおよびセカンダリ データ ピン上)。 0d =フル サイクルの間 LSB を送信 1d = 前半サイクルの間 LSB を、後半サイクルの間、ハイ インピーダンスを送信
4-3	PASI_TX_KEEPER[1:0]	R/W	00b	プライマリ ASI データ出力(プライマリおよびセカンダリ データ ピン)バス キーパー。 0D = バス キーパーは常にディスエーブル 1d = バスキーパーは常にイネーブル 2d = LSB 送信中に 1 サイクルのみバス キーパーがイネーブル 3d = LSB 送信中にのみバス キーパーは、1 サイクルおよび半サイクルでのみイネーブル
2	PASI_TX_USE_INT_FSYNC	R/W	0b	プライマリ ASI は、必要に応じてコントローラ モード構成での出力データ生成に内部 FSYNC を使用します。 0d = ASI プロトコル データ生成に外部 FSYNC を使用 1d = ASI プロトコル データ生成に内部 FSYNC を使用
1	PASI_TX_USE_INT_BCLK	R/W	0b	プライマリ ASI は、コントローラ モード構成での出力データ生成に内部 BCLK を使用します。 0d = ASI プロトコル データ生成に外部 BCLK を使用 1d = ASI プロトコル データ生成に内部 BCLK を使用
0	PASI_TDM_PULSE_WIDTH	R/W	0b	TDM 形式のプライマリ ASI FSYNC パルス幅。(コントローラ モードで有効)0d = Fsync パルスは 1 bclk 周期幅 1d = Fsync パルスは 2 bclk 周期幅

7.1.1.21 PASI_TX_CFG1 レジスタ (アドレス = 0x1C) [リセット = 0x00]

PASI_TX_CFG1 を表 7-23 に示します。

概略表に戻ります。

このレジスタは PASI TX 構成レジスタ 1 です。

表 7-23. PASI_TX_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
4-0	PASI_TX_OFFSET[4:0]	R/W	00000b	プライマリ ASI 出力データの MSB スロット 0 のオフセット(プライマリおよびセカンダリ データ ピン)。 0D = ASI データの MSB 位置にはオフセットがなく、標準プロトコルに従っている 1d = ASI データの MSB 位置(TDM モードはスロット 0 または I²S、LJ モードは左および右スロット 0)標準プロトコルに対して 2 BCLK サイクルのオフセット 2d = ASI データ MSB 位置(TDM モードはスロット 0 または I²S、LJ モードは、標準プロトコルに対する BCLK サイクル 2 つ分の左右スロット 0)オフセット 3d ～ 30d = ASI データ MSB の位置(TDM モードはスロット 0 または I²S、LJ モードは、構成に従って割り当てられた左右のスロット 0 のオフセット) 31d = ASI データ MSB 位置(TDM モードがスロット 0 または I²S、LJ モードは、標準プロトコルに対する左右のスロット 0 の 31 BCLK サイクルのオフセットです。

7.1.1.22 PASI_TX_CFG2 レジスタ (アドレス = 0x1D) [リセット = 0x00]

PASI_TX_CFG2 を表 7-24 に示します。

概略表に戻ります。

このレジスタは PASI TX 構成レジスタ 2 です。

表 7-24. PASI_TX_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PASI_TX_CH8_SEL	R/W	0b	プライマリ ASI 出力チャネル 8 の選択。 0d = プライマリ ASI チャネル 8 出力が DOUT にある 1d = プライマリ ASI チャネル 8 出力が DOUT2 にある
6	PASI_TX_CH7_SEL	R/W	0b	プライマリ ASI 出力チャネル 7 の選択。 0d = プライマリ ASI チャネル 7 出力が DOUT にある 1d = プライマリ ASI チャネル 7 出力が DOUT2 にある
5	PASI_TX_CH6_SEL	R/W	0b	プライマリ ASI 出力チャネル 6 の選択。 0d = プライマリ ASI チャネル 6 出力が DOUT にある 1d = プライマリ ASI チャネル 6 出力が DOUT2 にある
4	PASI_TX_CH5_SEL	R/W	0b	プライマリ ASI 出力チャネル 5 の選択。 0d = プライマリ ASI チャネル 5 出力が DOUT にある 1d = プライマリ ASI チャネル 5 出力が DOUT2 にある
3	PASI_TX_CH4_SEL	R/W	0b	プライマリ ASI 出力チャネル 4 の選択。 0d = プライマリ ASI チャネル 4 出力が DOUT にある 1d = プライマリ ASI チャネル 4 出力が DOUT2 にある
2	PASI_TX_CH3_SEL	R/W	0b	プライマリ ASI 出力チャネル 3 の選択。 0d = プライマリ ASI チャネル 3 出力が DOUT にある 1d = プライマリ ASI チャネル 3 出力が DOUT2 にある
1	PASI_TX_CH2_SEL	R/W	0b	プライマリ ASI 出力チャネル 2 の選択。 0d = プライマリ ASI チャネル 2 出力が DOUT にある 1d = プライマリ ASI チャネル 2 出力が DOUT2 にある
0	PASI_TX_CH1_SEL	R/W	0b	プライマリ ASI 出力チャネル 1 の選択。 0d = プライマリ ASI チャネル 1 出力が DOUT にある 1d = プライマリ ASI チャネル 1 出力が DOUT2 にある

Copyright © 2025 Texas Instruments Incorporated

7.1.1.23 PASI_TX_CH1_CFG レジスタ (アドレス = 0x1E) [リセット = 0x20]

PASI_TX_CH1_CFG を表 7-25 に示します。

概略表に戻ります。

このレジスタは PASI TX チャネル 1 構成レジスタです。

表 7-25. PASI_TX_CH1_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
5	PASI_TX_CH1_CFG	R/W	1b	プライマリ ASI 出力チャネル 1 構成。 0d = プライマリ ASI チャネル 1 の出力がトライステート状態 1d = プライマリ ASI チャネル 1 の出力が ADC チャネル 1 のデータに対応
4-0	PASI_TX_CH1_SLOT_NUM[4:0]	R/W	00000b	プライマリ ASI 出力チャネル 1 スロット割り当て。 0d = TDM はスロット 0 または I²S、LJ は左スロット 0 1d = TDM はスロット 1 または I²S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I²S、LJ は右スロット 15 16d = TDM はスロット 16 または I²S、LJ は右スロット 0 17d = TDM はスロット 17 または I²S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d =TDM がスロット 31 または I²S、LJ は右スロット 15

7.1.1.24 PASI_TX_CH2_CFG レジスタ (アドレス = 0x1F) [リセット = 0x21]

PASI_TX_CH2_CFG を表 7-26 に示します。

概略表に戻ります。

このレジスタは PASI TX チャネル 2 構成レジスタです。

表 7-26. PASI_TX_CH2_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
5	PASI_TX_CH2_CFG	R/W	1b	プライマリ ASI 出力チャネル 2 構成。 0d = プライマリ ASI チャネル 2 の出力がトライステート状態 1d = プライマリ ASI チャネル 2 の出力が ADC チャネル 2 のデータに対応
4-0	PASI_TX_CH2_SLOT_NUM[4:0]	R/W	00001b	プライマリ ASI 出力チャネル 2 スロット割り当て。 0d = TDM はスロット 0 または I²S、LJ は左スロット 0 1d = TDM はスロット 1 または I²S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I²S、LJ は右スロット 15 16d = TDM はスロット 16 または I²S、LJ は右スロット 0 17d = TDM はスロット 17 または I²S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d =TDM がスロット 31 または I²S、LJ は右スロット 15

7.1.1.25 PASI_TX_CH3_CFG レジスタ (アドレス = 0x20) [リセット = 0x02]

PASI_TX_CH3_CFG を表 7-27 に示します。

概略表に戻ります。

このレジスタは PASI TX チャネル 3 構成レジスタです。

表 7-27. PASI_TX_CH3_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6-5	PASI_TX_CH3_CFG[1:0]	R/W	00b	プライマリ ASI 出力チャネル 3 構成。 0d = プライマリ ASI チャネル 3 出力がトライステート条件 1d = 予約済み 2d =プライマリ ASI チャネル 3 出力は VBAT データに対応 3d = 予約済み
4-0	PASI_TX_CH3_SLOT_NUM[4:0]	R/W	00010b	プライマリ ASI 出力チャネル 3 スロット割り当て。 0d = TDM はスロット 0 または I²S、LJ は左スロット 0 1d = TDM はスロット 1 または I²S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I²S、LJ は右スロット 15 16d = TDM はスロット 16 または I²S、LJ は右スロット 0 17d = TDM はスロット 17 または I²S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d =TDM がスロット 31 または I²S、LJ は右スロット 15

7.1.1.26 PASI_TX_CH4_CFG レジスタ (アドレス = 0x21) [リセット = 0x03]

PASI_TX_CH4_CFG を表 7-28 に示します。

概略表に戻ります。

このレジスタは PASI TX チャネル 4 構成レジスタです。

表 7-28. PASI_TX_CH4_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6-5	PASI_TX_CH4_CFG[1:0]	R/W	00b	プライマリ ASI 出力チャネル 4 構成。 0d = プライマリ ASI チャネル 4 出力がトライステート条件 1d = 予約済み 2d =プライマリ ASI チャネル 4 出力は TEMP データに対応 3d = 予約済み
4-0	PASI_TX_CH4_SLOT_NUM[4:0]	R/W	00011b	プライマリ ASI 出力チャネル 4 スロット割り当て。 0d = TDM はスロット 0 または I²S、LJ は左スロット 0 1d = TDM はスロット 1 または I²S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I²S、LJ は右スロット 15 16d = TDM はスロット 16 または I²S、LJ は右スロット 0 17d = TDM はスロット 17 または I²S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d =TDM がスロット 31 または I²S、LJ は右スロット 15

7.1.1.27 PASI_TX_CH5_CFG レジスタ (アドレス = 0x22) [リセット = 0x04]

PASI_TX_CH5_CFG を表 7-29 に示します。

概略表に戻ります。

このレジスタは PASI TX チャネル 5 構成レジスタです。

表 7-29. PASI_TX_CH5_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

Copyright © 2025 Texas Instruments Incorporated

表 7-29. PASI_TX_CH5_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-5	PASI_TX_CH5_CFG[1:0]	R/W	00b	プライマリ ASI 出力チャネル 5 構成。 0d =プライマリ ASI チャネル 5 出力が状態条件 1d =プライマリ ASI チャネル 5 出力は tri 入力チャネル 1 ループバック・データに対応 2D =プライマリ ASI チャネル 5 出力はエコー・リファレンス・チャネル 1 データに対応 3D=予約済み
4-0	PASI_TX_CH5_SLOT_NUM[4:0]	R/W	00100b	プライマリ ASI 出力チャネル 5 スロット割り当て。 0d = TDM はスロット 0 または I²S、LJ は左スロット 0 1d = TDM はスロット 1 または I²S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I²S、LJ は右スロット 15 16d = TDM はスロット 16 または I²S、LJ は右スロット 0 17d = TDM はスロット 17 または I²S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d =TDM がスロット 31 または I²S、LJ は右スロット 15

7.1.1.28 PASI_TX_CH6_CFG レジスタ (アドレス = 0x23) [リセット = 0x05]

PASI_TX_CH6_CFG を表 7-30 に示します。

概略表に戻ります。

このレジスタは PASI TX チャネル 6 構成レジスタです。

表 7-30. PASI_TX_CH6_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6-5	PASI_TX_CH6_CFG[1:0]	R/W	00b	プライマリ ASI 出力チャネル 6 構成。 0d =プライマリ ASI チャネル 6 出力が状態条件 1d =プライマリ ASI チャネル 6 出力は tri 入力チャネル 2 ループバック・データに対応 2D =プライマリ ASI チャネル 6 出力はエコー・リファレンス・チャネル 2 データに対応 3D=予約済み
4-0	PASI_TX_CH6_SLOT_NUM[4:0]	R/W	00101b	プライマリ ASI 出力チャネル 6 スロット割り当て。 0d = TDM はスロット 0 または I²S、LJ は左スロット 0 1d = TDM はスロット 1 または I²S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I²S、LJ は右スロット 15 16d = TDM はスロット 16 または I²S、LJ は右スロット 0 17d = TDM はスロット 17 または I²S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d =TDM がスロット 31 または I²S、LJ は右スロット 15

7.1.1.29 PASI_TX_CH7_CFG レジスタ (アドレス = 0x24) [リセット = 0x06]

PASI_TX_CH7_CFG を表 7-31 に示します。

概略表に戻ります。

このレジスタは PASI TX チャネル 7 構成レジスタです。

表 7-31. PASI_TX_CH7_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

表 7-31. PASI_TX_CH7_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-5	PASI_TX_CH7_CFG[1:0]	R/W	00b	プライマリ ASI 出力チャネル 7 構成。 0d =プライマリ ASI チャネル 7 出力がトライステート条件 1d = プライマリ ASI チャネル 7 出力は {VBAT_WLby2, TEMP_WLby2} に対応 2d = プライマリ ASI チャネル 7 出力は {echo_ref_ch1, echo_ref_ch2} データに対応 3d = 予約済み
4-0	PASI_TX_CH7_SLOT_NUM[4:0]	R/W	00110b	プライマリ ASI 出力チャネル 7 スロット割り当て。 0d = TDM はスロット 0 または I²S、LJ は左スロット 0 1d = TDM はスロット 1 または I²S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I²S、LJ は右スロット 15 16d = TDM はスロット 16 または I²S、LJ は右スロット 0 17d = TDM はスロット 17 または I²S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d =TDM がスロット 31 または I²S、LJ は右スロット 15

7.1.1.30 PASI_TX_CH8_CFG レジスタ (アドレス = 0x25) [リセット = 0x07]

PASI_TX_CH8_CFG を表 7-32 に示します。

概略表に戻ります。

このレジスタは PASI TX チャネル 8 構成レジスタです。

表 7-32. PASI_TX_CH8_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
5	PASI_TX_CH8_CFG	R/W	0b	プライマリ ASI 出力チャネル 8 構成。 0d = プライマリ ASI チャネル 8 出力がトライステート 1d = プライマリ ASI チャネル 8 出力が ICLA データに対応
4-0	PASI_TX_CH8_SLOT_NUM[4:0]	R/W	00111b	プライマリ ASI 出力チャネル 8 スロット割り当て。 0d = TDM はスロット 0 または I²S、LJ は左スロット 0 1d = TDM はスロット 1 または I²S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I²S、LJ は右スロット 15 16d = TDM はスロット 16 または I²S、LJ は右スロット 0 17d = TDM はスロット 17 または I²S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d =TDM がスロット 31 または I²S、LJ は右スロット 15

7.1.1.31 PASI_RX_CFG0 レジスタ (アドレス = 0x26) [リセット = 0x00]

PASI_RX_CFG0 を表 7-33 に示します。

概略表に戻ります。

このレジスタは PASI RX 構成レジスタ 0 です。

表 7-33. PASI_RX_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PASI_RX_EDGE	R/W	0b	プライマリ ASI データ入力（プライマリおよびセカンダリ データ ピン）受信エッジ。 0d = PASI_BCLK_POL のプロトコル構成設定に従うデフォルトのエッジ 1d = デフォルトのエッジ設定を基準として、後続のエッジ（半周期遅延）を反転

Copyright © 2025 Texas Instruments Incorporated

表 7-33. PASI_RX_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	PASI_RX_USE_INT_FSYNC	R/W	0b	プライマリ ASI は、必要に応じてコントローラ モード構成での入力データ ラッチに内部 FSYNC を使用します。 0d = ASI プロトコルのデータ ラッチに外部 FSYNC を使用 1d = ASI プロトコルのデータ ラッチに内部 FSYNC を使用
5	PASI_RX_USE_INT_BCLK	R/W	0b	プライマリ ASI は、コントローラ モード構成での入力データ ラッチに内部 BCLK を使用します。 0d = ASI プロトコルのデータ ラッチに外部 BCLK を使用 1d = ASI プロトコルのデータ ラッチに内部 BCLK を使用
4-0	PASI_RX_OFFSET[4:0]	R/W	00000b	プライマリ ASI データ入力の MSB スロット 0 のオフセット(プライマリおよびセカンダリ データ ピン)。 0D = ASI データの MSB 位置にはオフセットがなく、標準プロトコルに従っている 1d = ASI データの MSB 位置(TDM モードはスロット 0 または I^2S、LJ モードは左および右スロット 0)標準プロトコルに対して 2 BCLK サイクルのオフセット 2d = ASI データ MSB 位置(TDM モードはスロット 0 または I^2S、LJ モードは、標準プロトコルに対する BCLK サイクル 2 つ分の左右スロット 0)オフセット 3d ～ 30d = ASI データ MSB の位置(TDM モードはスロット 0 または I^2S、LJ モードは、構成に従って割り当てられた左右のスロット 0 のオフセット) 31d = ASI データ MSB 位置(TDM モードがスロット 0 または I^2S、LJ モードは、標準プロトコルに対する左右のスロット 0 の 31 BCLK サイクルのオフセットです。

7.1.1.32 PASI_RX_CFG1 レジスタ (アドレス = 0x27) [リセット = 0x00]

PASI_RX_CFG1 を表 7-34 に示します。

概略表に戻ります。

このレジスタは PASI RX 構成レジスタ 1 です。

表 7-34. PASI_RX_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PASI_RX_CH8_SEL	R/W	0b	プライマリ ASI 入力チャネル 8 の選択。 0d = プライマリ ASI チャネル 8 入力は DIN 1d = プライマリ ASI チャネル 8 入力は DIN2 にオン
6	PASI_RX_CH7_SEL	R/W	0b	プライマリ ASI 入力チャネル 7 の選択。 0d = プライマリ ASI チャネル 7 入力は DIN 1d = プライマリ ASI チャネル 7 入力は DIN2 にオン
5	PASI_RX_CH6_SEL	R/W	0b	プライマリ ASI 入力チャネル 6 の選択。 0d = プライマリ ASI チャネル 6 入力は DIN 1d = プライマリ ASI チャネル 6 入力は DIN2 にオン
4	PASI_RX_CH5_SEL	R/W	0b	プライマリ ASI 入力チャネル 5 の選択。 0d = プライマリ ASI チャネル 5 入力は DIN 1d = プライマリ ASI チャネル 5 入力は DIN2 にオン
3	PASI_RX_CH4_SEL	R/W	0b	プライマリ ASI 入力チャネル 4 の選択。 0d = プライマリ ASI チャネル 4 入力は DIN 1d = プライマリ ASI チャネル 4 入力は DIN2 にオン
2	PASI_RX_CH3_SEL	R/W	0b	プライマリ ASI 入力チャネル 3 の選択。 0d = プライマリ ASI チャネル 3 入力は DIN 1d = プライマリ ASI チャネル 3 入力は DIN2 にオン

表 7-34. PASI_RX_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	PASI_RX_CH2_SEL	R/W	0b	プライマリ ASI 入力チャネル 2 の選択。 0d = プライマリ ASI チャネル 2 入力は DIN 1d = プライマリ ASI チャネル 2 入力は DIN2 にオン
0	PASI_RX_CH1_SEL	R/W	0b	プライマリ ASI 入力チャネル 1 の選択。 0d = プライマリ ASI チャネル 1 入力は DIN 1d = プライマリ ASI チャネル 1 入力は DIN2 にオン

7.1.1.33 PASI_RX_CH1_CFG レジスタ (アドレス = 0x28) [リセット = 0x20]

PASI_RX_CH1_CFG を表 7-35 に示します。

概略表に戻ります。

このレジスタは PASI RX チャネル 1 構成レジスタです。

表 7-35. PASI_RX_CH1_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
5	PASI_RX_CH1_CFG	R/W	1b	プライマリ ASI 入力チャネル 1 構成。 0D = プライマリ ASI チャネル 1 入力が無効 1d = プライマリ ASI チャネル 1 の入力が DAC チャネル 1 のデータに対応
4-0	PASI_RX_CH1_SLOT_NUM[4:0]	R/W	00000b	プライマリ ASI 入力チャネル 1 スロット割り当て。 0d = TDM はスロット 0 または I^2S、LJ は左スロット 0 1d = TDM はスロット 1 または I^2S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I^2S、LJ は右スロット 15 16d = TDM はスロット 16 または I^2S、LJ は右スロット 0 17d = TDM はスロット 17 または I^2S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d =TDM がスロット 31 または I^2S、LJ は右スロット 15

7.1.1.34 PASI_RX_CH2_CFG レジスタ (アドレス = 0x29) [リセット = 0x21]

PASI_RX_CH2_CFG を表 7-36 に示します。

概略表に戻ります。

このレジスタは PASI RX チャネル 2 構成レジスタです。

表 7-36. PASI_RX_CH2_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
5	PASI_RX_CH2_CFG	R/W	1b	プライマリ ASI 入力チャネル 2 構成。 0D = プライマリ ASI チャネル 2 入力が無効 1d = プライマリ ASI チャネル 2 の入力が DAC チャネル 2 のデータに対応

Copyright © 2025 Texas Instruments Incorporated

表 7-36. PASI_RX_CH2_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4-0	PASI_RX_CH2_SLOT_NUM[4:0]	R/W	00001b	プライマリ ASI 入力チャネル 2 スロット割り当て。 0d = TDM はスロット 0 または I²S、LJ は左スロット 0 1d = TDM はスロット 1 または I²S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I²S、LJ は右スロット 15 16d = TDM はスロット 16 または I²S、LJ は右スロット 0 17d = TDM はスロット 17 または I²S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d =TDM がスロット 31 または I²S、LJ は右スロット 15

7.1.1.35 PASI_RX_CH3_CFG レジスタ (アドレス = 0x2A) [リセット = 0x02]

PASI_RX_CH3_CFG を表 7-37 に示します。

概略表に戻ります。

このレジスタは PASI RX チャネル 3 構成レジスタです。

表 7-37. PASI_RX_CH3_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
5	PASI_RX_CH3_CFG	R/W	0b	プライマリ ASI 入力チャネル 3 構成。 0D = プライマリ ASI チャネル 3 入力が無効 1d = プライマリ ASI チャネル 3 の入力が DAC チャネル 3 のデータに対応
4-0	PASI_RX_CH3_SLOT_NUM[4:0]	R/W	00010b	プライマリ ASI 入力チャネル 3 スロット割り当て。 0d = TDM はスロット 0 または I²S、LJ は左スロット 0 1d = TDM はスロット 1 または I²S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I²S、LJ は右スロット 15 16d = TDM はスロット 16 または I²S、LJ は右スロット 0 17d = TDM はスロット 17 または I²S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d =TDM がスロット 31 または I²S、LJ は右スロット 15

7.1.1.36 PASI_RX_CH4_CFG レジスタ (アドレス = 0x2B) [リセット = 0x03]

PASI_RX_CH4_CFG を表 7-38 に示します。

概略表に戻ります。

このレジスタは PASI RX チャネル 4 構成レジスタです。

表 7-38. PASI_RX_CH4_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
5	PASI_RX_CH4_CFG	R/W	0b	プライマリ ASI 入力チャネル 4 構成。 0D = プライマリ ASI チャネル 4 入力が無効 1d = プライマリ ASI チャネル 4 の入力が DAC チャネル 4 のデータに対応

表 7-38. PASI_RX_CH4_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4-0	PASI_RX_CH4_SLOT_NUM[4:0]	R/W	00011b	プライマリ ASI 入力チャネル 4 スロット割り当て。 0d = TDM はスロット 0 または I²S、LJ は左スロット 0 1d = TDM はスロット 1 または I²S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I²S、LJ は右スロット 15 16d = TDM はスロット 16 または I²S、LJ は右スロット 0 17d = TDM はスロット 17 または I²S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d =TDM がスロット 31 または I²S、LJ は右スロット 15

7.1.1.37 PASI_RX_CH5_CFG レジスタ (アドレス = 0x2C) [リセット = 0x04]

PASI_RX_CH5_CFG を表 7-39 に示します。

概略表に戻ります。

このレジスタは PASI RX チャネル 5 構成レジスタです。

表 7-39. PASI_RX_CH5_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6-5	PASI_RX_CH5_CFG[1:0]	R/W	00b	プライマリ ASI 入力チャネル 5 構成。 0D =プライマリ ASI チャネル 5 入力がディセーブル 1d =プライマリ ASI チャネル 5 入力は DAC チャネル 5 のデータに対応 2d =プライマリ ASI チャネ ル 5 入力は ADC チャネル 1 の出力ループバックに対応 3d = 予約済み
4-0	PASI_RX_CH5_SLOT_NUM[4:0]	R/W	00100b	プライマリ ASI 入力チャネル 5 スロット割り当て。 0d = TDM はスロット 0 または I²S、LJ は左スロット 0 1d = TDM はスロット 1 または I²S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I²S、LJ は右スロット 15 16d = TDM はスロット 16 または I²S、LJ は右スロット 0 17d = TDM はスロット 17 または I²S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d =TDM がスロット 31 または I²S、LJ は右スロット 15

7.1.1.38 PASI_RX_CH6_CFG レジスタ (アドレス = 0x2D) [リセット = 0x05]

PASI_RX_CH6_CFG を表 7-40 に示します。

概略表に戻ります。

このレジスタは PASI RX チャネル 6 構成レジスタです。

表 7-40. PASI_RX_CH6_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6-5	PASI_RX_CH6_CFG[1:0]	R/W	00b	プライマリ ASI 入力チャネル 6 構成。 0d =プライマリ ASI チャネル 6 入力がディセーブル 1d =プライマリ ASI チャネル 6 入力は DAC チャネル 6 データに対応 2d =プライマリ ASI チャネル 6 入力は ADC チャネル 2 出力ループバックに対応 3d =プライマリ ASI チャネル 6 入力は ICLA デバイス 1 のデータに対応し

Copyright © 2025 Texas Instruments Incorporated

表 7-40. PASI_RX_CH6_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4-0	PASI_RX_CH6_SLOT_NUM[4:0]	R/W	00101b	プライマリ ASI 入力チャネル 6 スロット割り当て。 0d = TDM はスロット 0 または I²S、LJ は左スロット 0 1d = TDM はスロット 1 または I²S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I²S、LJ は右スロット 15 16d = TDM はスロット 16 または I²S、LJ は右スロット 0 17d = TDM はスロット 17 または I²S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d =TDM がスロット 31 または I²S、LJ は右スロット 15

7.1.1.39 PASI_RX_CH7_CFG レジスタ (アドレス = 0x2E) [リセット = 0x06]

PASI_RX_CH7_CFG を表 7-41 に示します。

概略表に戻ります。

このレジスタは PASI RX チャネル 7 構成レジスタです。

表 7-41. PASI_RX_CH7_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6-5	PASI_RX_CH7_CFG[1:0]	R/W	00b	プライマリ ASI 入力チャネル 7 構成。 0d =プライマリ ASI チャネル 7 入力がディセーブル 1d =プライマリ ASI チャネル 7 入力は DAC チャネル 7 データに対応 2d =プライマリ ASI チャネル 7 入力は ADC チャネル 3 出力ループバックに対応 3d =プライマリ ASI チャネル 7 入力は ICLA デバイス 2 のデータに対応し
4-0	PASI_RX_CH7_SLOT_NUM[4:0]	R/W	00110b	プライマリ ASI 入力チャネル 7 スロット割り当て。 0d = TDM はスロット 0 または I²S、LJ は左スロット 0 1d = TDM はスロット 1 または I²S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I²S、LJ は右スロット 15 16d = TDM はスロット 16 または I²S、LJ は右スロット 0 17d = TDM はスロット 17 または I²S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d =TDM がスロット 31 または I²S、LJ は右スロット 15

7.1.1.40 PASI_RX_CH8_CFG レジスタ (アドレス = 0x2F) [リセット = 0x07]

PASI_RX_CH8_CFG を表 7-42 に示します。

概略表に戻ります。

このレジスタは PASI RX チャネル 8 構成レジスタです。

表 7-42. PASI_RX_CH8_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6-5	PASI_RX_CH8_CFG[1:0]	R/W	00b	プライマリ ASI 入力チャネル 8 構成。 0d =プライマリ ASI チャネル 8 入力がディセーブル 1d =プライマリ ASI チャネル 8 入力は DAC チャネル 8 データに対応 2d =プライマリ ASI チャネル 8 入力は ADC チャネル 4 出力ループバックに対応 3d =プライマリ ASI チャネル 8 入力は ICLA デバイス 3 のデータに対応し

表 7-42. PASI_RX_CH8_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4-0	PASI_RX_CH8_SLOT_NUM[4:0]	R/W	00111b	プライマリ ASI 入力チャネル 8 スロット割り当て。 0d = TDM はスロット 0 または I²S、LJ は左スロット 0 1d = TDM はスロット 1 または I²S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I²S、LJ は右スロット 15 16d = TDM はスロット 16 または I²S、LJ は右スロット 0 17d = TDM はスロット 17 または I²S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d =TDM がスロット 31 または I²S、LJ は右スロット 15

7.1.1.41 CLK_CFG0 レジスタ (アドレス = 0x32) [リセット = 0x00]

CLK_CFG0 を表 7-43 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 0 です。

Copyright © 2025 Texas Instruments Incorporated

表 7-43. CLK_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	PASI_SAMP_RATE[5:0]	R/W	000000b	プライマリ ASI サンプル レート設定。- 標準 (許容範囲) 0d = プライマリ ASI サンプリング レートをデバイスで自動検出 1d = 768000 (670320-791040) 2d = 614400 (536256-632832) 3d = 512000 (446880-527360) 4d = 438857 (383040-452022) 5d = 384000 (335160-395520) 6d = 341333 (297920-351573) 7d = 307200 (268128-316416) 8d = 256000 (223440-263680) 9d = 219429 (191520-226011) 10d = 192000 (167580-197760) 11d = 170667 (148960-175786) 12d = 153600 (134064-158208) 13d = 128000 (111720-131840) 14d = 109714 (95760-113005) 15d = 96000 (83790-98880) 16d = 85333 (74480-87893) 17d = 76800 (67032-79104) 18d = 64000 (55860-65920) 19d = 54857 (47880-56502) 20d = 48000 (41895-49440) 21d = 42667 (37240-43946) 22d = 38400 (33516-39552) 23d = 32000 (27930-32960) 24d = 27429 (23940-28251) 25d = 24000 (20947-24720) 26d = 21333 (18620-21973) 27d = 19200 (16758-19776) 28d = 16000 (13965-16480) 29d = 13714 (11970-14125) 30d = 12000 (10473-12360) 31d = 10667 (9310-10986) 32d = 9600 (8379-9888) 33d = 8000 (6982-8240) 34d = 6857 (5985-7062) 35d = 6000 (5236-6180) 36d = 5333 (4655-5493) 37d = 4800 (4189-4944) 38d = 4000 (3491-4120) 39d = 3429 (2992-3531) 40d = 3000 (2618-3090) 41d ～ 63d = 予約済み
1	PASI_FS_RATE_NO_LIM	R/W	0b	サンプリング レートを標準オーディオ サンプル レートのみに制限します。 0d = 自動モードを使用して許容誤差 1% の標準オーディオ レートをサポート 1d = 自動モードを使用して許容誤差 5% の標準オーディオ レートをサポート
0	CUSTOM_CLK_CFG	R/W	0b	カスタム クロック構成を有効にし、すべてのデバイダとマルチプレクサの選択を手動で構成する必要があります。 0d = 自動クロック設定 1d = カスタム クロック設定

7.1.1.42 CLK_CFG1 レジスタ (アドレス = 0x33) [リセット = 0x00]

CLK_CFG1 を表 7-44 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 1 です。

表 7-44. CLK_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	SASI_SAMP_RATE[5:0]	R/W	000000b	セカンダリ ASI サンプル レート設定。- 標準 (範囲) 0d = セカンダリ ASI サンプリング レートをデバイスで自動検出 1d = 768000 (670320-791040) 2d = 614400 (536256-632832) 3d = 512000 (446880-527360) 4d = 438857 (383040-452022) 5d = 384000 (335160-395520) 6d = 341333 (297920-351573) 7d = 307200 (268128-316416) 8d = 256000 (223440-263680) 9d = 219429 (191520-226011) 10d = 192000 (167580-197760) 11d = 170667 (148960-175786) 12d = 153600 (134064-158208) 13d = 128000 (111720-131840) 14d = 109714 (95760-113005) 15d = 96000 (83790-98880) 16d = 85333 (74480-87893) 17d = 76800 (67032-79104) 18d = 64000 (55860-65920) 19d = 54857 (47880-56502) 20d = 48000 (41895-49440) 21d = 42667 (37240-43946) 22d = 38400 (33516-39552) 23d = 32000 (27930-32960) 24d = 27429 (23940-28251) 25d = 24000 (20947-24720) 26d = 21333 (18620-21973) 27d = 19200 (16758-19776) 28d = 16000 (13965-16480) 29d = 13714 (11970-14125) 30d = 12000 (10473-12360) 31d = 10667 (9310-10986) 32d = 9600 (8379-9888) 33d = 8000 (6982-8240) 34d = 6857 (5985-7062) 35d = 6000 (5236-6180) 36d = 5333 (4655-5493) 37d = 4800 (4189-4944) 38d = 4000 (3491-4120) 39d = 3429 (2992-3531) 40d = 3000 (2618-3090) 41d ～ 63d = 予約済み
1	SASI_FS_RATE_NO_LIM	R/W	0b	サンプリング レートを標準オーディオ サンプル レートのみに制限します。 0d = 自動モードを使用して許容誤差 1% の標準オーディオ レートをサポート 1d = 自動モードを使用して許容誤差 5% の標準オーディオ レートをサポート
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.43 CLK_CFG2 レジスタ (アドレス = 0x34) [リセット = 0x40]

CLK_CFG2 を表 7-45 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 2 です。

Copyright © 2025 Texas Instruments Incorporated

表 7-45. CLK_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PLL_DIS	R/W	0b	カスタム / 自動クロック モード PLL 設定。 0d = PLL はカスタム クロック モードで常に有効 / 自動クロック モードでの DSP MIPS 要件に基づき PLL が有効 1d = PLL は無効
6	AUTO_PLL_FR_ALLOW	R/W	1b	PLL を分数モード動作で動作させます。 0D = PLL 分数モードは無効 1d = PLL 分数モードは有効
5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
3-1	CLK_SRC_SEL[2:0]	R/W	000b	入力クロック ソースの選択。 0d = プライマリ ASI BCLK は入力クロック ソース 1d = プライマリ ASI と同期した CLCLK が入力クロックソース 2d = セカンダリ ASI BCLK は入力クロック ソース 3d = セカンダリ ASI FSYNC と同期した CLCLK が入力クロックソース 4d = CCLK 周波数の固定（コントローラ モード構成でのみ使用） 5d = 内部発振器クロックは入力クロックソース（カスタム クロック構成でのみ サポート） 6d ～ 7d = 予約済み
0	RATIO_CLK_EDGE	R/W	0b	クロック源比検出のエッジ選択。 0d =クロックソースの立ち上がりエッジを使用して、プライマリまたはセカンダリ FSYNC で比率をチェック 1d = クロックソースの立ち下がりエッジを使用して、プライマリまたはセカンダリ FSYNC との比率をチェックし

7.1.1.44 CNT_CLK_CFG0 レジスタ (アドレス = 0x35) [リセット = 0x00]

CNT_CLK_CFG0 を表 7-46 に示します。

概略表に戻ります。

このレジスタはコントローラ モード クロック構成レジスタ 0 です。

表 7-46. CNT_CLK_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
5-0	CCLK_FS_RATIO_MSB[5:0]	R/W	000000b	CCLK とプライマリ / セカンダリ ASI FSYNC の同期比を選択するための最上位ビット。 0d = この比率を自動検出（CCLK がプライマリ / セカンダリ FSYNC と同期していると想定） 1d ～ 16383d = 構成に基づく比率

7.1.1.45 CNT_CLK_CFG1 レジスタ (アドレス = 0x36) [リセット = 0x00]

CNT_CLK_CFG1 を表 7-47 に示します。

概略表に戻ります。

このレジスタはコントローラ モード クロック構成レジスタ 1 です。

表 7-47. CNT_CLK_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CCLK_FS_RATIO_LSB[7:0]	R/W	00000000b	CCLK とプライマリ / セカンダリ ASI FSYNC の同期に使用する比率を選択します。 0d = この比率を自動検出(CCLK がプライマリ / セカンダリ FSYNC と同期していると想定) 1d ～ 16383d = 構成に基づく比率

7.1.1.46 CNT_CLK_CFG2 レジスタ (アドレス = 0x37) [リセット = 0x20]

CNT_CLK_CFG2 を表 7-48 に示します。

概略表に戻ります。

このレジスタはコントローラ モード クロック構成レジスタ 2 です。

表 7-48. CNT_CLK_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	CCLK_FREQ_SEL[2:0]	R/W	001b	これらのビットは、CCLK 入力周波数を選択します(コントローラ モード構成でのみ使用)。 0d = 12MHz 1d = 12.288MHz 2d = 13MHz 3d = 16MHz 4d = 19.2MHz 5d = 19.68MHz 6d = 24MHz 7d = 24.576MHz
4	PASI_CNT_CFG	R/W	0b	プライマリ ASI コントローラまたはターゲット構成 0d = ターゲット構成のプライマリ ASI 1d =コントローラ構成のプライマリ ASI
3	SASI_CNT_CFG	R/W	0b	セカンダリ ASI コントローラまたはターゲット構成 0d = ターゲット構成のセカンダリ ASI 1d = コントローラ構成のセカンダリ ASI
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	FS_MODE	R/W	0b	サンプル レート設定(デバイスがコントローラ モードのときに有効)。これは PASI と SASI の両方に適用できます。 0D = サンプリング レートは 48kHz の倍数(または倍数未満) 1d = サンプリング レートは 44.1kHz の倍数(または倍数未満)

7.1.1.47 CNT_CLK_CFG3 レジスタ (アドレス = 0x38) [リセット = 0x00]

CNT_CLK_CFG3 を表 7-49 に示します。

概略表に戻ります。

このレジスタはコントローラ モード クロック構成レジスタ 3 です。

表 7-49. CNT_CLK_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PASI_USE_INT_BCLK_FOR_FSYNC	R/W	0b	コントローラ モード構成中は、PASI での FSYNC 生成に内部 BCLK を使用します。 0d = FSYNC 生成には外部 BCLK を使用 1d = FSYNC 生成には内部 BCLK を使用

Copyright © 2025 Texas Instruments Incorporated

表 7-49. CNT_CLK_CFG3 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	PASI_INV_BCLK_FOR_FSYNC	R/W	0b	コントローラ モード構成における PASI FSYNC 生成の場合のみ、PASI BCLK の極性を反転させます。 0d = PASI FSYNC 生成のための PASI BCLK の極性を反転しない 1d = PASI FSYNC 生成のための PASI BCLK の極性を反転させる
5-0	PASI_BCLK_FS_RATIO_MSB[5:0]	R/W	000000b	コントローラ モードにおけるプライマリ ASI BCLK 対 FSYNC 比の MSB ビット。

7.1.1.48 CNT_CLK_CFG4 レジスタ (アドレス = 0x39) [リセット = 0x00]

CNT_CLK_CFG4 を表 7-50 に示します。

概略表に戻ります。

このレジスタはコントローラ モード クロック構成レジスタ 4 です。

表 7-50. CNT_CLK_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PASI_BCLK_FS_RATIO_LSB[7:0]	R/W	00000000b	コントローラ モードのプライマリ ASI BCLK 対 F SYNC 比の LSB バイト。

7.1.1.49 CNT_CLK_CFG5 レジスタ (アドレス = 0x3A) [リセット = 0x00]

CNT_CLK_CFG5 を表 7-51 に示します。

概略表に戻ります。

このレジスタはコントローラ モード クロック構成レジスタ 5 です。

表 7-51. CNT_CLK_CFG5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SASI_USE_INT_BCLK_FOR_FSYNC	R/W	0b	コントローラ モード構成中は、SASI での FSYNC 生成に内部 BCLK を使用します。 0d = FSYNC 生成には外部 BCLK を使用 1d = FSYNC 生成には内部 BCLK を使用
6	SASI_INV_BCLK_FOR_FSYNC	R/W	0b	コントローラ モード構成における SASI FSYNC 生成の場合のみ、SASI BCLK の極性を反転させます。 0d = SASI FSYNC 生成のための SASI BCLK の極性を反転しない 1d = SASI FSYNC 生成のための SASI BCLK の極性を反転させる
5-0	SASI_BCLK_FS_RATIO_MSB[5:0]	R/W	000000b	コントローラ モードでのセカンダリ ASI BCLK 対 FSYNC 比の MSB ビット。

7.1.1.50 CNT_CLK_CFG6 レジスタ (アドレス = 0x3B) [リセット = 0x00]

CNT_CLK_CFG6 を表 7-52 に示します。

概略表に戻ります。

このレジスタはコントローラ モード クロック構成レジスタ 6 です。

表 7-52. CNT_CLK_CFG6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	SASI_BCLK_FS_RATIO_LSB[7:0]	R/W	00000000b	コントローラ モードでのセカンダリ ASI BCLK 対 FSYNC 比の LSB バイト。

7.1.1.51 CLK_ERR_STS0 レジスタ (アドレス = 0x3C) [リセット = 0x00]

CLK_ERR_STS0 を表 7-53 に示します。

概略表に戻ります。

このレジスタはクロック エラーおよびステータス レジスタ 0 です。

表 7-53. CLK_ERR_STS0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	DSP_CLK_ERR	R	0b	FSYNC と選択したクロック ソースとの比率エラーを示すフラグ。 0d = 比率誤差なし 1d = プライマリまたはセカンダリ ASI FSYNC と選択されたクロック ソース間の比率エラー
6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4	SRC_RATIO_ERR	R	0b	SRC m:n 比がサポートされていないことを示すフラグ。(カスタム m/n 比構成では無効)。 0d = m:n 比率をサポート 1d = サポートしていない m:n 比率エラー
3	DEM_RATE_ERR	R	0b	クロック構成が有効な DEM レートを許可していないことを示すフラグ。 0d = DEM クロック レート エラーなし 1d = 選択されたクロック構成で DEM クロック レート エラー
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	RESET_ON_CLK_STOP_DET_STS	R	0b	オーディオ クロック ソースが 1 ミリ秒以上停止したことを示すフラグ。 0d = オーディオ クロック ソース エラーなし 1d = オーディオ クロック ソースが 1ms 以上停止
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.52 CLK_ERR_STS1 レジスタ (アドレス = 0x3D) [リセット = 0x00]

CLK_ERR_STS1 を表 7-54 に示します。

概略表に戻ります。

このレジスタはクロック エラーおよびステータス レジスタ 1 です。

表 7-54. CLK_ERR_STS1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PASI_BCLK_FS_RATIO_ERR	R	0b	PASI bclk fsync 比率エラーを示すフラグ。 0d = 選択されたクロック構成で PASI bclk Fsync 比エラーなし 1d = PASI bclk Fsync 比エラー
6	SASI_BCLK_FS_RATIO_ERR	R	0b	SASI bclk fsync 比率エラーを示すフラグ。 0d = 選択されたクロック構成で SASI bclk Fsync 比エラーなし 1d = SASI bclk Fsync 比エラー
5	CLK_FS_RATIO_ERR	R	0b	CCLK fsync 比エラーを示すフラグ。 0d = CCLK fsync 比エラーなし 1d = Cclk Fsync 比エラー
4	PASI_FS_ERR	R	0b	PASI FS レート変更または停止エラーを示すフラグ。 0d = PASI FS エラーなし 1d = PASI FS レートの変化または停止を検出
3	SASI_FS_ERR	R	0b	SASI FS レート変更または停止エラーを示すフラグ。 0d = SASI FS エラーなし 1d = SASI FS レートの変化または停止を検出
2-0	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

Copyright © 2025 Texas Instruments Incorporated

7.1.1.53 CLK_DET_STS0 レジスタ (アドレス = 0x3E) [リセット = 0x00]

CLK_DET_STS0 を表 7-55 に示します。

概略表に戻ります。

このレジスタはクロック比検出レジスタ 0 です。

表 7-55. CLK_DET_STS0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	PASI_SAMP_RATE_STS[5:0]	R	000000b	プライマリ ASI サンプル レート検出ステータス。 0d = 予約済み 1d = 768000 (670320-791040) 2d = 614400 (536256-632832) 3d = 512000 (446880-527360) 4d = 438857 (383040-452022) 5d = 384000 (335160-395520) 6d = 341333 (297920-351573) 7d = 307200 (268128-316416) 8d = 256000 (223440-263680) 9d = 219429 (191520-226011) 10d = 192000 (167580-197760) 11d = 170667 (148960-175786) 12d = 153600 (134064-158208) 13d = 128000 (111720-131840) 14d = 109714 (95760-113005) 15d = 96000 (83790-98880) 16d = 85333 (74480-87893) 17d = 76800 (67032-79104) 18d = 64000 (55860-65920) 19d = 54857 (47880-56502) 20d = 48000 (41895-49440) 21d = 42667 (37240-43946) 22d = 38400 (33516-39552) 23d = 32000 (27930-32960) 24d = 27429 (23940-28251) 25d = 24000 (20947-24720) 26d = 21333 (18620-21973) 27d = 19200 (16758-19776) 28d = 16000 (13965-16480) 29d = 13714 (11970-14125) 30d = 12000 (10473-12360) 31d = 10667 (9310-10986) 32d = 9600 (8379-9888) 33d = 8000 (6982-8240) 34d = 6857 (5985-7062) 35d = 6000 (5236-6180) 36d = 5333 (4655-5493) 37d = 4800 (4189-4944) 38d = 4000 (3491-4120) 39d = 3429 (2992-3531) 40d = 3000 (2618-3090) 41d ～ 63d = 予約済み
1-0	PLL_MODE_STS[1:0]	R	00b	PLL の使用状況ステータス。 0D = 整数モードで使用される PLL 1d = 分数モードで PLL を使用 2d = PLL は使用されない 3d = 予約済み

7.1.1.54 CLK_DET_STS1 レジスタ (アドレス = 0x3F) [リセット = 0x00]

CLK_DET_STS1 を表 7-56 に示します。

概略表に戻ります。

このレジスタはクロック比検出レジスタ 1 です。

表 7-56. CLK_DET_STS1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	SASI_SAMP_RATE_STS[5:0]	R	000000b	セカンダリ ASI サンプル レート検出ステータス。 0d = 予約済み 1d = 768000 (670320-791040) 2d = 614400 (536256-632832) 3d = 512000 (446880-527360) 4d = 438857 (383040-452022) 5d = 384000 (335160-395520) 6d = 341333 (297920-351573) 7d = 307200 (268128-316416) 8d = 256000 (223440-263680) 9d = 219429 (191520-226011) 10d = 192000 (167580-197760) 11d = 170667 (148960-175786) 12d = 153600 (134064-158208) 13d = 128000 (111720-131840) 14d = 109714 (95760-113005) 15d = 96000 (83790-98880) 16d = 85333 (74480-87893) 17d = 76800 (67032-79104) 18d = 64000 (55860-65920) 19d = 54857 (47880-56502) 20d = 48000 (41895-49440) 21d = 42667 (37240-43946) 22d = 38400 (33516-39552) 23d = 32000 (27930-32960) 24d = 27429 (23940-28251) 25d = 24000 (20947-24720) 26d = 21333 (18620-21973) 27d = 19200 (16758-19776) 28d = 16000 (13965-16480) 29d = 13714 (11970-14125) 30d = 12000 (10473-12360) 31d = 10667 (9310-10986) 32d = 9600 (8379-9888) 33d = 8000 (6982-8240) 34d = 6857 (5985-7062) 35d = 6000 (5236-6180) 36d = 5333 (4655-5493) 37d = 4800 (4189-4944) 38d = 4000 (3491-4120) 39d = 3429 (2992-3531) 40d = 3000 (2618-3090) 41d ～ 63d = 予約済み
1-0	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

7.1.1.55 CLK_DET_STS2 レジスタ (アドレス = 0x40) [リセット = 0x00]

CLK_DET_STS2 を表 7-57 に示します。

概略表に戻ります。

このレジスタはクロック比検出レジスタ 2 です。

表 7-57. CLK_DET_STS2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

Copyright © 2025 Texas Instruments Incorporated

表 7-57. CLK_DET_STS2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	FS_CLKSRC_RATIO_DET_MSB_STS[5:0]	R	000000b	プライマリ ASI またはセカンダリ ASI の MSB ビットとクロックソースの比率が検出された FSYNC。

7.1.1.56 CLK_DET_STS3 レジスタ (アドレス = 0x41) [リセット = 0x00]

CLK_DET_STS3 を表 7-58 に示します。

概略表に戻ります。

このレジスタはクロック比検出レジスタ 3 です。

表 7-58. CLK_DET_STS3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	FS_CLKSRC_RATIO_DET_LSB_STS[7:0]	R	00000000b	プライマリ ASI またはセカンダリ ASI の MSB ビットとクロックソースの比率が検出された LSB

7.1.1.57 INT_CFG レジスタ (アドレス = 0x42) [リセット = 0x00]

INT_CFG を 表 7-59 に示します。

概略表に戻ります。

このレジスタは割り込み構成レジスタです。

表 7-59. INT_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_POL	R/W	0b	割り込み極性。 0b =アクティブ Low (IRQZ) 1b = アクティブ High（IRQ）
6-5	INT_EVENT[1:0]	R/W	00b	割り込みイベントの設定。 0d = INT は、マスクされていないラッチされた割り込みイベントが発生するとアサート 1d =マスクされていない状態でのライブ割り込みイベント時に INT がアサート 2d = INT は、マスクされていないラッチされた割り込みイベントが発生するごとに、2 ミリ秒（標準）間アサート 3d = INT は、マスクされていない割り込みイベントが発生するたびに、各パルスで 2 ミリ秒（標準）間、1 回アサート
4-3	PD_ON_FLT_CFG[1:0]	R/W	00b	chx と micbias の故障時の電源オフ構成。 0d = パワーダウンのフォルトは考慮されない 1d = マスクされていないフォルトのみがパワーダウンと見なされる 2d =すべてのフォルトはパワーダウンと見なされる 3d =予約済み
2	LTCH_READ_CFG	R/W	0b	ラッチ レジスタの読み出し構成を中断。 0b =すべての割り込みを LTCH レジスタから読み出すことができる 1b = マスクされていない割り込みのみ LTCH レジスタで読み出すことができる
1	PD_ON_FLT_RCV_CFG	R/W	0b	フォルト時の ADC チャネルのパワーダウン構成 0b = 自動復帰、フォルトが解消されたときに ADC チャネルは再び電源オンになります 1b = 手動で回復、フォルトが解消されても ADC チャネルは再電源オンになりません

表 7-59. INT_CFG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	LTCH_CLR_ON_READ	R/W	0b	LTCH レジスタビットのクリア用 Cfgn 0 = LTCH reg ビットは、ライブ ステータスがゼロの場合にのみ、reg 読み取り時にクリアされます 1 = LTCH reg ビットは、ライブ ステータスに関係なく、reg 読み取り時にクリアされます

7.1.1.58 DAC_FLT_CFG レジスタ (アドレス = 0x43) [リセット = 0x54]

DAC_FLT_CFG を 表 7-60 に示します。

概略表に戻ります。

このレジスタは割り込み構成レジスタです。

表 7-60. DAC_FLT_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6-5	DAC_PD_ON_FLT_CFG[1:0]	R/W	10b	DAC のフォルト時の電源オフ構成。 0d = パワーダウンのフォルトは考慮されない 1d = マスクされていないフォルトのみがパワーダウンと見なされる 2d =すべてのフォルトはパワーダウンと見なされる 3d =予約済み
4	DAC_PD_ON_FLT_RCV_CFG	R/W	1b	フォルト時の DAC チャネルのパワーダウン構成 0b = 自動復帰、フォルトが解消されたときに DAC チャネルは再び電源オンになります 1b = 手動で回復、フォルトが解消されても DAC チャネルは再電源オンになりません
3	OUT_CHx_PD_FLT_STS	R	0b	OUTxx フォルト時の PD のステータス 0d =フォルトにより DAC チャネルがパワーダウンしていない 1d =フォルトのため一部の DAC チャネルがパワーダウン
2	DAC_DIS_PD_W_PU	R/W	1b	DAC の電源投入中に DRVR VG フォルトで電源オフをディセーブル 0b = 電源投入中に DRVR VG の故障が発生した場合、DAC をパワーダウン 1b = 電源投入中に DRVR VG の故障が発生した場合、DAC のパワーダウンを無効にする
1	DAC_FLT_DET_DIS	R/W	0b	DAC VG_FAULT/SC_FAULT 検出構成 0b = イネーブル 1b = ディセーブル
0	AREG_SC_FLAG_DET_DIS	R/W	0b	AREG 短絡検出構成 0b = イネーブル 1b = ディセーブル

7.1.1.59 ADC_DAC_MISC_CFG レジスタ (アドレス = 0x4B) [リセット = 0x00]

ADC_DAC_MISC_CFG を表 7-61 に示します。

概略表に戻ります。

このレジスタは ADC 過負荷応答構成レジスタです。過負荷復帰フェーズで ADC チャネルをミュートすることで、可聴アーティファクトを防止できます。過負荷復帰フェーズは、レベルが急激に変化するステップ入力などの入力に対する保護メカニズムです。

Copyright © 2025 Texas Instruments Incorporated

表 7-61. ADC_DAC_MISC_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4	ADC_CH1_MUTE_ON_OVRLD	R/W	0b	ADC1 が過負荷復帰フェーズのときに ADC チャネル 1 をミュートする 0b = 無効 1b = 有効
3	ADC_CH2_MUTE_ON_OVRLD	R/W	0b	ADC2 が過負荷復帰フェーズのときに ADC チャネル 2 をミュートする 0b = 無効 1b = 有効
2-0	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

7.1.1.60 PWR_TUNE_CFG0 レジスタ (アドレス = 0x4E) [リセット = 0x00]

PWR_TUNE_CFG0 を表 7-62 に示します。

概略表に戻ります。

このレジスタは、パワートーン設定用の構成レジスタ 0 です。

表 7-62. PWR_TUNE_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	ADC_CLK_BY2_MODE	R/W	0b	ADC MOD CLK の選択構成。 0d = MOD CLK 3.072MHz または 2.8224MHz 1d = MOD CLK 1.536MHz または 1.4112MHz
6	ADC_CIC_ORDER	R/W	0b	ADC CIC 注文の構成。 0d = 5 次 CIC 1d = 4 次 CIC
5	ADC_FIR_BYPASS	R/W	0b	ADC FIR バイパス構成。 0d = バイパスのディセーブル 1d = バイパスのイネーブル
4	ADC_DEM_RATE_OVRD	R/W	0b	ADC DEM レート オーバーライド設定。 0d = デフォルト 1d = 2x
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2	ADC_LOW_PWR_FILT	R/W	0b	ADC の低消費電力フィルタ構成 0d = ディスエーブル 1d = イネーブル
1-0	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

7.1.1.61 PWR_TUNE_CFG1 レジスタ (アドレス = 0x4F) [リセット = 0x00]

PWR_TUNE_CFG1 を表 7-63 に示します。

概略表に戻ります。

このレジスタは、電力チューン構成用の構成レジスタです。

表 7-63. PWR_TUNE_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	DAC_CLK_BY2_MODE	R/W	0b	DAC MOD CLK の選択構成。 0d = MOD CLK 3.072MHz または 2.8224MHz 1d = MOD CLK 1.536MHz または 1.4112MHz

表 7-63. PWR_TUNE_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2	DAC_LOW_PWR_FILT	R/W	0b	DAC の低消費電力フィルタ構成 0d = ディスエーブル 1d = イネーブル
1	DAC_POWER_SCAL	R/W	0b	DAC IREF 選択設定。 0d = Vref/R 1d = Vref/2R
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.62 ADC_CH1_CFG0 レジスタ (アドレス = 0x50) [リセット = 0x00]

ADC_CH1_CFG0 を表 7-64 に示します。

概略表に戻ります。

このレジスタは ADC チャネル 1 の構成レジスタ 0 です。

表 7-64. ADC_CH1_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	ADC_CH1_INSRC[1:0]	R/W	00b	ADC チャネル 1 入力構成。 0d = アナログ差動入力 1d = アナログ シングルエンド入力 2d = 予約済み 3d = 予約済み
5-4	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
3-2	ADC_CH1_CM_TOL[1:0]	R/W	00b	ADC チャネル 1 入力カップリング（アナログ入力に適用可能）。 0d = AC 結合入力 1d = 予約済み 2d = DC 結合入力 3d = 予約済み
1	ADC_CH1_FULLSCALE_VAL	R/W	0b	ADC チャネル 1 VREF = 2.75V の場合のフルスケール値(アナログ入力に適用可能)。 0d = 2Vrms の差動 (シングル エンド動作の場合 1Vrms) 1d = 予約済み
0	ADC_CH1_BW_MODE	R/W	0b	ADC チャネル 1 の帯域幅選択カップリング (アナログ入力に適用可能)。 0d = オーディオ帯域幅 (24kHz モード) 1d =広帯域幅 (96kHz モード) (入力インピーダンスはオーディオ帯域幅モードの 8 倍)

7.1.1.63 ADC_CH1_CFG2 レジスタ (アドレス = 0x52) [リセット = 0xA1]

ADC_CH1_CFG2 を表 7-65 に示します。

概略表に戻ります。

このレジスタは ADC チャネル 1 の構成レジスタ 2 です。

Copyright © 2025 Texas Instruments Incorporated

表 7-65. ADC_CH1_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	ADC_CH1_DVOL[7:0]	R/W	10100001b	チャネル 1 デジタル ボリューム制御。 0d = デジタル ボリュームはミュート 1d = デジタル ボリューム コントロールは –80dB に設定 2d = デジタル ボリューム コントロールは –79.5dB に設定 3d ～ 160d = デジタル ボリューム コントロールは設定に従って設定 161d = デジタル ボリューム コントロールを 0dB に設定 162d = デジタル ボリューム コントロールを 0.5dB に設定 163d ～ 253d = デジタル ボリューム コントロールは設定に従って設定 254d = デジタル ボリューム コントロールは 46.5dB に設定 255d = デジタル ボリューム コントロールを 47dB に設定

7.1.1.64 ADC_CH1_CFG3 レジスタ (アドレス = 0x53) [リセット = 0x80]

ADC_CH1_CFG3 を表 7-66 に示します。

概略表に戻ります。

このレジスタは ADC チャネル 1 の構成レジスタ 3 です。

表 7-66. ADC_CH1_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	ADC_CH1_FGAIN[3:0]	R/W	1000b	ADC チャネル 1 の微調整ゲイン較正。 0d = 微調整ゲインを –0.8dB に設定 1d = 微調整ゲインを –0.7dB に設定 2d = 微調整ゲインを –0.6dB に設定 3d ～ 7d = 微調整ゲインを構成どおりに設定 8d = 微調整ゲインを 0dB に設定 9d = 微調整ゲインを 0.1dB に設定 10d ～ 13d = 微調整ゲインを設定どおりに設定 14d = 微調整ゲインを 0.6dB に設定 15d = 微調整ゲインを 0.7dB に設定
3-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.65 ADC_CH1_CFG4 レジスタ (アドレス = 0x54) [リセット = 0x00]

ADC_CH1_CFG4 を表 7-67 に示します。

概略表に戻ります。

このレジスタは ADC チャネル 1 の構成レジスタ 4 です。

表 7-67. ADC_CH1_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	ADC_CH1_PCAL[5:0]	R/W	000000b	変調器クロック分解能による ADC チャネル 1 位相較正。 0d = 位相キャリブレーションなし 1d = 変調器クロックの 1 サイクルに位相キャリブレーション遅延を設定 2d = 位相キャリブレーション遅延は変調器クロックの 2 サイクルに設定 3d～62d = 設定による位相キャリブレーション遅延 63d = 位相キャリブレーション遅延は変調器クロックの 63 サイクルに設定
1-0	PCAL_ANA_DIG_SEL[1:0]	R/W	00b	PCAL サポートの設定。 0d = Pcal（アナログ / デジタル両対応） 1d = アナログのみの Pcal 2D = デジタルのみの Pcal 3d = 予約済み

7.1.1.66 ADC_CH2_CFG0 レジスタ (アドレス = 0x55) [リセット = 0x00]

ADC_CH2_CFG0 を表 7-68 に示します。

概略表に戻ります。

このレジスタは ADC チャネル 2 の構成レジスタ 0 です。

表 7-68. ADC_CH2_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	ADC_CH2_INSRC[1:0]	R/W	00b	ADC チャネル 2 入力構成。 0d = アナログ差動入力 1d = アナログ シングルエンド入力 2d = 予約済み 3d = 予約済み
5-4	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
3-2	ADC_CH2_CM_TOL[1:0]	R/W	00b	ADC チャネル 2 入力カップリング(アナログ入力に適用可能)。 0d = AC 結合入力 1d = 予約済み 2d = DC 結合入力 3d = 予約済み
1	ADC_CH2_FULLSCALE_VAL	R/W	0b	ADC チャネル 1 VREF = 2.75V の場合のフルスケール値(アナログ入力に適用可能)。 0d = 2Vrms の差動 (シングル エンド動作の場合 1Vrms) 1d = 予約済み
0	ADC_CH2_BW_MODE	R/W	0b	ADC チャネル 2 の帯域幅選択。カップリング (アナログ入力に適用可能)。 0d = オーディオ帯域幅 (24kHz モード) 1d =広帯域幅 (96kHz モード) (入力インピーダンスはオーディオ帯域幅モードの 8 倍)

7.1.1.67 ADC_CH2_CFG2 レジスタ (アドレス = 0x57) [リセット = 0xA1]

ADC_CH2_CFG2 を表 7-69 に示します。

概略表に戻ります。

このレジスタは、チャネル 2 の構成レジスタ 2 です。

表 7-69. ADC_CH2_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	ADC_CH2_DVOL[7:0]	R/W	10100001b	チャネル 1 デジタル ボリューム制御。 0d = デジタル ボリュームはミュート 1d = デジタル ボリューム コントロールは –80dB に設定 2d = デジタル ボリューム コントロールは –79.5dB に設定 3d ～ 160d = デジタル ボリューム コントロールは設定に従って設定 161d = デジタル ボリューム コントロールを 0dB に設定 162d = デジタル ボリューム コントロールを 0.5dB に設定 163d ～ 253d = デジタル ボリューム コントロールは設定に従って設定 254d = デジタル ボリューム コントロールは 46.5dB に設定 255d = デジタル ボリューム コントロールを 47dB に設定

7.1.1.68 ADC_CH2_CFG3 レジスタ (アドレス = 0x58) [リセット = 0x80]

ADC_CH2_CFG3 を表 7-70 に示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

このレジスタは、ADC チャネル 2 の構成レジスタ 3 です。

表 7-70. ADC_CH2_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	ADC_CH2_FGAIN[3:0]	R/W	1000b	ADC チャネル 2 微調整ゲイン較正。 0d = 微調整ゲインを –0.8dB に設定 1d = 微調整ゲインを –0.7dB に設定 2d = 微調整ゲインを –0.6dB に設定 3d ～ 7d = 微調整ゲインを構成どおりに設定 8d = 微調整ゲインを 0dB に設定 9d = 微調整ゲインを 0.1dB に設定 10d ～ 13d = 微調整ゲインを設定どおりに設定 14d = 微調整ゲインを 0.6dB に設定 15d = 微調整ゲインを 0.7dB に設定
3-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.69 ADC_CH2_CFG4 レジスタ (アドレス = 0x59) [リセット = 0x00]

ADC_CH2_CFG4 を表 7-71 に示します。

概略表に戻ります。

このレジスタは、ADC チャネル 2 の構成レジスタ 4 です。

表 7-71. ADC_CH2_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	ADC_CH2_PCAL[5:0]	R/W	000000b	変調器クロック分解能による、ADC チャネル 2 の位相較正。 0d = 位相キャリブレーションなし 1d = 変調器クロックの 1 サイクルに位相キャリブレーション遅延を設定 2d = 位相キャリブレーション遅延は変調器クロックの 2 サイクルに設定 3d～62d = 設定による位相キャリブレーション遅延 63d = 位相キャリブレーション遅延は変調器クロックの 63 サイクルに設定
1-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.70 OUT1x_CFG0 レジスタ (アドレス = 0x64) [リセット = 0x20]

OUT1x_CFG0 を表 7-72 に示します。

概略表に戻ります。

このレジスタは、チャネル OUT 1x の構成レジスタ 0 です。

表 7-72. OUT1x_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

表 7-72. OUT1x_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4-2	OUT1x_CFG[2:0]	R/W	000b	OUT1x DAC ルーティング構成。 0d = フル差動または FD (DAC1AP + DAC1BP -> OUT1P; DAC1AM + DAC1BM -> OUT1M) 1d = ステレオ シングルエンド (DAC1A -> OUT1P; DAC1B -> OUT1M) 2d = モノ シングルエンドで出力 OUT1P のみ (DAC1A + DAC1B -> OUT1P) 3d = モノ シングルエンドで出力 OUT1M のみ (DAC1A + DAC1B -> OUT1M) 4d = 疑似差動で OUT1M として VCOM (DAC1A, DAC1B -> OUT1P, VCOM -> OUT1M) 5d = 疑似差動で OUT1M として VCOM および OUT2M 外部センシング用 (DAC1A, DAC1B -> OUT1P, VCOM -> OUT1M) 6d = 疑似差動で OUT1P として VCOM (OUT1M, VCOM -> OUT1P) 7d = 予約済み、使用禁止
1	OUT1x_VCOM	R/W	0b	チャネル OUT1x の VCOM 構成。 0d = 0.6 * Vref 1d = AVDD × 2
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.71 OUT1x_CFG1 レジスタ (アドレス = 0x65) [リセット = 0x20]

OUT1x_CFG1 を表 7-73 に示します。

概略表に戻ります。

このレジスタは、チャネル OUT 1x の構成レジスタ 1 です。

表 7-73. OUT1x_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明

7-6	OUT1P_DRIVE[1:0]	R/W	00b	チャネル OUT1P の駆動構成。
				0D = 300andx3A9;# エンド インピーダンスを持つライン出力ドライバ
				1d = 最小 16andx3A9;# のシングルエンド インピーダンスを持つヘッドフォンドライバ
				2d = 最小 4andx3A9;# のシングルエンド インピーダンスを駆動
				3d = FD レシーバ負荷でより高い DR/SNR を実現

5-3	OUT1P_LVL_CTRL[2:0]	R/W	100b	チャネル OUT1P レベル制御構成。 0d = 予約済み、使用禁止 1d = 予約済み、使用禁止 2d = 予約済み、使用禁止 3d = 予約済み、使用禁止 4d = -8dB 5d = -14dB 6d = -20dB 7d = -26dB
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	DAC_CH1_BW_MODE	R/W	0b	DAC チャネル 1 の帯域幅選択。 0d = オーディオ帯域幅（24kHz モード） 1d = 広帯域幅（96kHz モード）

7.1.1.72 OUT1x_CFG2 レジスタ (アドレス = 0x66) [リセット = 0x20]

OUT1x_CFG2 を表 7-74 に示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

このレジスタは、チャネル OUT2x の構成レジスタ 2 です。

表 7-74. OUT1x_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明

7-6	OUT1M_DRIVE[1:0]	R/W	00b	チャネル OUT1M の駆動構成。
				0D = 300andx3A9;# エンド インピーダンスを持つライン出力ドライバ
				1d = 最小 16andx3A9;# のシングルエンド インピーダンスを持つヘッドフォンドライバ
				2d = 最小 4andx3A9;# のシングルエンド インピーダンスを駆動
				3d = FD レシーバ負荷でより高い DR/SNR を実現

5-3	OUT1M_LVL_CTRL[2:0]	R/W	100b	チャネル OUT1M レベル制御構成。 0d = 予約済み、使用禁止 1d = 予約済み、使用禁止 2d = 予約済み、使用禁止 3d = 予約済み、使用禁止 4d = -8dB 5d = -14dB 6d = -20dB 7d = -26dB
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.73 DAC_CH1A_CFG0 レジスタ (アドレス = 0x67) [リセット = 0xC9]

DAC_CH1A_CFG0 を表 7-75 に示します。

概略表に戻ります。

このレジスタは、DAC チャネル 1A の構成レジスタ 0 です。

表 7-75. DAC_CH1A_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DAC_CH1A_DVOL[7:0]	R/W	11001001b	チャネル 1A のデジタル ボリューム制御。 0d = デジタル ボリュームはミュート 1d = デジタル ボリューム コントロールは –100dB に設定 2d = デジタル ボリューム コントロールは –99.5dB に設定 3d ～ 200d = デジタル ボリューム コントロールは設定に従って設定 201d = デジタル ボリューム コントロールを 0dB に設定 202d = デジタル ボリューム コントロールを +0.5dB に設定 203d ～ 253d = デジタル ボリューム コントロールは設定に従って設定 254d = デジタル ボリューム コントロールは +26.5dB に設定 255d = デジタル ボリューム コントロールを +27dB に設定

7.1.1.74 DAC_CH1A_CFG1 レジスタ (アドレス = 0x68) [リセット = 0x80]

DAC_CH1A_CFG1 を表 7-76 に示します。

概略表に戻ります。

このレジスタは、DAC チャネル 1A の構成レジスタ 1 です。

表 7-76. DAC_CH1A_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	DAC_CH1A_FGAIN[3:0]	R/W	1000b	DAC チャネル 1A の微調整ゲイン較正。 0d = 微調整ゲインを –0.8dB に設定 1d = 微調整ゲインを –0.7dB に設定 2d = 微調整ゲインを –0.6dB に設定 3d ～ 7d = 微調整ゲインを構成どおりに設定 8d = 微調整ゲインを 0dB に設定 9d = 微調整ゲインを 0.1dB に設定 10d ～ 13d = 微調整ゲインを設定どおりに設定 14d = 微調整ゲインを 0.6dB に設定 15d = 微調整ゲインを 0.7dB に設定
3-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.75 DAC_CH1B_CFG0 レジスタ (アドレス = 0x69) [リセット = 0xC9]

DAC_CH1B_CFG0 を表 7-77 に示します。

概略表に戻ります。

このレジスタは DAC チャネル 1B の構成レジスタ 0 です。

表 7-77. DAC_CH1B_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DAC_CH1B_DVOL[7:0]	R/W	11001001b	チャネル 1B デジタル ボリューム コントロール。 0d = デジタル ボリュームはミュート 1d = デジタル ボリューム コントロールは –100dB に設定 2d = デジタル ボリューム コントロールは –99.5dB に設定 3d ～ 200d = デジタル ボリューム コントロールは設定に従って設定 201d = デジタル ボリューム コントロールを 0dB に設定 202d = デジタル ボリューム コントロールを +0.5dB に設定 203d ～ 253d = デジタル ボリューム コントロールは設定に従って設定 254d = デジタル ボリューム コントロールは +26.5dB に設定 255d = デジタル ボリューム コントロールを +27dB に設定

7.1.1.76 DAC_CH1B_CFG1 レジスタ (アドレス = 0x6A) [リセット = 0x80]

DAC_CH1B_CFG1 を表 7-78 に示します。

概略表に戻ります。

このレジスタは DAC チャネル 1B の構成レジスタ 1 です。

表 7-78. DAC_CH1B_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	DAC_CH1B_FGAIN[3:0]	R/W	1000b	DAC チャネル 1B の微調整ゲイン較正。 0d = 微調整ゲインを –0.8dB に設定 1d = 微調整ゲインを –0.7dB に設定 2d = 微調整ゲインを –0.6dB に設定 3d ～ 7d = 微調整ゲインを構成どおりに設定 8d = 微調整ゲインを 0dB に設定 9d = 微調整ゲインを 0.1dB に設定 10d ～ 13d = 微調整ゲインを設定どおりに設定 14d = 微調整ゲインを 0.6dB に設定 15d = 微調整ゲインを 0.7dB に設定
3-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

Copyright © 2025 Texas Instruments Incorporated

7.1.1.77 OUT2x_CFG0 レジスタ (アドレス = 0x6B) [リセット = 0x20]

OUT2x_CFG0 を表 7-79 に示します。

概略表に戻ります。

このレジスタは、チャネル OUT2x の構成レジスタ 0 です。

表 7-79. OUT2x_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
4-2	OUT2x_CFG[2:0]	R/W	000b	OUT2x DAC ルーティング構成。 0d = フル差動または FD (DAC2AP + DAC2BP -> OUT2P; DAC2AM + DAC2BM -> OUT2M) 1d = ステレオ シングルエンド (DAC2A -> OUT2P; DAC2B -> OUT2M) 2d = モノ シングルエンドで出力 OUT2P only (DAC2A + DAC2B -> OUT2P) 3d = モノ シングルエンドで出力 OUT2M のみ (DAC2A + DAC2B -> OUT2M) 4d = 疑似差動で OUT2M として VCOM (DAC2A, DAC2B -> OUT2P, VCOM -> OUT2M) 5d =予約済み、使用禁止 6d = 疑似差動で OUT2P として VCOM (OUT2M, VCOM -> OUT2P) 7d = 予約済み、使用禁止
1	OUT2x_VCOM	R/W	0b	チャネル OUT2x の VCOM 構成。 0d = 0.6 * Vref 2d = AVDD × 2
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.78 OUT2x_CFG1 レジスタ (アドレス = 0x6C) [リセット = 0x20]

OUT2x_CFG1 を表 7-80 に示します。

概略表に戻ります。

このレジスタは、チャネル OUT2x の構成レジスタ 1 です。

表 7-80. OUT2x_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明

7-6	OUT2P_DRIVE[1:0]	R/W	00b	チャネル OUT2P の駆動構成。
				0D = 300andx3A9;# エンド インピーダンスを持つライン出力ドライバ
				1d = 最小 16andx3A9;# のシングルエンド インピーダンスを持つヘッドフォンドライバ
				2d = 最小 4andx3A9;# のシングルエンド インピーダンスを駆動
				3d = FD レシーバ負荷でより高い DR/SNR を実現

5-3	OUT2P_LVL_CTRL[2:0]	R/W	100b	チャネル OUT2P レベル制御構成。 0d = 予約済み、使用禁止 1d = 予約済み、使用禁止 2d = 予約済み、使用禁止 3d = 予約済み、使用禁止 4d = -8dB 5d = -14dB 6d = -20dB 7d = -26dB
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

表 7-80. OUT2x_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	DAC_CH2_BW_MODE	R/W	0b	DAC チャネル 2 の帯域幅選択。 0d = オーディオ帯域幅(24kHz モード) 1d = 広帯域幅(96kHz モード)

7.1.1.79 OUT2x_CFG2 レジスタ (アドレス = 0x6D) [リセット = 0x20]

OUT2x_CFG2 を表 7-81 に示します。

概略表に戻ります。

このレジスタは、チャネル OUT2x の構成レジスタ 2 です。

表 7-81. OUT2x_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明

7-6	OUT2M_DRIVE[1:0]	R/W	00b	チャネル OUT2M の駆動構成。
				0D = 300andx3A9;# エンド インピーダンスを持つライン出力ドライバ
				1d = 最小 16andx3A9;# のシングルエンド インピーダンスを持つヘッドフォンドライバ
				2d = 最小 4andx3A9;# のシングルエンド インピーダンスを駆動
				3d = FD レシーバ負荷でより高い DR/SNR を実現

5-3	OUT2M_LVL_CTRL[2:0]	R/W	100b	チャネル OUT2M レベル制御構成。 0d = 予約済み、使用禁止 1d = 予約済み、使用禁止 2d = 予約済み、使用禁止 3d = 予約済み、使用禁止 4d = -8dB 5d = -14dB 6d = -20dB 7d = -26dB
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.80 DAC_CH2A_CFG0 レジスタ (アドレス = 0x6E) [リセット = 0xC9]

DAC_CH2A_CFG0 を表 7-82 に示します。

概略表に戻ります。

このレジスタは、DAC チャネル 2A の構成レジスタ 0 です。

表 7-82. DAC_CH2A_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DAC_CH2A_DVOL[7:0]	R/W	11001001b	チャネル 2A のデジタル ボリューム制御。 0d = デジタル ボリュームはミュート 1d = デジタル ボリューム コントロールは –100dB に設定 2d = デジタル ボリューム コントロールは –99.5dB に設定 3d ～ 200d = デジタル ボリューム コントロールは設定に従って設定 201d = デジタル ボリューム コントロールを 0dB に設定 202d = デジタル ボリューム コントロールを +0.5dB に設定 203d ～ 253d = デジタル ボリューム コントロールは設定に従って設定 254d = デジタル ボリューム コントロールは +26.5dB に設定 255d = デジタル ボリューム コントロールを +27dB に設定

Copyright © 2025 Texas Instruments Incorporated

7.1.1.81 DAC_CH2A_CFG1 レジスタ (アドレス = 0x6F) [リセット = 0x80]

DAC_CH2A_CFG1 を表 7-83 に示します。

概略表に戻ります。

このレジスタは、DAC チャネル 2A の構成レジスタ 1 です。

表 7-83. DAC_CH2A_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	DAC_CH2A_FGAIN[3:0]	R/W	1000b	DAC チャネル 2A の微調整ゲイン較正。 0d = 微調整ゲインを –0.8dB に設定 1d = 微調整ゲインを –0.7dB に設定 2d = 微調整ゲインを –0.6dB に設定 3d ～ 7d = 微調整ゲインを構成どおりに設定 8d = 微調整ゲインを 0dB に設定 9d = 微調整ゲインを 0.1dB に設定 10d ～ 13d = 微調整ゲインを設定どおりに設定 14d = 微調整ゲインを 0.6dB に設定 15d = 微調整ゲインを 0.7dB に設定
3-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.82 DAC_CH2B_CFG0 レジスタ (アドレス = 0x70) [リセット = 0xC9]

DAC_CH2B_CFG0 を表 7-84 に示します。

概略表に戻ります。

このレジスタは DAC チャネル 2B の構成レジスタ 0 です。

表 7-84. DAC_CH2B_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DAC_CH2B_DVOL[7:0]	R/W	11001001b	チャネル 2B デジタル ボリューム コントロール。 0d = デジタル ボリュームはミュート 1d = デジタル ボリューム コントロールは –100dB に設定 2d = デジタル ボリューム コントロールは –99.5dB に設定 3d ～ 200d = デジタル ボリューム コントロールは設定に従って設定 201d = デジタル ボリューム コントロールを 0dB に設定 202d = デジタル ボリューム コントロールを +0.5dB に設定 203d ～ 253d = デジタル ボリューム コントロールは設定に従って設定 254d = デジタル ボリューム コントロールは +26.5dB に設定 255d = デジタル ボリューム コントロールを +27dB に設定

7.1.1.83 DAC_CH2B_CFG1 レジスタ (アドレス = 0x71) [リセット = 0x80]

DAC_CH2B_CFG1 を表 7-85 に示します。

概略表に戻ります。

このレジスタは DAC チャネル 2B の構成レジスタ 1 です。

表 7-85. DAC_CH2B_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	DAC_CH2B_FGAIN[3:0]	R/W	1000b	DAC チャネル 2B の微調整ゲイン較正。 0d = 微調整ゲインを –0.8dB に設定 1d = 微調整ゲインを –0.7dB に設定 2d = 微調整ゲインを –0.6dB に設定 3d ～ 7d = 微調整ゲインを構成どおりに設定 8d = 微調整ゲインを 0dB に設定 9d = 微調整ゲインを 0.1dB に設定 10d ～ 13d = 微調整ゲインを設定どおりに設定 14d = 微調整ゲインを 0.6dB に設定 15d = 微調整ゲインを 0.7dB に設定
3-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.84 DSP_CFG0 レジスタ (アドレス = 0x72) [リセット = 0x18]

DSP_CFG0 を表 7-86 に示します。

概略表に戻ります。

このレジスタはデジタル信号プロセッサ（DSP）構成レジスタ 0 です。

表 7-86. DSP_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	ADC_DSP_DECI_FILT[1:0]	R/W	00b	ADC チャネル デシメーション フィルタ応答。 0d = リニア位相 1d= 低レイテンシ 2D= 超低レイテンシ 3D = 予約済み、使用不可
5-4	ADC_DSP_HPF_SEL[1:0]	R/W	01b	ADC チャネル ハイパス フィルタ（HPF）の選択。 0d = P10_R120-127 および P11_R8-11 のデフォルト係数値がオールパス フィルタとして設定された、カスタム HPF 用のプログラマブルな一次 IIR フィルタ 1d = HPF はカットオフ周波数 0.00002 x f_S (1Hz (f_S が 48kHz の場合) を選択 2d = HPF は、カットオフ周波数 0.00025 x f_S (12Hz (f_S が 48kHz の場合) を選択 3d = HPF はカットオフ周波数 0.002 x f_S (96Hz (f_S = 48kHz)) を選択
3-2	ADC_DSP_BQ_CFG[1:0]	R/W	10b	ADC チャネル構成あたりのバイクアッドの数。 0d = チャネルごとにバイクワッドなし、バイクワッドはすべてディセーブル 1d = チャネルごとに 1 バイクワッド 2d = チャネルごとに 2 バイクワッド 3d = チャネルごとに 3 バイクワッド
1	ADC_DSP_DISABLE_SOFT_STEP	R/W	0b	ADC のソフトステッピング無効化（Dvol 変更、ミュート、およびミュート解除時）。 0d = ソフト ステッピングを有効化 1d = ソフト ステッピングを無効化
0	ADC_DSP_DVOL_GANG	R/W	0b	ADC チャネル全体で一括した DVOL 制御。 0d = 各チャネルには、ADC_CHx_DVOL ビットでプログラムされた固有の DVOL CTRL 設定が存在 1d = すべてのアクティブなチャネルは、チャネル 1 がオンになっているか否かに関わらず、チャネル 1 の DVOL 設定 (ADC_CH1_DVOL) を使用する必要があります

Copyright © 2025 Texas Instruments Incorporated

7.1.1.85 DSP_CFG1 レジスタ (アドレス = 0x73) [リセット = 0x18]

DSP_CFG1 を表 7-87 に示します。

概略表に戻ります。

このレジスタはデジタル信号プロセッサ（DSP）構成レジスタ 0 です。

表 7-87. DSP_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	DAC_DSP_INTX_FILT[1:0]	R/W	00b	DAC チャネル デシメーション フィルタ応答。 0d = リニア位相 1d= 低レイテンシ 2D= 超低レイテンシ 3D = 予約済み、使用不可
5-4	DAC_DSP_HPF_SEL[1:0]	R/W	01b	DAC チャネル ハイパス フィルタ（HPF）の選択。 0d = P17_R120-127 および P18_R8-11 のデフォルト係数値がオールパス フィルタとして設定された、カスタム HPF 用のプログラマブルな一次 IIR フィルタ 1d = HPF はカットオフ周波数 0.00002 x f_S (1Hz (f_S が 48kHz の場合) を選択 2d = HPF は、カットオフ周波数 0.00025 x f_S (12Hz (f_S が 48kHz の場合) を選択 3d = HPF はカットオフ周波数 0.002 x f_S (96Hz (f_S = 48kHz)) を選択
3-2	DAC_DSP_BQ_CFG[1:0]	R/W	10b	DAC チャネル構成あたりのバイクアッドの数。 0d = チャネルごとにバイクワッドなし、バイクワッドはすべてディセーブル 1d = チャネルごとに 1 バイクワッド 2d = チャネルごとに 2 バイクワッド 3d = チャネルごとに 3 バイクワッド
1	DAC_DSP_DISABLE_SOFT_STEP	R/W	0b	DAC のソフトステッピング無効化（Dvol 変更、ミュート、およびミュート解除時）。 0d = ソフト ステッピングを有効化 1d = ソフト ステッピングを無効化
0	DAC_DSP_DVOL_GANG	R/W	0b	DAC チャネル全体で一括した DVOL 制御。 0d = 各 DAC チャネルには、DAC_CHx_DVOL ビットでプログラムされた DVOL CTRL 設定があります 1d = すべてのアクティブなチャネルは、チャネル 1 がオンになっているか否かに関わらず、チャネル 1 の DVOL 設定（DAC_CH1_DVOL）を使用しなければなりません

7.1.1.86 CH_EN レジスタ (アドレス = 0x76) [リセット = 0xCC]

CH_EN を 表 7-88 に示します。

概略表に戻ります。

このレジスタはチャネルイネーブル構成レジスタです。

表 7-88. CH_EN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	IN_CH1_EN	R/W	1b	入力チャネル 1 のイネーブル設定。 0d =入力チャネル 1 はディスエーブル 1d = 入力チャネル 1 はイネーブル
6	IN_CH2_EN	R/W	1b	入力チャネル 2 のイネーブル設定。 0d =入力チャネル 2 はディスエーブル 1d = 入力チャネル 2 はイネーブル
5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

表 7-88. CH_EN レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	OUT_CH1_EN	R/W	1b	出力チャネル 1 のイネーブル設定。 0d = 出力チャネル 1 はディスエーブル 1d = 出力チャネル 1 はイネーブル
2	OUT_CH2_EN	R/W	1b	出力チャネル 2 のイネーブル設定。 0d = 出力チャネル 2 はディスエーブル 1d = 出力チャネル 2 はイネーブル
1	OUT_CH3_EN	R/W	0b	出力チャネル 3 のイネーブル設定。 0d = 出力チャネル 3 はディスエーブル 1d = 出力チャネル 3 はイネーブル
0	OUT_CH4_EN	R/W	0b	出力チャネル 4 のイネーブル設定。 0d = 出力チャネル 4 はディスエーブル 1d = 出力チャネル 4 はイネーブル

7.1.1.87 DYN_PUPD_CFG レジスタ (アドレス = 0x77) [リセット = 0x00]

DYN_PUPD_CFG を 表 7-89 に示します。

概略表に戻ります。

このレジスタは起動構成レジスタです。

表 7-89. DYN_PUPD_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	ADC_DYN_PUPD_EN	R/W	0b	ダイナミック チャネルのパワーアップ、パワーダウンをレコード パスで有効化。 0d = チャネルの電源オン、電源オフは、いずれかのチャネルで録画が実行中の場合はサポートされていません 1d = チャネル録画がオンの場合でも、チャネルは個別にパワーアップまたはパワーダウンできます。
6	ADC_DYN_MAXCH_SEL	R/W	0b	レコードパスのダイナミックモード最大チャネル選択設定。 0d = チャネル 1 とチャネル 2 は動的なチャネル パワーアップ / パワーダウン機能が有効な状態で使用される 1d = 予約済み
5	DAC_DYN_PUPD_EN	R/W	0b	動的なチャネル パワーアップ/パワーダウン イネーブルによる再生パス 0D = チャネルのパワーアップ、パワーダウンは、いずれかのチャネル再生がオンになっている場合はサポートされません 1d = チャネルの再生がオンになっていても、チャネルを個別にパワーアップまたはパワーダウンできます
4	DAC_DYN_MAXCH_SEL	R/W	0b	再生パスのダイナミックモード最大チャネル選択設定。 0d = チャネル 1 とチャネル 2 は、ダイナミック チャネルのパワーアップ、パワーダウン機能が有効になっている状態で使用されます 1d = チャネル 1 からチャネル 4 は、ダイナミック チャネルのパワーアップ、パワーダウン機能が有効になっている状態で使用されます
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	ADC_CH_SWAP	R/W	0b	ADC チャネル交換イネーブル構成。 1d = スワップなし 1d = ADC チャネル 1 と 2 をスワップ
0	DAC_CH_SWAP	R/W	0b	DAC チャネル交換イネーブル構成。 1d = スワップなし 1d = DAC チャネル 1 と 2 をスワップ

Copyright © 2025 Texas Instruments Incorporated

7.1.1.88 PWR_CFG レジスタ (アドレス = 0x78) [リセット = 0x00]

PWR_CFG を 表 7-90 に示します。

概略表に戻ります。

このレジスタは起動構成レジスタです。

表 7-90. PWR_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	ADC_PDZ	R/W	0b	ADC チャネルの電源制御。 0d =すべての ADC チャネルをパワーダウン 1d = イネーブルされているすべての ADC チャネルをパワーアップ
6	DAC_PDZ	R/W	0b	DAC チャネルの電源制御。 0d =すべての DAC チャネルをパワーダウン 1d = イネーブルされているすべての DAC チャネルをパワーアップ
5	MICBIAS_PDZ	R/W	0b	MICBIAS 向け電源制御。 0d = MICBIAS のパワーダウン 1d = MICBIAS のパワーアップ
4	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
3	UARD_EN	R/W	0b	超音波アクティビティ検出(UAD)アルゴリズムを有効にします。 0d = UAD は無効 1d = UAD は有効
2	VAD _EN	R/W	0b	Voice Activity Detection(VAD)アルゴリズムをイネーブルにします。 0d = VAD は無効 1d = VAD は有効
1	UAG_EN	R/W	0b	超音波アクティビティ検出(UAG)アルゴリズムを有効にします。 0d = UAG は無効 1d = UAG は有効
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.89 DEV_STS0 レジスタ (アドレス = 0x79) [リセット = 0x00]

DEV_STS0 を表 7-91 に示します。

概略表に戻ります。

このレジスタはデバイス ステータス値レジスタ 0 です。

表 7-91. DEV_STS0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	IN_CH1_STATUS	R	0b	ADC チャネル 1 の電源ステータス。 0d = ADC チャネルはパワーダウン 1d = ADC チャネルはパワーオン
6	IN_CH2_STATUS	R	0b	ADC チャネル 2 の電源ステータス。 0d = ADC チャネルはパワーダウン 1d = ADC チャネルはパワーオン
5	IN_CH3_STATUS	R	0b	ADC チャネル 1 の電源ステータス。 0d = ADC チャネルはパワーダウン 1d = ADC チャネルはパワーオン
4	IN_CH4_STATUS	R	0b	ADC チャネル 2 の電源ステータス。 0d = ADC チャネルはパワーダウン 1d = ADC チャネルはパワーオン
3	OUT_CH1_STATUS	R	0b	DAC チャネル 1 の電源ステータス。 0d = DAC チャネルはパワーダウン 1d = DAC チャネルはパワーオン

Copyright © 2025 Texas Instruments Incorporated

表 7-91. DEV_STS0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2	OUT_CH2_STATUS	R	0b	DAC チャネル 2 の電源ステータス。 0d = DAC チャネルはパワーダウン 1d = DAC チャネルはパワーオン
1	OUT_CH3_STATUS	R	0b	DAC チャネル 3 の電源ステータス。 0d = DAC チャネルはパワーダウン 1d = DAC チャネルはパワーオン
0	OUT_CH4_STATUS	R	0b	DAC チャネル 4 の電源ステータス。 0d = DAC チャネルはパワーダウン 1d = DAC チャネルはパワーオン

7.1.1.90 DEV_STS1 レジスタ (アドレス = 0x7A) [リセット = 0x80]

DEV_STS1 を表 7-92 に示します。

概略表に戻ります。

このレジスタはデバイス ステータス値レジスタ 1 です。

表 7-92. DEV_STS1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	MODE_STS[2:0]	R	100b	デバイスのモード ステータス。 0-3D = 予約済み 4D = デバイスはスリープ モードまたはソフトウェア シャットダウン モード 5d =予約済み 6d =デバイスはアクティブ モードで、すべての録音および再生チャンネルがオフ 7d = デバイスは、少なくとも 1 つの録画または再生チャネルがオンになっているアクティブ モード
4	PLL_STS	R	0b	PLL のステータス。 0D = PLL はイネーブルなし 1d = PLL はイネーブル
3	MICBIAS_STS	R	0b	MICBIAS ステータス。 0d = MICBIAS は無効 1d = MICBIAS は有効
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	CHx_PD_FLT_STS	R	0b	INxx アナログ入力フォルト時の PD のステータス 0d =アナログ入力 INxx のフォルト 時に ADC チャネルがパワーダウンしていない 1d = アナログ入力 INxx のフォルト時に一部の ADC チャネルがパワーダウン
0	ALL_CHx_PD_FLT_STS	R	0b	OUTxx フォルト時の PD のステータス 0d =フォルトにより ADC チャネルがパワーダウンしていない 1d =フォルトのため一部の ADC チャネルがパワーダウン

7.1.1.91 I2C_CKSUM レジスタ (アドレス = 0x7E) [リセット = 0x00]

I2C_CKSUM を表 7-93 に示します。

概略表に戻ります。

このレジスタは、I^2C トランザクションのチェックサム値を返します。

Copyright © 2025 Texas Instruments Incorporated

表 7-93. I2C_CKSUM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	I2C_CKSUM[7:0]	R/W	00000000b	これらのビットは、I² C トランザクションのチェックサム値を返します。このレジスタに書き込むと、チェックサムが書き込んだ値にリセットされます。このレジスタは、すべてのページの他のレジスタへの書き込み時に更新されます。

7.1.2 TAC5301-Q1_B0_P1 レジスタ

TAC5301-Q1_B0_P1 レジスタのメモリマップト レジスタを、表 7-94 に示します。表 7-94 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-94. TAC5301-Q1_B0_P1 レジスタ

アドレス	略称	レジスタ名	リセット値	セクション
0x0	PAGE_CFG	デバイス ページ レジスタ	0x00	セクション 7.1.2.1
0x3	DSP_CFG0	DSP 構成レジスタ 0	0x00	セクション 7.1.2.2
0xD	CLK_CFG0	クロック設定レジスタ 0	0x00	セクション 7.1.2.3
0xE	CHANNEL_CFG1	ADC チャネル構成レジスタ	0x00	セクション 7.1.2.4
0xF	CHANNEL_CFG2	DAC チャネル構成レジスタ	0x00	セクション 7.1.2.5
0x17	SRC_CFG0	SRC 構成レジスタ 1	0x00	セクション 7.1.2.6
0x18	SRC_CFG1	SRC 構成レジスタ 2	0x00	セクション 7.1.2.7
0x19	JACK_DET_CFG0	ジャック検出構成レジスタ 0	0x00	セクション 7.1.2.8
0x1A	JACK_DET_CFG1	ジャック検出構成レジスタ 1	0x00	セクション 7.1.2.9
0x1B	JACK_DET_CFG2	ジャック検出構成レジスタ 2	0x00	セクション 7.1.2.10
0x1C	JACK_DET_CFG3	ジャック検出構成レジスタ 3	0x00	セクション 7.1.2.11
0x1E	LPAD_CFG1	低消費電力アクティビティ検出構成レジスタ	0x20	セクション 7.1.2.12
0x1F	LPSG_CFG1	低消費電力信号生成構成レジスタ 1	0x80	セクション 7.1.2.13
0x20	LPAD_LPSG_CFG1	低消費電力アクティビティ検出と低消費電力信号生成共通構成レジスタ 1	0x00	セクション 7.1.2.14
0x23	LIMITER_CFG	リミッタ構成レジスタ 2	0x00	セクション 7.1.2.15
0x24	AGC_DRC_CFG	AGC および DRC 構成レジスタ 2	0x00	セクション 7.1.2.16
0x2B	PLIM_CFG0	PLIM 構成レジスタ 0	0x00	セクション 7.1.2.17
0x2C	MIXER_CFG0	MIXER 構成レジスタ 0	0x00	セクション 7.1.2.18
0x2D	MISC_CFG0	その他設定レジスタ 0	0x00	セクション 7.1.2.19
0x2E	BRWNOUT	ブラウンアウト構成レジスタ	0xBF	セクション 7.1.2.20
0x2F	INT_MASK0	割り込みマスク レジスタ 0	0xFF	セクション 7.1.2.21
0x32	INT_MASK4	割り込みマスク レジスタ 4	0x00	セクション 7.1.2.22
0x33	INT_MASK5	割り込みマスク レジスタ 5	0x30	セクション 7.1.2.23
0x34	INT_LTCH0	ラッチ割り込み読み戻しレジスタ 0	0x00	セクション 7.1.2.24
0x38	OUT_CH1_LTCH	チャネル 1 出力 DC 故障診断ラッチ ステータス レジスタ	0x00	セクション 7.1.2.25
0x39	OUT_CH2_LTCH	チャネル 2 出力 DC 故障診断ラッチ ステータス レジスタ	0x00	セクション 7.1.2.26
0x3A	INT_LTCH1	ラッチ割り込み読み戻しレジスタ 1	0x00	セクション 7.1.2.27
0x3B	INT_LTCH2	ラッチ割り込み読み戻しレジスタ 2	0x00	セクション 7.1.2.28
0x3C	INT_LIVE0	ライブ割り込み読み戻しレジスタ 0	0x00	セクション 7.1.2.29
0x3D	CHx_LIVE	診断レジスタの実行概要	0x00	セクション 7.1.2.30
0x40	OUT_CH1_LIVE	チャネル 1 出力 DC フォルト診断ライブ ステータス レジスタ	0x00	セクション 7.1.2.31
0x41	OUT_CH2_LIVE	チャネル 2 出力 DC フォルト診断ライブ ステータス レジスタ	0x00	セクション 7.1.2.32
0x42	INT_LIVE1	ライブ割り込み読み戻しレジスタ 1	0x00	セクション 7.1.2.33
0x43	INT_LIVE2	ライブ割り込み読み戻しレジスタ 2	0x00	セクション 7.1.2.34
0x4C	DIAG_CFG6	周波数診断構成レジスタ 6	0xA2	セクション 7.1.2.35
0x4D	DIAG_CFG7	周波数診断構成レジスタ 7	0x48	セクション 7.1.2.36
0x4E	DIAG_CFG8	周波数診断構成レジスタ 8	0xBA	セクション 7.1.2.37
0x4F	DIAG_CFG9	周波数診断構成レジスタ 9	0x4B	セクション 7.1.2.38

Copyright © 2025 Texas Instruments Incorporated

表 7-94. TAC5301-Q1_B0_P1 レジスタ (続き)

アドレス	略称	レジスタ名	リセット値	セクション
0x50	DIAG_CFG10	周波数診断構成レジスタ 10	0x88	セクション 7.1.2.39
0x51	DIAG_CFG11	周波数診断構成レジスタ 11	0x40	セクション 7.1.2.40
0x52	DIAG_CFG12	周波数診断構成レジスタ 12	0x44	セクション 7.1.2.41
0x55	DIAGDATA_CFG	入力診断データ構成レジスタ	0x00	セクション 7.1.2.42
0x6A	DIAG_MON_MSB_TEMP	診断 SAR 温度監視データ MSB バイト	0x00	セクション 7.1.2.43
0x6B	DIAG_MON_LSB_TEMP	診断 SAR 温度モニタ データ LSB ニブル	0x0A	セクション 7.1.2.44
0x6C	DIAG_MON_MSB_MBIAS_LOAD	診断 SAR MICBIAS LOAD 電流モニタ データ MSB バイト	0x00	セクション 7.1.2.45
0x6D	DIAG_MON_LSB_MBIAS_LOAD	診断 SAR MICBIAS LOAD 電流モニタ データ LSB ニブル	0x0B	セクション 7.1.2.46
0x6E	DIAG_MON_MSB_AVDD	診断 SAR AVDD モニタ データ MSB バイト	0x00	セクション 7.1.2.47
0x6F	DIAG_MON_LSB_AVDD	診断逐次比較型 AVDD モニタ データ LSB ニブル	0x0C	セクション 7.1.2.48
0x70	DIAG_MON_MSB_GPA	診断 SAR GPA モニタ データ MSB バイト	0x00	セクション 7.1.2.49
0x71	DIAG_MON_LSB_GPA	診断 SAR GPA モニタ データ LSB ニブル レジスタ	0x0D	セクション 7.1.2.50
0x73	MICBIAS_CFG	Micbias 構成レジスタ	0xA0	セクション 7.1.2.51

7.1.2.1 PAGE_CFG レジスタ (アドレス = 0x0) [リセット = 0x00]

PAGE_CFG を 表 7-95 に示します。

概略表に戻ります。

デバイスのメモリ マップは複数のページに分かれています。このレジスタはページを設定します。

表 7-95. PAGE_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PAGE[7:0]	R/W	00000000b	これらのビットは、デバイスのページを設定します。 0d = ページ 0 1d = ページ 1 2d ～ 254d = ページ 2 ～ ページ 254 255d = ページ 255

7.1.2.2 DSP_CFG0 レジスタ (アドレス = 0x3) [リセット = 0x00]

DSP_CFG0 を表 7-96 に示します。

概略表に戻ります。

このレジスタは、オンザフライ方式のフィルタ更新用の構成レジスタです。

表 7-96. DSP_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

表 7-96. DSP_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.2.3 CLK_CFG0 レジスタ (アドレス = 0xD) [リセット = 0x00]

CLK_CFG0 を表 7-97 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 0 です。

表 7-97. CLK_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CNT_TGT_CFG_OVR_PASI	R/W	0b	ASI コントローラ ターゲット構成オーバーライド レジスタ 0d = PASI_CNT_CFG ビットに従うコントローラ ターゲット構成。 1D = PASI_CNT_CFG の標準動作をオーバーライドします。この場合、クロックの自動検出機能は使用できません。 PASI_CNT_CFG = 0:BCLK は入力ですが、FSYNC は出力です。 PASI_CNT_CFG = 1:BCLK は出力ですが、FSYNC は入力です。
6	CNT_TGT_CFG_OVR_SASI	R/W	0b	ASI コントローラ ターゲット構成オーバーライド レジスタ 0d = SASI_CNT_CFG ビットに従うコントローラ ターゲット構成。 1D = SASI_CNT_CFG の標準動作をオーバーライドします。この場合、クロックの自動検出機能は使用できません。 SASI_CNT_CFG = 0:BCLK は入力ですが、FSYNC は出力です。 SASI_CNT_CFG = 1:BCLK は出力ですが、FSYNC は入力です。
5-3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2	PASI_USE_INT_FSYNC	R/W	0b	コントローラ モード構成でプライマリ内部 FSYNC を使用します。 0d = 外部 FSYNC を使用 1d = 内部 FSYNC を使用
1	SASI_USE_INT_FSYNC	R/W	0b	コントローラ モード構成で内部 FSYNC を二次的に使用する場合。 0d = 外部 FSYNC を使用 1d = 内部 FSYNC を使用
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.2.4 CHANNEL_CFG1 レジスタ (アドレス = 0xE) [リセット = 0x00]

CHANNEL_CFG1 を表 7-98 に示します。

概略表に戻ります。

これは、ADC チャネルのダイナミック パワーオン / パワーオフ構成レジスタです。

表 7-98. CHANNEL_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	FORCE_DYN_MODE_CUST_MAX_CH	R/W	0b	ADC 強制ダイナミック モード カスタム最大チャネル 0d = ダイナミック、最大チャネルは ADC_DYN_MAXCH_SEL 1d = ダイナミック モードでは、最大チャネルは DYN_MODE_CUST_MAX_CH としてカスタムです
6-3	DYN_MODE_CUST_MAX_CH[3:0]	R/W	0000b	ADC 動的モード カスタム最大チャネル構成 [3]-> 予約済み [2]-> 予約済み [1]-> CH2_EN [0]-> CH1_EN
2-0	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

Copyright © 2025 Texas Instruments Incorporated

7.1.2.5 CHANNEL_CFG2 レジスタ (アドレス = 0xF) [リセット = 0x00]

CHANNEL_CFG2 を表 7-99 に示します。

概略表に戻ります。

これは、DAC チャネルのダイナミック パワーオン / パワーオフ構成レジスタです。

表 7-99. CHANNEL_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	DAC_FORCE_DYN_MODE_CUST_MAX_CH	R/W	0b	DAC 強制ダイナミック モード カスタム最大チャネル 0d = ダイナミック、最大チャネルは DAC_DYN_MAXCH_SEL 1d = ダイナミック モードでは、最大チャネルは D AC_DYN_MODE_CUST_MAX_CH に従ってカスタムです
6-3	DAC_DYN_MODE_CUST_MAX_CH[3:0]	R/W	0000b	DAC 動的モード カスタム最大チャネル構成（[3]-> CH4_EN、[2]-> CH3_EN、[1]-> CH2_EN、[0]-> CH1_EN） [3]-> CH4_EN[2] -> CH3_E N[1]-> CH2_EN[0]-> CH1_EN
2-0	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

7.1.2.6 SRC_CFG0 レジスタ (アドレス = 0x17) [リセット = 0x00]

SRC_CFG0 を表 7-100 に示します。

概略表に戻ります。

このレジスタは SRC の構成レジスタ 1 です。

表 7-100. SRC_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SRC_EN	R/W	0b	SRC イネーブル構成 0b = SRC を無効化 1b = SRC を有効化
6	DIS_AUTO_SRC_DET	R/W	0b	SRC 自動検出構成 0b = SRC 自動検出が有効 1b = SRC 自動検出が無効
5-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.2.7 SRC_CFG1 レジスタ (アドレス = 0x18) [リセット = 0x00]

SRC_CFG1 を表 7-101 に示します。

概略表に戻ります。

このレジスタは SRC の構成レジスタ 2 です。

表 7-101. SRC_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	MAIN_FS_CUSTOM_CFG	R/W	0b	メイン FS カスタム構成 0b = メイン FS が自動推論される 1b = MAIN_FS_SELECT_CFG からメイン Fs を選択する必要があります
6	MAIN_FS_SELECT_CFG	R/W	0b	メイン Fs 選択構成 0b = PASI Fs をメイン Fs として使用 1b = SASI Fs をメイン Fs として使用

表 7-101. SRC_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-3	MAIN_AUX_RATIO_M_CUSTOM_CFG[2:0]	R/W	000b	メインおよび補助 Fs 比率 m:n 構成 0d = m は自動推測される 1d = 1 2d = 2 3d = 3 4d = 4 5d = 予約済み 6d = 6 7d = 予約済み
2-0	MAIN_AUX_RATIO_N_CUSTOM_CFG[2:0]	R/W	000b	メインおよび補助 Fs 比率 m:n 構成 0d = n は自動推測される 1d = 1 2d = 2 3d = 3 4d = 4 5d = 予約済み 6d = 6 7d = 予約済み

7.1.2.8 JACK_DET_CFG0 レジスタ (アドレス = 0x19) [リセット = 0x00]

JACK_DET_CFG0 を表 7-102 に示します。

概略表に戻ります。

このレジスタは、ジャック検出構成レジスタ 0 です。

表 7-102. JACK_DET_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	JACK_DET_MONITOR_FREQ[1:0]	R/W	00b	ヘッドセット検出パルス周波数 0d = 0.5Hz 1d = 1Hz 2d = 7.5Hz 3d = 15Hz
5	JACK_DET_PULSE_WIDTH	R/W	0b	検出器のパルス高幅 0d = 4ms (MICBIAS ピン キャップ = 1uF) 1d = 32ms (MICBIAS ピン キャップ = 10uF)
4	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2-1	HPDET_CLOCK_SEL[1:0]	R/W	00b	ヘッドフォン検出クロック期間の選択 0d = 1ms 1d = 2ms 2D = 4ms 3d = 予約済み
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.2.9 JACK_DET_CFG1 レジスタ (アドレス = 0x1A) [リセット = 0x00]

JACK_DET_CFG1 を表 7-103 に示します。

概略表に戻ります。

このレジスタは、ジャック検出構成レジスタ 1 です。

Copyright © 2025 Texas Instruments Incorporated

表 7-103. JACK_DET_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6	JACK_DET_COMP_CTRL2	R/W	0b	固定外部抵抗の場合のフック プレス スレッショルド制御は、サポートされる最低のマイク インピーダンスまたはサポートされる最高のフック ボタン インピーダンスの選択を制御します 0d = サポートされる最小マイク抵抗、R_Mic = 800Ω、サポートされる最大フック ボタン インピーダンス、R_Hook = 320Ω (AC 結合ヘッドフォン用) R26<3> = 0 (それ以外の場合、R26<3> = 1 のときは R_hook = 150Ω) 1d = サポートされる最大フック ボタン インピーダンス、R_hook = 680Ω、サポートされる最小マイク抵抗、R_Mic = 1350Ω (AC 結合ヘッドフォン用) R26<3> = 0 (それ以外の場合、R26<3> = 1 のときは、R_Mic = 1750Ω)
5-4	JACK_DET_COMP_CTRL3[1:0]	R/W	00b	フック プレス ジャッキ挿入サポート、外部抵抗タイプ P0_R25_D4=0 のみ有効、それ以外は無視します。 0d = フック ボタン押下時のジャック挿入検出のために最小 150Ω のフック ボタン インピーダンスをサポート 1d = フック ボタン押下時のジャック挿入検知のために最小 100Ω のフック ボタン インピーダンスをサポート 2d = フック ボタン押下時のジャック挿入検知のために最小 50Ω のフック ボタン インピーダンスをサポート 3d = 予約済み
3	HPDET_COUPLING	R/W	0b	ヘッドフォン検出の結合 0d = AC 結合 1d = DC 結合
2	HPDET_USE_2x_CURR	R/W	0b	ヘッド セットが電流 SEL 構成を検出 0d = ヘッドホン検出用の電流の 2 倍 1d = ヘッドホン検出用の電流 2 倍を有効に
1	JACK_DET_EN	R/W	0b	ヘッドセット検出有効 0d = ヘッドセット検出無効 1d = ヘッドセット検出有効
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.2.10 JACK_DET_CFG2 レジスタ (アドレス = 0x1B) [リセット = 0x00]

JACK_DET_CFG2 を表 7-104 に示します。

概略表に戻ります。

このレジスタは、ジャック検出構成レジスタ 2 です。

表 7-104. JACK_DET_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6	HPDET_DEB	R/W	0b	ヘッドフォン検出デバウンスのプログラム可能性 0d = デバウンスなし 1d = 3 つの検出のデバウンス
5-3	JACK_DET_DEB_INSERT[2:0]	R/W	000b	ヘッドセット挿入検出デバウンスのプログラマビリティ 0d = デバウンス時間 = 16ms 1d = デバウンス時間 = 32ms 2d = デバウンス時間 = 64ms 3d = デバウンス時間 = 128ms 4d = デバウンス時間 = 256ms 5d = デバウンス時間 = 512ms 6d = 予約済み 7d = デバウンスなし

表 7-104. JACK_DET_CFG2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2	JACK_DET_DEB_REMOVAL	R/W	0b	ヘッドセットの取り外し検出デバウンス プログラマビリティ 0d = 5 つの検出のデバウンス 1d = 3 つの検出のデバウンス
1-0	JACK_DET_DEB_HOK_PRESS[1:0]	R/W	00b	フック プレス デバウンス設定 0d = デバウンスなし 1d = デバウンスなし 2d = デバウンス 2 つの検出のデバウンス 3d = 3 つの検出のデバウンス

7.1.2.11 JACK_DET_CFG3 レジスタ (アドレス = 0x1C) [リセット = 0x00]

JACK_DET_CFG3 を表 7-105 に示します。

概略表に戻ります。

このレジスタは、ジャック検出構成レジスタ 3 です。

表 7-105. JACK_DET_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	JACK_TYPE_FLAG[1:0]	R	00b	ヘッドセット ジャック タイプ フラグ 0d = ジャックが挿入されていない 1d = マイクなしでジャックが挿入されている 2d = 予約済み 3D を使用せずに、マイクにジャックが挿入されます
5-4	HEADSET_TYPE_DET[1:0]	R	00b	ヘッドセット タイプ 0d = ヘッドセットが挿入されていない 1d = モノ HS でジャックが挿入されている(右) 2d =モノ HS でジャックが挿入されている(左) 3d = ステレオ HS でジャックが挿入されている
3-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.2.12 LPAD_CFG1 レジスタ (アドレス = 0x1E) [リセット = 0x20]

LPAD_CFG1 を表 7-106 に示します。

概略表に戻ります。

このレジスタは、音声アクティビティ検出または超音波アクティビティ検出設定レジスタ 1 です。

表 7-106. LPAD_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	LPAD_MODE[1:0]	R/W	00b	自動 ADC のパワーアップ/パワーダウン構成の選択。 0D = ユーザーが開始する ADC パワーアップと ADC パワーダウン 1d = VAD / AD 割り込みに基づく ADC パワーアップおよび ADC パワーダウン 2d = VAD/AD 割り込みに基づく ADC パワーアップしたが、ユーザーは ADC パワーダウンを開始 3d = 予約済み
5-4	LPAD_CH_SEL[1:0]	R/W	10b	VAD チャネル選択。 0d =チャネル 1 は VAD/AD アクティビティ用に監視されます 1d = チャネル 2 は VAD/AD アクティビティ用に監視されます 2d = チャネル 3 は VAD/AD アクティビティ用に監視されます 3d =チャネル 4 は VAD/AD アクティビティ用に監視されます

Copyright © 2025 Texas Instruments Incorporated

表 7-106. LPAD_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	LPAD_DOUT_INT_CFG	R/W	0b	DOUT 割り込み構成。 0D = 割り込み機能で DOUT ピンをイネーブルにしない 1d = チャネル データが記録されていないときに DOUT ピンをイネーブルにして割り込み出力をサポート
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	LPAD_PD_DET_EN	R/W	0b	VAD/UAD アクティビティ中の ASI 出力データをイネーブルにします。 0D = ADC 記録中 VAD/AD 処理が有効ではない 1d = ADC の記録中 VAD/AD 処理が有効であり、VAD 割り込みは設定されたとおりに生成されます
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.2.13 LPSG_CFG1 レジスタ (アドレス = 0x1F) [リセット = 0x80]

LPSG_CFG1 を表 7-107 に示します。

概略表に戻ります。

このレジスタは、超音波信号生成用の構成レジスタ 1 です。

表 7-107. LPSG_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	LPSG_CH_SEL[1:0]	R/W	10b	LPSG チャネル選択.- UAG 0d = UAG アクティビティをチャネル 1 で生成 1d = UAG アクティビティをチャネル 2 で生成 2d = UAG アクティビティをチャネル 3 で生成 3d = UAG アクティビティをチャネル 4 で生成
5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4-0	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

7.1.2.14 LPAD_LPSG_CFG1 レジスタ (アドレス = 0x20) [リセット = 0x00]

LPAD_LPSG_CFG1 を表 7-108 に示します。

概略表に戻ります。

このレジスタは、VAD/UAD/UAG の構成レジスタ 1 です。

表 7-108. LPAD_LPSG_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	LPAD_LPSG_CLK_CFG[1:0]	R/W	00b	VAD/UAD/UAG のクロック選択 0d = 内部発振器クロックを使用した VAD/UAD/UAG 処理 1d = BCLK 入力の外部クロックを使用した VAD/UAD/UAG 処理 2d = CCLK 入力の外部クロックを使用した VAD/UAD/UAG 処理 3d = ページ 0 の CNT_CFG、CLK_SRC、CLKGEN_CFG レジスタに基づくカスタム クロック構成
5-4	LPAD_LPSG_EXT_CLK_CFG[1:0]	R/W	00b	VAD/UAD/UAG 用の外部クロックを使用したクロック設定 0d = 外部クロックは 24.576MHz 1d = 外部クロックは 6.144 MHz (サポートされていません) 2d = 外部クロックは 12.288 MHz 3d = 外部クロックは 18.432MHz
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2	LPAD_PH1_EN	R/W	0b	ジャック検出コンパレータを使用して LPAD 位相 1 検出を有効にします。 0D = LPAD 位相 1 を無効化 1d = LPAD 位相 1 を有効化

表 7-108. LPAD_LPSG_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1-0	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

7.1.2.15 LIMITER_CFG レジスタ (アドレス = 0x23) [リセット = 0x00]

LIMITER_CFG を 表 7-109 に示します。

概略表に戻ります。

このレジスタはリミッタの構成レジスタ 2 です。

表 7-109. LIMITER_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	LIMITER_INP_SEL[1:0]	R/W	00b	リミッタ入力の選択構成 0d = 最大（dacin_ch0、dacin_ch1） 1d = dacin_ch1 2D = dacin_ch0 3D = 平均（dacin_ch0、dacin_ch1）
5-4	LIMITER_OUT_SEL[1:0]	R/W	00b	リミッタ出力選択構成 0d = 両方に適用 1d = dacin_ch1 2d = dacin_ch0 3d = 適用なし
3-0	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

7.1.2.16 AGC_DRC_CFG レジスタ (アドレス = 0x24) [リセット = 0x00]

AGC_DRC_CFG を 表 7-110 に示します。

概略表に戻ります。

このレジスタは AGC および DRC の構成レジスタ 2 です。

表 7-110. AGC_DRC_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	AGC_CH1_EN	R/W	0b	AGC チャネル 1 イネーブル構成 0d = ディスエーブル 1d = イネーブル
6	AGC_CH2_EN	R/W	0b	AGC チャネル 2 イネーブル構成 0d = ディスエーブル 1d = イネーブル
5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
3	DRC_CH1_EN	R/W	0b	DRC チャネル 1 イネーブル構成 0d = ディスエーブル 1d = イネーブル
2	DRC_CH2_EN	R/W	0b	DRC チャネル 2 イネーブル構成 0d = ディスエーブル 1d = イネーブル
1	DRC_CH3_EN	R/W	0b	DRC チャネル 3 イネーブル構成 0d = ディスエーブル 1d = イネーブル

Copyright © 2025 Texas Instruments Incorporated

表 7-110. AGC_DRC_CFG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	DRC_CH4_EN	R/W	0b	DRC チャネル 4 イネーブル構成 0d = ディスエーブル 1d = イネーブル

7.1.2.17 PLIM_CFG0 レジスタ (アドレス = 0x2B) [リセット = 0x00]

PLIM_CFG0 を表 7-111 に示します。

概略表に戻ります。

このレジスタは PLIM の構成レジスタ 0 です。

表 7-111. PLIM_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	EN_PLIM	R/W	0b	PLIM のイネーブル 0d = 無効化 1d = 有効化
6-4	PLIM_ATTN_VAL[2:0]	R/W	000b	PLIM 減衰係数 0d = 0dB 1d = –6dB 2d = –12dB 3d = –18dB 4d = –24dB 5d = –30dB 6d = –36dB 7d = –42dB
3	PLIM_BY_SAR_GPA	R/W	0b	PLIM 減衰値のソース 0d = GPIO と reg_plimi_attn_val に基づく制限減衰 1d = GPA アナログ電圧に基づく制限減衰。LUT は、SAR ADC データを減衰係数にマッピングします
2	PLIM_RECOVERY	R/W	0b	PLIM 減衰の回復 0d = Plimit func が回復しません。Plimit 関数は同じ減衰レベルにとどまるか、必要に応じてより多くの減衰を適用できます 1d = Plimit 関数は、「gpio_val=0」または「sar_adc_gpa」データがバッテリ電圧の回復を示唆している場合、減衰を回復 (低減) します。その後、適用されている減衰を低減できます
1-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.2.18 MIXER_CFG0 レジスタ (アドレス = 0x2C) [リセット = 0x00]

MIXER_CFG0 を表 7-112 に示します。

概略表に戻ります。

このレジスタはミキサ構成レジスタ 0 です。

表 7-112. MIXER_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	EN_DAC_ASI_MIXER	R/W	0b	DAC ASI ミキサを有効化 0b = 無効 1b = 有効
6	EN_SIDE_CHAIN_MIXER	R/W	0b	サイドチェーン ミキサを有効化 0b = 無効 1b = 有効

表 7-112. MIXER_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	EN_ADC_CHANNEL_MIXER を	R/W	0b	ADC チャネル ミキサを有効化 0b = 無効 1b = 有効
4	EN_LOOPBACK_MIXER	R/W	0b	ループバック ミキサを有効化 0b = 無効 1b = 有効
3-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.2.19 MISC_CFG0 レジスタ (アドレス = 0x2D) [リセット = 0x00]

MISC_CFG0 を表 7-113 に示します。

概略表に戻ります。

このレジスタは、その他の構成レジスタ 0 です。

表 7-113. MISC_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	EN_DISTORTION	R/W	0b	歪みリミッタのイネーブル構成 0b = 歪みリミッタが無効 1b = 歪みリミッタが有効
6	EN_BOP	R/W	0b	BOP イネーブル構成 0b = BOP を無効化 1b = BOP を有効化
5	EN_THERMAL_FOLDBACK	R/W	0b	サーマル フォールドバック イネーブル設定 0b = サーマル フォールドバックが無効 1b = サーマル フォールドバックが有効
4	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
3	DAC_SIGNAL_GENERATOR_1_ENABLE	R/W	0b	DAC 信号ジェネレータ 1 イネーブル構成 0b = 信号ジェネレータを無効化 1b = 信号ジェネレータを有効化
2	DAC_SIGNAL_GENERATOR_2_ENABLE	R/W	0b	DAC 信号ジェネレータ 2 イネーブル構成 0b = 信号ジェネレータを無効化 1b = 信号ジェネレータを有効化
1	DSP_VBAT_AVDD_SEL	R/W	0b	DSP リミッタ、BOP、DRC のための SAR データ ソース選択 0b = DSP への SAR VBAT データ 1b = DSP への SAR AVDD データ
0	BRWNOUT_EN	R/W	0b	ブラウンアウト イネーブル構成 0b = ブラウンアウトを無効化 1b = ブラウンアウトを有効化

7.1.2.20 BRWNOUT レジスタ (アドレス = 0x2E) [リセット = 0xBF]

BRWNOUT を 表 7-114 に示します。

概略表に戻ります。

このレジスタはブラウンアウト構成レジスタです。

Copyright © 2025 Texas Instruments Incorporated

表 7-114. BRWNOUT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	BRWNOUT_THRS[7:0]	R/W	10111111b	ブラウンアウト シャットダウンのスレッショルド デフォルト = 7.8V (約 2.7V、P1_R45_D1 -> DSP_VBAT_AVDD_SEL=1 の場合) Nd = ((0.9´(N*16)/4095)-0´211764)x17) (V) (((0.9´(N*16)/4095)-0´225)x6 (V)、P1_R45_D1 -> DSP_VBAT_AVDD_SEL=1 の場合)

7.1.2.21 INT_MASK0 レジスタ (アドレス = 0x2F) [リセット = 0xFF]

INT_MASK0 を表 7-115 に示します。

概略表に戻ります。

このレジスタは、割り込みマスク レジスタ 0 です。

表 7-115. INT_MASK0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_MASK0	R/W	1b	クロック エラー割り込みマスク。 0b = マスクしない 1b = マスクする
6	INT_MASK0	R/W	1b	PLL ロック割り込みマスク。 0b = マスクしない 1b = マスクする
5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.2.22 INT_MASK4 レジスタ (アドレス = 0x32) [リセット = 0x00]

INT_MASK4 を表 7-116 に示します。

概略表に戻ります。

このレジスタは、割り込みマスク レジスタ 4 です。

表 7-116. INT_MASK4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5	INT_MASK4	R/W	0b	OUT 短絡障害割り込みマスク。 0b = マスクしない 1b = マスクする
4	INT_MASK4	R/W	0b	DRVR 仮想グランド障害割り込みマスク。 0b = マスクしない 1b = マスクする
3	INT_MASK4	R/W	0b	ヘッドセット挿入検出割り込みマスク。 0b = マスクしない 1b = マスクする

表 7-116. INT_MASK4 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2	INT_MASK4	R/W	0b	ヘッドセットが検出割り込みマスクを削除します。 0b = マスクしない 1b = マスクする
1	INT_MASK4	R/W	0b	ヘッドセット検出フック(ボタン)割り込みマスク。 0b = マスクしない 1b = マスクする
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.2.23 INT_MASK5 レジスタ (アドレス = 0x33) [リセット = 0x30]

INT_MASK5 を表 7-117 に示します。

概略表に戻ります。

このレジスタは、割り込みマスク レジスタ 5 です。

表 7-117. INT_MASK5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_MASK5	R/W	0b	GPA アップ スレッショルド フォルト マスク。 0b = マスクしない 1b = マスクする
6	INT_MASK5	R/W	0b	GPA の下限スレッショルド フォルト マスク。 0b = マスクしない 1b = マスクする
5	INT_MASK5	R/W	1b	VAD パワーアップ検出割り込みマスク。 0b = マスクしない 1b = マスクする
4	INT_MASK5	R/W	1b	VAD パワーダウン検出割り込みマスク。 0b = マスクしない 1b = マスクする
3	INT_MASK5	R/W	0b	Micbias 短絡故障マスク。 0b = マスクしない 1b = マスクする
2	INT_MASK5	R/W	0b	Micbias High 電流故障マスク。 0b = マスクしない 1b = マスクする
1	INT_MASK5	R/W	0b	Micbias Low 電流故障マスク。 0b = マスクしない 1b = マスクする
0	INT_MASK5	R/W	0b	Micbias 過電圧故障マスク。 0b = マスクしない 1b = マスクする

7.1.2.24 INT_LTCH0 レジスタ (アドレス = 0x34) [リセット = 0x00]

INT_LTCH0 を表 7-118 に示します。

概略表に戻ります。

このレジスタはラッチされた割り込み読み戻しレジスタ 0 です。

Copyright © 2025 Texas Instruments Incorporated

表 7-118. INT_LTCH0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_LTCH0	R	0b	クロック エラー要因の割り込み(セルフ クリア ビット)。 0b = 割り込みなし 1b = 割り込みあり
6	INT_LTCH0	R	0b	PLL ロックによる割り込み(セルフ クリア ビット) 0b = 割り込みなし 1b = 割り込みあり
5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.2.25 OUT_CH1_LTCH レジスタ (アドレス = 0x38) [リセット = 0x00]

OUT_CH1_LTCH を表 7-119 に示します。

概略表に戻ります。

このレジスタは、チャネル 1 出力 DC フォルト診断用のラッチ ステータス レジスタです。

表 7-119. OUT_CH1_LTCH レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	OUT_CH1_LTCH	R	0b	OUT1P 短絡フォルト(セルフ クリアビット)。 0b = 短絡フォルトなし 1b = 短絡フォルトあり
6	OUT_CH1_LTCH	R	0b	OUT1M 短絡フォルト(セルフ クリアビット)。 0b = 短絡フォルトなし 1b = 短絡フォルトあり
5	OUT_CH1_LTCH	R	0b	チャネル 1 DRVRP 仮想グランド フォルト(セルフ クリア ビット)。 0b = 仮想グランド フォルトなし 1b = 仮想グランド フォルトあり
4	OUT_CH1_LTCH	R	0b	チャネル 1 DRVRM 仮想グランド フォルト(セルフ クリア ビット)。 0b = 仮想グランド フォルトなし 1b = 仮想グランド フォルトあり
3	MASK_ADC_CH1_OVRLD_FLAG	R/W	0b	ADC CH1 OVRLD フォルト マスク。 0b = マスクしない 1b = マスクする
2	MASK_ADC_CH2_OVRLD_FLAG	R/W	0b	ADC CH2 OVRLD フォルト マスク。 0b = マスクしない 1b = マスクする
1-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.2.26 OUT_CH2_LTCH レジスタ (アドレス = 0x39) [リセット = 0x00]

OUT_CH2_LTCH を表 7-120 に示します。

概略表に戻ります。

このレジスタは、チャネル 2 出力 DC フォルト診断用のラッチ ステータス レジスタです。

表 7-120. OUT_CH2_LTCH レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	OUT_CH2_LTCH	R	0b	OUT2P 短絡フォルト(セルフ クリアビット)。 0b = 短絡フォルトなし 1b = 短絡フォルトあり
6	OUT_CH2_LTCH	R	0b	OUT2M 短絡フォルト(セルフ クリアビット)。 0b = 短絡フォルトなし 1b = 短絡フォルトあり
5	OUT_CH2_LTCH	R	0b	チャネル 2 DRVRP 仮想グランド フォルト(セルフ クリア ビット)。 0b = 仮想グランド フォルトなし 1b = 仮想グランド フォルトあり
4	OUT_CH2_LTCH	R	0b	チャネル 2 DRVRM 仮想グランド フォルト(セルフ クリア ビット)。 0b = 仮想グランド フォルトなし 1b = 仮想グランド フォルトあり
3-2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	MASK_AREG_SC_FLAG	R/W	0b	AREG SC フォルト マスク。 0b = マスクしない 1b = マスクする
0	AREG_SC_FLAG_LTCH	R	0b	AREG SC フォルト(セルフ クリア ビット)。 0b = AREG 短絡フォルトなし 1b = AREG 短絡フォルトあり

7.1.2.27 INT_LTCH1 レジスタ (アドレス = 0x3A) [リセット = 0x00]

INT_LTCH1 を表 7-121 に示します。

概略表に戻ります。

これは、ラッチ割り込み読み戻し用のレジスタ 1 です。

表 7-121. INT_LTCH1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
3	INT_LTCH1	R	0b	ヘッドセット挿入検出による割り込み(セルフ クリア ビット)。 0b = 割り込みなし 1b = 割り込みあり
2	INT_LTCH1	R	0b	ヘッドセット削除検出による割り込み(セルフ クリア ビット)。 0b = 割り込みなし 1b = 割り込みあり
1	INT_LTCH1	R	0b	ヘッドセット フック(ボタン)による割り込み(セルフ クリア ビット)。 0b = 割り込みなし 1b = 割り込みあり
0	INT_LTCH1	R	0b	MIPS 超負荷による割り込み (セルフ クリア ビット) 0b = 割り込みなし 1b = 割り込みあり

7.1.2.28 INT_LTCH2 レジスタ (アドレス = 0x3B) [リセット = 0x00]

INT_LTCH2 を表 7-122 に示します。

Copyright © 2025 Texas Instruments Incorporated

概略表に戻ります。

これは、ラッチ割り込み読み戻し用のレジスタ 2 です。

表 7-122. INT_LTCH2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_LTCH2	R	0b	GPA アップ スレッショルド フォルト要因の割り込み (セルフ クリア ビット)。 0b = 割り込みなし 1b = 割り込みあり
6	INT_LTCH2	R	0b	GPA LOW スレッショルド フォルトによる割り込み (セルフ クリア ビット) 0b = 割り込みなし 1b = 割り込み
5	INT_LTCH2	R	0b	VAD 電源オン検出要因の割り込み (セルフ クリア ビット)。 0b = 割り込みなし 1b = 割り込みあり
4	INT_LTCH2	R	0b	VAD パワーダウン検出要因の割り込み (セルフ クリア ビット)。 0b = 割り込みなし 1b = 割り込みあり
3	INT_LTCH2	R	0b	Micbias 短絡状態による割り込み (セルフ クリア ビット)。) 0b = 割り込みなし 1b = 割り込み
2	INT_LTCH2	R	0b	Micbias High 電流故障による割り込み (セルフ クリア ビット)。 0b = 割り込みなし 1b = 割り込みあり
1	INT_LTCH2	R	0b	Micbias Low 電流故障による割り込み (セルフ クリア ビット) 0b = 割り込みなし 1b = 割り込み
0	INT_LTCH2	R	0b	Micbias 過電圧故障による割り込み (セルフ クリア ビット)。 0b = 割り込みなし 1b = 割り込みあり

7.1.2.29 INT_LIVE0 レジスタ (アドレス = 0x3C) [リセット = 0x00]

INT_LIVE0 を表 7-123 に示します。

概略表に戻ります。

これは、ライブ割り込み読み戻しのレジスタ 0 です。

表 7-123. INT_LIVE0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_LIVE0	R	0b	クロック エラー要因の割り込み 0b = 割り込みなし 1b = 割り込みあり
6	INT_LIVE0	R	0b	PLL のミュートによる割り込み 0b = 割り込みなし 1b = 割り込みあり
5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.2.30 CHx_LIVE レジスタ (アドレス = 0x3D) [リセット = 0x00]

CHx_LIVE を表 7-124 に示します。

概略表に戻ります。

このレジスタはチャネル レベル診断ライブ ステータス レジスタです。

表 7-124. CHx_LIVE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.2.31 OUT_CH1_LIVE レジスタ (アドレス = 0x40) [リセット = 0x00]

OUT_CH1_LIVE を表 7-125 に示します。

概略表に戻ります。

このレジスタは、チャネル 1 出力 DC フォルト診断のライブ ステータス レジスタです。

表 7-125. OUT_CH1_LIVE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	OUT_CH1_LIVE	R	0b	OUT1P の短絡フォルト。 0b = 短絡フォルトなし 1b = 短絡フォルトあり
6	OUT_CH1_LIVE	R	0b	OUT1M の短絡フォルト。 0b = 短絡フォルトなし 1b = 短絡フォルトあり
5	OUT_CH1_LIVE	R	0b	チャネル 1 DRVRP バーチャル グランド フォルト。 0b = 仮想グランド フォルトなし 1b = 仮想グランド フォルトあり
4	OUT_CH1_LIVE	R	0b	チャネル 1 DRVRM バーチャル グランド フォルト。 0b = 仮想グランド フォルトなし 1b = 仮想グランド フォルトあり
3-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.2.32 OUT_CH2_LIVE レジスタ (アドレス = 0x41) [リセット = 0x00]

OUT_CH2_LIVE を表 7-126 に示します。

概略表に戻ります。

このレジスタは、チャネル 2 出力 DC フォルト診断のライブ ステータス レジスタです。

Copyright © 2025 Texas Instruments Incorporated

表 7-126. OUT_CH2_LIVE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	OUT_CH2_LIVE	R	0b	OUT2P の短絡フォルト。 0b = 短絡フォルトなし 1b = 短絡フォルトあり
6	OUT_CH2_LIVE	R	0b	OUT2M の短絡フォルト。 0b = 短絡フォルトなし 1b = 短絡フォルトあり
5	OUT_CH2_LIVE	R	0b	チャネル 2 DRVRP バーチャル グランド フォルト。 0b = 仮想グランド フォルトなし 1b = 仮想グランド フォルトあり
4	OUT_CH2_LIVE	R	0b	チャネル 2 DRVRM バーチャル グランド フォルト。 0b = 仮想グランド フォルトなし 1b = 仮想グランド フォルトあり
3-1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	AREG_SC_FLAG_LIVE	R	0b	AREG SC フォルト。 0b = AREG 短絡フォルトなし 1b = AREG 短絡フォルトあり

7.1.2.33 INT_LIVE1 レジスタ (アドレス = 0x42) [リセット = 0x00]

INT_LIVE1 を表 7-127 に示します。

概略表に戻ります。

これは、ライブ割り込み読み戻しのレジスタ 1 です。

表 7-127. INT_LIVE1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
3	INT_LIVE1	R	0b	ヘッドセット挿入検出による割り込み。 0b = 割り込みなし 1b = 割り込みあり
2	INT_LIVE1	R	0b	ヘッドセットの取り外し検出による割り込み。 0b = 割り込みなし 1b = 割り込みあり
1	INT_LIVE1	R	0b	ヘッドセット フック (ボタン) による割り込み。 0b = 割り込みなし 1b = 割り込みあり
0	INT_LIVE1	R	0b	MIPS の過負荷による割り込み 0b = 割り込みなし 1b = 割り込みあり

7.1.2.34 INT_LIVE2 レジスタ (アドレス = 0x43) [リセット = 0x00]

INT_LIVE2 を表 7-128 に示します。

概略表に戻ります。

これは、ライブ割り込み読み戻しのレジスタ 2 です。

表 7-128. INT_LIVE2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_LIVE2	R	0b	GPA アップ スレッショルド障害による割り込み。 0b = 割り込みなし 1b = 割り込みあり
6	INT_LIVE2	R	0b	GPA low スレッショルド故障による割り込み 0b = 割り込みなし 1b = 割り込みあり
5	INT_LIVE2	R	0b	VAD のパワーアップ検出による割り込み。 0b = 割り込みなし 1b = 割り込みあり
4	INT_LIVE2	R	0b	VAD のパワーダウン検出による割り込み。 0b = 割り込みなし 1b = 割り込みあり
3	INT_LIVE2	R	0b	Micbias 短絡状態による割り込み 0b = 割り込みなし 1b = 割り込み
2	INT_LIVE2	R	0b	Micbias High 電流故障による割り込み。 0b = 割り込みなし 1b = 割り込みあり
1	INT_LIVE2	R	0b	Micbias Low 電流故障による割り込み 0b = 割り込みなし 1b = 割り込み
0	INT_LIVE2	R	0b	Micbias 過電圧故障による割り込み。 0b = 割り込みなし 1b = 割り込みあり

7.1.2.35 DIAG_CFG6 レジスタ (アドレス = 0x4C) [リセット = 0xA2]

DIAG_CFG6 を表 7-129 に示します。

概略表に戻ります。

これは、入力診断構成レジスタ 6 です。

表 7-129. DIAG_CFG6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	MBIAS_HIGH_CURR_THRS[7:0]	R/W	10100010b	Micbias High 電流故障診断のスレッショルド デフォルト = ～ 18mA Nd = ((0.9´(N*16)/4095)-0´2)x48.46154 (mA)

7.1.2.36 DIAG_CFG7 レジスタ (アドレス = 0x4D) [リセット = 0x48]

DIAG_CFG7 を表 7-130 に示します。

概略表に戻ります。

これは、入力診断構成レジスタ 7 です。

表 7-130. DIAG_CFG7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	MBIAS_LOW_CURR_THRS[7:0]	R/W	01001000b	Micbias Low 電流故障診断のスレッショルド デフォルト = ～ 2.6mA Nd = ((0.9´(N*16)/4095)-0´2)x48.46154 (mA)

Copyright © 2025 Texas Instruments Incorporated

7.1.2.37 DIAG_CFG8 レジスタ (アドレス = 0x4E) [リセット = 0xBA]

DIAG_CFG8 を表 7-131 に示します。

概略表に戻ります。

これは、入力診断構成レジスタ 8 です。

表 7-131. DIAG_CFG8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	GPA_UP_THRS_FLT_THRES[7:0]	R/W	10111010b	汎用アナログ上限スレッショルド デフォルト = 約 2.6V nd = ((0.9´(N*16)/4095)–0´225)x6 (V)

7.1.2.38 DIAG_CFG9 レジスタ (アドレス = 0x4F) [リセット = 0x4B]

DIAG_CFG9 を表 7-132 に示します。

概略表に戻ります。

これは、入力診断構成レジスタ 9 です。

表 7-132. DIAG_CFG9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	GPA_LOW_THRS_FLT_THRES[7:0]	R/W	01001011b	汎用アナログ下限スレッショルド デフォルト = 約 0.2V nd = ((0.9´(N*16)/4095)-0´225)x6 (V)

7.1.2.39 DIAG_CFG10 レジスタ (アドレス = 0x50) [リセット = 0x88]

DIAG_CFG10 を表 7-133 に示します。

概略表に戻ります。

これは、入力診断構成レジスタ 10 です。

表 7-133. DIAG_CFG10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PD_MBIAS_SHRT_CKT_FLT	R/W	1b	短絡故障時の Micbias バイアスのパワーオフ構成 0b = 故障発生時に変化なし 1b = 故障発生時に Micbias は無効化
6	PD_MBIAS_HIGH_CURR_FLT	R/W	0b	High 電流故障時の Micbias バイアスのパワーオフ構成 0b = 故障発生時に変化なし 1b = 故障発生時に Micbias は無効化
5	PD_MBIAS_LOW_CURR_FLT	R/W	0b	Low 電流故障時の Micbias バイアスのパワーオフ構成 0b = 故障発生時に変化なし 1b = 故障発生時に Micbias は無効化
4	PD_MBIAS_OV_FLT	R/W	0b	High 電圧故障時の Micbias バイアスのパワーオフ構成 0b = 故障発生時に変化なし 1b = 故障発生時に Micbias は無効化
3	PD_MBIAS_OT_FLT	R/W	1b	過熱故障時の Micbias バイアスのパワーオフ構成 0b = 故障発生時に変化なし 1b = 故障発生時に Micbias は無効化
2	MAN_RCV_PD_FLT_CHK	R/W	0b	手動復帰 (セルフ クリア ビット) 0b = 影響なし 1b = 故障ステータスを再確認し、チャネルに故障がない場合はチャネルの電源を再投入

Copyright © 2025 Texas Instruments Incorporated

表 7-133. DIAG_CFG10 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	MBIAS_FLT_AUTO_REC_EN	R/W	0b	故障時の Micbias PD 自動復帰有効化 0d = Micbias 故障からの自動復帰を無効化 1d =自動復帰有効化
0	MICBIAS_SHRT_CKT_DET_DIS	R/W	0b	Micbias 短絡検出構成 0b = 有効 1b = 無効

7.1.2.40 DIAG_CFG11 レジスタ (アドレス = 0x51) [リセット = 0x40]

DIAG_CFG11 を表 7-134 に示します。

概略表に戻ります。

これは、入力診断構成レジスタ 11 です。

表 7-134. DIAG_CFG11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	SAFEBAND_MBIAS_OV_FLT[2:0]	R/W	010b	Micbias 過電圧故障の下限の安全帯域構成 0 = 安全帯域なし 1 = 30mV 安全帯域 (9b lvl で 1LSb) 2 = 60mV 安全帯域 (9b lvl で 2Lsb) 3-7 = N * 30mV
4-0	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

7.1.2.41 DIAG_CFG12 レジスタ (アドレス = 0x52) [リセット = 0x44]

DIAG_CFG12 を表 7-135 に示します。

概略表に戻ります。

これは、入力診断構成レジスタ 12 です。

表 7-135. DIAG_CFG12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	SAFEBAND_INx_MBIAS_FLT[2:0]	R/W	010b	Micbias 過電圧故障の上限の安全帯域構成 0 = 安全帯域なし 1 = 30mV 安全帯域 (9b lvl で 1LSb) 2 = 60mV 安全帯域 (9b lvl で 2Lsb) 3-7 = N * 30mV
4-2	SAFEBAND_INx_OV_FLT[2:0]	R/W	001b	INx 過電圧故障の安全帯域構成 0 = 安全帯域なし 1 = 30mV 安全帯域 (9b lvl で 2Lsb) 2-7 = N*30mV
1-0	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

7.1.2.42 DIAGDATA_CFG レジスタ (アドレス = 0x55) [リセット = 0x00]

DIAGDATA_CFG を 表 7-136 に示します。

概略表に戻ります。

このレジスタは、入力診断データ構成レジスタです。

Copyright © 2025 Texas Instruments Incorporated

表 7-136. DIAGDATA_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.2.43 DIAG_MON_MSB_TEMP レジスタ (アドレス = 0x6A) [リセット = 0x00]

DIAG_MON_MSB_TEMP を 表 7-137 に示します。

概略表に戻ります。

このレジスタは診断 SAR 温度モニタ データの MSB バイト レジスタです。

表 7-137. DIAG_MON_MSB_TEMP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DIAG_MON_MSB_TEMP[7:0]	R	00000000b	診断 SAR モニタ データ MSB バイト

7.1.2.44 DIAG_MON_LSB_TEMP レジスタ (アドレス = 0x6B) [リセット = 0x0A]

DIAG_MON_LSB_TEMP を 表 7-138 に示します。

概略表に戻ります。

このレジスタは診断用 SAR 温度監視データの LSB ニブル レジスタです。

表 7-138. DIAG_MON_LSB_TEMP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	DIAG_MON_LSB_TEMP[3:0]	R	0000b	診断用 SAR モニタ データ LSB ニブル
3-0	Channel[3:0]	R	1010b	チャネル ID

7.1.2.45 DIAG_MON_MSB_MBIAS レジスタ (アドレス = 0x6C) [リセット = 0x00]

DIAG_MON_MSB_MBIAS を表 7-139 に示します。

概略表に戻ります。

このレジスタは診断 SAR MICBIAS LOAD 電流モニタ データ MSB バイト レジスタです。

表 7-139. DIAG_MON_MSB_MBIAS_LOAD レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DIAG_MON_MSB_MBIAS_LOAD[7:0]	R	00000000b	診断 SAR モニタ データ MSB バイト

7.1.2.46 DIAG_MON_LSB_MBIAS_LOAD レジスタ (アドレス = 0x6D) [リセット = 0x0B]

DIAG_MON_LSB_MBIAS_LOAD を表 7-140 に示します。

概略表に戻ります。

このレジスタは診断用 SAR LOAD モニタ データの LSB ニブル レジスタです。

表 7-140. DIAG_MON_LSB_MBIAS_LOAD レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	DIAG_MON_LSB_MBIAS_LOAD[3:0]	R	0000b	診断用 SAR モニタ データ LSB ニブル
3-0	Channel[3:0]	R	1011b	チャネル ID

7.1.2.47 DIAG_MON_MSB_AVDD レジスタ (アドレス = 0x6E) [リセット = 0x00]

DIAG_MON_MSB_AVDD を 表 7-141 に示します。

概略表に戻ります。

このレジスタは診断用 SAR AVDD モニタ データの MSB バイト レジスタです。

表 7-141. DIAG_MON_MSB_AVDD レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DIAG_MON_MSB_AVDD[7:0]	R	00000000b	診断 SAR モニタ データ MSB バイト

7.1.2.48 DIAG_MON_LSB_AVDD レジスタ (アドレス = 0x6F) [リセット = 0x0C]

DIAG_MON_LSB_AVDD を 表 7-142 に示します。

概略表に戻ります。

このレジスタは、診断用 SAR AVDD モニタ データの LSB ニブル レジスタです

表 7-142. DIAG_MON_LSB_AVDD レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	DIAG_MON_LSB_AVDD[3:0]	R	0000b	診断用 SAR モニタ データ LSB ニブル
3-0	Channel[3:0]	R	1100b	チャネル ID

7.1.2.49 DIAG_MON_MSB_GPA レジスタ (アドレス = 0x70) [リセット = 0x00]

DIAG_MON_MSB_GPA を 表 7-143 に示します。

概略表に戻ります。

このレジスタは診断用 SAR GPA モニタ データの MSB バイト レジスタです。

表 7-143. DIAG_MON_MSB_GPA レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DIAG_MON_MSB_GPA[7:0]	R	00000000b	診断 SAR モニタ データ MSB バイト

7.1.2.50 DIAG_MON_LSB_GPA レジスタ (アドレス = 0x71) [リセット = 0x0D]

DIAG_MON_LSB_GPA を 表 7-144 に示します。

概略表に戻ります。

このレジスタは診断用 SAR GPA モニタ データの LSB ニブル レジスタです。

Copyright © 2025 Texas Instruments Incorporated

表 7-144. DIAG_MON_LSB_GPA レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	DIAG_MON_LSB_GPA[3:0]	R	0000b	診断用 SAR モニタ データ LSB ニブル
3-0	Channel[3:0]	R	1101b	チャネル ID

7.1.2.51 MICBIAS_CFG レジスタ (アドレス = 0x73) [リセット = 0xA0]

MICBIAS_CFG を表 7-145 に示します。

概略表に戻ります。

このレジスタは Micbias 構成レジスタです。

表 7-145. MICBIAS_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	MICBIAS_VAL[3:0]	R/W	1010b	Micbias 値 0d = マイクロフォン バイアス出力は HVDD にバイパス 1d = マイクロフォン バイアスの設定は 3.0V 2d = マイクロフォン バイアスの設定は 3.5V 3d = マイクロフォン バイアスの設定は 4.0V 4d = マイクロフォン バイアスの設定は 4.5V 5d = マイクロフォン バイアスの設定は 5V 6d = マイクロフォン バイアスの設定は 5.5V 7d = マイクロフォン バイアスの設定は 6V 8d = マイクロフォン バイアスの設定は 6.5V 9d = マイクロフォン バイアスの設定は 7V 10d = マイクロフォン バイアスの設定は 7.5V 11d = マイクロフォン バイアスの設定は 8V 12d = マイクロフォン バイアスの設定は 8.5V 13d = マイクロフォン バイアスの設定は 9V 14d = マイクロフォン バイアスの設定は 9.5V 15d = マイクロフォン バイアスの設定は 10V
3-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.3 TAC5301-Q1_B0_P3 レジスタ

TAC5301-Q1_B0_P3 レジスタのメモリマップト レジスタを、表 7-146 に示します。表 7-146 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-146. TAC5301-Q1_B0_P3 レジスタ

アドレス	略称	レジスタ名	リセット値	セクション
0x0	PAGE_CFG	デバイス ページ レジスタ	0x00	セクション 7.1.3.1
0x1A	SASI_CFG0	セカンダリ ASI 構成レジスタ 0	0x30	セクション 7.1.3.2
0x1B	SASI_TX_CFG0	SASI TX 構成レジスタ 0	0x00	セクション 7.1.3.3
0x1C	SASI_TX_CFG1	SASI TX 構成レジスタ 1	0x00	セクション 7.1.3.4
0x1D	SASI_TX_CFG2	SASI TX 構成レジスタ 2	0x00	セクション 7.1.3.5
0x1E	SASI_TX_CH1_CFG	SASI TX チャネル 1 構成レジスタ	0x00	セクション 7.1.3.6
0x1F	SASI_TX_CH2_CFG	SASI TX チャネル 2 構成レジスタ	0x01	セクション 7.1.3.7
0x20	SASI_TX_CH3_CFG	SASI TX チャネル 3 構成レジスタ	0x02	セクション 7.1.3.8
0x21	SASI_TX_CH4_CFG	SASI TX チャネル 4 構成レジスタ	0x03	セクション 7.1.3.9
0x22	SASI_TX_CH5_CFG	SASI TX チャネル 5 構成レジスタ	0x04	セクション 7.1.3.10
0x23	SASI_TX_CH6_CFG	SASI TX チャネル 6 構成レジスタ	0x05	セクション 7.1.3.11
0x24	SASI_TX_CH7_CFG	SASI TX チャネル 7 構成レジスタ	0x06	セクション 7.1.3.12
0x25	SASI_TX_CH8_CFG	SASI TX チャネル 8 構成レジスタ	0x07	セクション 7.1.3.13
0x26	SASI_RX_CFG0	SASI RX 構成レジスタ 0	0x00	セクション 7.1.3.14
0x27	SASI_RX_CFG1	SASI RX 構成レジスタ 1	0x00	セクション 7.1.3.15
0x28	SASI_RX_CH1_CFG	SASI RX チャネル 1 構成レジスタ	0x00	セクション 7.1.3.16
0x29	SASI_RX_CH2_CFG	SASI RX チャネル 2 構成レジスタ	0x01	セクション 7.1.3.17
0x2A	SASI_RX_CH3_CFG	SASI RX チャネル 3 構成レジスタ	0x02	セクション 7.1.3.18
0x2B	SASI_RX_CH4_CFG	SASI RX チャネル 4 構成レジスタ	0x03	セクション 7.1.3.19
0x2C	SASI_RX_CH5_CFG	SASI RX チャネル 5 構成レジスタ	0x04	セクション 7.1.3.20
0x2D	SASI_RX_CH6_CFG	SASI RX チャネル 6 構成レジスタ	0x05	セクション 7.1.3.21
0x2E	SASI_RX_CH7_CFG	SASI RX チャネル 7 構成レジスタ	0x06	セクション 7.1.3.22
0x2F	SASI_RX_CH8_CFG	SASI RX チャネル 8 構成レジスタ	0x07	セクション 7.1.3.23
0x32	CLK_CFG12	クロック設定レジスタ 12	0x00	セクション 7.1.3.24
0x33	CLK_CFG13	クロック設定レジスタ 13	0x00	セクション 7.1.3.25
0x34	CLK_CFG14	クロック設定レジスタ 14	0x10	セクション 7.1.3.26
0x35	CLK_CFG15	クロック設定レジスタ 15	0x01	セクション 7.1.3.27
0x36	CLK_CFG16	クロック設定レジスタ 16	0x00	セクション 7.1.3.28
0x37	CLK_CFG17	クロック設定レジスタ 17	0x00	セクション 7.1.3.29
0x38	CLK_CFG18	クロック設定レジスタ 18	0x08	セクション 7.1.3.30
0x39	CLK_CFG19	クロック設定レジスタ 19	0x20	セクション 7.1.3.31
0x3A	CLK_CFG20	クロック設定レジスタ 20	0x04	セクション 7.1.3.32
0x3B	CLK_CFG21	クロック設定レジスタ 21	0x00	セクション 7.1.3.33
0x3C	CLK_CFG22	クロック設定レジスタ 22	0x01	セクション 7.1.3.34
0x3D	CLK_CFG23	クロック設定レジスタ 23	0x01	セクション 7.1.3.35
0x3E	CLK_CFG24	クロック設定レジスタ 24	0x01	セクション 7.1.3.36
0x44	CLK_CFG30	クロック設定レジスタ 30	0x00	セクション 7.1.3.37
0x45	CLK_CFG31	クロック設定レジスタ 31	0x00	セクション 7.1.3.38
0x46	CLKOUT_CFG1	CLKOUT 構成レジスタ 1	0x00	セクション 7.1.3.39

Copyright © 2025 Texas Instruments Incorporated

表 7-146. TAC5301-Q1_B0_P3 レジスタ (続き)

アドレス	略称	レジスタ名	リセット値	セクション
0x47	CLKOUT_CFG2	CLKOUT 構成レジスタ 2	0x01	セクション 7.1.3.40
0x49	SARCLK_CFG1	SAR クロック構成レジスタ 1	0x00	セクション 7.1.3.41
0x5B	ADC_OVRLD_FLAG	ADC 過負荷フラグ レジスタ	0x00	セクション 7.1.3.42

7.1.3.1 PAGE_CFG レジスタ (アドレス = 0x0) [リセット = 0x00]

PAGE_CFG を 表 7-147 に示します。

概略表に戻ります。

デバイスのメモリ マップは複数のページに分かれています。このレジスタはページを設定します。

表 7-147. PAGE_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PAGE[7:0]	R/W	00000000b	これらのビットは、デバイスのページを設定します。 0d = ページ 0 1d = ページ 1 2d ～ 254d = ページ 2 ～ ページ 254 255d = ページ 255

7.1.3.2 SASI_CFG0 レジスタ (アドレス = 0x1A) [リセット = 0x30]

SASI_CFG0 を表 7-148 に示します。

概略表に戻ります。

このレジスタは ASI 構成レジスタ 0 です。

表 7-148. SASI_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	SASI_FORMAT[1:0]	R/W	00b	セカンダリ ASI プロトコル フォーマット。 0D = TDM モード 1d = I^2S モード 2D = LJ(左揃え)モード 3d =予約済み、使用しないでください
5-4	SASI_WLEN[1:0]	R/W	11b	セカンダリ ASI ワードまたはスロットの長さ。 0d = 16 ビット (10k#Ω# 入力インピーダンス構成で使用するため、この設定を推奨) 1d = 20 ビット 2d = 24 ビット 3d = 32 ビット
3	SASI_FSYNC_POL	R/W	0b	ASI FSYNC 極性 (SASI プロトコルのみ)。 0d = 標準プロトコルに基づくデフォルトの極性 1d = 標準プロトコルに対して反転された極性
2	SASI_BCLK_POL	R/W	0b	ASI BCLK 極性(SASI プロトコルのみ)。 0d = 標準プロトコルに基づくデフォルトの極性 1d = 標準プロトコルに対して反転された極性
1	SASI_BUS_ERR	R/W	0b	ASI バス エラー検出。 0d = バス エラー検出を有効にする 1d = バス エラー検出を無効にする

表 7-148. SASI_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	SASI_BUS_ERR_RCOV	R/W	0b	ASI バス エラー自動再開。 0D = バス エラー回復後の自動再開をイネーブル 1d = バス エラー回復後の自動再開をディスエーブルにし、ホストがデバイスを構成するまでの間、電源オフのままになります

7.1.3.3 SASI_TX_CFG0 レジスタ (アドレス = 0x1B) [リセット = 0x00]

SASI_TX_CFG0 を表 7-149 に示します。

概略表に戻ります。

このレジスタは SASI TX 構成レジスタ 0 です。

表 7-149. SASI_TX_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SASI_TX_EDGE	R/W	0b	セカンダリ ASI データ出力(プライマリおよびセカンダリ データ ピン上)の送信エッジ。 0d = SASI_BCLK_POL のプロトコル構成設定に従うデフォルトのエッジ 1d = デフォルトのエッジ設定を基準として、後続のエッジ(半周期遅延)を反転
6	SASI_TX_FILL	R/W	0b	未使用のサイクルのセカンダリ ASI データ出力(プライマリおよびセカンダリ データ ピン) 0d = 未使用のサイクルの場合は常に 0 を送信 1d = 未使用のサイクルの場合は常にハイ インピーダンスを使用
5	SASI_TX_LSB	R/W	0b	LSB 送信用のセカンダリ ASI データ出力(プライマリおよびセカンダリ データ ピン上)。 0d =フル サイクルの間 LSB を送信 1d = 前半サイクルの間 LSB を、後半サイクルの間、ハイ インピーダンスを送信
4-3	SASI_TX_KEEPER[1:0]	R/W	00b	セカンダリ ASI データ出力(プライマリおよびセカンダリ データ ピン)バス キーパー。 0D = バス キーパーは常にディスエーブル 1d = バスキーパーは常にイネーブル 2d = LSB 送信中に 1 サイクルのみバス キーパーがイネーブル 3d = LSB 送信中にのみバス キーパーは、1 サイクルおよび半サイクルでのみイネーブル
2	SASI_TX_USE_INT_FSYNC	R/W	0b	セカンダリ ASI は、コントローラ モード構成で適用可能な場合、内部 FSYNC を使用して出力データの生成を行います。 0d = ASI プロトコル データ生成に外部 FSYNC を使用 1d = ASI プロトコル データ生成に内部 FSYNC を使用
1	SASI_TX_USE_INT_BCLK	R/W	0b	セカンダリ ASI は、コントローラ モード構成では内部 BCLK を出力データ生成に使用します。 0d = ASI プロトコル データ生成に外部 BCLK を使用 1d = ASI プロトコル データ生成に内部 BCLK を使用
0	SASI_TDM_PULSE_WIDTH	R/W	0b	TDM 形式のセカンダリ ASI FSYNC パルス幅。 0d = Fsync パルスは 1 bclk 周期幅 1d = Fsync パルスは 2 bclk 周期幅

7.1.3.4 SASI_TX_CFG1 レジスタ (アドレス = 0x1C) [リセット = 0x00]

SASI_TX_CFG1 を表 7-150 に示します。

概略表に戻ります。

このレジスタは SASI TX 構成レジスタ 1 です。

Copyright © 2025 Texas Instruments Incorporated

表 7-150. SASI_TX_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4-0	SASI_TX_OFFSET[4:0]	R/W	00000b	セカンダリ ASI 出力データの MSB スロット 0 のオフセット(プライマリおよびセカンダリ データ ピン)。 0D = ASI データの MSB 位置にはオフセットがなく、標準プロトコルに従っている 1d = ASI データの MSB 位置(TDM モードはスロット 0 または I²S、LJ モードは左および右スロット 0)標準プロトコルに対して 2 BCLK サイクルのオフセット 2d = ASI データ MSB 位置(TDM モードはスロット 0 または I²S、LJ モードは、標準プロトコルに対する BCLK サイクル 2 つ分の左右スロット 0)オフセット 3d ～ 30d = ASI データ MSB の位置(TDM モードはスロット 0 または I²S、LJ モードは、構成に従って割り当てられた左右のスロット 0 のオフセット) 31d = ASI データ MSB 位置(TDM モードがスロット 0 または I²S、LJ モードは、標準プロトコルに対する左右のスロット 0 の 31 BCLK サイクルのオフセットです。

7.1.3.5 SASI_TX_CFG2 レジスタ (アドレス = 0x1D) [リセット = 0x00]

SASI_TX_CFG2 を表 7-151 に示します。

概略表に戻ります。

このレジスタは SASI TX 構成レジスタ 2 です。

表 7-151. SASI_TX_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SASI_TX_CH8_SEL	R/W	0b	セカンダリ ASI 出力チャネル 8 選択。選 0d = セカンダリ ASI チャネル 8 出力が DOUT に存在 1d = セカンダリ ASI チャネル 8 出力が DOUT2 に存在
6	SASI_TX_CH7_SEL	R/W	0b	セカンダリ ASI 出力チャネル 7 選択。選 0d = セカンダリ ASI チャネル 7 出力が DOUT に存在 1d = セカンダリ ASI チャネル 7 出力が DOUT2 に存在
5	SASI_TX_CH6_SEL	R/W	0b	セカンダリ ASI 出力チャネル 6 選択。選 0d = セカンダリ ASI チャネル 6 出力が DOUT に存在 1d = セカンダリ ASI チャネル 6 出力が DOUT2 に存在
4	SASI_TX_CH5_SEL	R/W	0b	セカンダリ ASI 出力チャネル 5 選択。選 0d = セカンダリ ASI チャネル 5 出力が DOUT に存在 1d = セカンダリ ASI チャネル 5 出力が DOUT2 に存在
3	SASI_TX_CH4_SEL	R/W	0b	セカンダリ ASI 出力チャネル 4 選択。選 0d = セカンダリ ASI チャネル 4 出力が DOUT に存在 1d = セカンダリ ASI チャネル 4 出力が DOUT2 に存在
2	SASI_TX_CH3_SEL	R/W	0b	セカンダリ ASI 出力チャネル 3 選択。選 0d = セカンダリ ASI チャネル 3 出力が DOUT に存在 1d = セカンダリ ASI チャネル 3 出力が DOUT2 に存在
1	SASI_TX_CH2_SEL	R/W	0b	セカンダリ ASI 出力チャネル 2 選択。選 0d = セカンダリ ASI チャネル 2 出力が DOUT に存在 1d = セカンダリ ASI チャネル 2 出力が DOUT2 に存在
0	SASI_TX_CH1_SEL	R/W	0b	セカンダリ ASI 出力チャネル 1 選択。選 0d = セカンダリ ASI チャネル 1 出力が DOUT に存在 1d = セカンダリ ASI チャネル 1 出力が DOUT2 に存在

7.1.3.6 SASI_TX_CH1_CFG レジスタ (アドレス = 0x1E) [リセット = 0x00]

SASI_TX_CH1_CFG を表 7-152 に示します。

概略表に戻ります。

このレジスタは SASI TX チャネル 1 構成レジスタです。

表 7-152. SASI_TX_CH1_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5	SASI_TX_CH1_CFG	R/W	0b	セカンダリ ASI 出力チャネル 1 構成。 0d = セカンダリ ASI チャネル 1 の出力がトライステート状態 1d = セカンダリ ASI チャネル 1 の出力が ADC チャネル 1 のデータに対応
4-0	SASI_TX_CH1_SLOT_NUM[4:0]	R/W	00000b	セカンダリ ASI 出力チャネル 1 スロット割り当て。 0d = TDM はスロット 0 または I²S、LJ は左スロット 0 1d = TDM はスロット 1 または I²S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I²S、LJ は右スロット 15 16d = TDM はスロット 16 または I²S、LJ は右スロット 0 17d = TDM はスロット 17 または I²S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d =TDM がスロット 31 または I²S、LJ は右スロット 15

7.1.3.7 SASI_TX_CH2_CFG レジスタ (アドレス = 0x1F) [リセット = 0x01]

SASI_TX_CH2_CFG を表 7-153 に示します。

概略表に戻ります。

このレジスタは SASI TX チャネル 2 構成レジスタです。

表 7-153. SASI_TX_CH2_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5	SASI_TX_CH2_CFG	R/W	0b	セカンダリ ASI 出力チャネル 2 構成。 0d = セカンダリ ASI チャネル 2 の出力がトライステート状態 1d = セカンダリ ASI チャネル 2 の出力が ADC チャネル 2 のデータに対応
4-0	SASI_TX_CH2_SLOT_NUM[4:0]	R/W	00001b	セカンダリ ASI 出力チャネル 2 スロット割り当て。 0d = TDM はスロット 0 または I²S、LJ は左スロット 0 1d = TDM はスロット 1 または I²S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I²S、LJ は右スロット 15 16d = TDM はスロット 16 または I²S、LJ は右スロット 0 17d = TDM はスロット 17 または I²S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d =TDM がスロット 31 または I²S、LJ は右スロット 15

7.1.3.8 SASI_TX_CH3_CFG レジスタ (アドレス = 0x20) [リセット = 0x02]

SASI_TX_CH3_CFG を表 7-154 に示します。

概略表に戻ります。

このレジスタは SASI TX チャネル 3 構成レジスタです。

Copyright © 2025 Texas Instruments Incorporated

表 7-154. SASI_TX_CH3_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6-5	SASI_TX_CH3_CFG[1:0]	R/W	00b	セカンダリ ASI 出力チャネル 3 構成 0d = セカンダリ ASI チャネル 3 出力がトライステート条件 1d = 予約済み 2d = セカンダリ ASI チャネル 3 出力が VBAT データに対応 3d = 予約済み
4-0	SASI_TX_CH3_SLOT_NUM[4:0]	R/W	00010b	セカンダリ ASI 出力チャネル 3 スロット割り当て。 0d = TDM はスロット 0 または I²S、LJ は左スロット 0 1d = TDM はスロット 1 または I²S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I²S、LJ は右スロット 15 16d = TDM はスロット 16 または I²S、LJ は右スロット 0 17d = TDM はスロット 17 または I²S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d =TDM がスロット 31 または I²S、LJ は右スロット 15

7.1.3.9 SASI_TX_CH4_CFG レジスタ (アドレス = 0x21) [リセット = 0x03]

SASI_TX_CH4_CFG を表 7-155 に示します。

概略表に戻ります。

このレジスタは SASI TX チャネル 4 構成レジスタです。

表 7-155. SASI_TX_CH4_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6-5	SASI_TX_CH4_CFG[1:0]	R/W	00b	セカンダリ ASI 出力チャネル 4 構成 0d = セカンダリ ASI チャネル 4 出力がトライステート条件 1d = 予約済み 2d = セカンダリ ASI チャネル 4 出力が TEMP データに対応 3d = 予約済み
4-0	SASI_TX_CH4_SLOT_NUM[4:0]	R/W	00011b	セカンダリ ASI 出力チャネル 4 スロット割り当て。 0d = TDM はスロット 0 または I²S、LJ は左スロット 0 1d = TDM はスロット 1 または I²S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I²S、LJ は右スロット 15 16d = TDM はスロット 16 または I²S、LJ は右スロット 0 17d = TDM はスロット 17 または I²S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d =TDM がスロット 31 または I²S、LJ は右スロット 15

7.1.3.10 SASI_TX_CH5_CFG レジスタ (アドレス = 0x22) [リセット = 0x04]

SASI_TX_CH5_CFG を表 7-156 に示します。

概略表に戻ります。

このレジスタは SASI TX チャネル 5 構成レジスタです。

表 7-156. SASI_TX_CH5_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

表 7-156. SASI_TX_CH5_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-5	SASI_TX_CH5_CFG[1:0]	R/W	00b	セカンダリ ASI 出力チャネル 5 構成。 0d = セカンダリ ASI チャネル 5 出力がトライステート条件 1d = セカンダリ ASI チャネル 5 の出力は ASI 入力チャネル 1 ループバック データに対応 2d = セカンダリ ASI チャネル 5 の出力はエコー リファレンス チャネル 1 のデータに対応 3d = 予約済み
4-0	SASI_TX_CH5_SLOT_NUM[4:0]	R/W	00100b	セカンダリ ASI 出力チャネル 5 スロット割り当て。 0d = TDM はスロット 0 または I²S、LJ は左スロット 0 1d = TDM はスロット 1 または I²S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I²S、LJ は右スロット 15 16d = TDM はスロット 16 または I²S、LJ は右スロット 0 17d = TDM はスロット 17 または I²S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d =TDM がスロット 31 または I²S、LJ は右スロット 15

7.1.3.11 SASI_TX_CH6_CFG レジスタ (アドレス = 0x23) [リセット = 0x05]

SASI_TX_CH6_CFG を表 7-157 に示します。

概略表に戻ります。

このレジスタは SASI TX チャネル 6 構成レジスタです。

表 7-157. SASI_TX_CH6_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6-5	SASI_TX_CH6_CFG[1:0]	R/W	00b	セカンダリ ASI 出力チャネル 6 構成 0d = セカンダリ ASI チャネル 6 出力がトライステート条件 1d = セカンダリ ASI チャネル 6 の出力は ASI 入力チャネル 2 ループバック データに対応 2d = セカンダリ ASI チャネル 6 の出力はエコー リファレンス チャネル 2 のデータに対応 3d = 予約済み
4-0	SASI_TX_CH6_SLOT_NUM[4:0]	R/W	00101b	セカンダリ ASI 出力チャネル 6 スロット割り当て。 0d = TDM はスロット 0 または I²S、LJ は左スロット 0 1d = TDM はスロット 1 または I²S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I²S、LJ は右スロット 15 16d = TDM はスロット 16 または I²S、LJ は右スロット 0 17d = TDM はスロット 17 または I²S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d =TDM がスロット 31 または I²S、LJ は右スロット 15

7.1.3.12 SASI_TX_CH7_CFG レジスタ (アドレス = 0x24) [リセット = 0x06]

SASI_TX_CH7_CFG を表 7-158 に示します。

概略表に戻ります。

このレジスタは SASI TX チャネル 7 構成レジスタです。

表 7-158. SASI_TX_CH7_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

Copyright © 2025 Texas Instruments Incorporated

表 7-158. SASI_TX_CH7_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-5	SASI_TX_CH7_CFG[1:0]	R/W	00b	セカンダリ ASI 出力チャネル 7 構成 0d = セカンダリ ASI チャネル 7 出力がトライステート条件 1d = セカンダリ ASI チャネル 7 出力は ADC チャネル データに対応 2d = セカンダリ ASI チャネル 7 出力は温度データに対応 3d =予約済み
4-0	SASI_TX_CH7_SLOT_NUM[4:0]	R/W	00110b	セカンダリ ASI 出力チャネル 7 スロット割り当て。 0d = TDM はスロット 0 または I²S、LJ は左スロット 0 1d = TDM はスロット 1 または I²S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I²S、LJ は右スロット 15 16d = TDM はスロット 16 または I²S、LJ は右スロット 0 17d = TDM はスロット 17 または I²S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d =TDM がスロット 31 または I²S、LJ は右スロット 15

7.1.3.13 SASI_TX_CH8_CFG レジスタ (アドレス = 0x25) [リセット = 0x07]

SASI_TX_CH8_CFG を表 7-159 に示します。

概略表に戻ります。

このレジスタは SASI TX チャネル 8 構成レジスタです。

表 7-159. SASI_TX_CH8_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5	SASI_TX_CH8_CFG	R/W	0b	セカンダリ ASI 出力チャネル 8 構成 0d = セカンダリ ASI チャネル 8 出力がトライステート 1d = セカンダリ ASI チャネル 8 出力が ICLA データに対応
4-0	SASI_TX_CH8_SLOT_NUM[4:0]	R/W	00111b	セカンダリ ASI 出力チャネル 8 スロット割り当て。 0d = TDM はスロット 0 または I²S、LJ は左スロット 0 1d = TDM はスロット 1 または I²S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I²S、LJ は右スロット 15 16d = TDM はスロット 16 または I²S、LJ は右スロット 0 17d = TDM はスロット 17 または I²S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d =TDM がスロット 31 または I²S、LJ は右スロット 15

7.1.3.14 SASI_RX_CFG0 レジスタ (アドレス = 0x26) [リセット = 0x00]

SASI_RX_CFG0 を表 7-160 に示します。

概略表に戻ります。

このレジスタは SASI RX 構成レジスタ 0 です。

表 7-160. SASI_RX_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SASI_RX_EDGE	R/W	0b	セカンダリ ASI データ入力 (プライマリおよびセカンダリ データ ピン上の) 受信エッジ 0d = ビット 2 (BCLK_POL) のプロトコル構成設定に従うデフォルトのエッジ 1d = デフォルトのエッジ設定を基準として、後続のエッジ（半周期遅延）を反転

表 7-160. SASI_RX_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	SASI_RX_USE_INT_FSYNC	R/W	0b	セカンダリ ASI は、必要に応じてコントローラ モード構成での入力データ ラッチに内部 FSYNC を使用します。 0d = ASI プロトコルのデータ ラッチに外部 FSYNC を使用 1d = ASI プロトコルのデータ ラッチに内部 FSYNC を使用
5	SASI_RX_USE_INT_BCLK	R/W	0b	セカンダリ ASI はコントローラ モード構成で入力データ ラッチに内部 BCLK を使用します 0d = ASI プロトコル データ ラッチに外部 BCLK を使用 1d = ASI プロトコル データ ラッチに内部 BCLK を使用
4-0	SASI_RX_OFFSET[4:0]	R/W	00000b	セカンダリ ASI データ入力 MSB スロット 0 オフセット (プライマリおよびセカンダリ データ ピン上) 0D = ASI データの MSB 位置にはオフセットがなく、標準プロトコルに従っている 1d = ASI データの MSB 位置（TDM モードはスロット 0 または I^2S、LJ モードは左および右スロット 0）標準プロトコルに対して 2 BCLK サイクルのオフセット 2d = ASI データ MSB 位置（TDM モードはスロット 0 または I^2S、LJ モードは、標準プロトコルに対する BCLK サイクル 2 つ分の左右スロット 0）オフセット 3d ～ 30d = ASI データ MSB の位置（TDM モードはスロット 0 または I^2S、LJ モードは、構成に従って割り当てられた左右のスロット 0 のオフセット） 31d = ASI データ MSB 位置（TDM モードがスロット 0 または I^2S、LJ モードは、標準プロトコルに対する左右のスロット 0 の 31 BCLK サイクルのオフセットです。

7.1.3.15 SASI_RX_CFG1 レジスタ (アドレス = 0x27) [リセット = 0x00]

SASI_RX_CFG1 を表 7-161 に示します。

概略表に戻ります。

このレジスタは SASI RX 構成レジスタ 1 です。

表 7-161. SASI_RX_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SASI_RX_CH8_SEL	R/W	0b	セカンダリ ASI 入力チャネル 8 選択 0d = セカンダリ ASI チャネル 8 入力は DIN に存在 1d = セカンダリ ASI チャネル 8 入力は DIN2 に存在
6	SASI_RX_CH7_SEL	R/W	0b	セカンダリ ASI 入力チャネル 7 選択 0d = セカンダリ ASI チャネル 7 入力は DIN に存在 1d = セカンダリ ASI チャネル 7 入力は DIN2 に存在
5	SASI_RX_CH6_SEL	R/W	0b	セカンダリ ASI 入力チャネル 6 選択 0d = セカンダリ ASI チャネル 6 入力は DIN に存在 1d = セカンダリ ASI チャネル 6 入力は DIN2 に存在
4	SASI_RX_CH5_SEL	R/W	0b	セカンダリ ASI 入力チャネル 5 選択 0d = セカンダリ ASI チャネル 5 入力は DIN に存在 1d = セカンダリ ASI チャネル 5 入力は DIN2 に存在
3	SASI_RX_CH4_SEL	R/W	0b	セカンダリ ASI 入力チャネル 4 選択 0d = セカンダリ ASI チャネル 4 入力は DIN に存在 1d = セカンダリ ASI チャネル 4 入力は DIN2 に存在
2	SASI_RX_CH3_SEL	R/W	0b	セカンダリ ASI 入力チャネル 3 選択 0d = セカンダリ ASI チャネル 3 入力は DIN に存在 1d = セカンダリ ASI チャネル 3 入力は DIN2 に存在

Copyright © 2025 Texas Instruments Incorporated

表 7-161. SASI_RX_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	SASI_RX_CH2_SEL	R/W	0b	セカンダリ ASI 入力チャネル 2 選択 0d = セカンダリ ASI チャネル 2 入力は DIN に存在 1d = セカンダリ ASI チャネル 2 入力は DIN2 に存在
0	SASI_RX_CH1_SEL	R/W	0b	セカンダリ ASI 入力チャネル 1 選択 0d = セカンダリ ASI チャネル 1 入力は DIN に存在 1d = セカンダリ ASI チャネル 1 入力は DIN2 に存在

7.1.3.16 SASI_RX_CH1_CFG レジスタ (アドレス = 0x28) [リセット = 0x00]

SASI_RX_CH1_CFG を表 7-162 に示します。

概略表に戻ります。

このレジスタは SASI RX チャネル 1 構成レジスタです。

表 7-162. SASI_RX_CH1_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5	SASI_RX_CH1_CFG	R/W	0b	セカンダリ ASI 入力チャネル 1 の構成 0d = セカンダリ ASI チャネル 1 入力が無効 1d = セカンダリ ASI チャネル 1 の入力は DAC チャネル 1 のデータに対応し
4-0	SASI_RX_CH1_SLOT_NUM[4:0]	R/W	00000b	セカンダリ ASI 入力チャネル 1 のスロット割り当て 0d = TDM はスロット 0 または I^2S、LJ は左スロット 0 1d = TDM はスロット 1 または I^2S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I^2S、LJ は右スロット 15 16d = TDM はスロット 16 または I^2S、LJ は右スロット 0 17d = TDM はスロット 17 または I^2S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d = TDM がスロット 31 または I^2S、LJ は右スロット 15

7.1.3.17 SASI_RX_CH2_CFG レジスタ (アドレス = 0x29) [リセット = 0x01]

SASI_RX_CH2_CFG を表 7-163 に示します。

概略表に戻ります。

このレジスタは SASI RX チャネル 2 構成レジスタです。

表 7-163. SASI_RX_CH2_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5	SASI_RX_CH2_CFG	R/W	0b	セカンダリ ASI 入力チャネル 2 の構成 0d = セカンダリ ASI チャネル 2 入力が無効 1d = セカンダリ ASI チャネル 2 の入力は DAC チャネル 2 のデータに対応し

表 7-163. SASI_RX_CH2_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4-0	SASI_RX_CH2_SLOT_NUM[4:0]	R/W	00001b	セカンダリ ASI 入力チャネル 2 スロット割り当て。 0d = TDM はスロット 0 または I²S、LJ は左スロット 0 1d = TDM はスロット 1 または I²S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I²S、LJ は右スロット 15 16d = TDM はスロット 16 または I²S、LJ は右スロット 0 17d = TDM はスロット 17 または I²S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d =TDM がスロット 31 または I²S、LJ は右スロット 15

7.1.3.18 SASI_RX_CH3_CFG レジスタ (アドレス = 0x2A) [リセット = 0x02]

SASI_RX_CH3_CFG を表 7-164 に示します。

概略表に戻ります。

このレジスタは SASI RX チャネル 3 構成レジスタです。

表 7-164. SASI_RX_CH3_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5	SASI_RX_CH3_CFG	R/W	0b	セカンダリ ASI 入力チャネル 3 の構成 0d = セカンダリ ASI チャネル 3 入力が無効 1d = セカンダリ ASI チャネル 3 の入力は DAC チャネル 3 のデータに対応し
4-0	SASI_RX_CH3_SLOT_NUM[4:0]	R/W	00010b	セカンダリ ASI 入力チャネル 3 のスロット割り当て 0d = TDM はスロット 0 または I²S、LJ は左スロット 0 1d = TDM はスロット 1 または I²S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I²S、LJ は右スロット 15 16d = TDM はスロット 16 または I²S、LJ は右スロット 0 17d = TDM はスロット 17 または I²S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d = TDM がスロット 31 または I²S、LJ は右スロット 15

7.1.3.19 SASI_RX_CH4_CFG レジスタ (アドレス = 0x2B) [リセット = 0x03]

SASI_RX_CH4_CFG を表 7-165 に示します。

概略表に戻ります。

このレジスタは SASI RX チャネル 4 構成レジスタです。

表 7-165. SASI_RX_CH4_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5	SASI_RX_CH4_CFG	R/W	0b	セカンダリ ASI 入力チャネル 4 の構成 0d = セカンダリ ASI チャネル 4 入力が無効 1d = セカンダリ ASI チャネル 4 の入力は DAC チャネル 4 のデータに対応し

Copyright © 2025 Texas Instruments Incorporated

表 7-165. SASI_RX_CH4_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4-0	SASI_RX_CH4_SLOT_NUM[4:0]	R/W	00011b	セカンダリ ASI 入力チャネル 4 のスロット割り当て 0d = TDM はスロット 0 または I²S、LJ は左スロット 0 1d = TDM はスロット 1 または I²S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I²S、LJ は右スロット 15 16d = TDM はスロット 16 または I²S、LJ は右スロット 0 17d = TDM はスロット 17 または I²S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d = TDM がスロット 31 または I²S、LJ は右スロット 15

7.1.3.20 SASI_RX_CH5_CFG レジスタ (アドレス = 0x2C) [リセット = 0x04]

SASI_RX_CH5_CFG を表 7-166 に示します。

概略表に戻ります。

このレジスタは SASI RX チャネル 5 構成レジスタです。

表 7-166. SASI_RX_CH5_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6-5	SASI_RX_CH5_CFG[1:0]	R/W	00b	セカンダリ ASI 入力チャネル 5 の構成 0D = セカンダリ ASI チャネル 5 入力が無効 1d = セカンダリ ASI チャネル 5 入力は DAC チャネル 5 のデータに対応 2d = セカンダリ ASI チャネ ル 5 入力は ADC チャネル 1 の出力ループバックに対応 3d = 予約済み
4-0	SASI_RX_CH5_SLOT_NUM[4:0]	R/W	00100b	セカンダリ ASI 入力チャネル 5 のスロット割り当て 0d = TDM はスロット 0 または I²S、LJ は左スロット 0 1d = TDM はスロット 1 または I²S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I²S、LJ は右スロット 15 16d = TDM はスロット 16 または I²S、LJ は右スロット 0 17d = TDM はスロット 17 または I²S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d = TDM がスロット 31 または I²S、LJ は右スロット 15

7.1.3.21 SASI_RX_CH6_CFG レジスタ (アドレス = 0x2D) [リセット = 0x05]

SASI_RX_CH6_CFG を表 7-167 に示します。

概略表に戻ります。

このレジスタは SASI RX チャネル 6 構成レジスタです。

表 7-167. SASI_RX_CH6_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6-5	SASI_RX_CH6_CFG[1:0]	R/W	00b	セカンダリ ASI 入力チャネル 6 構成。 0d = セカンダリ ASI チャネル 6 入力がディセーブル 1d = セカンダリ ASI チャネル 6 入力は DAC チャネル 6 データに対応 2d = セカンダリ ASI チャネル 6 入力は ADC チャネル 2 出力ループバックに対応 3d = セカンダリ ASI チャネル 6 入力は ICLA デバイス 1 のデータに対応

表 7-167. SASI_RX_CH6_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4-0	SASI_RX_CH6_SLOT_NUM[4:0]	R/W	00101b	セカンダリ ASI 入力チャネル 6 スロット割り当て。 0d = TDM はスロット 0 または I²S、LJ は左スロット 0 1d = TDM はスロット 1 または I²S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I²S、LJ は右スロット 15 16d = TDM はスロット 16 または I²S、LJ は右スロット 0 17d = TDM はスロット 17 または I²S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d =TDM がスロット 31 または I²S、LJ は右スロット 15

7.1.3.22 SASI_RX_CH7_CFG レジスタ (アドレス = 0x2E) [リセット = 0x06]

SASI_RX_CH7_CFG を表 7-168 に示します。

概略表に戻ります。

このレジスタは SASI RX チャネル 7 構成レジスタです。

表 7-168. SASI_RX_CH7_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6-5	SASI_RX_CH7_CFG[1:0]	R/W	00b	セカンダリ ASI 入力チャネル 7 構成。 0d = セカンダリ ASI チャネル 7 入力がディセーブル 1d = セカンダリ ASI チャネル 7 入力は DAC チャネル 7 データに対応 2d = セカンダリ ASI チャネル 7 入力は ADC チャネル 3 出力ループバックに対応 3d = セカンダリ ASI チャネル 7 入力は ICLA デバイス 2 のデータに対応
4-0	SASI_RX_CH7_SLOT_NUM[4:0]	R/W	00110b	セカンダリ ASI 入力チャネル 7 スロット割り当て。 0d = TDM はスロット 0 または I²S、LJ は左スロット 0 1d = TDM はスロット 1 または I²S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I²S、LJ は右スロット 15 16d = TDM はスロット 16 または I²S、LJ は右スロット 0 17d = TDM はスロット 17 または I²S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d =TDM がスロット 31 または I²S、LJ は右スロット 15

7.1.3.23 SASI_RX_CH8_CFG レジスタ (アドレス = 0x2F) [リセット = 0x07]

SASI_RX_CH8_CFG を表 7-169 に示します。

概略表に戻ります。

このレジスタは SASI RX チャネル 8 構成レジスタです。

表 7-169. SASI_RX_CH8_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6-5	SASI_RX_CH8_CFG[1:0]	R/W	00b	セカンダリ ASI 入力チャネル 8 構成。 0d = セカンダリ ASI チャネル 8 入力がディセーブル 1d = セカンダリ ASI チャネル 8 入力は DAC チャネル 8 データに対応 2d = セカンダリ ASI チャネル 8 入力は ADC チャネル 4 出力ループバックに対応 3d = セカンダリ ASI チャネル 8 入力は ICLA デバイス 3 のデータに対応

Copyright © 2025 Texas Instruments Incorporated

表 7-169. SASI_RX_CH8_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4-0	SASI_RX_CH8_SLOT_NUM[4:0]	R/W	00111b	セカンダリ ASI 入力チャネル 8 スロット割り当て。 0d = TDM はスロット 0 または I²S、LJ は左スロット 0 1d = TDM はスロット 1 または I²S、LJ は左スロット 1 2d ～ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I²S、LJ は右スロット 15 16d = TDM はスロット 16 または I²S、LJ は右スロット 0 17d = TDM はスロット 17 または I²S、LJ は右スロット 1 18d ～ 30d = 構成に従って割り当てられたスロット 31d =TDM がスロット 31 または I²S、LJ は右スロット 15

7.1.3.24 CLK_CFG12 レジスタ (アドレス = 0x32) [リセット = 0x00]

CLK_CFG12 を表 7-170 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 12 です。

表 7-170. CLK_CFG12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	PDIV_CLKSRC_SEL[1:0]	R/W	00b	PLL PDIV 分周器のソース クロックの選択。 0d = PLL_PDIV_IN_CLK がプライマリ ASI BCLK 1d = PLL_PDIV_IN_CLK はセカンダリ ASI BCLK 2d = PLL_PDIV_IN_CLK は cclk 3d = PLL_PDIV_IN_CLK は内部発振器クロック(カスタム クロック構成でのみサポート)
5-3	PASI_BCLK_DIV_CLK_SEL[2:0]	R/W	000b	プライマリ ASI BCLK 分周器クロック ソースの選択。 0d = プライマリ ASI BCLK 分周器クロック ソースは PLL 出力 1d = 予約済み 2d = プライマリ ASI BCLK 分周器クロック ソースはセカンダリ ASI BCLK 3d =プライマリ ASI BCLK 分周器クロック ソースはクロック 4d = プライマリ ASI BCLK 分周器のクロック ソースは内部発振器クロック(カスタム クロック構成でのみサポート) 5d = プライマリ ASI BCLK 分周器クロック ソースは DSP クロック 6d~7d = 予約済み
2-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.3.25 CLK_CFG13 レジスタ (アドレス = 0x33) [リセット = 0x00]

CLK_CFG13 を表 7-171 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 13 です。

表 7-171. CLK_CFG13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

表 7-171. CLK_CFG13 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-4	SASI_BCLK_DIV_CLK_SEL[2:0]	R/W	000b	セカンダリ ASI BCLK 分周器クロック ソースの選択。 0d =セカンダリ ASI BCLK デバイダのクロック ソースが PLL 出力 1d = セカンダリ ASI BCLK デバイダ クロック ソースはプライマリ ASI BCLK 2d = 予約済み 3d = セカンダリ ASI BCLK デバイダのクロック ソースはクロック 4d = セカンダリ ASI BCLK デバイダのクロック ソースは内部発振器クロック(カスタム クロック構成でのみサポート) 5d = セカンダリ ASI BCLK デバイダのクロック ソースは DSP クロック 6d~7d = 予約済み
3-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.3.26 CLK_CFG14 レジスタ (アドレス = 0x34) [リセット = 0x10]

CLK_CFG14 を表 7-172 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 14 です。

表 7-172. CLK_CFG14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	DIG_NM_DIV_CLK_SRC_SEL[1:0]	R/W	00b	DIG NMDIV CLK クロックのソース クロック選択。 0d = DIG NM 分周器入力クロックがプライマリ ASI BCLK 1d = DIG NM 分周器入力クロックがセカンダリ ASI BCLK 2d = DIG NM 分周器入力クロックが cclk 3d = DIG NM 分周器入力クロックは内部発振器クロック(カスタム クロック構成でのみサポート)
5-4	ANA_NM_DIV_CLK_SRC_SEL[1:0]	R/W	01b	NMDIV CLK クロックのソース クロック選択。 0D = NM 分周器入力クロックは PLL 出力 1d = NM 分周器入力クロックは PLL 出力 2d = NM 分周器入力クロックは DIG NM 分周器クロック ソース 3d = NM 分周器入力クロックはプライマリ ASI BCLK(低ジッタ パス)
3-2	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
1-0	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

7.1.3.27 CLK_CFG15 レジスタ (アドレス = 0x35) [リセット = 0x01]

CLK_CFG15 を表 7-173 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 15 です。

表 7-173. CLK_CFG15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PLL_PDIV[7:0]	R/W	00000001b	PLL プリスケーラ P 分周器の値(自動検出がイネーブルのときは問題なし) 0d = PLL PDIV 値は 256 1d = PLL PDIV 値は 1 2d = PLL PDIV 値は 2 3d~254d = PLL PDIV 値は構成による 255d = PLL PDIV 値は 255

Copyright © 2025 Texas Instruments Incorporated

7.1.3.28 CLK_CFG16 レジスタ (アドレス = 0x36) [リセット = 0x00]

CLK_CFG16 を表 7-174 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 16 です。

表 7-174. CLK_CFG16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PLL_JMUL_MSB	R/W	0b	PLL 整数部 J 乗算器値 MSB ビット。(自動検出が有効な場合は関係ありません)
6	PLL_DIV_CLK_DIG_BY_2	R/W	0b	PLL DIV クロック分周 2 構成 0d = PLL 内で分周/2 の実行なし 1d = PLL が分周/2 を実行
5-0	PLL_DMUL_MSB[5:0]	R/W	000000b	PLL 分数部 D マルチプライヤ値 MSB ビット。(自動検出が有効な場合は関係ありません)

7.1.3.29 CLK_CFG17 レジスタ (アドレス = 0x37) [リセット = 0x00]

CLK_CFG17 を表 7-175 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 17 です。

表 7-175. CLK_CFG17 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PLL_DMUL_LSB[7:0]	R/W	00000000b	PLL 分数部 D マルチプライヤ値 LSB バイト。D 乗算器値の上位 MSB ビット(PLL_DMUL_MSB)は、この LSB バイト(PLL_DMUL_LSB)とともに連結され、最終的な D 乗算器値が決定されます。(自動検出がイネーブルのときは無関係) 0d = PLL DMUL 値は 0 1d = PLL DMUL 値は 1 2d = PLL DMUL 値は 2 3d ～ 9998d = PLL JMUL 値は構成による 9999d = PLL JMUL 値は 9999 10000d ～ 16383d = 予約済み、使用しないでください

7.1.3.30 CLK_CFG18 レジスタ (アドレス = 0x38) [リセット = 0x08]

CLK_CFG18 を表 7-176 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 18 です。

表 7-176. CLK_CFG18 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PLL_JMUL_LSB[7:0]	R/W	00001000b	PLL 整数部 J 乗算器値 LSB バイト。J 乗算器の値 MSB ビット(PLL_JMUL_MSB)を上回る値と、この LSB バイト(PLL_JMUL_LSB)が連結されて、最終的な J 乗算器の値が決定されます。(自動検出がイネーブルのときは関係なし) 0d = 予約済み。 1d = PLL JMUL 値は 1 2d = PLL JMUL 値は 2 3d ~ 510d = PLL JMUL 値は構成による 511d = PLL JMUL 値は 511

7.1.3.31 CLK_CFG19 レジスタ (アドレス = 0x39) [リセット = 0x20]

CLK_CFG19 を表 7-177 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 19 です。

表 7-177. CLK_CFG19 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	NDIV[2:0]	R/W	001b	NDIV デバイダの値。(自動検出がイネーブルのときは関係なし) 0d = NDIV の値は 8 1d = NDIV の値は 1 2d = NDIV の値は 2 3d~6d = NDIV の値は構成による 7d = NDIV の値は 7
4-2	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
1-0	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

7.1.3.32 CLK_CFG20 レジスタ (アドレス = 0x3A) [リセット = 0x04]

CLK_CFG20 を表 7-178 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 20 です。

表 7-178. CLK_CFG20 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	MDIV[5:0]	R/W	000001b	MDIV デバイダの値。(自動検出がイネーブルのときは関係なし) 0d = MDIV の値は 64 1d = MDIV の値は 1 2d = MDIV の値は 2 3d~62d = MDIV の値は構成による 63d = MDIV の値は 63
1-0	DIG_ADC_MODCLK_DIV[1:0]	R/W	00b	ADC 変調器のクロック分周値。(自動検出がイネーブルのときは無関係) 0d = DIG_ADC_MODCLK_DIV 値は 1 1d = DIG_ADC_MODCLK_DIV 値は 2 2d = DIG_ADC_MODCLK_DIV 値は 4 3d =予約済み)

7.1.3.33 CLK_CFG21 レジスタ (アドレス = 0x3B) [リセット = 0x00]

CLK_CFG21 を表 7-179 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 21 です。

表 7-179. CLK_CFG21 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
5-4	DIG_DAC_MODCLK_DIV[1:0]	R/W	00b	DAC 変調器のクロック分周値。(自動検出がイネーブルのときは無関係) 0d = DIG_DAC_MODCLK_DIV 値は 1 1d = DIG_DAC_MODCLK_DIV 値は 2 2d = DIG_DAC_MODCLK_DIV 値は 4 3d = 予約済み

Copyright © 2025 Texas Instruments Incorporated

表 7-179. CLK_CFG21 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2	PASI_BDIV_MSB	R/W	0b	プライマリ ASI BCLK 分周値 MSB ビット。(自動検出が有効な場合は関係ありません)
1	SASI_BDIV_MSB	R/W	0b	セカンダリ ASI BCLK 分周器値 MSB ビット。(自動検出が有効な場合は関係ありません)
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.3.34 CLK_CFG22 レジスタ (アドレス = 0x3C) [リセット = 0x01]

CLK_CFG22 を表 7-180 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 22 です。

表 7-180. CLK_CFG22 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PASI_BDIV_LSB[7:0]	R/W	00000001b	セカンダリ ASI BCLK 分周器の値。(自動検出がイネーブルのときは無関係) 0d = SASI BCLK 分周器の値は 512 1d = SASI BCLK 分周器の値は 1 2d = SASI BCLK 分周器の値は 2 3d~62d = SASI BCLK 分周器の値は構成による 63d = SASI BCLK 分周器の値は 511

7.1.3.35 CLK_CFG23 レジスタ (アドレス = 0x3D) [リセット = 0x01]

CLK_CFG23 を表 7-181 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 23 です。

表 7-181. CLK_CFG23 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	SASI_BDIV_LSB[7:0]	R/W	00000001b	セカンダリ ASI BCLK 分周器の値。(自動検出がイネーブルのときは無関係) 0d = SASI BCLK 分周器の値は 512 1d = SASI BCLK 分周器の値は 1 2d = SASI BCLK 分周器の値は 2 3d~62d = SASI BCLK 分周器の値は構成による 63d = SASI BCLK 分周器の値は 511

7.1.3.36 CLK_CFG24 レジスタ (アドレス = 0x3E) [リセット = 0x01]

CLK_CFG24 を表 7-182 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 24 です。

表 7-182. CLK_CFG24 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

表 7-182. CLK_CFG24 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	ANA_NM_DIV[5:0]	R/W	000001b	アナログ N-M DIV 分周器の値。(自動検出がイネーブルのときは関係なし) 0d = ANA_NM_DIV 値は 64 1d = ANA_NM_DIV 値は 1 2d = ANA_NM_DIV 値は 2 3d~62d = ANA_NM_DIV 値は設定による 63d = NDIV 値は 63

7.1.3.37 CLK_CFG30 レジスタ (アドレス = 0x44) [リセット = 0x00]

CLK_CFG30 を表 7-183 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 30 です。

表 7-183. CLK_CFG30 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2	NDIV_EN	R/W	0b	NDIV 分周器が有効 0d = 分周器が無効 1d = 分周器が有効
1	MDIV_EN	R/W	0b	MDIV 分周器が有効 0d = 分周器が無効 1d = 分周器が有効
0	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

7.1.3.38 CLK_CFG31 レジスタ (アドレス = 0x45) [リセット = 0x00]

CLK_CFG31 を表 7-184 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 31 です。

表 7-184. CLK_CFG31 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6	DIG_ADC_MODCLK_DIV_EN	R/W	0b	ADC MODCLK 分周器有効 0d = 分周器無効 1d = 分周器有効
5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4	DIG_DAC_MODCLK_DIV_EN	R/W	0b	DAC MODCLK 分周器有効 0d = 分周器無効 1d = 分周器有効
3	PASI_BDIV_EN	R/W	0b	PASI BDIV 分周器有効 0d = 分周器無効 1d = 分周器有効
2	SASI_BDIV_EN	R/W	0b	SASI BDIV 分周器有効 0d = 分周器無効 1d = 分周器有効

Copyright © 2025 Texas Instruments Incorporated

表 7-184. CLK_CFG31 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	PASI_FSYNC_DIV_EN	R/W	0b	PASI FSYNC DIV 分周器有効 0d = 分周器無効 1d = 分周器有効
0	SASI_FSYNC_DIV_EN	R/W	0b	SASI FSYNC DIV 分周器有効 0d = 分周器無効 1d = 分周器有効

7.1.3.39 CLKOUT_CFG1 レジスタ (アドレス = 0x46) [リセット = 0x00]

CLKOUT_CFG1 を表 7-185 に示します。

概略表に戻ります。

このレジスタは CLKOUT 構成レジスタ 1 です。

表 7-185. CLKOUT_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2-0	CLKOUT_CLK_SEL[2:0]	R/W	000b	汎用の CLKOUT 分周器クロック ソースの選択。 0D = ソース クロックは PLL 出力 1d = ソース クロックはプライマリ ASI BCLK 2d = ソース クロックはセカンダリ ASI BCLK 3d = ソース クロックは CCLK 4d =ソース クロックは内部発振器クロック 5d = ソース クロックは DSP クロック 6d~7d = 予約済み

7.1.3.40 CLKOUT_CFG2 レジスタ (アドレス = 0x47) [リセット = 0x01]

CLKOUT_CFG2 を表 7-186 に示します。

概略表に戻ります。

このレジスタは CLKOUT 構成レジスタ 2 です。

表 7-186. CLKOUT_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CLKOUT_DIV_EN	R/W	0b	CLKOUT 分周器をイネーブル。 0d = CLKOUT 分周器が無効 1d = CLKOUT 分周器が有効
6-0	CLKOUT_DIV[6:0]	R/W	0000001b	CLKOUT DIV 分周器の値。 0d = CLKout_DIV 値は 128 1d = CLKout_DIV 値は 1 2d = CLKout_DIV の値は 2 3D~126d = CLKout_DIV の値は構成による 127d = CLKout_DIV の値は 127

7.1.3.41 SARCLK_CFG1 レジスタ (アドレス = 0x49) [リセット = 0x00]

SARCLK_CFG1 を表 7-187 に示します。

概略表に戻ります。

このレジスタは SAR クロック構成レジスタ 1 です

表 7-187. SARCLK_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	SAR_CLK_FREQ_SEL[1:0]	R/W	00b	SAR クロック周波数モード 0d = SAR クロック周波数は約 6MHz 1d = SAR クロック周波数は約 3 MHz 2d = SAR クロック周波数は約 1.5 MHz 3d = SAR クロック周波数は約 12MHz（カスタム クロック構成の内部発振器クロックを使用して SAR クロックが直接生成された場合にのみ有効）
5	SAR_CLK_SRC_AUTO_DIS	R/W	0b	SAR 分周器のソース クロックの自動選択を無効化 0d = クロック検出方式に基づいて SAR 分周器のソース クロックの自動選択 1d = 予約済み
4	SAR_CLK_SRC_MANUAL_SEL	R/W	0b	SAR クロック ソースの手動選択（自動モードでは無関係） 0d = オーディオ クロックに基づいて生成される SAR クロック ADC/DAC を使用可能 1d = 内部発振器クロックに基づいて生成される SAR クロック（カスタム クロック構成でのみサポート）
3	SAR_CLK_EN_AUTO_DIS	R/W	0b	SAR 分周器のソース クロックの自動選択の無効化 0d = SAR 分周器の自動有効化 1d = 予約済み
2	SAR_CLK_MANUAL_EN	R/W	0b	SAR デバイダの手動イネーブル（自動モードでは関係なし） 0d = SAR 分周器が無効 1d = SAR 分周器が有効
1-0	SAR_CLK_MANUAL_DIV[1:0]	R/W	00b	SAR 分周器の値（自動モードでは関係なし） 0d = SAR 分周器の値は 1 1d = SAR 分周器の値は 2 2d = SAR 分周器の値は 4 3d = SAR 分周器の値は 8

7.1.3.42 ADC_OVRLD_FLAG レジスタ (アドレス = 0x5B) [リセット = 0x00]

ADC_OVRLD_FLAG を表 7-188 に示します。

概略表に戻ります。

これは、ADC 過負荷フラグ ステータス レジスタです。

表 7-188. ADC_OVRLD_FLAG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	ADC_CH1_OVRLD_LTCH	R	0b	ADC CH1 OVRLD 故障 (セルフ クリア ビット) 0b = ADC CH1 OVRLD 故障なし 1b = ADC CH1 OVRLD I 故障
6	ADC_CH2_OVRLD_LTCH	R	0b	ADC CH2 OVRLD 故障 (セルフ クリア ビット) 0b = ADC CH2 OVRLD 故障なし 1b = ADC CH2 OVRLD I 故障
5	ADC_CH1_OVRLD_LIVE	R	0b	ADC CH1 OVRLD 故障 (セルフ クリア ビット) 0b = ADC CH1 OVRLD 故障なし 1b = ADC CH1 OVRLD I 故障
4	ADC_CH2_OVRLD_LIVE	R	0b	ADC CH2 OVRLD 故障 (セルフ クリア ビット) 0b = ADC CH2 OVRLD 故障なし 1b = ADC CH2 OVRLD I 故障
3-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

Copyright © 2025 Texas Instruments Incorporated

7.2 プログラム可能な係数レジスタ

このセクションのレジスタ ページは、デバイスのプログラマブル係数で構成されています。TI は、プログラマブル係数の設定には PPC3 GUI の使用を推奨しています。詳細については「*TAx5x1x-Q1EVM-PDK 評価基板ユーザー ガイド*と PurePath™ コンソール グラフィカル開発スイートをご覧ください。このセクションのレジスタ ページの係数レジスタのトランザクション時間を最適化するために、デバイスは (デフォルトで) I²C バースト書き込みと読み出し用の自動インクリメント ページもサポートしています。レジスタ アドレス 0x7F のトランザクションの後、デバイスは自動的に次のページのレジスタ 0x08 に移動し、次の係数値を処理します。これらのプログラム可能な係数は 32 ビットの 2 の補数です。係数レジスタのトランザクションを成功させるには、ホスト デバイスはターゲット係数レジスタのトランザクションに対して、最上位バイト (BYT1) から始まる 4 バイトすべてを書き込み、読み取る必要があります。

7.2.1 プログラム可能な係数レジスタ：ページ 8

表 7-189 に示すこのレジスタ ページは、ADC バイクワッド 1 ～ バイクワッド 6 フィルタのプログラム可能な係数で構成されています。

表 7-189. ページ 8 のプログラム可能な係数レジスタ

アドレス	レジスタ	リセット	説明
0x00	PAGE[7:0]	0x00	デバイス ページのレジスタ
0x08	ADC_BQ1_N0_BYT1[7:0]	0x7F	プログラム可能 ADC バイクワッド 1、N0 係数バイト [31:24]
0x09	ADC_BQ1_N0_BYT2[7:0]	0xFF	プログラム可能 ADC バイクワッド 1、N0 係数バイト [23:16]
0x0A	ADC_BQ1_N0_BYT3[7:0]	0xFF	プログラム可能 ADC バイクワッド 1、N0 係数バイト [15:8]
0x0B	ADC_BQ1_N0_BYT4[7:0]	0xFF	プログラム可能 ADC バイクワッド 1、N0 係数バイト [7:0]
0x0C	ADC_BQ1_N1_BYT1[7:0]	0x00	プログラム可能 ADC バイクワッド 1、N1 係数バイト [31:24]
0x0D	ADC_BQ1_N1_BYT2[7:0]	0x00	プログラム可能 ADC バイクワッド 1、N1 係数バイト [23:16]
0x0E	ADC_BQ1_N1_BYT3[7:0]	0x00	プログラム可能 ADC バイクワッド 1、N1 係数バイト [15:8]
0x0F	ADC_BQ1_N1_BYT4[7:0]	0x00	プログラム可能 ADC バイクワッド 1、N1 係数バイト [7:0]
0x10	ADC_BQ1_N2_BYT1[7:0]	0x00	プログラム可能 ADC バイクワッド 1、N2 係数バイト [31:24]
0x11	ADC_BQ1_N2_BYT2[7:0]	0x00	プログラム可能 ADC バイクワッド 1、N2 係数バイト [23:16]
0x12	ADC_BQ1_N2_BYT3[7:0]	0x00	プログラム可能 ADC バイクワッド 1、N2 係数バイト [15:8]
0x13	ADC_BQ1_N2_BYT4[7:0]	0x00	プログラム可能 ADC バイクワッド 1、N2 係数バイト [7:0]
0x14	ADC_BQ1_D1_BYT1[7:0]	0x00	プログラム可能 ADC バイクワッド 1、D1 係数バイト [31:24]
0x15	ADC_BQ1_D1_BYT2[7:0]	0x00	プログラム可能 ADC バイクワッド 1、D1 係数バイト [23:16]
0x16	ADC_BQ1_D1_BYT3[7:0]	0x00	プログラム可能 ADC バイクワッド 1、D1 係数バイト [15:8]
0x17	ADC_BQ1_D1_BYT4[7:0]	0x00	プログラム可能 ADC バイクワッド 1、D1 係数バイト [7:0]
0x18	ADC_BQ1_D2_BYT1[7:0]	0x00	プログラム可能 ADC バイクワッド 1、D2 係数バイト [31:24]
0x19	ADC_BQ1_D2_BYT2[7:0]	0x00	プログラム可能 ADC バイクワッド 1、D2 係数バイト [23:16]
0x1A	ADC_BQ1_D2_BYT3[7:0]	0x00	プログラム可能 ADC バイクワッド 1、D2 係数バイト [15:8]
0x1B	ADC_BQ1_D2_BYT4[7:0]	0x00	プログラム可能 ADC バイクワッド 1、D2 係数バイト [7:0]
0x1C	ADC_BQ2_N0_BYT1[7:0]	0x7F	プログラム可能 ADC バイクワッド 2、N0 係数バイト [31:24]
0x1D	ADC_BQ2_N0_BYT2[7:0]	0xFF	プログラム可能 ADC バイクワッド 2、N0 係数バイト [23:16]
0x1E	ADC_BQ2_N0_BYT3[7:0]	0xFF	プログラム可能 ADC バイクワッド 2、N0 係数バイト [15:8]
0x1F	ADC_BQ2_N0_BYT4[7:0]	0xFF	プログラム可能 ADC バイクワッド 2、N0 係数バイト [7:0]
0x20	ADC_BQ2_N1_BYT1[7:0]	0x00	プログラム可能 ADC バイクワッド 2、N1 係数バイト [31:24]
0x21	ADC_BQ2_N1_BYT2[7:0]	0x00	プログラム可能 ADC バイクワッド 2、N1 係数バイト [23:16]
0x22	ADC_BQ2_N1_BYT3[7:0]	0x00	プログラム可能 ADC バイクワッド 2、N1 係数バイト [15:8]
0x23	ADC_BQ2_N1_BYT4[7:0]	0x00	プログラム可能 ADC バイクワッド 2、N1 係数バイト [7:0]
0x24	ADC_BQ2_N2_BYT1[7:0]	0x00	プログラム可能 ADC バイクワッド 2、N2 係数バイト [31:24]

表 7-189. ページ 8 のプログラム可能な係数レジスタ (続き)

0x25	ADC_BQ2_N2_BYT2[7:0]	0x00	プログラム可能 ADC バイクワッド 2、N2 係数バイト [23:16]
0x26	ADC_BQ2_N2_BYT3[7:0]	0x00	プログラム可能 ADC バイクワッド 2、N2 係数バイト [15:8]
0x27	ADC_BQ2_N2_BYT4[7:0]	0x00	プログラム可能 ADC バイクワッド 2、N2 係数バイト [7:0]
0x28	ADC_BQ2_D1_BYT1[7:0]	0x00	プログラム可能 ADC バイクワッド 2、D1 係数バイト [31:24]
0x29	ADC_BQ2_D1_BYT2[7:0]	0x00	プログラム可能 ADC バイクワッド 2、D1 係数バイト [23:16]
0x2A	ADC_BQ2_D1_BYT3[7:0]	0x00	プログラム可能 ADC バイクワッド 2、D1 係数バイト [15:8]
0x2B	ADC_BQ2_D1_BYT4[7:0]	0x00	プログラム可能 ADC バイクワッド 2、D1 係数バイト [7:0]
0x2C	ADC_BQ2_D2_BYT1[7:0]	0x00	プログラム可能 ADC バイクワッド 2、D2 係数バイト [31:24]
0x2D	ADC_BQ2_D2_BYT2[7:0]	0x00	プログラム可能 ADC バイクワッド 2、D2 係数バイト [23:16]
0x2E	ADC_BQ2_D2_BYT3[7:0]	0x00	プログラム可能 ADC バイクワッド 2、D2 係数バイト [15:8]
0x2F	ADC_BQ2_D2_BYT4[7:0]	0x00	プログラム可能 ADC バイクワッド 2、D2 係数バイト [7:0]
0x30	ADC_BQ3_N0_BYT1[7:0]	0x7F	プログラム可能 ADC バイクワッド 3、N0 係数バイト [31:24]
0x31	ADC_BQ3_N0_BYT2[7:0]	0xFF	プログラム可能 ADC バイクワッド 3、N0 係数バイト [23:16]
0x32	ADC_BQ3_N0_BYT3[7:0]	0xFF	プログラム可能 ADC バイクワッド 3、N0 係数バイト [15:8]
0x33	ADC_BQ3_N0_BYT4[7:0]	0xFF	プログラム可能 ADC バイクワッド 3、N0 係数バイト [7:0]
0x34	ADC_BQ3_N1_BYT1[7:0]	0x00	プログラム可能 ADC バイクワッド 3、N1 係数バイト [31:24]
0x35	ADC_BQ3_N1_BYT2[7:0]	0x00	プログラム可能 ADC バイクワッド 3、N1 係数バイト [23:16]
0x36	ADC_BQ3_N1_BYT3[7:0]	0x00	プログラム可能 ADC バイクワッド 3、N1 係数バイト [15:8]
0x37	ADC_BQ3_N1_BYT4[7:0]	0x00	プログラム可能 ADC バイクワッド 3、N1 係数バイト [7:0]
0x38	ADC_BQ3_N2_BYT1[7:0]	0x00	プログラム可能 ADC バイクワッド 3、N2 係数バイト [31:24]
0x39	ADC_BQ3_N2_BYT2[7:0]	0x00	プログラム可能 ADC バイクワッド 3、N2 係数バイト [23:16]
0x3A	ADC_BQ3_N2_BYT3[7:0]	0x00	プログラム可能 ADC バイクワッド 3、N2 係数バイト [15:8]
0x3B	ADC_BQ3_N2_BYT4[7:0]	0x00	プログラム可能 ADC バイクワッド 3、N2 係数バイト [7:0]
0x3C	ADC_BQ3_D1_BYT1[7:0]	0x00	プログラム可能 ADC バイクワッド 3、D1 係数バイト [31:24]
0x3D	ADC_BQ3_D1_BYT2[7:0]	0x00	プログラム可能 ADC バイクワッド 3、D1 係数バイト [23:16]
0x3E	ADC_BQ3_D1_BYT3[7:0]	0x00	プログラム可能 ADC バイクワッド 3、D1 係数バイト [15:8]
0x3F	ADC_BQ3_D1_BYT4[7:0]	0x00	プログラム可能 ADC バイクワッド 3、D1 係数バイト [7:0]
0x40	ADC_BQ3_D2_BYT1[7:0]	0x00	プログラム可能 ADC バイクワッド 3、D2 係数バイト [31:24]
0x41	ADC_BQ3_D2_BYT2[7:0]	0x00	プログラム可能 ADC バイクワッド 3、D2 係数バイト [23:16]
0x42	ADC_BQ3_D2_BYT3[7:0]	0x00	プログラム可能 ADC バイクワッド 3、D2 係数バイト [15:8]
0x43	ADC_BQ3_D2_BYT4[7:0]	0x00	プログラム可能 ADC バイクワッド 3、D2 係数バイト [7:0]
0x44	ADC_BQ4_N0_BYT1[7:0]	0x7F	プログラム可能 ADC バイクワッド 4、N0 係数バイト [31:24]
0x45	ADC_BQ4_N0_BYT2[7:0]	0xFF	プログラム可能 ADC バイクワッド 4、N0 係数バイト [23:16]
0x46	ADC_BQ4_N0_BYT3[7:0]	0xFF	プログラム可能 ADC バイクワッド 4、N0 係数バイト [15:8]
0x47	ADC_BQ4_N0_BYT4[7:0]	0xFF	プログラム可能 ADC バイクワッド 4、N0 係数バイト [7:0]
0x48	ADC_BQ4_N1_BYT1[7:0]	0x00	プログラム可能 ADC バイクワッド 4、N1 係数バイト [31:24]
0x49	ADC_BQ4_N1_BYT2[7:0]	0x00	プログラム可能 ADC バイクワッド 4、N1 係数バイト [23:16]
0x4A	ADC_BQ4_N1_BYT3[7:0]	0x00	プログラム可能 ADC バイクワッド 4、N1 係数バイト [15:8]
0x4B	ADC_BQ4_N1_BYT4[7:0]	0x00	プログラム可能 ADC バイクワッド 4、N1 係数バイト [7:0]
0x4C	ADC_BQ4_N2_BYT1[7:0]	0x00	プログラム可能 ADC バイクワッド 4、N2 係数バイト [31:24]
0x4D	ADC_BQ4_N2_BYT2[7:0]	0x00	プログラム可能 ADC バイクワッド 4、N2 係数バイト [23:16]
0x4E	ADC_BQ4_N2_BYT3[7:0]	0x00	プログラム可能 ADC バイクワッド 4、N2 係数バイト [15:8]
0x4F	ADC_BQ4_N2_BYT4[7:0]	0x00	プログラム可能 ADC バイクワッド 4、N2 係数バイト [7:0]

Copyright © 2025 Texas Instruments Incorporated

表 7-189. ページ 8 のプログラム可能な係数レジスタ (続き)

0x50	ADC_BQ4_D1_BYT1[7:0]	0x00	プログラム可能 ADC バイクワッド 4、D1 係数バイト [31:24]
0x51	ADC_BQ4_D1_BYT2[7:0]	0x00	プログラム可能 ADC バイクワッド 4、D1 係数バイト [23:16]
0x52	ADC_BQ4_D1_BYT3[7:0]	0x00	プログラム可能 ADC バイクワッド 4、D1 係数バイト [15:8]
0x53	ADC_BQ4_D1_BYT4[7:0]	0x00	プログラム可能 ADC バイクワッド 4、D1 係数バイト [7:0]
0x54	ADC_BQ4_D2_BYT1[7:0]	0x00	プログラム可能 ADC バイクワッド 4、D2 係数バイト [31:24]
0x55	ADC_BQ4_D2_BYT2[7:0]	0x00	プログラム可能 ADC バイクワッド 4、D2 係数バイト [23:16]
0x56	ADC_BQ4_D2_BYT3[7:0]	0x00	プログラム可能 ADC バイクワッド 4、D2 係数バイト [15:8]
0x57	ADC_BQ4_D2_BYT4[7:0]	0x00	プログラム可能 ADC バイクワッド 4、D2 係数バイト [7:0]
0x58	ADC_BQ5_N0_BYT1[7:0]	0x7F	プログラム可能 ADC バイクワッド 5、N0 係数バイト [31:24]
0x59	ADC_BQ5_N0_BYT2[7:0]	0xFF	プログラム可能 ADC バイクワッド 5、N0 係数バイト [23:16]
0x5A	ADC_BQ5_N0_BYT3[7:0]	0xFF	プログラム可能 ADC バイクワッド 5、N0 係数バイト [15:8]
0x5B	ADC_BQ5_N0_BYT4[7:0]	0xFF	プログラム可能 ADC バイクワッド 5、N0 係数バイト [7:0]
0x5C	ADC_BQ5_N1_BYT1[7:0]	0x00	プログラム可能 ADC バイクワッド 5、N1 係数バイト [31:24]
0x5D	ADC_BQ5_N1_BYT2[7:0]	0x00	プログラム可能 ADC バイクワッド 5、N1 係数バイト [23:16]
0x5E	ADC_BQ5_N1_BYT3[7:0]	0x00	プログラム可能 ADC バイクワッド 5、N1 係数バイト [15:8]
0x5F	ADC_BQ5_N1_BYT4[7:0]	0x00	プログラム可能 ADC バイクワッド 5、N1 係数バイト [7:0]
0x60	ADC_BQ5_N2_BYT1[7:0]	0x00	プログラム可能 ADC バイクワッド 5、N2 係数バイト [31:24]
0x61	ADC_BQ5_N2_BYT2[7:0]	0x00	プログラム可能 ADC バイクワッド 5、N2 係数バイト [23:16]
0x62	ADC_BQ5_N2_BYT3[7:0]	0x00	プログラム可能 ADC バイクワッド 5、N2 係数バイト [15:8]
0x63	ADC_BQ5_N2_BYT4[7:0]	0x00	プログラム可能 ADC バイクワッド 5、N2 係数バイト [7:0]
0x64	ADC_BQ5_D1_BYT1[7:0]	0x00	プログラム可能 ADC バイクワッド 5、D1 係数バイト [31:24]
0x65	ADC_BQ5_D1_BYT2[7:0]	0x00	プログラム可能 ADC バイクワッド 5、D1 係数バイト [23:16]
0x66	ADC_BQ5_D1_BYT3[7:0]	0x00	プログラム可能 ADC バイクワッド 5、D1 係数バイト [15:8]
0x67	ADC_BQ5_D1_BYT4[7:0]	0x00	プログラム可能 ADC バイクワッド 5、D1 係数バイト [7:0]
0x68	ADC_BQ5_D2_BYT1[7:0]	0x00	プログラム可能 ADC バイクワッド 5、D2 係数バイト [31:24]
0x69	ADC_BQ5_D2_BYT2[7:0]	0x00	プログラム可能 ADC バイクワッド 5、D2 係数バイト [23:16]
0x6A	ADC_BQ5_D2_BYT3[7:0]	0x00	プログラム可能 ADC バイクワッド 5、D2 係数バイト [15:8]
0x6B	ADC_BQ5_D2_BYT4[7:0]	0x00	プログラム可能 ADC バイクワッド 5、D2 係数バイト [7:0]
0x6C	ADC_BQ6_N0_BYT1[7:0]	0x7F	プログラム可能 ADC バイクワッド 6、N0 係数バイト [31:24]
0x6D	ADC_BQ6_N0_BYT2[7:0]	0xFF	プログラム可能 ADC バイクワッド 6、N0 係数バイト [23:16]
0x6E	ADC_BQ6_N0_BYT3[7:0]	0xFF	プログラム可能 ADC バイクワッド 6、N0 係数バイト [15:8]
0x6F	ADC_BQ6_N0_BYT4[7:0]	0xFF	プログラム可能 ADC バイクワッド 6、N0 係数バイト [7:0]
0x70	ADC_BQ6_N1_BYT1[7:0]	0x00	プログラム可能 ADC バイクワッド 6、N1 係数バイト [31:24]
0x71	ADC_BQ6_N1_BYT2[7:0]	0x00	プログラム可能 ADC バイクワッド 6、N1 係数バイト [23:16]
0x72	ADC_BQ6_N1_BYT3[7:0]	0x00	プログラム可能 ADC バイクワッド 6、N1 係数バイト [15:8]
0x73	ADC_BQ6_N1_BYT4[7:0]	0x00	プログラム可能 ADC バイクワッド 6、N1 係数バイト [7:0]
0x74	ADC_BQ6_N2_BYT1[7:0]	0x00	プログラム可能 ADC バイクワッド 6、N2 係数バイト [31:24]
0x75	ADC_BQ6_N2_BYT2[7:0]	0x00	プログラム可能 ADC バイクワッド 6、N2 係数バイト [23:16]
0x76	ADC_BQ6_N2_BYT3[7:0]	0x00	プログラム可能 ADC バイクワッド 6、N2 係数バイト [15:8]
0x77	ADC_BQ6_N2_BYT4[7:0]	0x00	プログラム可能 ADC バイクワッド 6、N2 係数バイト [7:0]
0x78	ADC_BQ6_D1_BYT1[7:0]	0x00	プログラム可能 ADC バイクワッド 6、D1 係数バイト [31:24]
0x79	ADC_BQ6_D1_BYT2[7:0]	0x00	プログラム可能 ADC バイクワッド 6、D1 係数バイト [23:16]
0x7A	ADC_BQ6_D1_BYT3[7:0]	0x00	プログラム可能 ADC バイクワッド 6、D1 係数バイト [15:8]

表 7-189. ページ 8 のプログラム可能な係数レジスタ (続き)

0x7B	ADC_BQ6_D1_BYT4[7:0]	0x00	プログラム可能 ADC バイクワッド 6、D1 係数バイト [7:0]
0x7C	ADC_BQ6_D2_BYT1[7:0]	0x00	プログラム可能 ADC バイクワッド 6、D2 係数バイト [31:24]
0x7D	ADC_BQ6_D2_BYT2[7:0]	0x00	プログラム可能 ADC バイクワッド 6、D2 係数バイト [23:16]
0x7E	ADC_BQ6_D2_BYT3[7:0]	0x00	プログラム可能 ADC バイクワッド 6、D2 係数バイト [15:8]
0x7F	ADC_BQ6_D2_BYT4[7:0]	0x00	プログラム可能 ADC バイクワッド 6、D2 係数バイト [7:0]

7.2.2 プログラム可能な係数レジスタ：ページ 9

表 7-190 に示すこのレジスタ ページは、ADC バイクワッド 7 ~ バイクワッド 12 フィルタのプログラム可能な係数で構成されています。

表 7-190. ページ 9 のプログラム可能な係数レジスタ

アドレス	レジスタ	リセット	説明
0x00	PAGE[7:0]	0x00	デバイス ページのレジスタ
0x08	ADC_BQ7_N0_BYT1[7:0]	0x7F	プログラム可能な ADC バイクワッド 7、N0 係数バイト [31:24]
0x09	ADC_BQ7_N0_BYT2[7:0]	0xFF	プログラム可能な ADC バイクワッド 7、N0 係数バイト [23:16]
0x0A	ADC_BQ7_N0_BYT3[7:0]	0xFF	プログラム可能な ADC バイクワッド 7、N0 係数バイト [15:8]
0x0B	ADC_BQ7_N0_BYT4[7:0]	0xFF	プログラム可能な ADC バイクワッド 7、N0 係数バイト [7:0]
0x0C	ADC_BQ7_N1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 7、N1 係数バイト [31:24]
0x0D	ADC_BQ7_N1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 7、N1 係数バイト [23:16]
0x0E	ADC_BQ7_N1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 7、N1 係数バイト [15:8]
0x0F	ADC_BQ7_N1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 7、N1 係数バイト [7:0]
0x10	ADC_BQ7_N2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 7、N2 係数バイト [31:24]
0x11	ADC_BQ7_N2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 7、N2 係数バイト [23:16]
0x12	ADC_BQ7_N2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 7、N2 係数バイト [15:8]
0x13	ADC_BQ7_N2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 7、N2 係数バイト [7:0]
0x14	ADC_BQ7_D1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 7、D1 係数バイト [31:24]
0x15	ADC_BQ7_D1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 7、D1 係数バイト [23:16]
0x16	ADC_BQ7_D1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 7、D1 係数バイト [15:8]
0x17	ADC_BQ7_D1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 7、D1 係数バイト [7:0]
0x18	ADC_BQ7_D2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 7、D2 係数バイト [31:24]
0x19	ADC_BQ7_D2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 7、D2 係数バイト [23:16]
0x1A	ADC_BQ7_D2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 7、D2 係数バイト [15:8]
0x1B	ADC_BQ7_D2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 7、D2 係数バイト [7:0]
0x1C	ADC_BQ8_N0_BYT1[7:0]	0x7F	プログラム可能な ADC バイクワッド 8、N0 係数バイト [31:24]
0x1D	ADC_BQ8_N0_BYT2[7:0]	0xFF	プログラム可能な ADC バイクワッド 8、N0 係数バイト [23:16]
0x1E	ADC_BQ8_N0_BYT3[7:0]	0xFF	プログラム可能な ADC バイクワッド 8、N0 係数バイト [15:8]
0x1F	ADC_BQ8_N0_BYT4[7:0]	0xFF	プログラム可能な ADC バイクワッド 8、N0 係数バイト [7:0]
0x20	ADC_BQ8_N1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 8、N1 係数バイト [31:24]
0x21	ADC_BQ8_N1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 8、N1 係数バイト [23:16]
0x22	ADC_BQ8_N1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 8、N1 係数バイト [15:8]
0x23	ADC_BQ8_N1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 8、N1 係数バイト [7:0]
0x24	ADC_BQ8_N2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 8、N2 係数バイト [31:24]
0x25	ADC_BQ8_N2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 8、N2 係数バイト [23:16]
0x26	ADC_BQ8_N2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 8、N2 係数バイト [15:8]

Copyright © 2025 Texas Instruments Incorporated

表 7-190. ページ 9 のプログラム可能な係数レジスタ (続き)

0x27	ADC_BQ8_N2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 8、N2 係数バイト [7:0]
0x28	ADC_BQ8_D1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 8、D1 係数バイト [31:24]
0x29	ADC_BQ8_D1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 8、D1 係数バイト [23:16]
0x2A	ADC_BQ8_D1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 8、D1 係数バイト [15:8]
0x2B	ADC_BQ8_D1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 8、D1 係数バイト [7:0]
0x2C	ADC_BQ8_D2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 8、D2 係数バイト [31:24]
0x2D	ADC_BQ8_D2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 8、D2 係数バイト [23:16]
0x2E	ADC_BQ8_D2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 8、D2 係数バイト [15:8]
0x2F	ADC_BQ8_D2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 8、D2 係数バイト [7:0]
0x30	ADC_BQ9_N0_BYT1[7:0]	0x7F	プログラム可能な ADC バイクワッド 9、N0 係数バイト [31:24]
0x31	ADC_BQ9_N0_BYT2[7:0]	0xFF	プログラム可能な ADC バイクワッド 9、N0 係数バイト [23:16]
0x32	ADC_BQ9_N0_BYT3[7:0]	0xFF	プログラム可能な ADC バイクワッド 9、N0 係数バイト [15:8]
0x33	ADC_BQ9_N0_BYT4[7:0]	0xFF	プログラム可能な ADC バイクワッド 9、N0 係数バイト [7:0]
0x34	ADC_BQ9_N1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 9、N1 係数バイト [31:24]
0x35	ADC_BQ9_N1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 9、N1 係数バイト [23:16]
0x36	ADC_BQ9_N1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 9、N1 係数バイト [15:8]
0x37	ADC_BQ9_N1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 9、N1 係数バイト [7:0]
0x38	ADC_BQ9_N2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 9、N2 係数バイト [31:24]
0x39	ADC_BQ9_N2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 9、N2 係数バイト [23:16]
0x3A	ADC_BQ9_N2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 9、N2 係数バイト [15:8]
0x3B	ADC_BQ9_N2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 9、N2 係数バイト [7:0]
0x3C	ADC_BQ9_D1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 9、D1 係数バイト [31:24]
0x3D	ADC_BQ9_D1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 9、D1 係数バイト [23:16]
0x3E	ADC_BQ9_D1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 9、D1 係数バイト [15:8]
0x3F	ADC_BQ9_D1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 9、D1 係数バイト [7:0]
0x40	ADC_BQ9_D2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 9、D2 係数バイト [31:24]
0x41	ADC_BQ9_D2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 9、D2 係数バイト [23:16]
0x42	ADC_BQ9_D2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 9、D2 係数バイト [15:8]
0x43	ADC_BQ9_D2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 9、D2 係数バイト [7:0]
0x44	ADC_BQ10_N0_BYT1[7:0]	0x7F	プログラム可能な ADC バイクワッド 10、N0 係数バイト [31:24]
0x45	ADC_BQ10_N0_BYT2[7:0]	0xFF	プログラム可能な ADC バイクワッド 10、N0 係数バイト [23:16]
0x46	ADC_BQ10_N0_BYT3[7:0]	0xFF	プログラム可能な ADC バイクワッド 10、N0 係数バイト [15:8]
0x47	ADC_BQ10_N0_BYT4[7:0]	0xFF	プログラム可能な ADC バイクワッド 10、N0 係数バイト [7:0]
0x48	ADC_BQ10_N1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 10、N1 係数バイト [31:24]
0x49	ADC_BQ10_N1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 10、N1 係数バイト [23:16]
0x4A	ADC_BQ10_N1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 10、N1 係数バイト [15:8]
0x4B	ADC_BQ10_N1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 10、N1 係数バイト [7:0]
0x4C	ADC_BQ10_N2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 10、N2 係数バイト [31:24]
0x4D	ADC_BQ10_N2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 10、N2 係数バイト [23:16]
0x4E	ADC_BQ10_N2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 10、N2 係数バイト [15:8]
0x4F	ADC_BQ10_N2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 10、N2 係数バイト [7:0]
0x50	ADC_BQ10_D1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 10、D1 係数バイト [31:24]
0x51	ADC_BQ10_D1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 10、D1 係数バイト [23:16]

Copyright © 2025 Texas Instruments Incorporated

表 7-190. ページ 9 のプログラム可能な係数レジスタ (続き)

0x52	ADC_BQ10_D1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 10、D1 係数バイト [15:8]
0x53	ADC_BQ10_D1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 10、D1 係数バイト [7:0]
0x54	ADC_BQ10_D2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 10、D2 係数バイト [31:24]
0x55	ADC_BQ10_D2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 10、D2 係数バイト [23:16]
0x56	ADC_BQ10_D2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 10、D2 係数バイト [15:8]
0x57	ADC_BQ10_D2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 10、D2 係数バイト [7:0]
0x58	ADC_BQ11_N0_BYT1[7:0]	0x7F	プログラム可能な ADC バイクワッド 11、N0 係数バイト [31:24]
0x59	ADC_BQ11_N0_BYT2[7:0]	0xFF	プログラム可能な ADC バイクワッド 11、N0 係数バイト [23:16]
0x5A	ADC_BQ11_N0_BYT3[7:0]	0xFF	プログラム可能な ADC バイクワッド 11、N0 係数バイト [15:8]
0x5B	ADC_BQ11_N0_BYT4[7:0]	0xFF	プログラム可能な ADC バイクワッド 11、N0 係数バイト [7:0]
0x5C	ADC_BQ11_N1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 11、N1 係数バイト [31:24]
0x5D	ADC_BQ11_N1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 11、N1 係数バイト [23:16]
0x5E	ADC_BQ11_N1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 11、N1 係数バイト [15:8]
0x5F	ADC_BQ11_N1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 11、N1 係数バイト [7:0]
0x60	ADC_BQ11_N2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 11、N2 係数バイト [31:24]
0x61	ADC_BQ11_N2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 11、N2 係数バイト [23:16]
0x62	ADC_BQ11_N2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 11、N2 係数バイト [15:8]
0x63	ADC_BQ11_N2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 11、N2 係数バイト [7:0]
0x64	ADC_BQ11_D1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 11、D1 係数バイト [31:24]
0x65	ADC_BQ11_D1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 11、D1 係数バイト [23:16]
0x66	ADC_BQ11_D1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 11、D1 係数バイト [15:8]
0x67	ADC_BQ11_D1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 11、D1 係数バイト [7:0]
0x68	ADC_BQ11_D2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 11、D2 係数バイト [31:24]
0x69	ADC_BQ11_D2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 11、D2 係数バイト [23:16]
0x6A	ADC_BQ11_D2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 11、D2 係数バイト [15:8]
0x6B	ADC_BQ11_D2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 11、D2 係数バイト [7:0]
0x6C	ADC_BQ12_N0_BYT1[7:0]	0x7F	プログラム可能な ADC バイクワッド 12、N0 係数バイト [31:24]
0x6D	ADC_BQ12_N0_BYT2[7:0]	0xFF	プログラム可能な ADC バイクワッド 12、N0 係数バイト [23:16]
0x6E	ADC_BQ12_N0_BYT3[7:0]	0xFF	プログラム可能な ADC バイクワッド 12、N0 係数バイト [15:8]
0x6F	ADC_BQ12_N0_BYT4[7:0]	0xFF	プログラム可能な ADC バイクワッド 12、N0 係数バイト [7:0]
0x70	ADC_BQ12_N1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 12、N1 係数バイト [31:24]
0x71	ADC_BQ12_N1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 12、N1 係数バイト [23:16]
0x72	ADC_BQ12_N1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 12、N1 係数バイト [15:8]
0x73	ADC_BQ12_N1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 12、N1 係数バイト [7:0]
0x74	ADC_BQ12_N2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 12、N2 係数バイト [31:24]
0x75	ADC_BQ12_N2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 12、N2 係数バイト [23:16]
0x76	ADC_BQ12_N2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 12、N2 係数バイト [15:8]
0x77	ADC_BQ12_N2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 12、N2 係数バイト [7:0]
0x78	ADC_BQ12_D1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 12、D1 係数バイト [31:24]
0x79	ADC_BQ12_D1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 12、D1 係数バイト [23:16]
0x7A	ADC_BQ12_D1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 12、D1 係数バイト [15:8]
0x7B	ADC_BQ12_D1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 12、D1 係数バイト [7:0]
0x7C	ADC_BQ12_D2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 12、D2 係数バイト [31:24]

Copyright © 2025 Texas Instruments Incorporated

表 7-190. ページ 9 のプログラム可能な係数レジスタ (続き)

0x7D	ADC_BQ12_D2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 12、D2 係数バイト [23:16]
0x7E	ADC_BQ12_D2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 12、D2 係数バイト [15:8]
0x7F	ADC_BQ12_D2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 12、D2 係数バイト [7:0]

7.2.3 プログラム可能な係数レジスタ：ページ 10

表 7-191 に示すレジスタ ページは、ADC ミキサ 1 ～ 4、ADC ～ DAC ループバック ミキサ、ADC 1 次 IIR フィルタで構成されています。すべてのチャネル ミキサ係数は 32 ビットで、1.31 の数値形式を使用した 2 の補数です。0x7FFFFFFF の値は +1（0dB ゲイン）に相当し、0x00000000 の値はミュート（ゼロ データ）に相当します。その間のすべての値には、それに応じて計算されたミキサ減衰を設定します。（*hex2dec(value)/2*^{31}）。MSB を「1」に設定すると、減衰は同じままですが、信号位相は反転します。

表 7-191. ページ 10 のプログラム可能な係数レジスタ

アドレス	レジスタ	リセット	説明
0x00	PAGE[7:0]	0x00	デバイス ページ レジスタ
0x08	ADC_MIX1_CH1_BYT1[7:0]	0x7F	デジタルミキサ 1、ADC チャネル 1 係数バイト [31:24]
0x09	ADC_MIX1_CH1_BYT2[7:0]	0xFF	デジタルミキサ 1、ADC チャネル 1 係数バイト [23:16]
0x0A	ADC_MIX1_CH1_BYT3[7:0]	0xFF	デジタルミキサ 1、ADC チャネル 1 係数バイト [15:8]
0x0B	ADC_MIX1_CH1_BYT4[7:0]	0xFF	デジタルミキサ 1、ADC チャネル 1 係数バイト [7:0]
0x0C	ADC_MIX1_CH2_BYT1[7:0]	0x00	デジタルミキサ 1、ADC チャネル 2 係数バイト [31:24]
0x0D	ADC_MIX1_CH2_BYT2[7:0]	0x00	デジタルミキサ 1、ADC チャネル 2 係数バイト [23:16]
0x0E	ADC_MIX1_CH2_BYT3[7:0]	0x00	デジタルミキサ 1、ADC チャネル 2 係数バイト [15:8]
0x0F	ADC_MIX1_CH2_BYT4[7:0]	0x00	デジタルミキサ 1、ADC チャネル 2 係数バイト [7:0]
0x10	ADC_MIX1_CH3_BYT1[7:0]	0x00	デジタルミキサ 1、ADC チャネル 3 係数バイト [31:24]
0x11	ADC_MIX1_CH3_BYT2[7:0]	0x00	デジタルミキサ 1、ADC チャネル 3 係数バイト [23:16]
0x12	ADC_MIX1_CH3_BYT3[7:0]	0x00	デジタルミキサ 1、ADC チャネル 3 係数バイト [15:8]
0x13	ADC_MIX1_CH3_BYT4[7:0]	0x00	デジタルミキサ 1、ADC チャネル 3 係数バイト [7:0]
0x14	ADC_MIX1_CH4_BYT1[7:0]	0x00	デジタルミキサ 1、ADC チャネル 4 係数バイト [31:24]
0x15	ADC_MIX1_CH4_BYT2[7:0]	0x00	デジタルミキサ 1、ADC チャネル 4 係数バイト [23:16]
0x16	ADC_MIX1_CH4_BYT3[7:0]	0x00	デジタルミキサ 1、ADC チャネル 4 係数バイト [15:8]
0x17	ADC_MIX1_CH4_BYT4[7:0]	0x00	デジタルミキサ 1、ADC チャネル 4 係数バイト [7:0]
0x18	ADC_MIX2_CH1_BYT1[7:0]	0x00	デジタルミキサ 2、ADC チャネル 1 係数バイト [31:24]
0x19	ADC_MIX2_CH1_BYT2[7:0]	0x00	デジタルミキサ 2、ADC チャネル 1 係数バイト [23:16]
0x1A	ADC_MIX2_CH1_BYT3[7:0]	0x00	デジタルミキサ 2、ADC チャネル 1 係数バイト [15:8]
0x1B	ADC_MIX2_CH1_BYT4[7:0]	0x00	デジタルミキサ 2、ADC チャネル 1 係数バイト [7:0]
0x1C	ADC_MIX2_CH2_BYT1[7:0]	0x7F	デジタルミキサ 2、ADC チャネル 2 係数バイト [31:24]
0x1D	ADC_MIX2_CH2_BYT2[7:0]	0xFF	デジタルミキサ 2、ADC チャネル 2 係数バイト [23:16]
0x1E	ADC_MIX2_CH2_BYT3[7:0]	0xFF	デジタルミキサ 2、ADC チャネル 2 係数バイト [15:8]
0x1F	ADC_MIX2_CH2_BYT4[7:0]	0xFF	デジタルミキサ 2、ADC チャネル 2 係数バイト [7:0]
0x20	ADC_MIX2_CH3_BYT1[7:0]	0x00	デジタルミキサ 2、ADC チャネル 3 係数バイト [31:24]
0x21	ADC_MIX2_CH3_BYT2[7:0]	0x00	デジタルミキサ 2、ADC チャネル 3 係数バイト [23:16]
0x22	ADC_MIX2_CH3_BYT3[7:0]	0x00	デジタルミキサ 2、ADC チャネル 3 係数バイト [15:8]
0x23	ADC_MIX2_CH3_BYT4[7:0]	0x00	デジタルミキサ 2、ADC チャネル 3 係数バイト [7:0]
0x24	ADC_MIX2_CH4_BYT1[7:0]	0x00	デジタルミキサ 2、ADC チャネル 4 係数バイト [31:24]
0x25	ADC_MIX2_CH4_BYT2[7:0]	0x00	デジタルミキサ 2、ADC チャネル 4 係数バイト [23:16]

Copyright © 2025 Texas Instruments Incorporated

表 7-191. ページ 10 のプログラム可能な係数レジスタ (続き)

0x26	ADC_MIX2_CH4_BYT3[7:0]	0x00	デジタルミキサ 2、ADC チャネル 4 係数バイト [15:8]
0x27	ADC_MIX2_CH4_BYT4[7:0]	0x00	デジタルミキサ 2、ADC チャネル 4 係数バイト [7:0]
0x28	ADC_MIX3_CH1_BYT1[7:0]	0x00	デジタルミキサ 3、ADC チャネル 1 係数バイト [31:24]
0x29	ADC_MIX3_CH1_BYT2[7:0]	0x00	デジタルミキサ 3、ADC チャネル 1 係数バイト [23:16]
0x2A	ADC_MIX3_CH1_BYT3[7:0]	0x00	デジタルミキサ 3、ADC チャネル 1 係数バイト [15:8]
0x2B	ADC_MIX3_CH1_BYT4[7:0]	0x00	デジタルミキサ 3、ADC チャネル 1 係数バイト [7:0]
0x2C	ADC_MIX3_CH2_BYT1[7:0]	0x00	デジタルミキサ 3、ADC チャネル 2 係数バイト [31:24]
0x2D	ADC_MIX3_CH2_BYT2[7:0]	0x00	デジタルミキサ 3、ADC チャネル 2 係数バイト [23:16]
0x2E	ADC_MIX3_CH2_BYT3[7:0]	0x00	デジタルミキサ 3、ADC チャネル 2 係数バイト [15:8]
0x2F	ADC_MIX3_CH2_BYT4[7:0]	0x00	デジタルミキサ 3、ADC チャネル 2 係数バイト [7:0]
0x30	ADC_MIX3_CH3_BYT1[7:0]	0x7F	デジタルミキサ 3、ADC チャネル 3 係数バイト [31:24]
0x31	ADC_MIX3_CH3_BYT2[7:0]	0xFF	デジタルミキサ 3、ADC チャネル 3 係数バイト [23:16]
0x32	ADC_MIX3_CH3_BYT3[7:0]	0xFF	デジタルミキサ 3、ADC チャネル 3 係数バイト [15:8]
0x33	ADC_MIX3_CH3_BYT4[7:0]	0xFF	デジタルミキサ 3、ADC チャネル 3 係数バイト [7:0]
0x34	ADC_MIX3_CH4_BYT1[7:0]	0x00	デジタルミキサ 3、ADC チャネル 4 係数バイト [31:24]
0x35	ADC_MIX3_CH4_BYT2[7:0]	0x00	デジタルミキサ 3、ADC チャネル 4 係数バイト [23:16]
0x36	ADC_MIX3_CH4_BYT3[7:0]	0x00	デジタルミキサ 3、ADC チャネル 4 係数バイト [15:8]
0x37	ADC_MIX3_CH4_BYT4[7:0]	0x00	デジタルミキサ 3、ADC チャネル 4 係数バイト [7:0]
0x38	ADC_MIX4_CH1_BYT1[7:0]	0x00	デジタルミキサ 4、ADC チャネル 1 係数バイト [31:24]
0x39	ADC_MIX4_CH1_BYT2[7:0]	0x00	デジタルミキサ 4、ADC チャネル 1 係数バイト [23:16]
0x3A	ADC_MIX4_CH1_BYT3[7:0]	0x00	デジタルミキサ 4、ADC チャネル 1 係数バイト [15:8]
0x3B	ADC_MIX4_CH1_BYT4[7:0]	0x00	デジタルミキサ 4、ADC チャネル 1 係数バイト [7:0]
0x3C	ADC_MIX4_CH2_BYT1[7:0]	0x00	デジタルミキサ 4、ADC チャネル 2 係数バイト [31:24]
0x3D	ADC_MIX4_CH2_BYT2[7:0]	0x00	デジタルミキサ 4、ADC チャネル 2 係数バイト [23:16]
0x3E	ADC_MIX4_CH2_BYT3[7:0]	0x00	デジタルミキサ 4、ADC チャネル 2 係数バイト [15:8]
0x3F	ADC_MIX4_CH2_BYT4[7:0]	0x00	デジタルミキサ 4、ADC チャネル 2 係数バイト [7:0]
0x40	ADC_MIX4_CH3_BYT1[7:0]	0x00	デジタルミキサ 4、ADC チャネル 3 係数バイト [31:24]
0x41	ADC_MIX4_CH3_BYT2[7:0]	0x00	デジタルミキサ 4、ADC チャネル 3 係数バイト [23:16]
0x42	ADC_MIX4_CH3_BYT3[7:0]	0x00	デジタルミキサ 4、ADC チャネル 3 係数バイト [15:8]
0x43	ADC_MIX4_CH3_BYT4[7:0]	0x00	デジタルミキサ 4、ADC チャネル 3 係数バイト [7:0]
0x44	ADC_MIX4_CH4_BYT1[7:0]	0x7F	デジタルミキサ 4、ADC チャネル 4 係数バイト [31:24]
0x45	ADC_MIX4_CH4_BYT2[7:0]	0xFF	デジタルミキサ 4、ADC チャネル 4 係数バイト [23:16]
0x46	ADC_MIX4_CH4_BYT3[7:0]	0xFF	デジタルミキサ 4、ADC チャネル 4 係数バイト [15:8]
0x47	ADC_MIX4_CH4_BYT4[7:0]	0xFF	デジタルミキサ 4、ADC チャネル 4 係数バイト [7:0]
0x48	ADC_LB_MIX1_CH1_BYT1[7:0]	0x7F	デジタルループバック (ADC から DAC)ミキサ 1、ADC チャネル 1 係数バイト [31:24]
0x49	ADC_LB_MIX1_CH1_BYT2[7:0]	0xFF	デジタルループバック(ADC から DAC)ミキサ 1、ADC チャネル 1 係数バイト [23:16]
0x4A	ADC_LB_MIX1_CH1_BYT3[7:0]	0xFF	デジタルループバック (ADC から DAC)ミキサ 1、ADC チャネル 1 係数バイト [15:8]
0x4B	ADC_LB_MIX1_CH1_BYT4[7:0]	0xFF	デジタルループバック (ADC から DAC)ミキサ 1、ADC チャネル 1 係数バイト [7:0]
0x4C	ADC_LB_MIX1_CH2_BYT1[7:0]	0x00	デジタルループバック(ADC から DAC)ミキサ 1、ADC チャネル 2 係数バイト [31:24]

Copyright © 2025 Texas Instruments Incorporated

表 7-191. ページ 10 のプログラム可能な係数レジスタ (続き)

0x4D	ADC_LB_MIX1_CH2_BYT2[7:0]	0x00	デジタルループバック(ADC から DAC)ミキサ 1、ADC チャネル 2 係数バイト [23:16]
0x4E	ADC_LB_MIX1_CH2_BYT3[7:0]	0x00	デジタルループバック(ADC から DAC)ミキサ 1、ADC チャネル 2 係数バイト [15:8]
0x4F	ADC_LB_MIX1_CH2_BYT4[7:0]	0x00	デジタルループバック(ADC から DAC)ミキサ 1、ADC チャネル 2 係数バイト [7:0]
0x50	ADC_LB_MIX1_CH3_BYT1[7:0]	0x00	デジタルループバック(ADC から DAC)ミキサ 1、ADC チャネル 3 係数バイト [31:24]
0x51	ADC_LB_MIX1_CH3_BYT2[7:0]	0x00	デジタルループバック(ADC から DAC)ミキサ 1、ADC チャネル 3 係数バイト [23:16]
0x52	ADC_LB_MIX1_CH3_BYT3[7:0]	0x00	デジタルループバック(ADC から DAC)ミキサ 1、ADC チャネル 3 係数バイト [15:8]
0x53	ADC_LB_MIX1_CH3_BYT4[7:0]	0x00	デジタルループバック(ADC から DAC)ミキサ 1、ADC チャネル 3 係数バイト [7:0]
0x54	ADC_LB_MIX1_CH4_BYT1[7:0]	0x00	デジタルループバック(ADC から DAC)ミキサ 1、ADC チャネル 4 係数バイト [31:24]
0x55	ADC_LB_MIX1_CH4_BYT2[7:0]	0x00	デジタルループバック(ADC から DAC)ミキサ 1、ADC チャネル 4 係数バイト [23:16]
0x56	ADC_LB_MIX1_CH4_BYT3[7:0]	0x00	デジタルループバック(ADC から DAC)ミキサ 1、ADC チャネル 4 係数バイト [15:8]
0x57	ADC_LB_MIX1_CH4_BYT4[7:0]	0x00	デジタルループバック(ADC から DAC)ミキサ 1、ADC チャネル 4 係数バイト [7:0]
0x58	ADC_LB_MIX2_CH1_BYT1[7:0]	0x00	デジタルループバック(ADC から DAC)ミキサ 2、ADC チャネル 1 係数バイト [31:24]
0x59	ADC_LB_MIX2_CH1_BYT2[7:0]	0x00	デジタルループバック(ADC から DAC)ミキサ 2、ADC チャネル 1 係数バイト [23:16]
0x5A	ADC_LB_MIX2_CH1_BYT3[7:0]	0x00	デジタルループバック(ADC から DAC)ミキサ 2、ADC チャネル 1 係数バイト [15:8]
0x5B	ADC_LB_MIX2_CH1_BYT4[7:0]	0x00	デジタルループバック(ADC から DAC)ミキサ 2、ADC チャネル 1 係数バイト [7:0]
0x5C	ADC_LB_MIX2_CH2_BYT1[7:0]	0x7F	デジタルループバック(ADC から DAC へ)ミキサ 2、ADC チャネル 2 係数バイト [31:24]
0x5D	ADC_LB_MIX2_CH2_BYT2[7:0]	0xFF	デジタルループバック(ADC から DAC)ミキサ 2、ADC チャネル 2 係数バイト [23:16]
0x5E	ADC_LB_MIX2_CH2_BYT3[7:0]	0xFF	デジタルループバック(ADC から DAC へ)ミキサ 2、ADC チャネル 2 係数バイト [15:8]
0x5F	ADC_LB_MIX2_CH2_BYT4[7:0]	0xFF	デジタルループバック(ADC から DAC へ)ミキサ 2、ADC チャネル 2 係数バイト [7:0]
0x60	ADC_LB_MIX2_CH3_BYT1[7:0]	0x00	デジタルループバック(ADC から DAC)ミキサ 2、ADC チャネル 3 係数バイト [31:24]
0x61	ADC_LB_MIX2_CH3_BYT2[7:0]	0x00	デジタルループバック(ADC から DAC)ミキサ 2、ADC チャネル 3 係数バイト[23:16]
0x62	ADC_LB_MIX2_CH3_BYT3[7:0]	0x00	デジタルループバック(ADC から DAC)ミキサ 2、ADC チャネル 3 係数バイト [15:8]
0x63	ADC_LB_MIX2_CH3_BYT4[7:0]	0x00	デジタルループバック(ADC から DAC)ミキサ 2、ADC チャネル 3 係数バイト [7:0]
0x64	ADC_LB_MIX2_CH4_BYT1[7:0]	0x00	デジタルループバック(ADC から DAC)ミキサ 2、ADC チャネル 4 係数バイト [31:24]
0x65	ADC_LB_MIX2_CH4_BYT2[7:0]	0x00	デジタルループバック(ADC から DAC)ミキサ 2、ADC チャネル 4 係数バイト[23:16]

表 7-191. ページ 10 のプログラム可能な係数レジスタ (続き)

0x66	ADC_LB_MIX2_CH4_BYT3[7:0]	0x00	デジタルループバック(ADC から DAC)ミキサ 2、ADC チャネル 4 係数バイト [15:8]
0x67	ADC_LB_MIX2_CH4_BYT4[7:0]	0x00	デジタルループバック(ADC から DAC)ミキサ 2、ADC チャネル 4 係数バイト [7:0]
0x78	ADC_IIR_N0_BYT1[7:0]	0x7F	プログラム可能 ADC 一次 IIR、N0 係数バイト [31:24]
0x79	ADC_IIR_N0_BYT2[7:0]	0xFF	プログラム可能 ADC 一次 IIR、N0 係数バイト [23:16]
0x7A	ADC_IIR_N0_BYT3[7:0]	0xFF	プログラム可能 ADC 一次 IIR、N0 係数バイト [15:8]
0x7B	ADC_IIR_N0_BYT4[7:0]	0xFF	プログラム可能 ADC 一次 IIR、N0 係数バイト [7:0]
0x7C	ADC_IIR_N1_BYT1[7:0]	0x00	プログラム可能 ADC 一次 IIR、N1 係数バイト [31:24]
0x7D	ADC_IIR_N1_BYT2[7:0]	0x00	プログラム可能 ADC 一次 IIR、N1 係数バイト [23:16]
0x7E	ADC_IIR_N1_BYT3[7:0]	0x00	プログラム可能 ADC 一次 IIR、N1 係数バイト [15:8]
0x7F	ADC_IIR_N1_BYT4[7:0]	0x00	プログラム可能 ADC 一次 IIR、N1 係数バイト [7:0]

7.2.4 プログラム可能な係数レジスタ：ページ 11

表 7-192 に示すこのレジスタ ページは、ADC 一次 IIR フィルタ、チャネル 1 から 4 の ADC デジタル ボリューム コントロールと微調整ゲイン コントロール、ADC 補助ミキサ、UAD フィルタ用のプログラミング可能な係数で構成されています。

表 7-192. ページ 11 のプログラム可能な係数レジスタ

アドレス	レジスタ	リセット	説明
0x00	PAGE[7:0]	0x00	デバイス ページのレジスタ
0x08	ADC_IIR_D1_BYT1[7:0]	0x00	プログラム可能な ADC 一次 IIR、D1 係数バイト [31:24]
0x09	ADC_IIR_D1_BYT2[7:0]	0x00	プログラム可能な ADC 1 次 IIR、D1 係数バイト [23:16]
0x0A	ADC_IIR_D1_BYT3[7:0]	0x00	プログラム可能な ADC 一次 IIR、D1 係数バイト [15:8]
0x0B	ADC_IIR_D1_BYT4[7:0]	0x00	プログラム可能な ADC 一次 IIR、D1 係数バイト [7:0]
0x0C	DEV_BQ_BUFSWAP_FLAG_BYT1[7:0]	0x00	デバイス バイクワッド バッファ スワップ フラグ係数バイト [31:24]
0x0D	DEV_BQ_BUFSWAP_FLAG_BYT2[7:0]	0x00	デバイス バイクワッド バッファ スワップ フラグ係数バイト [23:16]
0x0E	DEV_BQ_BUFSWAP_FLAG_BYT3[7:0]	0x00	デバイス バイクワッド バッファ スワップ フラグ係数バイト [15:8]
0x0F	DEV_BQ_BUFSWAP_FLAG_BYT4[7:0]	0x00	デバイス バイクワッド バッファ スワップ フラグ係数バイト [7:0]
0x0C	ADC_VOL_CH1_BYT1[7:0]	0x00	デジタル ボリューム コントロール、ADC チャネル 1 の係数バイト [31:24]
0x0D	ADC_VOL_CH1_BYT2[7:0]	0x80	デジタル ボリューム コントロール、ADC チャネル 1 の係数バイト [23:16]
0x0E	ADC_VOL_CH1_BYT3[7:0]	0x00	デジタル ボリューム コントロール、ADC チャネル 1 の係数バイト [15:8]
0x0F	ADC_VOL_CH1_BYT4[7:0]	0x00	デジタル ボリューム コントロール、ADC チャネル 1 の係数バイト [7:0]
0x10	ADC_VOL_CH2_BYT1[7:0]	0x00	デジタル ボリューム コントロール、ADC チャネル 2 の係数バイト [31:24]
0x11	ADC_VOL_CH2_BYT2[7:0]	0x80	デジタル ボリューム コントロール、ADC チャネル 2 の係数バイト [23:16]
0x12	ADC_VOL_CH2_BYT3[7:0]	0x00	デジタル ボリューム コントロール、ADC チャネル 2 の係数バイト [15:8]
0x13	ADC_VOL_CH2_BYT4[7:0]	0x00	デジタル ボリューム コントロール、ADC チャネル 2 の係数バイト [7:0]

Copyright © 2025 Texas Instruments Incorporated

表 7-192. ページ 11 のプログラム可能な係数レジスタ (続き)

0x14	ADC_VOL_CH3_BYT1[7:0]	0x00	デジタル ボリューム コントロール、ADC チャネル 3 の係数バイト [31:24]
0x15	ADC_VOL_CH3_BYT2[7:0]	0x80	デジタル ボリューム コントロール、ADC チャネル 3 の係数バイト [23:16]
0x16	ADC_VOL_CH3_BYT3[7:0]	0x00	デジタル ボリューム コントロール、ADC チャネル 3 の係数バイト [15:8]
0x17	ADC_VOL_CH3_BYT4[7:0]	0x00	デジタル ボリューム コントロール、ADC チャネル 3 の係数バイト [7:0]
0x18	ADC_VOL_CH4_BYT1[7:0]	0x00	デジタル ボリューム コントロール、ADC チャネル 4 の係数バイト [31:24]
0x19	ADC_VOL_CH4_BYT2[7:0]	0x80	デジタル ボリューム コントロール、ADC チャネル 4 の係数バイト [23:16]
0x1A	ADC_VOL_CH4_BYT3[7:0]	0x00	デジタル ボリューム コントロール、ADC チャネル 4 の係数バイト [15:8]
0x1F	ADC_VOL_CH4_BYT4[7:0]	0x00	デジタル ボリューム コントロール、ADC チャネル 4 の係数バイト [7:0]
0x20	ADC_SF2_CH1_BYT1[7:0]	0x40	デジタル SF2（微調整ゲイン）制御、ADC チャネル 1 係数バイト [31:24]
0x21	ADC_SF2_CH1_BYT2[7:0]	0x00	デジタル SF2（微調整ゲイン）制御、ADC チャネル 1 係数バイト [23:16]
0x22	ADC_SF2_CH1_BYT3[7:0]	0x00	デジタル SF2（微調整ゲイン）制御、ADC チャネル 1 係数バイト [15:8]
0x23	ADC_SF2_CH1_BYT4[7:0]	0x00	デジタル SF2（微調整ゲイン）制御、ADC チャネル 1 係数バイト [7:0]
0x24	ADC_SF2_CH2_BYT1[7:0]	0x40	デジタル SF2（微調整ゲイン）制御、ADC チャネル 2 係数バイト [31:24]
0x25	ADC_SF2_CH2_BYT2[7:0]	0x00	デジタル SF2（微調整ゲイン）制御、ADC チャネル 2 係数バイト [23:16]
0x26	ADC_SF2_CH2_BYT3[7:0]	0x00	デジタル SF2（微調整ゲイン）制御、ADC チャネル 2 係数バイト [15:8]
0x27	ADC_SF2_CH2_BYT4[7:0]	0x00	デジタル SF2（微調整ゲイン）制御、ADC チャネル 2 係数バイト [7:0]
0x28	ADC_SF2_CH3_BYT1[7:0]	0x40	デジタル SF2（微調整ゲイン）制御、ADC チャネル 3 係数バイト [31:24]
0x29	ADC_SF2_CH3_BYT2[7:0]	0x00	デジタル SF2（微調整ゲイン）制御、ADC チャネル 3 係数バイト [23:16]
0x2A	ADC_SF2_CH3_BYT3[7:0]	0x00	デジタル SF2（微調整ゲイン）制御、ADC チャネル 3 係数バイト [15:8]
0x2B	ADC_SF2_CH3_BYT4[7:0]	0x00	デジタル SF2（微調整ゲイン）制御、ADC チャネル 3 係数バイト [7:0]
0x2C	ADC_SF2_CH4_BYT1[7:0]	0x40	デジタル SF2（微調整ゲイン）制御、ADC チャネル 4 係数バイト [31:24]
0x2D	ADC_SF2_CH4_BYT2[7:0]	0x00	デジタル SF2（微調整ゲイン）制御、ADC チャネル 4 係数バイト [23:16]
0x2E	ADC_SF2_CH4_BYT3[7:0]	0x00	デジタル SF2（微調整ゲイン）制御、ADC チャネル 4 係数バイト [15:8]
0x2F	ADC_SF2_CH4_BYT4[7:0]	0x00	デジタル SF2（微調整ゲイン）制御、ADC チャネル 4 係数バイト [7:0]
0x30	ADC_AUX_MIX_CH1_BYT1[7:0]	0x00	ADC 補助ミキサ CH1 係数バイト [31:24]
0x31	ADC_AUX_MIX_CH1_BYT2[7:0]	0x00	ADC 補助ミキサ CH1 係数バイト [23:16]

Copyright © 2025 Texas Instruments Incorporated

表 7-192. ページ 11 のプログラム可能な係数レジスタ (続き)

0x32	ADC_AUX_MIX_CH1_BYT3[7:0]	0x00	ADC 補助ミキサ CH1 係数バイト [15:8]
0x33	ADC_AUX_MIX_CH1_BYT4[7:0]	0x00	ADC 補助ミキサ CH1 係数バイト [7:0]
0x34	ADC_AUX_MIX_CH2_BYT1[7:0]	0x00	ADC 補助ミキサ CH2 係数バイト [31:24]
0x35	ADC_AUX_MIX_CH2_BYT2[7:0]	0x00	ADC 補助ミキサ CH2 係数バイト [23:16]
0x36	ADC_AUX_MIX_CH2_BYT3[7:0]	0x00	ADC 補助ミキサ CH2 係数バイト [15:8]
0x37	ADC_AUX_MIX_CH2_BYT4[7:0]	0x00	ADC 補助ミキサ CH2 係数バイト [7:0]
0x68	ADC_UAD_BPF_B0_BYT1[7:0]	0x07	UAD BQ B0 係数 [31:24]
0x69	ADC_UAD_BPF_B0_BYT2[7:0]	0xDF	UAD BQ B0 係数 [23:16]
0x6A	ADC_UAD_BPF_B0_BYT3[7:0]	0x9E	UAD BQ B0 係数 [15:8]
0x6B	ADC_UAD_BPF_B0_BYT4[7:0]	0x1D	UAD BQ B0 係数 [7:0]
0x6C	ADC_UAD_BPF_B1_BYT1[7:0]	0x00	UAD BQ B1 係数 [31:24]
0x6D	ADC_UAD_BPF_B1_BYT2[7:0]	0x00	UAD BQ B1 係数 [23:16]
0x6E	ADC_UAD_BPF_B1_BYT3[7:0]	0x00	UAD BQ B1 係数 [15:8]
0x6F	ADC_UAD_BPF_B1_BYT4[7:0]	0x00	UAD BQ B1 係数 [7:0]
0x70	ADC_UAD_BPF_B2_BYT1[7:0]	0xF8	UAD BQ B2 係数 [31:24]
0x71	ADC_UAD_BPF_B2_BYT2[7:0]	0x20	UAD BQ B2 係数 [23:16]
0x72	ADC_UAD_BPF_B2_BYT3[7:0]	0x61	UAD BQ B2 係数 [15:8]
0x73	ADC_UAD_BPF_B2_BYT4[7:0]	0xE2	UAD BQ B2 係数 [7:0]
0x74	ADC_UAD_BPF_A1_BYT1[7:0]	0x3C	UAD BQ A1 係数 [31:24]
0x75	ADC_UAD_BPF_A1_BYT2[7:0]	0x31	UAD BQ A1 係数 [23:16]
0x76	ADC_UAD_BPF_A1_BYT3[7:0]	0x2E	UAD BQ A1 係数 [15:8]
0x77	ADC_UAD_BPF_A1_BYT4[7:0]	0xF5	UAD BQ A1 係数 [7:0]
0x78	ADC_UAD_BPF_A2_BYT1[7:0]	0x70	UAD BQ A2 係数 [31:24]
0x79	ADC_UAD_BPF_A2_BYT2[7:0]	0x40	UAD BQ A2 係数 [23:16]
0x7A	ADC_UAD_BPF_A2_BYT3[7:0]	0xC3	UAD BQ A2 係数 [15:8]
0x7B	ADC_UAD_BPF_A2_BYT4[7:0]	0xC5	UAD BQ A2 係数 [7:0]

7.2.5 プログラム可能な係数レジスタ：ページ 15

表 7-193 に示すこのレジスタ ページは、DAC バイクワッド 1 ～ バイクワッド 6 フィルタのプログラム可能な係数で構成されています。

表 7-193. ページ 15 のプログラム可能な係数レジスタ

アドレス	レジスタ	リセット	説明
0x00	PAGE[7:0]	0x00	デバイス ページ レジスタ
0x08	DAC_BQ1_N0_BYT1[7:0]	0x7F	プログラム可能な DAC バイクワッド 1、N0 係数バイト [31:24]
0x09	DAC_BQ1_N0_BYT2[7:0]	0xFF	プログラム可能な DAC バイクワッド 1、N0 係数バイト [23:16]
0x0A	DAC_BQ1_N0_BYT3[7:0]	0xFF	プログラム可能な DAC バイクワッド 1、N0 係数バイト [15:8]
0x0B	DAC_BQ1_N0_BYT4[7:0]	0xFF	プログラム可能な DAC バイクワッド 1、N0 係数バイト [7:0]
0x0C	DAC_BQ1_N1_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 1、N1 係数バイト [31:24]
0x0D	DAC_BQ1_N1_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 1、N1 係数バイト [23:16]
0x0E	DAC_BQ1_N1_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 1、N1 係数バイト [15:8]

Copyright © 2025 Texas Instruments Incorporated

表 7-193. ページ 15 のプログラム可能な係数レジスタ (続き)

0x0F	DAC_BQ1_N1_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 1、N1 係数バイト [7:0]
0x10	DAC_BQ1_N2_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 1、N2 係数バイト [31:24]
0x11	DAC_BQ1_N2_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 1、N2 係数バイト [23:16]
0x12	DAC_BQ1_N2_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 1、N2 係数バイト [15:8]
0x13	DAC_BQ1_N2_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 1、N2 係数バイト [7:0]
0x14	DAC_BQ1_D1_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 1、D1 係数バイト [31:24]
0x15	DAC_BQ1_D1_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 1、D1 係数バイト [23:16]
0x16	DAC_BQ1_D1_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 1、D1 係数バイト [15:8]
0x17	DAC_BQ1_D1_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 1、D1 係数バイト [7:0]
0x18	DAC_BQ1_D2_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 1、D2 係数バイト [31:24]
0x19	DAC_BQ1_D2_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 1、D2 係数バイト [23:16]
0x1A	DAC_BQ1_D2_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 1、D2 係数バイト [15:8]
0x1B	DAC_BQ1_D2_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 1、D2 係数バイト [7:0]
0x1C	DAC_BQ2_N0_BYT1[7:0]	0x7F	プログラム可能な DAC バイクワッド 2、N0 係数バイト [31:24]
0x1D	DAC_BQ2_N0_BYT2[7:0]	0xFF	プログラム可能な DAC バイクワッド 2、N0 係数バイト [23:16]
0x1E	DAC_BQ2_N0_BYT3[7:0]	0xFF	プログラム可能な DAC バイクワッド 2、N0 係数バイト [15:8]
0x1F	DAC_BQ2_N0_BYT4[7:0]	0xFF	プログラム可能な DAC バイクワッド 2、N0 係数バイト [7:0]
0x20	DAC_BQ2_N1_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 2、N1 係数バイト [31:24]
0x21	DAC_BQ2_N1_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 2、N1 係数バイト [23:16]
0x22	DAC_BQ2_N1_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 2、N1 係数バイト [15:8]
0x23	DAC_BQ2_N1_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 2、N1 係数バイト [7:0]
0x24	DAC_BQ2_N2_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 2、N2 係数バイト [31:24]
0x25	DAC_BQ2_N2_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 2、N2 係数バイト [23:16]
0x26	DAC_BQ2_N2_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 2、N2 係数バイト [15:8]
0x27	DAC_BQ2_N2_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 2、N2 係数バイト [7:0]
0x28	DAC_BQ2_D1_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 2、D1 係数バイト [31:24]
0x29	DAC_BQ2_D1_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 2、D1 係数バイト [23:16]
0x2A	DAC_BQ2_D1_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 2、D1 係数バイト [15:8]
0x2B	DAC_BQ2_D1_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 2、D1 係数バイト [7:0]
0x2C	DAC_BQ2_D2_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 2、D2 係数バイト [31:24]
0x2D	DAC_BQ2_D2_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 2、D2 係数バイト [23:16]
0x2E	DAC_BQ2_D2_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 2、D2 係数バイト [15:8]
0x2F	DAC_BQ2_D2_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 2、D2 係数バイト [7:0]
0x30	DAC_BQ3_N0_BYT1[7:0]	0x7F	プログラム可能な DAC バイクワッド 3、N0 係数バイト [31:24]
0x31	DAC_BQ3_N0_BYT2[7:0]	0xFF	プログラム可能な DAC バイクワッド 3、N0 係数バイト [23:16]
0x32	DAC_BQ3_N0_BYT3[7:0]	0xFF	プログラム可能な DAC バイクワッド 3、N0 係数バイト [15:8]
0x33	DAC_BQ3_N0_BYT4[7:0]	0xFF	プログラム可能な DAC バイクワッド 3、N0 係数バイト [7:0]
0x34	DAC_BQ3_N1_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 3、N1 係数バイト [31:24]
0x35	DAC_BQ3_N1_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 3、N1 係数バイト [23:16]
0x36	DAC_BQ3_N1_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 3、N1 係数バイト [15:8]
0x37	DAC_BQ3_N1_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 3、N1 係数バイト [7:0]
0x38	DAC_BQ3_N2_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 3、N2 係数バイト [31:24]
0x39	DAC_BQ3_N2_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 3、N2 係数バイト [23:16]

Copyright © 2025 Texas Instruments Incorporated

表 7-193. ページ 15 のプログラム可能な係数レジスタ (続き)

0x3A	DAC_BQ3_N2_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 3、N2 係数バイト [15:8]
0x3B	DAC_BQ3_N2_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 3、N2 係数バイト [7:0]
0x3C	DAC_BQ3_D1_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 3、D1 係数バイト [31:24]
0x3D	DAC_BQ3_D1_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 3、D1 係数バイト [23:16]
0x3E	DAC_BQ3_D1_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 3、D1 係数バイト [15:8]
0x3F	DAC_BQ3_D1_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 3、D1 係数バイト [7:0]
0x40	DAC_BQ3_D2_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 3、D2 係数バイト [31:24]
0x41	DAC_BQ3_D2_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 3、D2 係数バイト [23:16]
0x42	DAC_BQ3_D2_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 3、D2 係数バイト [15:8]
0x43	DAC_BQ3_D2_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 3、D2 係数バイト [7:0]
0x44	DAC_BQ4_N0_BYT1[7:0]	0x7F	プログラム可能な DAC バイクワッド 4、N0 係数バイト [31:24]
0x45	DAC_BQ4_N0_BYT2[7:0]	0xFF	プログラム可能な DAC バイクワッド 4、N0 係数バイト [23:16]
0x46	DAC_BQ4_N0_BYT3[7:0]	0xFF	プログラム可能な DAC バイクワッド 4、N0 係数バイト [15:8]
0x47	DAC_BQ4_N0_BYT4[7:0]	0xFF	プログラム可能な DAC バイクワッド 4、N0 係数バイト [7:0]
0x48	DAC_BQ4_N1_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 4、N1 係数バイト [31:24]
0x49	DAC_BQ4_N1_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 4、N1 係数バイト [23:16]
0x4A	DAC_BQ4_N1_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 4、N1 係数バイト [15:8]
0x4B	DAC_BQ4_N1_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 4、N1 係数バイト [7:0]
0x4C	DAC_BQ4_N2_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 4、N2 係数バイト [31:24]
0x4D	DAC_BQ4_N2_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 4、N2 係数バイト [23:16]
0x4E	DAC_BQ4_N2_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 4、N2 係数バイト [15:8]
0x4F	DAC_BQ4_N2_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 4、N2 係数バイト [7:0]
0x50	DAC_BQ4_D1_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 4、D1 係数バイト [31:24]
0x51	DAC_BQ4_D1_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 4、D1 係数バイト [23:16]
0x52	DAC_BQ4_D1_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 4、D1 係数バイト [15:8]
0x53	DAC_BQ4_D1_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 4、D1 係数バイト [7:0]
0x54	DAC_BQ4_D2_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 4、D2 係数バイト [31:24]
0x55	DAC_BQ4_D2_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 4、D2 係数バイト [23:16]
0x56	DAC_BQ4_D2_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 4、D2 係数バイト [15:8]
0x57	DAC_BQ4_D2_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 4、D2 係数バイト [7:0]
0x58	DAC_BQ5_N0_BYT1[7:0]	0x7F	プログラム可能な DAC バイクワッド 5、N0 係数バイト [31:24]
0x59	DAC_BQ5_N0_BYT2[7:0]	0xFF	プログラム可能な DAC バイクワッド 5、N0 係数バイト [23:16]
0x5A	DAC_BQ5_N0_BYT3[7:0]	0xFF	プログラム可能な DAC バイクワッド 5、N0 係数バイト [15:8]
0x5B	DAC_BQ5_N0_BYT4[7:0]	0xFF	プログラム可能な DAC バイクワッド 5、N0 係数バイト [7:0]
0x5C	DAC_BQ5_N1_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 5、N1 係数バイト [31:24]
0x5D	DAC_BQ5_N1_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 5、N1 係数バイト [23:16]
0x5E	DAC_BQ5_N1_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 5、N1 係数バイト [15:8]
0x5F	DAC_BQ5_N1_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 5、N1 係数バイト [7:0]
0x60	DAC_BQ5_N2_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 5、N2 係数バイト [31:24]
0x61	DAC_BQ5_N2_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 5、N2 係数バイト [23:16]
0x62	DAC_BQ5_N2_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 5、N2 係数バイト [15:8]
0x63	DAC_BQ5_N2_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 5、N2 係数バイト [7:0]
0x64	DAC_BQ5_D1_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 5、D1 係数バイト [31:24]

Copyright © 2025 Texas Instruments Incorporated

表 7-193. ページ 15 のプログラム可能な係数レジスタ (続き)

0x65	DAC_BQ5_D1_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 5、D1 係数バイト [23:16]
0x66	DAC_BQ5_D1_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 5、D1 係数バイト [15:8]
0x67	DAC_BQ5_D1_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 5、D1 係数バイト [7:0]
0x68	DAC_BQ5_D2_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 5、D2 係数バイト [31:24]
0x69	DAC_BQ5_D2_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 5、D2 係数バイト [23:16]
0x6A	DAC_BQ5_D2_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 5、D2 係数バイト [15:8]
0x6B	DAC_BQ5_D2_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 5、D2 係数バイト [7:0]
0x6C	DAC_BQ6_N0_BYT1[7:0]	0x7F	プログラム可能な DAC バイクワッド 6、N0 係数バイト [31:24]
0x6D	DAC_BQ6_N0_BYT2[7:0]	0xFF	プログラム可能な DAC バイクワッド 6、N0 係数バイト [23:16]
0x6E	DAC_BQ6_N0_BYT3[7:0]	0xFF	プログラム可能な DAC バイクワッド 6、N0 係数バイト [15:8]
0x6F	DAC_BQ6_N0_BYT4[7:0]	0xFF	プログラム可能な DAC バイクワッド 6、N0 係数バイト [7:0]
0x70	DAC_BQ6_N1_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 6、N1 係数バイト [31:24]
0x71	DAC_BQ6_N1_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 6、N1 係数バイト [23:16]
0x72	DAC_BQ6_N1_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 6、N1 係数バイト [15:8]
0x73	DAC_BQ6_N1_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 6、N1 係数バイト [7:0]
0x74	DAC_BQ6_N2_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 6、N2 係数バイト [31:24]
0x75	DAC_BQ6_N2_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 6、N2 係数バイト [23:16]
0x76	DAC_BQ6_N2_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 6、N2 係数バイト [15:8]
0x77	DAC_BQ6_N2_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 6、N2 係数バイト [7:0]
0x78	DAC_BQ6_D1_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 6、D1 係数バイト [31:24]
0x79	DAC_BQ6_D1_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 6、D1 係数バイト [23:16]
0x7A	DAC_BQ6_D1_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 6、D1 係数バイト [15:8]
0x7B	DAC_BQ6_D1_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 6、D1 係数バイト [7:0]
0x7C	DAC_BQ6_D2_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 6、D2 係数バイト [31:24]
0x7D	DAC_BQ6_D2_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 6、D2 係数バイト [23:16]
0x7E	DAC_BQ6_D2_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 6、D2 係数バイト [15:8]
0x7F	DAC_BQ6_D2_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 6、D2 係数バイト [7:0]

7.2.6 プログラム可能な係数レジスタ：ページ 16

セクション 7.2.6 に示すこのレジスタ ページは、DAC バイクワッド 7 ~ バイクワッド 12 フィルタのプログラム可能な係数で構成されています。

表 7-194. ページ 16 のプログラム可能な係数レジスタ

アドレス	レジスタ	リセット	説明
0x00	PAGE[7:0]	0x00	デバイス ページ レジスタ
0x08	DAC_BQ7_N0_BYT1[7:0]	0x7F	プログラム可能な DAC バイクワッド 7、N0 係数バイト [31:24]
0x09	DAC_BQ7_N0_BYT2[7:0]	0xFF	プログラム可能な DAC バイクワッド 7、N0 係数バイト [23:16]
0x0A	DAC_BQ7_N0_BYT3[7:0]	0xFF	プログラム可能な DAC バイクワッド 7、N0 係数バイト [15:8]
0x0B	DAC_BQ7_N0_BYT4[7:0]	0xFF	プログラム可能な DAC バイクワッド 7、N0 係数バイト [7:0]
0x0C	DAC_BQ7_N1_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 7、N1 係数バイト [31:24]
0x0D	DAC_BQ7_N1_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 7、N1 係数バイト [23:16]
0x0E	DAC_BQ7_N1_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 7、N1 係数バイト [15:8]
0x0F	DAC_BQ7_N1_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 7、N1 係数バイト [7:0]
0x10	DAC_BQ7_N2_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 7、N2 係数バイト [31:24]

表 7-194. ページ 16 のプログラム可能な係数レジスタ (続き)

0x11	DAC_BQ7_N2_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 7、N2 係数バイト [23:16]
0x12	DAC_BQ7_N2_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 7、N2 係数バイト [15:8]
0x13	DAC_BQ7_N2_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 7、N2 係数バイト [7:0]
0x14	DAC_BQ7_D1_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 7、D1 係数バイト [31:24]
0x15	DAC_BQ7_D1_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 7、D1 係数バイト [23:16]
0x16	DAC_BQ7_D1_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 7、D1 係数バイト [15:8]
0x17	DAC_BQ7_D1_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 7、D1 係数バイト [7:0]
0x18	DAC_BQ7_D2_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 7、D2 係数バイト [31:24]
0x19	DAC_BQ7_D2_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 7、D2 係数バイト [23:16]
0x1A	DAC_BQ7_D2_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 7、D2 係数バイト [15:8]
0x1B	DAC_BQ7_D2_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 7、D2 係数バイト [7:0]
0x1C	DAC_BQ8_N0_BYT1[7:0]	0x7F	プログラム可能な DAC バイクワッド 8、N0 係数バイト [31:24]
0x1D	DAC_BQ8_N0_BYT2[7:0]	0xFF	プログラム可能な DAC バイクワッド 8、N0 係数バイト [23:16]
0x1E	DAC_BQ8_N0_BYT3[7:0]	0xFF	プログラム可能な DAC バイクワッド 8、N0 係数バイト [15:8]
0x1F	DAC_BQ8_N0_BYT4[7:0]	0xFF	プログラム可能な DAC バイクワッド 8、N0 係数バイト [7:0]
0x20	DAC_BQ8_N1_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 8、N1 係数バイト [31:24]
0x21	DAC_BQ8_N1_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 8、N1 係数バイト [23:16]
0x22	DAC_BQ8_N1_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 8、N1 係数バイト [15:8]
0x23	DAC_BQ8_N1_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 8、N1 係数バイト [7:0]
0x24	DAC_BQ8_N2_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 8、N2 係数バイト [31:24]
0x25	DAC_BQ8_N2_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 8、N2 係数バイト [23:16]
0x26	DAC_BQ8_N2_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 8、N2 係数バイト [15:8]
0x27	DAC_BQ8_N2_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 8、N2 係数バイト [7:0]
0x28	DAC_BQ8_D1_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 8、D1 係数バイト [31:24]
0x29	DAC_BQ8_D1_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 8、D1 係数バイト [23:16]
0x2A	DAC_BQ8_D1_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 8、D1 係数バイト [15:8]
0x2B	DAC_BQ8_D1_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 8、D1 係数バイト [7:0]
0x2C	DAC_BQ8_D2_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 8、D2 係数バイト [31:24]
0x2D	DAC_BQ8_D2_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 8、D2 係数バイト [23:16]
0x2E	DAC_BQ8_D2_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 8、D2 係数バイト [15:8]
0x2F	DAC_BQ8_D2_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 8、D2 係数バイト [7:0]
0x30	DAC_BQ9_N0_BYT1[7:0]	0x7F	プログラム可能な DAC バイクワッド 9、N0 係数バイト [31:24]
0x31	DAC_BQ9_N0_BYT2[7:0]	0xFF	プログラム可能な DAC バイクワッド 9、N0 係数バイト [23:16]
0x32	DAC_BQ9_N0_BYT3[7:0]	0xFF	プログラム可能な DAC バイクワッド 9、N0 係数バイト [15:8]
0x33	DAC_BQ9_N0_BYT4[7:0]	0xFF	プログラム可能な DAC バイクワッド 9、N0 係数バイト [7:0]
0x34	DAC_BQ9_N1_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 9、N1 係数バイト [31:24]
0x35	DAC_BQ9_N1_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 9、N1 係数バイト [23:16]
0x36	DAC_BQ9_N1_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 9、N1 係数バイト [15:8]
0x37	DAC_BQ9_N1_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 9、N1 係数バイト [7:0]
0x38	DAC_BQ9_N2_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 9、N2 係数バイト [31:24]
0x39	DAC_BQ9_N2_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 9、N2 係数バイト [23:16]
0x3A	DAC_BQ9_N2_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 9、N2 係数バイト [15:8]
0x3B	DAC_BQ9_N2_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 9、N2 係数バイト [7:0]

Copyright © 2025 Texas Instruments Incorporated

表 7-194. ページ 16 のプログラム可能な係数レジスタ (続き)

0x3C	DAC_BQ9_D1_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 9、D1 係数バイト [31:24]
0x3D	DAC_BQ9_D1_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 9、D1 係数バイト [23:16]
0x3E	DAC_BQ9_D1_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 9、D1 係数バイト [15:8]
0x3F	DAC_BQ9_D1_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 9、D1 係数バイト [7:0]
0x40	DAC_BQ9_D2_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 9、D2 係数バイト [31:24]
0x41	DAC_BQ9_D2_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 9、D2 係数バイト [23:16]
0x42	DAC_BQ9_D2_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 9、D2 係数バイト [15:8]
0x43	DAC_BQ9_D2_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 9、D2 係数バイト [7:0]
0x44	DAC_BQ10_N0_BYT1[7:0]	0x7F	プログラム可能な DAC バイクワッド 10、N0 係数バイト [31:24]
0x45	DAC_BQ10_N0_BYT2[7:0]	0xFF	プログラム可能な DAC バイクワッド 10、N0 係数バイト [23:16]
0x46	DAC_BQ10_N0_BYT3[7:0]	0xFF	プログラム可能な DAC バイクワッド 10、N0 係数バイト [15:8]
0x47	DAC_BQ10_N0_BYT4[7:0]	0xFF	プログラム可能な DAC バイクワッド 10、N0 係数バイト [7:0]
0x48	DAC_BQ10_N1_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 10、N1 係数バイト [31:24]
0x49	DAC_BQ10_N1_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 10、N1 係数バイト [23:16]
0x4A	DAC_BQ10_N1_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 10、N1 係数バイト [15:8]
0x4B	DAC_BQ10_N1_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 10、N1 係数バイト [7:0]
0x4C	DAC_BQ10_N2_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 10、N2 係数バイト [31:24]
0x4D	DAC_BQ10_N2_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 10、N2 係数バイト [23:16]
0x4E	DAC_BQ10_N2_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 10、N2 係数バイト [15:8]
0x4F	DAC_BQ10_N2_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 10、N2 係数バイト [7:0]
0x50	DAC_BQ10_D1_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 10、D1 係数バイト [31:24]
0x51	DAC_BQ10_D1_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 10、D1 係数バイト [23:16]
0x52	DAC_BQ10_D1_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 10、D1 係数バイト [15:8]
0x53	DAC_BQ10_D1_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 10、D1 係数バイト [7:0]
0x54	DAC_BQ10_D2_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 10、D2 係数バイト [31:24]
0x55	DAC_BQ10_D2_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 10、D2 係数バイト [23:16]
0x56	DAC_BQ10_D2_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 10、D2 係数バイト [15:8]
0x57	DAC_BQ10_D2_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 10、D2 係数バイト [7:0]
0x58	DAC_BQ11_N0_BYT1[7:0]	0x7F	プログラム可能な DAC バイクワッド 11、N0 係数バイト [31:24]
0x59	DAC_BQ11_N0_BYT2[7:0]	0xFF	プログラム可能な DAC バイクワッド 11、N0 係数バイト [23:16]
0x5A	DAC_BQ11_N0_BYT3[7:0]	0xFF	プログラム可能な DAC バイクワッド 11、N0 係数バイト [15:8]
0x5B	DAC_BQ11_N0_BYT4[7:0]	0xFF	プログラム可能な DAC バイクワッド 11、N0 係数バイト [7:0]
0x5C	DAC_BQ11_N1_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 11、N1 係数バイト [31:24]
0x5D	DAC_BQ11_N1_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 11、N1 係数バイト [23:16]
0x5E	DAC_BQ11_N1_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 11、N1 係数バイト [15:8]
0x5F	DAC_BQ11_N1_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 11、N1 係数バイト [7:0]
0x60	DAC_BQ11_N2_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 11、N2 係数バイト [31:24]
0x61	DAC_BQ11_N2_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 11、N2 係数バイト [23:16]
0x62	DAC_BQ11_N2_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 11、N2 係数バイト [15:8]
0x63	DAC_BQ11_N2_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 11、N2 係数バイト [7:0]
0x64	DAC_BQ11_D1_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 11、D1 係数バイト [31:24]
0x65	DAC_BQ11_D1_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 11、D1 係数バイト [23:16]
0x66	DAC_BQ11_D1_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 11、D1 係数バイト [15:8]

表 7-194. ページ 16 のプログラム可能な係数レジスタ (続き)

0x67	DAC_BQ11_D1_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 11、D1 係数バイト [7:0]
0x68	DAC_BQ11_D2_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 11、D2 係数バイト [31:24]
0x69	DAC_BQ11_D2_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 11、D2 係数バイト [23:16]
0x6A	DAC_BQ11_D2_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 11、D2 係数バイト [15:8]
0x6B	DAC_BQ11_D2_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 11、D2 係数バイト [7:0]
0x6C	DAC_BQ12_N0_BYT1[7:0]	0x7F	プログラム可能な DAC バイクワッド 12、N0 係数バイト [31:24]
0x6D	DAC_BQ12_N0_BYT2[7:0]	0xFF	プログラム可能な DAC バイクワッド 12、N0 係数バイト [23:16]
0x6E	DAC_BQ12_N0_BYT3[7:0]	0xFF	プログラム可能な DAC バイクワッド 12、N0 係数バイト [15:8]
0x6F	DAC_BQ12_N0_BYT4[7:0]	0xFF	プログラム可能な DAC バイクワッド 12、N0 係数バイト [7:0]
0x70	DAC_BQ12_N1_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 12、N1 係数バイト [31:24]
0x71	DAC_BQ12_N1_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 12、N1 係数バイト [23:16]
0x72	DAC_BQ12_N1_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 12、N1 係数バイト [15:8]
0x73	DAC_BQ12_N1_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 12、N1 係数バイト [7:0]
0x74	DAC_BQ12_N2_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 12、N2 係数バイト [31:24]
0x75	DAC_BQ12_N2_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 12、N2 係数バイト [23:16]
0x76	DAC_BQ12_N2_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 12、N2 係数バイト [15:8]
0x77	DAC_BQ12_N2_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 12、N2 係数バイト [7:0]
0x78	DAC_BQ12_D1_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 12、D1 係数バイト [31:24]
0x79	DAC_BQ12_D1_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 12、D1 係数バイト [23:16]
0x7A	DAC_BQ12_D1_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 12、D1 係数バイト [15:8]
0x7B	DAC_BQ12_D1_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 12、D1 係数バイト [7:0]
0x7C	DAC_BQ12_D2_BYT1[7:0]	0x00	プログラム可能な DAC バイクワッド 12、D2 係数バイト [31:24]
0x7D	DAC_BQ12_D2_BYT2[7:0]	0x00	プログラム可能な DAC バイクワッド 12、D2 係数バイト [23:16]
0x7E	DAC_BQ12_D2_BYT3[7:0]	0x00	プログラム可能な DAC バイクワッド 12、D2 係数バイト [15:8]
0x7F	DAC_BQ12_D2_BYT4[7:0]	0x00	プログラム可能な DAC バイクワッド 12、D2 係数バイト [7:0]

7.2.7 プログラム可能な係数レジスタ：ページ 17

表 7-195 に示すレジスタ ページは、ASI DIN ミキサの DAC チャネル 1 から 4、DAC Aux ミキサ、ループバック ミキサ、信号発生器ミキサ、および DAC 一次 IIR フィルタ用のプログラマブル係数で構成されています。

表 7-195. ページ 17 のプログラム可能な係数レジスタ

アドレス	レジスタ	リセット	説明
0x00	PAGE[7:0]	0x00	デバイス ページ レジスタ
0x08	ASI_DIN_MIX_ASI_CH1_RDAC_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI CH1 ～ RDAC の係数バイト [15:8]
0x09	ASI_DIN_MIX_ASI_CH1_RDAC_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH1 ～ RDAC の係数バイト [7:0]
0x0A	ASI_DIN_MIX_ASI_CH1_LDAC_MIX_BYT1[7:0]	0x40	ASI DIN ミキサ、ASI CH1 ～ LDAC の係数バイト [15:8]
0x0B	ASI_DIN_MIX_ASI_CH1_LDAC_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH1 ～ LDAC の係数バイト [7:0]
0x0C	ASI_DIN_MIX_ASI_CH1_RDAC2_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI CH1 ～ RDAC2 係数バイト [15:8]
0x0D	ASI_DIN_MIX_ASI_CH1_RDAC2_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH1 ～ RDAC2 係数バイト [7:0]
0x0E	ASI_DIN_MIX_ASI_CH1_LDAC2_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI CH1 ～ LDAC2 係数バイト [15:8]

Copyright © 2025 Texas Instruments Incorporated

表 7-195. ページ 17 のプログラム可能な係数レジスタ (続き)

0x0F	ASI_DIN_MIX_ASI_CH1_LDAC2_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH1 ～ LDAC2 係数バイト [7:0]
0x10	ASI_DIN_MIX_ASI_CH2_RDAC_MIX_BYT1[7:0]	0x40	ASI DIN ミキサ、ASI CH2 ～ RDAC の係数バイト [15:8]
0x11	ASI_DIN_MIX_ASI_CH2_RDAC_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH2 ～ RDAC の係数バイト [7:0]
0x12	ASI_DIN_MIX_ASI_CH2_LDAC_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI CH2 ～ LDAC の係数バイト [15:8]
0x13	ASI_DIN_MIX_ASI_CH2_LDAC_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH2 ～ LDAC の係数バイト [7:0]
0x14	ASI_DIN_MIX_ASI_CH2_RDAC2_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI CH2 ～ RDAC2 係数バイト [15:8]
0x15	ASI_DIN_MIX_ASI_CH2_RDAC2_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH2 ～ RDAC2 係数バイト [7:0]
0x16	ASI_DIN_MIX_ASI_CH2_LDAC2_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI CH2 ～ LDAC2 係数バイト [15:8]
0x17	ASI_DIN_MIX_ASI_CH2_LDAC2_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH2 ～ LDAC2 係数バイト [7:0]
0x18	ASI_DIN_MIX_ASI_CH3_RDAC_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI CH3 ～ RDAC の係数バイト [15:8]
0x19	ASI_DIN_MIX_ASI_CH3_RDAC_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH3 ～ RDAC の係数バイト [7:0]
0x1A	ASI_DIN_MIX_ASI_CH3_LDAC_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI CH3 ～ LDAC の係数バイト [15:8]
0x1B	ASI_DIN_MIX_ASI_CH3_LDAC_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH3 ～ LDAC の係数バイト [7:0]
0x1C	ASI_DIN_MIX_ASI_CH3_RDAC2_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI CH3 ～ RDAC2 係数バイト [15:8]
0x1D	ASI_DIN_MIX_ASI_CH3_RDAC2_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH3 ～ RDAC2 係数バイト [7:0]
0x1E	ASI_DIN_MIX_ASI_CH3_LDAC2_MIX_BYT1[7:0]	0x40	ASI DIN ミキサ、ASI CH3 ～ LDAC2 係数バイト [15:8]
0x1F	ASI_DIN_MIX_ASI_CH3_LDAC2_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH3 ～ LDAC2 係数バイト [7:0]
0x20	ASI_DIN_MIX_ASI_CH4_RDAC_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI CH4 ～ RDAC の係数バイト [15:8]
0x21	ASI_DIN_MIX_ASI_CH4_RDAC_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH4 ～ RDAC の係数バイト [7:0]
0x22	ASI_DIN_MIX_ASI_CH4_LDAC_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI CH4 ～ LDAC の係数バイト [15:8]
0x23	ASI_DIN_MIX_ASI_CH4_LDAC_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH4 ～ LDAC の係数バイト [7:0]
0x24	ASI_DIN_MIX_ASI_CH4_RDAC2_MIX_BYT1[7:0]	0x40	ASI DIN ミキサ、ASI CH4 ～ RDAC2 係数バイト [15:8]
0x25	ASI_DIN_MIX_ASI_CH4_RDAC2_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH4 ～ RDAC2 係数バイト [7:0]
0x26	ASI_DIN_MIX_ASI_CH4_LDAC2_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI CH4 ～ LDAC2 係数バイト [15:8]
0x27	ASI_DIN_MIX_ASI_CH4_LDAC2_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH4 ～ LDAC2 係数バイト [7:0]
0x28	ASI_DIN_MIX_ASI_CH5_RDAC_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI CH5 ～ RDAC の係数バイト [15:8]
0x29	ASI_DIN_MIX_ASI_CH5_RDAC_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH5 ～ RDAC の係数バイト [7:0]

表 7-195. ページ 17 のプログラム可能な係数レジスタ (続き)

0x2A	ASI_DIN_MIX_ASI_CH5_LDAC_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI CH5 ～ LDAC の係数バイト [15:8]
0x2B	ASI_DIN_MIX_ASI_CH5_LDAC_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH5 ～ LDAC の係数バイト [7:0]
0x2C	ASI_DIN_MIX_ASI_CH5_RDAC2_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI CH5 ～ RDAC2 係数バイト [15:8]
0x2D	ASI_DIN_MIX_ASI_CH5_RDAC2_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH5 ～ RDAC2 係数バイト [7:0]
0x2E	ASI_DIN_MIX_ASI_CH5_LDAC2_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI CH5 ～ LDAC2 係数バイト [15:8]
0x2F	ASI_DIN_MIX_ASI_CH5_LDAC2_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH5 ～ LDAC2 係数バイト [7:0]
0x30	ASI_DIN_MIX_ASI_CH6_RDAC_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI CH6 ～ RDAC の係数バイト [15:8]
0x31	ASI_DIN_MIX_ASI_CH6_RDAC_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH6 ～ RDAC の係数バイト [7:0]
0x32	ASI_DIN_MIX_ASI_CH6_LDAC_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI CH6 ～ LDAC の係数バイト [15:8]
0x33	ASI_DIN_MIX_ASI_CH6_LDAC_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH6 ～ LDAC の係数バイト [7:0]
0x34	ASI_DIN_MIX_ASI_CH6_RDAC2_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI CH6 ～ RDAC2 係数バイト [15:8]
0x35	ASI_DIN_MIX_ASI_CH6_RDAC2_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH6 ～ RDAC2 係数バイト [7:0]
0x36	ASI_DIN_MIX_ASI_CH6_LDAC2_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI CH6 ～ LDAC2 係数バイト [15:8]
0x37	ASI_DIN_MIX_ASI_CH6_LDAC2_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH6 ～ LDAC2 係数バイト [7:0]
0x38	ASI_DIN_MIX_ASI_CH7_RDAC_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI CH7 ～ RDAC の係数バイト [15:8]
0x39	ASI_DIN_MIX_ASI_CH7_RDAC_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH7 ～ RDAC の係数バイト [7:0]
0x3A	ASI_DIN_MIX_ASI_CH7_LDAC_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI CH7 ～ LDAC の係数バイト [15:8]
0x3B	ASI_DIN_MIX_ASI_CH7_LDAC_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH7 ～ LDAC の係数バイト [7:0]
0x3C	ASI_DIN_MIX_ASI_CH7_RDAC2_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI CH7 ～ RDAC2 係数バイト [15:8]
0x3D	ASI_DIN_MIX_ASI_CH7_RDAC2_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH7 ～ RDAC2 係数バイト [7:0]
0x3E	ASI_DIN_MIX_ASI_CH7_LDAC2_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI CH7 ～ LDAC2 係数バイト [15:8]
0x3F	ASI_DIN_MIX_ASI_CH7_LDAC2_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH7 ～ LDAC2 係数バイト [7:0]
0x40	ASI_DIN_MIX_ASI_CH8_RDAC_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI CH8 ～ RDAC の係数バイト [15:8]
0x41	ASI_DIN_MIX_ASI_CH8_RDAC_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH8 ～ RDAC の係数バイト [7:0]
0x42	ASI_DIN_MIX_ASI_CH8_LDAC_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI CH8 ～ LDAC の係数バイト [15:8]
0x43	ASI_DIN_MIX_ASI_CH8_LDAC_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH8 ～ LDAC の係数バイト [7:0]
0x44	ASI_DIN_MIX_ASI_CH8_RDAC2_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI CH8 ～ RDAC2 係数バイト [15:8]

Copyright © 2025 Texas Instruments Incorporated

表 7-195. ページ 17 のプログラム可能な係数レジスタ (続き)

0x45	ASI_DIN_MIX_ASI_CH8_RDAC2_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH8 ～ RDAC2 係数バイト [7:0]
0x46	ASI_DIN_MIX_ASI_CH8_LDAC2_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI CH8 ～ LDAC2 係数バイト [15:8]
0x47	ASI_DIN_MIX_ASI_CH8_LDAC2_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI CH8 ～ LDAC2 係数バイト [7:0]
0x48	ASI_DIN_MIX_ASI_AUX_CH1_RDAC_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI AUX_CH1 ～ RDAC の係数バイト [15:8]
0x49	ASI_DIN_MIX_ASI_AUX_CH1_RDAC_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI AUX_CH1 ～ RDAC の係数バイト [7:0]
0x4A	ASI_DIN_MIX_ASI_AUX_CH1_LDAC_MIX_BYT1[7:0]	0x40	ASI DIN ミキサ、ASI AUX_CH1 ～ LDAC の係数バイト [15:8]
0x4B	ASI_DIN_MIX_ASI_AUX_CH1_LDAC_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI AUX_CH1 ～ LDAC の係数バイト [7:0]
0x4C	ASI_DIN_MIX_ASI_AUX_CH1_RDAC2_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI AUX_CH1 ～ RDAC2 係数バイト [15:8]
0x4D	ASI_DIN_MIX_ASI_AUX_CH1_RDAC2_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI AUX_CH1 ～ RDAC2 係数バイト [7:0]
0x4E	ASI_DIN_MIX_ASI_AUX_CH1_LDAC2_MIX_BYT1[7:0]	0x40	ASI DIN ミキサ、ASI AUX_CH1 ～ LDAC2 係数バイト [15:8]
0x4F	ASI_DIN_MIX_ASI_AUX_CH1_LDAC2_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI AUX_CH1 ～ LDAC2 係数バイト [7:0]
0x50	ASI_DIN_MIX_ASI_AUX_CH2_RDAC_MIX_BYT1[7:0]	0x40	ASI DIN ミキサ、ASI AUX_CH2 ～ RDAC の係数バイト [15:8]
0x51	ASI_DIN_MIX_ASI_AUX_CH2_RDAC_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI AUX_CH2 ～ RDAC の係数バイト [7:0]
0x52	ASI_DIN_MIX_ASI_AUX_CH2_LDAC_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI AUX_CH2 ～ LDAC の係数バイト [15:8]
0x53	ASI_DIN_MIX_ASI_AUX_CH2_LDAC_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI AUX_CH2 ～ LDAC の係数バイト [7:0]
0x54	ASI_DIN_MIX_ASI_AUX_CH2_RDAC2_MIX_BYT1[7:0]	0x40	ASI DIN ミキサ、ASI AUX_CH2 ～ RDAC2 係数バイト [15:8]
0x55	ASI_DIN_MIX_ASI_AUX_CH2_RDAC2_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI AUX_CH2 ～ RDAC2 係数バイト [7:0]
0x56	ASI_DIN_MIX_ASI_AUX_CH2_LDAC2_MIX_BYT1[7:0]	0x00	ASI DIN ミキサ、ASI AUX_CH2 ～ LDAC2 係数バイト [15:8]
0x57	ASI_DIN_MIX_ASI_AUX_CH2_LDAC2_MIX_BYT2[7:0]	0x00	ASI DIN ミキサ、ASI AUX_CH2 ～ LDAC2 係数バイト [7:0]
0x58	SC_DAC_MIX_ADCLB_CH1_RDAC_MIX_BYT1[7:0]	0x00	SC DAC ミキサ、ADC ループバック CH1 から RDAC 係数バイト [15:8]
0x59	SC_DAC_MIX_ADCLB_CH1_RDAC_MIX_BYT2[7:0]	0x00	SC DAC ミキサ、ADC ループバック CH1 から RDAC 係数バイト [7:0]
0x5A	SC_DAC_MIX_ADCLB_CH1_LDAC_MIX_BYT1[7:0]	0x00	SC DAC ミキサ、ADC ループバック CH1 から LDAC 係数バイト [15:8]
0x5B	SC_DAC_MIX_ADCLB_CH1_LDAC_MIX_BYT2[7:0]	0x00	SC DAC ミキサ、ADC ループバック CH1 から LDAC 係数バイト [7:0]
0x5C	SC_DAC_MIX_ADCLB_CH1_RDAC2_MIX_BYT1[7:0]	0x00	SC DAC ミキサ、ADC ループバック CH1 から RDAC2 係数バイト [15:8]
0x5D	SC_DAC_MIX_ADCLB_CH1_RDAC2_MIX_BYT2[7:0]	0x00	SC DAC ミキサ、ADC ループバック CH1 から RDAC2 係数バイト [7:0]
0x5E	SC_DAC_MIX_ADCLB_CH1_LDAC2_MIX_BYT1[7:0]	0x00	SC DAC ミキサ、ADC ループバック CH1 ～ LDAC2 係数バイト [15:8]
0x5F	SC_DAC_MIX_ADCLB_CH1_LDAC2_MIX_BYT2[7:0]	0x00	SC DAC ミキサ、ADC ループバック CH1 ～ LDAC2 係数バイト [7:0]

表 7-195. ページ 17 のプログラム可能な係数レジスタ (続き)

0x60	SC_DAC_MIX_ADCLB_CH2_RDAC_MIX_BYT1[7:0]	0x00	SC DAC ミキサ、ループバック CH2 ～ RDAC 係数バイト [15:8]
0x61	SC_DAC_MIX_ADCLB_CH2_RDAC_MIX_BYT2[7:0]	0x00	SC DAC ミキサ、ループバック CH2 ～ RDAC 係数バイト [7:0]
0x62	SC_DAC_MIX_ADCLB_CH2_LDAC_MIX_BYT1[7:0]	0x00	SC DAC ミキサ、ループバック CH2 ～ LDAC 係数バイト [15:8]
0x63	SC_DAC_MIX_ADCLB_CH2_LDAC_MIX_BYT2[7:0]	0x00	SC DAC ミキサ、ループバック CH2 ～ LDAC 係数バイト [7:0]
0x64	SC_DAC_MIX_ADCLB_CH2_RDAC2_MIX_BYT1[7:0]	0x00	SC DAC ミキサ、ADC ループバック CH2 ～ RDAC2 係数バイト [15:8]
0x65	SC_DAC_MIX_ADCLB_CH2_RDAC2_MIX_BYT2[7:0]	0x00	SC DAC ミキサ、ADC ループバック CH2 ～ RDAC2 係数バイト [7:0]
0x66	SC_DAC_MIX_ADCLB_CH2_LDAC2_MIX_BYT1[7:0]	0x00	SC DAC ミキサ、ADC ループバック CH2 ～ LDAC2 係数バイト [15:8]
0x67	SC_DAC_MIX_ADCLB_CH2_LDAC2_MIX_BYT2[7:0]	0x00	SC DAC ミキサ、ADC ループバック CH2 ～ LDAC2 係数バイト [7:0]
0x68	SC_DAC_MIX_SIGGEN_CH1_RDAC_MIX_BYT1[7:0]	0x00	SC DAC ミキサ、信号ジェネレータ CH1 ～ RDAC 係数バイト [15:8]
0x69	SC_DAC_MIX_SIGGEN_CH1_RDAC_MIX_BYT2[7:0]	0x00	SC DAC ミキサ、信号ジェネレータ CH1 ～ RDAC 係数バイト [7:0]
0x6A	SC_DAC_MIX_SIGGEN_CH1_LDAC_MIX_BYT1[7:0]	0x00	SC DAC ミキサ、信号ジェネレータ CH1 ～ LDAC 係数バイト [15:8]
0x6B	SC_DAC_MIX_SIGGEN_CH1_LDAC_MIX_BYT2[7:0]	0x00	SC DAC ミキサ、信号ジェネレータ CH1 ～ LDAC 係数バイト [7:0]
0x6C	SC_DAC_MIX_SIGGEN_CH1_RDAC2_MIX_BYT1[7:0]	0x00	SC DAC ミキサ、信号ジェネレータ CH1 ～ RDAC2 係数バイト [15:8]
0x6D	SC_DAC_MIX_SIGGEN_CH1_RDAC2_MIX_BYT2[7:0]	0x00	SC DAC ミキサ、信号ジェネレータ CH1 ～ RDAC2 係数バイト [7:0]
0x6E	SC_DAC_MIX_SIGGEN_CH1_LDAC2_MIX_BYT1[7:0]	0x00	SC DAC ミキサ、信号ジェネレータ CH1 ～ LDAC2 係数バイト [15:8]
0x6F	SC_DAC_MIX_SIGGEN_CH1_LDAC2_MIX_BYT2[7:0]	0x00	SC DAC ミキサ、信号ジェネレータ CH1 ～ LDAC2 係数バイト [7:0]
0x70	SC_DAC_MIX_SIGGEN_CH2_RDAC_MIX_BYT1[7:0]	0x00	SC DAC ミキサ、信号ジェネレータ CH2 ～ RDAC 係数バイト [15:8]
0x71	SC_DAC_MIX_SIGGEN_CH2_RDAC_MIX_BYT2[7:0]	0x00	SC DAC ミキサ、信号ジェネレータ CH2 ～ RDAC 係数バイト [7:0]
0x72	SC_DAC_MIX_SIGGEN_CH2_LDAC_MIX_BYT1[7:0]	0x00	SC DAC ミキサ、信号ジェネレータ CH2 ～ LDAC 係数バイト [15:8]
0x73	SC_DAC_MIX_SIGGEN_CH2_LDAC_MIX_BYT2[7:0]	0x00	SC DAC ミキサ、信号ジェネレータ CH2 ～ LDAC 係数バイト [7:0]
0x74	SC_DAC_MIX_SIGGEN_CH2_RDAC2_MIX_BYT1[7:0]	0x00	SC DAC ミキサ、信号ジェネレータ CH2 ～ RDAC2 係数バイト [15:8]
0x75	SC_DAC_MIX_SIGGEN_CH2_RDAC2_MIX_BYT2[7:0]	0x00	SC DAC ミキサ、信号ジェネレータ CH2 ～ RDAC2 係数バイト [7:0]
0x76	SC_DAC_MIX_SIGGEN_CH2_LDAC2_MIX_BYT1[7:0]	0x00	SC DAC ミキサ、信号ジェネレータ CH2 ～ LDAC2 係数バイト [15:8]
0x77	SC_DAC_MIX_SIGGEN_CH2_LDAC2_MIX_BYT2[7:0]	0x00	SC DAC ミキサ、信号ジェネレータ CH2 ～ LDAC2 係数バイト [7:0]
0x78	DAC_IIR_N0_BYT1[7:0]	0x7F	プログラム可能な DAC 1 次 IIR、N0 係数バイト [31:24]
0x79	DAC_IIR_N0_BYT2[7:0]	0xFF	プログラム可能な DAC 1 次 IIR、N0 係数バイト [23:16]
0x7A	DAC_IIR_N0_BYT3[7:0]	0xFF	プログラム可能な DAC 1 次 IIR、N0 係数バイト [15:8]
0x7B	DAC_IIR_N0_BYT4[7:0]	0xFF	プログラム可能な DAC 1 次 IIR、N0 係数バイト [7:0]

Copyright © 2025 Texas Instruments Incorporated

表 7-195. ページ 17 のプログラム可能な係数レジスタ (続き)

0x7C	DAC_IIR_N1_BYT1[7:0]	0x00	プログラム可能な DAC 1 次 IIR、N1 係数バイト [31:24]
0x7D	DAC_IIR_N1_BYT2[7:0]	0x00	プログラム可能な DAC 1 次 IIR、N1 係数バイト [23:16]
0x7E	DAC_IIR_N1_BYT3[7:0]	0x00	プログラム可能な DAC 1 次 IIR、N1 係数バイト [15:8]
0x7F	DAC_IIR_N1_BYT4[7:0]	0x00	プログラム可能な DAC 1 次 IIR、N1 係数バイト [7:0]

7.2.8 プログラム可能な係数レジスタ：ページ 18

表 7-196 に示すこのレジスタ ページは、DAC 一次 IIR フィルタ用のプログラマブル係数、チャネル 1 から 4 用の DAC デジタル ボリューム コントロール、DAC ビープ音発生器で構成されています。

表 7-196. ページ 18 のプログラム可能な係数レジスタ

アドレス	レジスタ	リセット	説明
0x00	PAGE[7:0]	0x00	デバイス ページ レジスタ
0x08	DAC_IIR_D1_BYT1[7:0]	0x00	プログラム可能な DAC 一次 IIR、D1 係数バイト [31:24]
0x09	DAC_IIR_D1_BYT2[7:0]	0x00	プログラム可能な DAC 一次 IIR、D1 係数バイト [23:16]
0x0A	DAC_IIR_D1_BYT3[7:0]	0x00	プログラム可能な DAC 一次 IIR、D1 係数バイト [15:8]
0x0B	DAC_IIR_D1_BYT4[7:0]	0x00	プログラム可能な DAC 一次 IIR、D1 係数バイト [7:0]
0x0C	DAC_VOL_CH1_BYT1[7:0]	0x00	デジタル ボリューム コントロール、DAC チャネル 1 係数バイト [31:24]
0x0D	DAC_VOL_CH1_BYT2[7:0]	0x80	デジタル ボリューム コントロール、DAC チャネル 1 係数バイト [23:16]
0x0E	DAC_VOL_CH1_BYT3[7:0]	0x00	デジタル ボリューム コントロール、DAC チャネル 1 係数バイト [15:8]
0x0F	DAC_VOL_CH1_BYT4[7:0]	0x00	デジタル ボリューム コントロール、DAC チャネル 1 係数バイト [7:0]
0x10	DAC_VOL_CH2_BYT1[7:0]	0x00	デジタル ボリューム コントロール、DAC チャネル 2 係数バイト [31:24]
0x11	DAC_VOL_CH2_BYT2[7:0]	0x80	デジタル ボリューム コントロール、DAC チャネル 2 係数バイト [23:16]
0x12	DAC_VOL_CH2_BYT3[7:0]	0x00	デジタル ボリューム コントロール、DAC チャネル 2 係数バイト [15:8]
0x13	DAC_VOL_CH2_BYT4[7:0]	0x00	デジタル ボリューム コントロール、DAC チャネル 2 係数バイト [7:0]
0x14	DAC_VOL_CH3_BYT1[7:0]	0x00	デジタル ボリューム コントロール、DAC チャネル 3 係数バイト [31:24]
0x15	DAC_VOL_CH3_BYT2[7:0]	0x80	デジタル ボリューム コントロール、DAC チャネル 3 係数バイト [23:16]
0x16	DAC_VOL_CH3_BYT3[7:0]	0x00	デジタル ボリューム コントロール、DAC チャネル 3 係数バイト [15:8]
0x17	DAC_VOL_CH3_BYT4[7:0]	0x00	デジタル ボリューム コントロール、DAC チャネル 3 係数バイト [7:0]
0x18	DAC_VOL_CH4_BYT1[7:0]	0x00	デジタル ボリューム コントロール、DAC チャネル 4 係数バイト [31:24]
0x19	DAC_VOL_CH4_BYT2[7:0]	0x80	デジタル ボリューム コントロール、DAC チャネル 4 係数バイト [23:16]
0x1A	DAC_VOL_CH4_BYT3[7:0]	0x00	デジタル ボリューム コントロール、DAC チャネル 4 係数バイト [15:8]
0x1B	DAC_VOL_CH4_BYT4[7:0]	0x00	デジタル ボリューム コントロール、DAC チャネル 4 係数バイト [7:0]
0x20	DAC_BEEP GEN_SINX_BYT1[7:0]	0x45	プログラム可能な DAC ビープ GEN sin（x）係数バイト [31:24]

表 7-196. ページ 18 のプログラム可能な係数レジスタ (続き)

0x21	DAC_BEEP GEN_SINX_BYT2[7:0]	0xF4	プログラム可能な DAC ビープ GEN sin(x) 係数バイト [23:16]
0x22	DAC_BEEP GEN_SINX_BYT3[7:0]	0x61	プログラム可能な DAC ビープ GEN sin(x) 係数バイト [15:8]
0x23	DAC_BEEP GEN_SINX_BYT4[7:0]	0xD0	プログラム可能な DAC ビープ GEN sin(x) 係数バイト [7:0]
0x24	DAC_BEEP GEN_COSX_BYT1[7:0]	0x7F	プログラム可能な DAC ビープ GEN cos(x) 係数バイト [31:24]
0x25	DAC_BEEP GEN_COSX_BYT2[7:0]	0xFE	プログラム可能な DAC ビープ GEN cos(x) 係数バイト [23:16]
0x26	DAC_BEEP GEN_COSX_BYT3[7:0]	0xFD	プログラム可能な DAC ビープ GEN cos(x) 係数バイト [15:8]
0x27	DAC_BEEP GEN_COSX_BYT4[7:0]	0x46	プログラム可能な DAC ビープ GEN cos(x) 係数バイト [7:0]
0x28	DAC_BEEP GEN2_SINX_BYT1[7:0]	0x5D	プログラム可能 DAC ビープ GEN2 sin(x) 係数バイト [31:24]
0x29	DAC_BEEP GEN2_SINX_BYT2[7:0]	0xA2	プログラム可能 DAC ビープ GEN2 sin(x) 係数バイト [23:16]
0x2A	DAC_BEEP GEN2_SINX_BYT3[7:0]	0x74	プログラム可能 DAC ビープ GEN2 sin(x) 係数バイト [15:8]
0x2B	DAC_BEEP GEN2_SINX_BYT4[7:0]	0xB4	プログラム可能 DAC ビープ GEN2 sin(x) 係数バイト [7:0]
0x2C	DAC_BEEP GEN2_COSX_BYT1[7:0]	0x01	プログラム可能 DAC ビープ GEN2 cos(x) 係数バイト [31:24]
0x2D	DAC_BEEP GEN2_COSX_BYT2[7:0]	0x01	プログラム可能 DAC ビープ GEN2 cos(x) 係数バイト [23:16]
0x2E	DAC_BEEP GEN2_COSX_BYT3[7:0]	0x5B	プログラム可能 DAC ビープ GEN2 cos(x) 係数バイト [15:8]
0x2F	DAC_BEEP GEN2_COSX_BYT4[7:0]	0x4B	プログラム可能 DAC ビープ GEN2 cos(x) 係数バイト [7:0]

7.2.9 プログラム可能な係数レジスタ：ページ 19

表 7-197 に示すこのレジスタ ページは、ADC の プログラム可能な係数と、チャネル 1~4 の DAC MSA で構成されています。

表 7-197. ページ 19 のプログラム可能な係数レジスタ

アドレス	レジスタ	リセット	説明
0x00	PAGE[7:0]	0x00	デバイス ページ レジスタ
0x58	ADC_CH1_SF1_BYT1[7:0]	0x04	ADC CH1 MSA 係数バイト [31:24]
0x59	ADC_CH1_SF1_BYT2[7:0]	0x00	ADC CH1 MSA 係数バイト [23:16]
0x5A	ADC_CH1_SF1_BYT3[7:0]	0x00	ADC CH1 MSA 係数バイト [15:8]
0x5B	ADC_CH1_SF1_BYT4[7:0]	0x00	ADC CH1 MSA 係数バイト [7:0]
0x5C	ADC_CH2_SF1_BYT1[7:0]	0x04	ADC CH2 MSA 係数バイト [31:24]
0x5D	ADC_CH2_SF1_BYT2[7:0]	0x00	ADC CH2 MSA 係数バイト [23:16]
0x5E	ADC_CH2_SF1_BYT3[7:0]	0x00	ADC CH2 MSA 係数バイト [15:8]
0x5F	ADC_CH2_SF1_BYT4[7:0]	0x00	ADC CH2 MSA 係数バイト [7:0]
0x60	ADC_CH3_SF1_BYT1[7:0]	0x04	ADC CH3 MSA 係数バイト [31:24]
0x61	ADC_CH3_SF1_BYT2[7:0]	0x00	ADC CH3 MSA 係数バイト [23:16]
0x62	ADC_CH3_SF1_BYT3[7:0]	0x00	ADC CH3 MSA 係数バイト [15:8]
0x63	ADC_CH3_SF1_BYT4[7:0]	0x00	ADC CH3 MSA 係数バイト [7:0]

Copyright © 2025 Texas Instruments Incorporated

表 7-197. ページ 19 のプログラム可能な係数レジスタ (続き)

0x64	ADC_CH4_SF1_BYT1[7:0]	0x04	ADC CH4 MSA 係数バイト [31:24]
0x65	ADC_CH4_SF1_BYT2[7:0]	0x00	ADC CH4 MSA 係数バイト [23:16]
0x66	ADC_CH4_SF1_BYT3[7:0]	0x00	ADC CH4 MSA 係数バイト [15:8]
0x67	ADC_CH4_SF1_BYT4[7:0]	0x00	ADC CH4 MSA 係数バイト [7:0]
0x68	LDAC_SF1_BYT1[7:0]	0x04	LDAC MSA 係数バイト [31:24]
0x69	LDAC_SF1_BYT2[7:0]	0x00	LDAC MSA 係数バイト [23:16]
0x6A	LDAC_SF1_BYT3[7:0]	0x00	LDAC MSA 係数バイト [15:8]
0x6B	LDAC_SF1_BYT4[7:0]	0x00	LDAC MSA 係数バイト [7:0]
0x6C	RDAC_SF1_BYT1[7:0]	0x04	RDAC MSA 係数バイト [31:24]
0x6D	RDAC_SF1_BYT2[7:0]	0x00	RDAC MSA 係数バイト [23:16]
0x6E	RDAC_SF1_BYT3[7:0]	0x00	RDAC MSA 係数バイト [15:8]
0x6F	RDAC_SF1_BYT4[7:0]	0x00	RDAC MSA 係数バイト [7:0]
0x70	LDAC2_SF1_BYT1[7:0]	0x04	LDAC2 MSA 係数バイト [31:24]
0x71	LDAC2_SF1_BYT2[7:0]	0x00	LDAC2 MSA 係数バイト [23:16]
0x72	LDAC2_SF1_BYT3[7:0]	0x00	LDAC2 MSA 係数バイト [15:8]
0x73	LDAC2_SF1_BYT4[7:0]	0x00	LDAC2 MSA 係数バイト [7:0]
0x74	RDAC2_SF1_BYT1[7:0]	0x04	RDAC2 MSA 係数バイト [31:24]
0x75	RDAC2_SF1_BYT2[7:0]	0x00	RDAC2 MSA 係数バイト [23:16]
0x76	RDAC2_SF1_BYT3[7:0]	0x00	RDAC2 MSA 係数バイト [15:8]
0x77	RDAC2_SF1_BYT4[7:0]	0x00	RDAC2 MSA 係数バイト [7:0]

7.2.10 プログラム可能な係数レジスタ：ページ 25

表 7-198 に示すこのレジスタ ページは、DAC リミッタのプログラム可能な係数で構成されています。

表 7-198. ページ 25 のプログラム可能な係数レジスタ

アドレス	レジスタ	リセット	説明
0x00	PAGE[7:0]	0x00	デバイス ページ レジスタ
0x60	LIMITER_ATTACK_COEFF_BYT1[7:0]	0x78	歪みリミッタのアタック係数バイト [31:24]
0x61	LIMITER_ATTACK_COEFF_BYT2[7:0]	0xD6	歪みリミッタのアタック係数バイト [23:16]
0x62	LIMITER_ATTACK_COEFF_BYTT3[7:0]	0xFC	歪みリミッタのアタック係数バイト [15:8]
0x63	LIMITER_ATTACK_COEFF_BYTT4[7:0]	0x9F	歪みリミッタのアタック係数バイト [7:0]
0x64	LIMITER_RELEASE_COEFF_BYT1[7:0]	0x40	歪みリミッタ リリース係数バイト [31:24]
0x65	LIMITER_RELEASE_COEFF_BYT2[7:0]	0xBD	歪みリミッタ リリース係数バイト [23:16]
0x66	LIMITER_RELEASE_COEFF_BYTT3[7:0]	0xB7	歪みリミッタ リリース係数バイト [15:8]
0x67	LIMITER_RELEASE_COEFF_BYTT4[7:0]	0xC0	歪みリミッタ リリース係数バイト [7:0]
0x68	LIMITER_ENV_DECAY_COEFF_BYT1[7:0]	0x7F	歪みリミッタ エンベロープ減衰係数バイト [31:24]
0x69	LIMITER_ENV_DECAY_COEFF_BYT2[7:0]	0xFC	歪みリミッタ エンベロープ減衰係数バイト [23:16]

表 7-198. ページ 25 のプログラム可能な係数レジスタ (続き)

0x6A	LIMITER_ENV_DECAY_COEFF_BYTT3[7:0]	0x3A	歪みリミッタ エンベロープ減衰係数バイト [15:8]
0x6B	LIMITER_ENV_DECAY_COEFF_BYTT4[7:0]	0x48	歪みリミッタ エンベロープ減衰係数バイト [7:0]
0x6C	LIMITER_THRESHOLD_MAX_BYT1[7:0]	0x01	歪みリミッタ スレッショルド最大係数バイト [31:24]
0x6D	LIMITER_THRESHOLD_MAX_BYT2[7:0]	0x69	歪みリミッタ スレッショルド最大係数バイト [23:16]
0x6E	LIMITER_THRESHOLD_MAX_BYTT3[7:0]	0x9C	歪みリミッタ スレッショルド最大係数バイト [15:8]
0x6F	LIMITER_THRESHOLD_MAX_BYTT4[7:0]	0x10	歪みリミッタ スレッショルド最大係数バイト [7:0]
0x70	LIMITER_THRESHOLD_MIN_BYT1[7:0]	0x00	歪みリミッタ スレッショルド最小係数バイト [31:24]
0x71	LIMITER_THRESHOLD_MIN_BYT2[7:0]	0x72	歪みリミッタ スレッショルド最小係数バイト [23:16]
0x72	LIMITER_THRESHOLD_MIN_BYTT3[7:0]	0x59	歪みリミッタ スレッショルド最小係数バイト [15:8]
0x73	LIMITER_THRESHOLD_MIN_BYTT4[7:0]	0xDB	歪みリミッタ スレッショルド最小係数バイト [7:0]
0x74	LIMITER_INFLECTION_POINT_BYT1[7:0]	0x00	歪みリミッタ変曲点係数バイト [31:24]
0x75	LIMITER_INFLECTION_POINT_BYT2[7:0]	0x00	歪みリミッタ変曲点係数バイト [23:16]
0x76	LIMITER_INFLECTION_POINT_BYTT3[7:0]	0x19	歪みリミッタ変曲点係数バイト [15:8]
0x77	LIMITER_INFLECTION_POINT_BYTT4[7:0]	0x9A	歪みリミッタ変曲点係数バイト [7:0]
0x78	LIMITER_SLOPE_BYT1[7:0]	0x10	歪みリミッタ勾配係数バイト [31:24]
0x79	LIMITER_SLOPE_BYT2[7:0]	0x00	歪みリミッタ勾配係数バイト [23:16]
0x7A	LIMITER_SLOPE_BYTT3[7:0]	0x00	歪みリミッタ勾配係数バイト [15:8]
0x7B	LIMITER_SLOPE_BYTT4[7:0]	0x00	歪みリミッタ勾配係数バイト [7:0]
0x7C	LIMITER_RESET_COUNTER_BYT1[7:0]	0x00	歪みリミッタ ホールド カウント係数バイト [31:24]
0x7D	LIMITER_RESET_COUNTER_BYT2[7:0]	0x00	歪みリミッタ ホールド カウント係数バイト [23:16]
0x7E	LIMITER_RESET_COUNTER_BYTT3[7:0]	0x09	歪みリミッタ ホールド カウント係数バイト [15:8]
0x7F	LIMITER_RESET_COUNTER_BYTT4[7:0]	0x60	歪みリミッタ ホールド カウント係数バイト [7:0]

7.2.11 プログラム可能な係数レジスタ：ページ 26

表 7-199 に示すこのレジスタ ページは、DAC ブラウンアウト保護（BOP）、サーマル フォールドバック（THF）保護、リミッタのプログラム可能な係数で構成されています。

表 7-199. ページ 26 のプログラム可能な係数レジスタ

アドレス	レジスタ	リセット	説明
0x00	PAGE[7:0]	0x00	デバイス ページ レジスタ
0x14	BOP_ATTACK_COEFF_BYT1[7:0]	0x78	BOP アタック係数バイト [31:24]
0x15	BOP_ATTACK_COEFF_BYT2[7:0]	0xD6	BOP アタック係数バイト [23:16]

Copyright © 2025 Texas Instruments Incorporated

表 7-199. ページ 26 のプログラム可能な係数レジスタ (続き)

0x16	BOP_ATTACK_COEFF_BYTT3[7:0]	0xFC	BOP アタック係数バイト [15:8]
0x17	BOP_ATTACK_COEFF_BYTT4[7:0]	0x9F	BOP アタック係数バイト [7:0]
0x18	BOP_RELEASE_COEFF_BYT1[7:0]	0x40	BOP リリース係数バイト [31:24]
0x19	BOP_RELEASE_COEFF_BYT2[7:0]	0xBD	BOP リリース係数バイト [23:16]
0x1A	BOP_RELEASE_COEFF_BYTT3[7:0]	0xB7	BOP リリース係数バイト [15:8]
0x1B	BOP_RELEASE_COEFF_BYTT4[7:0]	0xC0	BOP リリース係数バイト [7:0]
0x1C	BOP_RESET_COUNTER_BYT1[7:0]	0x00	BOP ホールド カウント係数バイト [31:24]
0x1D	BOP_RESET_COUNTER_BYT2[7:0]	0x00	BOP ホールド カウント係数バイト [23:16]
0x1E	BOP_RESET_COUNTER_BYTT3[7:0]	0x09	BOP ホールド カウント係数バイト [15:8]
0x1F	BOP_RESET_COUNTER_BYTT4[7:0]	0x60	BOP ホールド カウント係数バイト [7:0]
0x20	BOP_VSUP_TH1_BYT1[7:0]	0x00	BOP 電源スレッショルド 1 係数バイト [31:24]
0x21	BOP_VSUP_TH1_BYT2[7:0]	0x00	BOP 電源スレッショルド 1 係数バイト [23:16]
0x22	BOP_VSUP_TH1_BYTT3[7:0]	0x19	BOP 電源スレッショルド 1 係数バイト [15:8]
0x23	BOP_VSUP_TH1_BYTT4[7:0]	0x9A	BOP 電源スレッショルド 1 係数バイト [7:0]
0x24	BOP_THRESHOLD1_BYT1[7:0]	0x2D	BOP スレッショルド 1 ゲイン係数バイト [31:24]
0x25	BOP_THRESHOLD1_BYT2[7:0]	0x4E	BOP スレッショルド 1 ゲイン係数バイト [23:16]
0x26	BOP_THRESHOLD1_BYTT3[7:0]	0xFB	BOP スレッショルド 1 ゲイン係数バイト [15:8]
0x27	BOP_THRESHOLD1_BYTT4[7:0]	0xD6	BOP スレッショルド 1 ゲイン係数バイト [7:0]
0x28	BOP_VSUP_TH2_BYT1[7:0]	0x00	BOP 電源スレッショルド 2 係数バイト [31:24]
0x29	BOP_VSUP_TH2_BYT2[7:0]	0x00	BOP 電源スレッショルド 2 係数バイト [23:16]
0x2A	BOP_VSUP_TH2_BYTT3[7:0]	0x16	BOP 電源スレッショルド 2 係数バイト [15:8]
0x2B	BOP_VSUP_TH2_BYTT4[7:0]	0x66	BOP 電源スレッショルド 2 係数バイト [7:0]
0x2C	BOP_THRESHOLD2_BYT1[7:0]	0x14	BOP スレッショルド 2 ゲイン係数バイト [31:24]
0x2D	BOP_THRESHOLD2_BYT2[7:0]	0x3D	BOP スレッショルド 2 ゲイン係数バイト [23:16]
0x2E	BOP_THRESHOLD2_BYTT3[7:0]	0x13	BOP スレッショルド 2 ゲイン係数バイト [15:8]
0x2F	BOP_THRESHOLD2_BYTT4[7:0]	0x62	BOP スレッショルド 2 ゲイン係数バイト [7:0]
0x30	THF_ATTACK_COEFF_BYT1[7:0]	0x78	THF アタック係数バイト [31:24]
0x31	THF_ATTACK_COEFF_BYT2[7:0]	0xD6	THF アタック係数バイト [23:16]
0x32	THF_ATTACK_COEFF_BYTT3[7:0]	0xFC	THF アタック係数バイト [15:8]
0x33	THF_ATTACK_COEFF_BYTT4[7:0]	0x9F	THF アタック係数バイト [7:0]

表 7-199. ページ 26 のプログラム可能な係数レジスタ (続き)

0x34	THF_RELEASE_COEFF_BYT1[7:0]	0x40	THF リリース係数バイト [31:24]
0x35	THF_RELEASE_COEFF_BYT2[7:0]	0xBD	THF リリース係数バイト [23:16]
0x36	THF_RELEASE_COEFF_BYTT3[7:0]	0xB7	THF リリース係数バイト [15:8]
0x37	THF_RELEASE_COEFF_BYTT4[7:0]	0xC0	THF リリース係数バイト [7:0]
0x38	THF_RESET_COUNTER_BYT1[7:0]	0x00	THF ホールド カウント係数バイト [31:24]
0x39	THF_RESET_COUNTER_BYT2[7:0]	0x00	THF ホールド カウント係数バイト [23:16]
0x3A	THF_RESET_COUNTER_BYTT3[7:0]	0x09	THF ホールド カウント係数バイト [15:8]
0x3B	THF_RESET_COUNTER_BYTT4[7:0]	0x60	THF ホールド カウント係数バイト [7:0]
0x3C	THF_TEMP_THRESHOLD_BYT1[7:0]	0x00	THF 温度スレッショルド係数バイト [31:24]
0x3D	THF_TEMP_THRESHOLD_BYT2[7:0]	0x00	THF 温度スレッショルド係数バイト [23:16]
0x3E	THF_TEMP_THRESHOLD_BYTT3[7:0]	0x23	THF 温度スレッショルド係数バイト [15:8]
0x3F	THF_TEMP_THRESHOLD_BYTT4[7:0]	0x80	THF 温度スレッショルド係数バイト [7:0]
0x40	THF_MAX_ATTN_BYT1[7:0]	0x2D	THF 最大減衰係数バイト [31:24]
0x41	THF_MAX_ATTN_BYT2[7:0]	0x6A	THF 最大減衰係数バイト [23:16]
0x42	THF_MAX_ATTN_BYTT3[7:0]	0x86	THF 最大減衰係数バイト [15:8]
0x43	THF_MAX_ATTN_BYTT4[7:0]	0x6F	THF 最大減衰係数バイト [7:0]
0x44	THF_SLOPE_BYT1[7:0]	0xFE	THF 勾配係数バイト [31:24]
0x45	THF_SLOPE_BYT2[7:0]	0x66	THF 勾配係数バイト [23:16]
0x46	THF_SLOPE_BYTT3[7:0]	0x66	THF 勾配係数バイト [15:8]
0x47	THF_SLOPE_BYTT4[7:0]	0x66	THF 勾配係数バイト [7:0]
0x48	LIMITER_ATTACK_HYS_LEVEL_BYT1[7:0]	0x08	歪みリミッタ アタックレベル ヒステリシス係数バイト [31:24]
0x49	LIMITER_ATTACK_HYS_LEVEL_BYT2[7:0]	0xF9	歪みリミッタのアタック レベルのヒステリシス係数バイト [23:16]
0x4A	LIMITER_ATTACK_HYS_LEVEL_BYTT3[7:0]	0xE4	歪みリミッタ アタックレベル ヒステリシス係数バイト [15:8]
0x4B	LIMITER_ATTACK_HYS_LEVEL_BYTT4[7:0]	0xD0	歪みリミッタ アタックレベル ヒステリシス係数バイト [7:0]
0x4C	LIMITER_RELEASE_HYS_LEVEL_BYT1[7:0]	0x07	歪みリミッタ リリース レベル ヒステリシス係数バイト [31:24]
0x4D	LIMITER_RELEASE_HYS_LEVEL_BYT2[7:0]	0x21	歪みリミッタ リリース レベル ヒステリシスの係数バイト [23:16]
0x4E	LIMITER_RELEASE_HYS_LEVEL_BYTT3[7:0]	0x48	歪みリミッタ リリース レベル ヒステリシス係数バイト [15:8]
0x4F	LIMITER_RELEASE_HYS_LEVEL_BYTT4[7:0]	0x2C	歪みリミッタ リリース レベル ヒステリシス係数バイト [7:0]
0x50	BOP_LEVEL_HYS_SUP_BYT1[7:0]	0x00	BOP レベル ヒステリシス係数バイト [31:24]
0x51	BOP_LEVEL_HYS_SUP_BYT2[7:0]	0x00	BOP レベル ヒステリシス係数バイト [23:16]

Copyright © 2025 Texas Instruments Incorporated

表 7-199. ページ 26 のプログラム可能な係数レジスタ (続き)

0x52	BOP_LEVEL_HYS_SUP_BYTT3[7:0]	0x00	BOP レベル ヒステリシス係数バイト [15:8]
0x53	BOP_LEVEL_HYS_SUP_BYTT4[7:0]	0x14	BOP レベル ヒステリシス係数バイト [7:0]
0x54	BOP_LEVEL_HYS_GAIN_BYT1[7:0]	0x03	BOP ゲイン ヒステリシス係数バイト [31:24]
0x55	BOP_LEVEL_HYS_GAIN_BYT2[7:0]	0xD7	BOP ゲイン ヒステリシス係数バイト [23:16]
0x56	BOP_LEVEL_HYS_GAIN_BYTT3[7:0]	0x0A	BOP ゲイン ヒステリシス係数バイト [15:8]
0x57	BOP_LEVEL_HYS_GAIN_BYTT4[7:0]	0x3E	BOP ゲイン ヒステリシス係数バイト [7:0]
0x58	THF_GAIN_HYS_BYT1[7:0]	0x03	THF ゲイン ヒステリシス係数バイト [31:24]
0x59	THF_GAIN_HYS_BYT2[7:0]	0xD7	THF ゲイン ヒステリシス係数バイト [23:16]
0x5A	THF_GAIN_HYS_BYTT3[7:0]	0x0A	THF ゲイン ヒステリシス係数バイト [15:8]
0x5B	THF_GAIN_HYS_BYTT4[7:0]	0x3D	THF ゲイン ヒステリシス係数バイト [7:0]

7.2.12 プログラム可能な係数レジスタ：ページ 27

表 7-200 に示すこのレジスタ ページは、ADC AGC のプログラム可能な係数で構成されています。

表 7-200. ページ 27 のプログラム可能な係数レジスタ

アドレス	レジスタ	リセット	説明
0x00	PAGE[7:0]	0x00	デバイス ページのレジスタ
0x5C	AGC_NOISE_FLOOR_BYT1[7:0]	0xFF	AGC ノイズ フロア係数バイト [31:24]
0x5D	AGC_NOISE_FLOOR_BYT2[7:0]	0xFE	AGC ノイズ フロア係数バイト [23:16]
0x5E	AGC_NOISE_FLOOR_BYTT3[7:0]	0xB0	AGC ノイズ フロア係数バイト [15:8]
0x5F	AGC_NOISE_FLOOR_BYTT4[7:0]	0x00	AGC ノイズ フロア係数バイト [7:0]
0x60	AGC_TARGET_LEVEL_BYT1[7:0]	0xFF	AGC ターゲット レベル係数バイト [31:24]
0x61	AGC_TARGET_LEVEL_BYT2[7:0]	0xFF	AGC ターゲット レベル係数バイト [23:16]
0x62	AGC_TARGET_LEVEL_BYTT3[7:0]	0x78	AGC ターゲット レベル係数バイト [15:8]
0x63	AGC_TARGET_LEVEL_BYTT4[7:0]	0x00	AGC ターゲット レベル係数バイト [7:0]
0x64	AGC_NOISE_COUNT_MAX_BYT1[7:0]	0x00	AGC ノイズ フロア ホールド カウント係数バイト [31:24]
0x65	AGC_NOISE_COUNT_MAX_BYT2[7:0]	0x00	AGC ノイズ フロア ホールド カウント係数バイト [23:16]
0x66	AGC_NOISE_COUNT_MAX_BYTT3[7:0]	0x04	AGC ノイズ フロア ホールド カウント係数バイト [15:8]
0x67	AGC_NOISE_COUNT_MAX_BYTT4[7:0]	0xB0	AGC ノイズ フロア ホールド カウント係数バイト [7:0]
0x68	AGC_MAX_GAIN_BYT1[7:0]	0x00	AGC 最大ゲイン係数バイト [31:24]
0x69	AGC_MAX_GAIN_BYT2[7:0]	0x00	AGC 最大ゲイン係数バイト [23:16]
0x6A	AGC_MAX_GAIN_BYTT3[7:0]	0x60	AGC 最大ゲイン係数バイト [15:8]
0x6B	AGC_MAX_GAIN_BYTT4[7:0]	0x00	AGC 最大ゲイン係数バイト [7:0]

表 7-200. ページ 27 のプログラム可能な係数レジスタ (続き)

0x6C	AGC_MIN_GAIN_BYT1[7:0]	0xFF	AGC 最小ゲイン係数バイト [31:24]
0x6D	AGC_MIN_GAIN_BYT2[7:0]	0xFF	AGC 最小ゲイン係数バイト [23:16]
0x6E	AGC_MIN_GAIN_BYTT3[7:0]	0x88	AGC 最小ゲイン係数バイト [15:8]
0x6F	AGC_MIN_GAIN_BYTT4[7:0]	0x00	AGC 最小ゲイン係数バイト [7:0]
0x70	AGC_NOISE_HYS_BYT1[7:0]	0x00	AGC ノイズ ゲート ヒステリシス係数バイト [31:24]
0x71	AGC_NOISE_HYS_BYT2[7:0]	0x00	AGC ノイズ ゲート ヒステリシス係数バイト [23:16]
0x72	AGC_NOISE_HYS_BYTT3[7:0]	0x18	AGC ノイズ ゲート ヒステリシス係数バイト [15:8]
0x73	AGC_NOISE_HYS_BYTT4[7:0]	0x00	AGC ノイズ ゲート ヒステリシス係数バイト [7:0]
0x74	AGC_ATTACK_HOLD_COUNT_BYT1[7:0]	0x00	AGC アタック ホールド カウント係数バイト [31:24]
0x75	AGC_ATTACK_HOLD_COUNT_BYT2[7:0]	0x00	AGC アタック ホールド カウント係数バイト [23:16]
0x76	AGC_ATTACK_HOLD_COUNT_BYTT3[7:0]	0x00	AGC アタック ホールド カウント係数バイト [15:8]
0x77	AGC_ATTACK_HOLD_COUNT_BYTT4[7:0]	0x01	AGC アタック ホールド カウント係数バイト [7:0]
0x78	AGC_RELEASE_HOLD_COUNT_BYT1[7:0]	0x00	AGC リリース ホールド カウント係数バイト [31:24]
0x79	AGC_RELEASE_HOLD_COUNT_BYT2[7:0]	0x00	AGC リリース ホールド カウント係数バイト [23:16]
0x7A	AGC_RELEASE_HOLD_COUNT_BYTT3[7:0]	0x04	AGC リリース ホールド カウント係数バイト [15:8]
0x7B	AGC_RELEASE_HOLD_COUNT_BYTT4[7:0]	0xB0	AGC リリース ホールド カウント係数バイト [7:0]
0x7C	AGC_RELEASE_HYST_BYT1[7:0]	0x00	AGC リリース ヒステリシス 係数バイト [31:24]
0x7D	AGC_RELEASE_HYST_BYT2[7:0]	0x00	AGC リリース ヒステリシス 係数バイト [23:16]
0x7E	AGC_RELEASE_HYST_BYTT3[7:0]	0x08	AGC リリース ヒステリシスの係数バイト [15:8]
0x7F	AGC_RELEASE_HYST_BYTT4[7:0]	0x00	AGC リリース ヒステリシス 係数バイト [7:0]

7.2.13 プログラム可能な係数レジスタ：ページ 28

表 7-201 に示すこのレジスタ ページは、ADC AGC および DAC DRC のプログラム可能な係数で構成されています。

表 7-201. ページ 28 のプログラム可能な係数レジスタ

アドレス	レジスタ	リセット	説明
0x00	PAGE[7:0]	0x00	デバイス ページ レジスタ
0x08	AGC_ATTACK_RATE_BYT1[7:0]	0x50	AGC アタック レート係数バイト [31:24]
0x09	AGC_ATTACK_RATE_BYT2[7:0]	0xFC	AGC アタック レート係数バイト [23:16]
0x0A	AGC_ATTACK_RATE_BYTT3[7:0]	0x64	AGC アタック レート係数バイト [15:8]
0x0B	AGC_ATTACK_RATE_BYTT4[7:0]	0x5C	AGC アタック レート係数バイト [7:0]
0x0C	AGC_RELEASE_RATE_BYT1[7:0]	0x7F	AGC リリース レート係数バイト [31:24]
0x0D	AGC_RELEASE_RATE_BYT2[7:0]	0xC4	AGC リリース レート係数バイト [23:16]

Copyright © 2025 Texas Instruments Incorporated

表 7-201. ページ 28 のプログラム可能な係数レジスタ (続き)

0x0E	AGC_RELEASE_RATE_BYTT3[7:0]	0x0E	AGC リリース レート係数バイト [15:8]
0x0F	AGC_RELEASE_RATE_BYTT4[7:0]	0x57	AGC リリース レート係数バイト [7:0]
0x1C	DRC_MAX_GAIN_BYT1[7:0]	0x00	DRC 最大ゲイン(dB)係数バイト [31:24]
0x1D	DRC_MAX_GAIN_BYT2[7:0]	0x00	DRC 最大ゲイン(dB)係数バイト [23:16]
0x1E	DRC_MAX_GAIN_BYTT3[7:0]	0x60	DRC 最大ゲイン(dB)係数バイト [15:8]
0x1F	DRC_MAX_GAIN_BYTT4[7:0]	0x00	DRC 最大ゲイン(dB)係数バイト [7:0]
0x20	DRC_MIN_GAIN_BYT1[7:0]	0xFF	DRC 最小ゲイン(dB)係数バイト [31:24]
0x21	DRC_MIN_GAIN_BYT2[7:0]	0xFF	DRC 最小ゲイン(dB)係数バイト [23:16]
0x22	DRC_MIN_GAIN_BYTT3[7:0]	0x82	DRC 最小ゲイン(dB)係数バイト [15:8]
0x23	DRC_MIN_GAIN_BYTT4[7:0]	0x00	DRC 最小ゲイン(dB)係数バイト [7:0]
0x24	DRC_ATTACK_TC_BYT1[7:0]	0x67	DRC アタック時定数係数バイト [31:24]
0x25	DRC_ATTACK_TC_BYT2[7:0]	0xED	DRC アタック時定数係数バイト [23:16]
0x26	DRC_ATTACK_TC_BYTT3[7:0]	0x87	DRC アタック時定数係数バイト [15:8]
0x27	DRC_ATTACK_TC_BYTT4[7:0]	0xBB	DRC アタック時定数係数バイト [7:0]
0x28	DRC_RELEASE_TC_BYT1[7:0]	0x7E	DRC リリース時定数係数バイト [31:24]
0x29	DRC_RELEASE_TC_BYT2[7:0]	0xAC	DRC リリース時定数係数バイト [23:16]
0x2A	DRC_RELEASE_TC_BYTT3[7:0]	0x70	DRC リリース時定数係数バイト [15:8]
0x2B	DRC_RELEASE_TC_BYTT4[7:0]	0x34	DRC リリース時定数係数バイト [7:0]
0x2C	DRC_RELEASE_HOLD_COUNT_BYT1[7:0]	0x00	DRC リリース ホールド カウント係数バイト [31:24]
0x2D	DRC_RELEASE_HOLD_COUNT_BYT2[7:0]	0x00	DRC リリース ホールド カウント係数バイト [23:16]
0x2E	DRC_RELEASE_HOLD_COUNT_BYTT3[7:0]	0x04	DRC リリース ホールド カウント係数バイト [15:8]
0x2F	DRC_RELEASE_HOLD_COUNT_BYTT4[7:0]	0xB0	DRC リリース ホールド カウント係数バイト [7:0]
0x30	DRC_RELEASE_HYST_BYT1[7:0]	0x00	DRC リリース ヒステリシスの係数バイト [31:24]
0x31	DRC_RELEASE_HYST_BYT2[7:0]	0x00	DRC リリース ヒステリシスの係数バイト [23:16]
0x32	DRC_RELEASE_HYST_BYTT3[7:0]	0x0C	DRC リリース ヒステリシスの係数バイト [15:8]
0x33	DRC_RELEASE_HYST_BYTT4[7:0]	0x00	DRC リリース ヒステリシスの係数バイト [7:0]
0x34	DRC_INV_RATIO_BYT1[7:0]	0xF8	DRC 比係数バイト [31:24]
0x35	DRC_INV_RATIO_BYT2[7:0]	0x00	DRC 比係数バイト [23:16]
0x36	DRC_INV_RATIO_BYTT3[7:0]	0x00	DRC 比係数バイト [15:8]
0x37	DRC_INV_RATIO_BYTT4[7:0]	0x00	DRC 比係数バイト [7:0]
0x38	DRC_INFLECTION_PT_BYT1[7:0]	0xFF	DRC 変曲点(dB)係数バイト [31:24]
0x39	DRC_INFLECTION_PT_BYT2[7:0]	0xFF	DRC 変曲点(dB)係数バイト [23:16]
0x3A	DRC_INFLECTION_PT_BYTT3[7:0]	0xA0	DRC 変曲点(dB)係数バイト [15:8]
0x3B	DRC_INFLECTION_PT_BYTT4[7:0]	0x00	DRC 変曲点(dB)係数バイト [7:0]

表 7-201. ページ 28 のプログラム可能な係数レジスタ (続き)

0x40	DAC_ADSR_NOTE_BYT1[7:0]	0x00	ADSR イネーブル / ディセーブル係数バイト [31:24]
0x41	DAC_ADSR_NOTE_BYT2[7:0]	0x00	ADSR イネーブル / ディセーブル係数バイト [23:16]
0x42	DAC_ADSR_NOTE_BYT3[7:0]	0x00	ADSR イネーブル / ディセーブル係数バイト [15:8]
0x43	DAC_ADSR_NOTE_BYT4[7:0]	0x00	ADSR イネーブル / ディセーブル係数バイト [7:0]
0x50	DAC_ADSR_RESTART_TIMER_BYT1[7:0]	0x00	ADSR 再起動カウント係数バイト [31:24]
0x51	DAC_ADSR_RESTART_TIMER_BYT2[7:0]	0x00	ADSR 再起動カウント係数バイト [23:16]
0x52	DAC_ADSR_RESTART_TIMER_BYT3[7:0]	0x25	ADSR 再起動カウント係数バイト [15:8]
0x53	DAC_ADSR_RESTART_TIMER_BYT4[7:0]	0x80	ADSR 再起動カウント係数バイト [7:0]
0x54	DAC_ADSR_SUSTAIN_TIMER_BYT1[7:0]	0x00	ADSR 維持カウント係数バイト [31:24]
0x55	DAC_ADSR_SUSTAIN_TIMER_BYT2[7:0]	0x00	ADSR 維持カウント係数バイト [23:16]
0x56	DAC_ADSR_SUSTAIN_TIMER_BYT3[7:0]	0x03	ADSR 維持カウント係数バイト [15:8]
0x57	DAC_ADSR_SUSTAIN_TIMER_BYT4[7:0]	0xC0	ADSR 維持カウント係数バイト [7:0]
0x58	DAC_ADSR_DELATTACK_BYT1[7:0]	0x00	ADSR アタック スロープ係数バイト [31:24]
0x59	DAC_ADSR_DELATTACK_BYT2[7:0]	0x44	ADSR アタック スロープ係数バイト [23:16]
0x5A	DAC_ADSR_DELATTACK_BYT3[7:0]	0x52	ADSR アタック スロープ係数バイト [15:8]
0x5B	DAC_ADSR_DELATTACK_BYT4[7:0]	0x3F	ADSR アタック スロープ係数バイト [7:0]
0x5C	DAC_ADSR_DELRELEASE_BYT1[7:0]	0xFF	ADSR リリース スロープ係数バイト [31:24]
0x5D	DAC_ADSR_DELRELEASE_BYT2[7:0]	0xBB	ADSR リリース スロープ係数バイト [23:16]
0x5E	DAC_ADSR_DELRELEASE_BYT3[7:0]	0xAD	ADSR リリース スロープ係数バイト [15:8]
0x5F	DAC_ADSR_DELRELEASE_BYT4[7:0]	0xC1	ADSR リリース スロープ係数バイト [7:0]
0x60	DAC_ADSR_DELDECAY_BYT1[7:0]	0x00	ADSR 減衰スロープ係数バイト [31:24]
0x61	DAC_ADSR_DELDECAY_BYT2[7:0]	0x00	ADSR 減衰スロープ係数バイト [23:16]
0x62	DAC_ADSR_DELDECAY_BYT3[7:0]	0x00	ADSR 減衰スロープ係数バイト [15:8]
0x63	DAC_ADSR_DELDECAY_BYT4[7:0]	0x00	ADSR 減衰スロープ係数バイト [7:0]
0x64	DAC_ADSR_SUSLVL_BYT1[7:0]	0x40	ADSR 維持レベルの係数バイト [31:24]
0x65	DAC_ADSR_SUSLVL_BYT2[7:0]	0x00	ADSR 維持レベルの係数バイト [23:16]
0x66	DAC_ADSR_SUSLVL_BYT3[7:0]	0x00	ADSR 維持レベルの係数バイト [15:8]
0x67	DAC_ADSR_SUSLVL_BYT4[7:0]	0x00	ADSR 維持レベルの係数バイト [7:0]

Copyright © 2025 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

TAC5301-Q1 は、最大 192kHz のサンプル レートに対応する低消費電力のオーディオ コーデックです。このデバイスは、最大 1 個のアナログ マイクでの録音をサポートしており、最大 2 チャネルの同時再生もサポートしています。1 チャネル差動出力または疑似差動出力、または最大 2 チャネルのシングルエンド出力として構成でき、ヘッドフォンおよびラインアウトドライブ機能のオプションも備えています。

制御レジスタを構成するための TAC5301-Q1 との通信は、I^2C 制御インターフェイスを使用してサポートされています。このデバイスは、柔軟性の高いオーディオ シリアル インターフェイス（TDM、I^2S、LJ）をサポートしており、システム内でデバイス間でオーディオ データをシームレスに送信できます。

8.2 代表的なアプリケーション

8.2.1 アプリケーション

図 8-1 は、アナログ ECM マイクロフォンを使用して録音とライン出力操作を行うアプリケーションでの TAC5301-Q1 の一般的な構成を示しています。この構成では、I^2C 制御インターフェイスと時分割多重 (TDM) オーディオ データ ターゲット インターフェイスが使用されています。最高の歪み性能を得るには、電圧係数の低い入力 AC カップリング コンデンサを使用してください。

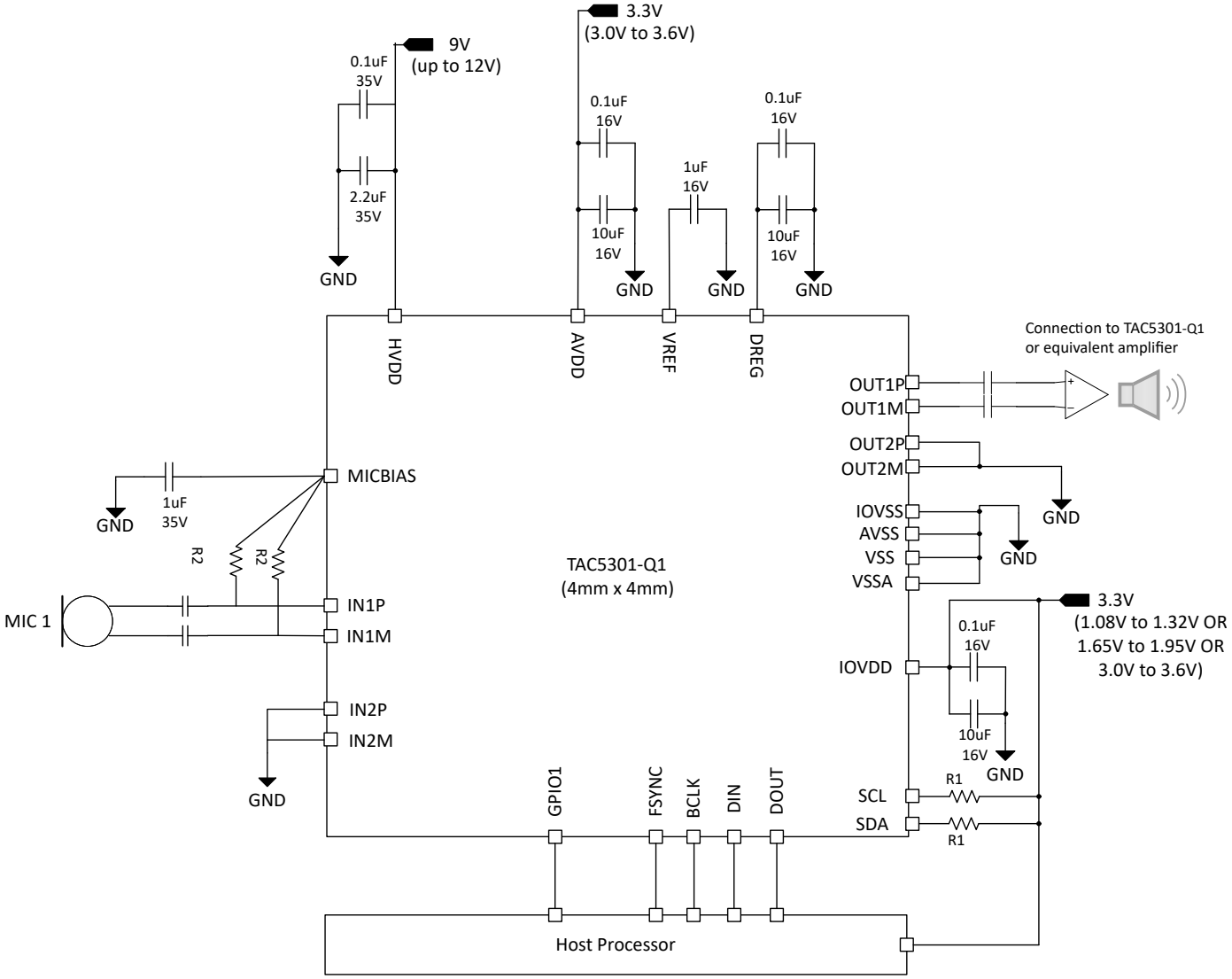


図 8-1. モノラル ライン出力付きモノラル マイクのブロック図

8.2.2 設計要件

このアプリケーションの設計パラメータを、表 8-1 に示します。

表 8-1. 設計パラメータ

パラメータ	値
AVDD	3.3V
HVDD	5.6V ～ 12V
IOVDD	1.2V、1.8V、または 3.3V
AVDD 供給電流消費	24.5mA、AVDD = 3.3V (MICBIAS オン、PLL オン、モノラル録音および再生、f_s = 48kHz)
HVDD 供給電流消費	1.1mA、HVDD = 11V
IOVDD 供給電流消費	0.3mA、IOVDD = 3.3V
最大 MICBIAS 電流	30mA
OUT1M、OUT1P、OUT2M、OUT2P での負荷	>600ohms

Copyright © 2025 Texas Instruments Incorporated

8.2.3 詳細な設計手順

このセクションでは、この特定のアプリケーション用に TAC5301-Q1 を設定するために必要な手順について説明します。以下の手順では、デバイスに電源を投入してから、デバイスからデータを読み取るか、または 1 つのモードから別の動作モードに移行するまでの間に実行する必要がある一連の項目を示します。

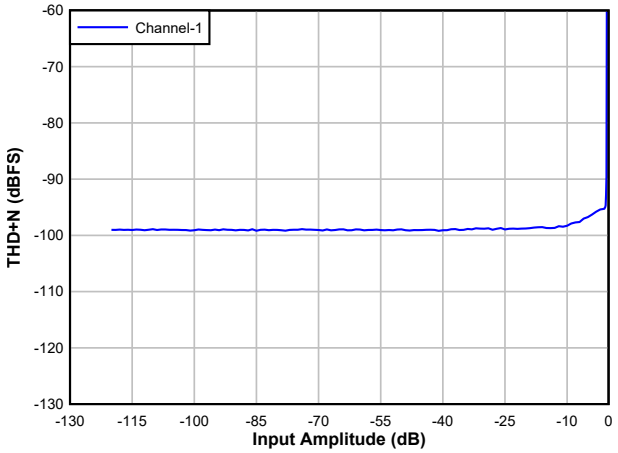
1. ボードに電源を供給します。
   a. IOVDD、HVDD と AVDD の電源をオンにします
   b. デバイスが内部レジスタを初期化できるよう、少なくとも 2 ミリ秒待ちます。
   c. デバイスがスリープ モードに移行します（低消費電力モード < 10μA）
2. 動作に必要な場合に次のようにスリープ モードからアクティブ モードに遷移します。
   a. P0_R2 に書き込んでスリープ モードを無効にすることで、デバイスを起動します
   b. デバイスが内部ウェイクアップ シーケンスを完了できるように、少なくとも 2 ミリ秒待ちます
   c. 必要に応じて、デフォルトの構成レジスタまたはプログラム可能な係数値を上書きします（このステップはオプションです）
   d. P0_R118 に書き込んで、必要なすべての入力チャネルを有効にします
   e. DAC 用に P0_R40 から P0_R47 に、ADC 用に P0_R30 から P0_R37 に書き込むことで、必要なオーディオ シリアル インターフェースの入出力チャンネルをすべて有効にします
   f. P0_R120 に書き込んで ADC、DAC、MICBIAS を起動します
   g. 希望する出力サンプル レートと BCLK と FSYNC の比率で FSYNC と BCLK を適用します。

      この特定のステップは、ステップ a 以降のシーケンスの任意の時点で実行できます。

      サポートされているサンプル レートと BCLK 対 FSYNC 比については、セクション 6.3.2 を参照してください。
   h. ホスト プロセッサに TDM オーディオ シリアル データ バスを使用してデバイス録音データが送信受信され、TDM からの再生データをライン出力で再生できます
3. 低消費電力動作のためにシステムの必要に応じて、アクティブ モードからスリープ モードに（再度）遷移します。
   a. P0_R2 に書き込んでスリープ モードに移行し、スリープ モードをイネーブルにします
   b. ボリュームが下降し、すべてのブロックがパワーダウンするまで、少なくとも 10ms（FSYNC = 48kHz のとき）待ちます
   c. P0_R122 を読み出して、デバイスのシャットダウンおよびスリープ モードのステータスを確認します
   d. デバイス P0_R122_D[7:5] のステータス ビットが 3'b100 の場合、システム内の FSYNC と BCLK を停止します
   e. この時点で、デバイスはスリープ モード（低消費電力モード < 10μA）に移行し、すべてのレジスタ値が保持されます
4. 記録動作に必要な場合に、スリープ モードからアクティブ モードに（再度）遷移します。
   a. P0_R2 に書き込んでスリープ モードを無効にすることで、デバイスを起動します
   b. デバイスが内部ウェイクアップ シーケンスを完了できるように、少なくとも 2 ミリ秒待ちます
   c. 希望する出力サンプル レートと BCLK と FSYNC の比率で FSYNC と BCLK を適用します。
   d. ホスト プロセッサに TDM オーディオ シリアル データ バスを使用してデバイス録音データが送信受信され、TDM からの再生データをライン出力で再生できます
5. さまざまなデバイス構成と動作モードに対して、必要に応じて手順 4 と手順 5 を繰り返します

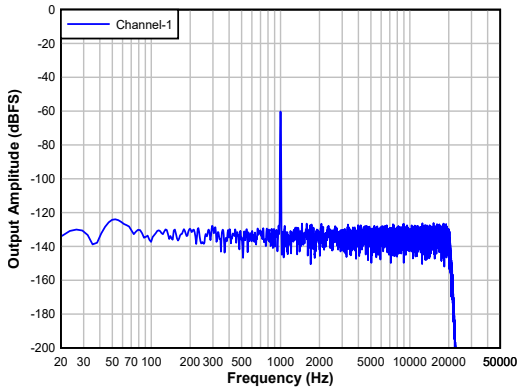
8.2.4 代表的特性

T_A = 25℃、AVDD = 3.3V、IOVDD = 3.3V、HVDD = 11V、f_{IN} = 1kHz 正弦波信号、f_S = 48kHz、32 ビット オーディオ データ、BCLK = 256 × f_S、TDM ターゲット モード、PLL オン、チャネル ゲイン = 0dB、リニア位相デシメーション / 補間フィルタ、AC 結合差動入力、VCM = 1.414V、1200Ω ライン出力負荷 (差動構成)、およびその他のデフォルト構成、フィルタなしでオーディオ精度 20Hz ～ 20kHz の非加重帯域幅で測定 (特に記載がない限り)



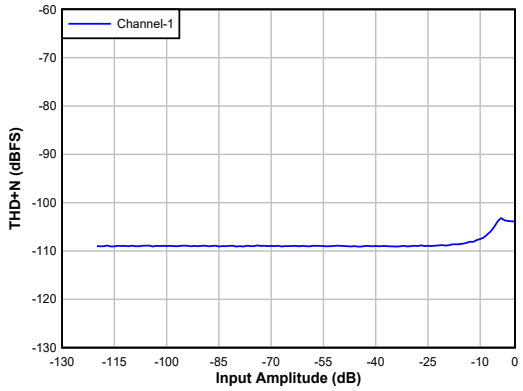
AC 結合差動ライン入力

図 8-2. ADC の THD +N レベルと入力との関係



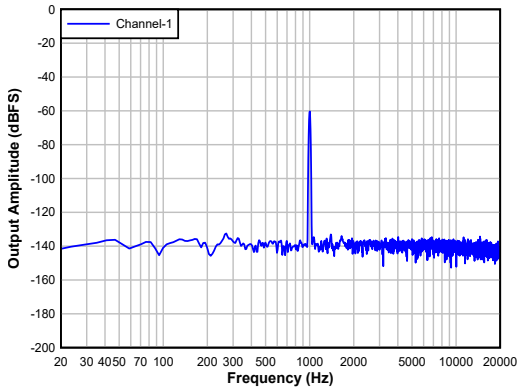
AC 結合差動ライン入力

図 8-3. -60dBFS 入力の ADC FFT



差動ライン出力

図 8-4. DAC の THD +N レベルと入力との関係



差動ライン出力

図 8-5. -60dBFS 入力の DAC FFT

8.3 電源に関する推奨事項

IOVDD、HVDD および AVDD レール間の電源供給シーケンスは、任意の順序で適用できます。ただし、すべての電源が安定した後で、デバイスを初期化するために I^2C トランザクションのみを開始します。

電源の起動要件については、デバイスが内部レジスタを初期化できるようにするには、t_1、t_2 および t_3 が 2ms 以上である必要があります。デバイスの電源が推奨動作電圧レベルに安定した後で、各種モードでデバイスが動作する方法の詳細については、セクション 6.4 を参照してください。電源のパワーダウン要件では、t_4、t_5 および t_6 が 10ms 以上必要です。このタイミング (図 8-6 を参照) により、デバイスは記録再生データのボリュームを下げて、アナログ ブロックとデジタル ブロックをパワーダウンして、デバイスをシャットダウン モードに移行できます。また、電源を徐々に落とすことで、この装置を即座にシャットダウン モードにすることもできますが、そうすると急激なシャットダウンが発生します。

Copyright © 2025 Texas Instruments Incorporated

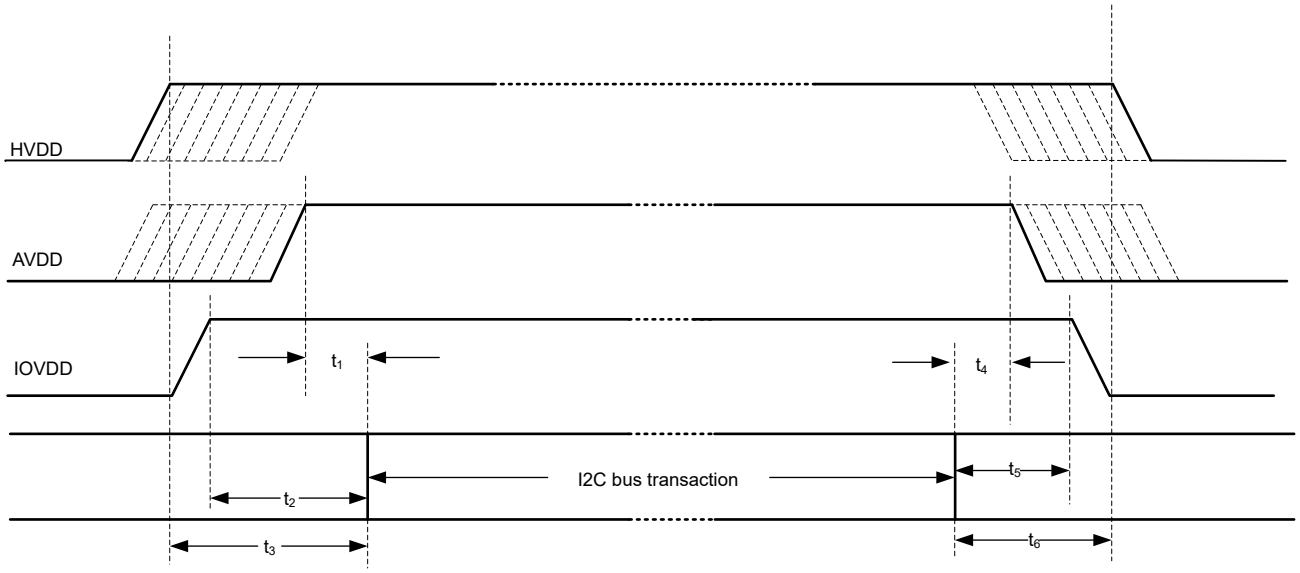


図 8-6. 電源シーケンス要件のタイミング図

電源ランプ レートが 0.1V/µs より遅いこと、およびパワーダウンとパワーアップ イベント間の待機時間が少なくとも 100ms であることを確認してください。供給ランプ レートが 0.1V/ms より遅い場合、ホスト デバイスは、デバイス構成を行う前に、最初のトランザクションとしてソフトウェア リセットを適用する必要があります。すべてのデジタル入力ピンが有効な入力レベルにあり、電源シーケンス中にトグルしていないことを確認してください。

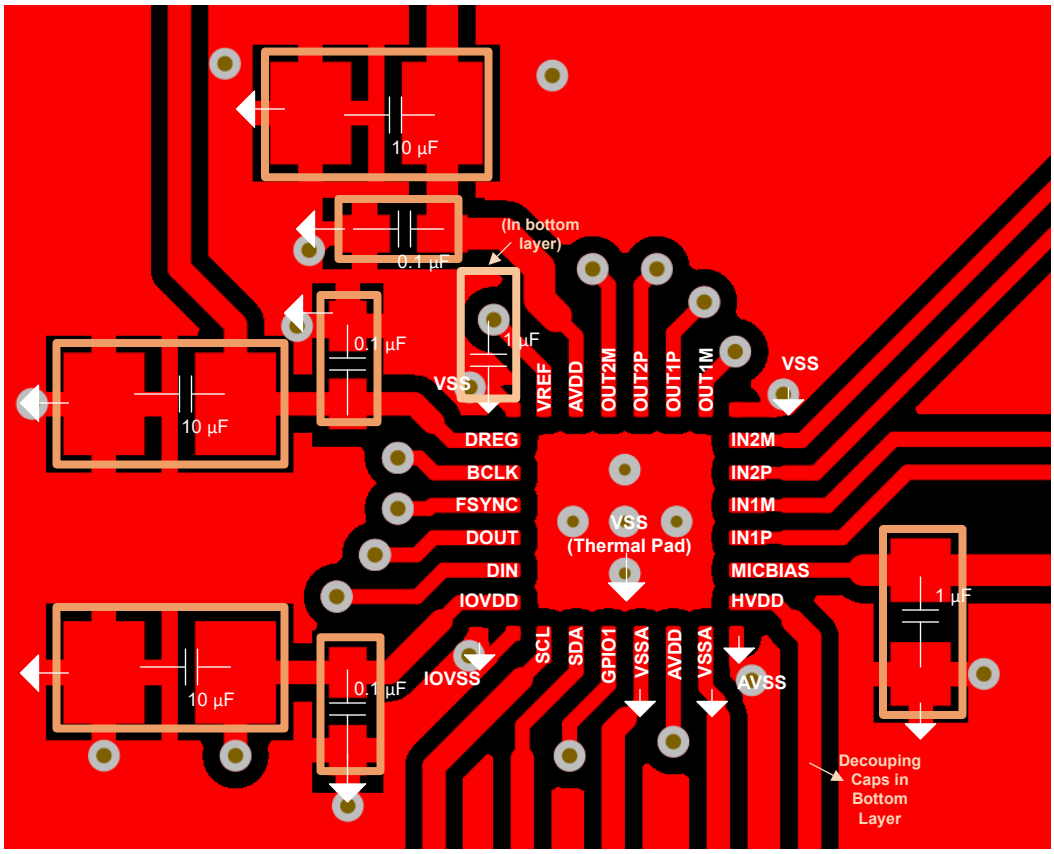
TAC5301-Q1 は、オンチップのデジタル レギュレータ DREG とアナログ レギュレータ AREG を統合することで、単一の AVDD 電源供給動作をサポートします。IOVDD_IO_MODE（P0_R2_D[1]）レジスタが、セクション 8.3.1 に記載されている通りに、IOVDD 1.8V および 1.2V 動作用に正しく設定されていることを確認してください。

8.3.1 1.8V および 1.2V での動作のための IOVDD_IO_MODE

電源が安定した後、デフォルトのレジスタ構成では、デフォルト構成のデバイスの最初の電源投入時に IOVDD = 1.8V または 1.2V でサポート可能な最大クロック速度に速度制限があります。ただし、最初の書き込み操作は除きます。IOVDD 1.8V および 1.2V 動作を使用する際、ユーザーによる最初の操作はパワーアップまたはリセット後に IOVDD_IO_MODE (P0_R2_D[1]) 設定を 1'b1 に書き込むことで、その後はデバイスの動作に速度制限はありません。IOVDD 3.3V 動作を使用する場合、この設定は不要であるか、適用されません。

8.4 レイアウト

8.4.1 レイアウト例



8.4.2 レイアウトのガイドライン

それぞれのシステム設計とプリント回路基板（PCB）レイアウトは独自です。レイアウトは、特定の PCB 設計のコンテキストで慎重に確認する必要があります。ただし、デバイスの性能を最適化するには、以下のガイドラインを使用します。

- サーマル パッドをグランドに接続します。デバイスの真下にあるデバイスの熱パッドをグランド プレーンに接続するために、ビア パターンを使用します。この接続は、デバイスからの熱を放散するのに役立ちます。
- すべてのグラウンド ピンをボードのグランド プレーンにスター接続します。VSS と AVSS 間での電圧差を避けるため、同じグランドを使用します。
- 使用する電源デカップリング コンデンサには、低 ESR のセラミック タイプを使用する必要があります。
- ノイズ耐性を向上させるため、アナログ差動オーディオ信号は PCB 上で差動形式で配線します。望ましくないクロストークを防止するため、デジタル信号とアナログ信号の交差は避けてください。
- 高周波クロック信号と制御信号を INxx ピンと OUTxx ピンの近くに配置することは避けます。
- デバイスの内部電圧リファレンスは、外付けのコンデンサを使用してフィルタ処理する必要があります。優れた性能を得るため、フィルタ コンデンサは VREF ピンの近くに配置します。
- 複数のマイクのバイアス線や供給線を配線する際に、マイク間でのカップリングを避けるために、MICBIAS ピンに直接接続して共通インピーダンスを避けます。
- VREF および MICBIAS の外部コンデンサのグランド端子から VSS への直接接続を提供します。
- MICBIAS コンデンサ（低い等価直列抵抗を持つもの）を、デバイスにできるだけ近く、トレース インピーダンスが最小となるように配置します。
- 高電圧定格 (25V 超) の MICBIAS コンデンサと HVDD コンデンサを使用して、高電圧の MICBIAS 動作に対応します。
- マイクの入力パスに含まれる高周波電磁干渉 (EMI) ノイズは、システムの長いケーブル(使用する場合) に起因するもので、抑制またはフィルタ処理するために、外部回路を使用する必要があります。

Copyright © 2025 Texas Instruments Incorporated

- デバイスとデカップリング キャパシタの間で電力および信号電流の最小インピーダンスを提供するために、グランド プレーンを使用します。デバイスの真下の領域を、デバイスのための中央グラウンド エリアとして扱い、すべてのデバイスのグラウンドをそのエリアに直接接続します。

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、システムの開発を行うためのツールやソフトウェアを、以下に挙げます。

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、*TAx5x1xQ15B5EVM 評価基板 ユーザー ガイド*
- テキサス インスツルメンツ、*デバイス クロック構成および TAx5x1x ファミリ向けフレキシブル クロッキング アプリケーション レポート*
- テキサス インスツルメンツ、*TAx5x1x ファミリでサポートされているクロック エラーの構成、検出、およびモード アプリケーション レポート*
- テキサス・インスツルメンツ、『*TAx5x1x-Q1 デバイスのアナログ入力構成、ミキシングおよび多重化*』アプリケーション・レポート
- テキサス インスツルメンツ、*TAC5x1x および TAC5x1x-Q1 プログラマブル バイクアッド フィルタ - 構成と用途 アプリケーション レポート*
- テキサス インスツルメンツ、*TAx5x1x-Q1 さまざまな使用シナリオにおける消費電力マトリックス アプリケーション レポート(*
- テキサス インスツルメンツ、*共有 TDM および I2C/SPI バスを搭載した複数の TAC5x1x デバイス アプリケーション レポート*
- テキサス インスツルメンツ、*TAX5X1X 同期サンプル レート変換アプリケーション レポート*
- テキサス インスツルメンツ、*TAx5x1x デバイスのトーン生成とアプリケーション モード アプリケーション レポート*
- テキサス インスツルメンツ、*AC 結合および DC 結合 DAC の出力スイングおよび同相設定 アプリケーション レポート*
- テキサス インスツルメンツ、*TAX5XXX-Q1 における動的電圧および温度トラッキング ベースのリミッタ アプリケーション レポート*
- テキサス インスツルメンツ、*TAx5xxx-Q1 デバイスにおけるインターチップ リミッタ アライメント アプリケーション レポート(*
- テキサス インスツルメンツ、*TAx52xx ファミリ用ヘッドセット検出アプリケーション レポート*
- テキサス インスツルメンツ、*TAD5xx2 デバイスにおける帯域外ノイズの改善アプリケーション レポート*
- テキサス インスツルメンツ、*TAx5x1x プログラム可能デジタル チャネル ミキサの使用アプリケーション レポート*
- テキサス インスツルメンツ、*共有 TDM および I2C/SPI バスを搭載した複数の TAC5x1x デバイス アプリケーション レポート*
- テキサス インスツルメンツ、*TAC5212 統合アナログ アンチエイリアシング フィルタおよび柔軟なデジタル フィルタ アプリケーション レポート*
- テキサス インスツルメンツ、*TAC5212 サンプリング レートとサポートされるプログラマブル処理ブロック アプリケーション レポート*

9.2 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
April 2025	*	初版リリース

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TAC5301QRGERQ1	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TAC5301 Q1
TAC5301QRGERQ1.A	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TAC5301 Q1

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

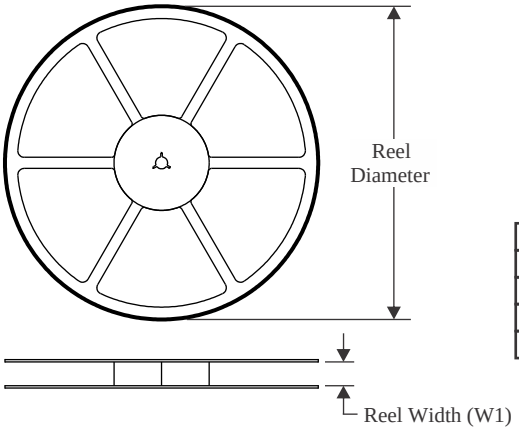
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

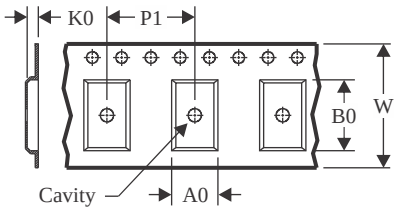
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

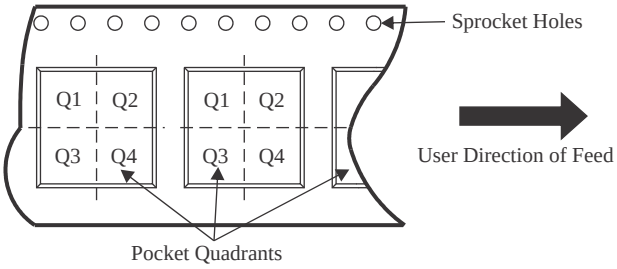


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

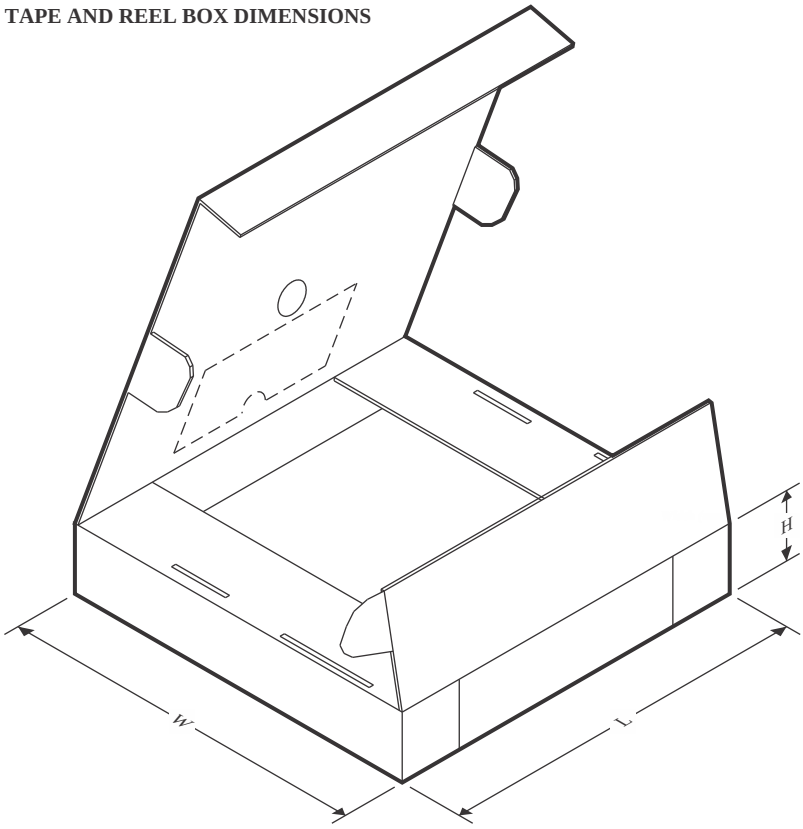
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TAC5301QRGERQ1	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS

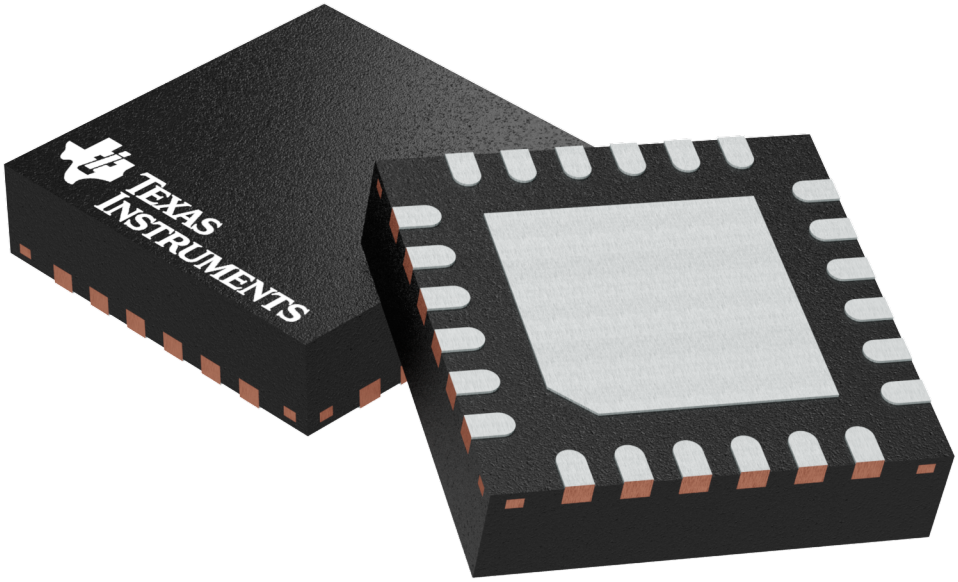


*All dimensions are nominal

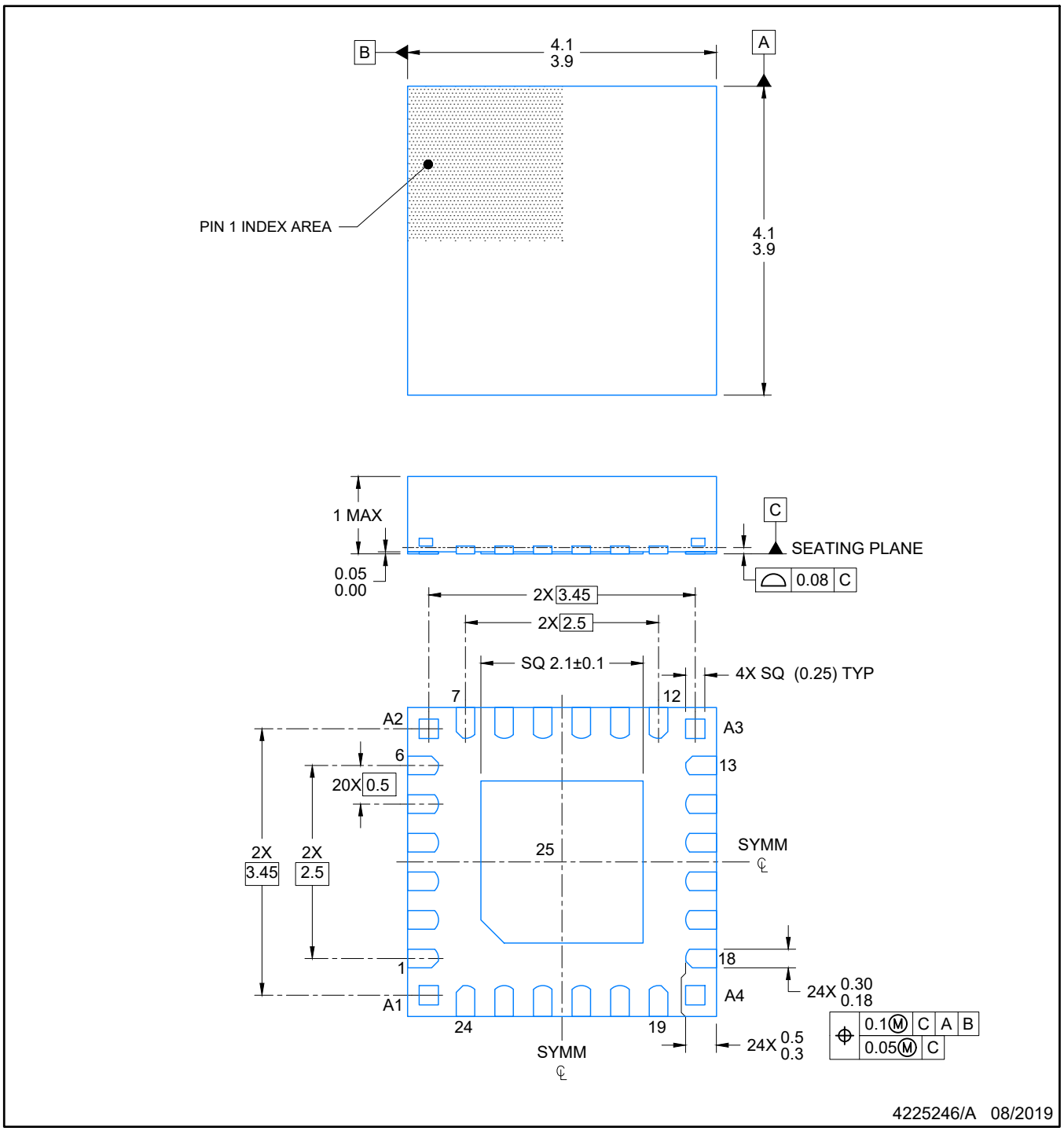
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TAC5301QRGERQ1	VQFN	RGE	24	3000	367.0	367.0	35.0

RGE 24 VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

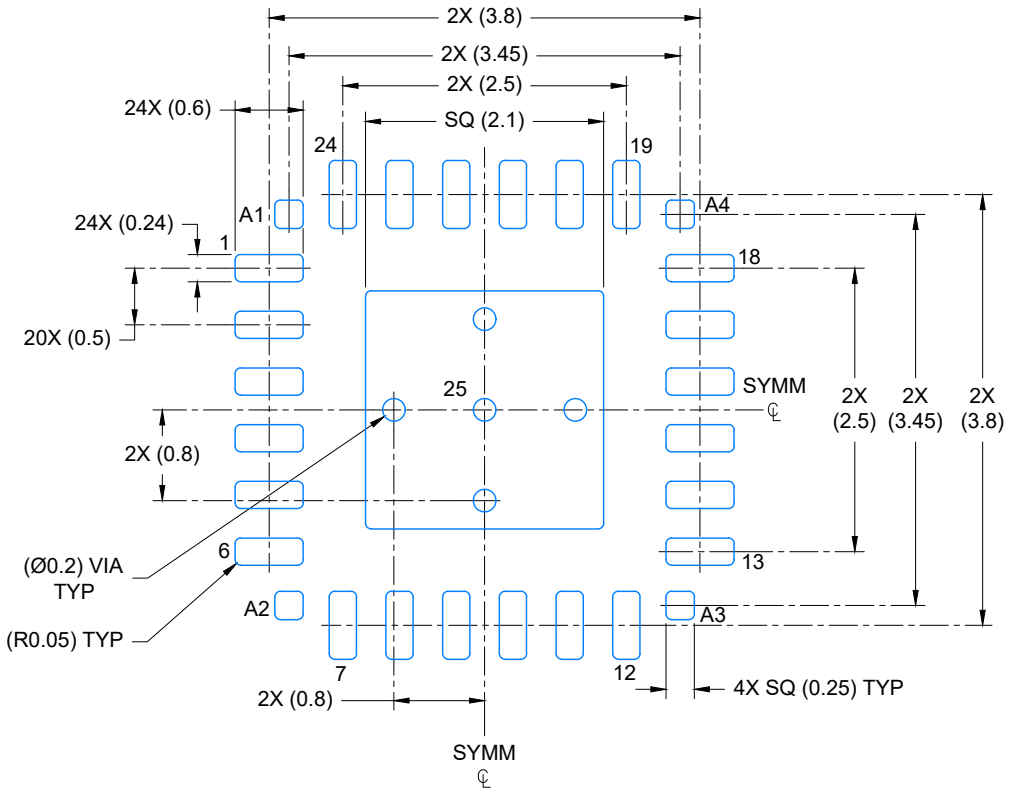


Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

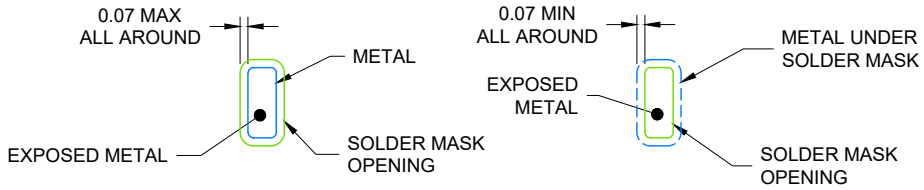


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



NON SOLDER MASK DEFINED (PREFERRED)

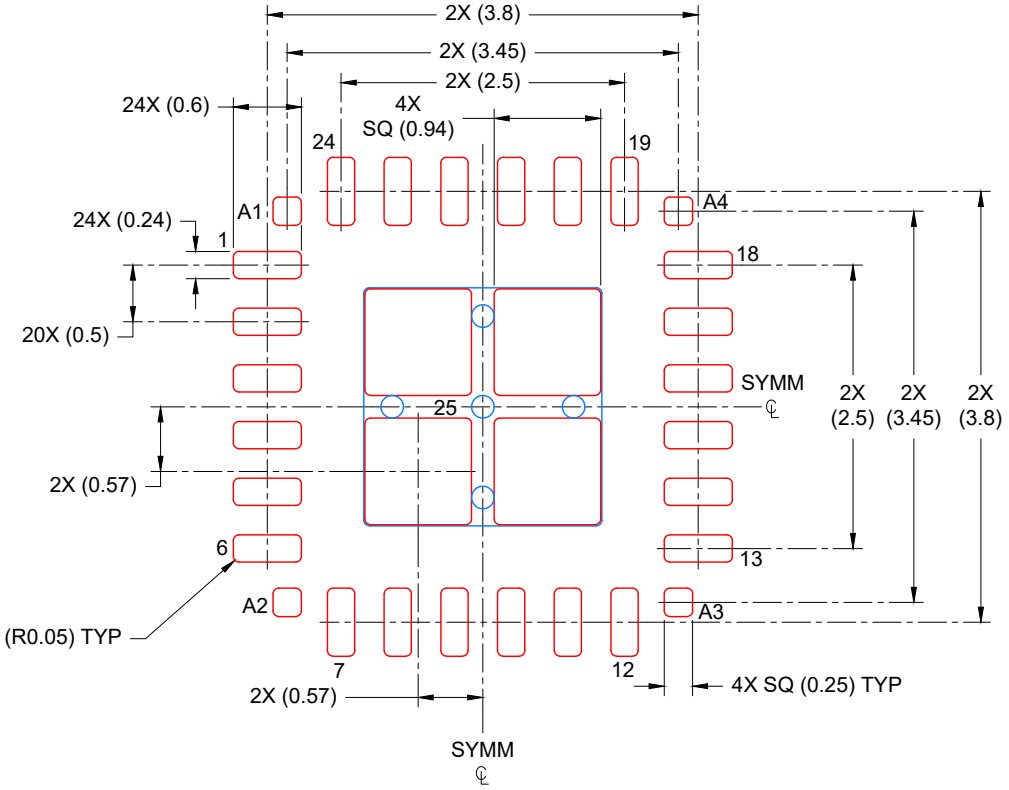
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4225246/A 08/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
80% PRINTED COVERAGE BY AREA
SCALE: 15X

4225246/A 08/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月