

TAA5212 119dB のダイナミックレンジと構成可能なデジタルフィルタ搭載、高性能ステレオオーディオADC

1 特長

- ステレオ高性能オーディオ ADC
 - 性能:
 - ライン / マイクロフォン差動入力のダイナミックレンジ: 119dB
 - 差動入力 THD+N: -98 dB
 - チャネル加算モードで高 SNR をサポート: 122 dB
 - 入力電圧:
 - 差動、 $2V_{RMS}$ フルスケール入力
 - シングルエンド、 $1V_{RMS}$ フルスケール入力
 - 入力ミックス / マルチプレクサのオプション
 - サンプルレート (f_S) = 4kHz ~ 768kHz
 - プログラム可能なマイクロフォンバイアス (最大 3V)
- 主な特長
 - 最大 4 つのレコードチャネル
 - 2 チャネルアナログ + 2 チャネルデジタル
 - 1 チャネルアナログ + 3 チャネルデジタル
 - 4 チャネルデジタル
 - 音声アクティビティ検出
 - 超音波アクティビティ検出
 - 低レイテンシおよび超低レイテンシのデシメーションフィルタ選択オプション
 - HPF およびバイカッドフィルタをプログラム可能
 - I²C または SPI 制御インターフェイス
 - オーディオシリアルインターフェイス
 - フォーマット: TDM, I²S, 左揃え (LJ)
 - バスコントローラおよびターゲットモード
 - TDM モードのデイジーチェーン
 - ワード長: 16, 20, 24 または 32 ビットを選択可能
 - 柔軟なクロック供給のためのプログラム可能な PLL
 - クロックとサンプルレートの自動検出
 - 低消費電力モード
 - 1 チャネルで 5mW、2 チャネル記録で 8mW (1.8V 電源)
 - 差動入力動的範囲: 105dB
 - 単一電源動作 AVDD: 1.8V または 3.3V
 - I/O 電源動作: 1.2V, 1.8V, または 3.3V
 - 温度グレード: $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$

2 アプリケーション

- テレビ会議システム
- IP ネットワークカメラ
- IP 電話

- スマートスピーカー
- 業務用マイクとワイヤレスシステム
- 業務用オーディオミキサ / 制御卓

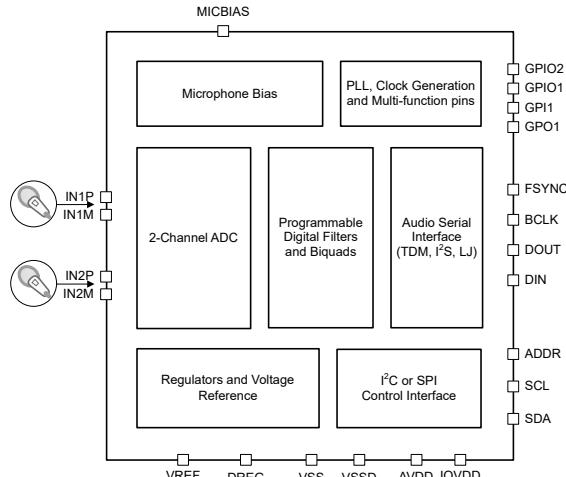
3 説明

TAA5212 は、 $2V_{RMS}$ の差動入力と 119dB のダイナミックレンジを備えた高性能ステレオオーディオ ADC です。TAA5212 は、AC または DC 結合構成のオプションにより、差動とシングルエンドの両方のライン / マイクロフォン入力信号をサポートします。TAA5212 は、プログラム可能なチャネルゲイン、デジタル音量制御、低ジッタの位相ロックループ (PLL)、プログラム可能なデジタルハイパスフィルタ (HPF)、プログラム可能な EQ およびバイカッドフィルタ、低レイテンシのフィルタモード、を内蔵しており、最大で 768kHz のサンプルレートをサポートします。TAA5212 は、コントローラおよびターゲットモードで時分割多重化 (TDM)、I²S、または左揃え (LJ) オーディオフォーマットをサポートし、I²C または SPI で制御されます。これらの高性能な機能を搭載し、単一電源で動作するので、TAA5212 はスペースの制約が厳しいオーディオアプリケーションに最適です。

製品情報

部品番号	パッケージ (1)	パッケージサイズ(公称) (2)
TAA5212	VQFN (24)	4mm × 4mm, 0.5mm ピッチ

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
 (2) パッケージサイズ(長さ × 幅)は公称値であり、該当する場合はピンも含まれます。



概略ブロック図



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール(機械翻訳)を使用していることがあり、TIでは翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	6 詳細説明	21
2 アプリケーション	1	6.1 概要	21
3 説明	1	6.2 機能ブロック図	22
4 ピン構成および機能	3	6.3 機能説明	22
5 仕様	5	6.4 デバイスの機能モード	59
5.1 絶対最大定格	5	6.5 プログラミング	60
5.2 ESD 定格	5	7 レジスタ マップ	66
5.3 推奨動作条件	5	7.1 デバイス構成レジスタ	66
5.4 熱に関する情報	6	7.2 プログラマブル係数レジスタ	135
5.5 電気的特性	6	8 アプリケーションと実装	149
5.6 タイミング要件:I ² C インターフェイス	12	8.1 アプリケーション情報	149
5.7 スイッチング特性:I ² C インターフェイス	13	8.2 代表的なアプリケーション	149
5.8 タイミング要件:SPI インターフェイス	13	8.3 電源に関する推奨事項	152
5.9 スイッチング特性:SPI インターフェイス	13	8.4 レイアウト	153
5.10 タイミング要件:TDM、I ² S または LJ インターフェイス	14	9 デバイスおよびドキュメントのサポート	155
5.11 スイッチング特性:TDM、I ² S または LJ インターフェイス	14	9.1 ドキュメントのサポート	155
5.12 タイミング要件:PDM デジタルマイクロフォンインターフェイス	15	9.2 ドキュメントの更新通知を受け取る方法	155
5.13 スイッチング特性:PDM デジタルマイクロフォンインターフェイス	15	9.3 サポート・リソース	155
5.14 タイミング図	16	9.4 商標	155
5.15 代表的特性	18	9.5 静電気放電に関する注意事項	155
		9.6 用語集	155
		10 改訂履歴	155
		11 メカニカル、パッケージ、および注文情報	156

4 ピン構成および機能

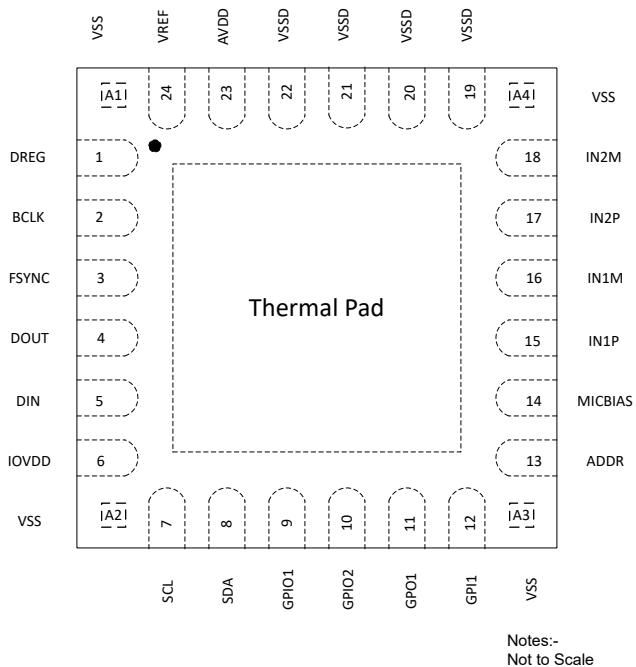


図 4-1. 24 ピン QFN パッケージ、露出サーマル パッドおよびコーナー ピン付き、上面図

表 4-1. ピンの機能

ピン		種類 ⁽¹⁾	説明
名称	番号		
VSS	A1	グランド	グランドピン。基板のグランドプレーンへ直接短絡します。
DREG	1	デジタル電源	デジタル電源用デジタル オンチップ レギュレータ出力電圧(1.55V、公称値)
BCLK	2	デジタルI/O	オーディオシリアルデータインターフェイスのバスビットクロック
FSYNC	3	デジタルI/O	オーディオシリアルデータインターフェイスバスフレームの同期信号
DOUT	4	デジタル出力	オーディオシリアルデータインターフェイスバス出力
DIN	5	デジタル入力	オーディオシリアルデータインターフェイスバス入力(デイジーチェーン入力)
IOVDD	6	デジタル電源	デジタルI/O電源(1.2V、1.8Vまたは3.3V、公称値)
VSS	A2	グランド	グランドピン。基板のグランドプレーンへ直接短絡します。
SCL	7	デジタル入力	I ² C制御インターフェイス用クロック
SDA	8	デジタル入力	I ² C制御インターフェイス用データ
GPIO1	9	デジタルI/O	汎用デジタル入出力1(デイジーチェーン入力、オーディオデータ出力、PLL入力クロックソース、割り込みなど、多目的機能)
GPIO2	10	デジタルI/O	汎用デジタル入出力2(デイジーチェーン入力、オーディオデータ出力、PLL入力クロックソース、割り込みなど、多目的機能)
GPO1	11	デジタル出力	汎用デジタル出力1(音声データ出力、割り込みなど多目的機能)

表 4-1. ピンの機能 (続き)

ピン		種類 ⁽¹⁾	説明
名称	番号		
GPI1	12	デジタル入力	汎用デジタル入力 1(デイジーチェーン入力、PLL 入力クロック ソースなど、多目的機能)
VSS	A3	グランド	グランド ピン。基板のグランド プレーンへ直接短絡します。
ADDR	13	アナログ入力	I ² C アドレス
MICBIAS	14	アナログ	マイク バイアス出力 (最大 3V までプログラム可能)
IN1P	15	アナログ入力	アナログ入力 1P ピン
IN1M	16	アナログ入力	アナログ入力 1M ピン
IN2P	17	アナログ入力	アナログ入力 2P ピン
IN2M	18	アナログ入力	アナログ入力 2M ピン
VSS	A4	グランド	グランド ピン。基板のグランド プレーンへ直接短絡します。
VSSD	19	グランド	基板のグランド プレーンへ直接短絡します
VSSD	20	グランド	基板のグランド プレーンへ直接短絡します
VSSD	21	グランド	基板のグランド プレーンへ直接短絡します
VSSD	22	グランド	基板のグランド プレーンへ直接短絡します
AVDD	23	アナログ電源	アナログ電源 (1.8V または 3.3V、公称値)
VREF	24	アナログ	アナログ リファレンス電圧フィルタ出力
VSS	サーマルパッド	グランド	サーマル パッドを内部デバイスのグランドに短絡します。基板のグランド プレーンへ直接短絡します。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
電源電圧	AVDD から VSS (サーマル パッド)	-0.3	3.9	V
電源電圧	IOVDD から VSS (サーマル パッド)	-0.3	3.9	V
グランドとの電位差	VSSD から VSS (サーマル パッド)	-0.3	0.3	V
アナログ入力電圧	アナログ入力ピン電圧から VSS (サーマル パッド)	-0.3	5.656	V
デジタル入力電圧	デジタル入力ピン電圧から VSS (サーマル パッド)	-0.3	IOVDD + 0.3	V
温度	機能周囲温度、 T_A	-55	125	°C
	動作時周囲温度、 T_A	-40	125	
	接合部、 T_J	-40	150	
	保存、 T_{stg}	-65	150	

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

		値	単位	
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
$V_{(ESD)}$	静電放電	荷電デバイス モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾		

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
 (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
電源					
AVDD ⁽¹⁾	アナログ電源電圧を VSS (サーマル パッド) に接続 - AVDD 3.3V 動作	3.0	3.3	3.6	V
	アナログ供給電圧を VSS (サーマル パッド) に接続 - AVDD 1.8V 動作 ⁽²⁾	1.65	1.8	1.95	
IOVDD	IO 供給電圧を VSS (サーマル パッド) に接続 - IOVDD 3.3V 動作	3.0	3.3	3.6	V
	IO 供給電圧を VSS (サーマル パッド) に接続 - IOVDD 1.8V 動作 ⁽³⁾	1.65	1.8	1.95	
	IO 供給電圧を VSS (サーマル パッド) に接続 - IOVDD 1.2V 動作 ⁽³⁾	1.08	1.2	1.32	
入力					
INxx	ラインイン記録のためのアナログ入力ピン電圧を VSS (サーマル パッド) に接続	0	5.6		V
IO	デジタル入力ピン 電圧から VSS (サーマル パッド)	0	IOVDD		V
ADDR	ADDR ピン w.r.t VSS (サーマル パッド)	0	AVDD		V
温度					
T_A	動作時の周囲温度	-40	125		°C

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
その他					
CCLK	GPIOx または GPIx コントローラ モード クロック周波数 (CCLK)		36.864 ⁽⁴⁾		MHz
C _b	I ² C インターフェイスの SCL および SDA バス容量は、スタンダード モードおよび ファースト モードをサポートしています		400		pF
	I ² C インターフェイスの SCL および SDA バス容量は、ファーストモード プラスをサポートしています		550		
C _L	デジタル出力負荷容量	20	50		pF

- (1) VSSD および VSS(サーマル パッド)。すべてのグランドピンは一緒に接続する必要があり、電圧の差は 0.2V を超えてはなりません。
- (2) AVDD 1.8V 動作のために、AVDD_MODE ビットを正しく設定してください。詳細については、セクション 7.3 をご参照ください。
- (3) IOVDD が 1.8V および 1.2V の動作の場合、IOVDD_IO_MODE ビットを正しく設定します。詳細については、セクション 7.3 をご参照ください。
- (4) CCLK 入力の立ち上がり時間(V_{IL} から V_{IH})と立ち下がり時間(V_{IH} から V_{IL})は 5ns 未満である必要があります。オーディオのノイズ特性を向上させるには、低ジッタの CCLK 入力を使用する必要があります。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		TAA5212	単位
		RGE (VQFN)	
		24 ピン	
R _{θJA}	接合部から周囲への熱抵抗	38.4	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	26.3	°C/W
R _{θJB}	接合部から基板への熱抵抗	15.9	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.5	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	15.8	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	13.8	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 電気的特性

$T_A = 25^\circ\text{C}$ 、AVDD = 3.3V、IOVDD = 3.3V、f_{IN} = 1kHz 正弦波信号、f_S = 48kHz、32 ビット オーディオ データ、BCLK = 256 × f_S、TDM ターゲット モード、線形位相のデシメーション フィルタ、5kΩ の入力インピーダンス設定、ADC_CHx_CM_TOL = 2'b00 による AC 結合の差動入力、または ADC_CHx_CM_TOL = 2'b10 による DC 結合の差動入力 (該当する場合)、PLL オン、チャネル ゲイン = 0dB、MICBIAS は VREF に設定、その他のデフォルト構成、フィルタなしでオーディオ精度を 20Hz から 20kHz の非加重帯域幅で測定 (特に記載のない限り)

パラメータ	テスト条件	最小値	公称値	最大値	単位
入力録音における ADC の性能					
	差動入力のフルスケール AC 信号電圧	AC 結合または DC 結合の入力	2		V _{RMS}
	差動入力のフルスケール AC 信号電圧	DC 結合入力 (高スイング モード) ⁽³⁾	4		V _{RMS}
	シングルエンド入力のフルスケール AC 信号電圧	AC 結合または DC 結合の入力	1		V _{RMS}
	シングルエンド入力のフルスケール AC 信号電圧	DC 結合入力 (高スイング モード) ⁽³⁾	2		V _{RMS}
SNR	信号対雑音比、A 特性補正 ^{(1) (2)}	INxx の差動 AC 結合入力、および AC 信号がグランドに短絡された状態、チャネル ゲインは 0dB	119		dB
		INxx の差動 AC 結合入力、および AC 信号がグランドに短絡された状態、チャネル ゲインは 12dB	107		

$T_A = 25^\circ\text{C}$ 、 $\text{AVDD} = 3.3\text{V}$ 、 $\text{IOVDD} = 3.3\text{V}$ 、 $f_{IN} = 1\text{kHz}$ 正弦波信号、 $f_S = 48\text{kHz}$ 、32 ビット オーディオ データ、 $\text{BCLK} = 256 \times f_S$ 、
 TDM ターゲット モード、線形位相のデシメーション フィルタ、 $5\text{k}\Omega$ の入力インピーダンス設定、 $\text{ADC_CHx_CM_TOL} = 2'b00$ による
 AC 結合の差動入力、または $\text{ADC_CHx_CM_TOL} = 2'b10$ による DC 結合の差動入力(該当する場合)、PLL オン、チャネル ゲイン
 = 0dB、 MICBIAS は VREF に設定、その他のデフォルト構成、フィルタなしでオーディオ精度を 20Hz から 20kHz の非加重帯域幅で
 測定(特に記載のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
SNR	信号対雑音比、A 特性補正 ^{(1) (2)}	INxx の差動 DC 結合入力、および AC 信号がグランドに短絡された状態、チャネル ゲインは 0dB		111		dB
		INxx の差動 DC 結合入力、および AC 信号がグランドに短絡された状態、チャネル ゲインは 12dB		99		
SNR	信号対雑音比、A 特性補正 ^{(1) (2)}	広帯域モード ⁽⁴⁾ : INxx の差動 DC 結合入力、および AC 信号がグランドに短絡された状態、チャネル ゲインは 0dB (20kHz まで積分、A 補正)		100		dB
SNR	信号対雑音比 ⁽¹⁾	広帯域モード ⁽⁴⁾ : INxx の差動 DC 結合入力、AC 信号はグランドに短絡、チャネル ゲイン 0dB (85kHz まで積分)		89		dB
SNR	信号対雑音比、A 特性補正 ^{(1) (2)}	パワー チューン モード ⁽⁵⁾ : INxx の差動 AC 結合入力、および AC 信号がグランドに短絡された状態、チャネル ゲインは 0dB		104		dB
		パワー チューン モード ⁽⁵⁾ : INxx の差動 DC 結合入力、および AC 信号がグランドに短絡された状態、チャネル ゲインは 0dB		103		
SNR	信号対雑音比、A 特性補正 ^{(1) (2)}	INxx の差動 AC 結合入力、および AC 信号がグランドに短絡された状態、チャネル ゲインは 0dB、 $\text{AVDD} = 1.8\text{V}$		113		dB
		INxx の差動 DC 結合入力、および AC 信号がグランドに短絡された状態、チャネル ゲインは 0dB、 $\text{AVDD} = 1.8\text{V}$		106		
		INxx の差動 DC 結合入力を選択、AC 信号をグランドに短絡、チャネル ゲインは 12dB、 $\text{AVDD} = 1.8\text{V}$		94		
SNR	信号対雑音比、A 特性補正 ^{(1) (2)}	パワー チューン モード ⁽⁵⁾ : INxx の差動 AC 結合入力、および AC 信号がグランドに短絡された状態、チャネル ゲインは 0dB、 $\text{AVDD} = 1.8\text{V}$		104		dB
		パワー チューン モード ⁽⁵⁾ : INxx の差動 DC 結合入力、および AC 信号がグランドに短絡された状態、チャネル ゲインは 0dB、 $\text{AVDD} = 1.8\text{V}$		102		
SNR	信号対雑音比、A 特性補正 ^{(1) (2)}	INxx の差動 AC 結合入力、AC 信号はグランドに短絡、チャネル ゲイン 0dB、入力インピーダンス $10\text{k}\Omega$		115		dB
		INxx の差動 AC 結合入力、AC 信号はグランドに短絡、チャネル ゲイン 0dB、入力インピーダンス $40\text{k}\Omega$		105		
		INxx の差動 AC 結合入力、AC 信号はグランドに短絡、チャネル ゲイン 0dB、 $\text{ADC_CH1_CM_TOL} = 2'b01$		116		
		INxx の差動 DC 結合入力、AC 信号はグランドに短絡、チャネル ゲイン 0dB、高スイング モード ⁽³⁾		112		
SNR	信号対雑音比、A 特性補正 ^{(1) (2)}	INxx のシングルエンド AC 結合入力、AC 信号はグランドに短絡、チャネル ゲイン 0dB		111		dB
		INxx のシングルエンド AC 結合入力、AC 信号はグランドに短絡、チャネル ゲイン 12dB		99		
SNR	信号対雑音比、A 特性補正 ^{(1) (2)}	INxx のシングルエンド DC 結合入力、AC 信号はグランドに短絡、チャネル ゲイン 0dB		104		dB
		INxx のシングルエンド DC 結合入力、AC 信号はグランドに短絡、チャネル ゲイン 12dB		92		

$T_A = 25^\circ\text{C}$ 、 $\text{AVDD} = 3.3\text{V}$ 、 $\text{IOVDD} = 3.3\text{V}$ 、 $f_{IN} = 1\text{kHz}$ 正弦波信号、 $f_S = 48\text{kHz}$ 、32 ビット オーディオ データ、 $\text{BCLK} = 256 \times f_S$ 、
 TDM ターゲット モード、線形位相のデシメーション フィルタ、 $5\text{k}\Omega$ の入力インピーダンス設定、 $\text{ADC_CHx_CM_TOL} = 2^{\text{b}}00$ による
 AC 結合の差動入力、または $\text{ADC_CHx_CM_TOL} = 2^{\text{b}}10$ による DC 結合の差動入力 (該当する場合)、PLL オン、チャネル ゲイン
 = 0dB、 MICBIAS は VREF に設定、その他のデフォルト構成、フィルタなしでオーディオ精度を 20Hz から 20kHz の非加重帯域幅で
 測定 (特に記載のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位	
SNR	信号対雑音比、A 特性補正 ⁽¹⁾⁽²⁾	INxx のシングルエンド mux AC 結合入力、AC 信号はグランドに短絡、チャネル ゲイン 0dB、入力インピーダンス $10\text{k}\Omega$	97	96	dB		
		INxx のシングルエンド mux DC 結合入力、AC 信号はグランドに短絡、チャネル ゲイン 0dB、入力インピーダンス $10\text{k}\Omega$					
DR	ダイナミック レンジ、A 特性補正 ⁽²⁾	INxx 差動 AC 結合入力、 -60dBFS AC 信号入力、0dB チャネル ゲイン			119	dB	
DR	ダイナミック レンジ、A 特性補正 ⁽²⁾	INxx 差動 DC 結合入力、 -60dBFS AC 信号入力、0dB チャネル ゲイン			112	dB	
		INxx 差動 DC 結合入力、 -72dBFS AC 信号入力、12dB チャネル ゲイン			100	dB	
DR	ダイナミック レンジ、A 特性補正 ⁽²⁾	パワー チューン モード: INxx 差動 AC 結合入力、 -60dBFS AC 信号入力、0dB チャネル ゲイン			106	dB	
		パワー チューン モード: INxx 差動 DC 結合入力、 -60dBFS AC 信号入力、0dB チャネル ゲイン			105		
DR	ダイナミック レンジ、A 特性補正 ⁽²⁾	INxx 差動 AC 結合入力、 -60dBFS AC 信号入力、0dB チャネル ゲイン、 $\text{AVDD} = 1.8\text{V}$			113	dB	
		INxx 差動 DC 結合入力、 -60dBFS AC 信号入力、0dB チャネル ゲイン、 $\text{AVDD} = 1.8\text{V}$			106		
		INxx 差動 DC 結合入力、 -72dBFS AC 信号入力、12dB チャネル ゲイン、 $\text{AVDD} = 1.8\text{V}$			94		
DR	ダイナミック レンジ、A 特性補正 ⁽²⁾	パワー チューン モード: INxx 差動 AC 結合入力、 -60dBFS AC 信号入力、0dB チャネル ゲイン、 $\text{AVDD} = 1.8\text{V}$			105	dB	
		パワー チューン モード: INxx 差動 DC 結合入力、 -60dBFS 信号入力、0dB チャネル ゲイン、 $\text{AVDD} = 1.8\text{V}$			103		
DR	ダイナミック レンジ、A 特性補正 ⁽²⁾	INxx 差動 AC 結合入力、 -60dBFS AC 信号入力、0dB チャネル ゲイン、 $\text{ADC_CH1_CM_TOL} = 2^{\text{b}}01$			117	dB	
DR	ダイナミック レンジ、A 特性補正 ⁽²⁾	INxx のシングルエンド AC 結合入力、 -60dBFS の AC 信号を入力、チャネル ゲイン 0dB			110	dB	
DR	ダイナミック レンジ、A 特性補正 ⁽²⁾	INxx のシングルエンド DC 結合入力、 -60dBFS の AC 信号を入力、チャネル ゲイン 0dB			104	dB	
		INxx のシングルエンド DC 結合入力、 -72dBFS の AC 信号を入力、チャネル ゲイン 12dB			92		
DR	ダイナミック レンジ、A 特性補正 ⁽²⁾	INxx のシングルエンド mux AC 結合入力、 -60dBFS の AC 信号を入力、チャネル ゲイン 0dB、入力インピーダンス $10\text{k}\Omega$			98	dB	
		INxx のシングルエンド mux DC 結合入力、 -60dBFS の AC 信号を入力、チャネル ゲイン 0dB、入力インピーダンス $10\text{k}\Omega$			97		

$T_A = 25^\circ\text{C}$ 、 $\text{AVDD} = 3.3\text{V}$ 、 $\text{IOVDD} = 3.3\text{V}$ 、 $f_{IN} = 1\text{kHz}$ 正弦波信号、 $f_S = 48\text{kHz}$ 、32 ビットオーディオデータ、 $\text{BCLK} = 256 \times f_S$ 、
 TDM ターゲットモード、線形位相のデシメーションフィルタ、 $5\text{k}\Omega$ の入力インピーダンス設定、 $\text{ADC_CHx_CM_TOL} = 2^{\text{b}}00$ による
 AC 結合の差動入力、または $\text{ADC_CHx_CM_TOL} = 2^{\text{b}}10$ による DC 結合の差動入力(該当する場合)、PLL オン、チャネルゲイン
 $= 0\text{dB}$ 、 MICBIAS は VREF に設定、その他のデフォルト構成、フィルタなしでオーディオ精度を 20Hz から 20kHz の非加重帯域幅で
 測定(特に記載のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
THD+N	全高調波歪 ⁽²⁾	INxx の差動 AC 結合入力、 -1dBFS AC 信号入力、チャネルゲイン 0dB		-98		dB
		INxx 差動 DC 結合入力、 -1dBFS AC 信号入力、チャネルゲイン 0dB		-98		
		INxs 差動 DC 結合入力、 -13dBFS AC 信号入力、チャネルゲイン 12dB		-96		
THD+N	全高調波歪 ⁽²⁾	INxx のシングルエンド AC 結合入力、 -1dBFS AC 信号入力、チャネルゲイン 0dB		-96		dB
		INxx のシングルエンド DC 結合入力、 -1dBFS AC 信号入力、チャネルゲイン 0dB		-86		
		INxx のシングルエンド マルチプレクサ AC 結合入力、 -1dBFS AC 信号入力、チャネルゲイン 0dB、入力インピーダンス 10kΩ		-94		

ADC の他のパラメータ

	AC 入力インピーダンス	入力ピン INxP または INxM、 $5\text{k}\Omega$ の入力インピーダンスモード	5.5		kΩ
		入力ピン INxP または INxM、 $10\text{k}\Omega$ の入力インピーダンスマード	11		
		入力ピン INxP または INxM、 $40\text{k}\Omega$ の入力インピーダンスマード	44		
	デジタルボリューム制御範囲	0.5dB ステップでプログラム可能	-80	47	dB
	入力信号帯域幅	最大 192KSPS の FS レート	0.46		FS
	入力信号帯域幅	>192KSPS	90		kHz
	出力データのサンプルレート	プログラム可能	4	768	kHz
	出力データサンプルのワード長	プログラム可能	16	32	ビット
	デジタルハイパスフィルタのカットオフ周波数	1 次 IIR フィルタ、プログラム可能な係数、 -3dB ポイント(デフォルト設定)	1		Hz
	チャネル間絶縁	-1dBFS AC 信号ライン差動入力から非測定チャネル	-134		dB
	チャネル間ゲインのミスマッチ	-6dBFS AC 信号ライン入力差動入力、 1kHz 正弦波信号、チャネルゲイン 0dB	± 0.1		dB
	チャネル間位相のミスマッチ	-6dBFS AC 信号ライン入力差動入力、 1kHz 正弦波信号	± 0.01		度
PSRR	電源除去比	AVDD に 100mV_{PP} 、 1kHz の正弦波信号を入力、差動入力、チャネルゲイン 0dB	121		dB
CMRR	同相除去比	差動 DC 結合入力、チャネルゲイン 0dB、 -6dBFS の AC 入力、両方のピンに 1kHz 信号を印加し、出力でレベルを測定	80		dB
マイクバイアス					
	MICBIAS ノイズ	帯域幅 = 20Hz~20kHz、A 特性補正、MICBIAS と VSS(サーマルパッド)の間に $1\mu\text{F}$ のコンデンサを接続	2		μVRMS

$T_A = 25^\circ\text{C}$ 、 $\text{AVDD} = 3.3\text{V}$ 、 $\text{IOVDD} = 3.3\text{V}$ 、 $f_{IN} = 1\text{kHz}$ 正弦波信号、 $f_S = 48\text{kHz}$ 、32 ビット オーディオ データ、 $\text{BCLK} = 256 \times f_S$ 、
 TDM ターゲット モード、線形位相のデシメーション フィルタ、 $5\text{k}\Omega$ の入力インピーダンス 設定、 $\text{ADC_CHx_CM_TOL} = 2'b00$ による
 AC 結合の差動入力、または $\text{ADC_CHx_CM_TOL} = 2'b10$ による DC 結合の差動入力 (該当する場合)、PLL オン、チャネル ゲイン
 = 0dB、 MICBIAS は VREF に設定、その他のデフォルト構成、フィルタなしでオーディオ精度を 20Hz から 20kHz の非加重帯域幅で
 測定 (特に記載のない限り)

パラメータ	テスト条件	最小値	公称値	最大値	単位	
MICBIAS 電圧	AVDD にバイパス		AVDD		V	
	AVDD = 1.8V		1.375			
	AVDD = 3.3V		2.75			
デジタル I/O						
V_{IL}	Low レベル デジタル入力電圧スレッショルド	SDA および SCL を除くすべてのデジタル ピンにおいて、 IOVDD は 1.8V または 1.2V で動作	-0.3	$0.35 \times \text{IOVDD}$	V	
		SDA および SCL を除くすべてのデジタル ピンにおいて、 IOVDD は 3.3V で動作	-0.3	0.8		
V_{IH}	High レベル デジタル入力電圧スレッショルド	SDA および SCL を除くすべてのデジタル ピンにおいて、 IOVDD は 1.8V または 1.2V で動作	$0.65 \times \text{IOVDD}$	$\text{IOVDD} + 0.3$	V	
		SDA および SCL を除くすべてのデジタル ピンにおいて、 IOVDD は 3.3V で動作	2	$\text{IOVDD} + 0.3$		
V_{OL}	Low レベル デジタル出力電圧	SDA および SCL を除くすべてのデジタル ピンにおいて、 $I_{OL} = -2\text{mA}$ 、 IOVDD は 1.8V または 1.2V で動作		0.45	V	
		SDA および SCL を除くすべてのデジタル ピンにおいて、 $I_{OL} = -2\text{mA}$ 、 IOVDD は 3.3V で動作		0.4		
V_{OH}	High レベル デジタル出力電圧	SDA および SCL を除くすべてのデジタル ピンにおいて、 $I_{OH} = 2\text{mA}$ 、 IOVDD は 1.8V または 1.2V で動作	$\text{IOVDD} - 0.45$		V	
		SDA および SCL を除くすべてのデジタル ピンにおいて、 $I_{OH} = 2\text{mA}$ 、 IOVDD は 3.3V で動作	2.4			
$V_{IL(I2C)}$	Low レベル デジタル入力電圧スレッショルド	SDA および SCL	-0.5	$0.3 \times \text{IOVDD}$	V	
$V_{IH(I2C)}$	High レベル デジタル入力電圧スレッショルド	SDA および SCL	$0.7 \times \text{IOVDD}$	$\text{IOVDD} + 0.5$	V	
$V_{OL1(I2C)}$	Low レベル デジタル出力電圧	SDA、 $I_{OL(I2C)} = -3\text{mA}$ 、 IOVDD は 3.3V で動作		0.4	V	
$V_{OL2(I2C)}$	Low レベル デジタル出力電圧	SDA、 $I_{OL(I2C)} = -2\text{mA}$ 、 IOVDD は 1.8V または 1.2V で動作		$0.2 \times \text{IOVDD}$	V	
$I_{OL(I2C)}$	Low レベル デジタル出力電流	SDA、 $V_{OL(I2C)} = 0.4\text{V}$ 、スタンダード モードまたはファスト モード	3		mA	
		SDA、 $V_{OL(I2C)} = 0.4\text{V}$ 、ファースト モード プラス	20			
I_{IL}	デジタル入力への入力ロジック Low リーケージ	すべてのデジタル ピン、入力 = 0V	-5	0.1	5	μA
I_{IH}	デジタル入力への入力ロジック High リーケージ	すべてのデジタル ピン、入力 = IOVDD	-5	0.1	5	μA
C_{IN}	デジタル入力の入力容量	すべてのデジタル ピン		5		pF
R_{PD}	デジタル I/O ピンがアサートされている場合のブルダウン 抵抗			20		$\text{k}\Omega$
標準電源電流消費						

$T_A = 25^\circ\text{C}$ 、 $\text{AVDD} = 3.3\text{V}$ 、 $\text{IOVDD} = 3.3\text{V}$ 、 $f_{IN} = 1\text{kHz}$ 正弦波信号、 $f_S = 48\text{kHz}$ 、32 ビット オーディオ データ、 $\text{BCLK} = 256 \times f_S$ 、
 TDM ターゲット モード、線形位相のデシメーション フィルタ、 $5\text{k}\Omega$ の入力インピーダンス設定、 $\text{ADC_CHx_CM_TOL} = 2^{\text{b}00}$ による
 AC 結合の差動入力、または $\text{ADC_CHx_CM_TOL} = 2^{\text{b}10}$ による DC 結合の差動入力 (該当する場合)、PLL オン、チャネル ゲイン
 = 0dB、 MICBIAS は VREF に設定、その他のデフォルト構成、フィルタなしでオーディオ精度を 20Hz から 20kHz の非加重帯域幅で
 測定 (特に記載のない限り)

パラメータ	テスト条件	最小値	公称値	最大値	単位
I_{AVDD}	スリープ モードでの消費電流 (ソフトウェア シャットダウン モード)	すべてのデバイス外部クロックが停止	8	1	μA
I_{IOVDD}			1		
I_{AVDD}	MICBIAS オン、 5mA の負荷、ADC なし時の消費電流	$f_S = 48\text{kHz}$ 、 $\text{BCLK} = 256 \times f_S$	1.5	0.02	mA
I_{IOVDD}			0.02		
I_{AVDD}	ADC の 2 チャネル動作時の消費電流 (MICBIAS オフ、PLL オン)	$f_S = 16\text{kHz}$ 、 $\text{BCLK} = 512 \times f_S$	8.6	0.1	mA
I_{IOVDD}			0.1		
I_{AVDD}	ADC の 2 チャネル動作時の消費電流 (MICBIAS オフ、PLL オン)	$f_S = 48\text{kHz}$ 、 $\text{BCLK} = 512 \times f_S$		11.1	mA
I_{AVDD}	ADC の 2 チャネル動作、MICBIAS オフ、PLL オン、 $\text{AVDD} = 1.8\text{V}$ 時の消費電流	$f_S = 48\text{kHz}$ 、 $\text{BCLK} = 512 \times f_S$		10.6	mA
I_{AVDD}	ADC の 2 チャネル動作時の消費電流 (MICBIAS オン、PLL オフ)	$f_S = 48\text{kHz}$ 、 $\text{BCLK} = 512 \times f_S$	6.6	0.3	mA
I_{IOVDD}			0.3		
I_{AVDD}	パワー チューン モード (5): ADC の 2 チャネル動作、MICBIAS オフ、PLL オフ、 $\text{AVDD} = 1.8\text{V}$ 時の消費電流	$f_S = 48\text{kHz}$ 、 $\text{BCLK} = 128 \times f_S$		4.1	mA
I_{AVDD}	パワー チューン モード (5): ADC の 2 チャネル動作、MICBIAS オフ、PLL オフ時での消費電流	$f_S = 48\text{kHz}$ 、 $\text{BCLK} = 128 \times f_S$		5.7	mA

- (1) 1kHz のフルスケール正弦波入力時の出力レベルと、AC 信号入力がグラウンドにショートされている場合の出力レベルの比率、オーディオ アナライザを使用し、20Hz から 20kHz の帯域幅で A 特性補正を測定しました。
- (2) すべての性能測定は、20kHz のローパス フィルタを使用して行い、必要に応じて A 特性補正 フィルタも使用します。そのようなフィルタを使用しない場合、電気的特性に示されている値よりも THD+N が高く、SNR およびダイナミックレンジの読み値が低くなる可能性があります。ローパス フィルタは帯域外のノイズを除去します。これらのノイズは聴覚には影響しませんが、ダイナミック仕様値に影響を与える可能性があります。
- (3) 高スイング モードにおいて、 $\text{ADC_CHx_FULLSCALE_VAL}$ を 1'b1 に設定し、入力インピーダンスを $10\text{k}\Omega$ に設定
- (4) 広帯域モードにおいて、 ADC_CHx_BW_MODE を 1'b1 に設定し、入力インピーダンスを $40\text{k}\Omega$ に設定
- (5) パワー チューン モードの場合、 $\text{PWR_TUNE_CFG0} = 0xD4$

5.6 タイミング要件 : I²C インターフェイス

T_A = 25°C の場合、IOVDD は 3.3V、1.8V、または 1.2V です(特に記載がない限り)。タイミング図については図 5-1 を参照してください。IOVDD が 1.8V および 1.2V の動作の場合、IOVDD_IO_MODE ビットを正しく設定します。詳細については、セクション 7.3 をご参照ください。

		最小値	公称値	最大値	単位
スタンダード モード					
f _{SCL}	SCL クロック周波数	0	100	kHz	
t _{HD:STA}	(反復) 開始条件のホールド時間。この時間が経過すると、最初のクロック パルスが生成されます。	4		μs	
t _{LOW}	SCL クロックの Low 期間	4.7		μs	
t _{HIGH}	SCL クロックの High 期間	4		μs	
t _{SU:STA}	反復開始条件のセットアップ時間	4.7		μs	
t _{HD:DAT}	データ ホールド時間	0	3.45	μs	
t _{SU:DAT}	データ セットアップ時間	250		ns	
t _r	SDA と SCL の立ち上がり時間		1000	ns	
t _f	SDA と SCL の立ち下がり時間		300	ns	
t _{SU:STO}	停止条件のセットアップ時間	4		μs	
t _{BUF}	STOP 条件と START 条件の間のバス フリー時間	4.7		μs	
ファスト モード					
f _{SCL}	SCL クロック周波数	0	400	kHz	
t _{HD:STA}	(反復) 開始条件のホールド時間。この時間が経過すると、最初のクロック パルスが生成されます。	0.6		μs	
t _{LOW}	SCL クロックの Low 期間	1.3		μs	
t _{HIGH}	SCL クロックの High 期間	0.6		μs	
t _{SU:STA}	反復開始条件のセットアップ時間	0.6		μs	
t _{HD:DAT}	データ ホールド時間	0	0.9	μs	
t _{SU:DAT}	データ セットアップ時間	100		ns	
t _r	SDA と SCL の立ち上がり時間	20	300	ns	
t _f	SDA と SCL の立ち下がり時間	20 × (IOVDD / 5.5V)	300	ns	
t _{SU:STO}	停止条件のセットアップ時間	0.6		μs	
t _{BUF}	STOP 条件と START 条件の間のバス フリー時間	1.3		μs	
ファスト モード プラス					
f _{SCL}	SCL クロック周波数	0	1000	kHz	
t _{HD:STA}	(反復) 開始条件のホールド時間。この時間が経過すると、最初のクロック パルスが生成されます。	0.26		μs	
t _{LOW}	SCL クロックの Low 期間	0.5		μs	
t _{HIGH}	SCL クロックの High 期間	0.26		μs	
t _{SU:STA}	反復開始条件のセットアップ時間	0.26		μs	
t _{HD:DAT}	データ ホールド時間	0		μs	
t _{SU:DAT}	データ セットアップ時間	50		ns	
t _r	SDA と SCL の立ち上がり時間		120	ns	
t _f	SDA と SCL の立ち下がり時間	20 × (IOVDD / 5.5V)	120	ns	
t _{SU:STO}	停止条件のセットアップ時間	0.26		μs	
t _{BUF}	STOP 条件と START 条件の間のバス フリー時間	0.5		μs	

5.7 スイッチング特性 : I²C インターフェイス

$T_A = 25^\circ\text{C}$ の場合、IOVDD は 3.3V、1.8V、または 1.2V です(特に記載がない限り)。タイミング図については図 5-1 を参照してください。IOVDD が 1.8V および 1.2V の動作の場合、IOVDD_IO_MODE ビットを正しく設定します。詳細については、セクション 7.3 をご参照ください。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{d(\text{SDA})}$	SCL から SDA への遅延	スタンダード モード	200	1250	ns	
		ファースト モード	200	850	ns	
		ファスト モード プラス		400	ns	

5.8 タイミング要件 : SPI インターフェイス

$T_A = 25^\circ\text{C}$ 、IOVDD = 3.3V または 1.8V または 1.2V、すべての出力に 20pF の負荷がかかっている場合(特に記載がない限り)、タイミング図については図 5-2 を参照してください。IOVDD が 1.8V および 1.2V の動作の場合、IOVDD_IO_MODE ビットを正しく設定します。詳細については、セクション 7.3 をご参照ください。

		最小値	公称値	最大値	単位
t_{SCLK}	SCLK 周期	40			ns
$t_{\text{H}(\text{SCLK})}$	SCLK High バルスの期間	18			ns
$t_{\text{L}(\text{SCLK})}$	SCLK Low バルス持続時間	18			ns
t_{LEAD}	リードタイムをイネーブルします	16			ns
t_{TRAIL}	トレール時間をイネーブルにします	16			ns
t_{DSEQ}	シーケンシャル転送遅延	20			ns
$t_{\text{SU}(\text{PICO})}$	PICO のデータ セットアップ時間	8			ns
$t_{\text{HLD}(\text{PICO})}$	PICO のデータ ホールド時間	8			ns
$t_{\text{f}(\text{SCLK})}$	SCLK の立ち上がり時間	10%~90% の立ち上がり時間		6	ns
$t_{\text{f}(\text{SCLK})}$	SCLK の立ち下がり時間	90%~10% の立ち下がり時間		6	ns

5.9 スイッチング特性 : SPI インターフェイス

$T_A = 25^\circ\text{C}$ 、IOVDD = 3.3V または 1.8V または 1.2V、すべての出力に 20pF の負荷がかかっている場合(特に記載がない限り)、タイミング図については図 5-2 を参照してください。IOVDD が 1.8V および 1.2V の動作の場合、IOVDD_IO_MODE ビットを正しく設定します。詳細については、セクション 7.3 をご参照ください。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{\text{a}(\text{POCI})}$	POCI アクセス時間	IOVDD = 1.2 V		18		ns
		IOVDD = 1.8 V		18		ns
		IOVDD = 3.3 V		14		
$t_{\text{d}(\text{POCI})}$	SCLK から POCI への遅延	SCLK の 50% から POCI の 50% まで、IOVDD = 1.2V		19		ns
		SCLK の 50% から POCI の 50% まで、IOVDD = 1.8V		19		ns
		SCLK の 50% から POCI の 50% まで、IOVDD = 3.3V		15		
$t_{\text{dis}(\text{POCI})}$	POCI のディセーブル時間	IOVDD = 1.2 V		18		ns
		IOVDD = 1.8 V		18		ns
		IOVDD = 3.3 V		14		

5.10 タイミング要件 : TDM、I²S または LJ インターフェイス

$T_A = 25^\circ\text{C}$ 、 $\text{IOVDD} = 3.3\text{V}$ または 1.8V または 1.2V 、すべての出力に 20pF の負荷がかかっている場合 (特に記載がない限り)、タイミング図については図 5-3 を参照してください。 IOVDD が 1.8V および 1.2V の動作の場合、 IOVDD_IO_MODE ビットを正しく設定します。詳細については、セクション 7.3 を参照してください。

			最小値	公称値	最大値	単位
$t_{(\text{BCLK})}$	BCLK 周期		40			ns
$t_{\text{H}(\text{BCLK})}$	BCLK High パルス持続時間 ⁽¹⁾		18			ns
$t_{\text{L}(\text{BCLK})}$	BCLK Low パルス持続時間 ⁽¹⁾		18			ns
$t_{\text{SU}(\text{FSYNC})}$	FSYNC のセットアップ時間		8			ns
$t_{\text{HLD}(\text{FSYNC})}$	FSYNC のホールド時間		8			ns
$t_{\text{SU}(\text{DIN})}$	DIN のセットアップ時間		8			ns
$t_{\text{HLD}(\text{DIN})}$	DIN のホールド時間		8			ns
$t_{\text{r}(\text{BCLK})}$	BCLK の立ち上がり時間	10%～90% の立ち上がり時間		10		ns
$t_{\text{f}(\text{BCLK})}$	BCLK の立ち下がり時間	90%～10% の立ち下がり時間		10		ns

(1) タイミング仕様を満たすためには、DOUT データラインがデバイスによって DOUT データを送信するために使用される BCLK エッジとは逆の BCLK エッジ極性でラッチされる場合、BCLK の最小高 / 低パルス幅は 25ns 以上である必要があります。

5.11 スイッチング特性 : TDM、I²S または LJ インターフェイス

$T_A = 25^\circ\text{C}$ 、 $\text{IOVDD} = 3.3\text{V}$ または 1.8V または 1.2V 、すべての出力に 20pF の負荷がかかっている場合 (特に記載がない限り)、タイミング図については図 5-3 を参照してください。 IOVDD が 1.8V および 1.2V の動作の場合、 IOVDD_IO_MODE ビットを正しく設定します。詳細については、セクション 7.3 を参照してください。

パラメータ	テスト条件	最小値	標準値	最大値	単位
$t_{\text{d}(\text{DOUT-BCLK})}$	BCLK から DOUT への遅延	BCLK の 50% から DOUT の 50% まで、 $\text{IOVDD} = 1.2\text{V}$		18	ns
$t_{\text{d}(\text{DOUT-BCLK})}$	BCLK から DOUT への遅延	BCLK の 50% から DOUT の 50% まで、 $\text{IOVDD} = 1.8\text{V}$		18	ns
		BCLK の 50% から DOUT の 50% まで、 $\text{IOVDD} = 3.3\text{V}$		14	
$t_{\text{d}(\text{DOUT-FSYNC})}$	TDM または LJ モードにおける FSYNC から DOUT までの遅延 ($\text{TX_OFFSET} = 0$ の場合、MSB データ用)	FSYNC の 50% から DOUT の 50% まで、 $\text{IOVDD} = 1.2\text{V}$		18	ns
$t_{\text{d}(\text{DOUT-FSYNC})}$	TDM または LJ モードにおける FSYNC から DOUT までの遅延 ($\text{TX_OFFSET} = 0$ の場合、MSB データ用)	FSYNC の 50% から DOUT の 50% まで、 $\text{IOVDD} = 1.8\text{V}$		18	ns
		FSYNC の 50% から DOUT の 50% まで、 $\text{IOVDD} = 3.3\text{V}$		14	
$f_{(\text{BCLK})}$	BCLK 出力クロック周波数、コントローラモード ⁽¹⁾			24.576	MHz
$t_{\text{d}(\text{FSYNC})}$	BCLK から FSYNC までの遅延、コントローラモード	BCLK の 50% から FSYNC の 50%、 $\text{IOVDD} = 1.2\text{V}$		18	ns
$t_{\text{d}(\text{FSYNC})}$	BCLK から FSYNC までの遅延、コントローラモード	BCLK の 50% から FSYNC の 50%、 $\text{IOVDD} = 1.8\text{V}$		18	ns
		BCLK の 50% から FSYNC の 50%、 $\text{IOVDD} = 3.3\text{V}$		14	
$t_{\text{H}(\text{BCLK})}$	BCLK のハイパルスの持続時間、コントローラモード	$\text{IOVDD} = 1.2\text{V}$		14	ns
$t_{\text{H}(\text{BCLK})}$	BCLK のハイパルスの持続時間、コントローラモード	$\text{IOVDD} = 1.8\text{V}$		14	ns
		$\text{IOVDD} = 3.3\text{V}$		14	
$t_{\text{L}(\text{BCLK})}$	BCLK Low パルス幅、コントローラモード	$\text{IOVDD} = 1.2\text{V}$		14	ns

$T_A = 25^\circ\text{C}$, $\text{IOVDD} = 3.3\text{V}$ または 1.8V または 1.2V 、すべての出力に 20pF の負荷がかかる場合 (特に記載がない限り)、タイミング図については図 5-3 を参照してください。 IOVDD が 1.8V および 1.2V の動作の場合、 IOVDD_IO_MODE ビットを正しく設定します。詳細については、セクション 7.3 を参照してください。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_L(\text{BCLK})$	BCLK Low パルス幅、コントローラモード	$\text{IOVDD} = 1.8\text{ V}$	14			ns
		$\text{IOVDD} = 3.3\text{ V}$	14			
$t_r(\text{BCLK})$	BCLK 立ち上がり時間、コントローラモード	10%~90% の立ち上がり時間、 $\text{IOVDD} = 1.2\text{V}$		10		ns
$t_r(\text{BCLK})$	BCLK 立ち上がり時間、コントローラモード	10%~90% の立ち上がり時間、 $\text{IOVDD} = 1.8\text{V}$		10		ns
		10%~90% の立ち上がり時間、 $\text{IOVDD} = 3.3\text{V}$		10		
$t_f(\text{BCLK})$	BCLK 立ち下がり時間、コントローラモード	90%~10% 立ち下がり時間、 $\text{IOVDD} = 1.2\text{V}$		8		ns
$t_f(\text{BCLK})$	BCLK 立ち下がり時間、コントローラモード	90%~10% 立ち下がり時間、 $\text{IOVDD} = 1.8\text{V}$		8		ns
		90%~10% 立ち下がり時間、 $\text{IOVDD} = 3.3\text{V}$		8		

- (1) タイミング仕様を満たすためには、DOUT データラインがデバイスによって DOUT データを送信するために使用される BCLK エッジとは逆の BCLK エッジ極性でラッチされる場合、BCLK の最小高 / 低パルス幅は 25ns 以上である必要があります。

5.12 タイミング要件 : PDM デジタルマイクロフォンインターフェイス

$T_A = 25^\circ\text{C}$, $\text{IOVDD} = 3.3\text{V}$ または 1.8V または 1.2V 、すべての出力に 20pF の負荷がかかる場合 (特に記載がない限り)、タイミング図については図 5-4 を参照してください。 IOVDD が 1.8V および 1.2V の動作の場合、 IOVDD_IO_MODE ビットを正しく設定します。詳細については、セクション 7.3 をご参照ください。

		最小値	公称値	最大値	単位
$t_{SU}(\text{PDMDINx})$	PDMDINx のセットアップ時間	30			ns
$t_{HLD}(\text{PDMDINx})$	PDMDINx ホールド時間	0			ns

5.13 スイッチング特性 : PDM デジタルマイクロフォンインターフェイス

$T_A = 25^\circ\text{C}$, $\text{IOVDD} = 3.3\text{V}$ または 1.8V または 1.2V 、すべての出力に 20pF の負荷がかかる場合 (特に記載がない限り)、タイミング図については図 5-4 を参照してください。 IOVDD が 1.8V および 1.2V の動作の場合、 IOVDD_IO_MODE ビットを正しく設定します。詳細については、セクション 7.3 をご参照ください。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$f_{(\text{PDMCLK})}$	PDMCLK クロック周波数		0.768	6.144	MHz	
$t_H(\text{PDMCLK})$	PDMCLK High パルスの期間		72			ns
$t_L(\text{PDMCLK})$	PDMCLK Low パルス持続時間		72			ns
$t_r(\text{PDMCLK})$	PDMCLK の立ち上がり時間	10%~90% の立ち上がり時間		18	ns	
$t_f(\text{PDMCLK})$	PDMCLK の立ち下がり時間	90%~10% の立ち下がり時間		18	ns	

5.14 タイミング図

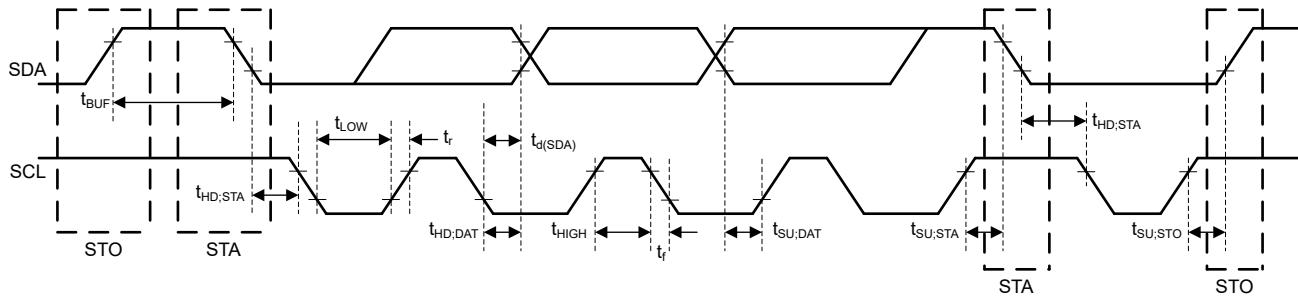


図 5-1. I²C インターフェイス プロトコル図

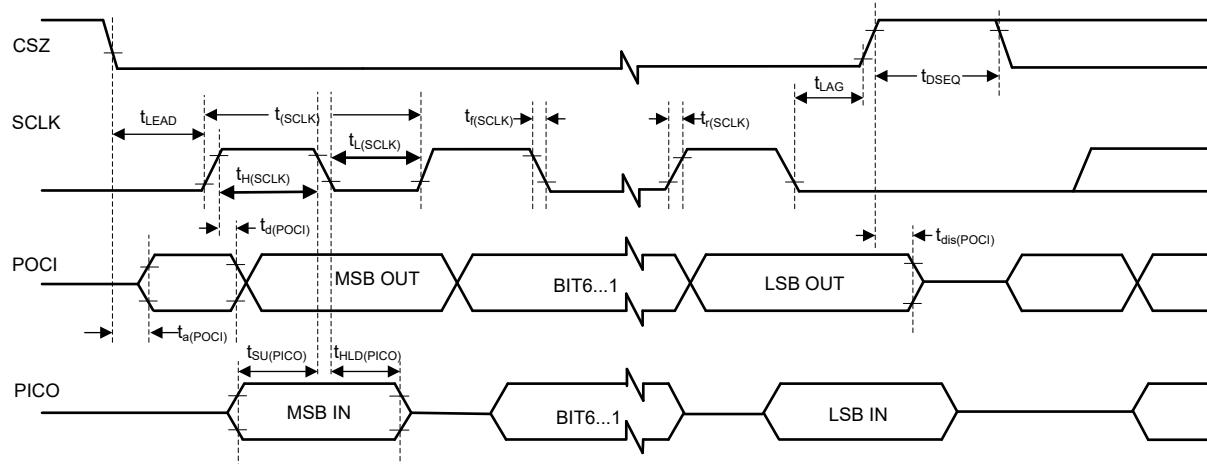


図 5-2. SPI インターフェイスのタイミング図

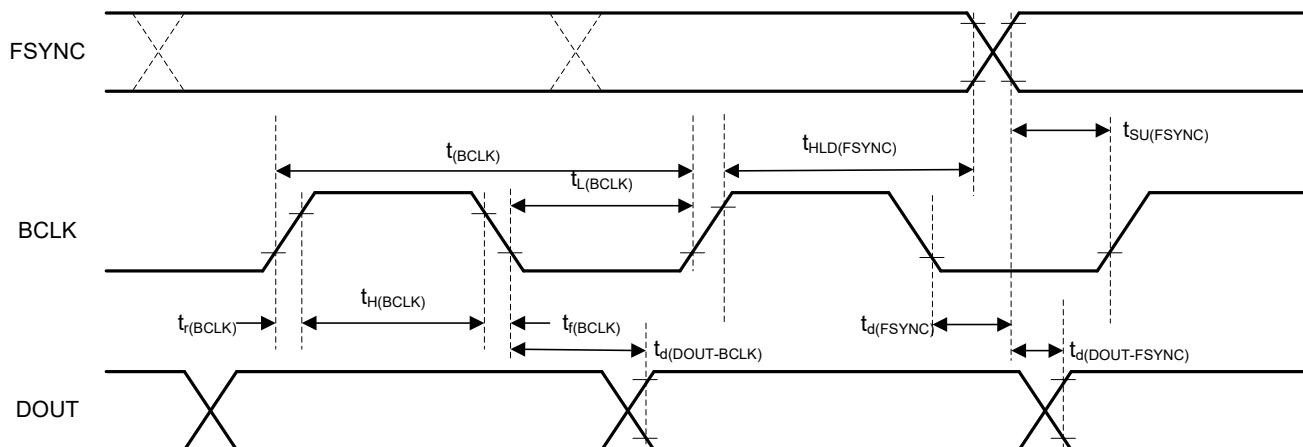


図 5-3. TDM (BCLK_POL = 1)、I²S、LJ インターフェイスのタイミング図

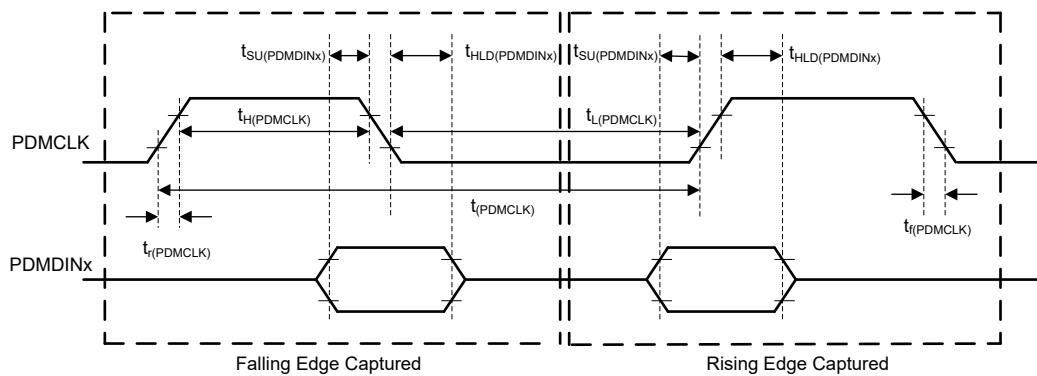


図 5-4. PDM インターフェイスのタイミング図

5.15 代表的特性

$T_A = 25^\circ\text{C}$ 、 $\text{AVDD} = 3.3\text{V}$ 、 $\text{IOVDD} = 3.3\text{V}$ 、 $f_{\text{IN}} = 1\text{kHz}$ 正弦波信号、 $f_S = 48\text{kHz}$ 、32 ビットオーディオデータ、 $\text{BCLK} = 256 \times f_S$ 、TDM ターゲットモード、線形位相のデシメーション フィルタ、 $5\text{k}\Omega$ の入力インピーダンス設定、 $\text{ADC_CHx_CM_TOL} = 2^{\text{b}}00$ による AC 結合の差動入力、PLL オン、チャネルゲイン = 0dB、 MICBIAS は VREF に設定、その他はデフォルト設定、フィルタなしでオーディオ精度を 20Hz から 20kHz の非加重帯域幅で測定 (特に記載のない限り)

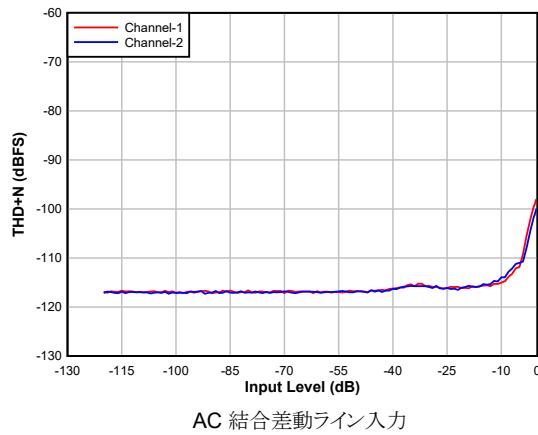


図 5-5. ADC の THD +N レベルと入力との関係

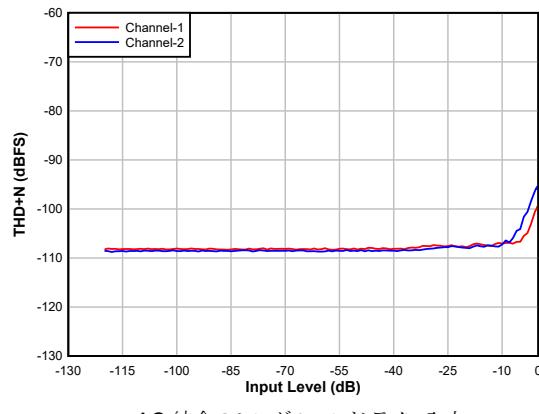
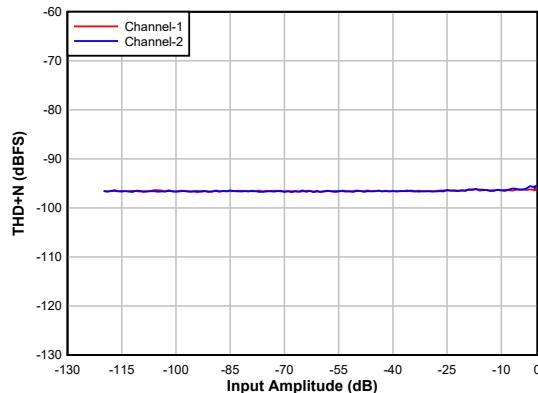
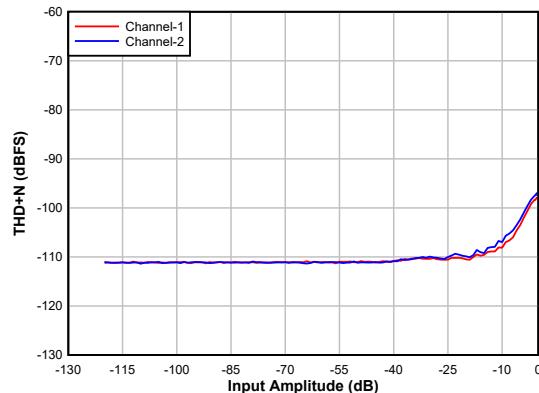


図 5-6. ADC の THD +N レベルと入力との関係



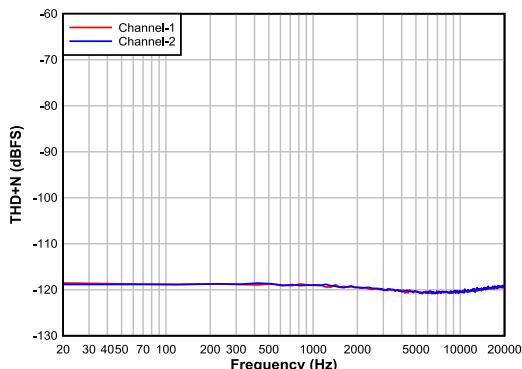
AC 結合のシングルエンドマルチプレクサ ライン入力、 $10\text{k}\Omega$ 入力
インピーダンス設定

図 5-7. ADC の THD +N レベルと入力との関係



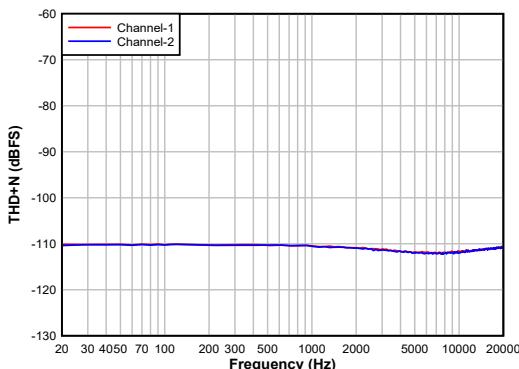
AC 結合差動入力、($\text{VAVDD} = 1.8\text{V}$)

図 5-8. ADC の THD +N レベルと入力との関係



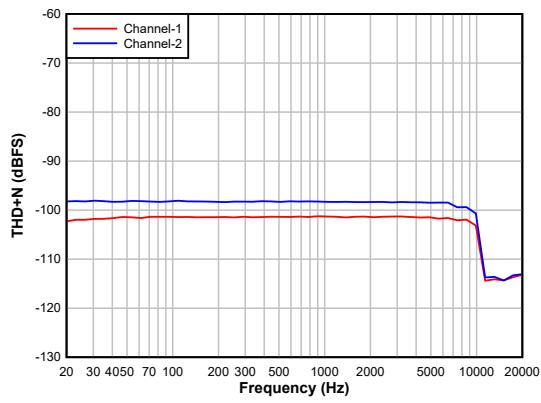
AC 結合差動ライン入力 (-60dBFS)

図 5-9. ADC A 重み付け DR と周波数との関係



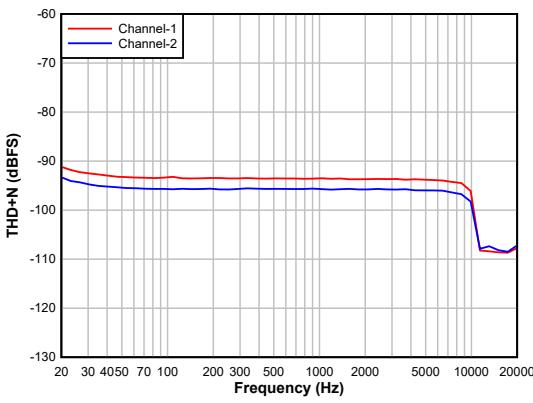
AC 結合のシングル エンド ライン入力 (-60dBFS)

図 5-10. ADC A 重み付け DR と周波数との関係



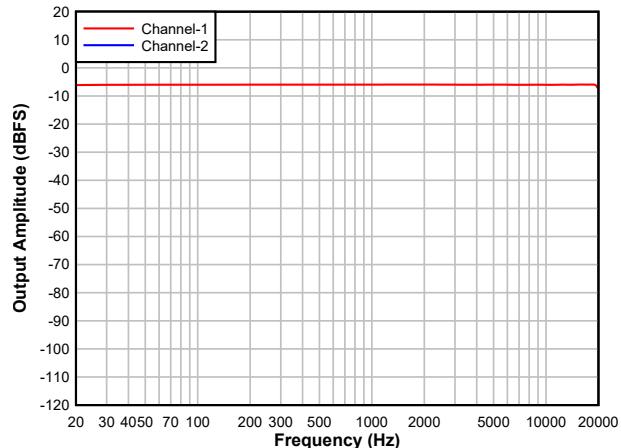
AC 結合差動ライン入力 (-1dBFS)

図 5-11. ADC THD+N と周波数との関係



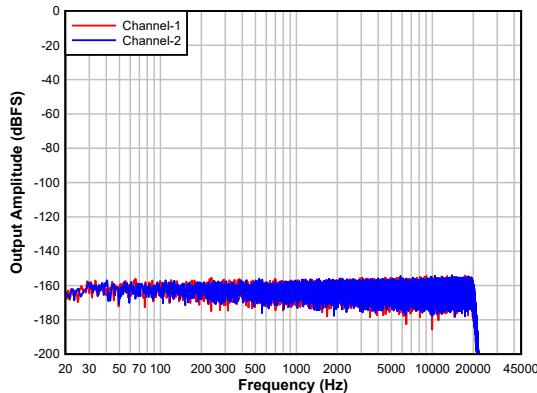
AC 結合のシングル エンド ライン入力 (-1dBFS)

図 5-12. ADC THD+N と周波数との関係



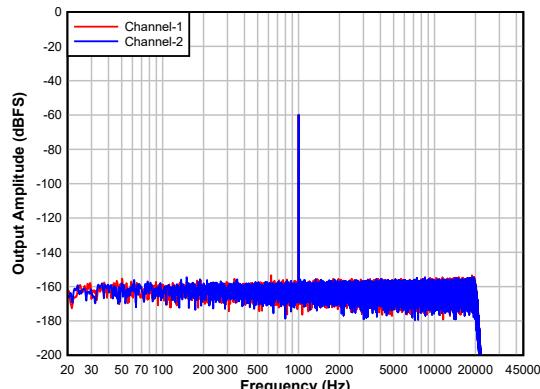
AC 結合差動ライン入力 (-6dBFS)

図 5-13. ADC の周波数応答



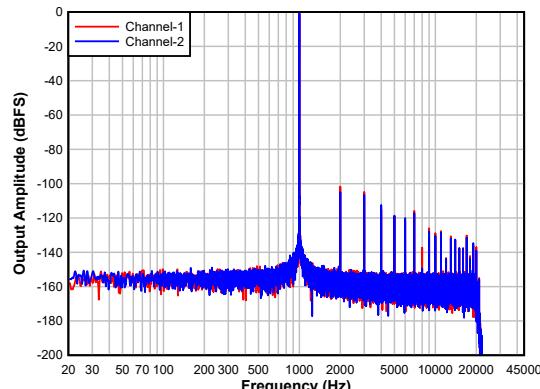
AC 結合差動ライン入力

図 5-14. アイドル チャネル入力による ADC FFT



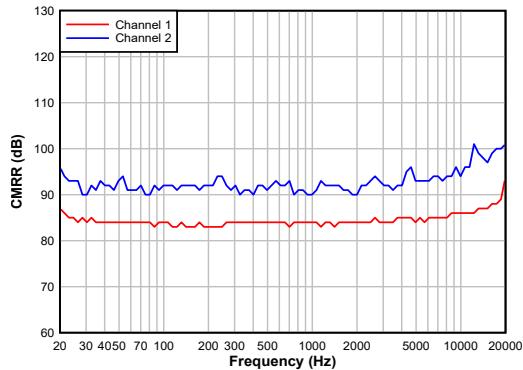
AC 結合差動ライン入力

図 5-15. -60dBFS 入力の ADC FFT



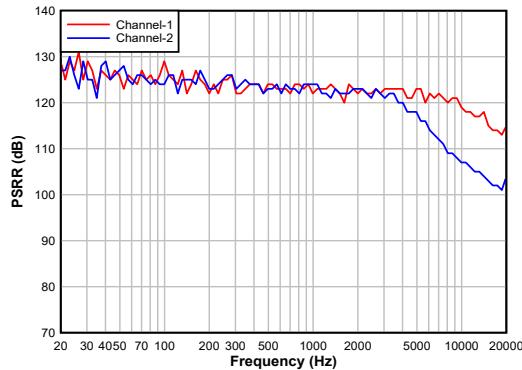
AC 結合差動ライン入力

図 5-16. -1dBFS 入力の AD FFT



ADC_CHx_CM_TOL = 2'b10 の DC 結合差動入力 (高 CMRR モード)

図 5-17. ADC CMRR と周波数との関係



AC 結合差動ライン入力

図 5-18. ADC PSRR と周波数との関係

6 詳細説明

6.1 概要

TAA5212 は、スケーラブルなオーディオ コンバータ デバイス ファミリの製品です。拡張デバイス ファミリの製品である TAA5212 は、高性能、低消費電力のステレオ オーディオ A/D コンバータ (ADC) です。このデバイスは、高耐久性通信機器、IP ネットワーク カメラ、業務用オーディオ、マルチメディア アプリケーションなど、幅広い市場での使用を想定しています。このデバイスはダイナミック レンジが広いので、忠実度の高いファー フィールドのオーディオ録音を実現できます。このデバイスは、スペースに制約のあるシステムの設計において、コスト、基板スペース、消費電力を削減する多数の機能を統合しています。拡張ファミリ全体で、パッケージ、性能、互換性のある構成を備えることにより、このデバイスはスケーラブルなシステム設計に最適です。

TAA5212 は以下に示すブロックで構成されています。

- 2 チャネル、マルチビット、高性能デルタシグマ ($\Delta\Sigma$) ADC
- 構成可能なシングルエンド入力または差動入力
- 低ノイズのプログラム可能なマイクロフォン バイアス出力
- 自動ゲイン コントローラ (AGC)
- リニア位相、低レイテンシ、超低レイテンシのオプションを備えた、プログラム可能なデシメーション フィルタ
- 各チャネルにプログラム可能なチャネル ゲイン、ボリューム制御、バイクワード フィルタ
- 各チャネルごとに、高分解能で位相とゲインの較正をプログラム可能
- プログラム可能なカットオフ周波数とデジタル チャネル ミキサを備えたハイパス フィルタ (HPF)
- 最大 4 つのチャネルパルス密度変調 (PDM) デジタル マイク インターフェースと高性能デシメーション フィルタ
- DC 測定や低周波数信号監視 / センシング アプリケーション向けのインクリメンタル ADC サポート
- 独立したサンプル レートを持つデュアル I²S または TDM インターフェイス (同期)
- 同期サンプル レート コンバータ (SRC)
- 多様なシステム クロックをサポートする、低ジッタのフェーズ ロック ループ (PLL) を内蔵
- 単一電源動作をサポートするデジタルおよびアナログ電圧レギュレータを内蔵

制御レジスタを構成するための TAA5212 との通信は、I²C または SPI インターフェイスを使用してサポートされています。このデバイスは、柔軟性の高いオーディオ シリアル インターフェース [時分割多重 (TDM)、I²S、左揃え (LJ)] をサポートしており、システムでデバイスの間でオーディオ データをシームレスに送信できます。TDM モードでは、TAA5212 にはデイジーチェーン機能も搭載されています。これらの機能により、共有の TDM バスタイミング要件や、

高いオーディオ データ帯域幅を必要とするアプリケーション向けに複数デバイスを操作する場合のボード設計の複雑さが緩和されます。

表 6-1 に、このドキュメント全体を通して、デバイスを制御するレジスタに使用される参照用略語を示します。

表 6-1. レジスタ参照の略語

リファレンス	略語	説明	例
ページ y、登録 z、ビット k	Py_Rz_D[k]	シングル データ ビット。レジスタ の 1 ビットの値。	ページ 1、レジスタ 36、ビット 0 = P1_R36_D[0]
ページ y、レジスタ z、ビット k:m	Py_Rz_D[k:m]	データ ビットの範囲。データ ビット の範囲(含む)。	ページ 1、レジスタ 36、ビット 3:0 = P1_R36_D[3:0]
ページ y、登録 z	Py_Rz	レジスタ全体に 1 つ。レジスタ内 の 8 ビットすべてをユニットとして使用	ページ 1、レジスタ 36 = P1_R36
ページ y、レジスタ z-n	Py_Rz-Rn	レジスタの範囲。同じページ内 のレジスタの範囲。	ページ 1、レジスタ 36、37、38 = P1_R36~R38

6.2 機能ブロック図

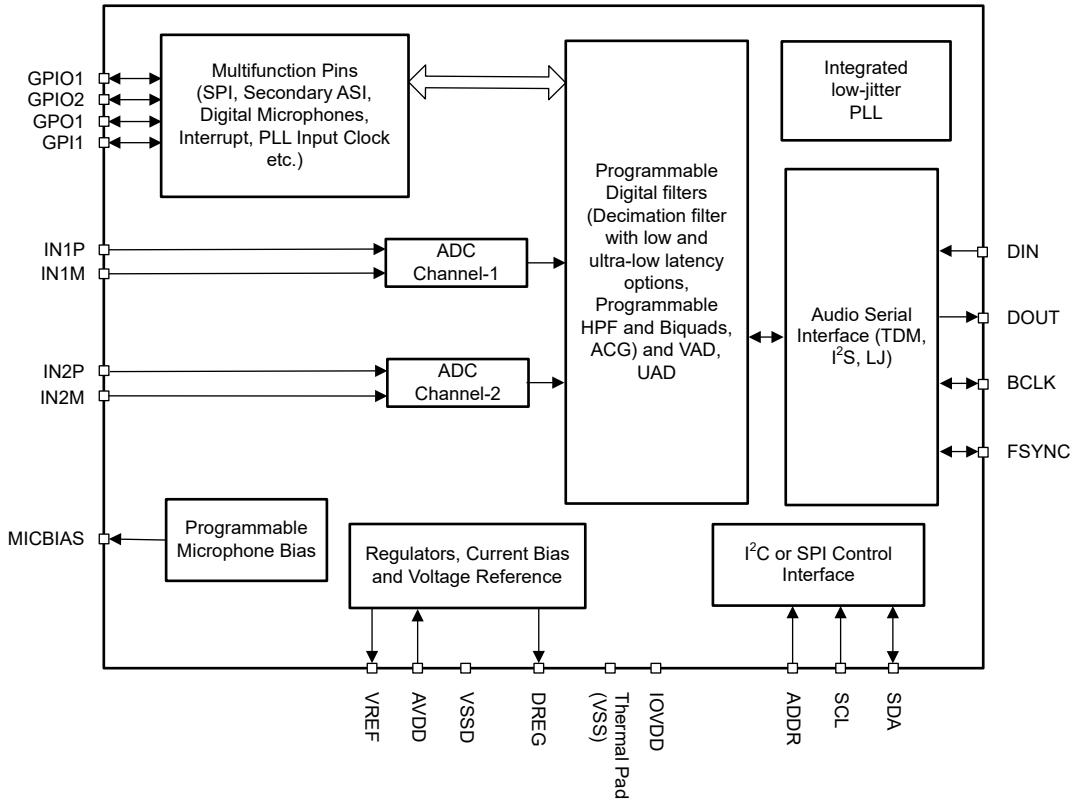


図 6-1. 機能ブロック図

6.3 機能説明

6.3.1 シリアルインターフェイス

このデバイスには、制御とオーディオ データの 2 つのシリアルインターフェイスがあります。制御シリアルインターフェイスは、デバイスの構成に使用されます。オーディオ データシリアルインターフェイスは、オーディオ データをホスト デバイスに送信するために使用されます。

6.3.1.1 制御シリアルインターフェイス

このデバイスには、特定のシステムや用途に合わせて希望する値に設定できる構成レジスタとプログラマブル係数が含まれています。これらのレジスタには、デバイスへの I²C または SPI 通信を使用してすべてアクセスできます。詳細については、[セクション 6.5](#) と [セクション 7](#) を参照してください。

6.3.1.2 オーディオシリアルインターフェイス

デジタル オーディオ データは、ホスト プロセッサと TAA5212 との間でデジタル オーディオシリアルインターフェース(ASI)またはオーディオ バスを通じて流れます。この非常に柔軟な ASI バスには、マルチチャネル動作用の TDM モード、I²S または左揃えプロトコル フォーマットのサポート、プログラマブルデータ長オプション、バスクロック ラインのための非常に柔軟なコントローラのターゲット設定、システム内の複数のデバイスと直接通信する能力が含まれています。

TAA5212 は、最大 2 つの ASI インターフェイスをサポートします。セカンダリ ASI クロックおよびデータピンは、GPIO を設定することで構成できます。2 つの ASI のフレーム同期は同期していなければなりません。セカンダリ ASI の詳細については、『[TAX5X1X 同期サンプルレート変換](#)』アプリケーション レポートを参照してください。

バスプロトコル TDM、I²S、左揃え(LJ)形式は、PASI_FORMAT[1:0]、(P0_R26_D[7:6])レジスタビットを使用して、プライマリ ASIのために選択できます。表 6-2と表 6-3に示すように、これらのモードはすべて最上位ビット(MSB)ファーストのパルス符号変調(PCM)データフォーマットで、出力チャネルのデータワード長は、PASI_WLEN[1:0]、(P0_R26_D[5:4])レジスタビットを構成することで 16、20、24、または 32ビットに設定可能です。

表 6-2. プライマリ オーディオシリアルインターフェースフォーマット

P0_R26_D[7:6]:PASI_FORMAT[1:0]	プライマリオーディオシリアルインターフェースフォーマット
00(デフォルト)	時分割多重化(TDM)モード
01	インタ IC サウンド(I ² S)モード
10	左揃え(LJ)モード
11	予約済み(この設定は使用しないでください)

表 6-3. プライマリ オーディオシリアルインターフェースデータワード長

P0_R26_D[5:4]:PASI_WLEN[1:0]	プライマリオーディオ出力チャネルデータワード長
LOW	データワード長は 16ビットに設定
LOW	データワード長は 20ビットに設定
HIGH	データワード長は 24ビットに設定
HIGH	データワード長は 32ビットに設定

フレーム同期ピン(FSYNC)は、このオーディオバスプロトコルでフレームの開始を定義するために使用され、出力データサンプルレートと同じ周波数を持っています。ビットクロックピン(BCLK)は、デジタルオーディオデータをシリアルバス経由でクロックアウトするために使用されます。フレーム内のビットクロックサイクル数は、プログラムされたデータワード長を持つ複数のデバイスアクティブ出力チャネルに対応する必要があります。フレームは、複数の時分割チャネルスロット(最大32個)で構成され、同じオーディオバスを共有するデバイスまたは複数のデバイスによって、すべての出力チャネルのオーディオデータ転送がオーディオバス上で完了するようにワード長がプログラミングされています。このデバイスは、最大8つの出力チャネルをサポートしており、プライマリ ASIバス上でオーディオデータをスロット0からスロット31まで配置するように設定できます。表 6-4に、出力チャネル1スロットの設定値を示します。I²SおよびLJモードでは、セクション 6.3.1.2.2およびセクション 6.3.1.2.3に記載されているように、スロットは左チャネルスロットと右チャネルスロットの2つのセットに分割されます。

表 6-4. 出力チャネル1スロット割り当て設定

P0_R30_D[4:0]:PASI_TX_CH1_SLOT_NUM[4:0]	出力チャネル1のスロット割り当て
0 0000 = 0d(デフォルト)	スロット0はTDM用、またはI ² S、LJ用の左チャネルスロット0。
0 0001 = 1d	TDMの場合はスロット1、LJの場合は左スロット1。
...	...
0 1111 = 15d	TDMの場合はスロット15、LJの場合は左スロット15
1 0000 = 16d	TDMの場合はスロット16、I ² S、LJの場合は右スロット0。
...	...
1 1110 = 30d	TDMの場合はスロット30、LJの場合は右スロット14
1 1111 = 31d	TDMの場合はスロット31、LJの場合は右スロット15

同様に、出力チャネル2からチャネル8のスロット割り当て設定は、PASI_TX_CH2_SLOT_NUM(P0_R31_D[4:0])からPASI_TX_CH8_SLOT_NUM(P0_R37_D[4:0])のレジスタを使用して、それぞれ構成することができます。

スロットワード長は、デバイスに設定されたプライマリ ASIチャネルワード長と同じです。出力チャネルデータワード長は、システム内ですべてのデバイスが同じ ASIバスを共有する場合、すべてのデバイスで同じ値に設定する必要があります。システム内の ASIバスで使用可能な最大スロット数は、利用可能なバス帯域幅によって制限されます。この帯域幅は、BCLK周波数、使用される出力データサンプルレート、および設定されたチャネルデータワード長に依存します。

このデバイスには、スロット データ転送の開始位置をフレーム同期に対して最大 31 サイクル分、ビット クロックでオフセットする機能も含まれています。オフセットは、入力および出力データ パスに対して個別に構成できます。[表 6-5](#) および [表 6-6](#) は、それぞれ送信パスと受信パス (デイジー DIN の場合) のプログラム可能なオフセット構成設定を示します。

表 6-5. ASI スロット開始の送信に対するプログラム可能なオフセット設定

P0_R28_D[4:0]:PASI_TX_OFFSET[4:0]	スロット データ送信開始のプログラム可能なオフセット設定
0 0000 = 0d (デフォルト)	このデバイスは、オフセットなしで標準プロトコルのタイミングに従います
0 0001 = 1d	スロット開始は、標準プロトコルのタイミングと比較して、1 回の BCLK サイクル分オフセットされています。I ² S または LJ の場合、左チャネルと右チャネルのスロット開始は、標準プロトコルのタイミングと比較して、1 回の BCLK サイクル分オフセットされています
.....
1 1110 = 30d	スロット開始は、標準プロトコルのタイミングと比較して、30 回の BCLK サイクル分オフセットされています。I ² S または LJ の場合、左チャネルと右チャネルのスロット開始は、標準プロトコルのタイミングと比較して、30 回の BCLK サイクル分オフセットされています
1 1111 = 31d	スロット開始は、標準プロトコルのタイミングと比較して、31 回の BCLK サイクル分オフセットされています。I ² S または LJ の場合、左チャネルと右チャネルのスロット開始は、標準プロトコルのタイミングと比較して、31 回の BCLK サイクル分オフセットされています

表 6-6. 受信のための ASI スロット開始のプログラム可能なオフセット設定

P0_R38_D[4:0]:PASI_RX_OFFSET[4:0]	スロット データ受信開始のオフセット設定をプログラム可能
0 0000 = 0d (デフォルト)	このデバイスは、オフセットなしで標準プロトコルのタイミングに従います。
0 0001 = 1d	スロット開始は、標準プロトコルのタイミングと比較して、1 回の BCLK サイクル分オフセットされています。I ² S または LJ の場合、左チャネルと右チャネルのスロット開始は、標準プロトコルのタイミングと比較して、1 回の BCLK サイクル分オフセットされています
.....
1 1110 = 30d	スロット開始は、標準プロトコルのタイミングと比較して、30 回の BCLK サイクル分オフセットされています。I ² S または LJ の場合、左チャネルと右チャネルのスロット開始は、標準プロトコルのタイミングと比較して、30 回の BCLK サイクル分オフセットされています
1 1111 = 31d	スロット開始は、標準プロトコルのタイミングと比較して、31 回の BCLK サイクル分オフセットされています。I ² S または LJ の場合、左チャネルと右チャネルのスロット開始は、標準プロトコルのタイミングと比較して、31 回の BCLK サイクル分オフセットされています

このデバイスには、オーディオ データを転送するために使用されるフレーム同期ピン (FSYNC) の極性を反転させる機能もあり、これは標準プロトコルのタイミングで使用されるデフォルトの FSYNC 極性と比較されます。この機能は、PASI_FSYNC_POL (P0_R26_D[3]) レジスタ ビットを使用して設定できます。同様に、このデバイスはビットクロック ピン (BCLK) の極性を反転させることができます。これは PASI_BCLK_POL (P0_R26_D[2]) レジスタ ビットを使用して設定できます。

さらに、ワード クロックとビット クロックは、コントローラ モードまたはターゲット モードで独立して構成でき、さまざまなプロセッサへの柔軟な接続が可能です。ワード クロックはフレームの開始を定義するために使用され、パルス信号または方形波信号としてプログラムできます。このクロックの周波数は、選択した ADC サンプリング周波数の最大値に対応します。

6.3.1.2.1 時分割多重オーディオ (TDM) インターフェイス

DSP モードとも呼ばれる TDM モードでは、FSYNC の立ち上がりエッジで、スロット 0 のデータから最初にデータ転送が開始されます。スロット 0 データの転送直後に、残りのスロット データは順番に送信されます。FSYNC と各データ ビット (TX_OFFSET が 0 のときのスロット 0 の MSB を除く) は、BCLK の立ち上がりエッジで送信されます。[図 6-2](#) ~ [図 6-5](#) は送信 DOUT ラインのさまざまな構成における TDM 動作のプロトコル タイミングを示します。受信 DIN ラインにも、デイジーチェーン入力をサポートするためにも、同じプロトコル タイミングを適用できます。

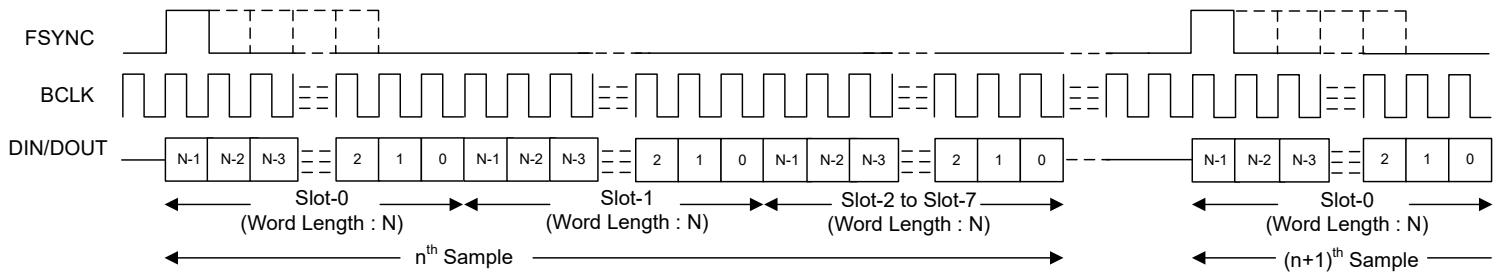


図 6-2. TDM モードの標準プロトコルタイミング (PASI_TX_OFFSET = 0)

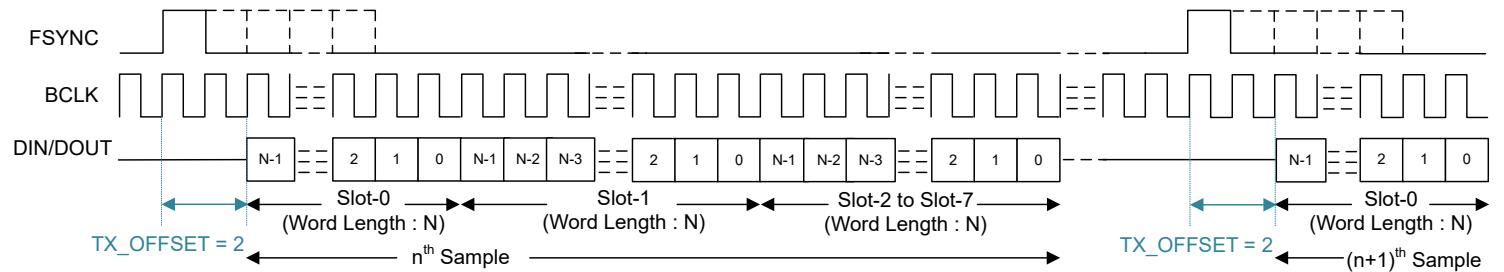


図 6-3. TDM モードのプロトコルタイミング (PASI_TX_OFFSET = 2)

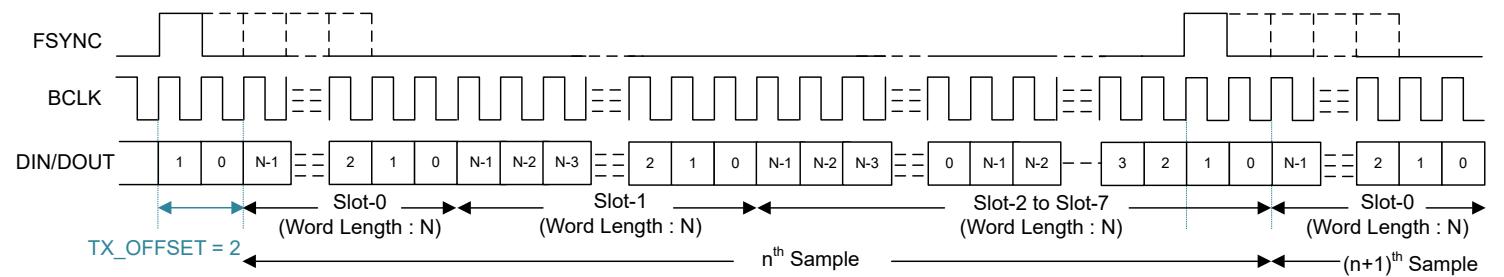


図 6-4. TDM モードのプロトコルタイミング (アイドル BCLK サイクルなし、PASI_TX_OFFSET = 2)

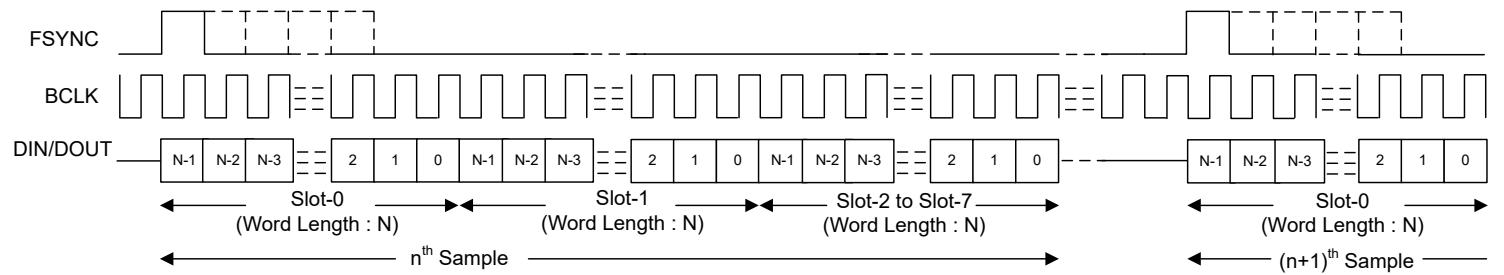


図 6-5. TDM モードのプロトコルタイミング (PASI_TX_OFFSET = 0 および PASI_BCLK_POL = 1)

TDM モードでオーディオ バスを適切に動作させるには、1 フレームあたりのビット クロック数が、アクティブな出力チャネル数と出力チャネルデータのプログラムされたワード長との積以上の値である必要があります。このデバイスは、1 サイクル幅のビット クロックを使用するパルスとして FSYNC をサポートしますが、同様に複数の倍数にも対応しています。BCLK 周波数を高くして動作させるには、PASI_TX_OFFSET 値を 0 より高く設定した TDM モードを使用することを推奨します。

6.3.1.2.2 I²S (Inter IC Sound) インターフェイス

標準の I²S プロトコルは、左と右の 2 つのチャネルのみに対して定義されています。このデバイスは、同じプロトコルのタイミングをマルチチャネル動作に拡張しています。I²S モードでは、FSYNC の立ち下がりエッジの後の 2 番目のサイクル

で、左スロット 0 の MSB が BCLK の立ち下がりエッジで送信されます。左スロット 0 のデータ送信が完了した直後に、残りの左スロットのデータが順番に送信されます。右スロット 0 の MSB は、FSYNC の立ち上がりエッジの後の 2 番目のサイクルで、BCLK の立ち下がりエッジで送信されます。右スロット 0 のデータ送信が完了した直後に、残りの右スロットのデータが順番に送信されます。FSYNC と各データビットは、BCLK の立ち下がりエッジで送信されます。図 6-6～図 6-9 に、I²S 機動のプロトコルタイミングと、送信 DOUT ラインのさまざまな構成を示します。受信 DIN ラインにも、デイジーチェーン入力をサポートするために、同じプロトコルタイミングを適用できます。

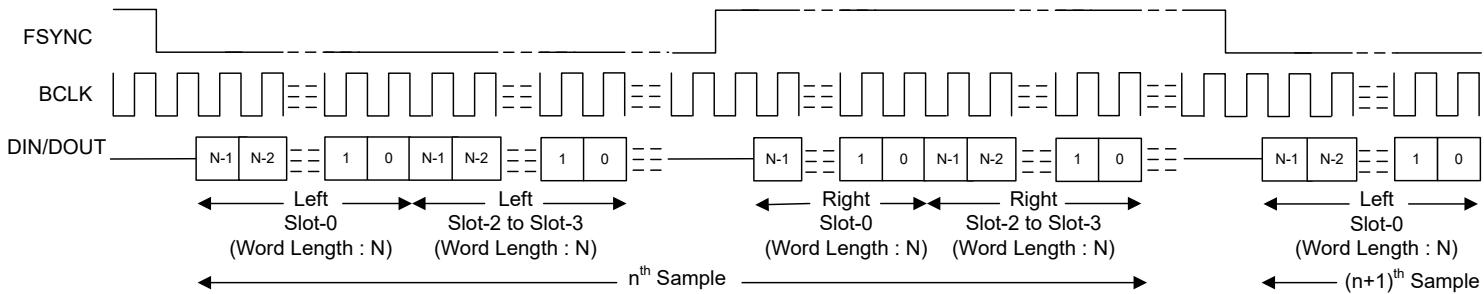


図 6-6. I²S モードの標準プロトコルのタイミング (PASI_TX_OFFSET = 0)

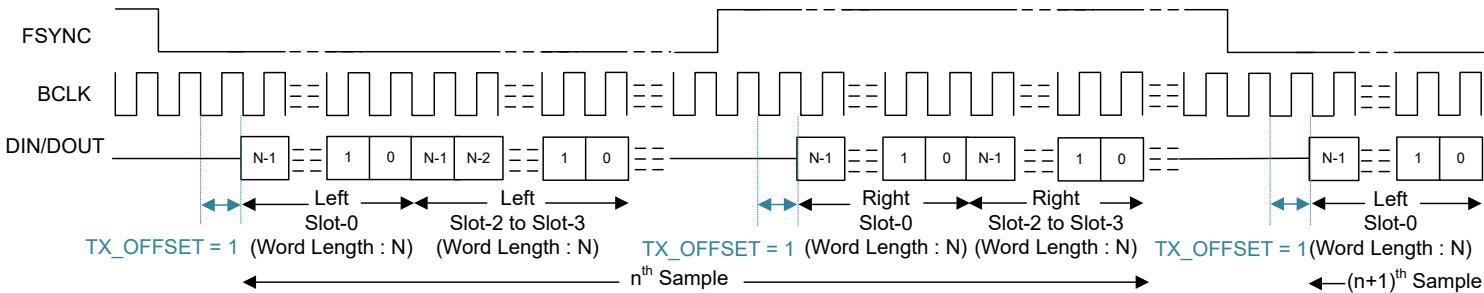


図 6-7. I²S プロトコルのタイミング (PASI_TX_OFFSET = 1)

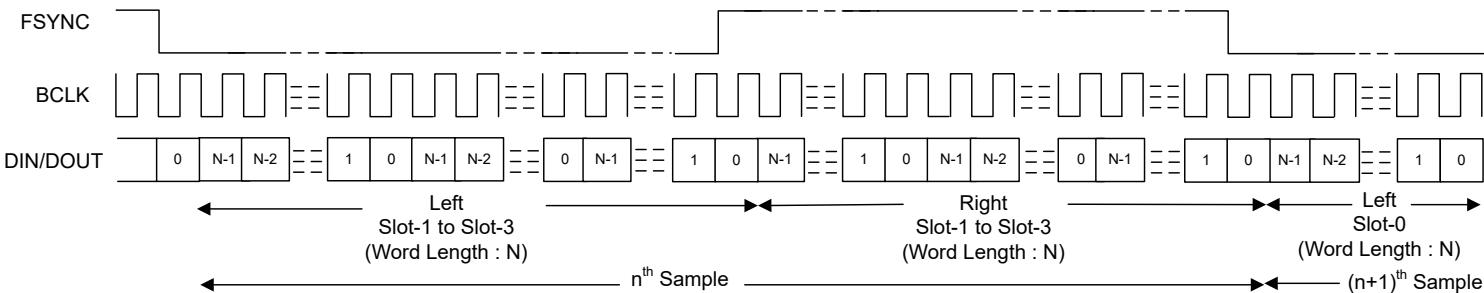


図 6-8. I²S プロトコルのタイミング (アイドル BCLK サイクルなし、PASI_TX_OFFSET = 0)

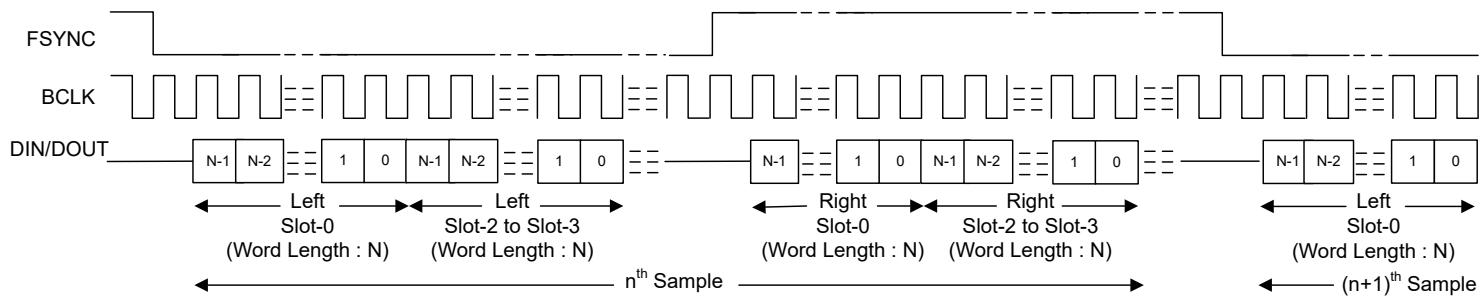


図 6-9. I²S プロトコルのタイミング (PASI_TX_OFFSET = 0 および PASI_BCLK_POL = 1)

I²S モードでオーディオ バスを正常に動作させるためには、フレームあたりのビット クロック数が、アクティブな出力チャネル数(左および右スロットを含む)に、出力チャネル データの設定されたワード長を掛けた値以上でなければなりません。本デバイスの FSYNC の Low パルスは、アクティブな左スロット数に設定されたデータ ワード長を掛けた値以上の BCLK サイクル幅でなければなりません。同様に、FSYNC の High パルスは、アクティブな右スロット数に設定されたデータ ワード長を掛けた値以上の BCLK サイクル幅でなければなりません。

6.3.1.2.3 左揃え (LJ) インターフェイス

標準的な LJ プロトコルは、左と右の 2 チャネルのみに定義されています。このデバイスは、同じプロトコルのタイミングをマルチチャネル動作に拡張しています。LJ モードでは、FSYNC の立ち上がりエッジの後、左スロット 0 の MSB が同じ BCLK サイクルで送信されます。それ以降の各データ ビットは、BCLK の立ち下がりエッジで送信されます。左スロット 0 のデータ送信が完了した直後に、残りの左スロットのデータが順番に送信されます。右スロット 0 の MSB は、FSYNC の立ち下がりエッジの後、同じ BCLK サイクルで送信されます。それ以降の各データ ビットは、BCLK の立ち下がりエッジで送信されます。右スロット 0 のデータ送信が完了した直後に、残りの右スロットのデータが順番に送信されます。FSYNC は、BCLK の立ち下がりエッジで送信されます。図 6-10 ~ 図 6-13 は送信 DOUT ラインのさまざまな構成における LJ 動作のプロトコルタイミングを示します。受信 DIN ラインにも、デイジーチェーン入力をサポートするためにも、同じプロトコルタイミングを適用できます。

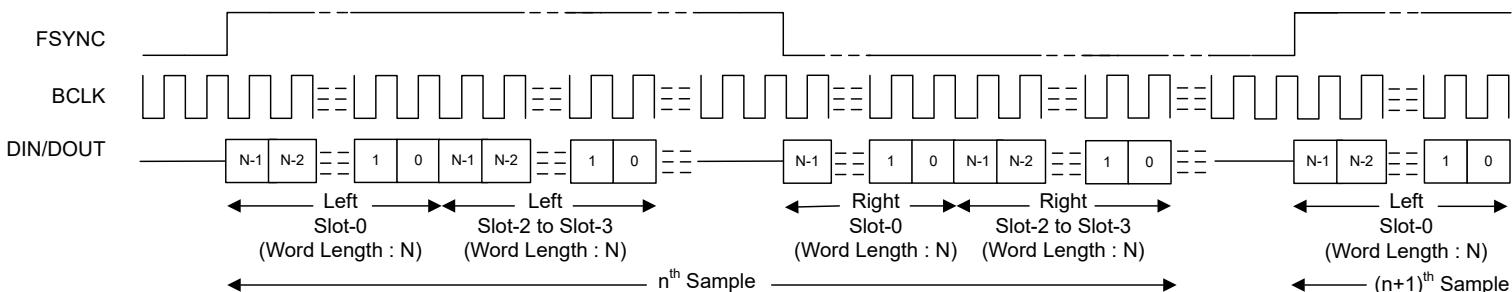


図 6-10. LJ モード標準プロトコルタイミング (TX_OFFSET = 0)

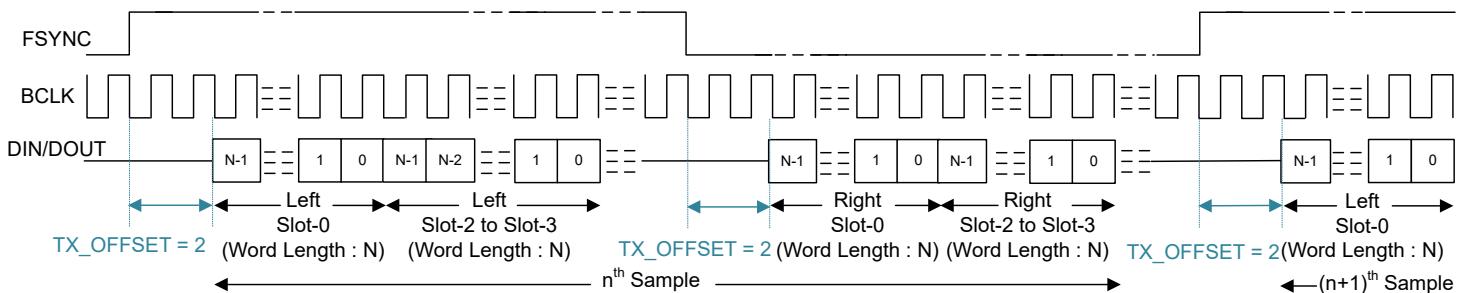


図 6-11. LJ プロトコルのタイミング (TX_OFFSET = 2)

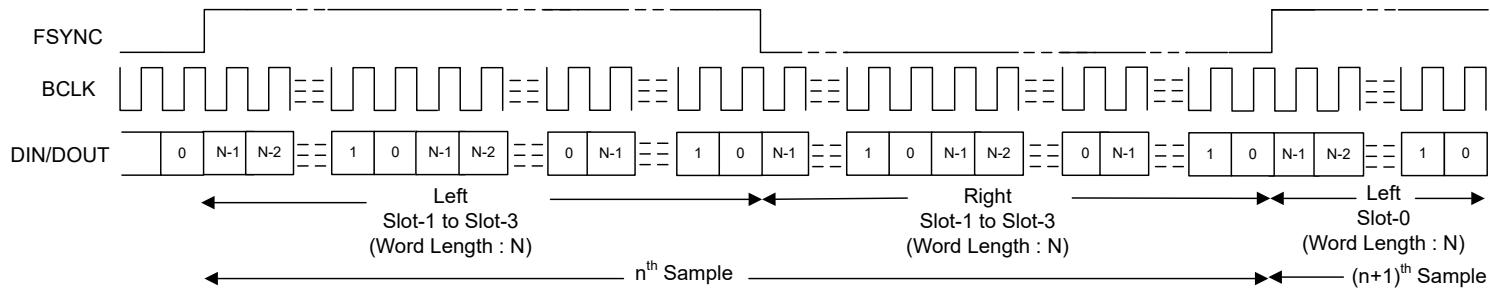


図 6-12. LJ プロトコルのタイミング (アイドル BCLK サイクルなし、TX_OFFSET = 0)

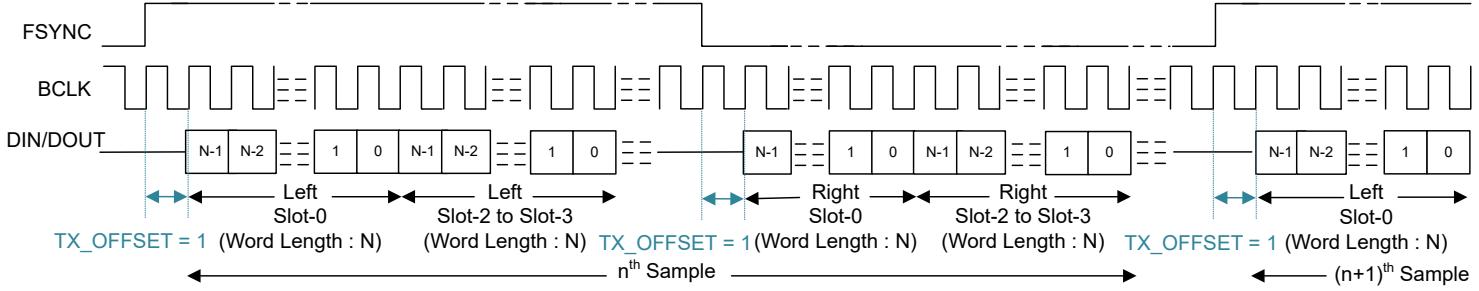


図 6-13. LJ プロトコルのタイミング (TX_OFFSET = 1 および BCLK_POL = 1)

LJ モードでオーディオ バスを適切に動作させるには、1 フレームあたりのビット クロック数が、アクティブな出力チャネル数(左および右のスロットを含む)に、出力チャネル データのプログラムされたワード長を掛けた数以上である必要があります。デバイス FSYNC の High パルスは、アクティブな左スロット数に設定されたデータ ワード長を掛けた数以上の BCLK サイクル幅である必要があります。同様に、FSYNC の Low パルスは、アクティブな右スロット数に設定されたデータ ワード長を掛けた数以上の BCLK サイクル幅である必要があります。BCLK 周波数を高くして動作させるには、TX_OFFSET 値を 0 より高く設定した LJ モードを使用することを推奨します。

6.3.1.3 共有バスで複数のデバイスを使用

このデバイスは、複数の機能と柔軟なオプションを備え、単一の共通の I²C または SPI 制御バスとオーディオシリアルインターフェースバスを共有することで、複数の TAA5212 デバイス、または TAA5212 との他のデバイスをシステムでシームレスに接続するために使用できます。このアーキテクチャにより、ビームフォーミング動作、電話会議、ノイズ キャンセルなどにマイクまたはスピーカ アレイを必要とするシステムに、複数のアプリケーションを適用できます。図 6-14 に、制御データバスとオーディオデータバスが共有されている構成内の複数の TAA5212 デバイスの図を示します。

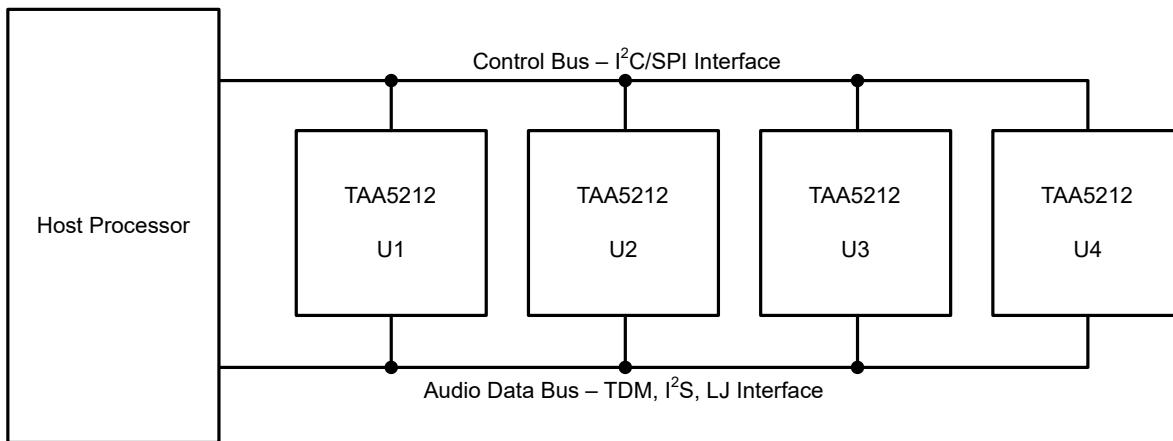


図 6-14. 制御およびオーディオ データ バスを共有する複数の TAA5212 デバイス

TAA5212 は、共有バスを使用して複数のデバイスとのシームレスな接続と相互作用を可能にする以下の機能を備えています。

- ピンによりプログラム可能な 4 つまでの I²C ターゲットアドレスをサポート
- I²C ブロードキャストにより、すべての TAA5212 デバイスに対して同時に書き込み(またはトリガ)します
- オーディオシリアルインターフェース用の最大 32 構成の入出力チャネルスロットをサポート
- デバイスの未使用のオーディオデータスロット用のトライステート機能(有効化と無効化が可能)
- オーディオバス上の最後の駆動値を保持するためのバスホルダ機能(有効化および無効化可能)をサポート
- GPIOx, GPI1、または GPO1 ピンは、セカンダリ入出力データレーンまたはセカンダリオーディオシリアルインターフェースとして構成できます。
- GPIOx, GPI1, GPO1 ピンは、複数の TAA5212 デバイスのデイジーチェーン構成で使用可能

- 高速インターフェースのタイミング要件を緩和するために、BCLK サイクル 1 回のデータラッピング タイミングをサポート
- プライマリおよびセカンダリ オーディオシリアルインターフェース用のプログラマブルコントローラおよびターゲットオプション
- 複数のデバイスを同期し、複数のデバイス間での同時サンプリング要件に対応できる機能

詳細は、『複数の TAC5x1x デバイスで共有された TDM および I2C/SPI バス』アプリケーション レポートをご覧ください。

6.3.2 フェーズロックループ(PLL)とクロック生成

このデバイスには、ADC 変調器および信号処理に使用されるデジタル フィルタ エンジンに必要なすべての内部クロックを生成するスマート自動構成ブロックがあります。この構成は、オーディオ バス上の FSYNC および BCLK 信号の周波数を監視することによって行われます。

このデバイスは、さまざまなデータサンプルレート(FSYNC 信号周波数)および BCLK と FSYNC の比率をサポートし、ホストプログラミングなしで PLL 構成を含むすべてのクロックディバイダを内部で構成します。表 6-7 および表 6-8 に、サポートされている FSYNC および BCLK 周波数を示します。

表 6-7. サポートされる FSYNC (48kHz の倍数またはサブ倍数) および BCLK 周波数

BCLK 対 FSYNC 比	BCLK(MHz)									
	FSYNC (4kHz)	FSYNC (8kHz)	FSYNC (16kHz)	FSYNC (24kHz)	FSYNC (32kHz)	FSYNC (48kHz)	FSYNC (96kHz)	FSYNC (192kHz)	FSYNC (384kHz)	FSYNC (768kHz)
16	予約済み	予約済み	0.256	0.384	0.512	0.768	1.536	3.072	6.144	12.288
24	予約済み	予約済み	0.384	0.576	0.768	1.152	2.304	4.608	9.216	18.432
32	予約済み	0.256	0.512	0.768	1.024	1.536	3.072	6.144	12.288	24.576
48	予約済み	0.384	0.768	1.152	1.536	2.304	4.608	9.216	18.432	予約済み
64	0.256	0.512	1.024	1.536	2.048	3.072	6.144	12.288	24.576	予約済み
96	0.384	0.768	1.536	2.304	3.072	4.608	9.216	18.432	予約済み	予約済み
128	0.512	1.024	2.048	3.072	4.096	6.144	12.288	24.576	予約済み	予約済み
192	0.768	1.536	3.072	4.608	6.144	9.216	18.432	予約済み	予約済み	予約済み
256	1.024	2.048	4.096	6.144	8.192	12.288	24.576	予約済み	予約済み	予約済み
384	1.536	3.072	6.144	9.216	12.288	18.432	予約済み	予約済み	予約済み	予約済み
512	2.048	4.096	8.192	12.288	16.384	24.576	予約済み	予約済み	予約済み	予約済み
1024	4.096	8.192	16.384	24.576	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み
2048	8.192	16.384	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み

表 6-8. サポートされる FSYNC (44.1kHz の倍数またはサブ倍数) および BCLK 周波数

BCLK 対 FSYNC 比	BCLK(MHz)								
	FSYNC (7.35kHz)	FSYNC (14.7kHz)	FSYNC (22.05kHz)	FSYNC (29.4kHz)	FSYNC (44.1kHz)	FSYNC (88.2kHz)	FSYNC (176.4kHz)	FSYNC (352.8kHz)	FSYNC (705.6kHz)
16	予約済み	予約済み	0.3528	0.4704	0.7056	1.4112	2.8224	5.6448	11.2896
24	予約済み	0.3528	0.5292	0.7056	1.0584	2.1168	4.2336	8.4672	16.9344
32	予約済み	0.4704	0.7056	0.9408	1.4112	2.8224	5.6448	11.2896	22.5792
48	0.3528	0.7056	1.0584	1.4112	2.1168	4.2336	8.4672	16.9344	予約済み
64	0.4704	0.9408	1.4112	1.8816	2.8224	5.6448	11.2896	22.5792	予約済み
96	0.7056	1.4112	2.1168	2.8224	4.2336	8.4672	16.9344	予約済み	予約済み
128	0.9408	1.8816	2.8224	3.7632	5.6448	11.2896	22.5792	予約済み	予約済み
192	1.4112	2.8224	4.2336	5.6448	8.4672	16.9344	予約済み	予約済み	予約済み
256	1.8816	3.7632	5.6448	7.5264	11.2896	22.5792	予約済み	予約済み	予約済み
384	2.8224	5.6448	8.4672	11.2896	16.9344	予約済み	予約済み	予約済み	予約済み

表 6-8. サポートされる FSYNC (44.1kHz の倍数またはサブ倍数) および BCLK 周波数 (続き)

BCLK 対 FSYNC 比	BCLK (MHz)								
	FSYNC (7.35kHz)	FSYNC (14.7kHz)	FSYNC (22.05kHz)	FSYNC (29.4kHz)	FSYNC (44.1kHz)	FSYNC (88.2kHz)	FSYNC (176.4kHz)	FSYNC (352.8kHz)	FSYNC (705.6kHz)
512	3.7632	7.5264	11.2896	15.0528	22.5792	予約済み	予約済み	予約済み	予約済み
1024	7.5264	15.0528	22.5792	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み
2048	15.0528	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み

TAA5212 は、前の表に記載されているオーディオ サンプル レートを超える非オーディオ サンプル レートにも対応しています。詳細については、『[デバイスのクロッキング構成および TAx5x1x ファミリの柔軟なクロッキング](#)』アプリケーション レポートを参照してください。

TAA5212 のサンプル レートは、プライマリ ASI およびセカンダリ ASI にそれぞれ CLK_CFG0 (P0_R50) および CLK_CFG1 (P0_R51) レジスタを使用して構成できます。CLK_DET_STS0 (P0_R62) および CLK_DET_STS1 (P0_R63) レジスタは、それぞれプライマリおよびセカンダリ ASI のオート検出モードでの FSYNC 周波数のデバイス自動検出結果をキャプチャします。CLK_DET_STS2 (P0_R64) および CLK_DET_STS3 (P0_R65) レジスタは、選択した ASI のためにデバイスがオート検出モードで検出した BCLK と FSYNC の比率をキャプチャします。この ASI は、CLK_SRC_SEL (P0_R52_D[3:1]) レジスタを通じて PLL リファレンスとして選択されます。デバイスがサポートされていない FSYNC 周波数と BCLK と FSYNC の比率の組み合わせを検出した場合、デバイスは ASI クロック エラー割り込みを生成し、それに応じてデバイスのさまざまなブロックをシャットダウンします。

TAA5212 は、一部の ADC チャネルがすでに動作しているときのチャネルの有効化もサポートしています。これは、適切なクロック生成と使用を確実にするために、動作中に有効にできる最大チャネル数を説明するための電源投入前の事前構成が必要です。これは、レジスタ DYN_PUPD_CFG (P0_R119) を使って構成できます。ADC_DYN_PUPD_EN (P0_R119_D[7]) ビットを使用すると、ADC チャネルの動的パワーアップを有効にできます。動的パワーアップおよびパワーダウンでサポートされる最大チャネル数は、ADC_DYN_MAXCH_SEL (P0_R119_D[6]) ビットを使用して構成できます。

このデバイスは、モジュレータやデジタル フィルタ エンジン、その他の制御ブロックに必要な内部クロックを生成するために、統合された低ジッタの位相同期ループ (PLL) を使用しています。このデバイスは、PLL を使用せずに BCLK、GPIOx、または GPI1 ピン (CCLK として) をオーディオ クロック ソースとして使用するオプションもサポートしており、これにより消費電力を削減できます。ただし、外部クロック ソースからのジッタにより ADC の性能が低下する可能性があり、外部オーディオ クロック ソースの周波数が十分に高くない場合、一部の処理機能がサポートされない可能性があります。したがって、TI は高性能アプリケーションには PLL の使用を推奨しています。PLL リファレンスの各種オプションは、CLK_SRC_SEL (P0_R52_D[3:1]) レジスタにより設定できます。PLL を使用せずに低電力モードでデバイスを構成して使用する方法に関する詳細および情報については、『[TAA52x2 さまざまな使用シナリオにおける消費電力マトリックス](#)』アプリケーション レポートを参照してください。

このデバイスは、GPIOx または GPI1 ピン (CCLK として) をリファレンス入力クロックソースとして使用するオーディオ バスコントローラ モード動作をサポートしており、さまざまな柔軟なオプションと広範囲なシステム クロックをサポートしています。コントローラ モードの構成と動作の詳細については、『[デバイスのクロック構成および TAx5x1x ファミリの柔軟なクロッキング](#)』アプリケーション レポートを参照してください。

オーディオ バス クロック エラー検出および自動検出機能は、すべての内部クロックを自動的に生成しますが、IGNORE_CLK_ERR (P0_R4_D[6]) および CUSTOM_CLK_CFG (P0_R50_D[0]) レジスタ ビットを使用してそれぞれ無効にすることができます。システムでは、この無効化機能を使用して、オート検出方式ではカバーされていないカスタムクロック周波数をサポートすることができます。このようなアプリケーションの使用事例では、複数のクロック分周器がすべて適切に構成されるように注意する必要があります。TI は、デバイス設定の構成には PPC3 GUI の使用を推奨しています。詳細については [TAC5212EVM-PDK 評価基板ユーザー ガイド](#) と PurePath™ コンソール グラフィカル開発スイートをご覧ください。『[デバイスのクロック構成および TAx5x1x ファミリの柔軟なクロッキング](#)』アプリケーション レポートでは、カスタム クロック構成のさまざまな側面についても説明しています。デバイスのクロック検出モジュールの詳細については、

『[TAX5x1x ファミリでサポートされるクロック誤差の構成、検出、およびモード』アプリケーション レポートを参照してください。](#)

PLL がオフのとき、デジタル ボリューム コントロールやプログラム可能な係数を使用する他の機能(バイキュー、ミキサー、AGC など)は、高域通過フィルタ(HPF)を除いて適用できません。

6.3.3 入力チャネルの構成

TAA5212 は、記録チャネルのために差動入力またはシングルエンド入力として構成できる 2 組のアナログ入力ピン(**INxP** と **INxM**)で構成されています。このデバイスは、高性能マルチチャネル ADC を使用した、最大 2 つのアナログチャネルの同時録音をサポートしています。アナログ ピンの入力源は、エレクトレットコンデンサ アナログ マイク、微小電気機械システム (MEMS) アナログ マイク、またはシステム基板からのライン入力(補助)入力です。アナログ入力は、AC 結合および DC 結合オプションを備えた差動入力のシングル エンド入力に対応します。

表 6-9 は、記録チャネル 1 の入力構成を表示します。

表 6-9. 記録チャネルの入力ソース選択

P0_R80_D[7:6]:ADC_CH1_INSRC[1:0]	入力チャネル 1 の構成
00 (デフォルト)	IN1P および IN1M を使用したチャネル 1 のアナログ差動入力
01	IN1P および IN1M (1 つの入力ピンの信号、もう 1 つのピンのグランド) を使用したチャネル 1 のアナログ シングルエンド入力
10	IN1P に接続されたアナログ シングルエンド入力マルチプレクサ(信号は 1 本の入力ピンのみで、追加のグランド ピンは不要)
11	IN1M に接続されたアナログ シングルエンド入力マルチプレクサ(信号は 1 本の入力ピンのみで、追加のグランド ピンは不要)

同様に、入力チャネル 2 の入力構成設定は、**ADC_CH2_INSRC[1:0](P0_R85_D[7:6])** レジスタビットを使用して設定できます。

通常、音声またはオーディオ信号入力はデバイスに対する容量性結合 (AC 結合) です。デバイス入力における同相変動は差動入力の 100mVpp 未満に制限されます。ただし、大きな同相変動を回避できないアプリケーションや、基板面積を低減するために必要なアプリケーション向けに、このデバイスは同相許容範囲を広げるオプションと DC 結合入力もサポートしています。この構成は、**ADC_CH1_CM_TOL (P0_R80_D[3:2])** および **ADC_CH2_CM_TOL (P0_R85_D[3:2])** レジスタビットの入力同相許容範囲を、各チャネルごとに個別に実行できます。[表 6-9](#) に、チャネル 1 のこれらのオプションを示します。コモンモード許容誤差を高く設定すると、CMRR 性能が向上しますが、ノイズ性能は数デシベル低下します。

表 6-10. 記録チャネルの入力同相許容範囲

P0_R80_D[3:2]:ADC_CH1_CM_TOL[1:0]	入力チャネル 1 の同相許容範囲
00 (デフォルト)	AC 結合入力は同相変動許容誤差がシングル エンドで 50mVpp、差動構成で 100mVpp です。
01	AC 結合/DC 結合入力は同相変動許容誤差がシングル エンドで 500mVpp、差動構成で 1Vpp です。
10	同相変動許容差のある AC 結合/DC 結合入力レールツーレール(電源からグランドまで)(高い CMRR 許容誤差モード)
11	予約済み

各種標準入力構成図については、[図 6-15～図 6-18](#) を参照してください。シングル エンド入力の場合、**INxM** ピンを DC 結合構成で直接グランドに接続できますが、AC 結合構成では **INxM** ピンを AC 結合 コンデンサの後にグランドに接続する必要があります。最高のダイナミックレンジ性能を得るには、差動 AC 結合入力設定を使用し、デバイス入力における同相変動を 100mVpp 未満に制限する必要があります。詳細については、[TAX5x1x デバイスのアナログ入力構成、ミキシング、多重化アプリケーション レポート](#)を参照してください。

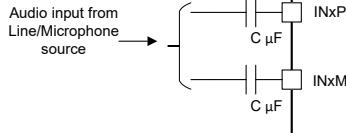


図 6-15. 差動 AC 結合入力接続 (ADC_CHx_insrc を 2'b00 に設定し、ADC_CHx_CM_TOL を 2'b00 または 2'b01 または 2'10 に設定)

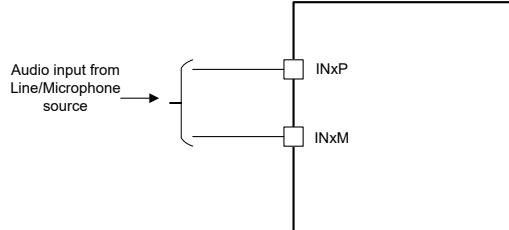


図 6-16. 差動 DC 結合入力接続 (ADC_CHx_insrc を 2'b00 に設定し、ADC_CHx_CM_TOL を 2'b01 または 2'10 に設定)

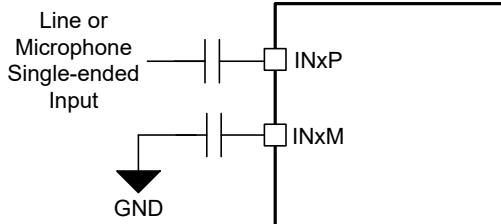


図 6-17. シングルエンド AC 結合入力接続
(ADC_CHx_insrc を 2'b01 に設定し、
ADC_CHx_CM_TOL を 2'b00 または 2'b01 または
2'10 に設定)

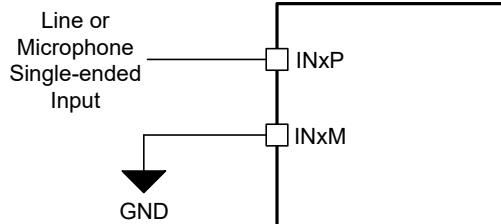


図 6-18. シングルエンド DC 結合入力接続
(ADC_CHx_insrc を 2'b01 に設定し、
ADC_CHx_CM_TOL を 2'b01 または 2'10 に設定)

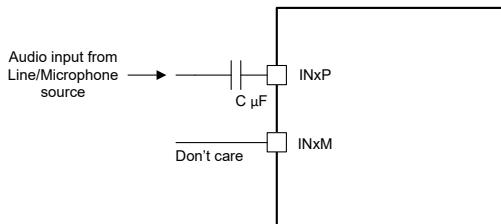


図 6-19. シングルエンド マルチプレクサ INxP AC 結合入力接続 (ADC_CHx_insrc を 2'b10 に設定し、
ADC_CHx_CM_TOL を 2'b00 または 2'b01 または
2'10 に設定)

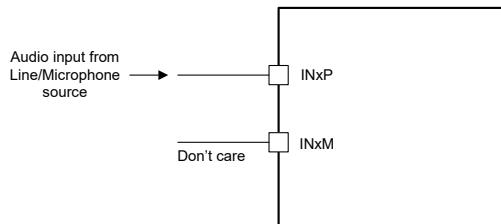


図 6-20. シングルエンド マルチプレクサ INxP DC 結合入力接続 (ADC_CHx_insrc を 2'b10 に設定し、
ADC_CHx_CM_TOL を 2'b01 または 2'10 に設定)

またこのデバイスでは、入力ソース インピーダンスの選択に基づいて、 $5\text{k}\Omega$ (デフォルト)、 $10\text{k}\Omega$ 、 $40\text{k}\Omega$ から INxP または INxM の標準入力インピーダンスを柔軟に選択できます。選択する入力インピーダンスの値には $\pm 20\%$ の変動が発生する可能性があります。入力インピーダンスが大きいほど、ノイズが多少増加し、ダイナミック レンジは多少低下します。表 6-11 は、記録チャネルの 入力インピーダンスの構成レジスタ設定をリストします。

表 6-11. 記録チャネルの 入力インピーダンス選択

P0_R80_D[5:4]:ADC_CH1_IMP[1:0]	チャネル 1 の入力インピーダンス選択
00 (デフォルト)	チャネル 1 の入力インピーダンスの標準値は、INxP または INxM の $5\text{k}\Omega$ です
01	チャネル 1 の入力インピーダンスの標準値は、INxP または INxM の $10\text{k}\Omega$ です
10	チャネル 1 の入力インピーダンスの標準値は、INxP または INxM の $40\text{k}\Omega$ です
11	予約済み(この設定は使用しないでください)

同様に、入力チャネル 2 の 入力インピーダンス選択設定は、ADC_CH2_IMP[1:0] (P0_R85_D[5:4]) レジスタ ビットを使用して行うことができます。ADC 入力がシングル エンド マルチプレクサ (ADC_CHx_insrc = 2'b10 または 2'b11) 用に

構成されている場合、 $5\text{k}\Omega$ の入力インピーダンス設定はサポートされていません。また、高スイングモード ([セクション 6.3.4](#)) でもサポートされていません。

AC 結合モードでのカッピング コンデンサの値は、カッピング コンデンサと入力インピーダンス構成されるハイパスフィルタが、目的とする低周波信号の帯域幅や振幅に影響を与えないように選定する必要があります。適切な記録を開始する前に、このカッピング コンデンサは、パワーアップ時に同相電圧まで充電する必要があります。迅速な充電を可能にするため、このデバイスはカッピング コンデンサの充電を高速化するモードを備えています。クイック充電タイミングのデフォルト値は、最大 $1\mu\text{F}$ のカッピング コンデンサに対して設定されます。ただし、システムでより値の大きいコンデンサを使用する場合は、**INCAP_QCHG (P0_R5_D[7:6])** レジスタ ビットを使用することで、急速充電タイミングを向上させることができます。低歪み性能を実現するため、AC カッピングには電圧係数の小さいコンデンサの使用を推奨します。

さらアプリケーションで録音にデジタル PDM マイクロフォンを使用する場合、(アナログ チャネルを使用しない場合) デジタル マイクロフォン録音用に最大 4 つのチャネルをサポートするために、GPIOx, GPI1, GPO1 ピンをデバイスで再構成できます。また、2 つのアナログ マイク チャネルと 2 つのデジタル マイク チャネル、または 1 つのアナログ チャネルと 3 つのデジタル マイク チャネルでの同時録音もサポートできます。デジタル PDM マイクロフォン録音チャネルの詳細については、[セクション 6.3.7](#) を参照してください。

TAA5212 は、DC 測定にアナログ入力チャネルを使用できる ADC のインクリメンタル モードもサポートしています。この機能は、**IADC_EN (P0_R81_D[7])** を設定することで設定できます。ADC のインクリメンタル モードの詳細については、[セクション 6.3.10](#) を参照してください。

6.3.4 基準電圧

すべてのオーディオ データ コンバータは DC リファレンス電圧を必要とします。TAA5212 は、内部で低ノイズの基準電圧を生成することによって、低ノイズ性能を実現します。このリファレンス電圧は、高い PSRR 性能を持つバンドギャップ回路を使用して生成されます。このオーディオ コンバータのリファレンス電圧は、VREF ピンからデバイス グラウンド (VSS) に接続された最低 $1\mu\text{F}$ のコンデンサを使用して外部でフィルタリングする必要があります。

このリファレンス電圧の値は、**VREF_FSCALE (P0_R77_D[1:0])** レジスタ ビットを使用して設定でき、デバイスの望ましいフルスケール入力およびシステムで利用可能な AVDD 電源電圧に基づいて適切な値に設定する必要があります。デフォルトの VREF 値は 2.75V に設定されており、これによりデバイスに対して 2V_{RMS} の差動フルスケール入力がサポートされます。このモードに必要な最小 AVDD 電圧は 3V です。TAA5212 は、また 4V_{RMS} 差動スイングによるハイスイング モードもサポートしています。このスイングは、各チャネルについて個別に **ADC_CHx_FULLSCALE_VAL (P0_R80_D[1] および P0_R85_D[1])** を 1'b1 に設定することで有効にすることができます。[表 6-12](#) に、サポートされているさまざまな VREF 設定と、必要な AVDD 動作モード、およびその構成でサポートされているフルスケール入力信号のリストを示します。

表 6-12. VREF プログラム可能設定

P0_R77_D[1:0]: VREF_FSCALE[1:0]	VREF 出力電圧	差動フルスケール入力をサ ポート	シングルエンドのフルスケ ール入力をサポート	AVDD 動作モード
00 (デフォルト)	2.75V	2V_{RMS} (ハイスイング モード で 4V_{RMS} をサポート)	1V_{RMS} (ハイスイング モード で 2V_{RMS} をサポート)	AVDD 3.3V 動作
01	2.5V	$1.818\text{V}_{\text{RMS}}$	$0.909\text{V}_{\text{RMS}}$	AVDD 3.3V 動作
10	1.375V	1V_{RMS}	0.5V_{RMS}	AVDD 1.8V 動作
11	予約済み	予約済み	予約済み	予約済み

低消費電力を実現するため、このオーディオ リファレンス ブロックはスリープ モードまたはソフトウェア シャット ダウン モード中に電源がオフになります ([セクション 6.4.1](#) を参照)。スリープ モードから復帰する際、オーディオ リファレンス ブロックは内部の高速充電方式を使用して電源が供給され、VREF ピンはセトリング タイム後に定常状態の電圧に安定します (この時間は VREF ピンのデカッピング コンデンサに依存します)。 $1\mu\text{F}$ デカッピング コンデンサを使用する場合、この時間は約 3.5ms に等しくなります。VREF ピンに値の大きいデカッピング コンデンサが使用されている場合、**VREF_QCHG (P0_R2_D[5:4])** レジスタ ビットを使用して、ファスト チャージ設定を再構成する必要があります。このレジスタは、 3.5ms (デフォルト)、 10ms 、 50ms 、または 100ms のオプションをサポートしています。

6.3.5 プログラム可能なマイクロフォンバイアス

このデバイスは、システム内でエレクトレットコンデンサマイクのバイアスを供給したり、MEMSアナログまたはデジタルマイクへの電源供給に使用できる、内蔵の低ノイズマイクロフォンバイアスポートを統合しています。統合バイアスアンプは、最大5mAの負荷電流をサポートしており、複数のマイクに使用できるように設計されています。また、高いPSRR、低ノイズ、プログラム可能なバイアス電圧の組み合わせを提供し、特定のマイクロフォンの組み合わせに合わせてバイアスの微調整ができます。

このMICBIASピンをバイアスや複数のマイクロフォンへの供給に使用する場合、マイクロフォン間のカッピングを最小限に抑えるために、MICBIAS接続のための基板レイアウトで同相インピーダンスを避けます。[表6-13](#)に、マイクロフォンバイアスのプログラム可能なオプションを示します。

表6-13. MICBIASプログラム可能設定

P0_R77_D[3:2]:MICBIAS_VAL[1:0]	P0_R77_D[1:0]:VREF_FSCALE[1:0]	MICBIAS出力電圧
00(デフォルト)	00(デフォルト)	2.75V(VREF出力と同じ)
	01	2.5V(VREF出力と同じ)
	10	1.375V(VREF出力と同じ)
	11	予約済み(これらの設定は使用しないでください)
01	00(デフォルト)	1.375V(VREF出力の0.5倍)
	01	1.250V(VREF出力の0.5倍)
	10または11	予約済み(これらの設定は使用しないでください)
10	XX	予約済み(これらの設定は使用しないでください)
11	XX	AVDDと同じ

マイクロフォンバイアス出力は、MICBIAS_PDZ(P0_R120_D[5])レジスタビットを設定することで、オンまたはオフ(デフォルト)にすることができます。さらに、デバイスは、GPIOxまたはGPI1ピンを構成して、マイクロフォンバイアス出力のオンとオフを直接制御するオプションを提供します。この機能は、I²CまたはSPI通信を行う場合に、ホストを接続せずに、マイクを直接制御するのに役立ちます。GPIOxまたはGPI1ピンがマイクロフォンバイアスをオフに設定するように構成されている場合、MICBIAS_PDZ(P0_R120_D[5])レジスタビットの値は無視されます。

6.3.6 シグナルチェーン処理

TAA5212シングルチェーンは、非常に低ノイズで高性能、低消費電力のアナログブロックと、高度に柔軟でプログラム可能なデジタル処理ブロックで構成されています。高性能で柔軟性が高く、コンパクトなパッケージにより、TAA5212はマルチチャネルオーディオキャプチャおよび再生を必要とする各種の最終機器およびアプリケーション向けに最適化されています。[セクション6.3.6.1](#)は、ADCシグナルチェーンの主要なコンポーネントについてさらに説明します。

6.3.6.1 ADC信号チェーン

[図6-21](#)に、録音パス信号チェーンの主要なコンポーネントを示します。

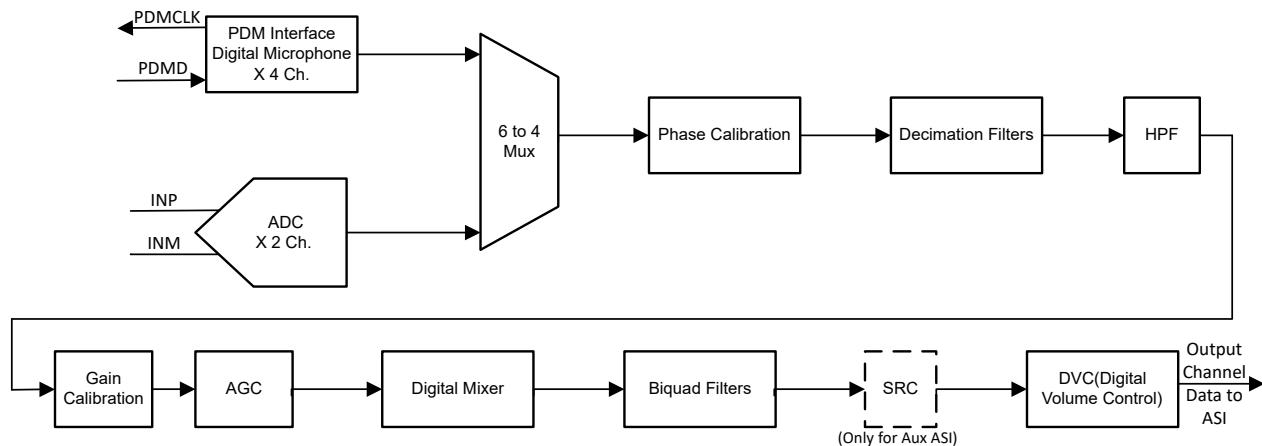


図 6-21. ADC 信号チェーン処理フローチャート

フロントエンド ADC は超低ノイズで、119dB のダイナミックレンジ性能を実現しています。低ノイズで低歪みのマルチビット デルタシグマ ADC を使用すると、TAA5212 は低ノイズで大音量の環境で、非常に忠実度の高いファーフィールドオーディオ信号を録音できます。さらに、ADC アーキテクチャには、複数の変調器周波数成分周辺の帯域外周波数ノイズを高いレベルで除去するアンチエイリアス フィルタリングが組み込まれています。したがって、このデバイスは、ADC サンプリング時にノイズがオーディオ帯域にエイリアシングするのを防ぎます。信号チェーンのさらに先では、統合された高性能多段デジタル デシメーション フィルタが、高い阻止帯域減衰量で帯域外の周波数ノイズを鋭く遮断します。

このデバイスには、カスタムのローパス、ハイパス、またはその他の希望する周波数整形を可能にする統合されたプログラム可能なバイキュア フィルタも搭載されています。このため、シグナル チェーン全体のアーキテクチャにより、アンチエイリアス ローパス フィルタリングのための外部コンポーネントを追加する必要がなくなり、外部システムの部品コストと基板面積を大幅に削減できます。詳細については、『[TAC5212 統合アナログアンチエイリアスフィルタおよび柔軟なデジタルフィルタ](#)』を参照してください。

信号チェーンは、位相キャリブレーション、ゲイン キャリブレーション、ハイパス フィルタ、デジタル サマーまたはミキサ、バイクワッド フィルタ、同期サンプル レート コンバータ、ボリューム コントロールなどの多様で非常にプログラマブルなデジタル処理ブロックで構成されています。これらの処理ブロックの詳細については、このセクションで詳しく説明します。また、このデバイスは、アナログ録音チャネルを使用しない場合、最大 4 つのデジタル PDM マイクロフォン録音チャネルをサポートします。

録音に使用する入力チャネルは、CH_EN (P0_R118) レジスタを使用して有効または無効にできます。一般的に、このデバイスはすべてのアクティブ チャネルの同時パワーアップおよびパワーダウンをサポートし、同時に録音を実現します。しかし、アプリケーションのニーズによっては、他のチャネルの録音中に、いくつかのチャネルを動的にパワーアップまたはパワーダウンする必要がある場合、DYN_PUPD_CFG (P0_R119) レジスタを設定することで、その使用事例に対応できます。

このデバイスは、最大 90kHz の入力信号帯域幅をサポートしており、216kHz (またはそれ以上) のサンプル レートを使用することで、高周波数の非音声信号を記録再生できます。ADC_CHx_BW_MODE ビット (P0_R80_D[0]、P0_R85_D[0]) を使用して、広帯域、広帯域幅のモードを有効または無効にできます。広帯域幅モードは、40kΩ の入力インピーダンス設定 (表 6-11) のみでサポートされ、高スイング モード (セクション 6.3.4) ではサポートされていません。

サンプル レートが 48kHz 以下の場合、デバイスはすべての機能とさまざまなプログラム可能な処理ブロックをサポートします。しかし、サンプル レートが 48kHz より高い場合、同時に録音および再生できるチャネル数や、使用できるバイクワッド フィルタの数などに制限があります。詳細については、『[TAC5212 サンプリング レートおよびサポートされているプログラマブル処理ブロック](#)』を参照してください。

6.3.6.1.6 対4入力選択マルチプレクサ(6:4 MUX)

このデバイスは、最大 2 つのアナログ チャネルと最大 4 つのデジタル マイクロフォン チャネルをサポートし、一度に 4 つのチャネルでの同時録音をサポートできます。TAA5212 の ADC 入力信号チェーンは、以下の組み合わせを可能にする 6:4 マルチプレクサで構成されています。

1. 4 つのデジタル PDM チャネルすべて。
2. 2 つのデジタル PDM チャネルと 2 つのアナログ チャネル
3. 3 つのデジタル PDM チャネルと 1 つのアナログ チャネル。

これらの組み合わせは、INTF4_CFG (B0_P0_R19) レジスタを使用して有効にできます。PDM チャネルの有効化の詳細については、[セクション 6.3.7](#) を参照してください。

6.3.6.1.2 プログラム可能なチャネル ゲインおよびデジタル ボリューム制御

デバイスには、各入力チャネルについて独立したプログラム可能なチャネル ゲイン設定があり、システムで予測される最大入力信号に基づいて適切な値に設定できます。また、使用される ADC VREF 設定 ([セクション 6.3.4](#) セクションを参照) によって ADC のフルスケール信号レベルが決まります。

チャネル ゲインはプログラム可能なデジタル ボリューム制御機能で設定でき、-80dB ~ 47dB で 0.5dB 刻みの範囲で、チャネルの録音をミュートすることもできます。ADC チャネルが起動し、録音されている間は、デジタル ボリューム コントロール値を動的に変更することができます。ボリューム コントロールの変更中は、ソフトランアップまたはソフトランダウンド機能が内部的に使用され、可聴アーティファクトを回避します。ソフトステッピングは、ADC_DSP_DISABLE_SOFT_STEP (P0_R114_D[1]) レジスタ ビットを使用して完全に無効化できます。

デジタル ボリューム コントロール設定は、デジタル マイクロフォン レコード チャネルを含む各出力チャネルに対して個別に使用できます。ただし、チャネル 1 の電源オン時と電源オフ時のどちらであっても、チャネル 1 デジタル ボリューム コントロール設定を使用して、すべてのチャネルのボリューム コントロール設定を一括でアップするオプションもサポートしています。このギヤングアップは、ADC_DSP_dvol_GANG (P0_R114_D[0]) レジスタ ビットを使用して有効化できます。

表 6-14 はチャネル 1 向けのデジタル ボリューム コントロール用に利用可能なプログラマブル オプションを示します。

表 6-14. デジタル ボリューム コントロール (DVC) のプログラマブル設定

P0_R82_D[7:0]:ADC_CH1_DVOL[7:0]	出力チャネル 1 の DVC 設定
0000 0000 = 0d	出力チャネル 1 DVC はミュートに設定されます
0000 0001 = 1d	出力チャネル 1 の DVC は -80dB に設定されます
0000 0010 = 2d	出力チャネル 1 の DVC は -79.5dB に設定されます
0000 0011 = 3d	出力チャネル 1 の DVC は -79dB に設定されます
...	...
1010 0000 = 160d	出力チャネル 1 の DVC は -0.5dB に設定されます
1010 0001 = 161d (デフォルト)	出力チャネル 1 の DVC は 0dB に設定されます
1010 0010 = 162d	出力チャネル 1 の DVC は 0.5dB に設定されます
...	...
1111 1101 = 253d	出力チャネル 1 の DVC は 46dB に設定されます
1111 1110 = 254d	出力チャネル 1 の DVC は 46.5dB に設定されます
1111 1111 = 255d	出力チャネル 1 の DVC は 47dB に設定されます

同様に、出力チャネル 2 からチャネル 4 のデジタル ボリューム コントロール設定は、それぞれ CH2_DVOL (P0_R87) から CH4_DVOL (P0_R95) のレジスタ ビットを使用して設定できます。

チャネルが電源投入されると、内部デジタル処理エンジンがミュートレベルからプログラムされた音量レベルまで音量を徐々に上げます。また、チャネルが電源オフになると、内部デジタル処理エンジンがプログラムされた音量からミュートまで音量を徐々に下げます。この音量のソフトステッピングは、レコード チャネルの急激な電源投入や電源切断を防ぐために行

われます。この機能は、ADC_DSP_DISABLE_SOFT_STEP(P0_R114_D[1])レジスタビットを使用して完全に無効化することもできます。

デジタル ボリューム (DVOL) 制御により、プログラム可能ゲイン アンプ (PGA) を必要とせずにゲインを制御できます。TAA5212 では、PGA オペアンプが ADC フロントエンドに組み込まれており、従来の PGA ベースのデバイスに比べて数分の 1 の電力で、他の低ノイズ PGA ベースのオーディオ信号チェーンと同等の非常に高性能を実現します。詳細については、「[TAX5XXX デバイスを使用したマイクロフォンインターフェイス](#)」を参照してください。

PLL がオフになっている場合、プログラム可能なチャネルのデジタル ボリューム コントロール機能は適用されません。チャネル減衰の設定については、[セクション 6.3.6.1.5](#) で説明されているように、プログラム可能なハイパス フィルタ係数を使用してユーザーが設定できます。

6.3.6.1.3 プログラム可能なチャネルゲイン較正

デジタル ボリューム コントロール機能に加え、このデバイスはプログラム可能なチャネル ゲイン較正も提供します。各チャネルのゲインは、 -0.8dB から 0.7dB のゲイン誤差範囲で、 0.1dB ごとに微調整または調整することができます。この調整は、外部部品とマイク感度に起因するチャネル間のゲインを一致させようとする際に役立ちます。この機能は、通常のデジタル ボリューム コントロールと組み合わせることで、 0.1dB の解像度で広いゲイン誤差範囲にわたってすべてのチャネルのゲインを一致させることができます。チャネル 1 向けのチャネル ゲイン較正に利用可能なプログラマブル オプションを表 [表 6-15](#) に示します。

表 6-15. チャネル ゲイン較正のプログラム可能設定

P0_R83_D[7:4]:ADC_CH1_FGAIN[3:0]	入力チャネル 1 のチャネル ゲイン較正設定
0000 = 0d	入力チャネル 1 のゲイン較正を -0.8dB に設定します
0001 = 1d	入力チャネル 1 のゲイン較正を -0.7dB に設定します
...	...
1000 = 8d (デフォルト)	入力チャネル 1 のゲイン較正を 0dB に設定します
...	...
1110 = 14d	入力チャネル 1 のゲイン較正を 0.6dB に設定します
1111 = 15d	入力チャネル 1 のゲイン較正を 0.7dB に設定します

同様に、入力チャネル 2~4 のチャネル ゲイン較正設定は、それぞれ ADC_CH2_CFG3 (P0_R88) ~ ADC_CH4_CFG3 (P0_R96) レジスタビットを使用して構成できます。

6.3.6.1.4 プログラム可能なチャネル位相較正

ゲイン較正に加えて、各記録チャネルの位相遅延は、位相誤差に対して 1~63 のサイクル範囲に対して、1 变調器クロック サイクル ステップで微調整または調整できます。アナログおよびデジタル マイクロフォンの変調器クロックは、互いに独立して設定します。アナログ マイクの場合、これは ADC MOD CLK に使用されるクロックであり、デフォルト設定では 3.072MHz (出力データのサンプリング レートが 48kHz の倍数または約数の場合) または 2.8224MHz (出力データのサンプリング レートが 44.1kHz の倍数または約数の場合) となります。消費電力を削減するため、ADC 変調器のクロックを 1.536MHz (出力データサンプリング レートは 48kHz の倍数またはその約数) または 1.4112MHz (出力データサンプリング レートは 44.1kHz の倍数またはその約数) に下げるには、ADC_CLK_BY2_MODE(B0_P78_D[7]) レジスタビットを使用することもできます。デジタル マイクを使用する場合、これは PDM_CLK に使用されるクロックであり、デフォルトの設定では 3.072MHz (出力データのサンプリング レートが 48kHz の倍数または約数の場合) または 2.8224MHz (出力データのサンプリング レートが 44.1kHz の倍数または約数の場合) となります。ユーザーは、PDM_CLK を PDM_CLK_CFG[1:0] (P0_R53_D[7:6]) レジスタビットを使用して構成できます。プログラマブルなチャネル位相較正機能は、外部部品やマイクに起因するチャネル間の位相の不一致など、各チャネル間の位相を細かく一致させる必要がある多くの用途に非常に役立ちます。[表 6-16](#) はデフォルトの変調器クロックで動作する場合の、チャネル位相校正用の利用可能なプログラム可能なオプションを示しています。

表 6-16. チャネル位相較正のプログラム可能設定

P0_R84_D[7:2]:ADC_CH1_PCAL[5:0]	入力チャネル 1 のチャネル位相較正設定
00 0000 = 0d (デフォルト)	位相較正なし
00 0001 = 1d	位相較正遅延は、変調器クロックの 1 サイクルに設定されます
...	...
11 1111 = 63d	位相較正遅延は、変調器クロックの 63 サイクルに設定されます

同様に、入力チャネル 2 からチャネル 4 のチャネル位相較正設定は、ADC_CH2_PCAL (P0_R89_D[7:2]) から ADC_CH4_PCAL (P0_R97_D[7:2]) のレジスタビットを使用して、それぞれ構成することができます。

デフォルトでは、位相較正はアナログとデジタルの両方のマイクロフォン チャネルで有効になっています。この設定は、PCAL_ANA_DIG_SEL (P0_R84_D[1:0]) レジスタビットを使用して、アナログまたはデジタル マイクロフォンのみに変更できます。アナログ入力と PDM 入力を同時に使用して変換を行う場合、アナログと PDM のクロックが異なると、アナログ チャンネルに使用できる位相補正オプションに制限があります。ADC MOD CLK = 1.536Mhz または 1.4112Mhz かつ PDM_CLK = 6.144Mhz または 5.6448Mhz を使用する場合、アナログチャネルでは 1 ~ 16 の位相較正遅延のみがサポートされています。ADC MOD CLK = 3.072Mhz または 2.8224 かつ PDM_CLK = 6.144Mhz または 5.6448Mhz を使用する場合、アナログチャネルでは 1 ~ 32 の位相較正遅延のみがサポートされます。ADC MOD CLK = 1.536Mhz または 1.4112Mhz かつ PDM_CLK = 3.072MHz または 2.8224MHz を使用する場合、アナログチャネルでは 1 ~ 32 の位相較正遅延のみがサポートされています。

6.3.6.1.5 プログラム可能なデジタルハイパス フィルタ

記録データの直流オフセット成分を除去し、不要な低周波ノイズを減衰させるために、本デバイスはプログラム可能なハイパス フィルタ (HPF) をサポートしています。HPF は、チャネルごとに独立したフィルタ設定ではなく、すべての ADC チャネルに対してグローバルに適用されます。この HPF は一次のインフィニットインパルスレスポンス (IIR) フィルタを使用して構成されており、信号中の DC 成分を効果的に除去するのに十分な性能を備えています。[表 6-17](#) は、P0_R114_D[5:4] の ADC_DSP_HPF_SEL[1:0] レジスタビットを使用して設定できる、事前定義された -3dB のカットオフ周波数を表示しています。さらに、特定の用途に合わせて -3dB のカットオフ周波数をカスタマイズするには、ADC_DSP_HPF_SEL[1:0] レジスタビットを 2'b00 に設定すると、一次 IIR フィルタ係数をプログラムすることもできます。HPF フィルタの周波数応答プロットを、[図 6-22](#) に示します。

表 6-17. HPF プログラム可能設定

P0_R114_D[5:4]: ADC_DSP_HPF_SE L[1:0]	-3dB カットオフ周波数設定	16kHz サンプルレートにおける -3dB カットオフ周波数	48kHz サンプルレートにおける -3dB カットオフ周波数
00	プログラム可能な 1 次 IIR フィルタ	プログラム可能な 1 次 IIR フィルタ	プログラム可能な 1 次 IIR フィルタ
01 (デフォルト)	$0.00002 \times f_s$	0.25Hz	1Hz
10	$0.00025 \times f_s$	4Hz	12Hz
11	$0.002 \times f_s$	32Hz	96Hz

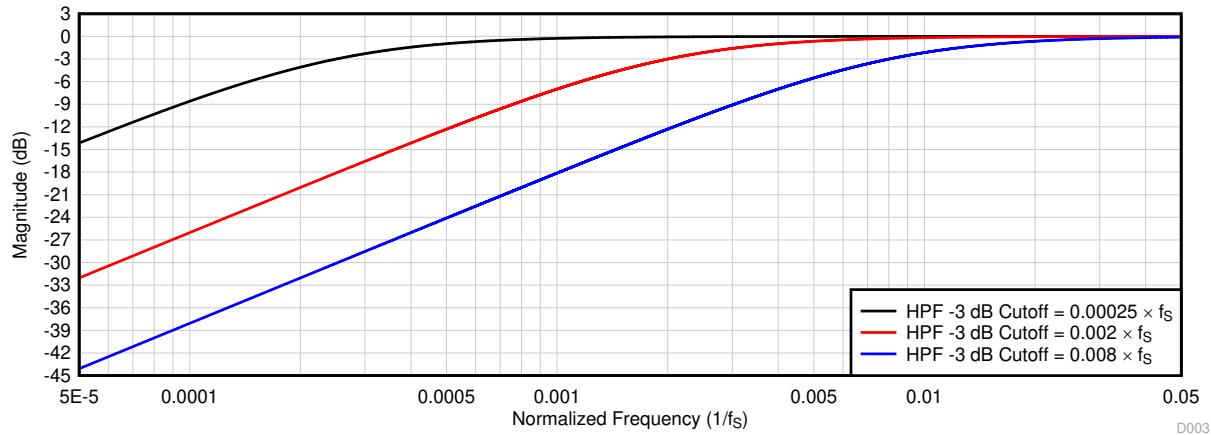


図 6-22. HPF フィルタの周波数応答プロット

式 1 は、1 次プログラム可能な IIR フィルタの伝達関数を示しています。

$$H(z) = \frac{N_0 + N_1 z^{-1}}{2^{31} - D_1 z^{-1}} \quad (1)$$

この一次プログラム可能な IIR フィルタは、デフォルト係数の場合、周波数応答が 0dB のフラットなゲインとなり、オールパスフィルタとして動作します。ホストデバイスは、表 6-18 にある IIR 係数をプログラムすることで、ハイパスフィルタリングやその他の必要なフィルタリングに合わせた目的の周波数応答に上書きすることができます。ADC_DSP_HPF_SEL[1:0] が 2'b00 に設定されている場合、ホストデバイスは、いずれかの ADC チャネルを録音用に起動する前に、目的の周波数応答に対応するこれらの係数値を書き込む必要があります。1 次 IIR フィルタのフィルタ係数を、表 6-18 に示します。プログラム可能な係数の構成については、セクション 7.2 を参照してください。

表 6-18. 1 次 IIR フィルタの係数

フィルタ	フィルタの係数	デフォルトの係数値	係数レジスタのマッピング
プログラム可能な 1 次 IIR フィルタ (HPF または他の目的のフィルタに割り当て可能)	N ₀	0x7FFFFFFF	P10_R120-R123
	N ₁	0x00000000	P10_R124-R127
	D ₁	0x00000000	P11_R8-R11

6.3.6.1.6 プログラム可能なデジタルバイクワッドフィルタ

このデバイスは最大 12 個のプログラム可能なデジタルバイキュア フィルタをサポートしており、ADC 信号チェーンでは各チャネルに最大 3 個まで使用できます。これらの高効率フィルタにより、目的の周波数応答を実現できます。TAA5212 は、2 チャネルの録音使用ケースに対応したオンザフライのプログラム可能なバイクワッドフィルタもサポートしています。デジタル信号処理において、デジタルバイキュア フィルタは、2 つの極と 2 つのゼロを持つ二次の再帰的線形フィルタです。式 2 は、各バイキュア フィルタの伝達関数を示します。

$$H(z) = \frac{N_0 + 2N_1 z^{-1} + N_2 z^{-2}}{2^{31} - 2D_1 z^{-1} - D_2 z^{-2}} \quad (2)$$

デフォルトの係数を使用したバイキュア フィルタ セクションの周波数応答は、0dB のゲインでフラット(全通フィルタ)です。ホストデバイスは、バイキュア係数をプログラムすることで周波数応答を上書きし、低域通過、高域通過、またはその他の希望する周波数シェーピングを達成できます。ミキサ操作のためのプログラム可能な係数は、セクション 7.2.1 とセクション 7.2.2 に記載されています。バイキュア フィルタリングが必要な場合、ホストデバイスは録音用のいかなる ADC チャネルをパワーアップする前に、これらの係数値を書き込む必要があります。2 チャネルのユース ケースでは、TAA5212 はオン

ザブライのプログラム可能なフィルタもサポートしています。この場合、デバイスは 1 つのチャネルに対して 2 つのフィルタ バンクを使用し、スイッチ ビットを使用して 1 つのフィルタ バンクから別のフィルタ バンクへ切り替えを行います。[表 6-19](#)で説明しているように、これらのバイキュア フィルタは、P0_R114_D[3:2] の ADC_DSP_BQ_CFG[1:0] レジスタ設定に基づいて、各出力チャネルに割り当することができます。ADC_DSP_BQ_CFG[1:0] を 2'b00 に設定することで、すべてのレコード チャネルのバイキュア フィルタリングが無効になり、システム アプリケーションで追加のフィルタリングが必要ない場合、ホスト デバイスはこの設定を選択できます。詳細については、[TAC5x1x および TAC5x1x-Q1 プログラム可能なバイキュア フィルタ構成とアプリケーション アプリケーション レポート](#)を参照してください。

表 6-19. バイキュア フィルタの録音出力チャネルへの割り当て

プログラム可能バイキュア フィルタ	P0_R114_D[3:2] レジスタ設定を使用した録音出力チャネルの割り当て		
	ADC_DSP_BQ_CFG[1:0] = 2'b01 (1 チャネルあたり 1 バイキュア フィルタ)	ADC_DSP_BQ_CFG[1:0] = 2'b10 (デフォルト) (1 チャネルあたり 2 バイキュア フィルタ)	ADC_DSP_BQ_CFG[1:0] = 2'b11 (1 チャネルあたり 3 バイキュア フィルタ)
バイキュア フィルタ 1	出力チャネル 1 に割り当て	出力チャネル 1 に割り当て	出力チャネル 1 に割り当て
バイキュア フィルタ 2	出力チャネル 2 に割り当て	出力チャネル 2 に割り当て	出力チャネル 2 に割り当て
バイキュア フィルタ 3	出力チャネル 3 に割り当て	出力チャネル 3 に割り当て	出力チャネル 3 に割り当て
バイキュア フィルタ 4	出力チャネル 4 に割り当て	出力チャネル 4 に割り当て	出力チャネル 4 に割り当て
バイキュア フィルタ 5	未使用	出力チャネル 1 に割り当て	出力チャネル 1 に割り当て
バイキュア フィルタ 6	未使用	出力チャネル 2 に割り当て	出力チャネル 2 に割り当て
バイキュア フィルタ 7	未使用	出力チャネル 3 に割り当て	出力チャネル 3 に割り当て
バイキュア フィルタ 8	未使用	出力チャネル 4 に割り当て	出力チャネル 4 に割り当て
バイキュア フィルタ 9	未使用	未使用	出力チャネル 1 に割り当て
バイキュア フィルタ 10	未使用	未使用	出力チャネル 2 に割り当て
バイキュア フィルタ 11	未使用	未使用	出力チャネル 3 に割り当て
バイキュア フィルタ 12	未使用	未使用	出力チャネル 4 に割り当て

[表 6-20](#) に、レジスタ空間へのバイキュア フィルタ係数のマッピングを示します。

表 6-20. バイキュア フィルタ係数のレジスタのマッピング

プログラム可能バイキュア フィルタ	バイキュア フィルタ係数のレジスタのマッピング	プログラム可能バイキュア フィルタ	バイキュア フィルタ係数のレジスタのマッピング
バイキュア フィルタ 1	P8_R8-R27	バイキュア フィルタ 7	P9_R8-R27
バイキュア フィルタ 2	P8_R28-R47	バイキュア フィルタ 8	P9_R28-R47
バイキュア フィルタ 3	P8_R48-R67	バイキュア フィルタ 9	P9_R48-R67
バイキュア フィルタ 4	P8_R68-R87	バイキュア フィルタ 10	P9_R68-R87
バイキュア フィルタ 5	P8_R88-R107	バイキュア フィルタ 11	P9_R88-R107
バイキュア フィルタ 6	P8_R108-R127	バイキュア フィルタ 12	P9_R108-R127

6.3.6.1.7 プログラム可能なチャネル サマーおよびデジタル ミキサ

各チャネルでサポートされている SNR よりもさらに高い SNR を必要とするアプリケーションでは、デバイスのデジタル加算機能を使用できます。このモードでは、デジタル録音データが同じ重み係数でチャンネル全体に合計され、有効レコードノイズの低減に役立ちます。このデバイスは、さまざまな入力チャネルをカスタム プログラム可能なスケルフアクタでミキシングして最終的な出力チャネルを生成する、完全にプログラム可能なミキサ機能をサポートしています。出力チャネル 1 を生成するためのミキサ 1 の動作を説明するブロック図を、[図 6-23](#) に示します。ミキサ操作のためのプログラム可能な係数は、[セクション 7.2.3](#) に配置されています。

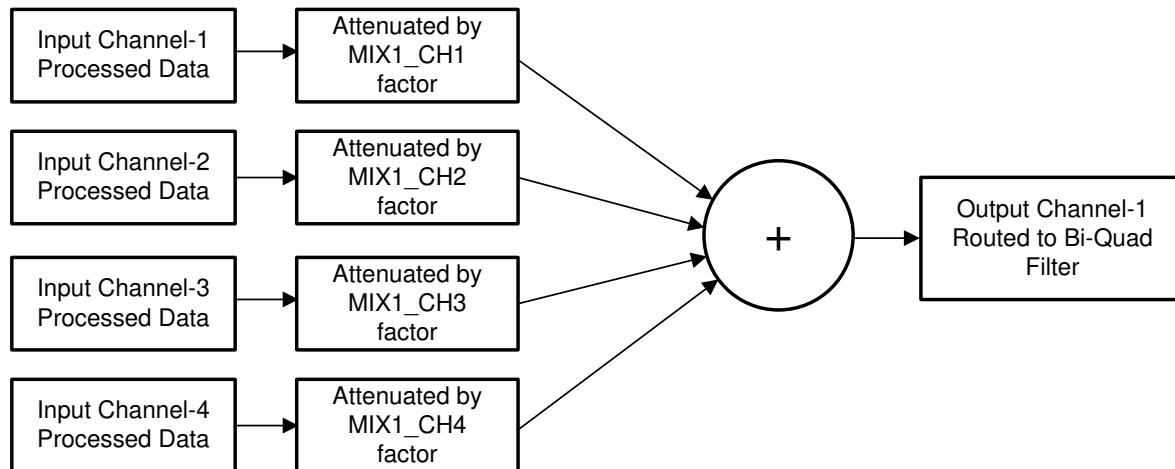


図 6-23. プログラマブル デジタル ミキサのブロック図

ミキサー 2、ミキサー 3、ミキサー 4 で同様のミキサー動作が行われ、それぞれ出力チャンネル 2、チャンネル 3、チャンネル 4 が生成されます。TI は、プログラマブル係数の設定には PPC3 GUI の使用を推奨しています。詳細については [TAC5x1x および TAC5x1x-Q1 コーデックのミキサー構成と PurePath™ コンソール グラフィカル開発スイート](#)をご覧ください。構成の詳細については、『[TAX5x1x プログラム可能なデジタル チャネル ミキサ』アプリケーション レポート を参照してください。](#)

6.3.6.1.8 構成可能なデジタル デシメーション フィルタ

デバイスのレコード チャネルには、広いダイナミック レンジと、マルチビット デルタ シグマ ($\Delta\Sigma$) 変調器からのオーバーサンプリング データを処理するための内蔵デジタル デシメーション フィルタが含まれており、FSYNC レートと同じナイキストサンプリング レートでデジタル データを生成できます。[図 6-21](#) に示すように、このデシメーション フィルタを使用して、デジタル マイクからオーバーサンプリングされた PDM ストリームを処理することもできます。デシメーション フィルタは、対象アプリケーションに必要な周波数応答、群遅延、消費電力、位相直線性に応じて、4 つの異なるタイプから選択できます。デシメーション フィルタ オプションの選択は、ADC_DSP_DECI_FILT(P0_R114_D[7:6]) レジスタ ビットの設定によって行うことができます。低消費電力 フィルタは、ADC_LOW_PWR_FILT(P0_R78_D[2]) ビットをセットすることで構成できます。レコード チャネルのデシメーション フィルタ モード選択の構成レジスタ設定を、以下の表 ([表 6-21](#)) に示します。これにより、幅広いオーディオ用途に適しています。

表 6-21. レコード チャネルのデシメーション フィルタ モードの選択

P0_R78_D[2] : ADC_LOW_PWR_FILT	P0_R114_D[7:6] : ADC_DSP_DECI_FILT[1:0]	デシメーション フィルタ モードの選択
0	00 (デフォルト)	デシメーションには線形位相フィルタが使用されます
0	01	デシメーションに低レイテンシ フィルタを使用します
0	10	超低レイテンシのフィルタを使用して、デシメーションを実施します
0	11	予約済み(この設定は使用しないでください)
1	x	デシメーションとして低消費電力 フィルタを使用します

以下のセクションでは、各種のレイテンシ オプションおよびサンプル レートのフィルタ応答について説明します。

6.3.6.1.8.1 線形位相フィルタ

線形位相のデシメーション フィルタは、デバイスで設定されるデフォルトのフィルタであり、フィルタの通過帯域仕様内でゼロ位相偏差を持つ完全な線形位相が必要なすべてのアプリケーションに使用できます。このセクションでは、サポートされているすべての出力サンプリング レートにおけるフィルタの性能仕様と各種プロットを記載しています。

6.3.6.1.8.1.1 サンプリング レート : 8 kHz または 7.35 kHz

図 6-24 および 図 6-25 に、このデシメーション フィルタのサンプリング レートが 8kHz または 7.35kHz での振幅応答と通過帯域リップルを示し、表 6-22 に仕様を示します。

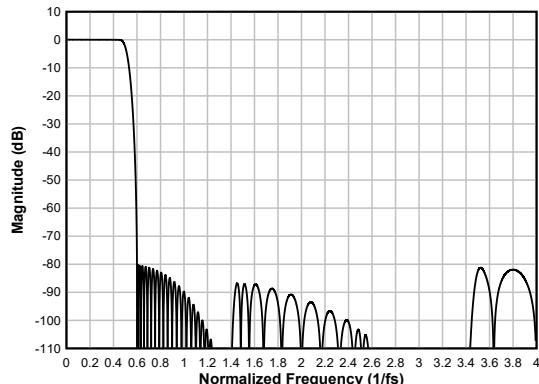


図 6-24. 線形位相デシメーション フィルタの振幅応答

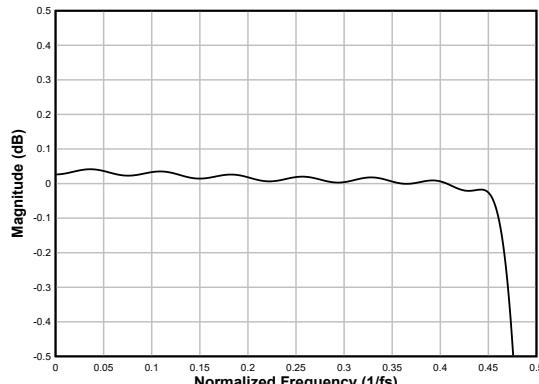


図 6-25. 線形位相デシメーション フィルタのパスバンド リップル

表 6-22. 線形位相デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は $0 \sim 0.454 \times f_S$	-0.04	0.04	0.04	dB
ストップ バンド 減衰	周波数範囲は $0.6 \times f_S \sim 4 \times f_S$ です	80.2			dB
	周波数範囲は $4 \times f_S$ 以降です	84.7			
グループ遅延またはレイテンシー	周波数範囲は $0 \sim 0.454 \times f_S$		16.1		$1/f_S$

6.3.6.1.8.1.2 サンプリング レート : 16 kHz または 14.7 kHz

図 6-26 および 図 6-27 に、このデシメーション フィルタのサンプリング レートが 16kHz または 14.7kHz での振幅応答と通過帯域リップルを示し、表 6-23 に仕様を示します。

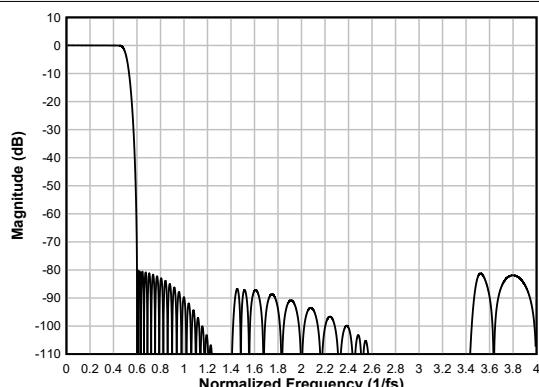


図 6-26. 線形位相デシメーション フィルタの振幅応答

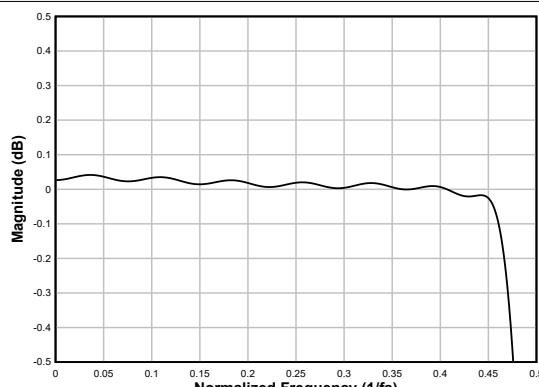


図 6-27. 線形位相デシメーション フィルタのパスバンド リップル

表 6-23. 線形位相デシメーション フィルタの仕様

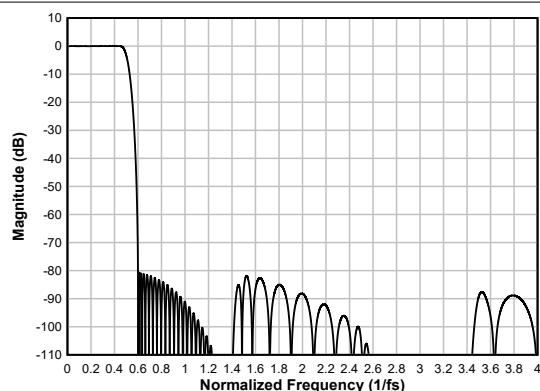
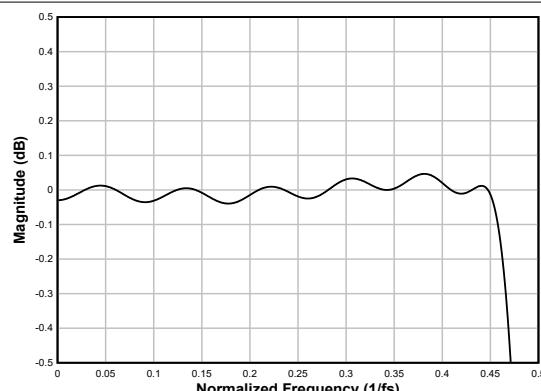
パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は $0 \sim 0.454 \times f_S$	-0.04	0.04	0.04	dB

表 6-23. 線形位相デシメーション フィルタの仕様 (続き)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ストップ バンド減衰	周波数範囲は $0.6 \times f_S \sim 4 \times f_S$ です	80.2			dB
	周波数範囲は $4 \times f_S$ 以降です	84.7			
グループ遅延またはレイテンシー	周波数範囲は $0 \sim 0.454 \times f_S$		16.1		$1/f_S$

6.3.6.1.8.1.3 サンプリング レート : 24 kHz または 22.05 kHz

図 6-28 および 図 6-29 に、このデシメーション フィルタのサンプリング レートが 24kHz または 22.05kHz での振幅応答と通過帯域リップルを示し、表 6-24 に仕様を示します。

**図 6-28. 線形位相デシメーション フィルタの振幅応答****図 6-29. 線形位相デシメーション フィルタのパスバンド リップル****表 6-24. 線形位相デシメーション フィルタの仕様**

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は $0 \sim 0.455 \times f_S$	-0.05		0.05	dB
ストップ バンド減衰	周波数範囲は $0.6 \times f_S \sim 4 \times f_S$ です	80.6			
	周波数範囲は $4 \times f_S$ 以降です	93			
グループ遅延またはレイテンシー	周波数範囲は $0 \sim 0.455 \times f_S$		14.7		$1/f_S$

6.3.6.1.8.1.4 サンプリング レート : 32 kHz または 29.4 kHz

図 6-30 および 図 6-31 に、このデシメーション フィルタのサンプリング レートが 32kHz または 29.4kHz での振幅応答と通過帯域リップルを示し、表 6-25 に仕様を示します。

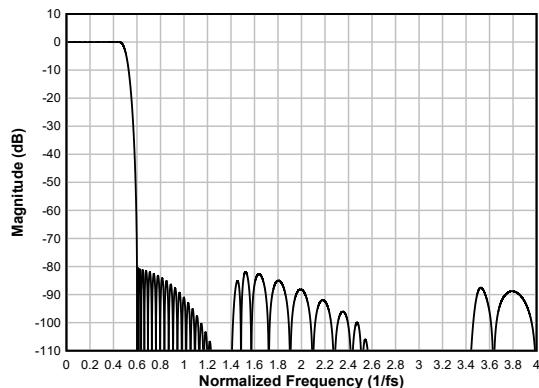


図 6-30. 線形位相デシメーション フィルタの振幅応答

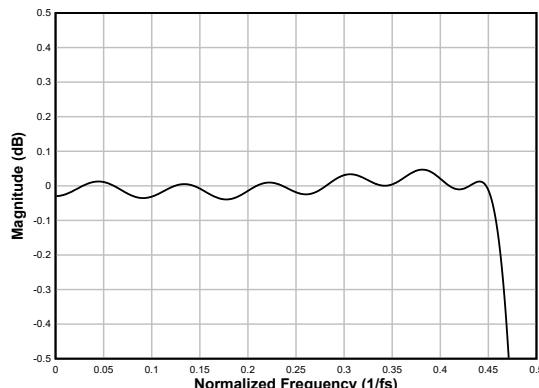


図 6-31. 線形位相デシメーション フィルタのパスバンド リップル

表 6-25. 線形位相デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は $0 \sim 0.455 \times f_S$	-0.05		0.05	dB
ストップ バンド 減衰	周波数範囲は $0.6 \times f_S \sim 4 \times f_S$ です	80.6			dB
	周波数範囲は $4 \times f_S$ 以降です	92.9			
グループ遅延またはレイテンシー	周波数範囲は $0 \sim 0.455 \times f_S$		14.7		$1/f_S$

6.3.6.1.8.1.5 サンプリング レート : 48 kHz または 44.1 kHz

図 6-32 および 図 6-33 に、このデシメーション フィルタのサンプリング レートが 48kHz または 44.1kHz での振幅応答と通過帯域リップルを示し、表 6-26 に仕様を示します。

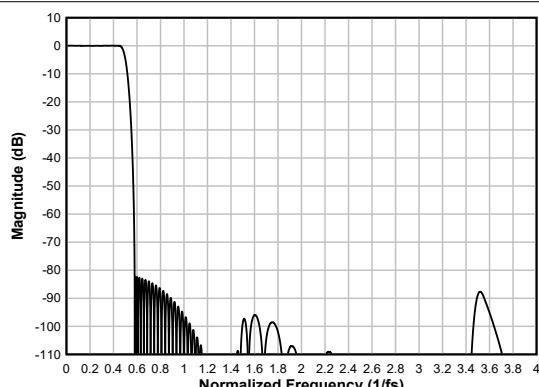


図 6-32. 線形位相デシメーション フィルタの振幅応答

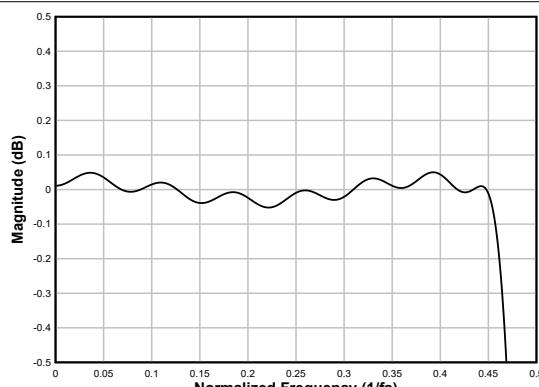


図 6-33. 線形位相デシメーション フィルタのパスバンド リップル

表 6-26. 線形位相デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は $0 \sim 0.454 \times f_S$	-0.05		0.05	dB
ストップ バンド 減衰	周波数範囲は $0.58 \times f_S \sim 4 \times f_S$ です	82.2			dB
	周波数範囲は $4 \times f_S$ 以降です	98			
グループ遅延またはレイテンシー	周波数範囲は $0 \sim 0.454 \times f_S$		17		$1/f_S$

6.3.6.1.8.1.6 サンプリング レート : 96 kHz または 88.2 kHz

図 6-34 および 図 6-35 に、このデシメーション フィルタのサンプリング レートが 96kHz または 88.2kHz での振幅応答と通過帯域リップルを示し、表 6-27 に仕様を示します。

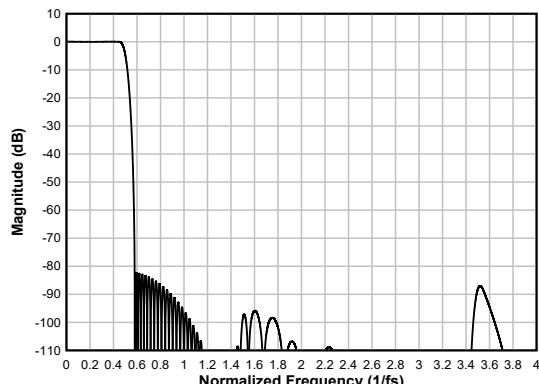


図 6-34. 線形位相デシメーション フィルタの振幅応答

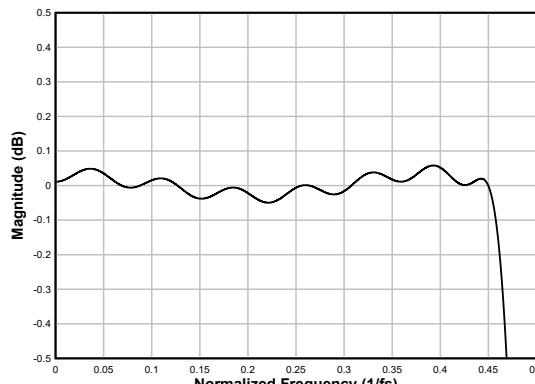


図 6-35. 線形位相デシメーション フィルタのパスバンド リップル

表 6-27. 線形位相デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は $0 \sim 0.455 \times f_S$	-0.05		0.06	dB
ストップ バンド 減衰	周波数範囲は $0.58 \times f_S \sim 4 \times f_S$ です	82.2			dB
	周波数範囲は $4 \times f_S$ 以降です	87			
グループ遅延またはレイテンシー	周波数範囲は $0 \sim 0.455 \times f_S$		16.9		$1/f_S$

6.3.6.1.8.1.7 サンプリング レート : 192 kHz または 176.4 kHz

図 6-36 および 図 6-37 に、このデシメーション フィルタのサンプリング レートが 192kHz または 176.4kHz での振幅応答と通過帯域リップルを示し、表 6-28 に仕様を示します。

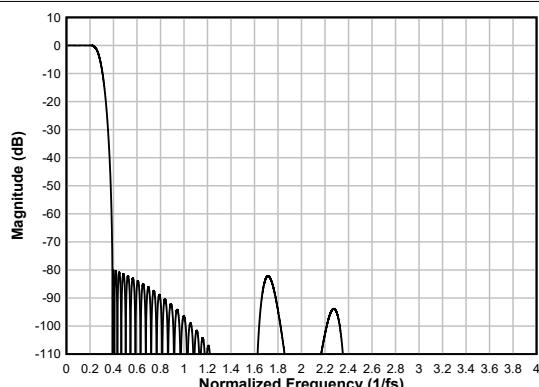


図 6-36. 線形位相デシメーション フィルタの振幅応答

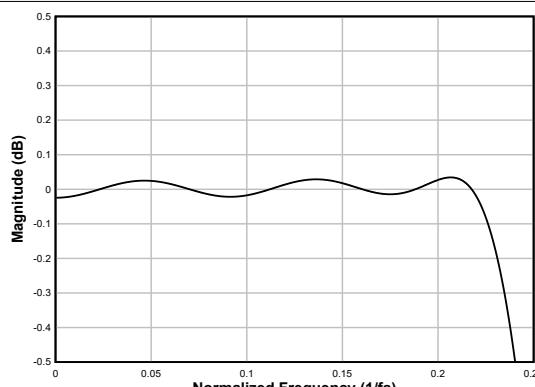


図 6-37. 線形位相デシメーション フィルタのパスバンド リップル

表 6-28. 線形位相デシメーション フィルタの仕様

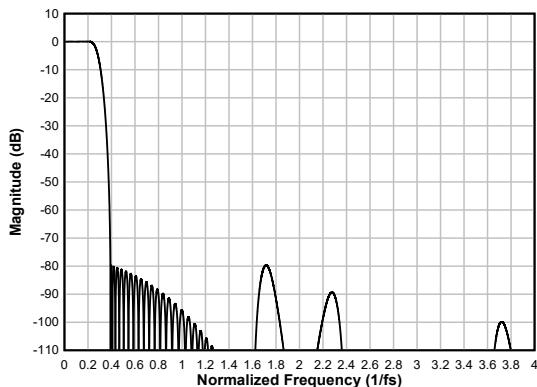
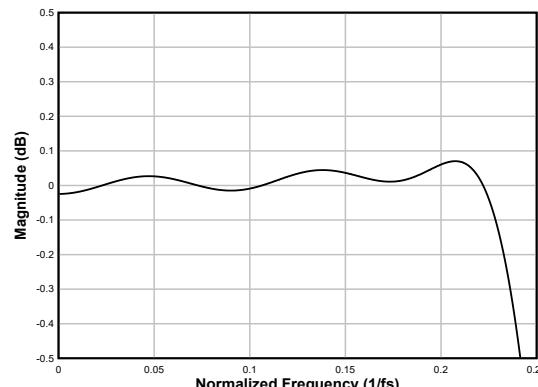
パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は $0 \sim 0.223 \times f_S$	-0.04		0.04	dB

表 6-28. 線形位相デシメーション フィルタの仕様 (続き)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ストップ バンド減衰	周波数範囲は $0.391 \times f_S \sim 4 \times f_S$ です	80			dB
	周波数範囲は $4 \times f_S$ 以降です	82.2			
グループ遅延またはレイテンシー	周波数範囲は $0 \sim 0.223 \times f_S$		11.6		$1/f_S$

サンプリング レート : 384 kHz または 352.8 kHz

図 6-38 および 図 6-39 に、このデシメーション フィルタのサンプリング レートが 384kHz または 352.8kHz での振幅応答と通過帯域リップルを示し、表 6-29 に仕様を示します。

**図 6-38. 線形位相デシメーション フィルタの振幅応答****図 6-39. 線形位相デシメーション フィルタのパスバンド リップル****表 6-29. 線形位相デシメーション フィルタの仕様**

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は $0 \sim 0.227 \times f_S$	-0.07		0.07	dB
ストップ バンド減衰	周波数範囲は $0.391 \times f_S \sim 4 \times f_S$ です	80			
	周波数範囲は $4 \times f_S$ 以降です	88.1			
グループ遅延またはレイテンシー	周波数範囲は $0 \sim 0.227 \times f_S$		11.4		$1/f_S$

サンプリング レート : 768 kHz または 705.6 kHz

図 6-40 および 図 6-41 に、このデシメーション フィルタのサンプリング レートが 768kHz または 705.6kHz での振幅応答と通過帯域リップルを示し、表 6-30 に仕様を示します。

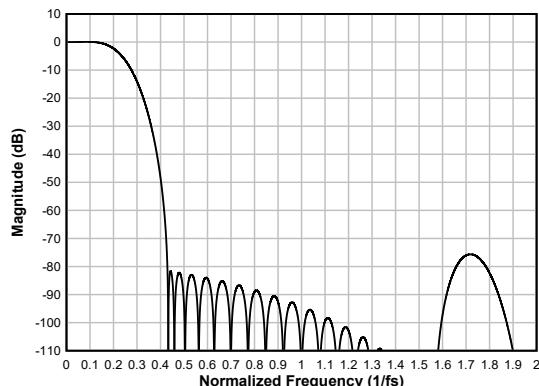


図 6-40. 線形位相デシメーション フィルタの振幅応答

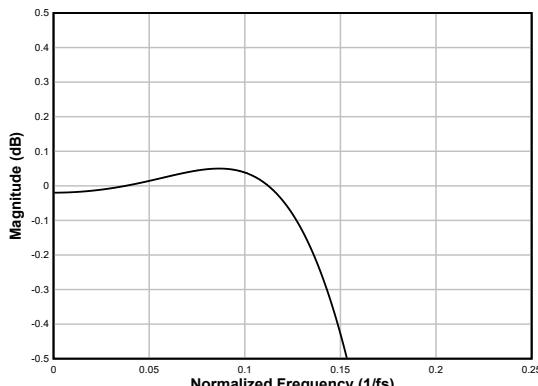


図 6-41. 線形位相デシメーション フィルタのパスバンド リップル

表 6-30. 線形位相デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は $0 \sim 0.121 \times f_S$	-0.05		0.05	dB
ストップ バンド 減衰	周波数範囲は $0.433 \times f_S \sim 4 \times f_S$ です	82.6			dB
	周波数範囲は $4 \times f_S$ 以降です	83.6			
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.258 \times f_S$		6.4		$1/f_S$

6.3.6.1.8.2 低レイテンシ フィルタ

オーディオ帯域内で最小限の位相偏差と低レイテンシが重要なアプリケーションには、TAA5212 の低レイテンシ デシメーション フィルタを使用できます。このデバイスは、 $0.376 \times f_S$ の周波数帯域内ではほぼ線形な位相応答を持つ、約 7 個のサンプルのグループ遅延のフィルタをサポートしています。このセクションでは、低レイテンシ フィルタに対応するすべての出力サンプリング レートに関するフィルタ性能仕様および各種プロットを提供します。

6.3.6.1.8.2.1 サンプリング レート : 24 kHz または 22.05 kHz

図 6-42 は減衰特性を示し、図 6-43 は通過帯域のリップルと位相偏差を示しています。このデシメーション フィルタのサンプリング レートは 24kHz または 22.05kHz です。表 6-31 に、仕様を示します。

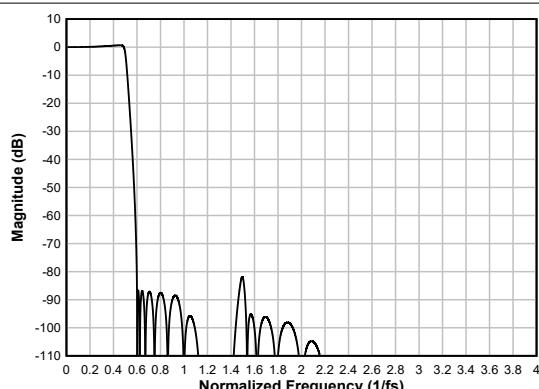


図 6-42. 低レイテンシのデシメーション フィルタの振幅応答

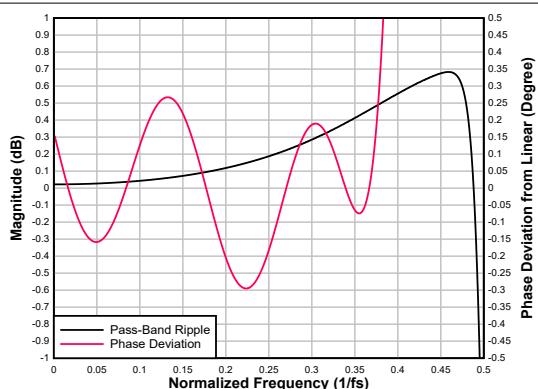


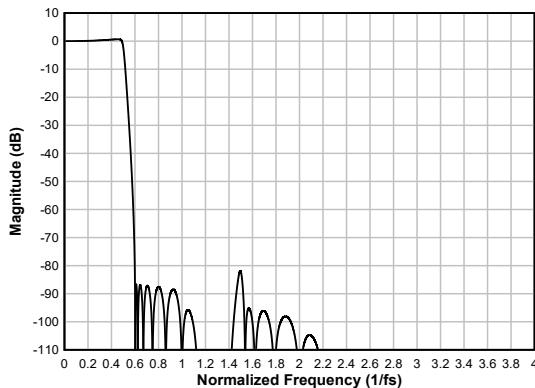
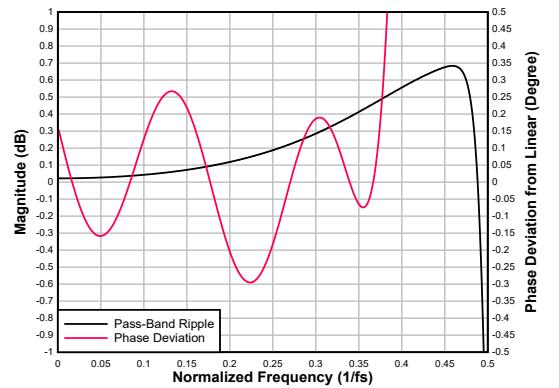
図 6-43. 低レイテンシ デシメーション フィルタのパスバンド リップルと位相偏差

表 6-31. 低レイテンシのデシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンドリップル	周波数範囲は $0 \sim 0.492 \times f_S$	-0.67	0.67	0.67	dB
ストップ バンド減衰	周波数範囲は $0.6 \times f_S \sim 4 \times f_S$ です	81.8			dB
	周波数範囲は $4 \times f_S$ 以降です	115			
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.376 \times f_S$		6.5		$1/f_S$
群遅延の偏差	周波数範囲は $0 \sim 0.376 \times f_S$	-0.092	0.029	0.029	$1/f_S$
位相偏差	周波数範囲は $0 \sim 0.376 \times f_S$	-0.3	0.27	0.27	度

6.3.6.1.8.2.2 サンプリング レート : 32 kHz または 29.4 kHz

図 6-44 は減衰特性を示し、図 6-45 は通過帯域のリップルと位相偏差を示しています。このデシメーション フィルタのサンプリング レートは 32kHz または 29.4kHz です。表 6-32 に、仕様を示します。

**図 6-44. 低レイテンシのデシメーション フィルタの振幅応答****図 6-45. 低レイテンシ デシメーション フィルタのパスバンド リップルと位相偏差****表 6-32. 低レイテンシのデシメーション フィルタの仕様**

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンドリップル	周波数範囲は $0 \sim 0.492 \times f_S$	-0.67	0.67	0.67	dB
ストップ バンド減衰	周波数範囲は $0.6 \times f_S \sim 4 \times f_S$ です	81.8			dB
	周波数範囲は $4 \times f_S$ 以降です	115			
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.376 \times f_S$		6.5		$1/f_S$
群遅延の偏差	周波数範囲は $0 \sim 0.376 \times f_S$	-0.092	0.029	0.029	$1/f_S$
位相偏差	周波数範囲は $0 \sim 0.376 \times f_S$	-0.3	0.27	0.27	度

6.3.6.1.8.2.3 サンプリング レート : 48 kHz または 44.1 kHz

図 6-46 は減衰特性を示し、図 6-47 は通過帯域のリップルと位相偏差を示しています。このデシメーション フィルタのサンプリング レートは 48kHz または 44.1kHz です。表 6-33 に、仕様を示します。

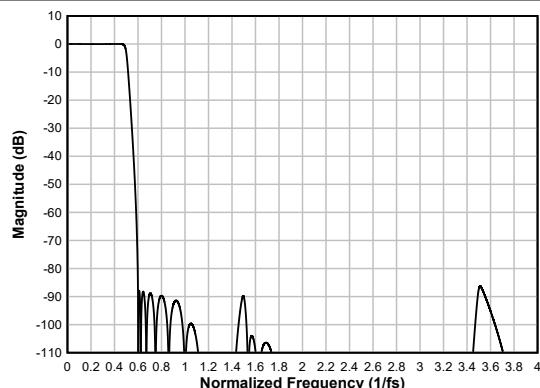


図 6-46. 低レイテンシのデシメーション フィルタの振幅応答

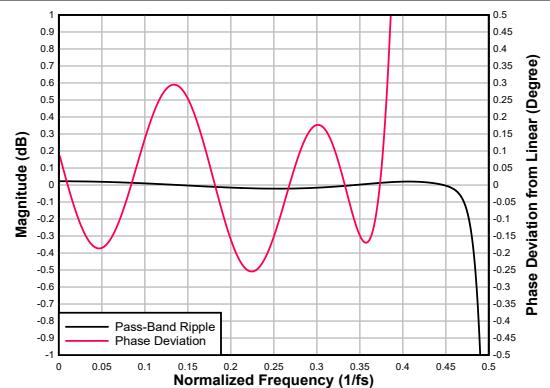


図 6-47. 低レイテンシ デシメーション フィルタのパスバンド リップルと位相偏差

表 6-33. 低レイテンシのデシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンドリップル	周波数範囲は $0 \sim 0.456 \times f_S$	-0.02	0.02	0.02	dB
ストップ バンド減衰	周波数範囲は $0.6 \times f_S \sim 4 \times f_S$ です	86.3			dB
	周波数範囲は $4 \times f_S$ 以降です	96.8			
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.376 \times f_S$		6.6		1/f _S
群遅延の偏差	周波数範囲は $0 \sim 0.376 \times f_S$	-0.086		0.027	1/f _S
位相偏差	周波数範囲は $0 \sim 0.376 \times f_S$	-0.25		0.3	度

6.3.6.1.8.2.4 サンプリング レート : 96 kHz または 88.2 kHz

図 6-48 は減衰特性を示し、図 6-49 は通過帯域のリップルと位相偏差を示しています。このデシメーション フィルタのサンプリング レートは 96kHz または 88.2kHz です。表 6-34 に、仕様を示します。

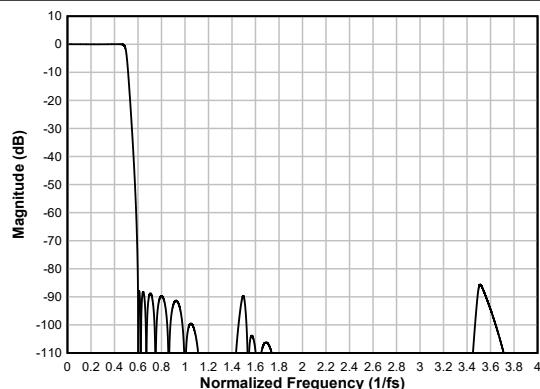


図 6-48. 低レイテンシのデシメーション フィルタの振幅応答

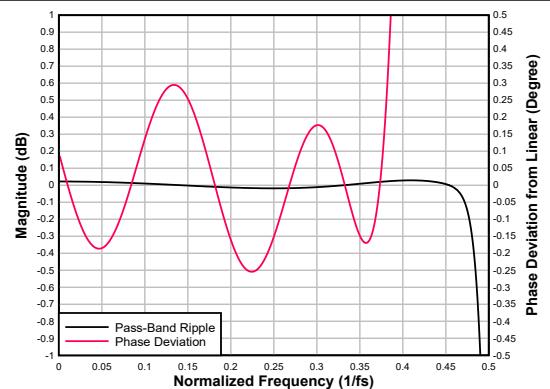


図 6-49. 低レイテンシ デシメーション フィルタのパスバンド リップルと位相偏差

表 6-34. 低レイテンシのデシメーション フィルタの仕様

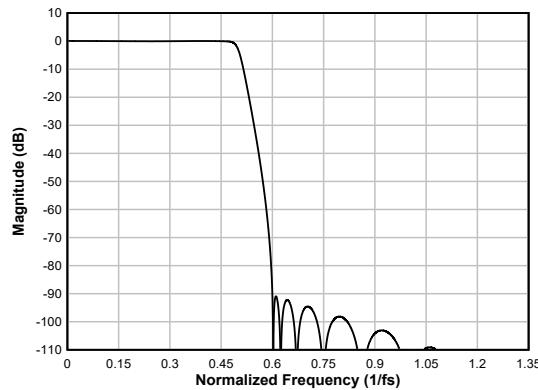
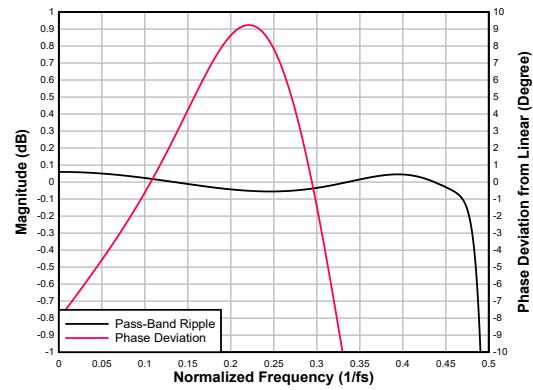
パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンドリップル	周波数範囲は $0 \sim 0.456 \times f_S$	-0.02	0.03	0.03	dB
ストップ バンド減衰	周波数範囲は $0.599 \times f_S \sim 4 \times f_S$ です	85.6			dB
	周波数範囲は $4 \times f_S$ 以降です	95.7			

表 6-34. 低レイテンシのデシメーション フィルタの仕様 (続き)

パラメータ	テスト条件	最小値	標準値	最大値	単位
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.376 \times f_S$		6.6		$1/f_S$
群遅延の偏差	周波数範囲は $0 \sim 0.376 \times f_S$	-0.086		0.022	$1/f_S$
位相偏差	周波数範囲は $0 \sim 0.376 \times f_S$	-0.25		0.30	度

6.3.6.1.8.2.5 サンプリング レート : 192 kHz または 176.4 kHz

図 6-50 は減衰特性を示し、図 6-51 は通過帯域のリップルと位相偏差を示しています。このデシメーション フィルタのサンプリング レートは 192kHz または 176.4kHz です。表 6-35 に、仕様を示します。

**図 6-50. 低レイテンシのデシメーション フィルタの振幅応答****図 6-51. 低レイテンシ デシメーション フィルタのパスバンド リップルと位相偏差****表 6-35. 低レイテンシのデシメーション フィルタの仕様**

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は $0 \sim 0.456 \times f_S$	-0.06		0.06	dB
ストップ バンド 減衰	周波数範囲は $0.571 \times f_S \sim 1.35 \times f_S$ です	90.5			dB
	周波数範囲は $1 \times f_S$ 以降です	86.9			
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.327 \times f_S$		6.8		$1/f_S$
群遅延の偏差	周波数範囲は $0 \sim 0.327 \times f_S$	-0.296		0.829	$1/f_S$
位相偏差	周波数範囲は $0 \sim 0.327 \times f_S$	-9.24		9.24	度

6.3.6.1.8.3 超低レイテンシ フィルタ

オーディオ帯域内での最小限の位相偏差と超低レイテンシが重要となるアプリケーションには、TAA5212 に搭載された超低レイテンシのデシメーション フィルタを使用できます。本デバイスは、グループ遅延が約 4 サンプルで、 $0.325 \times f_S$ の周波数帯域内において適切な位相応答を持つこれらのフィルタをサポートしています。このセクションでは、超低レイテンシ フィルタに対応するすべての出力サンプリングレートに関するフィルタ性能仕様および各種プロットを提供します。

6.3.6.1.8.3.1 サンプリング レート : 24 kHz または 22.05 kHz

図 6-52 は減衰特性を示し、図 6-53 は通過帯域のリップルと位相偏差を示しています。このデシメーション フィルタのサンプリング レートは 24kHz または 22.05kHz です。表 6-36 に、仕様を示します。

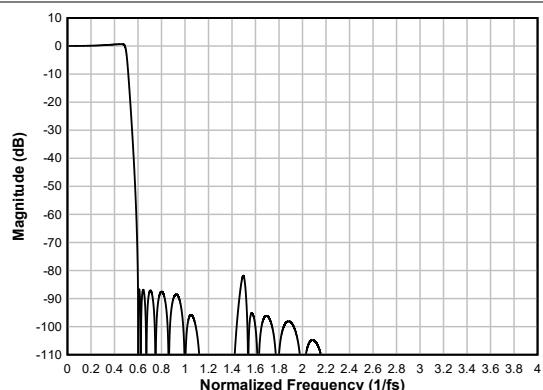


図 6-52. 超低レイテンシのデシメーションフィルタの振幅応答

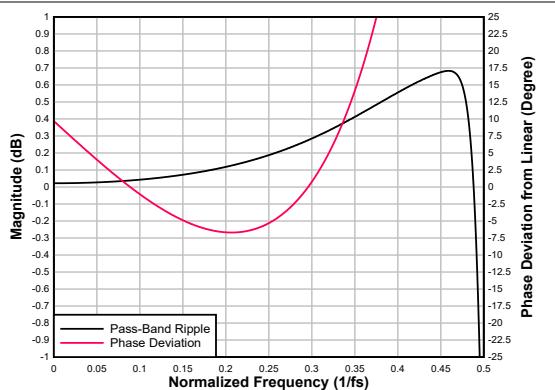


図 6-53. 超低レイテンシ デシメーションフィルタのパスバンド リップルと位相偏差

表 6-36. 超低レイテンシ デシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンドリップル	周波数範囲は $0 \sim 0.492 \times f_S$	-0.67	-0.67	-0.67	dB
ストップ バンド減衰	周波数範囲は $0.6 \times f_S \sim 4 \times f_S$ です	81.8			dB
	周波数範囲は $4 \times f_S$ 以降です	115			
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.325 \times f_S$		2.8		1/f _S
群遅延の偏差	周波数範囲は $0 \sim 0.325 \times f_S$	-0.292		0.765	1/f _S
位相偏差	周波数範囲は $0 \sim 0.325 \times f_S$	-6.7		9.7	度

6.3.6.1.8.3.2 サンプリング レート : 32 kHz または 29.4 kHz

図 6-54 は減衰特性を示し、図 6-55 は通過帯域のリップルと位相偏差を示しています。このデシメーションフィルタのサンプリング レートは 32kHz または 29.4kHz です。表 6-37 に、仕様を示します。

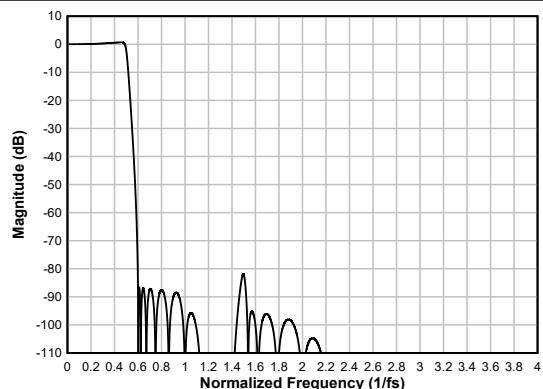


図 6-54. 超低レイテンシのデシメーションフィルタの振幅応答

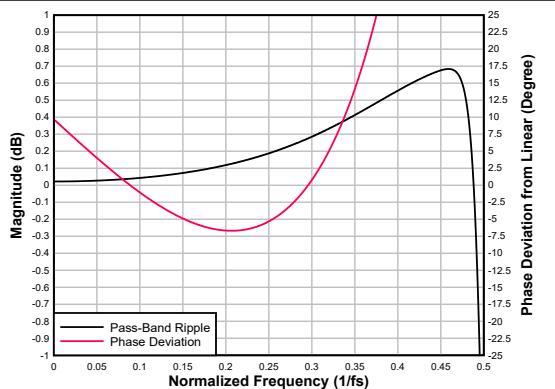


図 6-55. 超低レイテンシ デシメーションフィルタのパスバンド リップルと位相偏差

表 6-37. 超低レイテンシ デシメーションフィルタの仕様

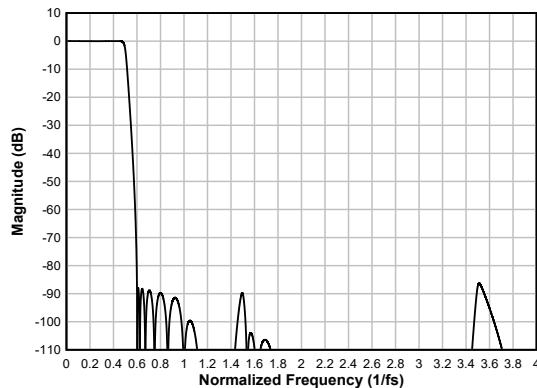
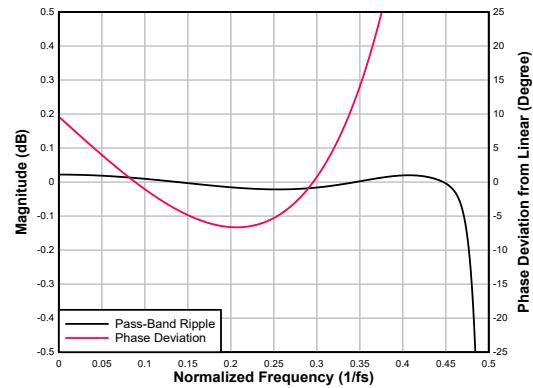
パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンドリップル	周波数範囲は $0 \sim 0.492 \times f_S$	-0.67	-0.67	-0.67	dB
ストップ バンド減衰	周波数範囲は $0.6 \times f_S \sim 4 \times f_S$ です	81.8			dB
	周波数範囲は $4 \times f_S$ 以降です	115			

表 6-37. 超低レイテンシ デシメーション フィルタの仕様 (続き)

パラメータ	テスト条件	最小値	標準値	最大値	単位
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.325 \times f_S$		2.7		$1/f_S$
群遅延の偏差	周波数範囲は $0 \sim 0.325 \times f_S$	-0.292		0.765	$1/f_S$
位相偏差	周波数範囲は $0 \sim 0.325 \times f_S$	-6.7		9.7	度

6.3.6.1.8.3.3 サンプリングレート : 48 kHz または 44.1 kHz

図 6-56 は減衰特性を示し、図 6-57 は通過帯域のリップルと位相偏差を示しています。このデシメーション フィルタのサンプリング レートは 48kHz または 44.1kHz です。表 6-38 に、仕様を示します。

**図 6-56. 超低レイテンシのデシメーション フィルタの振幅応答****図 6-57. 超低レイテンシ デシメーション フィルタのパスバンド リップルと位相偏差****表 6-38. 超低レイテンシ デシメーション フィルタの仕様**

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は $0 \sim 0.456 \times f_S$	-0.02		-0.02	dB
ストップ バンド 減衰	周波数範囲は $0.6 \times f_S \sim 4 \times f_S$ です	86.3			dB
	周波数範囲は $4 \times f_S$ 以降です	96.8			
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.325 \times f_S$		2.8		$1/f_S$
群遅延の偏差	周波数範囲は $0 \sim 0.325 \times f_S$	-0.29		0.761	$1/f_S$
位相偏差	周波数範囲は $0 \sim 0.325 \times f_S$	-6.6		9.6	度

6.3.6.1.8.3.4 サンプリングレート : 96 kHz または 88.2 kHz

図 6-58 はこのデシメーション フィルタのサンプリング レート 96kHz または 88.2kHz での振幅応答を示し、図 6-59 は通過帯域のリップルと位相偏差を示しています。表 6-39 に、仕様を示します。

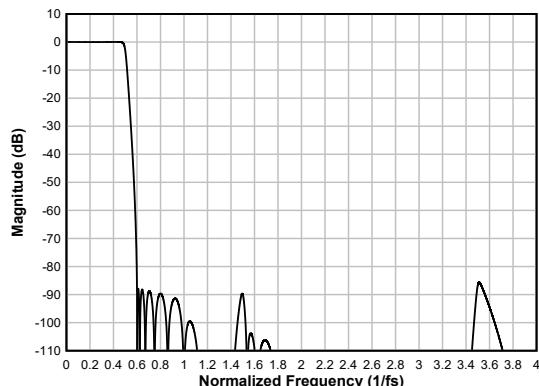


図 6-58. 超低レイテンシのデシメーションフィルタの振幅応答

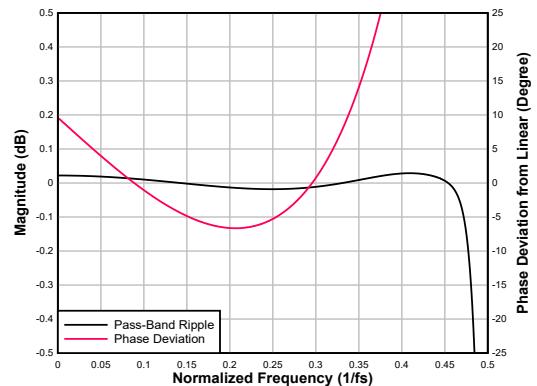


図 6-59. 超低レイテンシ デシメーションフィルタのパスバンド リップルと位相偏差

表 6-39. 超低レイテンシ デシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンドリップル	周波数範囲は $0 \sim 0.456 \times f_S$	-0.02		0.03	dB
ストップ バンド減衰	周波数範囲は $0.599 \times f_S \sim 4 \times f_S$ です	85.6			dB
	周波数範囲は $4 \times f_S$ 以降です	95.7			
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.325 \times f_S$		2.7		$1/f_S$
群遅延の偏差	周波数範囲は $0 \sim 0.325 \times f_S$	-0.29		0.761	$1/f_S$
位相偏差	周波数範囲は $0 \sim 0.325 \times f_S$	-6.6		9.6	度

6.3.6.1.8.3.5 サンプリングレート : 192 kHz または 176.4 kHz

図 6-60 は減衰特性を示し、図 6-61 は通過帯域のリップルと位相偏差を示しています。このデシメーションフィルタのサンプリングレートは 192kHz または 176.4kHz です。表 6-40 に、仕様を示します。

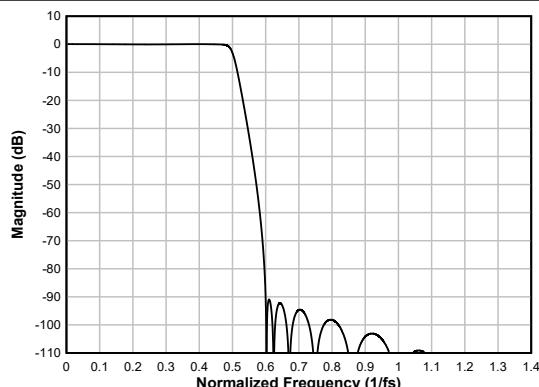


図 6-60. 超低レイテンシのデシメーションフィルタの振幅応答

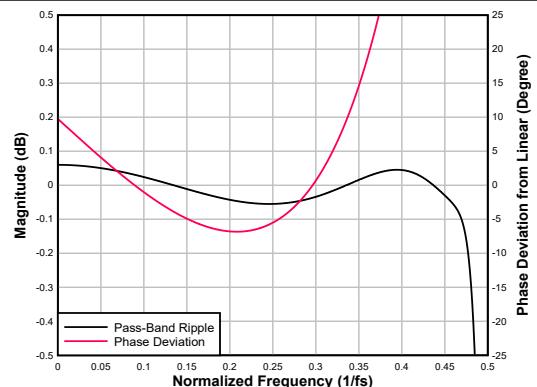


図 6-61. 超低レイテンシ デシメーションフィルタのパスバンド リップルと位相偏差

表 6-40. 超低レイテンシ デシメーションフィルタの仕様

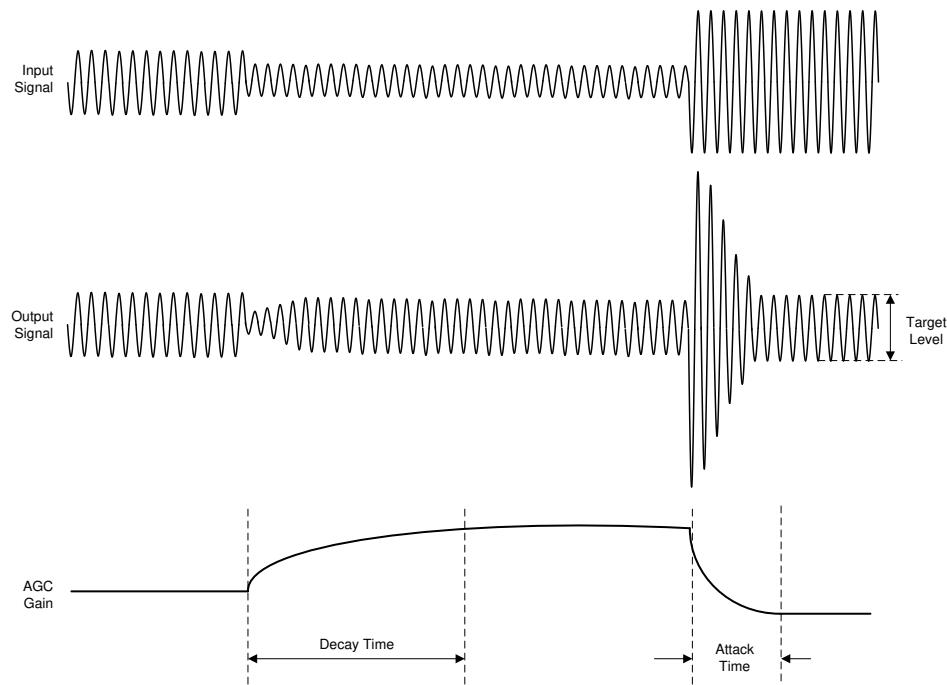
パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンドリップル	周波数範囲は $0 \sim 0.456 \times f_S$	-0.06		0.06	dB
ストップ バンド減衰	周波数範囲は $0.571 \times f_S \sim 1.35 \times f_S$ です	90.5			dB
	周波数範囲は $1.35 \times f_S$ 以降です	86.9			

表 6-40. 超低レイテンシ デシメーション フィルタの仕様 (続き)

パラメータ	テスト条件	最小値	標準値	最大値	単位
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.325 \times f_S$		2.7		$1/f_S$
群遅延の偏差	周波数範囲は $0 \sim 0.325 \times f_S$	-0.293		0.794	$1/f_S$
位相偏差	周波数範囲は $0 \sim 0.325 \times f_S$	-6.8		9.8	度

6.3.6.1.9 自動ゲインコントローラ(AGC)

デバイスには、ADC 記録用の自動ゲイン コントローラ(AGC)が内蔵されています。図 6-62 に示すように、AGC を使用して音声録音時に出力レベルを公称値に一定に維持できます。AGC モードでは、チャネル ゲインを手動で設定する代わりに、マイクに向かって話している人がマイクに近づいたり遠ざかったりするなど、入力信号が大きすぎたり、極端に弱くなったりしたときに、回路がチャネル ゲインを自動的に調整します。AGC アルゴリズムには、ターゲット レベル、許容される最大ゲイン、アタックおよびリリース(または減衰)時間定数、ノイズ スレッショルドなど、いくつかのプログラミング可能なパラメータがあり、特定の用途に合わせてアルゴリズムを微調整できます。これらはデバイスでプログラム可能な係数の一部であり、セクション 7.2.6 および セクション 7.2.7 のプログラム可能な係数レジスタを使用して構成できます。

**図 6-62. AGC の特性**

目標レベルは、AGC が ADC 出力信号レベルの保持を試みるときのおおよその出力レベルを表します。TAA5212 を使用すると、さまざまなターゲット レベルをプログラムできます。ターゲット レベルは、大きな音が発生したときにクリッピングを防ぐために十分なマージンを設定することをお勧めします。AGC 各種構成可能パラメータおよびアプリケーションの使用方法の詳細については、[TAx5x1x ファミリーでの自動ゲイン コントローラ\(AGC\)の使用アプリケーション レポート](#)を参照してください。TI は、プログラマブル係数の設定には PPC3 GUI の使用を推奨しています。詳細については [TAC5212EVM-PDK 評価基板ユーザーガイド](#) と [PurePath™ コンソール グラフィカル開発スイート](#)をご覧ください。

6.3.6.1.10 音声アクティビティ検出(VAD)

TAA5212 は、低電力アクティビティ検出(LPAD)方式の一部として、音声アクティビティ検出(VAD)モードをサポートしています。このモードでは、TAA5212 は入力チャネルの 1 つを継続的に監視して音声検出を行います。このモードでは、デバイスは AVDD 電源からの低静止電流を消費します。この機能は、VAD_EN(P0_R120_D[2])を 1'b1 に設定することで有効化できます。音声アクティビティを検出すると、TAA5212 は I²C プログラムされた設定に基づいて、ホストに割り

込みまたは自動ウェイクアップで通知し、録音を開始します。このアラートは、LPAD_MODE (P1_R30_D[7:6]) レジスタビットを通じて設定できます。

この機能は、アナログとデジタルの両方のマイクロフォンインターフェイスでサポートされています。最小消費電力の VAD を実現するには、デジタルマイクインターフェイスを推奨します。VAD の入力チャネルは、LPAD_CH_SEL (P1_R30_D[5:4]) レジスタビットを適切な値に設定することで選択できます。詳細については、『[TAx511x および TAx521x での音声アクティビティ検出の使用方法](#)』アプリケーションレポートを参照してください。

6.3.6.1.11 超音波アクティビティ検出 (UAD)

TAA5212 は、低消費電力アクティビティ検出 (LPAD) 方式の一部として、超音波アクティビティ検出 (UAD) モードをサポートしています。このモードでは、TAA5212 は入力チャネルの 1 つを連続的に監視し、超音波周波数帯域の信号を検出します。このモードでは、デバイスは AVDD 電源からの低静止電流を消費します。この機能は、UAD_EN (P0_R120_D[3]) を 1'b1 に設定することで有効にすることができます。超音波動作を検出すると、TAA5212 は割り込みまたは自動ウェイクアップによりホストにアラートを送信でき、I²C プログラム構成に基づいて記録を開始できます。このアラートは、LPAD_MODE (P1_R30_D[7:6]) レジスタビットを通じて設定できます。

この機能は、アナログとデジタルの両方のマイクロフォンインターフェイスでサポートされています。最小消費電力の UAD を実現するには、デジタルマイクインターフェイスを推奨します。UAD の入力チャネルは、LPAD_CH_SEL (P1_R30_D[5:4]) レジスタビットを適切な値に設定することで選択できます。詳細については、『[TAx511x および TAx521x の超音波アクティビティ検出の使用方法](#)』を参照してください。

6.3.7 デジタル PDM マイクロフォン録音チャネル

アナログマイクのサポートに加えて、TAA5212 は、デジタルパルス密度変調 (PDM) マイクへのインターフェースをもサポートし、高次および高性能のデシメーションフィルタを使用して、ホストへのオーディオシリアルインターフェースで伝送可能なパルス符号変調 (PCM) 出力データを生成します。このデバイスは、最大 4 つのデジタルマイクロフォン録音チャネルをサポートします (アナログチャネルを使用しない場合)。また、2 つのアナログマイクチャネルと 2 つのデジタルマイクチャネル、または 1 つのアナログチャネルと 3 つのデジタルマイクチャネルでの同時録音もサポートできます。

GPIOx, GPI1, GPO1 ピンは、デジタル PDM マイク録音用の表 6-41 に従って、PDM データライン (PDMDINx) および PDM クロック (PDMCLK) 機能用に構成できます。

このデバイスは、内部で PDMCLK を生成します。周波数は、6.144MHz、3.072MHz、1.536MHz、または 768kHz (出力データサンプルレートが 48kHz の倍数または約数の場合) または 5.6448MHz、2.8224MHz、1.4112MHz、または 705.6kHz (出力データのサンプルレートが 44.1kHz の倍数またはその倍数でない場合) を使用するには、PDM_CLK_CFG[1:0] (P0_R53_D[7:6]) レジスタビットを使用します。PDMCLK は、以下の対応する構成レジスタを使用して、GPIOx および GPO1 ピンに配線できます。GPO1_CFG (P0_R10[7:4])、GPO2_CFG (P0_R11[7:4])、GPO1_CFG (P0_R12[7:4])。このクロックは、外部デジタルマイクロフォンデバイスに接続できます。図 6-63 は、デジタル PDM マイクの接続図を示します。

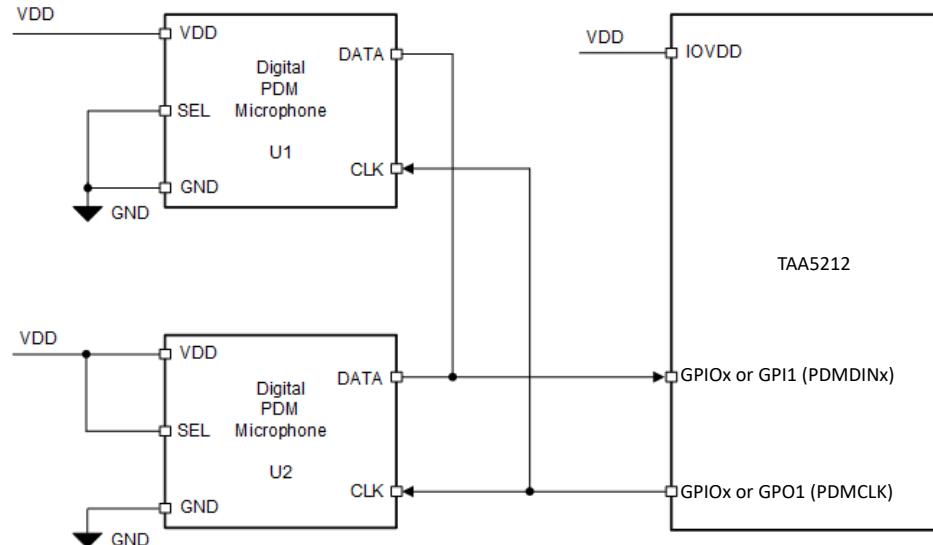


図 6-63. TAA5212 のデジタル PDM マイクの接続図

外部デジタルマイク機器のシングルビット出力を GPI1 または GPIOx ピンに接続できます。このデバイスは、2つのPDMデータラインをサポートしています。PDM_DIN1_SEL (P0_R19_D[3:2]) および PDM_DIN2_SEL (P0_R19_D[1:0]) レジスタで設定された PDMDIN1 および PDMDIN2。GPI1 を使用する際は、GPI1_CFG (P0_R13[1]) を使用して GPI1 機能が有効になっていることを確認します。この単一のデータラインは、2つのデジタルマイクで共有することができ、PDMCLK の反対側のエッジにデータを配置します。内部では、PDMDIN1_EDGE (P0_R19_D[4]) と PDMDIN2_EDGE (P0_R19_D[5]) に設定された構成レジスタビットに基づいて、PDMCLK の立ち上がりエッジまたは立ち下がりエッジのいずれかで、データの安定した値がラッチされます。図 6-64 に、デジタル PDM マイクロフォンインターフェイスのタイミング図を示します。

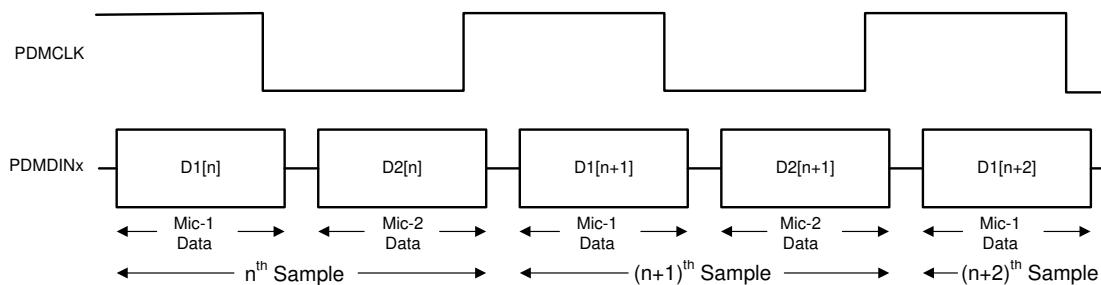


図 6-64. デジタル PDM マイクロフォンプロトコルのタイミング図

デジタルマイクを使用して録音を行うと、各 ADC チャネルのアナログブロックはパワー ダウンしてバイパスされ、電力効率が向上します。チャネル 3 とチャネル 4 は、デジタルマイクロフォンインターフェイスのみをサポートします。アナログマイクまたはチャネル 1 からチャネル 2 のデジタルマイクを選択するには、PDM_CH1_SEL[1:0] (P0_R19_D[7]) および PDM_CH2_SEL[1:0] (P0_R19_D[6]) レジスタビットを使用します。

6.3.8 割り込み、ステータス、およびデジタル I/O ピンの多重化

デバイス内の特定のイベントはホストプロセッサの介入を必要とし、ホストプロセッサへの割り込みをトリガするために使用できます。そのようなイベントの1つに、オーディオシリアルインターフェース(ASI)バスエラーがあります。ASIバスエラークロックに何らかのエラーが検出された場合、デバイスは記録チャネルをパワーオフにします。

- 無効な FSYNC 周波数
- 無効な SBCLK 対 FSYNC 比
- SBCLK または FSYNC クロックの長い一時停止

ASI バス クロック エラーが検出されると、デバイスはすべての録画および再生チャネルをできるだけ早くシャットダウンします。ASI バス クロック エラーがすべて解決されると、デバイスの音量が元の状態に戻り、オーディオが回復します。ASI バス クロック エラーが発生している間、クロック エラー割り込みマスク レジスタ ビット INT_MASK0[7](P1_R47_D[7]) が Low に設定されている場合、内部割り込み要求(IRQ)割り込み信号は Low をアサートします。クロック エラーは、ラッチされたフォルトステータスレジスタ ビット INT_LTCH0(P1_R52) でも読み出しが可能です。これは読み出し専用のレジスタです。ラッチされたフォルトステータスレジスタ INT_LTCH0 を読み出すと、ラッチされたフォルトステータスがすべてクリアされます。このデバイスは、内部 IRQ 割り込み信号を GPIOx または GPO1 ピンにルーティングするように追加設定できます。また、これらのピンを他のデバイスのオープンドレイン割り込み出力に配線を削減できるように、オープンドレイン出力として設定することもできます。

IRQ 割り込み信号は、INT_POL(P0_R66_D[7]) レジスタ ビットを設定することで、アクティブ Low またはアクティブ High のどちらかに構成できます。この信号は、INT_EVENT[1:0](P0_R66_D[6:5]) レジスタ ビットをプログラムすることで、单一パルスまたは一連のパルスとして設定することもできます。割り込みがパルスの一連のシーケンスとして構成されている場合、イベントがパルスの開始をトリガーし、ラッチされたフォルトステータスレジスタが読み取られて割り込みの原因が特定されるとパルスが停止します。

また、このデバイスは、チャネルがパワーアップまたはパワーダウンの状態であるか、デバイスがスリープ モードであるか否かを判断するための読み取り専用のライブ ステータスレジスタもサポートしています。これらのステータスレジスタは、DEV_STS0(P0_R121) および DEV_STS1(P0_R122) レジスタ ビットにあります。

このデバイスには多機能の GPIOx、GPI1、および GPO1 ピンがあり、目的の特定の機能に合わせて構成できます。[表 6-41](#) に、これらのマルチファンクションピンの、さまざまな機能に対するすべての可能な割り当てをリストアップします。

表 6-41. マルチファンクション ピン構成

行	ピン機能	GPIO1	GPIO2	GPO1	GPI1
—	—	GPIO1_CFG	GPIO2_CFG	GPO1_CFG	GPI1_CFG
—	—	P0_R10[7:4]	P0_R11[7:4]	P0_R12[7:4]	P0_R13[1]
A	ピンがディスエーブル時	S ⁽¹⁾	S(デフォルト)	S(デフォルト)	S(デフォルト)
B	汎用出力 (GPO)	S	S	S	NS
C	割り込み出力 (IRQ)	S(デフォルト)	S	S	NS
D	すべての ADC チャネルのパワーダウン	S	S	NS	S
E	PDM クロック出力 (PDMCLK)	S	S	S	NS
F	MICBIAS オン / オフ入力 (BIASEN)	S	S	NS	S
G	汎用入力 (GPI)	S	S	NS	S
H	コントローラ クロック入力 (CCLK)	S	S	S	S
I	ASI デイジーチェーン入力	S	S	NS	S
J	PDM データ入力 1 (PDMDIN1)	S	S	NS	S
K	PDM データ入力 2 (PDMDIN2)	S	S	NS	S
L	ASI DOUT	S	S	S	NS
M	ASI BCLK	S	S	S	S
N	ASI FSYNC	S	S	S	S
O	汎用クロック出力	S	S	S	NS
P	インクリメンタル ADC 変換開始	S	S	NS	S

(1) S は、この列に記載されている GPIO1、GPOx、または GPIx ピンで、この行に記載されている機能がサポートされていることを意味します。

GPO1 または GPIOx ピンは、それぞれ独立して、P0_R10_D[2:0]、P0_R11_D[2:0]、P0_R12_D[2:0] の GPIOx_DRV[2:0] または GPO1_DRV[2:0] レジスタ ビットを使用して、希望するドライブ構成設定に設定することができます。表 6-42 に、ドライブ構成の設定を示します。

表 6-42. GPIOx または GPO1 ピンドライブ構成の設定

P0_R10_D[2:0]:GPO1_DRV[2:0]	GPIO1 の GPIO 出力ドライブ構成設定
000	GPIO1 ピンが高インピーダンス(フローティング)に設定
001	GPIO1 ピンは、アクティブ Low またはアクティブ High で駆動
010 (デフォルト)	GPIO1 ピンはアクティブ Low または弱 High(オンチップ プルアップ)で駆動
011	GPIO1 ピンはアクティブ Low またはハイインピーダンスで駆動(フローティング)。
100	GPIO1 ピンは、弱 Low(オンチップ プルダウン)またはアクティブ High で駆動
101	GPIO1 ピンは、ハイインピーダンス(フローティング)またはアクティブ High で駆動
110 および 111	予約済み(これらの設定は使用しないでください)

汎用出力(GPO)として構成したときは、GPO_GPI_VAL(P0_R14)レジスタを書き込むことで、GPIOx または GPO1 ピンの値を駆動できます。GPIO_MON ビット(P0_R14_D[3:1])は、汎用入力(GPI)として構成されている場合、GPIOx または GPI1 ピンのステータスを読み出すために使用できます。

6.3.9 パワー チューン モード

低消費電力アプリケーション向けに、TAA5212 には、105dB の差動入力ダイナミックレンジの 1.8V 電源で、標準消費電力が 1 チャネル録音で 5mW、2 チャネル録音で 8mW の電力調整モードでデバイスを構成するオプションがあります。このモードは、PWR_TUNE_CFG0 (P0_R78) レジスタを 0xD4 に設定することで構成できます。消費電力を削減するため、ADC 变調器のクロックを 1.536MHz (出力データ サンプル レートは 48kHz の倍数またはその約数) または 1.4112MHz (出力データ サンプル レートは 44.1kHz の倍数またはその約数) で動作するよう設定するには、ADC_CLK_BY2_MODE (B0_P78_D[7]) レジスタ ビットを使用することもできます。このモードでは、VREF 電圧、同相許容範囲 (ADC_CHx_CM_TOL) 設定、入力チャネル構成 (adc_chx_insrc) 設定のすべての組み合わせを推奨するわけではありません。詳細については、[さまざまな使用シナリオにおける TAA52x2 消費電力マトリックス アプリケーション レ](#)

ポートで、このモードでサポートされている入力インピーダンス、VREF 電圧、同相許容誤差 (ADC_CHx_CM_TOL) の設定、および入力チャネル構成 (adc_chx_insrc) の設定についてを参照してください。

6.3.10 インクリメンタル ADC (IADC) モード

インクリメンタル ADC (IADC) モードでは、ユーザーは入力の平均値を 24 ビットのコードに変換できます。これは、連続的な時間ドメイン キャプチャを必要とせず、電圧を検出する必要のあるアプリケーションに役立ちます。

IADC モードの各種構成は、IADC_CH_CFG (P0_R81) レジスタを使用して設定できます。IADC_MODE (P0_R81_D[6:5]) は、シングルショット変換またはシーケンシャル変換用に構成できます。シングルショット変換では、ユーザーが変換を有効にすると、デバイスは変換サイクルに移行します。変換の終了時に、IADC_ONESHOT_CONV_DONE_STS (P0_R81_D[2]) ビットがセットされます。このビットをセットすると、ユーザーはデータレジスタを読み取ることができます。シーケンシャル変換では、デバイスは入力を順次変換し続けます。変換 ID のレートは、IADC_CFG (P0_R76) レジスタで設定された「SKIP」、「CONVERT」、「RESET」の値に依存します。

この動作には、「SKIP」、「CONVERT」、「RESET」の 3 つのフェーズがあります。「SKIP」フェーズでは、入力が変換されますが、最初の「SKIP」サイクル数に対応する出力は最終的なコード生成とは見なされません。「CONVERT」フェーズでは、ADC 出力が最終的なコード生成と見なされます。リセットフェーズ中に ADC 内のさまざまなメモリ要素がリセットされます。

IADC 入力は、ADC_CHx_CFG0 レジスタを使用して ADC_CHx_INSrc を構成し、シングルエンドまたは差動として構成することもできます。

ユーザーは GPIOx または GPI1 ピンを使用して、IADC_CONVST_GPIO (P0_R21_D[5:4]) レジスタから IADC モードを開始し、制御を簡単にできます。この場合、IADC_EN (P0_R81_D[7]) の設定は無視されます。

詳細については、[TAx5x1x デバイスの IADC モードの構成と使用アプリケーション レポート](#)を参照してください。

6.4 デバイスの機能モード

6.4.1 スリープモードまたはソフトウェアシャットダウン

スリープモードまたはソフトウェアシャットダウンモードでは、デバイスは AVDD 電源から非常に低い静止電流を消費し、同時に I²C または SPI 通信によりデバイスをアクティブ動作に起動することができます。

また、ホストデバイスが SLEEP_ENZ (P0_R2_D[0]) ビットを 1'b0 に設定すると、デバイスはスリープモードになります。デバイスがアクティブモードのときに SLEEP_ENZ ビットが Low にアサートされると、デバイスは録音データのボリュームを下げて、アナログおよびデジタルブロックの電源をオフにして、スリープモードに移行します。しかし、デバイスは依然として、デバイス構成レジスタとプログラマブル係数の最後のプログラムされた値を保持し続けています。

スリープモードでは、アクティブモードに移行するためにスリープモードを終了することを除き、I²C または SPI トランザクションを実行しません。スリープモードに移行した後、I²C または SPI トランザクションを開始する前に、スリープモードを終了します。

6.4.2 アクティブモード

ホストデバイスが SLEEP_ENZ ビットを 1'b1 に設定してスリープモードを終了すると、デバイスはアクティブモードになります。アクティブモードでは、I²C または SPI トランザクションを実行して、デバイスを構成し、アクティブ動作用に電源オンできます。アクティブモードに移行した後、デバイスが内部ウェイクアップシーケンスを完了できるように、I²C または SPI トランザクションを開始する前に少なくとも 2 ミリ秒待つ必要があります。

プログラマブル係数レジスタ ([セクション 7.2](#)) とチャネル構成レジスタへの読み取りおよび書き込み操作は、スリープモードから復帰後 10 ミリ秒後に実行する必要があります。

ターゲットアプリケーションとシステム設定用の他のすべてのレジスタを設定した後、入力チャネル イネーブル レジスタ P0_R118(CH_EN) を設定します。最後に、デバイスのパワーアップ レジスタ P0_R120(PWR_CFG) を構成します。各チャネルに電源を投入する前に、プログラム可能な係数の値をすべて書き込む必要があります。

アクティブ モードでは、P0_R121(DEV_STS0)および P0_R122(DEV_STS1)レジスタに位置する読み取り専用デバイスステータスビットを読み取ることで、さまざまなブロックの電源投入および電源切断の状態が監視されます。

6.4.3 ソフトウェアリセット

ソフトウェアリセットは、SW_RESET ビット(P0_R1_D[0])をアサートすることでいつでも実行でき、これは自己クリア ビットです。このソフトウェアリセットは、デバイスを即座にシャット ダウンし、すべてのデバイス構成レジスタとプログラム可能な係数をデフォルト値に戻します。

6.5 プログラミング

このデバイスには、特定のシステムや用途に合わせて希望する値に設定できる構成レジスタとプログラマブル係数が含まれています。これらのレジスタは **デバイス制御レジスタ** と呼ばれ、ページ方式でマップされて幅が 8 ビットです。

各ページには 128 の構成レジスタがあります。すべてのデバイス構成レジスタはページ 0 に保存されます。これは、電源投入時およびソフトウェアリセット後のデフォルトのページ設定です。プログラム可能な係数レジスタはすべて、ページ 0、ページ 1、ページ 3 にあります。デバイスの現在のページは、各ページのレジスタ 0 に位置する PAGE[7:0] ビットを使用して、新しい希望のページに切り替えることができます。

6.5.1 制御シリアルインターフェイス

デバイス制御レジスタには、デバイスへの I²C または SPI 通信を使用してアクセスできます。

I²C または SPI インターフェイスのマルチプレクサ ピンである SDA_PICO、SCL_SCLK、GPO1_POCl、GPI1_CSZ デバイス ピンを監視することで、デバイスはホスト デバイスが I²C または SPI 通信を使用しているかどうかを自動的に検出し、デバイスを構成します。特定のエンド アプリケーションでは、ホスト デバイスは常に I²C と SPI インターフェイスのどちらかを使用する必要がありますが、両方を使用することはできません。デバイスの構成については、表 6-43 を参照してください。

表 6-43. I²C および SPI アドレスの構成

ADDR 設定	モード	デバイス アドレス(7 ビット)	デバイス アドレス(8 ビット)
グランドへの短絡	I ² C	0x50	0xA0
4.7kΩ をグランドにプルダウン	I ² C	0x51	0xA2
22kΩ を AVDD にプルアップ	I ² C	0x52	0xA4
4.7kΩ を AVDD にプルアップ	I ² C	0x53	0xA6
AVDD への短絡	SPI	該当なし	該当なし

6.5.1.1 I²C 制御インターフェイス

このデバイスは、ターゲット デバイスとして I²C 制御プロトコルをサポートし、標準モード、高速モード、高速モードプラスで動作可能です。I²C 制御プロトコルには、7 ビットのターゲット アドレスが必要です。ターゲット アドレスの最上位 5 ビット (MSB) は 5'b10100 に固定されており、変更できません。下位 2 ビット (LSB) はプログラム可能で、ADDR ピンにより制御されます。I²C モードで TAA5212 によってサポートされる 4 つのデバイス アドレスについては、表 6-43 を参照してください。I²C_BRDCAST_EN (P0_R4_D[1]) ビットが 1'b1 に設定されている場合、システム内のすべての TAA5212 デバイスへの同時 I²C ブロードキャスト通信を可能にするために、7 ビットの I²C ターゲット アドレスは 7'b1010000 に固定されます。

6.5.1.1.1 一般的な I²C の動作

I²C バスは、SDA(データ)と SCL(クロック)の 2 つの信号を使用して、シリアル データ伝送によってシステム内の集積回路間で通信を行います。アドレスおよびデータの 8 ビット バイトは、MSB(最上位ビット)から先に転送されます。さらに、バス上で転送される各バイトは、受信デバイスによってアクリシジ ビットで確認されます。各転送操作は、コントローラ デバイスがバス上にスタート コンディションを発生させることで開始し、ストップ コンディションを発生させることで終了します。バスは、クロックがロジック ハイの状態でデータ ピン (SDA) の遷移を使用して、スタートの条件およびストップの条件を示

します。SDA ラインでのハイからローへの遷移はスタート条件を示し、ローからハイへの遷移はストップ条件を示します。通常のデータビット遷移は、クロック周期の低レベル期間内に発生しなければなりません。

コントローラ デバイスは、スタート コンディションを発行した後、7 ビットのターゲット アドレスとリード / ライト (R/W) ビットを送信して他のデバイスとの通信を開始し、次にアクノレッジ (ACK) コンディションを待機します。ターゲット デバイスは、アクノレッジ クロック期間中に SDA を低レベルに保持することで、アクノレッジを示します。これにより、コントローラ デバイスは順に次のバイトを送信します。各ターゲット デバイスは、一意の 7 ビットのターゲット アドレスに R/W ビットを加えた (1 バイトの) アドレスによって指定されます。すべての互換デバイスは、ワイヤード-AND 接続を使用した双方向バスを介して、同じ信号を共有します。

スタートコンディションとストップコンディションの間で送信されるバイト数に制限はありません。最後のデータワードが転送されると、コントローラデバイスはバスを解放するためにストップコンディションを生成します。一般的なデータ転送シーケンスを、図 6-65 に示します。

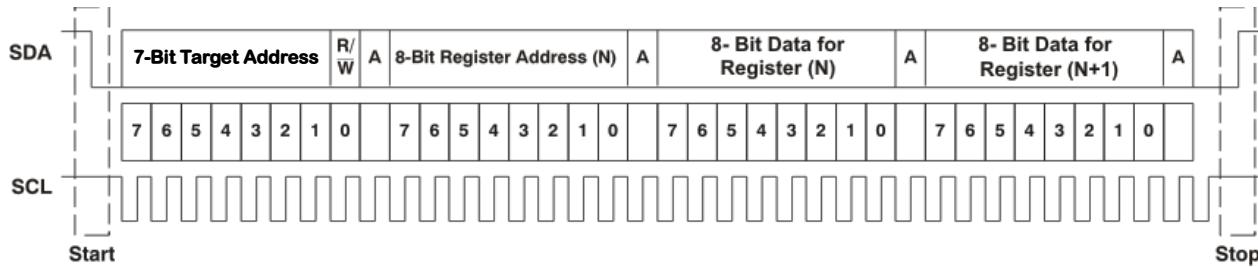


図 6-65. 代表的な I²C シーケンス

システム内では、SDA および SCL 信号に外部プルアップ抵抗を使用して、バスの論理 High レベルを設定します。SDA および SCL の電圧は、デバイスの電源電圧である IOVDD を超えてはなりません。

6.5.1.1.2 I²C のシングルバイトおよびマルチバイト転送

デバイスの I²C インターフェイスは、すべてのレジスタに対して、シングルバイトおよびマルチバイトの読み取り / 書き込み操作をサポートしています。マルチバイトの読み取り動作中は、コントローラがアクノリッジで応答を継続している限り、アサインされたレジスタから始まるデータを 1 バイトずつ返します。

デバイスは、シーケンシャルな I²C アドレッシングに対応しています。書き込みトランザクションの場合、レジスタが発行されて、次にそのレジスタのデータと残りのすべてのレジスタのデータが続いて送信される場合、I²C の書き込みトランザクションはシーケンシャルに実行されます。I²C のシーケンシャルな書き込みトランザクションの場合、発行されたレジスタは開始点となり、その後に停止または開始が送信される前に、データの量が送信され、いくつのレジスタを書き込むかが決定されます。

6.5.1.1.2.1 I²C のシングルバイト書き込み

図 6-66 にあるように、シングルバイトのデータ書き込み転送では、最初にマスター デバイスが開始条件を送信し、次に I²C デバイス アドレスと読み取り / 書き込みビットが続きます。データ転送方向は、R/W ビットによって決定されます。書き込みデータ転送を実行するには、読み取り / 書き込みビットを 0 にセットします。正しい I²C のターゲット アドレスと読み取り / 書き込みビットを受信すると、アクノリッジ ビット(ACK)を返信します。次に、コントローラ デバイスは、アクセスされているデバイス内部レジスタアドレスに対応するレジスタ バイトを送信します。デバイスは、レジスタ バイトを受信すると、再度アクノリッジ ビット(ACK)を返信します。その後、コントローラは指定されたレジスタに書き込むデータのバイトを送信します。完了すると、ターゲット デバイスはアクノリッジ ビット(ACK)で応答します。最後に、コントローラ デバイスが停止条件を送信すると、シングルバイトデータの書き込み転送が完了します。

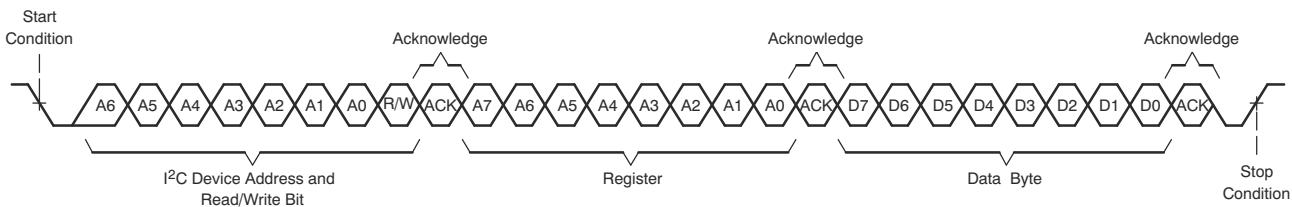


図 6-66. I²C のシングルバイト書き込み転送

6.5.1.1.2.2 I²C のマルチ バイト書き込み

図 6-67 で示されているように、複数バイトのデータ書き込み転送は、コントローラ デバイスからターゲット デバイスに複数のデータ バイトが送信されることを除いて、シングルバイトのデータ書き込み転送と同一です。各データ バイトを受信すると、デバイスはアクノリッジ ビット(ACK)で応答します。最後に、コントローラ デバイスは最後のデータ バイトの書き込み転送後にストップ条件を送信します。

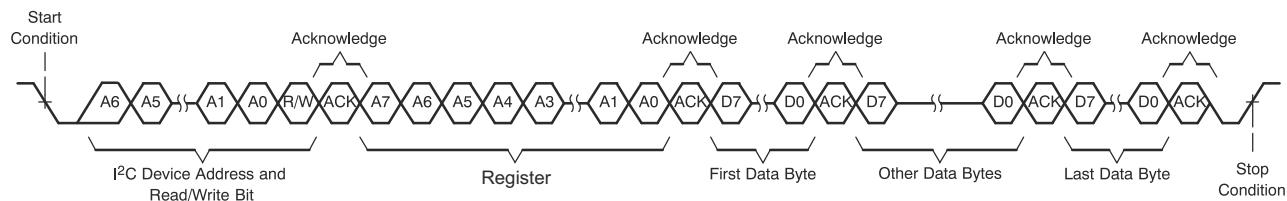


図 6-67. I²C のマルチ バイト書き込み転送

6.5.1.1.2.3 I²C のシングルバイト読み出し

図 6-68 で示されているように、シングルバイトのデータ読み取り転送は、コントローラ デバイスがスタート条件を送信し、それに続いて I²C のターゲット アドレスと読み取り / 書き込みビットが続きます。データ読み取り転送の場合、書き込みとその次の読み取りの両方が行われます。最初に、内部レジスタ アドレスの読み取りに必要なアドレス バイトを転送するために、書き込みが実行されます。その結果、読み取り / 書き込みビットは 0 に設定されます。

ターゲット アドレスと読み書きビットを受信すると、デバイスはアクノリッジ ビット(ACK)で応答します。その後、コントローラ デバイスは内部レジスタ アドレス バイトを送信し、その後、デバイスがアクノリッジ ビット(ACK)を発行します。コントローラ デバイスは、ターゲット アドレスと読み取り / 書き込みビットに続いて、もう 1 つのスタート条件を送信します。このとき、R/W ビットは 1 に設定され、読み取り転送が実行されることを示します。次に、デバイスは読み取っているレジスタ アドレスからデータ バイトを送信します。データ バイトを受信後、コントローラ デバイスは、1 バイトのデータ読み取り転送を完了するために、非応答(NACK)に続いてストップ条件を送信します。

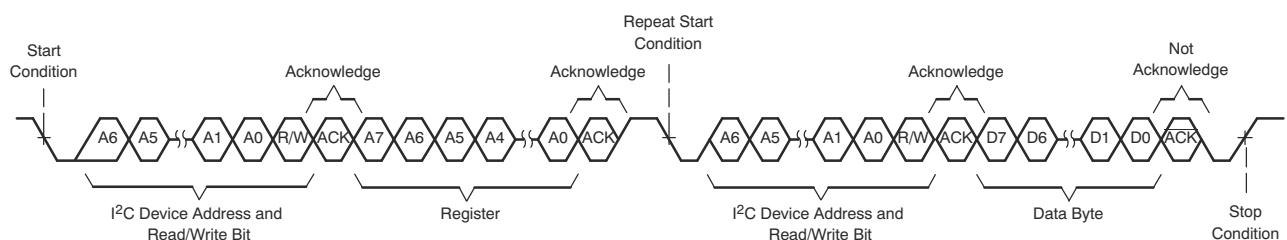


図 6-68. I²C のシングル バイト読み出し転送

6.5.1.1.2.4 I²C のマルチ バイト読み出し

図 6-69 で示されているように、複数バイトのデータ読み取り転送は、単一バイトのデータ読み取り転送と同様ですが、複数のデータ バイトがデバイスからコントローラ デバイスに送信されます。コントローラ デバイスは、データ バイトを受信するごとにアクノリッジ ビットを返信します。ただし、最後のデータ バイトについては返信しません。最後のデータ バイトを受信した後、コントローラ デバイスは非応答(NACK)を送信し、その後ストップ条件を送信してデータ読み取り転送を完了します。

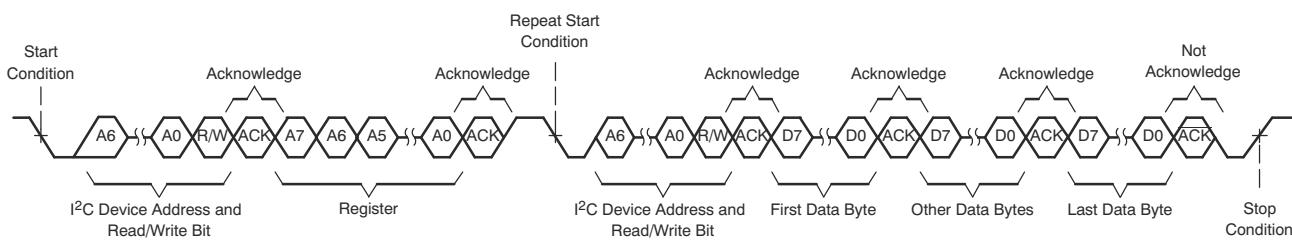


図 6-69. I²C のマルチ バイト読み出し転送

6.5.1.2 SPI 制御インターフェイス

一般的な SPI プロトコルでは、ホスト プロセッサ(コントローラ)と周辺機器の間で全二重同期シリアル通信が可能です。SPI コントローラ(この場合、ホスト プロセッサ)は、同期クロック(SCLK に駆動)を生成し、ペリフェラル セレクトピン CSZ を High から Low にすることで送信を開始します。SPI ペリフェラル デバイス(TAA5212 など)は、送信を開始および同期するコントローラ デバイスによって異なります。SPI コントローラにより開始されると、送信が開始されます。SPI コントローラからのバイトは、コントローラのシリアル クロック(SCLK に駆動)の制御下で、ペリフェラル PICO ピンにシフトインを開始します。そのバイトが PICO ピンでシフトインすると、1 バイトが POCI ピンでコントローラ シフトレジスタにシフトアウトされます。

SPI 制御用のデバイスを構成するには、表 6-44 を参照してください。表 6-44 は、SPI 制御モードのピン配置を記述します。

表 6-44. SPI 制御のピン割り当て

ピン番号	ピン名	SPI モードでのピン名	説明
7	SCL	SCLK	SPI シリアル ビット クロック
8	SDA	PICO	SPI ペリフェラル入力ピン
11	GP01	POCI	SPI ペリフェラル出力ピン
12	GPI1	CSZ	SPI チップ セレクト入力

TAA5212 は、クロック極性設定が 0(標準的なマイクロ プロセッサ SPI 制御ビット CPOL=0)およびクロック位相設定が 1(標準的なマイクロプロセッサ SPI 制御ビット CPHA=1)の標準 SPI 制御プロトコルをサポートしています。CSZ ピンは送信と送信の間に Low レベルを維持できますが、デバイスは CSZ の立ち下がりエッジ後に送信された最初の 8 ビットのみをコマンド バイトとして解釈し、次の 8 ビットをレジスタへの書き込みの場合のみデータ バイトとして解釈します。本デバイスはすべてレジスタによって制御されます。これらのレジスタの読み書きは、そのレジスタのデータに先行して PICO ピンに送信される 8 ビット コマンドによって実行されます。表 6-45 は EEPROM の構造を示します。最初の 7 ビットは、0 から 127(10 進数)までの書き込みまたは読み取り中のレジスタのアドレスを指定します。コマンドワードは R/W ビットで終了し、シリアルバス上のデータフローの方向を指定します。

レジスタ書き込みの場合は、R/W ビットを 0 に設定します。データの 2 番目のバイトが PICO ピンに送信され、レジスタに書き込むデータが含まれます。レジスタの読み取りも、同様の方法で実行されます。8 ビットのコマンド ワードは、7 ビットのレジスタ アドレスを送信し、それに続いてレジスタ読み取りを示す 1 に等しい R/W ビットが続きます。8 ビットのレジスタデータは、フレーム内の 2 番目の SCLK クロックの間に、POCI ピンからデバイスからクロックアウトされます。CSZ ピンが高レベルにプルアップされるまで、このデバイスは複数バイトのデータ書き込み/読み出し転送のためのシーケンシャル SPI アドレス指定をサポートします。複数バイトのデータ書き込みまたは読み取り転送は、すべてのデータ バイト転送が完了するまでは、それぞれ単一バイトのデータ書き込みまたは読み取り転送と同一です。ホスト デバイスは、すべてのデータ バイト転送中に CSZ ピンを Low に保つ必要があります。図 6-70 にシングルバイトの書き込み転送を示し、図 6-71 にシングルバイトの読み取り転送を示します。

表 6-45. SPI コマンド ワード

ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
ADDR(6)	ADDR(5)	ADDR(4)	ADDR(3)	ADDR(2)	ADDR(1)	ADDR(0)	R/W

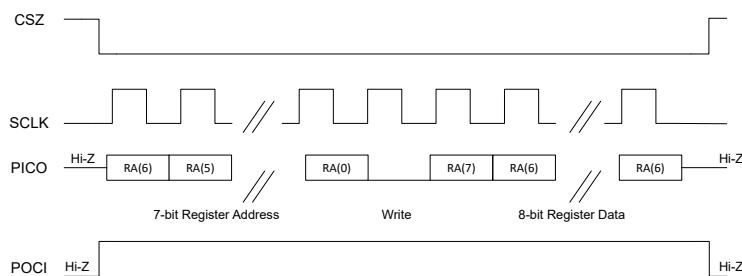


図 6-70. SPI シングル バイトの書き込み転送

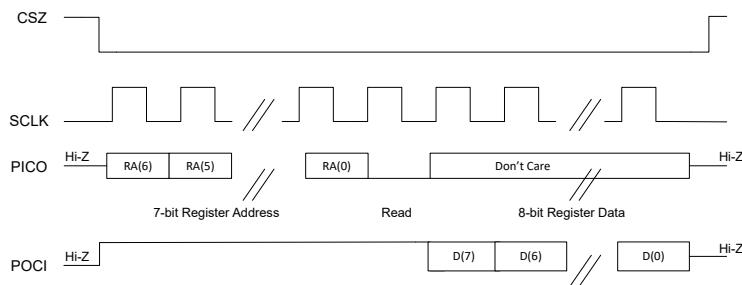


図 6-71. SPI シングル バイトの読み取り転送

7 レジスタ マップ

このセクションでは、デバイスの制御レジスタについて詳細に説明します。これらのレジスタはすべて 8 ビット幅で、デバイス構成およびプログラム可能な係数設定に割り当てられます。これらのレジスタは、デバイスへの I²C または SPI 通信を使用して制御可能なページ方式を使用して内部的にマップされます。各ページには 128 バイトのレジスタが含まれます。すべてのデバイス構成レジスタは、ページ 0、ページ 1、ページ 3 に保存されます。ページ 0 は電源投入時(およびソフトウェアリセット後)のデフォルトのページ設定です。各ページのレジスタ 0 に位置する PAGE[7:0] ビットを使用することで、デバイスの現在のページを新しい希望のページに切り替えることができます。

予約済みページや予約済みレジスタとの読み書きを行わないでください。有効なレジスタの予約済みビットのデフォルト値のみを書き込みます。

複数のページにわたるレジスタアクセスの手順は次のとおりです。

- ページ N を選択します(現在のページ番号に関係なくデータ N をレジスタ 0 に書き込みます)
- ページ N の有効なレジスタとの間でデータを読み書きします
- 新しいページ M を選択します(現在のページ番号に関係なくデータ M をレジスタ 0 に書き込みます)
- ページ M の有効なレジスタとの間でデータの読み書きができます
- 必要に応じて繰り返します

7.1 デバイス構成レジスタ

このセクションでは、デバイスのページ 0、ページ 1、ページ 3 のデバイス構成レジスタについて説明します。レジスタのアクセスコードを、表 7-1 に示します。

表 7-1. アクセス タイプ コード

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
R/W	R/W	読み出しありまたは書き込み
書き込みタイプ		
W	W	書き込み

7.1.1 TAA5212_B0_P0 のレジスタ

TAA5212_B0_P0 レジスタのメモリマップされたレジスタを、表 7-2 に示します。表 7-2 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-2. TAA5212_B0_P0 のレジスタ

アドレス	略称	レジスタ名	リセット値	セクション
0x0	PAGE_CFG	デバイス ページ レジスタ	0x00	セクション 7.1.1.1
0x1	SW_RESET	ソフトウェア リセット レジスタ	0x00	セクション 7.1.1.2
0x2	DEV_MISC_CFG	デバイスの各種設定 レジスタ	0x00	セクション 7.1.1.3
0x3	AVDD_IOVDD_STS	電源ステータス レジスタ	0x00	セクション 7.1.1.4
0x4	MISC_CFG	各種構成 レジスタ	0x00	セクション 7.1.1.5
0x5	MISC_CFG1	その他設定 レジスタ 1	0x15	セクション 7.1.1.6
0x7	MISC_CFG0	その他設定 レジスタ 0	0x00	セクション 7.1.1.7
0xA	GPIO1_CFG0	GPIO1 構成 レジスタ 0	0x32	セクション 7.1.1.8
0xB	GPIO2_CFG0	GPIO2 構成 レジスタ 0	0x00	セクション 7.1.1.9
0xC	GPO1_CFG0	GPO1 構成 レジスタ 0	0x00	セクション 7.1.1.10
0xD	GPI_CFG	GPI1 構成 レジスタ 0	0x00	セクション 7.1.1.11
0xE	GPO_GPI_VAL	GPIO、GPO 出力値 レジスタ	0x00	セクション 7.1.1.12
0xF	INTF_CFG0	インターフェース構成 レジスタ 0	0x00	セクション 7.1.1.13
0x10	INTF_CFG1	インターフェース構成 レジスタ 1	0x52	セクション 7.1.1.14
0x11	INTF_CFG2	インターフェース構成 レジスタ 2	0x80	セクション 7.1.1.15
0x12	INTF_CFG3	インターフェース構成 レジスタ 3	0x00	セクション 7.1.1.16
0x13	INTF_CFG4	インターフェース構成 レジスタ 4	0x00	セクション 7.1.1.17
0x14	INTF_CFG5	インターフェース構成 レジスタ 5	0x00	セクション 7.1.1.18
0x15	INTF_CFG6	インターフェース構成 レジスタ 6	0x00	セクション 7.1.1.19
0x18	ASI_CFG0	ASI 構成 レジスタ 0	0x40	セクション 7.1.1.20
0x19	ASI_CFG1	ASI 構成 レジスタ 1	0x00	セクション 7.1.1.21
0x1A	PASI_CFG0	プライマリ ASI 構成 レジスタ 0	0x30	セクション 7.1.1.22
0x1B	PASI_TX_CFG0	PASI TX 構成 レジスタ 0	0x00	セクション 7.1.1.23
0x1C	PASI_TX_CFG1	PASI TX 構成 レジスタ 1	0x00	セクション 7.1.1.24
0x1D	PASI_TX_CFG2	PASI TX 構成 レジスタ 2	0x00	セクション 7.1.1.25
0x1E	PASI_TX_CH1_CFG	PASI TX チャネル 1 構成 レジスタ	0x20	セクション 7.1.1.26
0x1F	PASI_TX_CH2_CFG	PASI TX チャネル 2 構成 レジスタ	0x21	セクション 7.1.1.27
0x20	PASI_TX_CH3_CFG	PASI TX チャネル 3 構成 レジスタ	0x02	セクション 7.1.1.28
0x21	PASI_TX_CH4_CFG	PASI TX チャネル 4 構成 レジスタ	0x03	セクション 7.1.1.29
0x22	PASI_TX_CH5_CFG	PASI TX チャネル 5 構成 レジスタ	0x04	セクション 7.1.1.30
0x23	PASI_TX_CH6_CFG	PASI TX チャネル 6 構成 レジスタ	0x05	セクション 7.1.1.31
0x24	PASI_TX_CH7_CFG	PASI TX チャネル 7 構成 レジスタ	0x06	セクション 7.1.1.32
0x25	PASI_TX_CH8_CFG	PASI TX チャネル 8 構成 レジスタ	0x07	セクション 7.1.1.33
0x26	PASI_RX_CFG0	PASI RX 構成 レジスタ 0	0x00	セクション 7.1.1.34
0x32	CLK_CFG0	クロック設定 レジスタ 0	0x00	セクション 7.1.1.35
0x33	CLK_CFG1	クロック設定 レジスタ 1	0x00	セクション 7.1.1.36
0x34	CLK_CFG2	クロック設定 レジスタ 2	0x40	セクション 7.1.1.37
0x35	CNT_CLK_CFG0	コントローラ モード クロック構成 レジスタ 0	0x00	セクション 7.1.1.38
0x36	CNT_CLK_CFG1	コントローラ モード クロック構成 レジスタ 1	0x00	セクション 7.1.1.39

表 7-2. TAA5212_B0_P0 のレジスタ (続き)

アドレス	略称	レジスタ名	リセット値	セクション
0x37	CNT_CLK_CFG2	コントローラ モード クロック構成レジスタ 2	0x20	セクション 7.1.1.40
0x38	CNT_CLK_CFG3	コントローラ モード クロック構成レジスタ 3	0x00	セクション 7.1.1.41
0x39	CNT_CLK_CFG4	コントローラ モード クロック構成レジスタ 4	0x00	セクション 7.1.1.42
0x3A	CNT_CLK_CFG5	コントローラ モード クロック構成レジスタ 5	0x00	セクション 7.1.1.43
0x3B	CNT_CLK_CFG6	コントローラ モード クロック構成レジスタ 6	0x00	セクション 7.1.1.44
0x3C	CLK_ERR_STS0	クロック エラーとステータス レジスタ 0	0x00	セクション 7.1.1.45
0x3D	CLK_ERR_STS1	クロック エラーとステータス レジスタ 1	0x00	セクション 7.1.1.46
0x3E	CLK_DET_STS0	クロック比検出レジスタ 0	0x00	セクション 7.1.1.47
0x3F	CLK_DET_STS1	クロック比検出レジスタ 1	0x00	セクション 7.1.1.48
0x40	CLK_DET_STS2	クロック比検出レジスタ 2	0x00	セクション 7.1.1.49
0x41	CLK_DET_STS3	クロック比検出レジスタ 3	0x00	セクション 7.1.1.50
0x42	INT_CFG	割り込み構成レジスタ	0x00	セクション 7.1.1.51
0x4B	ADC_MISC_CFG	ADC 過負荷応答構成レジスタ	0x00	セクション 7.1.1.52
0x4C	IADC_CFG	IADC 構成レジスタ	0x5C	セクション 7.1.1.53
0x4D	VREF_MICBIAS_CFG	VREF および MICBIAS 構成レジスタ	0x00	セクション 7.1.1.54
0x4E	PWR_TUNE_CFG0	パワー チューン構成レジスタ 0	0x00	セクション 7.1.1.55
0x50	ADC_CH1_CFG0	ADC チャネル 1 構成レジスタ 0	0x00	セクション 7.1.1.56
0x51	IADC_CH_CFG	IADC チャネル構成レジスタ	0x00	セクション 7.1.1.57
0x52	ADC_CH1_CFG2	ADC チャネル 1 構成レジスタ 2	0xA1	セクション 7.1.1.58
0x53	ADC_CH1_CFG3	ADC チャネル 1 構成レジスタ 3	0x80	セクション 7.1.1.59
0x54	ADC_CH1_CFG4	ADC チャネル 1 構成レジスタ 4	0x00	セクション 7.1.1.60
0x55	ADC_CH2_CFG0	ADC チャネル 2 構成レジスタ 0	0x00	セクション 7.1.1.61
0x57	ADC_CH2_CFG2	ADC チャネル 2 構成レジスタ 2	0xA1	セクション 7.1.1.62
0x58	ADC_CH2_CFG3	ADC チャネル 2 構成レジスタ 3	0x80	セクション 7.1.1.63
0x59	ADC_CH2_CFG4	ADC チャネル 2 構成レジスタ 4	0x00	セクション 7.1.1.64
0x5A	ADC_CH3_CFG0	ADC チャネル 3 構成レジスタ 0	0x00	セクション 7.1.1.65
0x5B	ADC_CH3_CFG2	ADC チャネル 3 構成レジスタ 2	0xA1	セクション 7.1.1.66
0x5C	ADC_CH3_CFG3	ADC チャネル 3 構成レジスタ 3	0x80	セクション 7.1.1.67
0x5D	ADC_CH3_CFG4	ADC チャネル 3 構成レジスタ 4	0x00	セクション 7.1.1.68
0x5E	ADC_CH4_CFG0	ADC チャネル 4 構成レジスタ 0	0x00	セクション 7.1.1.69
0x5F	ADC_CH4_CFG2	ADC チャネル 4 構成レジスタ 2	0xA1	セクション 7.1.1.70
0x60	ADC_CH4_CFG3	ADC チャネル 4 構成レジスタ 3	0x80	セクション 7.1.1.71
0x61	ADC_CH4_CFG4	ADC チャネル 4 構成レジスタ 4	0x00	セクション 7.1.1.72
0x62	ADC_CFG1	ADC 構成レジスタ 1	0x00	セクション 7.1.1.73
0x72	DSP_CFG0	DSP 構成レジスタ 0	0x18	セクション 7.1.1.74
0x76	CH_EN	チャネル イネーブル構成レジスタ	0xCC	セクション 7.1.1.75
0x77	DYN_PUPD_CFG	動的パワーアップ / パワーダウン構成レジスタ	0x00	セクション 7.1.1.76
0x78	PWR_CFG	パワー アップ構成レジスタ	0x00	セクション 7.1.1.77
0x79	DEV_STS0	デバイス ステータス レジスタ 0	0x00	セクション 7.1.1.78
0x7A	DEV_STS1	デバイス ステータス レジスタ 1	0x80	セクション 7.1.1.79
0x7E	I2C_CKSUM	I ² C チェックサム レジスタ	0x00	セクション 7.1.1.80

7.1.1.1 PAGE_CFG レジスタ (アドレス = 0x0) [リセット = 0x00]

PAGE_CFG を [表 7-3](#) に示します。

概略表に戻ります。

デバイスのメモリマップは複数のページに分かれています。このレジスタはページを設定します。

表 7-3. PAGE_CFG レジスタ フィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-0	PAGE[7:0]	R/W	00000000b	これらのビットは、デバイスのページを設定します。 0d = ページ 0 1d = ページ 1 2d ~ 254d = ページ 2 ~ ページ 254 255d = ページ 255

7.1.1.2 SW_RESET レジスタ (アドレス = 0x1) [リセット = 0x00]

SW_RESET を [表 7-4](#) に示します。

概略表に戻ります。

このレジスタはソフトウェアリセットレジスタです。ソフトウェアリセットをアサートすると、すべてのレジスタ値はデフォルトのパワーオンリセット(POR)状態になります。

表 7-4. SW_RESET レジスタ フィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	SW_RESET	R/W	0b	ソフトウェアリセット。このビットはセルフクリアです。 0d = リセットしない 1d = すべてのレジスタをリセット値にリセットする

7.1.1.3 DEV_MISC_CFG レジスタ (アドレス = 0x2) [リセット = 0x00]

DEV_MISC_CFG を [表 7-5](#) に示します。

概略表に戻ります。

このレジスタは、各種デバイスレジスタを設定します。

表 7-5. DEV_MISC_CFG レジスタ フィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
5-4	VREF_QCHG[1:0]	R/W	00b	VREF 外部コンデンサの急速充電の時間は、200Ω の内部直列インピーダンスを使用して設定されます。 0d = VREF 急速充電時間 3.5ms(標準値) 1d = VREF 急速充電時間 10ms(標準値) 2D = VREF 急速充電時間 50ms(標準値) 3D = VREF 急速充電時間 100ms(標準値)
3	SLEEP_EXIT_VREF_EN	R/W	0b	スリープモード終了設定 0d = DREG のみイネーブル 1d = DREG および VREF 有効化
2	AVDD_MODE	R/W	0b	AVDD モード構成。 0d = 内部AREG レギュレータを使用(AVDD 3.3V 動作に使用する必要があります) 1d = AVDD 1.8V で AREG に直接使用(AVDD 1.8V 動作には厳密にこの設定を使用してください)

表 7-5. DEV_MISC_CFG レジスタ フィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
1	IOVDD_IO_MODE	R/W	0b	IOVDD モード構成。 0d = IOVDD、3.3V / 1.8V / 1.2V (IOVDD 1.8V および 1.2V での動作にはクロック速度制限が適用されます) 1d = IOVDD、1.8V / 1.2V でのみ (クロック速度制限なし。IOVDD 3.3V での動作にはこの設定を使用しないでください)。
0	SLEEP_ENZ	R/W	0b	スリープ モード設定。 0D = デバイスはスリープ モード 1d = デバイスはスリープ モードではない

7.1.1.4 AVDD_IOVDD_STS レジスタ (アドレス = 0x3) [リセット = 0x00]AVDD_IOVDD_STS を [表 7-6](#) に示します。

概略表に戻ります。

このレジスタには、電源検出のステータスが含まれています。

表 7-6. AVDD_IOVDD_STS レジスタ フィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	AVDD_MODE_STS	R	0b	AVDD モードステータス フラグ レジスタ。 0D = AVDD_MODE の設定に従う 1d = AVDD 3.3V での動作(AVDD_MODE は強制的に 0d に設定)
6	IOVDD_IO_MODE_STS	R	0b	IOVDD モードステータス フラグ レジスタ。 0D = 構成された IOVDD_MODE 1d = IOVDD 3.3V 動作(IOVDD_IO_MODE を強制的に 0d に設定)
5-2	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.5 MISC_CFG レジスタ (アドレス = 0x4) [リセット = 0x00]MISC_CFG を [表 7-7](#) に示します。

概略表に戻ります。

このレジスタは、さまざまな構成レジスタを設定します。

表 7-7. MISC_CFG レジスタ フィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6	IGNORE_CLK_ERR	R/W	0b	クロック エラー検出動作 0b = クロック エラーが有効 1b = クロック エラーが無効
5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	I2C_BRDCAST_EN	R/W	0b	I ² C ブロードキャスト アドレッシング設定。 0D = I ² C ブロードキャスト モードがディセーブル 1d = I ² C ブロードキャスト モードがイネーブル、I ² C ターゲット アドレスは、ピン制御 LSB ビットを「0」に固定

表 7-7. MISC_CFG レジスタ フィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.6 MISC_CFG1 レジスタ (アドレス = 0x5) [リセット = 0x15]

MISC_CFG1 を表 7-8 に示します。

概略表に戻ります。

このレジスタは、各種設定レジスタ 1 を設定します。

表 7-8. MISC_CFG1 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-6	INCAP_QCHG[1:0]	R/W	00b	外部 AC 結合コンデンサの急速充電時間は、内部直列インピーダンス 800Ω を使用して設定されます。 0D = INxP、INxM 急速充電時間 2.5ms (標準値) 1d = INxP、INxM 急速充電時間 12.5ms (標準値) 2D = INxP、INxM 急速充電時間 25ms (標準値) 3D = INxP、INxM 急速充電時間 50ms (標準値)
5-4	SHDN_CFG[1:0]	R/W	01b	シャットダウン構成。 0d = IOVDD がデアサートされた直後に DREG を電源オフ 1d = DREG はアクティブに維持され、タイムアウト(DREG_KA_TIME)に達するまで、クリーンなシャットダウンをイネーブルにし、タイムアウト期間の後に DREG は強制的に電源オフ。 2d = デバイスがクリーンにシャットダウンされるまで DREG はアクティブに維持 3d = 予約済み
3-2	DREG_KA_TIME[1:0]	R/W	01b	これらのピットは、IOVDD がデアサートされた後に DREG がアクティブに維持される時間を設定します。 0d = DREG を 30ms (標準値) の間アクティブに維持 1d = DREG を 25ms (標準値) の間アクティブに維持 2d = DREG を 10ms (標準値) の間アクティブに維持 3d = DREG を 5ms (標準値) の間アクティブに維持
1-0	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

7.1.1.7 MISC_CFG0 レジスタ (アドレス = 0x7) [リセット = 0x00]

MISC_CFG0 を表 7-9 に示します。

概略表に戻ります。

このレジスタは、各種設定レジスタ 0 を設定します。

表 7-9. MISC_CFG0 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4	HW_RESET_ON_CLK_S TOP_EN	R/W	0b	CLK_SRC_SEL によって選択されたクロックが 2ms の間利用できない場合のハードリセットのアサート 0d = ディセーブル 1d = イネーブル
3-0	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

7.1.1.8 GPIO1_CFG0 レジスタ (アドレス = 0xA) [リセット = 0x32]

GPIO1_CFG0 を表 7-10 に示します。

概略表に戻ります。

このレジスタは GPIO1 構成レジスタ 0 です。

表 7-10. GPIO1_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	GPIO1_CFG[3:0]	R/W	0011b	GPIO1 構成。 0d = GPIO1 はディセーブル 1d = GPIO1 は汎用入力(GPI)またはその他の入力機能として構成 2d = GPIO1 を汎用出力(GPO)として構成 3d = GPIO1 をチップ割り込み出力(IRQ)として構成 4d = GPIO1 を PDM クロック出力(PDMCLK)として構成 5d = GPIO1 をプライマリ ASI DOUT として構成 6d = GPIO1 をプライマリ ASI DOUT 2 として構成 7d = GPIO1 は二次 ASI DOUT として構成 8d = GPIO1 は、二次 ASI DOUT2 として構成 9d = GPIO1 は、二次 ASI BCLK 出力として構成 10d = GPIO1 は、二次 ASI FSYNC 出力として構成 11d = GPIO1 は汎用 CLKOUT として構成 12d = GPIO1 は PASI DOUT と SASI DOUT のマルチプレクサとして構成 13d = GPIO1 は DIN Daisy 用に DAISY_OUT として設定 14d ~ 15d = 予約済み
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2-0	GPIO1_DRV[2:0]	R/W	010b	GPIO1 出力ドライブ構成(GPIO1_CFG を I ² S out として構成した場合は無効) 0d = ハイインピーダンス出力 1d = アクティブ Low とアクティブ High を駆動 2d = アクティブ Low と弱い High を駆動 3d = アクティブ Low、ハイインピーダンス 4d = 弱い Low とアクティブ High を駆動 5d = ハイインピーダンスとアクティブ High を駆動 6d~7d = 予約済み。使用しないでください。

7.1.1.9 GPIO2_CFG0 レジスタ (アドレス = 0xB) [リセット = 0x00]

GPIO2_CFG0 を表 7-11 に示します。

概略表に戻ります。

このレジスタは GPIO2 構成レジスタ 0 です。

表 7-11. GPIO2_CFG0 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-4	GPIO2_CFG[3:0]	R/W	0000b	GPIO2 構成。 0d = GPIO2 はディセーブル 1d = GPIO2 は汎用入力 (GPI) またはその他の入力機能として構成 2d = GPIO2 を汎用出力 (GPO) として構成 3d = GPIO2 をチップ割り込み出力 (IRQ) として構成 4d = GPIO2 を PDM クロック出力 (PDMCLK) として構成 5d = GPIO2 をプライマリ ASI DOUT として構成 6d = GPIO2 をプライマリ ASI DOUT 2 として構成 7d = GPIO2 は二次 ASI DOUT として構成 8d = GPIO2 は、二次 ASI DOUT2 として構成 9d = GPIO2 は、二次 ASI BCLK 出力として構成 10d = GPIO2 は、二次 ASI FSYNC 出力として構成 11d = GPIO2 は汎用 CLKOUT として構成 12d = GPIO2 は PASI DOUT と SASI DOUT のマルチプレクサとして構成 13d = GPIO2 は DIN Daisy 用に DAISY_OUT として設定 14d ~ 15d = 予約済み
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2-0	GPO1_DRV[2:0]	R/W	000b	GPIO2 出力ドライブ構成 (GPIO2_CFG を I ² S out として構成した場合は無効) 0d = ハイインピーダンス出力 1d = アクティブ Low とアクティブ High を駆動 2d = アクティブ Low と弱い High を駆動 3d = アクティブ Low、ハイインピーダンス 4d = 弱い Low とアクティブ High を駆動 5d = ハイインピーダンスとアクティブ High を駆動 6d~7d = 予約済み。使用しないでください。

7.1.1.10 GPO1_CFG0 レジスタ (アドレス = 0xC) [リセット = 0x00]

GPO1_CFG0 を表 7-12 に示します。

概略表に戻ります。

このレジスタは GPO1 構成レジスタ 0 です。

表 7-12. GPO1_CFG0 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-4	GPO1_CFG[3:0]	R/W	0000b	GPO1 構成。(SPI モードの場合、このピンは POCI として機能し、以下の構成設定は適用できません) (DOUT として使用する場合、常にバスキー EN はサポートされません) 0d = GPO1 はディスエーブル 1d = 予約済み 2d = GPO1 は汎用出力 (GPO) として構成 3d = GPO1 はチップ割り込み出力 (IRQ) として設定 4d = GPO1 は PDM クロック出力 (PDMCLK) として構成 5d = GPO1 はプライマリ ASI DOUT として構成 6d = GPO1 は ASI DOUT2 としてプライマリに構成 7d = GPO1 はセカンダリ ASI DOUT として構成 8d = GPO1 はセカンダリ ASI DOUT2 として構成 9d = GPO1 は、セカンダリ ASI BCLK 出力として構成 10d = GPO1 は、セカンダリ ASI FSYNC 出力として構成 11d = GPO1 は汎用 CLKOUT として構成 12d = GPO1 は PASI DOUT と SASI DOUT のマルチプレクサとして構成 13d = GPO1 は DIN Daisy 用に DAISY_OUT として設定 14d ~ 15d = 予約済み

表 7-12. GPO1_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2-0	GPO1_DRV[2:0]	R/W	000b	GPO1 出力ドライブ構成 (GPO1_CFG が I ² S out として構成されている場合は無効) (SPI モードの場合、このピンは CSZ として動作し、以下の構成設定は適用されません) 0d = Hi-Z 出力 1d = アクティブ Low とアクティブ High を駆動 2d = アクティブ Low と弱い High を駆動 3d = アクティブ Low と Hi-Z を駆動 4d = 弱い Low とアクティブ High を駆動 5d = Hi-Z とアクティブ High を駆動 6d ~ 7d = 予約済み。使用しないでください

7.1.1.11 GPI_CFG レジスタ (アドレス = 0xD) [リセット = 0x00]GPI_CFG を [表 7-13](#) に示します。[概略表](#)に戻ります。

このレジスタは GPI1 構成レジスタ 0 です。

表 7-13. GPI_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
1	GPI1_CFG	R/W	0b	GPI1 構成。(SPI モードの場合、このピンは CSZ として機能し、以下の構成設定は適用されません) 0d = GPI1 はディスエーブル 1d = GPI1 は汎用入力 (GPI) またはその他の入力機能として構成
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.12 GPO_GPI_VAL レジスタ (アドレス = 0xE) [リセット = 0x00]GPO_GPI_VAL を [表 7-14](#) に示します。[概略表](#)に戻ります。

このレジスタは、GPIO および GPO 出力値レジスタです。

表 7-14. GPO_GPI_VAL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	GPIO1_VAL	R/W	0b	GPO として構成されているときの GPIO1 の出力値。 0d = 値 0 で出力を駆動 1d = 値 1 で出力を駆動
6	GPIO2_VAL	R/W	0b	GPO として構成されているときの GPIO2 の出力値。 0d = 値 0 で出力を駆動 1d = 値 1 で出力を駆動
5	GPO1_VAL	R/W	0b	GPO として構成されているときの GPO1 の出力値。 0d = 値 0 で出力を駆動 1d = 値 1 で出力を駆動
4	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
3	GPIO1_MON	R	0b	GPI として構成されている場合は GPIO1 の値を監視します。 0d = 入力モニタ値 0 1d = 入力モニタ値 1

表 7-14. GPO_GPI_VAL レジスタ フィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
2	GPIO2_MON	R	0b	GPI として構成されている場合は GPIO2 の値を監視します。 0d = 入力モニタ値 0 1d = 入力モニタ値 1
1	GPI1_MON	R	0b	GPI として構成されている場合は GPI1 の値を監視します。 0d = 入力モニタ値 0 1d = 入力モニタ値 1
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.13 INTF_CFG0 レジスタ (アドレス = 0xF) [リセット = 0x00]

INTF_CFG0 を表 7-15 に示します。

概略表に戻ります。

このレジスタは、インターフェイス構成レジスタ 0 です。

表 7-15. INTF_CFG0 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6-5	CCLK_SEL[1:0]	R/W	00b	CCLK 選択構成。 0d = CCLK はディセーブル 1d = GPIO1 2d = GPIO2 3d = GPI1
4-2	PASI_DIN2_SEL[2:0]	R/W	000b	プライマリ ASI DIN2 選択構成。 0d = プライマリ ASI DIN2 がディセーブル 1d = GPIO1 2d = GPIO2 3d = GPI1 4d = DOUT 5d = プライマリ ASI DIN 6d ~ 7d = 予約済み
1	PASI_BCLK_SEL	R/W	0b	プライマリ ASI BCLK 選択構成。 0d = プライマリ ASI BCLK が BCLK 1d = プライマリ ASI BCLK がセカンダリ ASI BCLK
0	PASI_FSYNC_SEL	R/W	0b	プライマリ ASI FSYNC 選択構成。 0d = プライマリ ASI FSYNC が FSYNC 1d = プライマリ ASI FSYNC がセカンダリ ASI FSYNC

7.1.1.14 INTF_CFG1 レジスタ (アドレス = 0x10) [リセット = 0x52]

INTF_CFG1 を表 7-16 に示します。

概略表に戻ります。

このレジスタは、インターフェイス構成レジスタ 1 です。

表 7-16. INTF_CFG1 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-4	DOUT_SEL[3:0]	R/W	0101b	DOUT 選択構成。 0d = DOUT はディセーブル 1d = DOUT は入力として構成 2d = DOUT は汎用出力(GPO)として構成 3d = DOUT はチップ割り込み出力(IRQ)として構成 4d = DOUT は PDM クロック出力(PDMCLK)として構成 5d = DOUT は、プライマリ ASI DOUT として構成 6d = DOUT はプライマリ ASI DOUT2 として構成 7d = DOUT は二次 ASI DOUT として構成 8d = DOUT は二次 ASI DOUT2 として構成 9d = DOUT は、二次 ASI BCLK 出力として構成 10d = DOUT を二次 ASI FSYNC 出力として構成 11d = DOUT は汎用 CLKOUT として構成 12d = DOUT は PASI DOUT と SASI DOUT のマルチプレクスとして構成 13d = DIN Daisy 用に DAISY_OUT として DOUT を構成 14d = DOUT は DIN(ループバック)として構成 15d = 予約済み
3	DOUT_VAL	R/W	0b	GPO として構成された場合の DOUT 出力値。 0d = 値 0 で出力を駆動 1d = 値 1 で出力を駆動
2-0	DOUT_DRV[2:0]	R/W	010b	DOUT 出力駆動構成。 0D = Hi-Z 出力 1d = アクティブ Low とアクティブ High を駆動 2d = アクティブ Low と弱い High を駆動 3d = アクティブ Low, Hi-Z 4D = 弱い Low, アクティブ High を駆動 5d = Hi-Z とアクティブ High を駆動 6d~7d = 予約済み。使用しないでください。

7.1.1.15 INTF_CFG2 レジスタ (アドレス = 0x11) [リセット = 0x80]

INTF_CFG2 を [表 7-17](#) に示します。

概略表に戻ります。

このレジスタは、インターフェイス構成レジスタ 2 です。

表 7-17. INTF_CFG2 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	PASI_DIN_EN	R/W	1b	プライマリ ASI DIN イネーブル構成。 0d = プライマリ ASI DIN が無効 1d = プライマリ ASI DIN が有効
6-4	SASI_FSYNC_SEL[2:0]	R/W	000b	セカンダリ ASI FSYNC 選択設定。 0d = セカンダリ ASI 無効 1d = GPIO1 2d = GPIO2 3d = GPI1 4d = 予約済み 5d = プライマリ ASI FSYNC 6d ~ 7d = 予約済み

表 7-17. INTF_CFG2 レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
3-1	SASI_BCLK_SEL[2:0]	R/W	000b	セカンダリ ASI BCLK 選択設定。 0d = セカンダリ ASI 無効 1d = GPIO1 2d = GPIO2 3d = GPI1 4d = 予約済み 5d = プライマリ ASI BCLK 6d ~ 7d = 予約済み
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.16 INTF_CFG3 レジスタ (アドレス = 0x12) [リセット = 0x00]

INTF_CFG3 を表 7-18 に示します。

概略表に戻ります。

このレジスタは、インターフェイス構成レジスタ 3 です。

表 7-18. INTF_CFG3 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-5	SASI_DIN_SEL[2:0]	R/W	000b	セカンダリ ASI DIN 選択設定。 0d = セカンダリ ASI DIN がディセーブル 1d = GPIO1 2d = GPIO2 3d = GPI1 4d = DOUT 5d = プライマリ ASI DIN 6d ~ 7d = 予約済み
4-2	SASI_DIN2_SEL[2:0]	R/W	000b	セカンダリ ASI DIN2 選択構成。 0d = セカンダリ ASI DIN2 がディセーブル 1d = GPIO1 2d = GPIO2 3d = GPI1 4d = DOUT 5d = プライマリ ASI DIN 6d ~ 7d = 予約済み
1-0	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

7.1.1.17 INTF_CFG4 レジスタ (アドレス = 0x13) [リセット = 0x00]

INTF_CFG4 を表 7-19 に示します。

概略表に戻ります。

このレジスタは、インターフェイス構成レジスタ 4 です。

表 7-19. INTF_CFG4 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	PDM_CH1_SEL	R/W	0b	PDM レコード パスのチャネル 1 の設定を選択します。 0d = チャネル 1 は、レコード パスのアナログ (ADC) タイプです。 1d = チャネル 1 は、レコード パスのデジタル (PDM) タイプです
6	PDM_CH2_SEL	R/W	0b	PDM レコード パスのチャネル 2 の設定を選択します。 0d = チャネル 2 は、レコード パスのアナログ (ADC) タイプです。 1d = チャネル 2 は、レコード パスのデジタル (PDM) タイプです

表 7-19. INTF_CFG4 レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
5	PDMDIN1_EDGE	R/W	0b	PDMCLK のラッ奇 エッジは、チャネル 1 とチャネル 2 のデータに使用されます。 0D = チャネル 1 のデータは負のエッジでラッ奇、チャネル 2 のデータは立ち上がりエッジでラッ奇されます 。1d = チャネル 1 のデータは立ち上がりエッジでラッ奇され、チャネル 2 のデータは負のエッジでラッ奇されます
4	PDMDIN2_EDGE	R/W	0b	PDMCLK のラッ奇 エッジは、チャネル 3 とチャネル 4 のデータに使用されます。 0D = チャネル 3 のデータは負のエッジでラッ奇、チャネル 4 のデータは立ち上がりエッジでラッ奇されます 。1d = チャネル 3 のデータは立ち上がりエッジでラッ奇され、チャネル 4 のデータは負のエッジでラッ奇されます
3-2	PDM_DIN1_SEL[1:0]	R/W	00b	PDM データ チャネル 1 および 2 の選択された構成。 0D = PDM データ・チャネル 1 および 2 はディセーブル 1d = GPIO1 2D = GPIO2 3D = GPI1
1-0	PDM_DIN2_SEL[1:0]	R/W	00b	PDM データ チャネル 3 および 4 の選択された構成。 0D = PDM データ・チャネル 3 および 4 はディセーブル 1d = GPIO1 2D = GPIO2 3D = GPI1

7.1.1.18 INTF_CFG5 レジスタ (アドレス = 0x14) [リセット = 0x00]

INTF_CFG5 を表 7-20 に示します。

概略表に戻ります。

このレジスタは、インターフェイス構成レジスタ 5 です。

表 7-20. INTF_CFG5 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	PDM_DIN_SEL_OVRD	R/W	0b	PDM データ チャネル(1 および 2)/(3 および 4) 構成オーバーライドを選択します。 0d = オーバーライドなし 1d = GPIO1 として構成されている場合、PDM_DIN1/2_SEL が DIN としてオーバーライドされます
6	DOUT_WITH_DIN	R/W	0b	DOUT を ASI OUT と ASI IN の両方として使用 0d = DOUT_SEL に基づく DOUT 1d = DOUT を ASI OUT と ASI DIN の両方として使用
5-4	PD_ADC_GPIO[1:0]	R/W	00b	GPIO セレクト構成を使用して ADC をパワーダウンします。 (PD_ADC_GPIO/ADC_PDZ のいずれかがパワーダウン構成の場合、ADC がパワーダウンします。) 0d = GPIO を使用した ADC のパワーダウン 1d = GPIO1 を使用した ADC のパワーダウン 2d = GPIO2 を使用した ADC のパワーダウン 3d = GPI1 を使用した ADC のパワーダウン
3-2	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	GPA_GPIO	R/W	0b	GPIO1 構成を使用する GPA。 0d = GPIO1 を使用する GPA はディスエーブル 1d = GPIO1 を使用する GPA

7.1.1.19 INTF_CFG6 レジスタ (アドレス = 0x15) [リセット = 0x00]

INTF_CFG6 を表 7-21 に示します。

概略表に戻ります。

このレジスタは、インターフェイス構成レジスタ 6 です。

表 7-21. INTF_CFG6 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-6	EN_MBIAS_GPIO[1:0]	R/W	00b	GPIO 選択構成を使用して MICBIAS をイネーブル。 0d = GPIO を使用して MICBIAS をイネーブルする 1d = GPIO1 を使用して MICBIAS をイネーブルする 2D = GPIO2 3D を使用して MICBIAS をイネーブルする 3d = GPI1 を使用して MICBIAS をイネーブルする
5-4	IADC_CONVST_GPIO[1:0]	R/W	00b	IADC 変換は、GPIO 選択構成を使用して開始します。 0d = GPIO を使用して IADC をイネーブルする 1d = GPIO1 を使用して IADC をイネーブルする 2D = GPIO2 を使用して IADC をイネーブルする 3d = GPI1 を使用して IADCS をイネーブルする
3-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.20 ASI_CFG0 レジスタ (アドレス = 0x18) [リセット = 0x40]

ASI_CFG0 を表 7-22 に示します。

概略表に戻ります。

このレジスタは ASI 構成レジスタ 0 です。

表 7-22. ASI_CFG0 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	PASI_DIS	R/W	0b	プライマリ ASI(PASI)を無効または有効にします。 0d = プライマリ ASI 有効 1d = プライマリ ASI 無効
6	SASI_DIS	R/W	1b	セカンダリ ASI(SASI)を無効または有効にします。 0d = セカンダリ ASI が有効 1d = セカンダリ ASI が無効
5	SASI_CFG GANG	R/W	0b	プライマリ ASI と連動するセカンダリ ASI のすべての設定。 0d = セカンダリ ASI は独立した構成を持っている 1d = セカンダリ ASI 構成はプライマリ ASI と同じ
4-3	DAISY_EN[1:0]	R/W	00b	デイジーチェーン機能有効(1つの ASI と 1 つの DOUT および DIN のみ利用可能) 0d = デイジーチェーンをディセーブル 1d = PASI デイジーチェーンをイネーブル(セカンダリ ASI は利用不可) 2d = SASI デイジーチェーンを有効(プライマリ ASI は利用不可) 3d = 予約済み、使用しません
2-0	DAISY_IN_SEL[2:0]	R/W	000b	デイジー入力選択構成。 0d = デイジー入力ディセーブル 1d = GPIO1 2d = GPIO2 3d = GPI1 4d = 予約済み 5d = DIN 6d ~ 7d = 予約済み

7.1.1.21 ASI_CFG1 レジスタ (アドレス = 0x19) [リセット = 0x00]

ASI_CFG1 を表 7-23 に示します。

概略表に戻ります。

このレジスタは ASI 構成レジスタ 1 です。

表 7-23. ASI_CFG1 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-6	ASI_DOUT_CFG[1:0]	R/W	00b	ASI データ出力構成。 0d = プライマリ ASI 用データ出力 1 つ、セカンダリ ASI 用データ出力 1 つ 1d = プライマリ ASI 用の 2 つのデータ出力 2d = 2 データ出力、セカンダリ ASI 3d = 予約済み。使用しません
5-4	ASI_DIN_CFG[1:0]	R/W	00b	ASI データ入力構成。 0d = プライマリ ASI 用データ入力 1 つ、セカンダリ ASI 用データ入力 1 つ 1d = プライマリ ASI 用データ入力 2 つ 2d = セカンダリ ASI 用データ入力 2 つ 3d = 予約済み。使用しません
3	DAISY_DIR	R/W	0b	デイジー方向構成。 0D = ASI DOUT デイジー 1d = ASI DIN デイジー
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.22 PASI_CFG0 レジスタ (アドレス = 0x1A) [リセット = 0x30]

PASI_CFG0 を表 7-24 に示します。

概略表に戻ります。

このレジスタは ASI 構成レジスタ 0 です。

表 7-24. PASI_CFG0 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-6	PASI_FORMAT[1:0]	R/W	00b	プライマリ ASI プロトコル フォーマット。 0D = TDM モード 1d = I ² S モード 2D = LJ(左揃え)モード 3d = 予約済み、使用しないでください
5-4	PASI_WLEN[1:0]	R/W	11b	プライマリ ASI ワードまたはスロットの長さ。 0d = 16 ビット (推奨: 10kΩ 入力インピーダンス構成で使用するため、この設定を使用) 1d = 20 ビット 2d = 24 ビット 3d = 32 ビット
3	PASI_FSYNC_POL	R/W	0b	ASI fsync 極性(PASI プロトコルのみ)。 0d = 標準プロトコルに基づくデフォルトの極性 1d = 標準プロトコルに対して反転された極性
2	PASI_BCLK_POL	R/W	0b	ASI BCLK 極性(PASI プロトコルのみ)。 0d = 標準プロトコルに基づくデフォルトの極性 1d = 標準プロトコルに対して反転された極性

表 7-24. PASI_CFG0 レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
1	PASI_BUS_ERR	R/W	0b	ASI バス エラー検出。 0d = バス エラー検出を有効にする 1d = バス エラー検出を無効にする
0	PASI_BUS_ERR_RCOV	R/W	0b	ASI バス エラー自動再開。 0D = バス エラー回復後の自動再開をイネーブル 1d = バス エラー回復後の自動再開をディスエーブルにし、ホストがデバイスを構成するまでの間、電源オフのままになります

7.1.1.23 PASI_TX_CFG0 レジスタ (アドレス = 0x1B) [リセット = 0x00]

PASI_TX_CFG0 を表 7-25 に示します。

概略表に戻ります。

このレジスタは PASI TX 構成レジスタ 0 です。

表 7-25. PASI_TX_CFG0 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	PASI_TX_EDGE	R/W	0b	プライマリ ASI データ出力(プライマリおよびセカンダリ データピン)の送信エッジ。 0d = PASI_BCLK_POL のプロトコル構成設定に従うデフォルトのエッジ 1d = デフォルトのエッジ設定を基準として、後続のエッジ(半周期遅延)を反転
6	PASI_TX_FILL	R/W	0b	未使用のサイクルのプライマリ ASI データ出力(プライマリおよびセカンダリ データピン) 0d = 未使用のサイクルの場合は常に 0 を送信 1d = 未使用のサイクルの場合は常にハイインピーダンスを使用
5	PASI_TX_LSB を表します	R/W	0b	LSB 送信用のプライマリ ASI データ出力(プライマリおよびセカンダリ データピン上)。 0d = フル サイクルの間 LSB を送信 1d = 前半サイクルの間 LSB を、後半サイクルの間、ハイインピーダンスを送信
4-3	PASI_TX_KEEPER[1:0]	R/W	00b	プライマリ ASI データ出力(プライマリおよびセカンダリ データピン)バスキーパー。 0D = バスキーパーは常にディスエーブル 1d = バスキーパーは常にイネーブル 2d = LSB 送信中に 1 サイクルのみバスキーパーがイネーブル 3d = LSB 送信中のみバスキーパーは、1 サイクルおよび半サイクルでのみイネーブル
2	PASI_TX_USE_INT_FSY NC	R/W	0b	プライマリ ASI は、必要に応じてコントローラ モード構成での出力データ生成に内部 FSYNC を使用します。 0d = ASI プロトコル データ生成に外部 FSYNC を使用 1d = ASI プロトコル データ生成に内部 FSYNC を使用
1	PASI_TX_USE_INT_BCL K	R/W	0b	プライマリ ASI は、コントローラ モード構成での出力データ生成に内部 BCLK を使用します。 0d = ASI プロトコル データ生成に外部 BCLK を使用 1d = ASI プロトコル データ生成に内部 BCLK を使用
0	PASI_TDM_PULSE_WIDT H	R/W	0b	TDM 形式のプライマリ ASI FSYNC パルス幅。(コントローラ モードで有効) 0d = Fsync パルスは 1 bclk 周期幅 1d = Fsync パルスは 2 bclk 周期幅

7.1.1.24 PASI_TX_CFG1 レジスタ (アドレス = 0x1C) [リセット = 0x00]

PASI_TX_CFG1 を表 7-26 に示します。

概略表に戻ります。

このレジスタは PASI TX 構成レジスタ 1 です。

表 7-26. PASI_TX_CFG1 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-5	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
4-0	PASI_TX_OFFSET[4:0]	R/W	00000b	プライマリ ASI 出力データの MSB スロット 0 のオフセット(プライマリおよびセカンダリデータピン)。 0D = ASI データの MSB 位置にはオフセットがなく、標準プロトコルに従っている 1d = ASI データの MSB 位置(TDM モードはスロット 0 または I ² S、LJ モードは左および右スロット 0)標準プロトコルに対して 2 BCLK サイクルのオフセット 2d = ASI データ MSB 位置(TDM モードはスロット 0 または I ² S、LJ モードは、標準プロトコルに対する BCLK サイクル 2 つ分の左右スロット 0)オフセット 3d ~ 30d = ASI データ MSB の位置(TDM モードはスロット 0 または I ² S、LJ モードは、構成に従って割り当てられた左右のスロット 0 のオフセット) 31d = ASI データ MSB 位置(TDM モードがスロット 0 または I ² S、LJ モードは、標準プロトコルに対する左右のスロット 0 の 31 BCLK サイクルのオフセットです。

7.1.1.25 PASI_TX_CFG2 レジスタ (アドレス = 0x1D) [リセット = 0x00]

PASI_TX_CFG2 を表 7-27 に示します。

概略表に戻ります。

このレジスタは PASI TX 構成レジスタ 2 です。

表 7-27. PASI_TX_CFG2 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	PASI_TX_CH8_SEL	R/W	0b	プライマリ ASI 出力チャネル 8 の選択。 0d = プライマリ ASI チャネル 8 出力が DOUT にある 1d = プライマリ ASI チャネル 8 出力が DOUT2 にある
6	PASI_TX_CH7_SEL	R/W	0b	プライマリ ASI 出力チャネル 7 の選択。 0d = プライマリ ASI チャネル 7 出力が DOUT にある 1d = プライマリ ASI チャネル 7 出力が DOUT2 にある
5	PASI_TX_CH6_SEL	R/W	0b	プライマリ ASI 出力チャネル 6 の選択。 0d = プライマリ ASI チャネル 6 出力が DOUT にある 1d = プライマリ ASI チャネル 6 出力が DOUT2 にある
4	PASI_TX_CH5_SEL	R/W	0b	プライマリ ASI 出力チャネル 5 の選択。 0d = プライマリ ASI チャネル 5 出力が DOUT にある 1d = プライマリ ASI チャネル 5 出力が DOUT2 にある
3	PASI_TX_CH4_SEL	R/W	0b	プライマリ ASI 出力チャネル 4 の選択。 0d = プライマリ ASI チャネル 4 出力が DOUT にある 1d = プライマリ ASI チャネル 4 出力が DOUT2 にある
2	PASI_TX_CH3_SEL	R/W	0b	プライマリ ASI 出力チャネル 3 の選択。 0d = プライマリ ASI チャネル 3 出力が DOUT にある 1d = プライマリ ASI チャネル 3 出力が DOUT2 にある

表 7-27. PASI_TX_CFG2 レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
1	PASI_TX_CH2_SEL	R/W	0b	プライマリ ASI 出力チャネル 2 の選択。 0d = プライマリ ASI チャネル 2 出力が DOUT にある 1d = プライマリ ASI チャネル 2 出力が DOUT2 にある
0	PASI_TX_CH1_SEL	R/W	0b	プライマリ ASI 出力チャネル 1 の選択。 0d = プライマリ ASI チャネル 1 出力が DOUT にある 1d = プライマリ ASI チャネル 1 出力が DOUT2 にある

7.1.1.26 PASI_TX_CH1_CFG レジスタ (アドレス = 0x1E) [リセット = 0x20]

PASI_TX_CH1_CFG を表 7-28 に示します。

概略表に戻ります。

このレジスタは PASI TX チャネル 1 構成レジスタです。

表 7-28. PASI_TX_CH1_CFG レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
5	PASI_TX_CH1_CFG	R/W	1b	プライマリ ASI 出力チャネル 1 構成。 0d = プライマリ ASI チャネル 1 の出力がトライステート状態 1d = プライマリ ASI チャネル 1 の出力が ADC / PDM チャネル 1 のデータに対応
4-0	PASI_TX_CH1_SLOT_NUM[4:0]	R/W	00000b	プライマリ ASI 出力チャネル 1 スロット割り当て。 0d = TDM はスロット 0 または I ² S、LJ は左スロット 0 1d = TDM はスロット 1 または I ² S、LJ は左スロット 1 2d ~ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I ² S、LJ は右スロット 15 16d = TDM はスロット 16 または I ² S、LJ は右スロット 0 17d = TDM はスロット 17 または I ² S、LJ は右スロット 1 18d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM がスロット 31 または I ² S、LJ は右スロット 15

7.1.1.27 PASI_TX_CH2_CFG レジスタ (アドレス = 0x1F) [リセット = 0x21]

PASI_TX_CH2_CFG を表 7-29 に示します。

概略表に戻ります。

このレジスタは PASI TX チャネル 2 構成レジスタです。

表 7-29. PASI_TX_CH2_CFG レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
5	PASI_TX_CH2_CFG	R/W	1b	プライマリ ASI 出力チャネル 2 構成。 0d = プライマリ ASI チャネル 2 の出力がトライステート状態 1d = プライマリ ASI チャネル 2 の出力が ADC / PDM チャネル 2 のデータに対応

表 7-29. PASI_TX_CH2_CFG レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
4-0	PASI_TX_CH2_SLOT_NU M[4:0]	R/W	00001b	プライマリ ASI 出力チャネル 2 スロット割り当て。 0d = TDM はスロット 0 または I ² S、LJ は左スロット 0 1d = TDM はスロット 1 または I ² S、LJ は左スロット 1 2d ~ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I ² S、LJ は右スロット 15 16d = TDM はスロット 16 または I ² S、LJ は右スロット 0 17d = TDM はスロット 17 または I ² S、LJ は右スロット 1 18d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM がスロット 31 または I ² S、LJ は右スロット 15

7.1.1.28 PASI_TX_CH3_CFG レジスタ (アドレス = 0x20) [リセット = 0x02]

PASI_TX_CH3_CFG を表 7-30 に示します。

概略表に戻ります。

このレジスタは PASI TX チャネル 3 構成レジスタです。

表 7-30. PASI_TX_CH3_CFG レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6-5	PASI_TX_CH3_CFG[1:0]	R/W	00b	プライマリ ASI 出力チャネル 3 構成。 0d = プライマリ ASI チャネル 3 出力がトライステートの条件 1d = プライマリ ASI チャネル 3 出力は PDM チャネル 3 データに対応 2d = 予約済み 3d = 予約済み
4-0	PASI_TX_CH3_SLOT_NU M[4:0]	R/W	00010b	プライマリ ASI 出力チャネル 3 スロット割り当て。 0d = TDM はスロット 0 または I ² S、LJ は左スロット 0 1d = TDM はスロット 1 または I ² S、LJ は左スロット 1 2d ~ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I ² S、LJ は右スロット 15 16d = TDM はスロット 16 または I ² S、LJ は右スロット 0 17d = TDM はスロット 17 または I ² S、LJ は右スロット 1 18d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM がスロット 31 または I ² S、LJ は右スロット 15

7.1.1.29 PASI_TX_CH4_CFG レジスタ (アドレス = 0x21) [リセット = 0x03]

PASI_TX_CH4_CFG を表 7-31 に示します。

概略表に戻ります。

このレジスタは PASI TX チャネル 4 構成レジスタです。

表 7-31. PASI_TX_CH4_CFG レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6-5	PASI_TX_CH4_CFG[1:0]	R/W	00b	プライマリ ASI 出力チャネル 4 構成。 0d = プライマリ ASI チャネル 4 出力がトライステート条件 1d = プライマリ ASI チャネル 4 出力は PDM チャネル 4 データに対応 2d = プライマリ ASI チャネル 4 出力は温度データに対応 3d = 予約済み

表 7-31. PASI_TX_CH4_CFG レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
4-0	PASI_TX_CH4_SLOT_NU M[4:0]	R/W	00011b	プライマリ ASI 出力チャネル 4 スロット割り当て。 0d = TDM はスロット 0 または I ² S、LJ は左スロット 0 1d = TDM はスロット 1 または I ² S、LJ は左スロット 1 2d ~ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I ² S、LJ は右スロット 15 16d = TDM はスロット 16 または I ² S、LJ は右スロット 0 17d = TDM はスロット 17 または I ² S、LJ は右スロット 1 18d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM がスロット 31 または I ² S、LJ は右スロット 15

7.1.1.30 PASI_TX_CH5_CFG レジスタ (アドレス = 0x22) [リセット = 0x04]

PASI_TX_CH5_CFG を表 7-32 に示します。

概略表に戻ります。

このレジスタは PASI TX チャネル 5 構成レジスタです。

表 7-32. PASI_TX_CH5_CFG レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6-5	PASI_TX_CH5_CFG[1:0]	R/W	00b	プライマリ ASI 出力チャネル 5 構成。 0d = プライマリ ASI チャネル 5 出力はトライステート 1d = プライマリ ASI チャネル 5 出力は ASI 入力チャネル 1 ループバック データに対応 2d = 予約済み 3d = 予約済み
4-0	PASI_TX_CH5_SLOT_NU M[4:0]	R/W	00100b	プライマリ ASI 出力チャネル 5 スロット割り当て。 0d = TDM はスロット 0 または I ² S、LJ は左スロット 0 1d = TDM はスロット 1 または I ² S、LJ は左スロット 1 2d ~ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I ² S、LJ は右スロット 15 16d = TDM はスロット 16 または I ² S、LJ は右スロット 0 17d = TDM はスロット 17 または I ² S、LJ は右スロット 1 18d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM がスロット 31 または I ² S、LJ は右スロット 15

7.1.1.31 PASI_TX_CH6_CFG レジスタ (アドレス = 0x23) [リセット = 0x05]

PASI_TX_CH6_CFG を表 7-33 に示します。

概略表に戻ります。

このレジスタは PASI TX チャネル 6 構成レジスタです。

表 7-33. PASI_TX_CH6_CFG レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6-5	PASI_TX_CH6_CFG[1:0]	R/W	00b	プライマリ ASI 出力チャネル 6 構成。 0d = プライマリ ASI チャネル 6 出力はトライステート 1d = プライマリ ASI チャネル 6 出力は ASI 入力チャネル 2 ループバック データに対応 2d = 予約済み 3d = 予約済み

表 7-33. PASI_TX_CH6_CFG レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
4-0	PASI_TX_CH6_SLOT_NU M[4:0]	R/W	00101b	プライマリ ASI 出力チャネル 6 スロット割り当て。 0d = TDM はスロット 0 または I ² S、LJ は左スロット 0 1d = TDM はスロット 1 または I ² S、LJ は左スロット 1 2d ~ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I ² S、LJ は右スロット 15 16d = TDM はスロット 16 または I ² S、LJ は右スロット 0 17d = TDM はスロット 17 または I ² S、LJ は右スロット 1 18d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM がスロット 31 または I ² S、LJ は右スロット 15

7.1.1.32 PASI_TX_CH7_CFG レジスタ (アドレス = 0x24) [リセット = 0x06]

PASI_TX_CH7_CFG を表 7-34 に示します。

概略表に戻ります。

このレジスタは PASI TX チャネル 7 構成レジスタです。

表 7-34. PASI_TX_CH7_CFG レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6-5	PASI_TX_CH7_CFG[1:0]	R/W	00b	プライマリ ASI 出力チャネル 7 構成。 0d = プライマリ ASI チャネル 7 出力はトライステート 1d = 予約済み 2d = 予約済み 3d = 予約済み
4-0	PASI_TX_CH7_SLOT_NU M[4:0]	R/W	00110b	プライマリ ASI 出力チャネル 7 スロット割り当て。 0d = TDM はスロット 0 または I ² S、LJ は左スロット 0 1d = TDM はスロット 1 または I ² S、LJ は左スロット 1 2d ~ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I ² S、LJ は右スロット 15 16d = TDM はスロット 16 または I ² S、LJ は右スロット 0 17d = TDM はスロット 17 または I ² S、LJ は右スロット 1 18d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM がスロット 31 または I ² S、LJ は右スロット 15

7.1.1.33 PASI_TX_CH8_CFG レジスタ (アドレス = 0x25) [リセット = 0x07]

PASI_TX_CH8_CFG を表 7-35 に示します。

概略表に戻ります。

このレジスタは PASI TX チャネル 8 構成レジスタです。

表 7-35. PASI_TX_CH8_CFG レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
5	PASI_TX_CH8_CFG	R/W	0b	プライマリ ASI 出力チャネル 8 構成。 0d = プライマリ ASI チャネル 8 出力はトライステート 1d = 予約済み

表 7-35. PASI_TX_CH8_CFG レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
4-0	PASI_TX_CH8_SLOT_NU M[4:0]	R/W	00111b	プライマリ ASI 出力チャネル 8 スロット割り当て。 0d = TDM はスロット 0 または I ² S、LJ は左スロット 0 1d = TDM はスロット 1 または I ² S、LJ は左スロット 1 2d ~ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I ² S、LJ は右スロット 15 16d = TDM はスロット 16 または I ² S、LJ は右スロット 0 17d = TDM はスロット 17 または I ² S、LJ は右スロット 1 18d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM がスロット 31 または I ² S、LJ は右スロット 15

7.1.1.34 PASI_RX_CFG0 レジスタ (アドレス = 0x26) [リセット = 0x00]

PASI_RX_CFG0 を表 7-36 に示します。

概略表に戻ります。

このレジスタは PASI RX 構成レジスタ 0 です。

表 7-36. PASI_RX_CFG0 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	PASI_RX_EDGE	R/W	0b	プライマリ ASI データ入力(プライマリおよびセカンダリ データピン)受信エッジ。 0d = PASI_BCLK_POL のプロトコル構成設定に従うデフォルトのエッジ 1d = デフォルトのエッジ設定を基準として、後続のエッジ(半周期遅延)を反転
6	PASI_RX_USE_INT_FSY NC	R/W	0b	プライマリ ASI は、必要に応じてコントローラ モード構成での入力データラッチに内部 FSYNC を使用します。 0d = ASI プロトコルのデータラッチに外部 FSYNC を使用 1d = ASI プロトコルのデータラッチに内部 FSYNC を使用
5	PASI_RX_USE_INT_BCL K	R/W	0b	プライマリ ASI は、コントローラ モード構成での入力データラッチに内部 BCLK を使用します。 0d = ASI プロトコルのデータラッチに外部 BCLK を使用 1d = ASI プロトコルのデータラッチに内部 BCLK を使用
4-0	PASI_RX_OFFSET[4:0]	R/W	00000b	プライマリ ASI データ入力の MSB スロット 0 のオフセット(プライマリおよびセカンダリ データピン)。 0D = ASI データの MSB 位置にはオフセットがなく、標準プロトコルに従っている 1d = ASI データの MSB 位置(TDM モードはスロット 0 または I ² S、LJ モードは左および右スロット 0)標準プロトコルに対して 2 BCLK サイクルのオフセット 2d = ASI データ MSB 位置(TDM モードはスロット 0 または I ² S、LJ モードは、標準プロトコルに対する BCLK サイクル 2 つ分の左右スロット 0)オフセット 3d ~ 30d = ASI データ MSB の位置(TDM モードはスロット 0 または I ² S、LJ モードは、構成に従って割り当てられた左右のスロット 0 のオフセット) 31d = ASI データ MSB 位置(TDM モードがスロット 0 または I ² S、LJ モードは、標準プロトコルに対する左右のスロット 0 の 31 BCLK サイクルのオフセットです。

7.1.1.35 CLK_CFG0 レジスタ (アドレス = 0x32) [リセット = 0x00]

CLK_CFG0 を表 7-37 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 0 です。

表 7-37. CLK_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	PASI_SAMP_RATE[5:0]	R/W	000000b	プライマリ ASI サンプル レート設定。標準(許容範囲) 0d = デバイスでプライマリ ASI サンプリング レートの自動検出 1d = 768000 (670320-791040) 2d = 614400 (536256-632832) 3d = 512000 (446880-527360) 4d = 438857 (383040-452022) 5d = 384000 (335160-395520) 6d = 341333 (297920-351573) 7d = 307200 (268128-316416) 8d = 256000 (223440-263680) 9d = 219429 (191520-226011) 10d = 192000 (167580-197760) 11d = 170667 (148960-175786) 12d = 153600 (134064-158208) 13d = 128000 (111720-131840) 14d = 109714 (95760-113005) 15d = 96000 (83790-98880) 16d = 85333 (74480-87893) 17d = 76800 (67032-79104) 18d = 64000 (55860-65920) 19d = 54857 (47880-56502) 20d = 48000 (41895-49440) 21d = 42667 (37240-43946) 22d = 38400 (33516-39552) 23d = 32000 (27930-32960) 24d = 27429 (23940-28251) 25d = 24000 (20947-24720) 26d = 21333 (18620-21973) 27d = 19200 (16758-19776) 28d = 16000 (13965-16480) 29d = 13714 (11970-14125) 30d = 12000 (10473-12360) 31d = 10667 (9310-10986) 32d = 9600 (8379-9888) 33d = 8000 (6982-8240) 34d = 6857 (5985-7062) 35d = 6000 (5236-6180) 36d = 5333 (4655-5493) 37d = 4800 (4189-4944) 38d = 4000 (3491-4120) 39d = 3429 (2992-3531) 40d = 3000 (2618-3090) 41d-63d = 予約済み
1	PASI_FS_RATE_NO_LIM	R/W	0b	サンプリング レートを標準オーディオ サンプル レートのみに制限します。 0d = 自動モードを使用して許容誤差 1% の標準オーディオ レートをサポート 1d = 自動モードを使用して許容誤差 5% の標準オーディオ レートをサポート
0	CUSTOM_CLK_CFG	R/W	0b	カスタム クロック構成を有効にし、すべてのデバイダとマルチプレクサの選択を手動で構成する必要があります。 0d = 自動クロック設定 1d = カスタム クロック設定

7.1.1.36 CLK_CFG1 レジスタ (アドレス = 0x33) [リセット = 0x00]

CLK_CFG1 を表 7-38 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 1 です。

表 7-38. CLK_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	SASI_SAMP_RATE[5:0]	R/W	000000b	セカンダリ ASI サンプル レート設定。- 標準 (範囲) 0d = デバイスでセカンダリ ASI サンプリング レートを自動検出 1d = 768000 (670320-791040) 2d = 614400 (536256-632832) 3d = 512000 (446880-527360) 4d = 438857 (383040-452022) 5d = 384000 (335160-395520) 6d = 341333 (297920-351573) 7d = 307200 (268128-316416) 8d = 256000 (223440-263680) 9d = 219429 (191520-226011) 10d = 192000 (167580-197760) 11d = 170667 (148960-175786) 12d = 153600 (134064-158208) 13d = 128000 (111720-131840) 14d = 109714 (95760-113005) 15d = 96000 (83790-98880) 16d = 85333 (74480-87893) 17d = 76800 (67032-79104) 18d = 64000 (55860-65920) 19d = 54857 (47880-56502) 20d = 48000 (41895-49440) 21d = 42667 (37240-43946) 22d = 38400 (33516-39552) 23d = 32000 (27930-32960) 24d = 27429 (23940-28251) 25d = 24000 (20947-24720) 26d = 21333 (18620-21973) 27d = 19200 (16758-19776) 28d = 16000 (13965-16480) 29d = 13714 (11970-14125) 30d = 12000 (10473-12360) 31d = 10667 (9310-10986) 32d = 9600 (8379-9888) 33d = 8000 (6982-8240) 34d = 6857 (5985-7062) 35d = 6000 (5236-6180) 36d = 5333 (4655-5493) 37d = 4800 (4189-4944) 38d = 4000 (3491-4120) 39d = 3429 (2992-3531) 40d = 3000 (2618-3090) 41d-63d = 予約済み
1	SASI_FS_RATE_NO_LIM	R/W	0b	サンプリング レートを標準オーディオ サンプル レートのみに制限します。 0d = 自動モードを使用して許容誤差 1% の標準オーディオ レートをサポート 1d = 自動モードを使用して許容誤差 5% の標準オーディオ レートをサポート
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.37 CLK_CFG2 レジスタ (アドレス = 0x34) [リセット = 0x40]

CLK_CFG2 を表 7-39 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 2 です。

表 7-39. CLK_CFG2 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	PLL_DIS	R/W	0b	カスタム / 自動クロック モード PLL 設定。 0d = PLL はカスタム クロック モードで常に有効 / 自動クロック モードでの DSP MIPS 要件に基づき PLL が有効 1d = PLL は無効
6	AUTO_PLL_FR_ALLOW	R/W	1b	PLL を分数モード動作で動作させます。 0D = PLL 分数モードは無効 1d = PLL 分数モードは有効
5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
3-1	CLK_SRC_SEL[2:0]	R/W	000b	入力クロック ソースの選択。 0d = プライマリ ASI BCLK は入力クロック ソース 1d = プライマリ ASI FSYNC と同期した CCLK は入力クロック ソース 2d = セカンダリ ASI BCLK は入力クロック ソース 3d = セカンダリ ASI FSYNC と同期した CCLK は入力クロック ソース 4d = CCLK 周波数の固定 (コントローラ モード構成でのみ使用) 5d = 内部発振器クロックは入力クロック ソース (カスタム クロック構成でのみサポート) 6d ~ 7d = 予約済み
0	RATIO_CLK_EDGE	R/W	0b	クロック源比検出のエッジ選択。 0d = クロックソースの立ち上がりエッジを使用して、プライマリまたはセカンダリ FSYNC で比率をチェック 1d = クロックソースの立ち下がりエッジを使用して、プライマリまたはセカンダリ FSYNC との比率をチェックし

7.1.1.38 CNT_CLK_CFG0 レジスタ (アドレス = 0x35) [リセット = 0x00]

CNT_CLK_CFG0 を表 7-40 に示します。

概略表に戻ります。

このレジスタはコントローラ モード クロック構成レジスタ 0 です。

表 7-40. CNT_CLK_CFG0 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-6	PDM_CLK_CFG[1:0]	R/W	00b	PDM_CLK 構成。 0d = PDM_CLK は 2.8224MHz または 3.072MHz 1d = PDM_CLK は 1.4112MHz または 1.536MHz 2d = PDM_CLK は 705.6kHz または 768kHz 3d = PDM_CLK は 5.6448MHz または 6.144MHz
5-0	CCLK_FS_RATIO_MSB[5:0]	R/W	000000b	CCLK とプライマリ / セカンダリ ASI FSYNC の同期比を選択するための最上位ビット。 0d = この比率を自動検出 (CCLK がプライマリ / セカンダリ FSYNC と同期していると想定) 1d ~ 16383d = 構成に基づく比率

7.1.1.39 CNT_CLK_CFG1 レジスタ (アドレス = 0x36) [リセット = 0x00]

CNT_CLK_CFG1 を表 7-41 に示します。

概略表に戻ります。

このレジスタはコントローラ モード クロック構成レジスタ 1 です。

表 7-41. CNT_CLK_CFG1 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-0	CCLK_FS_RATIO_LSB[7:0]	R/W	00000000b	CCLK とプライマリ / セカンダリ ASI FSYNC の同期に使用する比率を選択します。 0d = この比率を自動検出 (CCLK がプライマリ / セカンダリ FSYNC と同期していると想定) 1d ~ 16383d = 構成に基づく比率

7.1.1.40 CNT_CLK_CFG2 レジスタ (アドレス = 0x37) [リセット = 0x20]

CNT_CLK_CFG2 を表 7-42 に示します。

概略表に戻ります。

このレジスタはコントローラ モード クロック構成レジスタ 2 です。

表 7-42. CNT_CLK_CFG2 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-5	CCLK_FREQ_SEL[2:0]	R/W	001b	これらのビットは、CCLK 入力周波数を選択します(コントローラ モード構成でのみ使用)。 0d = 12MHz 1d = 12.288MHz 2d = 13MHz 3d = 16MHz 4d = 19.2MHz 5d = 19.68MHz 6d = 24MHz 7d = 24.576MHz
4	PASI_CNT_CFG	R/W	0b	プライマリ ASI コントローラまたはターゲット構成 0d = ターゲット構成のプライマリ ASI 1d = コントローラ構成のプライマリ ASI
3	SASI_CNT_CFG	R/W	0b	セカンダリ ASI コントローラまたはターゲット構成 0d = ターゲット構成のセカンダリ ASI 1d = コントローラ構成のセカンダリ ASI
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	FS_MODE	R/W	0b	サンプル レート設定(デバイスがコントローラ モードのときに有効)。これは PASI と SASI の両方に適用できます。 0D = サンプリング レートは 48kHz の倍数(または倍数未満) 1d = サンプリング レートは 44.1kHz の倍数(または倍数未満)

7.1.1.41 CNT_CLK_CFG3 レジスタ (アドレス = 0x38) [リセット = 0x00]

CNT_CLK_CFG3 を表 7-43 に示します。

概略表に戻ります。

このレジスタはコントローラ モード クロック構成レジスタ 3 です。

表 7-43. CNT_CLK_CFG3 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	PASI_USE_INT_BCLK_F_OR_FSYNC	R/W	0b	コントローラ モード構成中は、PASI での FSYNC 生成に内部 BCLK を使用します。 0d = FSYNC 生成には外部 BCLK を使用 1d = FSYNC 生成には内部 BCLK を使用

表 7-43. CNT_CLK_CFG3 レジスタのフィールドの説明(続き)

ピット	フィールド	タイプ	リセット	説明
6	PASI_INV_BCLK_FOR_F_SYNC	R/W	0b	コントローラモード構成における PASI FSYNC 生成の場合のみ、PASI BCLK の極性を反転させます。 0d = PASI FSYNC 生成のための PASI BCLK の極性を反転しない 1d = PASI FSYNC 生成のための PASI BCLK の極性を反転させる
5-0	PASI_BCLK_FS_RATIO_MSB[5:0]	R/W	000000b	コントローラモードにおけるプライマリ ASI BCLK 対 FSYNC 比の MSB ビット。

7.1.1.42 CNT_CLK_CFG4 レジスタ(アドレス = 0x39) [リセット = 0x00]

CNT_CLK_CFG4 を表 7-44 に示します。

概略表に戻ります。

このレジスタはコントローラモードクロック構成レジスタ4です。

表 7-44. CNT_CLK_CFG4 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-0	PASI_BCLK_FS_RATIO_L_SSB[7:0]	R/W	00000000b	コントローラモードのプライマリ ASI BCLK 対 F SYNC 比の LSB バイト。

7.1.1.43 CNT_CLK_CFG5 レジスタ(アドレス = 0x3A) [リセット = 0x00]

CNT_CLK_CFG5 を表 7-45 に示します。

概略表に戻ります。

このレジスタはコントローラモードクロック構成レジスタ5です。

表 7-45. CNT_CLK_CFG5 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	SASI_USE_INT_BCLK_F_OR_FSYNC	R/W	0b	コントローラモード構成中は、SASI での FSYNC 生成に内部 BCLK を使用します。 0d = FSYNC 生成には外部 BCLK を使用 1d = FSYNC 生成には内部 BCLK を使用
6	SASI_INV_BCLK_FOR_F_SYNC	R/W	0b	コントローラモード構成における SASI FSYNC 生成の場合のみ、SASI BCLK の極性を反転させます。 0d = SASI FSYNC 生成のための SASI BCLK の極性を反転しない 1d = SASI FSYNC 生成のための SASI BCLK の極性を反転させる
5-0	SASI_BCLK_FS_RATIO_MSB[5:0]	R/W	000000b	コントローラモードでのセカンダリ ASI BCLK 対 FSYNC 比の MSB ビット。

7.1.1.44 CNT_CLK_CFG6 レジスタ(アドレス = 0x3B) [リセット = 0x00]

CNT_CLK_CFG6 を表 7-46 に示します。

概略表に戻ります。

このレジスタはコントローラモードクロック構成レジスタ6です。

表 7-46. CNT_CLK_CFG6 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-0	SASI_BCLK_FS_RATIO_LSB[7:0]	R/W	00000000b	コントローラモードでのセカンダリ ASI BCLK 対 FSYNC 比の LSB バイト。

7.1.1.45 CLK_ERR_STS0 レジスタ (アドレス = 0x3C) [リセット = 0x00]

CLK_ERR_STS0 を表 7-47 に示します。

概略表に戻ります。

このレジスタはクロック エラーおよびステータス レジスタ 0 です。

表 7-47. CLK_ERR_STS0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	DSP_CLK_ERR	R	0b	FSYNC と選択したクロック ソースとの比率エラーを示すフラグ。 0d = 比率誤差なし 1d = プライマリまたはセカンダリ ASI FSYNC と選択されたクロック ソース間の比率エラー
6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4	SRC_RATIO_ERR	R	0b	SRC m:n 比がサポートされていないことを示すフラグ。(カスタム m/n 比構成では無効)。 0d = m:n 比率をサポート 1d = サポートしていない m:n 比率エラー
3	DEM_RATE_ERR	R	0b	クロック構成が有効な DEM レートを許可していないことを示すフラグ。 0d = DEM クロック レート エラーなし 1d = 選択されたクロック構成で DEM クロック レート エラー
2	PDM_CLK_ERR	R	0b	クロック構成が有効な PDM クロック生成を許可していないことを示すフラグ。 0d = 選択されたクロック構成で PDM クロック生成エラーなし 1d = 選択されたクロック構成で PDM クロック生成エラー
1	RESET_ON_CLK_STOP_DET_STS	R	0b	オーディオ クロック ソースが 1 ミリ秒以上停止したことを示すフラグ。 0d = オーディオ クロック ソース エラーなし 1d = オーディオ クロック ソースが 1ms 以上停止
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.46 CLK_ERR_STS1 レジスタ (アドレス = 0x3D) [リセット = 0x00]

CLK_ERR_STS1 を表 7-48 に示します。

概略表に戻ります。

このレジスタはクロック エラーおよびステータス レジスタ 1 です。

表 7-48. CLK_ERR_STS1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PASI_BCLK_FS_RATIO_ERR	R	0b	PASI bclk fsync 比率エラーを示すフラグ。 0d = 選択されたクロック構成で PASI bclk Fsync 比エラーなし 1d = PASI bclk Fsync 比エラー
6	SASI_BCLK_FS_RATIO_ERR	R	0b	SASI bclk fsync 比率エラーを示すフラグ。 0d = 選択されたクロック構成で SASI bclk Fsync 比エラーなし 1d = SASI bclk Fsync 比エラー
5	CLK_FS_RATIO_ERR	R	0b	CCLK fsync 比エラーを示すフラグ。 0d = CCLK fsync 比エラーなし 1d = Cclk Fsync 比エラー
4	PASI_FS_ERR	R	0b	PASI FS レート変更または停止エラーを示すフラグ。 0d = PASI FS エラーなし 1d = PASI FS レートの変化または停止を検出
3	SASI_FS_ERR	R	0b	SASI FS レート変更または停止エラーを示すフラグ。 0d = SASI FS エラーなし 1d = SASI FS レートの変化または停止を検出

表 7-48. CLK_ERR_STS1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2-0	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

7.1.1.47 CLK_DET_STS0 レジスタ (アドレス = 0x3E) [リセット = 0x00]

CLK_DET_STS0 を表 7-49 に示します。

概略表に戻ります。

このレジスタはクロック比検出レジスタ 0 です。

表 7-49. CLK_DET_STS0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	PASI_SAMP_RATE_STS[5:0]	R	000000b	プライマリ ASI サンプル レート検出ステータス。 0d = 予約済み 1d = 768000 (670320-791040) 2d = 614400 (536256-632832) 3d = 512000 (446880-527360) 4d = 438857 (383040-452022) 5d = 384000 (335160-395520) 6d = 341333 (297920-351573) 7d = 307200 (268128-316416) 8d = 256000 (223440-263680) 9d = 219429 (191520-226011) 10d = 192000 (167580-197760) 11d = 170667 (148960-175786) 12d = 153600 (134064-158208) 13d = 128000 (111720-131840) 14d = 109714 (95760-113005) 15d = 96000 (83790-98880) 16d = 85333 (74480-87893) 17d = 76800 (67032-79104) 18d = 64000 (55860-65920) 19d = 54857 (47880-56502) 20d = 48000 (41895-49440) 21d = 42667 (37240-43946) 22d = 38400 (33516-39552) 23d = 32000 (27930-32960) 24d = 27429 (23940-28251) 25d = 24000 (20947-24720) 26d = 21333 (18620-21973) 27d = 19200 (16758-19776) 28d = 16000 (13965-16480) 29d = 13714 (11970-14125) 30d = 12000 (10473-12360) 31d = 10667 (9310-10986) 32d = 9600 (8379-9888) 33d = 8000 (6982-8240) 34d = 6857 (5985-7062) 35d = 6000 (5236-6180) 36d = 5333 (4655-5493) 37d = 4800 (4189-4944) 38d = 4000 (3491-4120) 39d = 3429 (2992-3531) 40d = 3000 (2618-3090) 41d-63d = 予約済み
1-0	PLL_MODE_STS[1:0]	R	00b	PLL の使用状況ステータス。 0D = 整数モードで使用される PLL 1d = 分数モードで PLL を使用 2d = PLL は使用されない 3d = 予約済み

7.1.1.48 CLK_DET_STS1 レジスタ (アドレス = 0x3F) [リセット = 0x00]

CLK_DET_STS1 を表 7-50 に示します。

概略表に戻ります。

このレジスタはクロック比検出レジスタ 1 です。

表 7-50. CLK_DET_STS1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	SASI_SAMP_RATE_STS[5:0]	R	000000b	セカンダリ ASI サンプル レート検出ステータス。 0d = 予約済み 1d = 768000 (670320-791040) 2d = 614400 (536256-632832) 3d = 512000 (446880-527360) 4d = 438857 (383040-452022) 5d = 384000 (335160-395520) 6d = 341333 (297920-351573) 7d = 307200 (268128-316416) 8d = 256000 (223440-263680) 9d = 219429 (191520-226011) 10d = 192000 (167580-197760) 11d = 170667 (148960-175786) 12d = 153600 (134064-158208) 13d = 128000 (111720-131840) 14d = 109714 (95760-113005) 15d = 96000 (83790-98880) 16d = 85333 (74480-87893) 17d = 76800 (67032-79104) 18d = 64000 (55860-65920) 19d = 54857 (47880-56502) 20d = 48000 (41895-49440) 21d = 42667 (37240-43946) 22d = 38400 (33516-39552) 23d = 32000 (27930-32960) 24d = 27429 (23940-28251) 25d = 24000 (20947-24720) 26d = 21333 (18620-21973) 27d = 19200 (16758-19776) 28d = 16000 (13965-16480) 29d = 13714 (11970-14125) 30d = 12000 (10473-12360) 31d = 10667 (9310-10986) 32d = 9600 (8379-9888) 33d = 8000 (6982-8240) 34d = 6857 (5985-7062) 35d = 6000 (5236-6180) 36d = 5333 (4655-5493) 37d = 4800 (4189-4944) 38d = 4000 (3491-4120) 39d = 3429 (2992-3531) 40d = 3000 (2618-3090) 41d-63d = 予約済み
1-0	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

7.1.1.49 CLK_DET_STS2 レジスタ (アドレス = 0x40) [リセット = 0x00]

CLK_DET_STS2 を表 7-51 に示します。

概略表に戻ります。

このレジスタはクロック比検出レジスタ 2 です。

表 7-51. CLK_DET_STS2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
5-0	FS_CLKSRC_RATIO_DE_T_MSB_STS[5:0]	R	000000b	プライマリ ASI またはセカンダリ ASI の MSB ビットとクロックソースの比率が検出された FSYNC。

7.1.1.50 CLK_DET_STS3 レジスタ (アドレス = 0x41) [リセット = 0x00]

CLK_DET_STS3 を表 7-52 に示します。

概略表に戻ります。

このレジスタはクロック比検出レジスタ 3 です。

表 7-52. CLK_DET_STS3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	FS_CLKSRC_RATIO_DE_T_LSB_STS[7:0]	R	00000000b	プライマリ ASI またはセカンダリ ASI の MSB ビットとクロックソースの比率が検出された LSB

7.1.1.51 INT_CFG レジスタ (アドレス = 0x42) [リセット = 0x00]

INT_CFG を表 7-53 に示します。

概略表に戻ります。

このレジスタは割り込み構成レジスタです。

表 7-53. INT_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_POL	R/W	0b	割り込み極性。 0b = アクティブ Low (IRQZ) 1b = アクティブ High(IRQ)
6-5	INT_EVENT[1:0]	R/W	00b	割り込みイベントの設定。 0d = INT は、マスクされていないラッチされた割り込みイベントが発生するとアサート 1d = マスクされていない状態でのライブ割り込みイベント時に INT がアサート 2d = INT は、マスクされていないラッチされた割り込みイベントが発生するごとに、2 ミリ秒 (標準) 間アサート 3d = INT は、マスクされていない割り込みイベントが発生するたびに、各パルスで 2 ミリ秒 (標準) 間、1 回アサート
4-3	PD_ON_FLT_CFG[1:0]	R/W	00b	chx と micbias の故障時の電源オフ構成。 0d = パワーダウンのフォルトは考慮されない 1d = マスクされていないフォルトのみがパワーダウンと見なされる 2d = すべてのフォルトはパワーダウンと見なされる 3d = 予約済み
2	LTCH_READ_CFG	R/W	0b	ラッ奇 レジスタの読み出し構成を中断。 0b = すべての割り込みを LTCH レジスタから読み出すことができる 1b = マスクされていない割り込みのみ LTCH レジスタで読み出すことができる
1	PD_ON_FLT_RCV_CFG	R/W	0b	フォルト時の ADC チャネルのパワーダウン構成 0b = 自動復帰、フォルトが解消されたときに ADC チャネルは再び電源オンになります 1b = 手動で回復、フォルトが解消されても ADC チャネルは再電源オンになりません

表 7-53. INT_CFG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	LTCH_CLR_ON_READ	R/W	0b	LTCH レジスタビットのクリア用 Cfgn 0 = LTCH reg ビットは、ライブ ステータスがゼロの場合にのみ、reg 読み取り時にクリアされます 1 = LTCH reg ビットは、ライブ ステータスに関係なく、reg 読み取り時にクリアされます

7.1.1.52 ADC_MISC_CFG レジスタ (アドレス = 0x4B) [リセット = 0x00]

ADC_MISC_CFG を表 7-54 に示します。

概略表に戻ります。

このレジスタは ADC 過負荷応答構成レジスタです。過負荷復帰フェーズで ADC チャネルをミュートすることで、可聴アーティファクトを防止できます。過負荷復帰フェーズは、レベルが急激に変化するステップ入力などの入力に対する保護メカニズムです。

表 7-54. ADC_MISC_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4	ADC_CH1_MUTE_ON_O_VRLD	R/W	0b	ADC1 が過負荷復帰フェーズのときに ADC チャネル 1 をミュートする 0b = 無効 1b = 有効
3	ADC_CH2_MUTE_ON_O_VRLD	R/W	0b	ADC2 が過負荷復帰フェーズのときに ADC チャネル 2 をミュートする 0b = 無効 1b = 有効
2-0	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

7.1.1.53 IADC_CFG レジスタ (アドレス = 0x4C) [リセット = 0x5C]

IADC_CFG を表 7-55 に示します。

概略表に戻ります。

このレジスタは IADC 構成レジスタです。

表 7-55. IADC_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	IADC_NSKIP_SEL[1:0]	R/W	01b	IADC NSKIP 構成。 0d = 384 mod clks 1d = 576 mod clks 2d = 896 mod clks 3d = 1024 mod clks 4d = 2048 mod clks 5d = 4096 mod clks 6d-7d = 予約済み
5-4	IADC_NRESET_SEL[1:0]	R/W	01b	IADC NRESET 構成。 0d = 50 mod clks 1d = 75 mod clks 2d = 100 mod clks 3d = 150 mod clks

表 7-55. IADC_CFG レジスタ フィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
3-2	IADC_OSR_SEL[1:0]	R/W	11b	IADC OSR 選択設定。 0d = 32 1d = 64 2d = 96 3d = 128
1-0	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

7.1.1.54 VREF_MICBIAS_CFG レジスタ (アドレス = 0x4D) [リセット = 0x00]VREF_MICBIAS_CFG を [表 7-56](#) に示します。[概略表](#)に戻ります。

このレジスタは VREF および MICBIAS の構成レジスタです。

表 7-56. VREF_MICBIAS_CFG レジスタ フィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-5	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
4	MICBIAS_TRIM_LDO_GAIN	R/W	0b	MICBIAS 出力設定 0d = LDO ゲイン = 1 1d = LDO ゲイン = 1.096
3-2	MICBIAS_VAL[1:0]	R/W	00b	MICBIAS 出力設定 0d = マイクロフォンのバイアスを VREF に設定 1d = マイクロフォンのバイアスを VREF/2 に設定 (VREF_FSCALE 0 または 1 設定でのみ有効) 2d = 予約済み 3d = マイクロフォンのバイアス出力は AVDD にバイパス
1-0	VREF_FSCALE[1:0]	R/W	00b	VREF/フルスケール設定 (使用する AVDD 最小電圧に基づいて構成する必要があります) 0d = 差動入力の場合は $2V_{RMS}$ またはシングルエンド入力の場合は $1V_{RMS}$ サポートするために VREF を 2.75V に設定 1d = VREF を 2.5V に設定して、差動入力の場合は $1.818 V_{RMS}$ 、シングルエンド入力の場合は $0.909 V_{RMS}$ をサポート 2d = 差動入力の場合は $1V_{RMS}$ 、シングルエンド入力の場合は $0.5V_{RMS}$ をサポートするために VREF を 1.375V に設定 3d = 予約済み

7.1.1.55 PWR_TUNE_CFG0 レジスタ (アドレス = 0x4E) [リセット = 0x00]PWR_TUNE_CFG0 を [表 7-57](#) に示します。[概略表](#)に戻ります。

このレジスタは、パワートーン設定用の構成レジスタ 0 です。

表 7-57. PWR_TUNE_CFG0 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	ADC_CLK_BY2_MODE	R/W	0b	ADC MOD CLK の選択構成。 0d = MOD CLK 3MHz 1d = MOD CLK 1.5MHz
6	ADC_CIC_ORDER	R/W	0b	ADC CIC 注文の構成。 0d = 5 次 CIC 1d = 4 次 CIC

表 7-57. PWR_TUNE_CFG0 レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
5	ADC_FIR_BYPASS	R/W	0b	ADC FIR バイパス構成。 0d = バイパスのディセーブル 1d = バイパスのイネーブル
4	ADC_DEM_RATE_OVRD	R/W	0b	ADC DEM レートオーバーライド設定。 0d = デフォルト 1d = 2x
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2	ADC_LOW_PWR_FILT	R/W	0b	ADC の低消費電力フィルタ構成 0d = ディスエーブル 1d = イネーブル
1-0	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

7.1.1.56 ADC_CH1_CFG0 レジスタ (アドレス = 0x50) [リセット = 0x00]

ADC_CH1_CFG0 を表 7-58 に示します。

概略表に戻ります。

このレジスタは ADC チャネル 1 の構成レジスタ 0 です。

表 7-58. ADC_CH1_CFG0 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-6	ADC_CH1_INSRC[1:0]	R/W	00b	ADC チャネル 1 入力構成。 0d = アナログ差動入力 1d = アナログ シングル エンド入力 2d = アナログ シングルエンド マルチブレクサ INP1 入力 3d = アナログ シングルエンド マルチブレクサ INM1 入力
5-4	ADC_CH1_IMP[1:0]	R/W	00b	ADC チャネル 1 入力インピーダンス (アナログ入力に適用可能)。 0d = 標準 5kΩ 入力インピーダンス (4Vrms の場合は 10kΩ) 1d = 標準 10kΩ 入力インピーダンス 2d = 標準 40kΩ 入力インピーダンス 3d = 予約済み
3-2	ADC_CH1_CM_TOL[1:0]	R/W	00b	ADC チャネル 1 入力カッピング (アナログ入力に適用可能)。 0d = AC 結合入力、同相変動許容差サポート (シングル エンドで 50mVpp、差動構成で 100mVpp) 1d = AC 結合 / DC 結合入力、同相変動許容差サポート (シングル エンドで 500mVpp、差動構成で 1Vpp) 2d = AC 結合 / DC 結合入力、レールツー レールの同相変動許容差サポート (電源からグランドまで) (高 CMRR 許容モード) 3d = 予約済み
1	ADC_CH1_FULLSCALE_VAL	R/W	0b	ADC チャネル 1 VREF = 2.75V の場合のフルスケール値 (アナログ入力に適用可能)。 0d = 2Vrms 差動 (シングル エンド動作では 1Vrms) 1d = 4Vrms 差動 (シングル エンド動作では 2Vrms) (AC 結合の構成の場合、入力同相に外部バイアスが必要で、このモードは同相変動許容レールツー レールでサポート) (2.75VREF のみ対応、オーディオ帯域幅モードでのみサポート)
0	ADC_CH1_BW_MODE	R/W	0b	ADC チャネル 1 の帯域幅選択。カッピング (アナログ入力に適用可能)。 0d = オーディオ帯域幅 (24kHz モード) 1d = 広帯域幅 (96kHz モード) (40kΩ 入力インピーダンス ケースのみサポート)

7.1.1.57 IADC_CH_CFG レジスタ (アドレス = 0x51) [リセット = 0x00]

IADC_CH_CFG を表 7-59 に示します。

概略表に戻ります。

このレジスタは、IADC モードの ADC チャネルの構成レジスタです。

表 7-59. IADC_CH_CFG レジスタ フィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	IADC_EN	R/W	0b	IADC イネーブル構成。 0d = IADC は無効 1d = IADC は有効
6-5	IADC_MODE[1:0]	R/W	00b	IADC モード構成。(シングルチャネルモードチャネル選択の場合、ADC_INSRC_SE_MUX 構成により制御されます) 0d = ワンショットシングルチャネル 1d = ワンショットマルチチャネル 2d = シーケンシャルシングルチャネル 3d = シーケンシャルマルチチャネル
4	IADC_CONVST_ONESHOT	R/W	0b	IADC 変換から 1 つの短い構成が開始されます。 0d = 変換なし 1d = ワンショット変換を開始します
3	IADC_STOP_SEQ_CONV	R/W	0b	IADC 停止シーケンシャル変換構成。 0d = シーケンシャル変換を実行中 1d = シーケンシャル変換を停止します
2	IADC_ONESHOT_CONV_DONE_STS	R	0b	IADC ワンショット変換完了構成。 0d = 変換が完了していない 1d = ワンショット変換が完了
1-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.58 ADC_CH1_CFG2 レジスタ (アドレス = 0x52) [リセット = 0xA1]

ADC_CH1_CFG2 を表 7-60 に示します。

概略表に戻ります。

このレジスタは ADC チャネル 1 の構成レジスタ 2 です。

表 7-60. ADC_CH1_CFG2 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-0	ADC_CH1_DVOL[7:0]	R/W	10100001b	チャネル 1 デジタルボリューム制御。 0d = デジタルボリュームはミュート 1d = デジタルボリュームコントロールは -80dB に設定 2d = デジタルボリュームコントロールは -79.5dB に設定 3d ~ 160d = デジタルボリュームコントロールは設定に従って設定 161d = デジタルボリュームコントロールを 0dB に設定 162d = デジタルボリュームコントロールを 0.5dB に設定 163d ~ 253d = デジタルボリュームコントロールは設定に従って設定 254d = デジタルボリュームコントロールは 46.5dB に設定 255d = デジタルボリュームコントロールを 47dB に設定

7.1.1.59 ADC_CH1_CFG3 レジスタ (アドレス = 0x53) [リセット = 0x80]

ADC_CH1_CFG3 を表 7-61 に示します。

概略表に戻ります。

このレジスタは ADC チャネル 1 の構成レジスタ 3 です。

表 7-61. ADC_CH1_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	ADC_CH1_FGAIN[3:0]	R/W	1000b	ADC チャネル 1 の微調整ゲイン較正。 0d = 微調整ゲインを -0.8dB に設定 1d = 微調整ゲインを -0.7dB に設定 2d = 微調整ゲインを -0.6dB に設定 3d ~ 7d = 微調整ゲインを構成どおりに設定 8d = 微調整ゲインを 0dB に設定 9d = 微調整ゲインを 0.1dB に設定 10d ~ 13d = 微調整ゲインを設定どおりに設定 14d = 微調整ゲインを 0.6dB に設定 15d = 微調整ゲインを 0.7dB に設定
3-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.60 ADC_CH1_CFG4 レジスタ (アドレス = 0x54) [リセット = 0x00]

ADC_CH1_CFG4 を表 7-62 に示します。

[概略表](#)に戻ります。

このレジスタは ADC チャネル 1 の構成レジスタ 4 です。

表 7-62. ADC_CH1_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	ADC_CH1_PCAL[5:0]	R/W	000000b	変調器クロック分解能による ADC チャネル 1 位相較正。 0d = 位相キャリブレーションなし 1d = 変調器クロックの 1 サイクルに位相キャリブレーション遅延を設定 2d = 位相キャリブレーション遅延は変調器クロックの 2 サイクルに設定 3d~62d = 設定による位相キャリブレーション遅延 63d = 位相キャリブレーション遅延は変調器クロックの 63 サイクルに設定
1-0	PCAL_ANA_DIG_SEL[1:0]	R/W	00b	PCAL サポートの設定。 0d = Pcal(アナログ / デジタル両対応) 1d = アナログのみの Pcal 2D = デジタルのみの Pcal 3d = 予約済み

7.1.1.61 ADC_CH2_CFG0 レジスタ (アドレス = 0x55) [リセット = 0x00]

ADC_CH2_CFG0 を表 7-63 に示します。

[概略表](#)に戻ります。

このレジスタは ADC チャネル 2 の構成レジスタ 0 です。

表 7-63. ADC_CH2_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	ADC_CH2_INSRC[1:0]	R/W	00b	ADC チャネル 2 入力構成。 0d = アナログ差動入力 1d = アナログ シングルエンド入力 2d = アナログ シングルエンド マルチプレクサ INP2 入力 3d = アナログ シングルエンド マルチプレクサ INM2 入力

表 7-63. ADC_CH2_CFG0 レジスタのフィールドの説明(続き)

ビット	フィールド	タイプ	リセット	説明
5-4	ADC_CH2_IMP[1:0]	R/W	00b	ADC チャネル 2 入力インピーダンス(アナログ入力に適用可能)。 0d = 標準 $5\text{k}\Omega$ 入力インピーダンス (4Vrms の場合は $10\text{k}\Omega$) 1d = 標準 $10\text{k}\Omega$ 入力インピーダンス 2d = 標準 $40\text{k}\Omega$ 入力インピーダンス 3d = 予約済み
3-2	ADC_CH2_CM_TOL[1:0]	R/W	00b	ADC チャネル 2 入力カッピング(アナログ入力に適用可能)。 0d = AC 結合入力、同相変動許容差サポート(シングル エンドで 50mVpp 、差動構成で 100mVpp) 1d = AC 結合 / DC 結合入力、同相変動許容差サポート(シングル エンドで 500mVpp 、差動構成で 1Vpp) 2d = AC 結合 / DC 結合入力、レールツー レールの同相変動許容差サポート(電源からグランドまで)(高 CMRR 許容モード) 3d = 予約済み
1	ADC_CH2_FULLSCALE_VAL	R/W	0b	ADC チャネル 2 VREF = 2.75V の場合のフルスケール値(アナログ入力に適用可能)。 0d = 2Vrms 差動(シングル エンド動作では 1Vrms) 1d = 4Vrms 差動(シングル エンド動作では 2Vrms) (AC 結合の構成の場合、入力同相に外部バイアスが必要で、このモードは同相変動許容レールツー レールでサポート) (2.75VREF のみ対応、オーディオ帯域幅モードでのみサポート)
0	ADC_CH2_BW_MODE	R/W	0b	ADC チャネル 2 の帯域幅選択。カッピング(アナログ入力に適用可能)。 0d = オーディオ帯域幅 (24kHz モード) 1d = 広帯域幅 (96kHz モード) ($40\text{k}\Omega$ 入力インピーダンス ケースのみサポート)

7.1.1.62 ADC_CH2_CFG2 レジスタ(アドレス = 0x57) [リセット = 0xA1]

ADC_CH2_CFG2 を表 7-64 に示します。

概略表に戻ります。

このレジスタは ADC チャネル 2 の構成レジスタ 2 です。

表 7-64. ADC_CH2_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	ADC_CH2_DVOL[7:0]	R/W	10100001b	チャネル 1 デジタル ボリューム制御。 0d = デジタル ボリュームはミュート 1d = デジタル ボリューム コントロールは -80dB に設定 2d = デジタル ボリューム コントロールは -79.5dB に設定 3d ~ 160d = デジタル ボリューム コントロールは設定に従って設定 161d = デジタル ボリューム コントロールを 0dB に設定 162d = デジタル ボリューム コントロールを 0.5dB に設定 163d ~ 253d = デジタル ボリューム コントロールは設定に従って設定 254d = デジタル ボリューム コントロールは 46.5dB に設定 255d = デジタル ボリューム コントロールを 47dB に設定

7.1.1.63 ADC_CH2_CFG3 レジスタ(アドレス = 0x58) [リセット = 0x80]

ADC_CH2_CFG3 を表 7-65 に示します。

概略表に戻ります。

このレジスタは、ADC チャネル 2 の構成レジスタ 3 です。

表 7-65. ADC_CH2_CFG3 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-4	ADC_CH2_FGAIN[3:0]	R/W	1000b	ADC チャネル 2 微調整ゲイン較正。 0d = 微調整ゲインを -0.8dB に設定 1d = 微調整ゲインを -0.7dB に設定 2d = 微調整ゲインを -0.6dB に設定 3d ~ 7d = 微調整ゲインを構成どおりに設定 8d = 微調整ゲインを 0dB に設定 9d = 微調整ゲインを 0.1dB に設定 10d ~ 13d = 微調整ゲインを設定どおりに設定 14d = 微調整ゲインを 0.6dB に設定 15d = 微調整ゲインを 0.7dB に設定
3-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.64 ADC_CH2_CFG4 レジスタ (アドレス = 0x59) [リセット = 0x00]

ADC_CH2_CFG4 を表 7-66 に示します。

概略表に戻ります。

このレジスタは、ADC チャネル 2 の構成レジスタ 4 です。

表 7-66. ADC_CH2_CFG4 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-2	ADC_CH2_PCAL[5:0]	R/W	000000b	変調器クロック分解能による、ADC チャネル 2 の位相較正。 0d = 位相キャリブレーションなし 1d = 変調器クロックの 1 サイクルに位相キャリブレーション遅延を設定 2d = 位相キャリブレーション遅延は変調器クロックの 2 サイクルに設定 3d~62d = 設定による位相キャリブレーション遅延 63d = 位相キャリブレーション遅延は変調器クロックの 63 サイクルに設定
1-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.65 ADC_CH3_CFG0 レジスタ (アドレス = 0x5A) [リセット = 0x00]

ADC_CH3_CFG0 を表 7-67 に示します。

概略表に戻ります。

このレジスタは ADC チャネル 3 の構成レジスタ 0 です。

表 7-67. ADC_CH3_CFG0 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	ADC_CH3_CLONE	R/W	0b	ADC チャネル 3 入力構成。 0d = クローンが無効 1d = チャネル 3 のデジタル フィルタ入力は、チャネル 1 のデジタル フィルタ入力(クローン入力)と同じものを生成
6-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.66 ADC_CH3_CFG2 レジスタ (アドレス = 0x5B) [リセット = 0xA1]

ADC_CH3_CFG2 を表 7-68 に示します。

概略表に戻ります。

このレジスタは ADC チャネル 3 の構成レジスタ 2 です。

表 7-68. ADC_CH3_CFG2 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-0	ADC_CH3_DVOL[7:0]	R/W	10100001b	チャネル 3 デジタル ボリューム制御。 0d = デジタル ボリュームはミュート 1d = デジタル ボリューム コントロールは -80dB に設定 2d = デジタル ボリューム コントロールは -79.5dB に設定 3d ~ 160d = デジタル ボリューム コントロールは設定に従って設定 161d = デジタル ボリューム コントロールを 0dB に設定 162d = デジタル ボリューム コントロールを 0.5dB に設定 163d ~ 253d = デジタル ボリューム コントロールは設定に従って設定 254d = デジタル ボリューム コントロールは 46.5dB に設定 255d = デジタル ボリューム コントロールを 47dB に設定

7.1.1.67 ADC_CH3_CFG3 レジスタ (アドレス = 0x5C) [リセット = 0x80]

ADC_CH3_CFG3 を表 7-69 に示します。

概略表に戻ります。

このレジスタは ADC チャネル 3 の構成レジスタ 3 です。

表 7-69. ADC_CH3_CFG3 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-4	ADC_CH3_FGAIN[3:0]	R/W	1000b	ADC チャネル 3 の微調整ゲイン較正。 0d = 微調整ゲインを -0.8dB に設定 1d = 微調整ゲインを -0.7dB に設定 2d = 微調整ゲインを -0.6dB に設定 3d ~ 7d = 微調整ゲインを構成どおりに設定 8d = 微調整ゲインを 0dB に設定 9d = 微調整ゲインを 0.1dB に設定 10d ~ 13d = 微調整ゲインを設定どおりに設定 14d = 微調整ゲインを 0.6dB に設定 15d = 微調整ゲインを 0.7dB に設定
3-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.68 ADC_CH3_CFG4 レジスタ (アドレス = 0x5D) [リセット = 0x00]

ADC_CH3_CFG4 を表 7-70 に示します。

概略表に戻ります。

このレジスタは ADC チャネル 3 の構成レジスタ 4 です。

表 7-70. ADC_CH3_CFG4 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-2	ADC_CH3_PCAL[5:0]	R/W	000000b	変調器クロック分解能による ADC チャネル 3 位相較正。 0d = 位相キャリブレーションなし 1d = 変調器クロックの 1 サイクルに位相キャリブレーション遅延を設定 2d = 位相キャリブレーション遅延は変調器クロックの 2 サイクルに設定 3d~62d = 設定による位相キャリブレーション遅延 63d = 位相キャリブレーション遅延は変調器クロックの 63 サイクルに設定
1-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.69 ADC_CH4_CFG0 レジスタ (アドレス = 0x5E) [リセット = 0x00]

ADC_CH4_CFG0 を表 7-71 に示します。

[概略表](#)に戻ります。

このレジスタは、ADC チャネル 4 の構成レジスタ 0 です。

表 7-71. ADC_CH4_CFG0 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	ADC_CH4_CLONE	R/W	0b	ADC チャネル 4 入力構成。 0d = クローンが無効 1d = チャネル 4 のデジタル フィルタ入力は、チャネル 2 のデジタル フィルタ入力(クローン入力)と同じものを生成
6-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.70 ADC_CH4_CFG2 レジスタ (アドレス = 0x5F) [リセット = 0xA1]

ADC_CH4_CFG2 を表 7-72 に示します。

[概略表](#)に戻ります。

このレジスタは ADC チャネル 4 の構成レジスタ 2 です。

表 7-72. ADC_CH4_CFG2 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-0	ADC_CH4_DVOL[7:0]	R/W	10100001b	チャネル 4 デジタル ボリューム制御。 0d = デジタル ボリュームはミュート 1d = デジタル ボリューム コントロールは -80dB に設定 2d = デジタル ボリューム コントロールは -79.5dB に設定 3d ~ 160d = デジタル ボリューム コントロールは設定に従って設定 161d = デジタル ボリューム コントロールを 0dB に設定 162d = デジタル ボリューム コントロールを 0.5dB に設定 163d ~ 253d = デジタル ボリューム コントロールは設定に従って設定 254d = デジタル ボリューム コントロールは 46.5dB に設定 255d = デジタル ボリューム コントロールを 47dB に設定

7.1.1.71 ADC_CH4_CFG3 レジスタ (アドレス = 0x60) [リセット = 0x80]

ADC_CH4_CFG3 を表 7-73 に示します。

[概略表](#)に戻ります。

このレジスタは ADC チャネル 4 の構成レジスタ 3 です。

表 7-73. ADC_CH4_CFG3 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-4	ADC_CH4_FGAIN[3:0]	R/W	1000b	ADC チャネル 4 微調整ゲイン較正。 0d = 微調整ゲインを -0.8dB に設定 1d = 微調整ゲインを -0.7dB に設定 2d = 微調整ゲインを -0.6dB に設定 3d ~ 7d = 微調整ゲインを構成どおりに設定 8d = 微調整ゲインを 0dB に設定 9d = 微調整ゲインを 0.1dB に設定 10d ~ 13d = 微調整ゲインを設定どおりに設定 14d = 微調整ゲインを 0.6dB に設定 15d = 微調整ゲインを 0.7dB に設定
3-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.72 ADC_CH4_CFG4 レジスタ (アドレス = 0x61) [リセット = 0x00]

ADC_CH4_CFG4 を表 7-74 に示します。

概略表に戻ります。

このレジスタは ADC チャネル 4 の構成レジスタ 4 です。

表 7-74. ADC_CH4_CFG4 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-2	ADC_CH4_PCAL[5:0]	R/W	000000b	変調器クロック分解能による、ADC チャネル 4 の位相較正。 0d = 位相キャリブレーションなし 1d = 変調器クロックの 1 サイクルに位相キャリブレーション遅延を設定 2d = 位相キャリブレーション遅延は変調器クロックの 2 サイクルに設定 3d~62d = 設定による位相キャリブレーション遅延 63d = 位相キャリブレーション遅延は変調器クロックの 63 サイクルに設定
1-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.73 ADC_CFG1 レジスタ (アドレス = 0x62) [リセット = 0x00]

ADC_CFG1 を表 7-75 に示します。

概略表に戻ります。

このレジスタは ADC の構成レジスタ 1 です。

表 7-75. ADC_CFG1 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5-4	ADC_PINCM_TRIM[1:0]	R/W	00b	AC 結合モードで ADC チャネルの入力同相電圧を微調整するビットです。以下の抵抗を入力ピンと AVDD の間に接続して、同相電圧にわずかに調整(インクリメント)します 01 = 500k 10 = 250k 11 = 予約済み
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2	ADC_DATA_INVERT	R/W	0b	ADC データを反転するためのビット
1-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.74 DSP_CFG0 レジスタ (アドレス = 0x72) [リセット = 0x18]

DSP_CFG0 を表 7-76 に示します。

概略表に戻ります。

このレジスタはデジタル信号プロセッサ(DSP)構成レジスタ 0 です。

表 7-76. DSP_CFG0 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-6	ADC_DSP_DECI_FILT[1:0]	R/W	00b	ADC チャネル デシメーション フィルタ応答。 0d = リニア位相 1d = 低レイテンシ 2D = 超低レイテンシ 3D = 予約済み、使用不可

表 7-76. DSP_CFG0 レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
5-4	ADC_DSP_HPF_SEL[1:0]	R/W	01b	ADC チャネル ハイパス フィルタ(HPF)の選択。 0d = P10_R120-127 および P11_R8-11 のデフォルト係数値がオールパス フィルタとして設定された、カスタム HPF 用のプログラマブルな一次 IIR フィルタ 1d = HPF はカットオフ周波数 $0.00002 \times f_S$ (1Hz (f_S が 48kHz の場合)) を選択 2d = HPF は、カットオフ周波数 $0.00025 \times f_S$ (12Hz (f_S が 48kHz の場合)) を選択 3d = HPF はカットオフ周波数 $0.002 \times f_S$ (96Hz (f_S = 48kHz)) を選択
3-2	ADC_DSP_BQ_CFG[1:0]	R/W	10b	ADC チャネル構成あたりのバイクワードの数。 0d = チャネルごとにバイクワードなし、バイクワードはすべてディセーブル 1d = チャネルごとに 1 バイクワード 2d = チャネルごとに 2 バイクワード 3d = チャネルごとに 3 バイクワード
1	ADC_DSP_DISABLE_SOFT_STEP	R/W	0b	ADC のソフトステッピング無効化(Dvol 変更、ミュート、およびミュート解除時)。 0d = ソフトステッピングを有効化 1d = ソフトステッピングを無効化
0	ADC_DSP_DVOL GANG	R/W	0b	ADC チャネル全体で一括した DVOL 制御。 0d = 各チャネルには、ADC_CHx_DVOL ビットでプログラムされた固有の DVOL CTRL 設定が存在 1d = すべてのアクティブなチャネルは、チャネル 1 がオンになっているか否かに関わらず、チャネル 1 の DVOL 設定 (ADC_CH1_DVOL) を使用する必要があります

7.1.1.75 CH_EN レジスタ (アドレス = 0x76) [リセット = 0xCC]CH_EN を [表 7-77](#) に示します。

概略表に戻ります。

このレジスタはチャネルライネーブル構成レジスタです。

表 7-77. CH_EN レジスタ フィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	IN_CH1_EN	R/W	1b	入力チャネル 1 のイネーブル設定。 0d = 入力チャネル 1 はディスエーブル 1d = 入力チャネル 1 はイネーブル
6	IN_CH2_EN	R/W	1b	入力チャネル 2 のイネーブル設定。 0d = 入力チャネル 2 はディスエーブル 1d = 入力チャネル 2 はイネーブル
5	IN_CH3_EN	R/W	0b	入力チャネル 3 のイネーブル設定。 0d = 入力チャネル 3 はディスエーブル 1d = 入力チャネル 3 はイネーブル
4	IN_CH4_EN	R/W	0b	入力チャネル 4 のイネーブル設定。 0d = 入力チャネル 4 はディスエーブル 1d = 入力チャネル 4 はイネーブル
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.76 DYN_PUPD_CFG レジスタ (アドレス = 0x77) [リセット = 0x00]

DYN_PUPD_CFG を [表 7-78](#) に示します。

概略表に戻ります。

このレジスタは、ダイナミックパワーアップおよびパワーダウン構成レジスタです。

表 7-78. DYN_PUPD_CFG レジスタ フィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	ADC_DYN_PUPD_EN	R/W	0b	ダイナミックチャネルのパワーアップ、パワーダウンをレコードパスで有効化。 0d = チャネルの電源オン、電源オフは、いずれかのチャネルで録画が実行中の場合はサポートされていません 1d = チャネル録画がオンの場合でも、チャネルは個別にパワーアップまたはパワーダウンできます。
6	ADC_DYN_MAXCH_SEL	R/W	0b	レコードパスのダイナミックモード最大チャネル選択設定。 0d = チャネル 1 とチャネル 2 は、ダイナミックチャネルのパワーアップ、パワーダウン機能が有効になっている状態で使用されます 1d = チャネル 1 からチャネル 4 は、ダイナミックチャネルのパワーアップ、パワーダウン機能が有効になっている状態で使用されます
5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
3	DYN_PUPD_ADC_PDM_DIFF_CLK	R/W	0b	異なる ADC MOD クロックと PDM クロック構成による動的パワーアップ / パワーダウン。 0d = 同じ ADC MOD CLK と動的 PUpd の PDM CLK 1d = 異なる ADC MOD CLK と動的 PUPD の PDM CLK
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	ADC_CH_SWAP	R/W	0b	ADC チャネル交換イネーブル構成。 1d = スワップなし 1d = ADC チャネル 1 と 2 をスワップ
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.77 PWR_CFG レジスタ (アドレス = 0x78) [リセット = 0x00]

PWR_CFG を [表 7-79](#) に示します。

概略表に戻ります。

このレジスタは起動構成レジスタです。

表 7-79. PWR_CFG レジスタ フィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	ADC_PDZ	R/W	0b	ADC と PDM の各チャネルの電源制御。 0d = すべての ADC および PDM チャネルをパワーダウン 1d = 有効なすべての ADC および PDM チャネルをパワーアップ
6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5	MICBIAS_PDZ	R/W	0b	MICBIAS 向け電源制御。 0d = MICBIAS のパワーダウン 1d = MICBIAS のパワーアップ
4	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
3	UARD_EN	R/W	0b	超音波アクティビティ検出(UAD)アルゴリズムを有効にします。 0d = UAD は無効 1d = UAD は有効
2	VAD_EN	R/W	0b	Voice Activity Detection(VAD)アルゴリズムをイネーブルにします。 0d = VAD は無効 1d = VAD は有効

表 7-79. PWR_CFG レジスタ フィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.78 DEV_STS0 レジスタ (アドレス = 0x79) [リセット = 0x00]

DEV_STS0 を表 7-80 に示します。

概略表に戻ります。

このレジスタはデバイスステータス値レジスタ 0 です。

表 7-80. DEV_STS0 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	IN_CH1_STATUS	R	0b	ADC または PDM チャネル 1 の電源ステータス。 0d = ADC または PDM チャネルがパワーダウン 1d = ADC または PDM チャネルがパワーアップ
6	IN_CH2_STATUS	R	0b	ADC または PDM チャネル 2 の電源ステータス。 0d = ADC または PDM チャネルがパワーダウン 1d = ADC または PDM チャネルがパワーアップ
5	IN_CH3_STATUS	R	0b	ADC または PDM チャネル 1 の電源ステータス。 0d = ADC または PDM チャネルがパワーダウン 1d = ADC または PDM チャネルがパワーアップ
4	IN_CH4_STATUS	R	0b	ADC または PDM チャネル 2 の電源ステータス。 0d = ADC または PDM チャネルがパワーダウン 1d = ADC または PDM チャネルがパワーアップ
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.1.79 DEV_STS1 レジスタ (アドレス = 0x7A) [リセット = 0x80]

DEV_STS1 を表 7-81 に示します。

概略表に戻ります。

このレジスタはデバイスステータス値レジスタ 1 です。

表 7-81. DEV_STS1 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-5	MODE_STS[2:0]	R	100b	デバイスのモードステータス。 0-3D = 予約済み 4D = デバイスはスリープモードまたはソフトウェアシャットダウンモード 5d = 予約済み 6d = デバイスはアクティブモードで、すべての録音および再生チャネルがオフ 7d = デバイスは、少なくとも 1 つの録画または再生チャネルがオンになっているアクティブモード
4	PLL_STS	R	0b	PLL のステータス。 0D = PLL はイネーブルなし 1d = PLL はイネーブル

表 7-81. DEV_STS1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	MICBIAS_STS	R	0b	MICBIAS ステータス。 0d = MICBIAS は無効 1d = MICBIAS は有効
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	CHx_PD_FLT_STS	R	0b	INxx アナログ入力フォルト時の PD のステータス 0d = アナログ入力 INxx のフォルト時に ADC チャネルがパワーダウンしていない 1d = アナログ入力 INxx のフォルト時に一部の ADC チャネルがパワーダウン
0	ALL_CHx_PD_FLT_STS	R	0b	OUTxx フォルト時の PD のステータス 0d = フォルトにより ADC チャネルがパワーダウンしていない 1d = フォルトのため一部の ADC チャネルがパワーダウン

7.1.1.80 I2C_CKSUM レジスタ (アドレス = 0x7E) [リセット = 0x00]

I2C_CKSUM を表 7-82 に示します。

概略表に戻ります。

このレジスタは、I²C トランザクションのチェックサム値を返します。

表 7-82. I2C_CKSUM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	I2C_CKSUM[7:0]	R/W	00000000b	これらのビットは、I ² C トランザクションのチェックサム値を返します。このレジスタに書き込むと、チェックサムが書き込んだ値にリセットされます。このレジスタは、すべてのページの他のレジスタへの書き込み時に更新されます。

7.1.2 TAA5212_B0_P1 のレジスタ

TAA5212_B0_P1 レジスタのメモリマップされたレジスタを、表 7-83 に示します。表 7-83 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-83. TAA5212_B0_P1 のレジスタ

アドレス	略称	レジスタ名	リセット値	セクション
0x0	PAGE_CFG	デバイス ページ レジスタ	0x00	セクション 7.1.2.1
0x3	DSP_CFG0	DSP 構成レジスタ 0	0x00	セクション 7.1.2.2
0xD	CLK_CFG0	クロック設定レジスタ 0	0x00	セクション 7.1.2.3
0xE	CHANNEL_CFG1	ADC チャネル構成レジスタ	0x00	セクション 7.1.2.4
0x17	SRC_CFG0	SRC 構成レジスタ 1	0x00	セクション 7.1.2.5
0x18	SRC_CFG1	SRC 構成レジスタ 2	0x00	セクション 7.1.2.6
0x1E	LPAD_CFG1	低消費電力アクティビティ検出構成レジスタ	0x20	セクション 7.1.2.7
0x20	LPAD_CFG	低消費電力アクティビティ検出構成レジスタ	0x00	セクション 7.1.2.8
0x24	AGC_CFG	AGC 構成レジスタ 2	0x00	セクション 7.1.2.9
0x2C	MIXER_CFG0	MIXER 構成レジスタ 0	0x00	セクション 7.1.2.10
0x2F	INT_MASK0	割り込みマスク レジスタ 0	0xFF	セクション 7.1.2.11
0x33	INT_MASK5	割り込みマスク レジスタ 5	0x30	セクション 7.1.2.12
0x34	INT_LTCH0	ラッチ割り込み読み戻しレジスタ 0	0x00	セクション 7.1.2.13
0x38	ADC_CHx_OVRLD	ADC 過負荷故障検出マスク	0x00	セクション 7.1.2.14
0x3B	INT_LTCH2	ラッチ割り込み読み戻しレジスタ 2	0x00	セクション 7.1.2.15
0x3C	INT_LIVE0	ライブ割り込み読み戻しレジスタ 0	0x00	セクション 7.1.2.16
0x43	INT_LIVE2	ライブ割り込み読み戻しレジスタ 2	0x00	セクション 7.1.2.17
0x4E	DIAG_CFG8	周波数診断構成レジスタ 8	0xBA	セクション 7.1.2.18
0x4F	DIAG_CFG9	周波数診断構成レジスタ 9	0x4B	セクション 7.1.2.19

7.1.2.1 PAGE_CFG レジスタ (アドレス = 0x0) [リセット = 0x00]

PAGE_CFG を [表 7-84](#) に示します。

[概略表](#)に戻ります。

デバイスのメモリ マップは複数のページに分かれています。このレジスタはページを設定します。

表 7-84. PAGE_CFG レジスタ フィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-0	PAGE[7:0]	R/W	00000000b	これらのビットは、デバイスのページを設定します。 0d = ページ 0 1d = ページ 1 2d ~ 254d = ページ 2 ~ ページ 254 255d = ページ 255

7.1.2.2 DSP_CFG0 レジスタ (アドレス = 0x3) [リセット = 0x00]

DSP_CFG0 を [表 7-85](#) に示します。

[概略表](#)に戻ります。

このレジスタは、オンザフライ方式のフィルタ更新用の構成レジスタです。

表 7-85. DSP_CFG0 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	EN_BQ_OTF_CHG	R/W	0b	バイクワード設定の実行時変更を有効にします。 0d = オンザフライバイクワード変更を無効化 1d = オンザフライバイクワード変更を有効化

7.1.2.3 CLK_CFG0 レジスタ (アドレス = 0xD) [リセット = 0x00]

CLK_CFG0 を表 7-86 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 0 です。

表 7-86. CLK_CFG0 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	CNT_TGT_CFG_OVR_PA SI	R/W	0b	ASI コントローラ ターゲット構成オーバーライド レジスタ 0d = PASI_CNT_CFG ビットに従うコントローラ ターゲット構成。 1D = PASI_CNT_CFG の標準動作をオーバーライドします。この場合、クロックの自動検出機能は使用できません。 PASI_CNT_CFG = 0:BCLK は入力ですが、FSYNC は出力です。 PASI_CNT_CFG = 1:BCLK は出力ですが、FSYNC は入力です。
6	CNT_TGT_CFG_OVR_SA SI	R/W	0b	ASI コントローラ ターゲット構成オーバーライド レジスタ 0d = SASI_CNT_CFG ビットに従うコントローラ ターゲット構成。 1D = SASI_CNT_CFG の標準動作をオーバーライドします。この場合、クロックの自動検出機能は使用できません。 SASI_CNT_CFG = 0:BCLK は入力ですが、FSYNC は出力です。 SASI_CNT_CFG = 1:BCLK は出力ですが、FSYNC は入力です。
5-3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2	PASI_USE_INT_FSYNC	R/W	0b	コントローラ モード構成でプライマリ内部 FSYNC を使用します。 0d = 外部 FSYNC を使用 1d = 内部 FSYNC を使用
1	SASI_USE_INT_FSYNC	R/W	0b	コントローラ モード構成で内部 FSYNC を二次的に使用する場合。 0d = 外部 FSYNC を使用 1d = 内部 FSYNC を使用
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.2.4 CHANNEL_CFG1 レジスタ (アドレス = 0xE) [リセット = 0x00]

CHANNEL_CFG1 を表 7-87 に示します。

概略表に戻ります。

これは、ADC チャネルのダイナミックパワーオン / パワーオフ構成レジスタです。

表 7-87. CHANNEL_CFG1 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	FORCE_DYN_MODE_CUST_MAX_CH	R/W	0b	ADC 強制ダイナミック モード カスタム最大チャネル 0d = ダイナミック、最大チャネルは ADC_DYN_MAXCH_SEL 1d = ダイナミック モードでは、最大チャネルは DYN_MODE_CUST_MAX_CH としてカスタムです
6-3	DYN_MODE_CUST_MAX_CH[3:0]	R/W	0000b	ADC 動的モード カスタム最大チャネル構成 [3]->CH4_EN [2]->CH3_EN [1]->CH2_EN [0]->CH1_EN
2-0	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

7.1.2.5 SRC_CFG0 レジスタ (アドレス = 0x17) [リセット = 0x00]

SRC_CFG0 を表 7-88 に示します。

概略表に戻ります。

このレジスタは SRC の構成レジスタ 1 です。

表 7-88. SRC_CFG0 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	SRC_EN	R/W	0b	SRC イネーブル構成 0b = SRC を無効化 1b = SRC を有効化
6	DIS_AUTO_SRC_DET	R/W	0b	SRC 自動検出構成 0b = SRC 自動検出が有効 1b = SRC 自動検出が無効
5-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.2.6 SRC_CFG1 レジスタ (アドレス = 0x18) [リセット = 0x00]

SRC_CFG1 を表 7-89 に示します。

概略表に戻ります。

このレジスタは SRC の構成レジスタ 2 です。

表 7-89. SRC_CFG1 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	MAIN_FS_CUSTOM_CFG	R/W	0b	メイン FS カスタム構成 0b = メイン FS が自動推論される 1b = MAIN_FS_SELECT_CFG からメイン Fs を選択する必要があります
6	MAIN_FS_SELECT_CFG	R/W	0b	メイン Fs 選択構成 0b = PASI Fs をメイン Fs として使用 1b = SASI Fs をメイン Fs として使用
5-3	MAIN_AUX_RATIO_M_CUSTOM_CFG[2:0]	R/W	000b	メインおよび補助 Fs 比率 m:n 構成 0d = m は自動推測される 1d = 1 2d = 2 3d = 3 4d = 4 5d = 予約済み 6d = 6 7d = 予約済み

表 7-89. SRC_CFG1 レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
2-0	MAIN_AUX_RATIO_N_C USTOM_CFG[2:0]	R/W	000b	メインおよび補助 Fs 比率 m:n 構成 0d = n は自動推測される 1d = 1 2d = 2 3d = 3 4d = 4 5d = 予約済み 6d = 6 7d = 予約済み

7.1.2.7 LPAD_CFG1 レジスタ (アドレス = 0x1E) [リセット = 0x20]

LPAD_CFG1 を表 7-90 に示します。

概略表に戻ります。

このレジスタは、音声アクティビティ検出または超音波アクティビティ検出設定レジスタ 1 です。

表 7-90. LPAD_CFG1 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-6	LPAD_MODE[1:0]	R/W	00b	自動 ADC のパワーアップ/パワーダウン構成の選択。 0D = ユーザーが開始する ADC パワーアップと ADC パワーダウン 1d = VAD / AD 割り込みに基づく ADC パワーアップおよび ADC パワー ダウン 2d = VAD/AD 割り込みに基づく ADC パワーアップしたが、ユーザーは ADC パワーダウンを開始 3d = 予約済み
5-4	LPAD_CH_SEL[1:0]	R/W	10b	VAD チャネル選択。 0d = チャネル 1 は VAD/AD アクティビティ用に監視されます 1d = チャネル 2 は VAD/AD アクティビティ用に監視されます 2d = チャネル 3 は VAD/AD アクティビティ用に監視されます 3d = チャネル 4 は VAD/AD アクティビティ用に監視されます
3	LPAD_DOUT_INT_CFG	R/W	0b	DOUT 割り込み構成。 0D = 割り込み機能で DOUT ピンをイネーブルにしない 1d = チャネル データが記録されていないときに DOUT ピンをイネーブル にして割り込み出力をサポート
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	LPAD_PD_DET_EN	R/W	0b	VAD/UAD アクティビティ中の ASI 出力データをイネーブルにします。 0D = ADC 記録中 VAD/AD 处理が有効ではない 1d = ADC の記録中 VAD/AD 处理が有効であり、VAD 割り込みは設定さ れたとおりに生成されます
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.2.8 LPAD_CFG レジスタ (アドレス = 0x20) [リセット = 0x00]

LPAD_CFG を表 7-91 に示します。

概略表に戻ります。

このレジスタは、音声アクティビティ検出および超音波アクティビティ検出用の統合構成レジスタです。

表 7-91. LPAD_CFG レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-6	LPAD_CLK_CFG[1:0]	R/W	00b	VAD/UAD のクロック選択 0d = 内部発振器クロックを使用した VAD/UAD 処理 1d = BCLK 入力の外部クロックを使用した VAD/UAD 処理 2d = CCLK 入力の外部クロックを使用した VAD/UAD 処理 3d = ページ 0 の CNT_CFG、CLK_SRC、CLKGEN_CFG レジスタに基づくカスタム クロック構成
5-4	LPAD_EXT_CLK_CFG[1:0]]	R/W	00b	VAD/UAD 用の外部クロックを使用したクロック構成 0d = 外部クロックは 24.576MHz 1d = 予約済み 2d = 外部クロックは 12.288MHz 3d = 外部クロックは 18.432MHz
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1-0	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

7.1.2.9 AGC_CFG レジスタ (アドレス = 0x24) [リセット = 0x00]

AGC_CFG を表 7-92 に示します。

概略表に戻ります。

このレジスタは AGC の構成レジスタです。

表 7-92. AGC_CFG レジスタ フィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	AGC_CH1_EN	R/W	0b	AGC チャネル 1 イネーブル構成 0d = ディスエーブル 1d = イネーブル
6	AGC_CH2_EN	R/W	0b	AGC チャネル 2 イネーブル構成 0d = ディスエーブル 1d = イネーブル
5	AGC_CH3_EN	R/W	0b	AGC チャネル 3 イネーブル構成 0d = ディスエーブル 1d = イネーブル
4	AGC_CH4_EN	R/W	0b	AGC チャネル 4 イネーブル構成 0d = ディスエーブル 1d = イネーブル
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.2.10 MIXER_CFG0 レジスタ (アドレス = 0x2C) [リセット = 0x00]

MIXER_CFG0 を表 7-93 に示します。

概略表に戻ります。

このレジスタはミキサ構成レジスタ 0 です。

表 7-93. MIXER_CFG0 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

表 7-93. MIXER_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	EN_SIDE_CHAIN_MIXER	R/W	0b	サイドチェーンミキサを有効化 0b = 無効 1b = 有効
5	EN_ADC_CHANNEL_MIXER を	R/W	0b	ADC チャネルミキサを有効化 0b = 無効 1b = 有効
4	EN_LOOPBACK_MIXER	R/W	0b	ループバックミキサを有効化 0b = 無効 1b = 有効
3-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.2.11 INT_MASK0 レジスタ (アドレス = 0x2F) [リセット = 0xFF]

INT_MASK0 を表 7-94 に示します。

概略表に戻ります。

このレジスタは、割り込みマスク レジスタ 0 です。

表 7-94. INT_MASK0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_MASK0	R/W	1b	クロック エラー割り込みマスク。 0b = マスクしない 1b = マスクする
6	INT_MASK0	R/W	1b	PLL ロック割り込みマスク。 0b = マスクしない 1b = マスクする
5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.2.12 INT_MASK5 レジスタ (アドレス = 0x33) [リセット = 0x30]

INT_MASK5 を表 7-95 に示します。

概略表に戻ります。

このレジスタは、割り込みマスク レジスタ 5 です。

表 7-95. INT_MASK5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_MASK5	R/W	0b	GPA アップスレッショルド フォルト マスク。 0b = マスクしない 1b = マスクする
6	INT_MASK5	R/W	0b	GPA の下限スレッショルド フォルト マスク。 0b = マスクしない 1b = マスクする

表 7-95. INT_MASK5 レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
5	INT_MASK5	R/W	1b	VAD パワーアップ検出割り込みマスク。 0b = マスクしない 1b = マスクする
4	INT_MASK5	R/W	1b	VAD パワーダウン検出割り込みマスク。 0b = マスクしない 1b = マスクする
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.2.13 INT_LTCH0 レジスタ (アドレス = 0x34) [リセット = 0x00]

INT_LTCH0 を表 7-96 に示します。

概略表に戻ります。

このレジスタはラッチされた割り込み読み戻しレジスタ 0 です。

表 7-96. INT_LTCH0 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	INT_LTCH0	R	0b	クロック エラー要因の割り込み(セルフ クリア ビット)。 0b = 割り込みなし 1b = 割り込みあり
6	INT_LTCH0	R	0b	PLL ロックによる割り込み(セルフ クリア ビット) 0b = 割り込みなし 1b = 割り込みあり
5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.2.14 ADC_CHx_OVRLD レジスタ (アドレス = 0x38) [リセット = 0x00]

ADC_CHx_OVRLD を表 7-97 に示します。

概略表に戻ります。

このレジスタは ADC 過負荷故障検出マスク レジスタです。

表 7-97. ADC_CHx_OVRLD レジスタ フィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
3	MASK_ADC_CH1_OVRLD_FLAG	R/W	0b	ADC CH1 OVRLD フォルト マスク。 0b = マスクしない 1b = マスクする

表 7-97. ADC_CHx_OVRLD レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2	MASK_ADC_CH2_OVRLD_FLAG	R/W	0b	ADC CH2 OVRLD フォルト マスク。 0b = マスクしない 1b = マスクする
1-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.2.15 INT_LTCH2 レジスタ (アドレス = 0x3B) [リセット = 0x00]

INT_LTCH2 を表 7-98 に示します。

概略表に戻ります。

このレジスタはラッチされた割り込み読み戻しレジスタ 2 です。

表 7-98. INT_LTCH2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_LTCH2	R	0b	GPA アップ スレッショルド フォルト要因の割り込み(セルフクリアビット)。 0b = 割り込みなし 1b = 割り込みあり
6	INT_LTCH2	R	0b	GPA LOW スレッショルド フォルトによる割り込み(セルフクリアビット) 0b = 割り込みなし 1b = 割り込み
5	INT_LTCH2	R	0b	VAD 電源オン検出要因の割り込み(セルフクリアビット)。 0b = 割り込みなし 1b = 割り込みあり
4	INT_LTCH2	R	0b	VAD パワーダウン検出要因の割り込み(セルフクリアビット)。 0b = 割り込みなし 1b = 割り込み
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.2.16 INT_LIVE0 レジスタ (アドレス = 0x3C) [リセット = 0x00]

INT_LIVE0 を表 7-99 に示します。

概略表に戻ります。

このレジスタはラッチされた割り込み読み戻しレジスタ 0 です。

表 7-99. INT_LIVE0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_LIVE0	R	0b	クロック エラー要因の割り込み 0b = 割り込みなし 1b = 割り込みあり
6	INT_LIVE0	R	0b	PLL のミュートによる割り込み 0b = 割り込みなし 1b = 割り込み
5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

表 7-99. INT_LIVE0 レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.2.17 INT_LIVE2 レジスタ (アドレス = 0x43) [リセット = 0x00]

INT_LIVE2 を表 7-100 に示します。

概略表に戻ります。

このレジスタはライブ割り込み読み戻しレジスタ 2 です。

表 7-100. INT_LIVE2 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	INT_LIVE2	R	0b	GPA アップ スレッショルド障害要因の割り込み。 0b = 割り込みなし 1b = 割り込みあり
6	INT_LIVE2	R	0b	GPA low スレッショルド故障による割り込み 0b = 割り込みなし 1b = 割り込みあり
5	INT_LIVE2	R	0b	VAD のパワーアップ検出による割り込み。 0b = 割り込みなし 1b = 割り込みあり
4	INT_LIVE2	R	0b	VAD のパワーダウン検出による割り込み。 0b = 割り込みなし 1b = 割り込みあり
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.2.18 DIAG_CFG8 レジスタ (アドレス = 0x4E) [リセット = 0xBA]

DIAG_CFG8 を表 7-101 に示します。

概略表に戻ります。

このレジスタは、入力診断構成レジスタ 8 です。

表 7-101. DIAG_CFG8 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-0	GPA_UP_THRS_FLT_TH RES[7:0]	R/W	10111010b	汎用アナログ上限スレッショルド デフォルト = 約 2.6V nd = ((0.9'(N*16)/4095)-0.225)x6 (V)

7.1.2.19 DIAG_CFG9 レジスタ (アドレス = 0x4F) [リセット = 0x4B]

DIAG_CFG9 を表 7-102 に示します。

概略表に戻ります。

このレジスタは、入力診断構成レジスタ 9 です。

表 7-102. DIAG_CFG9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	GPA_LOW_THRS_FLT_T HRES[7:0]	R/W	01001011b	汎用アナログ下限スレッショルド デフォルト = 約 0.2V $nd = ((0.9'(N*16)/4095)-0.225) \times 6 \text{ (V)}$

7.1.3 TAA5212_B0_P3 のレジスタ

TAA5212_B0_P3 レジスタのメモリマップされたレジスタを、表 7-103 に示します。表 7-103 にないレジスタ オフセットアドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-103. TAA5212_B0_P3 のレジスタ

アドレス	略称	レジスタ名	リセット値	セクション
0x0	PAGE_CFG	デバイス ページ レジスタ	0x00	セクション 7.1.3.1
0x1A	SASI_CFG0	セカンダリ ASI 構成レジスタ 0	0x30	セクション 7.1.3.2
0x1B	SASI_TX_CFG0	SASI TX 構成レジスタ 0	0x00	セクション 7.1.3.3
0x1C	SASI_TX_CFG1	SASI TX 構成レジスタ 1	0x00	セクション 7.1.3.4
0x1D	SASI_TX_CFG2	SASI TX 構成レジスタ 2	0x00	セクション 7.1.3.5
0x1E	SASI_TX_CH1_CFG	SASI TX チャネル 1 構成レジスタ	0x00	セクション 7.1.3.6
0x1F	SASI_TX_CH2_CFG	SASI TX チャネル 2 構成レジスタ	0x01	セクション 7.1.3.7
0x20	SASI_TX_CH3_CFG	SASI TX チャネル 3 構成レジスタ	0x02	セクション 7.1.3.8
0x21	SASI_TX_CH4_CFG	SASI TX チャネル 4 構成レジスタ	0x03	セクション 7.1.3.9
0x22	SASI_TX_CH5_CFG	SASI TX チャネル 5 構成レジスタ	0x04	セクション 7.1.3.10
0x23	SASI_TX_CH6_CFG	SASI TX チャネル 6 構成レジスタ	0x05	セクション 7.1.3.11
0x24	SASI_TX_CH7_CFG	SASI TX チャネル 7 構成レジスタ	0x06	セクション 7.1.3.12
0x32	CLK_CFG12	クロック設定レジスタ 12	0x00	セクション 7.1.3.13
0x33	CLK_CFG13	クロック設定レジスタ 13	0x00	セクション 7.1.3.14
0x34	CLK_CFG14	クロック設定レジスタ 14	0x10	セクション 7.1.3.15
0x35	CLK_CFG15	クロック設定レジスタ 15	0x01	セクション 7.1.3.16
0x36	CLK_CFG16	クロック設定レジスタ 16	0x00	セクション 7.1.3.17
0x37	CLK_CFG17	クロック設定レジスタ 17	0x00	セクション 7.1.3.18
0x38	CLK_CFG18	クロック設定レジスタ 18	0x08	セクション 7.1.3.19
0x39	CLK_CFG19	クロック設定レジスタ 19	0x20	セクション 7.1.3.20
0x3A	CLK_CFG20	クロック設定レジスタ 20	0x04	セクション 7.1.3.21
0x3B	CLK_CFG21	クロック設定レジスタ 21	0x00	セクション 7.1.3.22
0x3C	CLK_CFG22	クロック設定レジスタ 22	0x01	セクション 7.1.3.23
0x3D	CLK_CFG23	クロック設定レジスタ 23	0x01	セクション 7.1.3.24
0x3E	CLK_CFG24	クロック設定レジスタ 24	0x01	セクション 7.1.3.25
0x44	CLK_CFG30	クロック設定レジスタ 30	0x00	セクション 7.1.3.26
0x45	CLK_CFG31	クロック設定レジスタ 31	0x00	セクション 7.1.3.27
0x46	CLKOUT_CFG1	CLKOUT 構成レジスタ 1	0x00	セクション 7.1.3.28
0x47	CLKOUT_CFG2	CLKOUT 構成レジスタ 2	0x01	セクション 7.1.3.29
0x5B	ADC_OVRLD_FLAG	ADC 過負荷フラグ レジスタ	0x00	セクション 7.1.3.30

7.1.3.1 PAGE_CFG レジスタ (アドレス = 0x0) [リセット = 0x00]

PAGE_CFG を 表 7-104 に示します。

[概略表](#)に戻ります。

デバイスのメモリ マップは複数のページに分かれています。このレジスタはページを設定します。

表 7-104. PAGE_CFG レジスタ フィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-0	PAGE[7:0]	R/W	00000000b	これらのビットは、デバイスのページを設定します。 0d = ページ 0 1d = ページ 1 2d ~ 254d = ページ 2 ~ ページ 254 255d = ページ 255

7.1.3.2 SASI_CFG0 レジスタ (アドレス = 0x1A) [リセット = 0x30]

SASI_CFG0 を表 7-105 に示します。

概略表に戻ります。

このレジスタは ASI 構成レジスタ 0 です。

表 7-105. SASI_CFG0 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-6	SASI_FORMAT[1:0]	R/W	00b	セカンダリ ASI プロトコル フォーマット。 0D = TDM モード 1d = I ² S モード 2D = LJ(左揃え)モード 3d = 予約済み、使用しないでください
5-4	SASI_WLEN[1:0]	R/W	11b	セカンダリ ASI ワードまたはスロットの長さ。 0D = 16 ビット (10kΩ 入力インピーダンス構成で使用するため、この設定を推奨) 1d = 20 ビット 2d = 24 ビット 3d = 32 ビット
3	SASI_FSYNC_POL	R/W	0b	ASI fsync 極性 (SASI プロトコルのみ)。 0d = 標準プロトコルに基づくデフォルトの極性 1d = 標準プロトコルに対して反転された極性
2	SASI_BCLK_POL	R/W	0b	ASI BCLK 極性 (SASI プロトコルのみ)。 0d = 標準プロトコルに基づくデフォルトの極性 1d = 標準プロトコルに対して反転された極性
1	SASI_BUS_ERR	R/W	0b	ASI バス エラー検出。 0d = バス エラー検出を有効にする 1d = バス エラー検出を無効にする
0	SASI_BUS_ERR_RCOV	R/W	0b	ASI バス エラー自動再開。 0D = バス エラー回復後の自動再開をイネーブル 1d = バス エラー回復後の自動再開をディスエーブルにし、ホストがデバイスを構成するまでの間、電源オフのままになります

7.1.3.3 SASI_TX_CFG0 レジスタ (アドレス = 0x1B) [リセット = 0x00]

SASI_TX_CFG0 を表 7-106 に示します。

概略表に戻ります。

このレジスタは SASI TX 構成レジスタ 0 です。

表 7-106. SASI_TX_CFG0 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	SASI_TX_EDGE	R/W	0b	セカンダリ ASI データ出力(プライマリおよびセカンダリ データピン上)の送信エッジ。 0d = SASI_BCLK_POL のプロトコル構成設定に従うデフォルトのエッジ 1d = デフォルトのエッジ設定を基準として、後続のエッジ(半周期遅延)を反転
6	SASI_TX_FILL	R/W	0b	未使用のサイクルのセカンダリ ASI データ出力(プライマリおよびセカンダリ データピン) 0d = 未使用のサイクルの場合は常に 0 を送信 1d = 未使用のサイクルの場合は常にハイインピーダンスを使用
5	SASI_TX_LSB	R/W	0b	LSB 送信用のセカンダリ ASI データ出力(プライマリおよびセカンダリ データピン上)。 0d = フル サイクルの間 LSB を送信 1d = 前半サイクルの間 LSB を、後半サイクルの間、ハイインピーダンスを送信
4-3	SASI_TX_KEEPER[1:0]	R/W	00b	セカンダリ ASI データ出力(プライマリおよびセカンダリ データピン)バスキーパー。 0D = バスキーパーは常にディスエーブル 1d = バスキーパーは常にイネーブル 2d = LSB 送信中に 1 サイクルのみバスキーパーがイネーブル 3d = LSB 送信中にのみバスキーパーは、1 サイクルおよび半サイクルでのみイネーブル
2	SASI_TX_USE_INT_FSY NC	R/W	0b	セカンダリ ASI は、コントローラ モード構成で適用可能な場合、内部 FSYNC を使用して出力データの生成を行います。 0d = ASI プロトコル データ生成に外部 FSYNC を使用 1d = ASI プロトコル データ生成に内部 FSYNC を使用
1	SASI_TX_USE_INT_BCL K	R/W	0b	セカンダリ ASI は、コントローラ モード構成では内部 BCLK を出力データ生成に使用します。 0d = ASI プロトコル データ生成に外部 BCLK を使用 1d = ASI プロトコル データ生成に内部 BCLK を使用
0	SASI_TDM_PULSE_WID TH	R/W	0b	TDM 形式のセカンダリ ASI FSYNC パルス幅。 0d = Fsync パルスは 1 bclk 周期幅 1d = Fsync パルスは 2 bclk 周期幅

7.1.3.4 SASI_TX_CFG1 レジスタ (アドレス = 0x1C) [リセット = 0x00]

SASI_TX_CFG1 を表 7-107 に示します。

概略表に戻ります。

このレジスタは SASI TX 構成レジスタ 1 です。

表 7-107. SASI_TX_CFG1 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

表 7-107. SASI_TX_CFG1 レジスタのフィールドの説明(続き)

ピット	フィールド	タイプ	リセット	説明
4-0	SASI_TX_OFFSET[4:0]	R/W	00000b	<p>セカンダリ ASI 出力データの MSB スロット 0 のオフセット(プライマリおよびセカンダリ データピン)。</p> <p>0D = ASI データの MSB 位置にはオフセットがなく、標準プロトコルに従っている</p> <p>1d = ASI データの MSB 位置(TDM モードはスロット 0 または I²S、LJ モードは左および右スロット 0)標準プロトコルに対して 2 BCLK サイクルのオフセット</p> <p>2d = ASI データ MSB 位置(TDM モードはスロット 0 または I²S、LJ モードは、標準プロトコルに対する BCLK サイクル 2 つ分の左右スロット 0)オフセット</p> <p>3d ~ 30d = ASI データ MSB の位置(TDM モードはスロット 0 または I²S、LJ モードは、構成に従って割り当てられた左右のスロット 0 のオフセット)</p> <p>31d = ASI データ MSB 位置(TDM モードがスロット 0 または I²S、LJ モードは、標準プロトコルに対する左右のスロット 0 の 31 BCLK サイクルのオフセットです。</p>

7.1.3.5 SASI_TX_CFG2 レジスタ (アドレス = 0x1D) [リセット = 0x00]

SASI_TX_CFG2 を表 7-108 に示します。

概略表に戻ります。

このレジスタは SASI TX 構成レジスタ 2 です。

表 7-108. SASI_TX_CFG2 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	SASI_TX_CH8_SEL	R/W	0b	<p>セカンダリ ASI 出力チャネル 8 選択。選</p> <p>0d = セカンダリ ASI チャネル 8 出力が DOUT に存在</p> <p>1d = セカンダリ ASI チャネル 8 出力が DOUT2 に存在</p>
6	SASI_TX_CH7_SEL	R/W	0b	<p>セカンダリ ASI 出力チャネル 7 選択。選</p> <p>0d = セカンダリ ASI チャネル 7 出力が DOUT に存在</p> <p>1d = セカンダリ ASI チャネル 7 出力が DOUT2 に存在</p>
5	SASI_TX_CH6_SEL	R/W	0b	<p>セカンダリ ASI 出力チャネル 6 選択。選</p> <p>0d = セカンダリ ASI チャネル 6 出力が DOUT に存在</p> <p>1d = セカンダリ ASI チャネル 6 出力が DOUT2 に存在</p>
4	SASI_TX_CH5_SEL	R/W	0b	<p>セカンダリ ASI 出力チャネル 5 選択。選</p> <p>0d = セカンダリ ASI チャネル 5 出力が DOUT に存在</p> <p>1d = セカンダリ ASI チャネル 5 出力が DOUT2 に存在</p>
3	SASI_TX_CH4_SEL	R/W	0b	<p>セカンダリ ASI 出力チャネル 4 選択。選</p> <p>0d = セカンダリ ASI チャネル 4 出力が DOUT に存在</p> <p>1d = セカンダリ ASI チャネル 4 出力が DOUT2 に存在</p>
2	SASI_TX_CH3_SEL	R/W	0b	<p>セカンダリ ASI 出力チャネル 3 選択。選</p> <p>0d = セカンダリ ASI チャネル 3 出力が DOUT に存在</p> <p>1d = セカンダリ ASI チャネル 3 出力が DOUT2 に存在</p>
1	SASI_TX_CH2_SEL	R/W	0b	<p>セカンダリ ASI 出力チャネル 2 選択。選</p> <p>0d = セカンダリ ASI チャネル 2 出力が DOUT に存在</p> <p>1d = セカンダリ ASI チャネル 2 出力が DOUT2 に存在</p>
0	SASI_TX_CH1_SEL	R/W	0b	<p>セカンダリ ASI 出力チャネル 1 選択。選</p> <p>0d = セカンダリ ASI チャネル 1 出力が DOUT に存在</p> <p>1d = セカンダリ ASI チャネル 1 出力が DOUT2 に存在</p>

7.1.3.6 SASI_TX_CH1_CFG レジスタ (アドレス = 0x1E) [リセット = 0x00]

SASI_TX_CH1_CFG を表 7-109 に示します。

[概略表](#)に戻ります。

このレジスタは SASI TX チャネル 1 構成レジスタです。

表 7-109. SASI_TX_CH1_CFG レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5	SASI_TX_CH1_CFG	R/W	0b	セカンダリ ASI 出力チャネル 1 構成。 0d = セカンダリ ASI チャネル 1 の出力がトライステート状態 1d = セカンダリ ASI チャネル 1 の出力が ADC チャネル 1 のデータに対応
4-0	SASI_TX_CH1_SLOT_NU M[4:0]	R/W	00000b	セカンダリ ASI 出力チャネル 1 スロット割り当て。 0d = TDM はスロット 0 または I ² S、LJ は左スロット 0 1d = TDM はスロット 1 または I ² S、LJ は左スロット 1 2d ~ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I ² S、LJ は右スロット 15 16d = TDM はスロット 16 または I ² S、LJ は右スロット 0 17d = TDM はスロット 17 または I ² S、LJ は右スロット 1 18d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM がスロット 31 または I ² S、LJ は右スロット 15

7.1.3.7 SASI_TX_CH2_CFG レジスタ (アドレス = 0x1F) [リセット = 0x01]

SASI_TX_CH2_CFG を表 7-110 に示します。

[概略表](#)に戻ります。

このレジスタは SASI TX チャネル 2 構成レジスタです。

表 7-110. SASI_TX_CH2_CFG レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5	SASI_TX_CH2_CFG	R/W	0b	セカンダリ ASI 出力チャネル 2 構成。 0d = セカンダリ ASI チャネル 2 の出力がトライステート状態 1d = セカンダリ ASI チャネル 2 の出力が ADC チャネル 2 のデータに対応
4-0	SASI_TX_CH2_SLOT_NU M[4:0]	R/W	00001b	セカンダリ ASI 出力チャネル 2 スロット割り当て。 0d = TDM はスロット 0 または I ² S、LJ は左スロット 0 1d = TDM はスロット 1 または I ² S、LJ は左スロット 1 2d ~ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I ² S、LJ は右スロット 15 16d = TDM はスロット 16 または I ² S、LJ は右スロット 0 17d = TDM はスロット 17 または I ² S、LJ は右スロット 1 18d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM がスロット 31 または I ² S、LJ は右スロット 15

7.1.3.8 SASI_TX_CH3_CFG レジスタ (アドレス = 0x20) [リセット = 0x02]

SASI_TX_CH3_CFG を表 7-111 に示します。

[概略表](#)に戻ります。

このレジスタは SASI TX チャネル 3 構成レジスタです。

表 7-111. SASI_TX_CH3_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6-5	SASI_TX_CH3_CFG[1:0]	R/W	00b	セカンダリ ASI 出力チャネル 3 構成。 0d = セカンダリ ASI チャネル 3 出力はトライステート 1d = セカンダリ ASI チャネル 3 出力は ADC チャネル 3 データに対応 2d = セカンダリ ASI チャネル 3 出力は VBAT データに対応 3d = 予約済み
4-0	SASI_TX_CH3_SLOT_NUM[4:0]	R/W	00010b	セカンダリ ASI 出力チャネル 3 スロット割り当て。 0d = TDM はスロット 0 または I ² S、LJ は左スロット 0 1d = TDM はスロット 1 または I ² S、LJ は左スロット 1 2d ~ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I ² S、LJ は右スロット 15 16d = TDM はスロット 16 または I ² S、LJ は右スロット 0 17d = TDM はスロット 17 または I ² S、LJ は右スロット 1 18d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM がスロット 31 または I ² S、LJ は右スロット 15

7.1.3.9 SASI_TX_CH4_CFG レジスタ (アドレス = 0x21) [リセット = 0x03]

SASI_TX_CH4_CFG を表 7-112 に示します。

概略表に戻ります。

このレジスタは SASI TX チャネル 4 構成レジスタです。

表 7-112. SASI_TX_CH4_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6-5	SASI_TX_CH4_CFG[1:0]	R/W	00b	セカンダリ ASI 出力チャネル 4 構成。 0d = セカンダリ ASI チャネル 4 出力がトライステート条件 1d = セカンダリ ASI チャネル 4 出力は ADC チャネル 4 データに対応 2d = セカンダリ ASI チャネル 4 出力は 温度データに対応 3d = 予約済み
4-0	SASI_TX_CH4_SLOT_NUM[4:0]	R/W	00011b	セカンダリ ASI 出力チャネル 4 スロット割り当て。 0d = TDM はスロット 0 または I ² S、LJ は左スロット 0 1d = TDM はスロット 1 または I ² S、LJ は左スロット 1 2d ~ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I ² S、LJ は右スロット 15 16d = TDM はスロット 16 または I ² S、LJ は右スロット 0 17d = TDM はスロット 17 または I ² S、LJ は右スロット 1 18d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM がスロット 31 または I ² S、LJ は右スロット 15

7.1.3.10 SASI_TX_CH5_CFG レジスタ (アドレス = 0x22) [リセット = 0x04]

SASI_TX_CH5_CFG を表 7-113 に示します。

概略表に戻ります。

このレジスタは SASI TX チャネル 5 構成レジスタです。

表 7-113. SASI_TX_CH5_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

表 7-113. SASI_TX_CH5_CFG レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
6-5	SASI_TX_CH5_CFG[1:0]	R/W	00b	セカンダリ ASI 出力チャネル 5 構成。 0d = セカンダリ ASI チャネル 5 出力はトライステート 1d = セカンダリ ASI チャネル 5 出力は ASI 入力チャネル 1 ループバックデータに対応 2d = 予約済み 3d = 予約済み
4-0	SASI_TX_CH5_SLOT_NU M[4:0]	R/W	00100b	セカンダリ ASI 出力チャネル 5 スロット割り当て。 0d = TDM はスロット 0 または I ² S、LJ は左スロット 0 1d = TDM はスロット 1 または I ² S、LJ は左スロット 1 2d ~ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I ² S、LJ は右スロット 15 16d = TDM はスロット 16 または I ² S、LJ は右スロット 0 17d = TDM はスロット 17 または I ² S、LJ は右スロット 1 18d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM がスロット 31 または I ² S、LJ は右スロット 15

7.1.3.11 SASI_TX_CH6_CFG レジスタ (アドレス = 0x23) [リセット = 0x05]

SASI_TX_CH6_CFG を表 7-114 に示します。

概略表に戻ります。

このレジスタは SASI TX チャネル 6 構成レジスタです。

表 7-114. SASI_TX_CH6_CFG レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6-5	SASI_TX_CH6_CFG[1:0]	R/W	00b	セカンダリ ASI 出力チャネル 6 構成。 0d = セカンダリ ASI チャネル 6 出力はトライステート 1d = セカンダリ ASI チャネル 6 出力は ASI 入力チャネル 2 ループバックデータに対応 2d = 予約済み 3d = 予約済み
4-0	SASI_TX_CH6_SLOT_NU M[4:0]	R/W	00101b	セカンダリ ASI 出力チャネル 6 スロット割り当て。 0d = TDM はスロット 0 または I ² S、LJ は左スロット 0 1d = TDM はスロット 1 または I ² S、LJ は左スロット 1 2d ~ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I ² S、LJ は右スロット 15 16d = TDM はスロット 16 または I ² S、LJ は右スロット 0 17d = TDM はスロット 17 または I ² S、LJ は右スロット 1 18d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM がスロット 31 または I ² S、LJ は右スロット 15

7.1.3.12 SASI_TX_CH7_CFG レジスタ (アドレス = 0x24) [リセット = 0x06]

SASI_TX_CH7_CFG を表 7-115 に示します。

概略表に戻ります。

このレジスタは SASI TX チャネル 7 構成レジスタです。

表 7-115. SASI_TX_CH7_CFG レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

表 7-115. SASI_TX_CH7_CFG レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
6-5	SASI_TX_CH7_CFG[1:0]	R/W	00b	セカンダリ ASI 出力チャネル 7 構成。 0d = セカンダリ ASI チャネル 7 出力はトライステート 1d = 予約済み 2d = 予約済み 3d = 予約済み
4-0	SASI_TX_CH7_SLOT_NU M[4:0]	R/W	00110b	セカンダリ ASI 出力チャネル 7 スロット割り当て。 0d = TDM はスロット 0 または I ² S、LJ は左スロット 0 1d = TDM はスロット 1 または I ² S、LJ は左スロット 1 2d ~ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 または I ² S、LJ は右スロット 15 16d = TDM はスロット 16 または I ² S、LJ は右スロット 0 17d = TDM はスロット 17 または I ² S、LJ は右スロット 1 18d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM がスロット 31 または I ² S、LJ は右スロット 15

7.1.3.13 CLK_CFG12 レジスタ (アドレス = 0x32) [リセット = 0x00]

CLK_CFG12 を表 7-116 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 12 です。

表 7-116. CLK_CFG12 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-6	PDIV_CLKSRC_SEL[1:0]	R/W	00b	PLL PDIV 分周器のソースクロックの選択。 0d = PLL_PDIV_IN_CLK がプライマリ ASI BCLK 1d = PLL_PDIV_IN_CLK はセカンダリ ASI BCLK 2d = PLL_PDIV_IN_CLK は cclk 3d = PLL_PDIV_IN_CLK は内部発振器クロック(カスタムクロック構成でのみサポート)
5-3	PASI_BCLK_DIV_CLK_S EL[2:0]	R/W	000b	プライマリ ASI BCLK 分周器クロックソースの選択。 0d = プライマリ ASI BCLK 分周器クロックソースは PLL 出力 1d = 予約済み 2d = プライマリ ASI BCLK 分周器クロックソースはセカンダリ ASI BCLK 3d = プライマリ ASI BCLK 分周器クロックソースはクロック 4d = プライマリ ASI BCLK 分周器のクロックソースは内部発振器クロック (カスタムクロック構成でのみサポート) 5d = プライマリ ASI BCLK 分周器クロックソースは DSP クロック 6d~7d = 予約済み
2-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.3.14 CLK_CFG13 レジスタ (アドレス = 0x33) [リセット = 0x00]

CLK_CFG13 を表 7-117 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 13 です。

表 7-117. CLK_CFG13 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

表 7-117. CLK_CFG13 レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
6-4	SASI_BCLK_DIV_CLK_S EL[2:0]	R/W	000b	セカンダリ ASI BCLK 分周器クロック ソースの選択。 0d = セカンダリ ASI BCLK デバイダのクロック ソースが PLL 出力 1d = セカンダリ ASI BCLK デバイダ クロック ソースはプライマリ ASI BCLK 2d = 予約済み 3d = セカンダリ ASI BCLK デバイダのクロック ソースはクロック 4d = セカンダリ ASI BCLK デバイダのクロック ソースは内部発振器クロック(カスタム クロック構成でのみサポート) 5d = セカンダリ ASI BCLK デバイダのクロック ソースは DSP クロック 6d~7d = 予約済み
3-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.3.15 CLK_CFG14 レジスタ (アドレス = 0x34) [リセット = 0x10]

CLK_CFG14 を表 7-118 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 14 です。

表 7-118. CLK_CFG14 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-6	DIG_NM_DIV_CLK_SRC_ SEL[1:0]	R/W	00b	DIG NM DIV CLK クロックのソース クロック選択。 0d = DIG NM 分周器入力クロックがプライマリ ASI BCLK 1d = DIG NM 分周器入力クロックがセカンダリ ASI BCLK 2d = DIG NM 分周器入力クロックが cclk 3d = DIG NM 分周器入力クロックは内部発振器クロック(カスタム クロック構成でのみサポート)
5-4	ANA_NM_DIV_CLK_SRC_ SEL[1:0]	R/W	01b	NMDIV CLK クロックのソース クロック選択。 0D = NM 分周器入力クロックは PLL 出力 1d = NM 分周器入力クロックは PLL 出力 2d = NM 分周器入力クロックは DIG NM 分周器クロック ソース 3d = NM 分周器入力クロックはプライマリ ASI BCLK(低ジッタ パス)
3-2	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
1-0	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

7.1.3.16 CLK_CFG15 レジスタ (アドレス = 0x35) [リセット = 0x01]

CLK_CFG15 を表 7-119 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 15 です。

表 7-119. CLK_CFG15 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-0	PLL_PDIV[7:0]	R/W	00000001b	PLL プリスケーラ P 分周器の値(自動検出がイネーブルのときは問題なし) 0d = PLL PDIV 値は 256 1d = PLL PDIV 値は 1 2d = PLL PDIV 値は 2 3d~254d = PLL PDIV 値は構成による 255d = PLL PDIV 値は 255

7.1.3.17 CLK_CFG16 レジスタ (アドレス = 0x36) [リセット = 0x00]

CLK_CFG16 を表 7-120 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 16 です。

表 7-120. CLK_CFG16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PLL_JMUL_MSB	R/W	0b	PLL 整数部 J 乗算器値 MSB ビット。(自動検出が有効な場合は関係ありません)
6	PLL_DIV_CLK_DIG_BY_2	R/W	0b	PLL DIV クロック分周 2 構成 0d = PLL 内で分周/2 の実行なし 1d = PLL が分周/2 を実行
5-0	PLL_DMUL_MSB[5:0]	R/W	000000b	PLL 分数部 D マルチプライヤ値 MSB ビット。(自動検出が有効な場合は関係ありません)

7.1.3.18 CLK_CFG17 レジスタ (アドレス = 0x37) [リセット = 0x00]

CLK_CFG17 を表 7-121 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 17 です。

表 7-121. CLK_CFG17 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PLL_DMUL_LSB[7:0]	R/W	00000000b	PLL 分数部 D マルチプライヤ値 LSB バイト。D 乗算器値の上位 MSB ビット(PLL_DMUL_MSB)は、この LSB バイト(PLL_DMUL_LSB)とともに連結され、最終的な D 乗算器値が決定されます。(自動検出がイネーブルのときは無関係) 0d = PLL DMUL 値は 0 1d = PLL DMUL 値は 1 2d = PLL DMUL 値は 2 3d ~ 9998d = PLL JMUL 値は構成による 9999d = PLL JMUL 値は 9999 10000d ~ 16383d = 予約済み、使用しないでください

7.1.3.19 CLK_CFG18 レジスタ (アドレス = 0x38) [リセット = 0x08]

CLK_CFG18 を表 7-122 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 18 です。

表 7-122. CLK_CFG18 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PLL_JMUL_LSB[7:0]	R/W	00001000b	PLL 整数部 J 乗算器値 LSB バイト。J 乗算器の値 MSB ビット(PLL_JMUL_MSB)を上回る値と、この LSB バイト(PLL_JMUL_LSB)が連結され、最終的な J 乗算器の値が決定されます。(自動検出がイネーブルのときは関係なし) 0d = 予約済み。 1d = PLL JMUL 値は 1 2d = PLL JMUL 値は 2 3d ~ 510d = PLL JMUL 値は構成による 511d = PLL JMUL 値は 511

7.1.3.20 CLK_CFG19 レジスタ (アドレス = 0x39) [リセット = 0x20]

CLK_CFG19 を表 7-123 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 19 です。

表 7-123. CLK_CFG19 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-5	NDIV[2:0]	R/W	001b	NDIV デバイダの値。(自動検出がイネーブルのときは関係なし) 0d = NDIV の値は 8 1d = NDIV の値は 1 2d = NDIV の値は 2 3d~6d = NDIV の値は構成による 7d = NDIV の値は 7
4-2	PDM_DIV[2:0]	R/W	000b	PDM デバイダの値。(自動検出がイネーブルのときは無関係) 0d = PDM_DIV 値は 1 1d = PDM_DIV 値は 2 2d = PDM_DIV 値は 4 3d = PDM_DIV 値は 8 4d = PDM_DIV 値は 16 5d-7d = 予約済み
1-0	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

7.1.3.21 CLK_CFG20 レジスタ (アドレス = 0x3A) [リセット = 0x04]

CLK_CFG20 を表 7-124 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 20 です。

表 7-124. CLK_CFG20 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-2	MDIV[5:0]	R/W	000001b	MDIV デバイダの値。(自動検出がイネーブルのときは関係なし) 0d = MDIV の値は 64 1d = MDIV の値は 1 2d = MDIV の値は 2 3d~62d = MDIV の値は構成による 63d = MDIV の値は 63
1-0	DIG_ADC_MODCLK_DIV[1:0]	R/W	00b	ADC 変調器のクロック分周値。(自動検出がイネーブルのときは無関係) 0d = DIG_ADC_MODCLK_DIV 値は 1 1d = DIG_ADC_MODCLK_DIV 値は 2 2d = DIG_ADC_MODCLK_DIV 値は 4 3d = 予約済み)

7.1.3.22 CLK_CFG21 レジスタ (アドレス = 0x3B) [リセット = 0x00]

CLK_CFG21 を表 7-125 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 21 です。

表 7-125. CLK_CFG21 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

表 7-125. CLK_CFG21 レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
5-4	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2	PASI_BDIV_MSB	R/W	0b	プライマリ ASI BCLK 分周値 MSB ビット。(自動検出が有効な場合は関係ありません)
1	SASI_BDIV_MSB	R/W	0b	セカンダリ ASI BCLK 分周器値 MSB ビット。(自動検出が有効な場合は関係ありません)
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.1.3.23 CLK_CFG22 レジスタ (アドレス = 0x3C) [リセット = 0x01]

CLK_CFG22 を表 7-126 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 22 です。

表 7-126. CLK_CFG22 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-0	PASI_BDIV_LSB[7:0]	R/W	00000001b	セカンダリ ASI BCLK 分周器の値。(自動検出がイネーブルのときは無関係) 0d = SASI BCLK 分周器の値は 512 1d = SASI BCLK 分周器の値は 1 2d = SASI BCLK 分周器の値は 2 3d~62d = SASI BCLK 分周器の値は構成による 63d = SASI BCLK 分周器の値は 511

7.1.3.24 CLK_CFG23 レジスタ (アドレス = 0x3D) [リセット = 0x01]

CLK_CFG23 を表 7-127 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 23 です。

表 7-127. CLK_CFG23 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-0	SASI_BDIV_LSB[7:0]	R/W	00000001b	セカンダリ ASI BCLK 分周器の値。(自動検出がイネーブルのときは無関係) 0d = SASI BCLK 分周器の値は 512 1d = SASI BCLK 分周器の値は 1 2d = SASI BCLK 分周器の値は 2 3d~62d = SASI BCLK 分周器の値は構成による 63d = SASI BCLK 分周器の値は 511

7.1.3.25 CLK_CFG24 レジスタ (アドレス = 0x3E) [リセット = 0x01]

CLK_CFG24 を表 7-128 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 24 です。

表 7-128. CLK_CFG24 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5-0	ANA_NM_DIV[5:0]	R/W	000001b	アナログ N-M DIV 分周器の値。(自動検出がイネーブルのときは関係なし) 0d = ANA_NM_DIV 値は 64 1d = ANA_NM_DIV 値は 1 2d = ANA_NM_DIV 値は 2 3d~62d = ANA_NM_DIV 値は設定による 63d = NDIV 値は 63

7.1.3.26 CLK_CFG30 レジスタ (アドレス = 0x44) [リセット = 0x00]

CLK_CFG30 を表 7-129 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 30 です。

表 7-129. CLK_CFG30 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2	NDIV_EN	R/W	0b	NDIV 分周器が有効 0d = 分周器が無効 1d = 分周器が有効
1	MDIV_EN	R/W	0b	MDIV 分周器が有効 0d = 分周器が無効 1d = 分周器が有効
0	PDM_DIV_EN	R/W	0b	PDM 分周器が有効 0d = 分周器が無効 1d = 分周器が有効

7.1.3.27 CLK_CFG31 レジスタ (アドレス = 0x45) [リセット = 0x00]

CLK_CFG31 を表 7-130 に示します。

概略表に戻ります。

このレジスタはクロック構成レジスタ 31 です。

表 7-130. CLK_CFG31 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6	DIG_ADC_MODCLK_DIV_EN	R/W	0b	ADC MODCLK 分周器有効 0d = 分周器無効 1d = 分周器有効
5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
3	PASI_BDIV_EN	R/W	0b	PASI BDIV 分周器有効 0d = 分周器無効 1d = 分周器有効
2	SASI_BDIV_EN	R/W	0b	SASI BDIV 分周器有効 0d = 分周器無効 1d = 分周器有効

表 7-130. CLK_CFG31 レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
1	PASI_FSYNC_DIV_EN	R/W	0b	PASI FSYNC DIV 分周器有効 0d = 分周器無効 1d = 分周器有効
0	SASI_FSYNC_DIV_EN	R/W	0b	SASI FSYNC DIV 分周器有効 0d = 分周器無効 1d = 分周器有効

7.1.3.28 CLKOUT_CFG1 レジスタ (アドレス = 0x46) [リセット = 0x00]

CLKOUT_CFG1 を表 7-131 に示します。

概略表に戻ります。

このレジスタは CLKOUT 構成レジスタ 1 です。

表 7-131. CLKOUT_CFG1 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2-0	CLKOUT_CLK_SEL[2:0]	R/W	000b	汎用の CLKOUT 分周器クロックソースの選択。 0d = ソース クロックは PLL 出力 1d = ソース クロックはプライマリ ASI BCLK 2d = ソース クロックはセカンダリ ASI BCLK 3d = ソース クロックは CCLK 4d = ソース クロックは内部発振器クロック (カスタム クロック構成でのみサポート) 5d = ソース クロックは DSP クロック 6d ~ 7d = 予約済み

7.1.3.29 CLKOUT_CFG2 レジスタ (アドレス = 0x47) [リセット = 0x01]

CLKOUT_CFG2 を表 7-132 に示します。

概略表に戻ります。

このレジスタは CLKOUT 構成レジスタ 2 です。

表 7-132. CLKOUT_CFG2 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	CLKOUT_DIV_EN	R/W	0b	CLKOUT 分周器をイネーブル。 0d = CLKOUT 分周器が無効 1d = CLKOUT 分周器が有効
6-0	CLKOUT_DIV[6:0]	R/W	0000001b	CLKOUT DIV 分周器の値。 0d = CLKout_DIV 値は 128 1d = CLKout_DIV 値は 1 2d = CLKout_DIV の値は 2 3D~126d = CLKout_DIV の値は構成による 127d = CLKout_DIV の値は 127

7.1.3.30 ADC_OVRLD_FLAG レジスタ (アドレス = 0x5B) [リセット = 0x00]

ADC_OVRLD_FLAG を表 7-133 に示します。

概略表に戻ります。

これは、ADC 過負荷フラグ ステータス レジスタです。

表 7-133. ADC_OVRLD_FLAG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	ADC_CH1_OVRLD_LTCH	R	0b	ADC CH1 OVRLD フォルト (セルフ クリア ビット)。 0b = ADC CH1 OVRLD フォルトなし 1b = ADC CH1 OVRLD フォルト
6	ADC_CH2_OVRLD_LTCH	R	0b	ADC CH2 OVRLD フォルト (セルフ クリア ビット)。 0b = ADC CH2 OVRLD フォルトなし 1b = ADC CH2 OVRLD フォルト
5	ADC_CH1_OVRLD_LIVE	R	0b	ADC CH1 OVRLD フォルト (セルフ クリア ビット)。 0b = ADC CH1 OVRLD フォルトなし 1b = ADC CH1 OVRLD フォルト
4	ADC_CH2_OVRLD_LIVE	R	0b	ADC CH2 OVRLD フォルト (セルフ クリア ビット)。 0b = ADC CH2 OVRLD フォルトなし 1b = ADC CH2 OVRLD フォルト
3-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.2 プログラマブル係数レジスタ

このセクションのレジスタ ページは、デバイスのプログラマブル係数で構成されています。TI は、プログラマブル係数の設定には PPC3 GUI の使用を推奨しています。詳細については [TAC5212EVM-PDK 評価基板 ユーザー ガイド](#) と [PurePath™ コンソール グラフィカル開発スイート](#) をご覧ください。このセクションのレジスタ ページの係数レジスタのトランザクション時間を最適化するために、デバイスは(デフォルトで) I^2C および SPI バースト書き込みと読み出し用の自動インクリメント ページもサポートしています。レジスタ アドレス 0x7F のトランザクションの後、デバイスは自動的に次のページのレジスタ 0x08 に移動し、次の係数値を処理します。これらのプログラム可能な係数は 32 ビットの 2 の補数です。係数レジスタのトランザクションを成功させるには、ホスト デバイスはターゲット係数レジスタのトランザクションに対して、最上位バイト(BYT1)から始まる 4 バイトすべてを書き込み、読み取る必要があります。係数レジスタの読み取りトランザクションに SPI を使用する場合、デバイスは最初のバイトをダミーの読み取りバイトとして送信します。そのため、ホストは最初のダミーの読み取りバイトと、係数レジスタの値に対応する最後の 4 バイト(最上位バイト(BYT1)から始まる)の合計 5 バイトを読み取る必要があります。

7.2.1 プログラム可能な係数レジスタ：ページ 8

表 7-134 に示すこのレジスタ ページは、バイクワッド 1 ~ バイクワッド 6 フィルタのプログラム可能な係数で構成されています。

表 7-134. ページ 8 のプログラム可能な係数レジスタ

アドレス	レジスタ	リセット	説明
0x00	PAGE[7:0]	0x00	デバイス ページ レジスタ
0x08	ADC_BQ1_N0_BYT1[7:0]	0x7F	プログラム可能な ADC バイクワッド 1、N0 係数バイト [31:24]
0x09	ADC_BQ1_N0_BYT2[7:0]	0xFF	プログラム可能な ADC バイクワッド 1、N0 係数バイト [23:16]
0x0A	ADC_BQ1_N0_BYT3[7:0]	0xFF	プログラム可能な ADC バイクワッド 1、N0 係数バイト [15:8]
0x0B	ADC_BQ1_N0_BYT4[7:0]	0xFF	プログラム可能な ADC バイクワッド 1、N0 係数バイト [7:0]
0x0C	ADC_BQ1_N1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 1、N1 係数バイト [31:24]
0x0D	ADC_BQ1_N1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 1、N1 係数バイト [23:16]
0x0E	ADC_BQ1_N1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 1、N1 係数バイト [15:8]
0x0F	ADC_BQ1_N1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 1、N1 係数バイト [7:0]
0x10	ADC_BQ1_N2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 1、N2 係数バイト [31:24]
0x11	ADC_BQ1_N2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 1、N2 係数バイト [23:16]
0x12	ADC_BQ1_N2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 1、N2 係数バイト [15:8]

表 7-134. ページ 8 のプログラム可能な係数レジスタ (続き)

0x13	ADC_BQ1_N2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 1、N2 係数バイト [7:0]
0x14	ADC_BQ1_D1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 1、D1 係数バイト [31:24]
0x15	ADC_BQ1_D1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 1、D1 係数バイト [23:16]
0x16	ADC_BQ1_D1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 1、D1 係数バイト [15:8]
0x17	ADC_BQ1_D1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 1、D1 係数バイト [7:0]
0x18	ADC_BQ1_D2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 1、D2 係数バイト [31:24]
0x19	ADC_BQ1_D2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 1、D2 係数バイト [23:16]
0x1A	ADC_BQ1_D2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 1、D2 係数バイト [15:8]
0x1B	ADC_BQ1_D2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 1、D2 係数バイト [7:0]
0x1C	ADC_BQ2_N0_BYT1[7:0]	0x7F	プログラム可能な ADC バイクワッド 2、N0 係数バイト [31:24]
0x1D	ADC_BQ2_N0_BYT2[7:0]	0xFF	プログラム可能な ADC バイクワッド 2、N0 係数バイト [23:16]
0x1E	ADC_BQ2_N0_BYT3[7:0]	0xFF	プログラム可能な ADC バイクワッド 2、N0 係数バイト [15:8]
0x1F	ADC_BQ2_N0_BYT4[7:0]	0xFF	プログラム可能な ADC バイクワッド 2、N0 係数バイト [7:0]
0x20	ADC_BQ2_N1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 2、N1 係数バイト [31:24]
0x21	ADC_BQ2_N1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 2、N1 係数バイト [23:16]
0x22	ADC_BQ2_N1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 2、N1 係数バイト [15:8]
0x23	ADC_BQ2_N1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 2、N1 係数バイト [7:0]
0x24	ADC_BQ2_N2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 2、N2 係数バイト [31:24]
0x25	ADC_BQ2_N2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 2、N2 係数バイト [23:16]
0x26	ADC_BQ2_N2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 2、N2 係数バイト [15:8]
0x27	ADC_BQ2_N2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 2、N2 係数バイト [7:0]
0x28	ADC_BQ2_D1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 2、D1 係数バイト [31:24]
0x29	ADC_BQ2_D1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 2、D1 係数バイト [23:16]
0x2A	ADC_BQ2_D1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 2、D1 係数バイト [15:8]
0x2B	ADC_BQ2_D1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 2、D1 係数バイト [7:0]
0x2C	ADC_BQ2_D2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 2、D2 係数バイト [31:24]
0x2D	ADC_BQ2_D2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 2、D2 係数バイト [23:16]
0x2E	ADC_BQ2_D2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 2、D2 係数バイト [15:8]
0x2F	ADC_BQ2_D2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 2、D2 係数バイト [7:0]
0x30	ADC_BQ3_N0_BYT1[7:0]	0x7F	プログラム可能な ADC バイクワッド 3、N0 係数バイト [31:24]
0x31	ADC_BQ3_N0_BYT2[7:0]	0xFF	プログラム可能な ADC バイクワッド 3、N0 係数バイト [23:16]
0x32	ADC_BQ3_N0_BYT3[7:0]	0xFF	プログラム可能な ADC バイクワッド 3、N0 係数バイト [15:8]
0x33	ADC_BQ3_N0_BYT4[7:0]	0xFF	プログラム可能な ADC バイクワッド 3、N0 係数バイト [7:0]
0x34	ADC_BQ3_N1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 3、N1 係数バイト [31:24]
0x35	ADC_BQ3_N1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 3、N1 係数バイト [23:16]
0x36	ADC_BQ3_N1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 3、N1 係数バイト [15:8]
0x37	ADC_BQ3_N1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 3、N1 係数バイト [7:0]
0x38	ADC_BQ3_N2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 3、N2 係数バイト [31:24]
0x39	ADC_BQ3_N2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 3、N2 係数バイト [23:16]
0x3A	ADC_BQ3_N2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 3、N2 係数バイト [15:8]
0x3B	ADC_BQ3_N2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 3、N2 係数バイト [7:0]
0x3C	ADC_BQ3_D1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 3、D1 係数バイト [31:24]
0x3D	ADC_BQ3_D1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 3、D1 係数バイト [23:16]

表 7-134. ページ 8 のプログラム可能な係数レジスタ (続き)

0x3E	ADC_BQ3_D1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 3、D1 係数バイト [15:8]
0x3F	ADC_BQ3_D1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 3、D1 係数バイト [7:0]
0x40	ADC_BQ3_D2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 3、D2 係数バイト [31:24]
0x41	ADC_BQ3_D2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 3、D2 係数バイト [23:16]
0x42	ADC_BQ3_D2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 3、D2 係数バイト [15:8]
0x43	ADC_BQ3_D2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 3、D2 係数バイト [7:0]
0x44	ADC_BQ4_N0_BYT1[7:0]	0x7F	プログラム可能な ADC バイクワッド 4、N0 係数バイト [31:24]
0x45	ADC_BQ4_N0_BYT2[7:0]	0xFF	プログラム可能な ADC バイクワッド 4、N0 係数バイト [23:16]
0x46	ADC_BQ4_N0_BYT3[7:0]	0xFF	プログラム可能な ADC バイクワッド 4、N0 係数バイト [15:8]
0x47	ADC_BQ4_N0_BYT4[7:0]	0xFF	プログラム可能な ADC バイクワッド 4、N0 係数バイト [7:0]
0x48	ADC_BQ4_N1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 4、N1 係数バイト [31:24]
0x49	ADC_BQ4_N1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 4、N1 係数バイト [23:16]
0x4A	ADC_BQ4_N1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 4、N1 係数バイト [15:8]
0x4B	ADC_BQ4_N1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 4、N1 係数バイト [7:0]
0x4C	ADC_BQ4_N2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 4、N2 係数バイト [31:24]
0x4D	ADC_BQ4_N2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 4、N2 係数バイト [23:16]
0x4E	ADC_BQ4_N2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 4、N2 係数バイト [15:8]
0x4F	ADC_BQ4_N2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 4、N2 係数バイト [7:0]
0x50	ADC_BQ4_D1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 4、D1 係数バイト [31:24]
0x51	ADC_BQ4_D1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 4、D1 係数バイト [23:16]
0x52	ADC_BQ4_D1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 4、D1 係数バイト [15:8]
0x53	ADC_BQ4_D1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 4、D1 係数バイト [7:0]
0x54	ADC_BQ4_D2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 4、D2 係数バイト [31:24]
0x55	ADC_BQ4_D2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 4、D2 係数バイト [23:16]
0x56	ADC_BQ4_D2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 4、D2 係数バイト [15:8]
0x57	ADC_BQ4_D2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 4、D2 係数バイト [7:0]
0x58	ADC_BQ5_N0_BYT1[7:0]	0x7F	プログラム可能な ADC バイクワッド 5、N0 係数バイト [31:24]
0x59	ADC_BQ5_N0_BYT2[7:0]	0xFF	プログラム可能な ADC バイクワッド 5、N0 係数バイト [23:16]
0x5A	ADC_BQ5_N0_BYT3[7:0]	0xFF	プログラム可能な ADC バイクワッド 5、N0 係数バイト [15:8]
0x5B	ADC_BQ5_N0_BYT4[7:0]	0xFF	プログラム可能な ADC バイクワッド 5、N0 係数バイト [7:0]
0x5C	ADC_BQ5_N1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 5、N1 係数バイト [31:24]
0x5D	ADC_BQ5_N1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 5、N1 係数バイト [23:16]
0x5E	ADC_BQ5_N1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 5、N1 係数バイト [15:8]
0x5F	ADC_BQ5_N1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 5、N1 係数バイト [7:0]
0x60	ADC_BQ5_N2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 5、N2 係数バイト [31:24]
0x61	ADC_BQ5_N2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 5、N2 係数バイト [23:16]
0x62	ADC_BQ5_N2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 5、N2 係数バイト [15:8]
0x63	ADC_BQ5_N2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 5、N2 係数バイト [7:0]
0x64	ADC_BQ5_D1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 5、D1 係数バイト [31:24]
0x65	ADC_BQ5_D1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 5、D1 係数バイト [23:16]
0x66	ADC_BQ5_D1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 5、D1 係数バイト [15:8]
0x67	ADC_BQ5_D1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 5、D1 係数バイト [7:0]
0x68	ADC_BQ5_D2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 5、D2 係数バイト [31:24]

表 7-134. ページ 8 のプログラム可能な係数レジスタ (続き)

0x69	ADC_BQ5_D2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 5、D2 係数バイト [23:16]
0x6A	ADC_BQ5_D2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 5、D2 係数バイト [15:8]
0x6B	ADC_BQ5_D2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 5、D2 係数バイト [7:0]
0x6C	ADC_BQ6_N0_BYT1[7:0]	0x7F	プログラム可能な ADC バイクワッド 6、N0 係数バイト [31:24]
0x6D	ADC_BQ6_N0_BYT2[7:0]	0xFF	プログラム可能な ADC バイクワッド 6、N0 係数バイト [23:16]
0x6E	ADC_BQ6_N0_BYT3[7:0]	0xFF	プログラム可能な ADC バイクワッド 6、N0 係数バイト [15:8]
0x6F	ADC_BQ6_N0_BYT4[7:0]	0xFF	プログラム可能な ADC バイクワッド 6、N0 係数バイト [7:0]
0x70	ADC_BQ6_N1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 6、N1 係数バイト [31:24]
0x71	ADC_BQ6_N1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 6、N1 係数バイト [23:16]
0x72	ADC_BQ6_N1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 6、N1 係数バイト [15:8]
0x73	ADC_BQ6_N1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 6、N1 係数バイト [7:0]
0x74	ADC_BQ6_N2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 6、N2 係数バイト [31:24]
0x75	ADC_BQ6_N2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 6、N2 係数バイト [23:16]
0x76	ADC_BQ6_N2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 6、N2 係数バイト [15:8]
0x77	ADC_BQ6_N2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 6、N2 係数バイト [7:0]
0x78	ADC_BQ6_D1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 6、D1 係数バイト [31:24]
0x79	ADC_BQ6_D1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 6、D1 係数バイト [23:16]
0x7A	ADC_BQ6_D1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 6、D1 係数バイト [15:8]
0x7B	ADC_BQ6_D1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 6、D1 係数バイト [7:0]
0x7C	ADC_BQ6_D2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 6、D2 係数バイト [31:24]
0x7D	ADC_BQ6_D2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 6、D2 係数バイト [23:16]
0x7E	ADC_BQ6_D2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 6、D2 係数バイト [15:8]
0x7F	ADC_BQ6_D2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 6、D2 係数バイト [7:0]

7.2.2 プログラム可能な係数レジスタ：ページ 9

表 7-135 に示すこのレジスタ ページは、バイクワッド 7 ~ バイクワッド 12 フィルタのプログラム可能な係数で構成されています。

表 7-135. ページ 9 のプログラム可能な係数レジスタ

アドレス	レジスタ	リセット	説明
0x00	PAGE[7:0]	0x00	デバイス ページ レジスタ
0x08	ADC_BQ7_N0_BYT1[7:0]	0x7F	プログラム可能な ADC バイクワッド 7、N0 係数バイト [31:24]
0x09	ADC_BQ7_N0_BYT2[7:0]	0xFF	プログラム可能な ADC バイクワッド 7、N0 係数バイト [23:16]
0x0A	ADC_BQ7_N0_BYT3[7:0]	0xFF	プログラム可能な ADC バイクワッド 7、N0 係数バイト [15:8]
0x0B	ADC_BQ7_N0_BYT4[7:0]	0xFF	プログラム可能な ADC バイクワッド 7、N0 係数バイト [7:0]
0x0C	ADC_BQ7_N1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 7、N1 係数バイト [31:24]
0x0D	ADC_BQ7_N1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 7、N1 係数バイト [23:16]
0x0E	ADC_BQ7_N1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 7、N1 係数バイト [15:8]
0x0F	ADC_BQ7_N1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 7、N1 係数バイト [7:0]
0x10	ADC_BQ7_N2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 7、N2 係数バイト [31:24]
0x11	ADC_BQ7_N2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 7、N2 係数バイト [23:16]
0x12	ADC_BQ7_N2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 7、N2 係数バイト [15:8]
0x13	ADC_BQ7_N2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 7、N2 係数バイト [7:0]
0x14	ADC_BQ7_D1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 7、D1 係数バイト [31:24]

表 7-135. ページ 9 のプログラム可能な係数レジスタ (続き)

0x15	ADC_BQ7_D1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 7、D1 係数バイト [23:16]
0x16	ADC_BQ7_D1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 7、D1 係数バイト [15:8]
0x17	ADC_BQ7_D1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 7、D1 係数バイト [7:0]
0x18	ADC_BQ7_D2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 7、D2 係数バイト [31:24]
0x19	ADC_BQ7_D2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 7、D2 係数バイト [23:16]
0x1A	ADC_BQ7_D2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 7、D2 係数バイト [15:8]
0x1B	ADC_BQ7_D2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 7、D2 係数バイト [7:0]
0x1C	ADC_BQ8_N0_BYT1[7:0]	0x7F	プログラム可能な ADC バイクワッド 8、N0 係数バイト [31:24]
0x1D	ADC_BQ8_N0_BYT2[7:0]	0xFF	プログラム可能な ADC バイクワッド 8、N0 係数バイト [23:16]
0x1E	ADC_BQ8_N0_BYT3[7:0]	0xFF	プログラム可能な ADC バイクワッド 8、N0 係数バイト [15:8]
0x1F	ADC_BQ8_N0_BYT4[7:0]	0xFF	プログラム可能な ADC バイクワッド 8、N0 係数バイト [7:0]
0x20	ADC_BQ8_N1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 8、N1 係数バイト [31:24]
0x21	ADC_BQ8_N1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 8、N1 係数バイト [23:16]
0x22	ADC_BQ8_N1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 8、N1 係数バイト [15:8]
0x23	ADC_BQ8_N1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 8、N1 係数バイト [7:0]
0x24	ADC_BQ8_N2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 8、N2 係数バイト [31:24]
0x25	ADC_BQ8_N2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 8、N2 係数バイト [23:16]
0x26	ADC_BQ8_N2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 8、N2 係数バイト [15:8]
0x27	ADC_BQ8_N2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 8、N2 係数バイト [7:0]
0x28	ADC_BQ8_D1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 8、D1 係数バイト [31:24]
0x29	ADC_BQ8_D1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 8、D1 係数バイト [23:16]
0x2A	ADC_BQ8_D1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 8、D1 係数バイト [15:8]
0x2B	ADC_BQ8_D1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 8、D1 係数バイト [7:0]
0x2C	ADC_BQ8_D2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 8、D2 係数バイト [31:24]
0x2D	ADC_BQ8_D2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 8、D2 係数バイト [23:16]
0x2E	ADC_BQ8_D2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 8、D2 係数バイト [15:8]
0x2F	ADC_BQ8_D2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 8、D2 係数バイト [7:0]
0x30	ADC_BQ9_N0_BYT1[7:0]	0x7F	プログラム可能な ADC バイクワッド 9、N0 係数バイト [31:24]
0x31	ADC_BQ9_N0_BYT2[7:0]	0xFF	プログラム可能な ADC バイクワッド 9、N0 係数バイト [23:16]
0x32	ADC_BQ9_N0_BYT3[7:0]	0xFF	プログラム可能な ADC バイクワッド 9、N0 係数バイト [15:8]
0x33	ADC_BQ9_N0_BYT4[7:0]	0xFF	プログラム可能な ADC バイクワッド 9、N0 係数バイト [7:0]
0x34	ADC_BQ9_N1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 9、N1 係数バイト [31:24]
0x35	ADC_BQ9_N1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 9、N1 係数バイト [23:16]
0x36	ADC_BQ9_N1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 9、N1 係数バイト [15:8]
0x37	ADC_BQ9_N1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 9、N1 係数バイト [7:0]
0x38	ADC_BQ9_N2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 9、N2 係数バイト [31:24]
0x39	ADC_BQ9_N2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 9、N2 係数バイト [23:16]
0x3A	ADC_BQ9_N2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 9、N2 係数バイト [15:8]
0x3B	ADC_BQ9_N2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 9、N2 係数バイト [7:0]
0x3C	ADC_BQ9_D1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 9、D1 係数バイト [31:24]
0x3D	ADC_BQ9_D1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 9、D1 係数バイト [23:16]
0x3E	ADC_BQ9_D1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 9、D1 係数バイト [15:8]
0x3F	ADC_BQ9_D1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 9、D1 係数バイト [7:0]

表 7-135. ページ 9 のプログラム可能な係数レジスタ (続き)

0x40	ADC_BQ9_D2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 9、D2 係数バイト [31:24]
0x41	ADC_BQ9_D2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 9、D2 係数バイト [23:16]
0x42	ADC_BQ9_D2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 9、D2 係数バイト [15:8]
0x43	ADC_BQ9_D2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 9、D2 係数バイト [7:0]
0x44	ADC_BQ10_N0_BYT1[7:0]	0x7F	プログラム可能な ADC バイクワッド 10、N0 係数バイト [31:24]
0x45	ADC_BQ10_N0_BYT2[7:0]	0xFF	プログラム可能な ADC バイクワッド 10、N0 係数バイト [23:16]
0x46	ADC_BQ10_N0_BYT3[7:0]	0xFF	プログラム可能な ADC バイクワッド 10、N0 係数バイト [15:8]
0x47	ADC_BQ10_N0_BYT4[7:0]	0xFF	プログラム可能な ADC バイクワッド 10、N0 係数バイト [7:0]
0x48	ADC_BQ10_N1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 10、N1 係数バイト [31:24]
0x49	ADC_BQ10_N1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 10、N1 係数バイト [23:16]
0x4A	ADC_BQ10_N1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 10、N1 係数バイト [15:8]
0x4B	ADC_BQ10_N1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 10、N1 係数バイト [7:0]
0x4C	ADC_BQ10_N2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 10、N2 係数バイト [31:24]
0x4D	ADC_BQ10_N2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 10、N2 係数バイト [23:16]
0x4E	ADC_BQ10_N2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 10、N2 係数バイト [15:8]
0x4F	ADC_BQ10_N2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 10、N2 係数バイト [7:0]
0x50	ADC_BQ10_D1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 10、D1 係数バイト [31:24]
0x51	ADC_BQ10_D1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 10、D1 係数バイト [23:16]
0x52	ADC_BQ10_D1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 10、D1 係数バイト [15:8]
0x53	ADC_BQ10_D1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 10、D1 係数バイト [7:0]
0x54	ADC_BQ10_D2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 10、D2 係数バイト [31:24]
0x55	ADC_BQ10_D2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 10、D2 係数バイト [23:16]
0x56	ADC_BQ10_D2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 10、D2 係数バイト [15:8]
0x57	ADC_BQ10_D2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 10、D2 係数バイト [7:0]
0x58	ADC_BQ11_N0_BYT1[7:0]	0x7F	プログラム可能な ADC バイクワッド 11、N0 係数バイト [31:24]
0x59	ADC_BQ11_N0_BYT2[7:0]	0xFF	プログラム可能な ADC バイクワッド 11、N0 係数バイト [23:16]
0x5A	ADC_BQ11_N0_BYT3[7:0]	0xFF	プログラム可能な ADC バイクワッド 11、N0 係数バイト [15:8]
0x5B	ADC_BQ11_N0_BYT4[7:0]	0xFF	プログラム可能な ADC バイクワッド 11、N0 係数バイト [7:0]
0x5C	ADC_BQ11_N1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 11、N1 係数バイト [31:24]
0x5D	ADC_BQ11_N1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 11、N1 係数バイト [23:16]
0x5E	ADC_BQ11_N1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 11、N1 係数バイト [15:8]
0x5F	ADC_BQ11_N1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 11、N1 係数バイト [7:0]
0x60	ADC_BQ11_N2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 11、N2 係数バイト [31:24]
0x61	ADC_BQ11_N2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 11、N2 係数バイト [23:16]
0x62	ADC_BQ11_N2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 11、N2 係数バイト [15:8]
0x63	ADC_BQ11_N2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 11、N2 係数バイト [7:0]
0x64	ADC_BQ11_D1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 11、D1 係数バイト [31:24]
0x65	ADC_BQ11_D1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 11、D1 係数バイト [23:16]
0x66	ADC_BQ11_D1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 11、D1 係数バイト [15:8]
0x67	ADC_BQ11_D1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 11、D1 係数バイト [7:0]
0x68	ADC_BQ11_D2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 11、D2 係数バイト [31:24]
0x69	ADC_BQ11_D2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 11、D2 係数バイト [23:16]
0x6A	ADC_BQ11_D2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 11、D2 係数バイト [15:8]

表 7-135. ページ 9 のプログラム可能な係数レジスタ (続き)

0x6B	ADC_BQ11_D2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 11、D2 係数バイト [7:0]
0x6C	ADC_BQ12_N0_BYT1[7:0]	0x7F	プログラム可能な ADC バイクワッド 12、N0 係数バイト [31:24]
0x6D	ADC_BQ12_N0_BYT2[7:0]	0xFF	プログラム可能な ADC バイクワッド 12、N0 係数バイト [23:16]
0x6E	ADC_BQ12_N0_BYT3[7:0]	0xFF	プログラム可能な ADC バイクワッド 12、N0 係数バイト [15:8]
0x6F	ADC_BQ12_N0_BYT4[7:0]	0xFF	プログラム可能な ADC バイクワッド 12、N0 係数バイト [7:0]
0x70	ADC_BQ12_N1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 12、N1 係数バイト [31:24]
0x71	ADC_BQ12_N1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 12、N1 係数バイト [23:16]
0x72	ADC_BQ12_N1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 12、N1 係数バイト [15:8]
0x73	ADC_BQ12_N1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 12、N1 係数バイト [7:0]
0x74	ADC_BQ12_N2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 12、N2 係数バイト [31:24]
0x75	ADC_BQ12_N2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 12、N2 係数バイト [23:16]
0x76	ADC_BQ12_N2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 12、N2 係数バイト [15:8]
0x77	ADC_BQ12_N2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 12、N2 係数バイト [7:0]
0x78	ADC_BQ12_D1_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 12、D1 係数バイト [31:24]
0x79	ADC_BQ12_D1_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 12、D1 係数バイト [23:16]
0x7A	ADC_BQ12_D1_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 12、D1 係数バイト [15:8]
0x7B	ADC_BQ12_D1_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 12、D1 係数バイト [7:0]
0x7C	ADC_BQ12_D2_BYT1[7:0]	0x00	プログラム可能な ADC バイクワッド 12、D2 係数バイト [31:24]
0x7D	ADC_BQ12_D2_BYT2[7:0]	0x00	プログラム可能な ADC バイクワッド 12、D2 係数バイト [23:16]
0x7E	ADC_BQ12_D2_BYT3[7:0]	0x00	プログラム可能な ADC バイクワッド 12、D2 係数バイト [15:8]
0x7F	ADC_BQ12_D2_BYT4[7:0]	0x00	プログラム可能な ADC バイクワッド 12、D2 係数バイト [7:0]

7.2.3 プログラム可能な係数レジスタ：ページ 10

表 7-136 に示すレジスタ ページは、ミキサ 1 ~ 4 のプログラム可能な係数と、1 次 IIR フィルタで構成されています。すべてのチャネル ミキサ係数は 32 ビットで、1.31 の数値形式を使用した 2 の補数です。0x7FFFFFFF の値は +1 (0dB ゲイン) に相当し、0x00000000 の値はミュート(ゼロ データ)に相当します。その間のすべての値には、それに応じて計算されたミキサ減衰を設定します。 $(\text{hex2dec}(\text{value})/2^{31})$ 。MSB を「1」に設定すると、減衰は同じままであるが、信号位相は反転します。

表 7-136. ページ 10 のプログラム可能な係数レジスタ

アドレス	レジスタ	リセット	説明
0x00	PAGE[7:0]	0x00	デバイス ページ レジスタ
0x08	ADC_MIX1_CH1_BYT1[7:0]	0x7F	デジタルミキサ 1、ADC チャネル 1 係数バイト [31:24]
0x09	ADC_MIX1_CH1_BYT2[7:0]	0xFF	デジタルミキサ 1、ADC チャネル 1 係数バイト [23:16]
0x0A	ADC_MIX1_CH1_BYT3[7:0]	0xFF	デジタルミキサ 1、ADC チャネル 1 係数バイト [15:8]
0x0B	ADC_MIX1_CH1_BYT4[7:0]	0xFF	デジタルミキサ 1、ADC チャネル 1 係数バイト [7:0]
0x0C	ADC_MIX1_CH2_BYT1[7:0]	0x00	デジタルミキサ 1、ADC チャネル 2 係数バイト [31:24]
0x0D	ADC_MIX1_CH2_BYT2[7:0]	0x00	デジタルミキサ 1、ADC チャネル 2 係数バイト [23:16]
0x0E	ADC_MIX1_CH2_BYT3[7:0]	0x00	デジタルミキサ 1、ADC チャネル 2 係数バイト [15:8]
0x0F	ADC_MIX1_CH2_BYT4[7:0]	0x00	デジタルミキサ 1、ADC チャネル 2 係数バイト [7:0]
0x10	ADC_MIX1_CH3_BYT1[7:0]	0x00	デジタルミキサ 1、ADC チャネル 3 係数バイト [31:24]
0x11	ADC_MIX1_CH3_BYT2[7:0]	0x00	デジタルミキサ 1、ADC チャネル 3 係数バイト [23:16]
0x12	ADC_MIX1_CH3_BYT3[7:0]	0x00	デジタルミキサ 1、ADC チャネル 3 係数バイト [15:8]
0x13	ADC_MIX1_CH3_BYT4[7:0]	0x00	デジタルミキサ 1、ADC チャネル 3 係数バイト [7:0]

表 7-136. ページ 10 のプログラム可能な係数レジスタ (続き)

0x14	ADC_MIX1_CH4_BYT1[7:0]	0x00	デジタルミキサ 1、ADC チャネル 4 係数バイト [31:24]
0x15	ADC_MIX1_CH4_BYT2[7:0]	0x00	デジタルミキサ 1、ADC チャネル 4 係数バイト [23:16]
0x16	ADC_MIX1_CH4_BYT3[7:0]	0x00	デジタルミキサ 1、ADC チャネル 4 係数バイト [15:8]
0x17	ADC_MIX1_CH4_BYT4[7:0]	0x00	デジタルミキサ 1、ADC チャネル 4 係数バイト [7:0]
0x18	ADC_MIX2_CH1_BYT1[7:0]	0x00	デジタルミキサ 2、ADC チャネル 1 係数バイト [31:24]
0x19	ADC_MIX2_CH1_BYT2[7:0]	0x00	デジタルミキサ 2、ADC チャネル 1 係数バイト [23:16]
0x1A	ADC_MIX2_CH1_BYT3[7:0]	0x00	デジタルミキサ 2、ADC チャネル 1 係数バイト [15:8]
0x1B	ADC_MIX2_CH1_BYT4[7:0]	0x00	デジタルミキサ 2、ADC チャネル 1 係数バイト [7:0]
0x1C	ADC_MIX2_CH2_BYT1[7:0]	0x7F	デジタルミキサ 2、ADC チャネル 2 係数バイト [31:24]
0x1D	ADC_MIX2_CH2_BYT2[7:0]	0xFF	デジタルミキサ 2、ADC チャネル 2 係数バイト [23:16]
0x1E	ADC_MIX2_CH2_BYT3[7:0]	0xFF	デジタルミキサ 2、ADC チャネル 2 係数バイト [15:8]
0x1F	ADC_MIX2_CH2_BYT4[7:0]	0xFF	デジタルミキサ 2、ADC チャネル 2 係数バイト [7:0]
0x20	ADC_MIX2_CH3_BYT1[7:0]	0x00	デジタルミキサ 2、ADC チャネル 3 係数バイト [31:24]
0x21	ADC_MIX2_CH3_BYT2[7:0]	0x00	デジタルミキサ 2、ADC チャネル 3 係数バイト [23:16]
0x22	ADC_MIX2_CH3_BYT3[7:0]	0x00	デジタルミキサ 2、ADC チャネル 3 係数バイト [15:8]
0x23	ADC_MIX2_CH3_BYT4[7:0]	0x00	デジタルミキサ 2、ADC チャネル 3 係数バイト [7:0]
0x24	ADC_MIX2_CH4_BYT1[7:0]	0x00	デジタルミキサ 2、ADC チャネル 4 係数バイト [31:24]
0x25	ADC_MIX2_CH4_BYT2[7:0]	0x00	デジタルミキサ 2、ADC チャネル 4 係数バイト [23:16]
0x26	ADC_MIX2_CH4_BYT3[7:0]	0x00	デジタルミキサ 2、ADC チャネル 4 係数バイト [15:8]
0x27	ADC_MIX2_CH4_BYT4[7:0]	0x00	デジタルミキサ 2、ADC チャネル 4 係数バイト [7:0]
0x28	ADC_MIX3_CH1_BYT1[7:0]	0x00	デジタルミキサ 3、ADC チャネル 1 係数バイト [31:24]
0x29	ADC_MIX3_CH1_BYT2[7:0]	0x00	デジタルミキサ 3、ADC チャネル 1 係数バイト [23:16]
0x2A	ADC_MIX3_CH1_BYT3[7:0]	0x00	デジタルミキサ 3、ADC チャネル 1 係数バイト [15:8]
0x2B	ADC_MIX3_CH1_BYT4[7:0]	0x00	デジタルミキサ 3、ADC チャネル 1 係数バイト [7:0]
0x2C	ADC_MIX3_CH2_BYT1[7:0]	0x00	デジタルミキサ 3、ADC チャネル 2 係数バイト [31:24]
0x2D	ADC_MIX3_CH2_BYT2[7:0]	0x00	デジタルミキサ 3、ADC チャネル 2 係数バイト [23:16]
0x2E	ADC_MIX3_CH2_BYT3[7:0]	0x00	デジタルミキサ 3、ADC チャネル 2 係数バイト [15:8]
0x2F	ADC_MIX3_CH2_BYT4[7:0]	0x00	デジタルミキサ 3、ADC チャネル 2 係数バイト [7:0]
0x30	ADC_MIX3_CH3_BYT1[7:0]	0x7F	デジタルミキサ 3、ADC チャネル 3 係数バイト [31:24]
0x31	ADC_MIX3_CH3_BYT2[7:0]	0xFF	デジタルミキサ 3、ADC チャネル 3 係数バイト [23:16]
0x32	ADC_MIX3_CH3_BYT3[7:0]	0xFF	デジタルミキサ 3、ADC チャネル 3 係数バイト [15:8]
0x33	ADC_MIX3_CH3_BYT4[7:0]	0xFF	デジタルミキサ 3、ADC チャネル 3 係数バイト [7:0]
0x34	ADC_MIX3_CH4_BYT1[7:0]	0x00	デジタルミキサ 3、ADC チャネル 4 係数バイト [31:24]
0x35	ADC_MIX3_CH4_BYT2[7:0]	0x00	デジタルミキサ 3、ADC チャネル 4 係数バイト [23:16]
0x36	ADC_MIX3_CH4_BYT3[7:0]	0x00	デジタルミキサ 3、ADC チャネル 4 係数バイト [15:8]
0x37	ADC_MIX3_CH4_BYT4[7:0]	0x00	デジタルミキサ 3、ADC チャネル 4 係数バイト [7:0]
0x38	ADC_MIX4_CH1_BYT1[7:0]	0x00	デジタルミキサ 4、ADC チャネル 1 係数バイト [31:24]
0x39	ADC_MIX4_CH1_BYT2[7:0]	0x00	デジタルミキサ 4、ADC チャネル 1 係数バイト [23:16]
0x3A	ADC_MIX4_CH1_BYT3[7:0]	0x00	デジタルミキサ 4、ADC チャネル 1 係数バイト [15:8]
0x3B	ADC_MIX4_CH1_BYT4[7:0]	0x00	デジタルミキサ 4、ADC チャネル 1 係数バイト [7:0]
0x3C	ADC_MIX4_CH2_BYT1[7:0]	0x00	デジタルミキサ 4、ADC チャネル 2 係数バイト [31:24]
0x3D	ADC_MIX4_CH2_BYT2[7:0]	0x00	デジタルミキサ 4、ADC チャネル 2 係数バイト [23:16]
0x3E	ADC_MIX4_CH2_BYT3[7:0]	0x00	デジタルミキサ 4、ADC チャネル 2 係数バイト [15:8]

表 7-136. ページ 10 のプログラム可能な係数レジスタ (続き)

0x3F	ADC_MIX4_CH2_BYT4[7:0]	0x00	デジタルミキサ 4、ADC チャネル 2 係数バイト [7:0]
0x40	ADC_MIX4_CH3_BYT1[7:0]	0x00	デジタルミキサ 4、ADC チャネル 3 係数バイト [31:24]
0x41	ADC_MIX4_CH3_BYT2[7:0]	0x00	デジタルミキサ 4、ADC チャネル 3 係数バイト [23:16]
0x42	ADC_MIX4_CH3_BYT3[7:0]	0x00	デジタルミキサ 4、ADC チャネル 3 係数バイト [15:8]
0x43	ADC_MIX4_CH3_BYT4[7:0]	0x00	デジタルミキサ 4、ADC チャネル 3 係数バイト [7:0]
0x44	ADC_MIX4_CH4_BYT1[7:0]	0x7F	デジタルミキサ 4、ADC チャネル 4 係数バイト [31:24]
0x45	ADC_MIX4_CH4_BYT2[7:0]	0xFF	デジタルミキサ 4、ADC チャネル 4 係数バイト [23:16]
0x46	ADC_MIX4_CH4_BYT3[7:0]	0xFF	デジタルミキサ 4、ADC チャネル 4 係数バイト [15:8]
0x47	ADC_MIX4_CH4_BYT4[7:0]	0xFF	デジタルミキサ 4、ADC チャネル 4 係数バイト [7:0]
0x78	ADC_IIR_N0_BYT1[7:0]	0x7F	プログラム可能 ADC 1 次 IIR、N0 係数バイト [31:24]
0x79	ADC_IIR_N0_BYT2[7:0]	0xFF	プログラム可能 ADC 1 次 IIR、N0 の係数バイト [23:16]
0x7A	ADC_IIR_N0_BYT3[7:0]	0xFF	プログラム可能 ADC 1 次 IIR、N0 係数バイト [15:8]
0x7B	ADC_IIR_N0_BYT4[7:0]	0xFF	プログラム可能 ADC 1 次 IIR、N0 係数バイト [7:0]
0x7C	ADC_IIR_N1_BYT1[7:0]	0x00	プログラム可能 ADC 1 次 IIR、N1 係数バイト [31:24]
0x7D	ADC_IIR_N1_BYT2[7:0]	0x00	プログラム可能 ADC 1 次 IIR、N1 係数バイト [23:16]
0x7E	ADC_IIR_N1_BYT3[7:0]	0x00	プログラム可能 ADC 1 次 IIR、N1 係数バイト [15:8]
0x7F	ADC_IIR_N1_BYT4[7:0]	0x00	プログラム可能 ADC 1 次 IIR、N1 係数バイト [7:0]

7.2.4 プログラム可能な係数レジスタ：ページ 11

表 7-137 に示すこのレジスタ ページは、一次 IIR フィルタ、チャネル 1 から 4 のデジタル ボリューム コントロールと微調整ゲインコントロール、ADC 補助ミキサ、UAD フィルタ用のプログラム可能な係数で構成されています。

表 7-137. ページ 11 のプログラム可能な係数レジスタ

アドレス	レジスタ	リセット	説明
0x00	PAGE[7:0]	0x00	デバイス ページ レジスタ
0x08	ADC_IIR_D1_BYT1[7:0]	0x00	プログラム可能な ADC 一次 IIR、D1 係数バイト [31:24]
0x09	ADC_IIR_D1_BYT2[7:0]	0x00	プログラム可能な ADC 1 次 IIR、D1 係数バイト [23:16]
0x0A	ADC_IIR_D1_BYT3[7:0]	0x00	プログラム可能な ADC 1 次 IIR、D1 係数バイト [15:8]
0x0B	ADC_IIR_D1_BYT4[7:0]	0x00	プログラム可能な ADC 1 次 IIR、D1 係数バイト [7:0]
0x0C	DEV_BQ_BUFSWAP_FLAG_B_YT1[7:0]	0x00	デバイス バイクワッド バッファ スワップ フラグ係数バイト [31:24]
0x0D	DEV_BQ_BUFSWAP_FLAG_B_YT2[7:0]	0x00	デバイス バイクワッド バッファ スワップ フラグ係数バイト [23:16]
0x0E	DEV_BQ_BUFSWAP_FLAG_B_YT3[7:0]	0x00	デバイス バイクワッド バッファ スワップ フラグ係数バイト [15:8]
0x0F	DEV_BQ_BUFSWAP_FLAG_B_YT4[7:0]	0x00	デバイス バイクワッド バッファ スワップ フラグ係数バイト [7:0]
0x0C	ADC_VOL_CH1_BYT1[7:0]	0x00	デジタル ボリューム コントロール、ADC チャネル 1 の係数バイト [31:24]
0x0D	ADC_VOL_CH1_BYT2[7:0]	0x80	デジタル ボリューム コントロール、ADC チャネル 1 の係数バイト [23:16]
0x0E	ADC_VOL_CH1_BYT3[7:0]	0x00	デジタル ボリューム コントロール、ADC チャネル 1 の係数バイト [15:8]
0x0F	ADC_VOL_CH1_BYT4[7:0]	0x00	デジタル ボリューム コントロール、ADC チャネル 1 の係数バイト [7:0]
0x10	ADC_VOL_CH2_BYT1[7:0]	0x00	デジタル ボリューム コントロール、ADC チャネル 2 の係数バイト [31:24]

表 7-137. ページ 11 のプログラム可能な係数レジスタ (続き)

0x11	ADC_VOL_CH2_BYT2[7:0]	0x80	デジタル ボリューム コントロール、ADC チャネル 2 の係数バイト [23:16]
0x12	ADC_VOL_CH2_BYT3[7:0]	0x00	デジタル ボリューム コントロール、ADC チャネル 2 の係数バイト [15:8]
0x13	ADC_VOL_CH2_BYT4[7:0]	0x00	デジタル ボリューム コントロール、ADC チャネル 2 の係数バイト [7:0]
0x14	ADC_VOL_CH3_BYT1[7:0]	0x00	デジタル ボリューム コントロール、ADC チャネル 3 の係数バイト [31:24]
0x15	ADC_VOL_CH3_BYT2[7:0]	0x80	デジタル ボリューム コントロール、ADC チャネル 3 の係数バイト [23:16]
0x16	ADC_VOL_CH3_BYT3[7:0]	0x00	デジタル ボリューム コントロール、ADC チャネル 3 の係数バイト [15:8]
0x17	ADC_VOL_CH3_BYT4[7:0]	0x00	デジタル ボリューム コントロール、ADC チャネル 3 の係数バイト [7:0]
0x18	ADC_VOL_CH4_BYT1[7:0]	0x00	デジタル ボリューム コントロール、ADC チャネル 4 の係数バイト [31:24]
0x19	ADC_VOL_CH4_BYT2[7:0]	0x80	デジタル ボリューム コントロール、ADC チャネル 4 の係数バイト [23:16]
0x1A	ADC_VOL_CH4_BYT3[7:0]	0x00	デジタル ボリューム コントロール、ADC チャネル 4 の係数バイト [15:8]
0x1F	ADC_VOL_CH4_BYT4[7:0]	0x00	デジタル ボリューム コントロール、ADC チャネル 4 の係数バイト [7:0]
0x20	ADC_SF2_CH1_BYT1[7:0]	0x40	デジタル SF2(微調整ゲイン) 制御、ADC チャネル 1 係数バイト [31:24]
0x21	ADC_SF2_CH1_BYT2[7:0]	0x00	デジタル SF2(微調整ゲイン) 制御、ADC チャネル 1 係数バイト [23:16]
0x22	ADC_SF2_CH1_BYT3[7:0]	0x00	デジタル SF2(微調整ゲイン) 制御、ADC チャネル 1 係数バイト [15:8]
0x23	ADC_SF2_CH1_BYT4[7:0]	0x00	デジタル SF2(微調整ゲイン) 制御、ADC チャネル 1 係数バイト [7:0]
0x24	ADC_SF2_CH2_BYT1[7:0]	0x40	デジタル SF2(微調整ゲイン) 制御、ADC チャネル 2 係数バイト [31:24]
0x25	ADC_SF2_CH2_BYT2[7:0]	0x00	デジタル SF2(微調整ゲイン) 制御、ADC チャネル 2 係数バイト [23:16]
0x26	ADC_SF2_CH2_BYT3[7:0]	0x00	デジタル SF2(微調整ゲイン) 制御、ADC チャネル 2 係数バイト [15:8]
0x27	ADC_SF2_CH2_BYT4[7:0]	0x00	デジタル SF2(微調整ゲイン) 制御、ADC チャネル 2 係数バイト [7:0]
0x28	ADC_SF2_CH3_BYT1[7:0]	0x40	デジタル SF2(微調整ゲイン) 制御、ADC チャネル 3 係数バイト [31:24]
0x29	ADC_SF2_CH3_BYT2[7:0]	0x00	デジタル SF2(微調整ゲイン) 制御、ADC チャネル 3 係数バイト [23:16]
0x2A	ADC_SF2_CH3_BYT3[7:0]	0x00	デジタル SF2(微調整ゲイン) 制御、ADC チャネル 3 係数バイト [15:8]
0x2B	ADC_SF2_CH3_BYT4[7:0]	0x00	デジタル SF2(微調整ゲイン) 制御、ADC チャネル 3 係数バイト [7:0]
0x2C	ADC_SF2_CH4_BYT1[7:0]	0x40	デジタル SF2(微調整ゲイン) 制御、ADC チャネル 4 係数バイト [31:24]
0x2D	ADC_SF2_CH4_BYT2[7:0]	0x00	デジタル SF2(微調整ゲイン) 制御、ADC チャネル 4 係数バイト [23:16]
0x2E	ADC_SF2_CH4_BYT3[7:0]	0x00	デジタル SF2(微調整ゲイン) 制御、ADC チャネル 4 係数バイト [15:8]

表 7-137. ページ 11 のプログラム可能な係数レジスタ (続き)

0x2F	ADC_SF2_CH4_BYT4[7:0]	0x00	デジタル SF2(微調整ゲイン)制御、ADC チャネル 4 係数バイト [7:0]
0x30	ADC_AUX_MIX_CH1_BYT1[7:0]	0x00	ADC 補助ミキサ CH1 係数バイト [31:24]
0x31	ADC_AUX_MIX_CH1_BYT2[7:0]	0x00	ADC 補助ミキサ CH1 係数バイト [23:16]
0x32	ADC_AUX_MIX_CH1_BYT3[7:0]	0x00	ADC 補助ミキサ CH1 係数バイト [15:8]
0x33	ADC_AUX_MIX_CH1_BYT4[7:0]	0x00	ADC 補助ミキサ CH1 係数バイト [7:0]
0x34	ADC_AUX_MIX_CH2_BYT1[7:0]	0x00	ADC 補助ミキサ CH2 係数バイト [31:24]
0x35	ADC_AUX_MIX_CH2_BYT2[7:0]	0x00	ADC 補助ミキサ CH2 係数バイト [23:16]
0x36	ADC_AUX_MIX_CH2_BYT3[7:0]	0x00	ADC 補助ミキサ CH2 係数バイト [15:8]
0x37	ADC_AUX_MIX_CH2_BYT4[7:0]	0x00	ADC 補助ミキサ CH2 係数バイト [7:0]
0x68	ADC_UAD_BPF_B0_BYT1[7:0]	0x07	UAD BQ B0 係数 [31:24]
0x69	ADC_UAD_BPF_B0_BYT2[7:0]	0xDF	UAD BQ B0 係数 [23:16]
0x6A	ADC_UAD_BPF_B0_BYT3[7:0]	0x9E	UAD BQ B0 係数 [15:8]
0x6B	ADC_UAD_BPF_B0_BYT4[7:0]	0x1D	UAD BQ B0 係数 [7:0]
0x6C	ADC_UAD_BPF_B1_BYT1[7:0]	0x00	UAD BQ B1 係数 [31:24]
0x6D	ADC_UAD_BPF_B1_BYT2[7:0]	0x00	UAD BQ B1 係数 [23:16]
0x6E	ADC_UAD_BPF_B1_BYT3[7:0]	0x00	UAD BQ B1 係数 [15:8]
0x6F	ADC_UAD_BPF_B1_BYT4[7:0]	0x00	UAD BQ B1 係数 [7:0]
0x70	ADC_UAD_BPF_B2_BYT1[7:0]	0xF8	UAD BQ B2 係数 [31:24]
0x71	ADC_UAD_BPF_B2_BYT2[7:0]	0x20	UAD BQ B2 係数 [23:16]
0x72	ADC_UAD_BPF_B2_BYT3[7:0]	0x61	UAD BQ B2 係数 [15:8]
0x73	ADC_UAD_BPF_B2_BYT4[7:0]	0xE2	UAD BQ B2 係数 [7:0]
0x74	ADC_UAD_BPF_A1_BYT1[7:0]	0x3C	UAD BQ A1 係数 [31:24]
0x75	ADC_UAD_BPF_A1_BYT2[7:0]	0x31	UAD BQ A1 係数 [23:16]
0x76	ADC_UAD_BPF_A1_BYT3[7:0]	0x2E	UAD BQ A1 係数 [15:8]
0x77	ADC_UAD_BPF_A1_BYT4[7:0]	0xF5	UAD BQ A1 係数 [7:0]
0x78	ADC_UAD_BPF_A2_BYT1[7:0]	0x70	UAD BQ A2 係数 [31:24]
0x79	ADC_UAD_BPF_A2_BYT2[7:0]	0x40	UAD BQ A2 係数 [23:16]
0x7A	ADC_UAD_BPF_A2_BYT3[7:0]	0xC3	UAD BQ A2 係数 [15:8]
0x7B	ADC_UAD_BPF_A2_BYT4[7:0]	0xC5	UAD BQ A2 係数 [7:0]

7.2.5 プログラム可能な係数レジスタ：ページ 19

表 7-138 に示すこのレジスタ ページは、チャネル 1 ~ 4 の ADC MSA のプログラム可能な係数で構成されています。

表 7-138. ページ 19 のプログラム可能な係数レジスタ

アドレス	レジスタ	リセット	説明
0x00	PAGE[7:0]	0x00	デバイス ページ レジスタ
0x58	ADC_CH1_SF1_BYT1[7:0]	0x04	ADC CH1 MSA 係数バイト [31:24]
0x59	ADC_CH1_SF1_BYT2[7:0]	0x00	ADC CH1 MSA 係数バイト [23:16]

表 7-138. ページ 19 のプログラム可能な係数レジスタ (続き)

0x5A	ADC_CH1_SF1_BYT3[7:0]	0x00	ADC CH1 MSA 係数バイト [15:8]
0x5B	ADC_CH1_SF1_BYT4[7:0]	0x00	ADC CH1 MSA 係数バイト [7:0]
0x5C	ADC_CH2_SF1_BYT1[7:0]	0x04	ADC CH2 MSA 係数バイト [31:24]
0x5D	ADC_CH2_SF1_BYT2[7:0]	0x00	ADC CH2 MSA 係数バイト [23:16]
0x5E	ADC_CH2_SF1_BYT3[7:0]	0x00	ADC CH2 MSA 係数バイト [15:8]
0x5F	ADC_CH2_SF1_BYT4[7:0]	0x00	ADC CH2 MSA 係数バイト [7:0]
0x60	ADC_CH3_SF1_BYT1[7:0]	0x04	ADC CH3 MSA 係数バイト [31:24]
0x61	ADC_CH3_SF1_BYT2[7:0]	0x00	ADC CH3 MSA 係数バイト [23:16]
0x62	ADC_CH3_SF1_BYT3[7:0]	0x00	ADC CH3 MSA 係数バイト [15:8]
0x63	ADC_CH3_SF1_BYT4[7:0]	0x00	ADC CH3 MSA 係数バイト [7:0]
0x64	ADC_CH4_SF1_BYT1[7:0]	0x04	ADC CH4 MSA 係数バイト [31:24]
0x65	ADC_CH4_SF1_BYT2[7:0]	0x00	ADC CH4 MSA 係数バイト [23:16]
0x66	ADC_CH4_SF1_BYT3[7:0]	0x00	ADC CH4 MSA 係数バイト [15:8]
0x67	ADC_CH4_SF1_BYT4[7:0]	0x00	ADC CH4 MSA 係数バイト [7:0]

7.2.6 プログラム可能な係数レジスタ : ページ 27

表 7-139 に示すこのレジスタ ページは、AGC のプログラム可能な係数で構成されています。

表 7-139. ページ 27 のプログラム可能な係数レジスタ

アドレス	レジスタ	リセット	説明
0x00	PAGE[7:0]	0x00	デバイス ページ レジスタ
0x5C	AGC_NOISE_FLOOR_BYT1[7:0]	0xFF	AGC ノイズ フロア 係数バイト [31:24]
0x5D	AGC_NOISE_FLOOR_BYT2[7:0]	0xFE	AGC ノイズ フロア 係数バイト [23:16]
0x5E	AGC_NOISE_FLOOR_BYTT3[7:0]	0xB0	AGC ノイズ フロア 係数バイト [15:8]
0x5F	AGC_NOISE_FLOOR_BYTT4[7:0]	0x00	AGC ノイズ フロア 係数バイト [7:0]
0x60	AGC_TARGET_LEVEL_BYT1[7:0]	0xFF	AGC ターゲット レベル 係数バイト [31:24]
0x61	AGC_TARGET_LEVEL_BYT2[7:0]	0xFF	AGC ターゲット レベル 係数バイト [23:16]
0x62	AGC_TARGET_LEVEL_BYTT3[7:0]	0x78	AGC ターゲット レベル 係数バイト [15:8]
0x63	AGC_TARGET_LEVEL_BYTT4[7:0]	0x00	AGC ターゲット レベル 係数バイト [7:0]
0x64	AGC_NOISE_COUNT_MAX_BYT1[7:0]	0x00	AGC ノイズ フロア ホールド カウント 係数バイト [31:24]
0x65	AGC_NOISE_COUNT_MAX_BYT2[7:0]	0x00	AGC ノイズ フロア ホールド カウント 係数バイト [23:16]
0x66	AGC_NOISE_COUNT_MAX_BYT3[7:0]	0x04	AGC ノイズ フロア ホールド カウント 係数バイト [15:8]
0x67	AGC_NOISE_COUNT_MAX_BYT4[7:0]	0xB0	AGC ノイズ フロア ホールド カウント 係数バイト [7:0]
0x68	AGC_MAX_GAIN_BYT1[7:0]	0x00	AGC 最大ゲイン 係数バイト [31:24]
0x69	AGC_MAX_GAIN_BYT2[7:0]	0x00	AGC 最大ゲイン 係数バイト [23:16]
0x6A	AGC_MAX_GAIN_BYTT3[7:0]	0x60	AGC 最大ゲイン 係数バイト [15:8]
0x6B	AGC_MAX_GAIN_BYTT4[7:0]	0x00	AGC 最大ゲイン 係数バイト [7:0]

表 7-139. ページ 27 のプログラム可能な係数レジスタ (続き)

0x6C	AGC_MIN_GAIN_BYT1[7:0]	0xFF	AGC 最小ゲイン係数バイト [31:24]
0x6D	AGC_MIN_GAIN_BYT2[7:0]	0xFF	AGC 最小ゲイン係数バイト [23:16]
0x6E	AGC_MIN_GAIN_BYTT3[7:0]	0x88	AGC 最小ゲイン係数バイト [15:8]
0x6F	AGC_MIN_GAIN_BYTT4[7:0]	0x00	AGC 最小ゲイン係数バイト [7:0]
0x70	AGC_NOISE_HYS_BYT1[7:0]	0x00	AGC ノイズ ゲートヒステリシス係数バイト [31:24]
0x71	AGC_NOISE_HYS_BYT2[7:0]	0x00	AGC ノイズ ゲートヒステリシス係数バイト [23:16]
0x72	AGC_NOISE_HYS_BYTT3[7:0]	0x18	AGC ノイズ ゲートヒステリシス係数バイト [15:8]
0x73	AGC_NOISE_HYS_BYTT4[7:0]	0x00	AGC ノイズ ゲートヒステリシス係数バイト [7:0]
0x74	AGC_ATTACK_HOLD_COUNT_BYT1[7:0]	0x00	AGC アタック ホールド カウント係数バイト [31:24]
0x75	AGC_ATTACK_HOLD_COUNT_BYT2[7:0]	0x00	AGC アタック ホールド カウント係数バイト [23:16]
0x76	AGC_ATTACK_HOLD_COUNT_BYTT3[7:0]	0x00	AGC アタック ホールド カウント係数バイト [15:8]
0x77	AGC_ATTACK_HOLD_COUNT_BYTT4[7:0]	0x01	AGC アタック ホールド カウント係数バイト [7:0]
0x78	AGC_RELEASE_HOLD_COUN_T_BYT1[7:0]	0x00	AGC リリース ホールド カウント係数バイト [31:24]
0x79	AGC_RELEASE_HOLD_COUN_T_BYT2[7:0]	0x00	AGC リリース ホールド カウント係数バイト [23:16]
0x7A	AGC_RELEASE_HOLD_COUN_T_BYTT3[7:0]	0x04	AGC リリース ホールド カウント係数バイト [15:8]
0x7B	AGC_RELEASE_HOLD_COUN_T_BYTT4[7:0]	0xB0	AGC リリース ホールド カウント係数バイト [7:0]
0x7C	AGC_RELEASE_HYST_BYT1[7:0]	0x00	AGC リリース ヒステリシス 係数バイト [31:24]
0x7D	AGC_RELEASE_HYST_BYT2[7:0]	0x00	AGC リリース ヒステリシス 係数バイト [23:16]
0x7E	AGC_RELEASE_HYST_BYTT3[7:0]	0x08	AGC リリース ヒステリシス 係数バイト [15:8]
0x7F	AGC_RELEASE_HYST_BYTT4[7:0]	0x00	AGC リリース ヒステリシス 係数バイト [7:0]

7.2.7 プログラム可能な係数レジスタ : ページ 28

セクション 7.2.7 に示すこのレジスタ ページは、AGC のプログラム可能な係数で構成されています。

表 7-140. ページ 28 のプログラム可能な係数レジスタ

アドレス	レジスタ	リセット	説明
0x00	PAGE[7:0]	0x00	デバイス ページ レジスタ
0x08	AGC_ATTACK_RATE_BYT1[7:0]	0x50	AGC アタック レート係数バイト [31:24]
0x09	AGC_ATTACK_RATE_BYT2[7:0]	0xFC	AGC アタック レート係数バイト [23:16]
0x0A	AGC_ATTACK_RATE_BYTT3[7:0]	0x64	AGC アタック レート係数バイト [15:8]
0x0B	AGC_ATTACK_RATE_BYTT4[7:0]	0x5C	AGC アタック レート係数バイト [7:0]
0x0C	AGC_RELEASE_RATE_BYT1[7:0]	0x7F	AGC リリース レート係数バイト [31:24]
0x0D	AGC_RELEASE_RATE_BYT2[7:0]	0xC4	AGC リリース レート係数バイト [23:16]

表 7-140. ページ 28 のプログラム可能な係数レジスタ (続き)

0x0E	AGC_RELEASE_RATE_BYTT 3[7:0]	0x0E	AGC リリース レート係数バイト [15:8]
0x0F	AGC_RELEASE_RATE_BYTT 4[7:0]	0x57	AGC リリース レート係数バイト [7:0]

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

TAA5212 は、最大 768kHz のサンプル レートに対応するステレオ高性能オーディオ ADC です。このデバイスは、合計最大 4 個の同時録音用マイクをサポートしており、最大 2 個のアナログ マイクまたは 4 個のデジタル パルス密度変調 (PDM) マイクから選択できます。

制御レジスタを構成するための TAA5212 との通信は、I²C または SPI インターフェイスを使用してサポートされています。このデバイスは、柔軟性の高いオーディオシリアルインターフェイス(TDM, I²S, LJ)をサポートしており、システム内でデバイス間でオーディオデータをシームレスに送信できます。

8.2 代表的なアプリケーション

8.2.1 アプリケーション

図 8-1 は、I²C 制御インターフェイスと時分割多重 (TDM) オーディオデータターゲットインターフェイスを使用して同時録音を行う 2 つのアナログ ECM マイクロフォンを使用するアプリケーション用の TAA5212 の一般的な構成を示しています。最高の歪み性能を得るには、電圧係数の低い入力 AC カップリングコンデンサを使用してください。

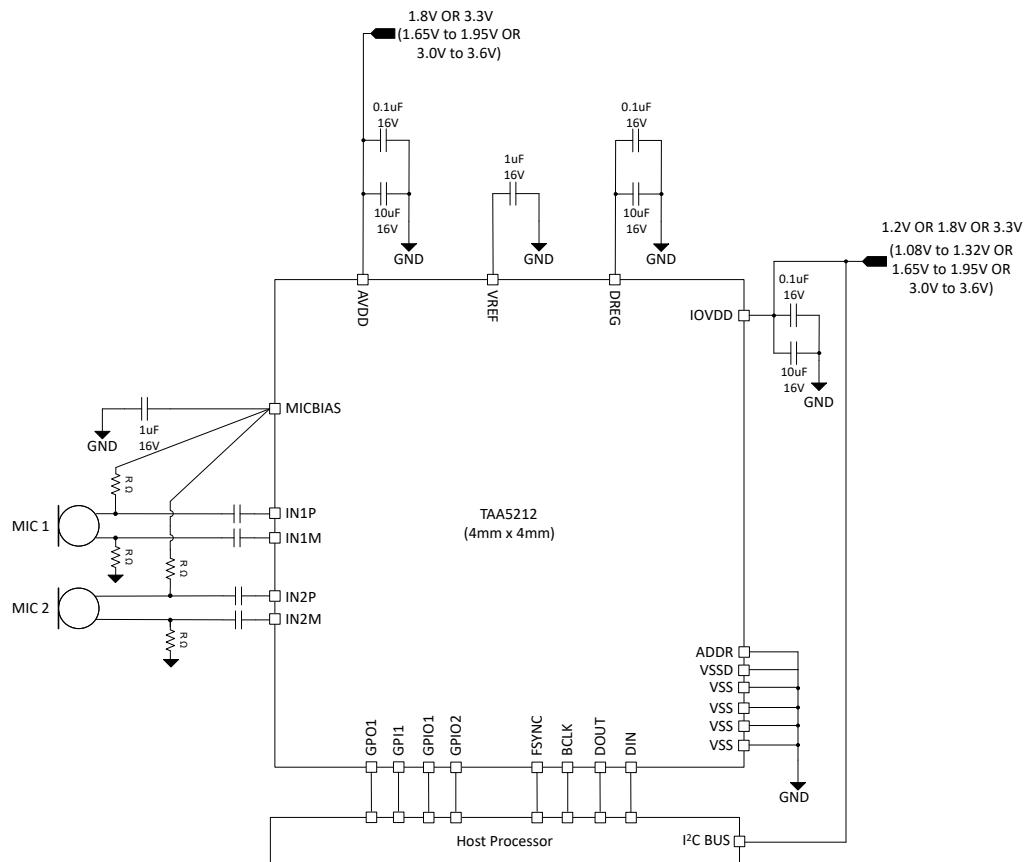


図 8-1. ステレオ差動マイクロфон、ブロック図

8.2.2 設計要件

このアプリケーションの設計パラメータを、表 8-1 に示します。

表 8-1. 設計パラメータ

パラメータ	値
AVDD	1.8V または 3.3V
IOVDD	1.2V、1.8V、または 3.3V
AVDD 供給電流消費	12mA、AVDD = 3.3V (PLL オン、2 チャネル録音、 $f_s = 48\text{kHz}$)
IOVDD 供給電流消費	0.1mA、IOVDD = 3.3V
最大 MICBIAS 電流	5mA

8.2.3 詳細な設計手順

このセクションでは、この特定のアプリケーション用に TAA5212 を設定するために必要な手順について説明します。以下の手順では、デバイスに電源を投入してから、デバイスからデータを読み取るか、または 1 つのモードから別の動作モードに移行するまでの間に実行する必要がある一連の項目を示します。

1. ボードに電源を供給します。
 - a. IOVDD と AVDD の電源をオンにします
 - b. デバイスが内部レジスタを初期化できるよう、少なくとも 2 ミリ秒待ちます。
 - c. この時点で、デバイスがスリープ モードに移行します (低消費電力モード < 10µA)
2. 動作に必要な場合に次のようにスリープ モードからアクティブ モードに遷移します。
 - a. P0_R2 に書き込んでスリープ モードを無効にすることで、デバイスを起動します
 - b. デバイスが内部ウェイクアップ シーケンスを完了できるように、少なくとも 2 ミリ秒待ちます
 - c. 必要に応じて、デフォルトの構成レジスタまたはプログラム可能な係数値を上書きします (このステップはオプションです)
 - d. P0_R118 に書き込んで、必要なすべての入力チャネルを有効にします
 - e. ADC 用に P0_R30 から P0_R37 に書き込むことで、必要なオーディオシリアルインターフェースの入出力チャネルをすべて有効にします
 - f. P0_R120 に書き込んで ADC と MICBIAS を起動します
 - g. 希望する出力サンプルレートと BCLK と FSYNC の比率で FSYNC と BCLK を適用します。

この特定のステップは、ステップ a 以降のシーケンスの任意の時点で実行できます。

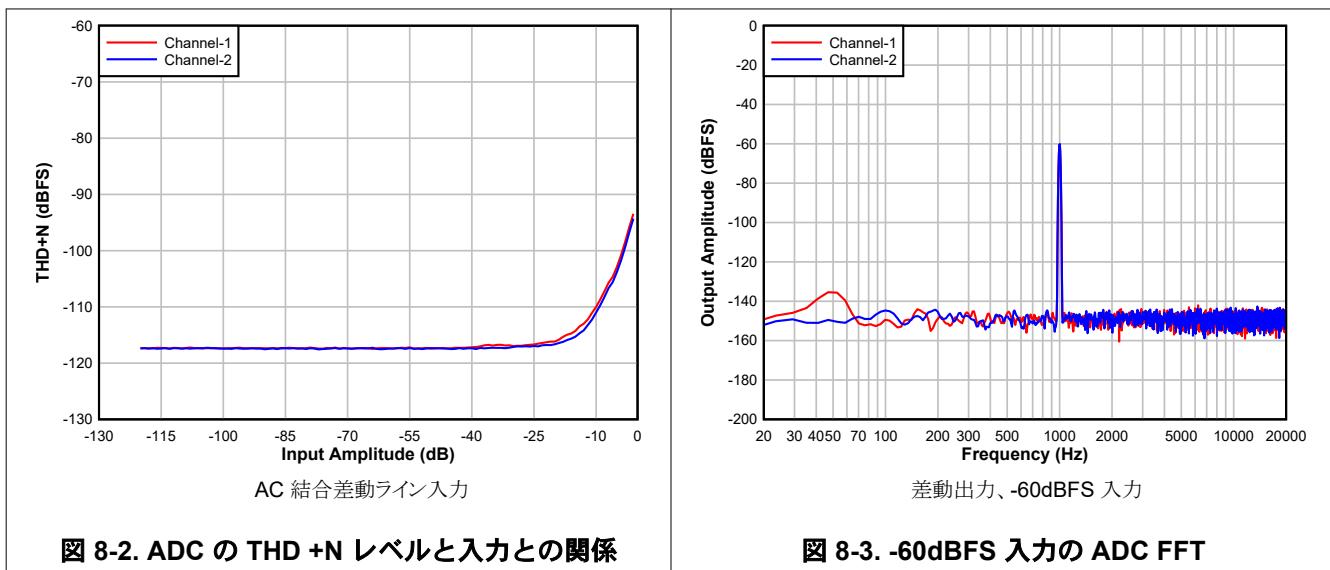
サポートされているサンプルレートと BCLK 対 FSYNC 比については、[セクション 6.3.2](#) を参照してください。

 - h. ホストプロセッサに TDM オーディオシリアルデータバスを使用してデバイス録音データが送信受信され、TDM からの再生データをライン出力で再生できます
3. 低消費電力動作のためにシステムの必要に応じて、アクティブ モードからスリープ モードに(再度)遷移します。
 - a. P0_R2 に書き込んでスリープ モードに移行し、スリープ モードをイネーブルにします
 - b. ボリュームが下降し、すべてのブロックがパワーダウンするまで、少なくとも 10ms (FSYNC = 48kHz のとき) 待ちます
 - c. P0_R122 を読み出して、デバイスのシャットダウンおよびスリープ モードのステータスを確認します
 - d. デバイス P0_R122_D[7:5] のステータスビットが 3'b100 の場合、システム内の FSYNC と BCLK を停止します
 - e. この時点で、デバイスはスリープ モード (低消費電力モード < 10µA) に移行し、すべてのレジスタ値が保持されます
4. 記録動作に必要な場合に、スリープ モードからアクティブ モードに(再度)遷移します。
 - a. P0_R2 に書き込んでスリープ モードを無効にすることで、デバイスを起動します
 - b. デバイスが内部ウェイクアップ シーケンスを完了できるように、少なくとも 2 ミリ秒待ちます
 - c. 希望する出力サンプルレートと BCLK と FSYNC の比率で FSYNC と BCLK を適用します。

- d. ホストプロセッサに TDM オーディオシリアルデータバスを使用してデバイス録音データが送信受信され、TDM からの再生データをライン出力で再生できます
5. さまざまなデバイス構成と動作モードに対して、必要に応じてこの手順を繰り返します

8.2.4 アプリケーション特性の波形

$T_A = 25^\circ\text{C}$, $\text{AVDD} = 3.3\text{V}$, $\text{IOVDD} = 3.3\text{V}$, $f_{IN} = 1\text{kHz}$ 正弦波信号, $f_S = 48\text{kHz}$, 32 ビットオーディオデータ, $\text{BCLK} = 256 \times f_S$, TDM ターゲットモード、リニア位相デシメーションフィルタ、差動 AC 結合のライン入力構成およびその他のデフォルト構成、フィルタなしでオーディオ精度 20Hz ~ 20kHz の非加重帯域幅で測定(特に記載のない限り)



8.2.5 評価基板セットアップ用のデバイス レジスタ構成スクリプトの例

このセクションでは、各種のアプリケーション向けの標準的な EVM I²C レジスタ制御スクリプトを紹介します。

2 チャネルの差動 AC 結合のアナログ録音

```
#Key:w a0 XX YY ==> I2C アドレス 0xa0 へ、レジスタ 0xxx へ、データ 0xYY# #==>
コメント区切り文字
##
以下のリストに、
デバイスの電源投入とデバイスからデータを読み取る間の時間 # で実行する必要がある項目のシーケンスの例を示します。使用する機能に応じて#その他の有効なシーケンスがあることに注意してください。
#
#
# 差動 2 チャネル ADC:INP1/INM1 - Ch1, INP2/INM2 - Ch2
# FSYNC = 48kHz (出力データサンプルレート)、BCLK = 12.288MHz (BCLK/FSYNC = 256)
# AVDD = 3.3V, IOVDD = 3.3V
#####
#
# ページ 0 レジスタ書き込み
w a0 00 00
w a0 01 01    #SW リセット
d 01
#
# ページ 0 レジスタ書き込み
w a0 00 00
w a0 02 09    #DREG と VREF を有効にしてスリープモードを終了
#
w a0 1a 30    #32 ビットワード長の TDM プロトコル
```

```
w a0 4d 00    #差動フルスケール入力が 2Vrms の場合、VREF を 2.75V に設定
w a0 50 00    #ADC チャネル 1 を入力インピーダンス 5kΩ とオーディオ帯域幅を持つ AC 結合の差動入力に構成
w a0 55 00    #ADC チャネル 2 を入力インピーダンス 5kΩ とオーディオ帯域幅を持つ AC 結合の差動入力に構成
w a0 76 c0    #入力チャネル 1、2 が有効
w a0 78 80    #ADC

# FSYNC = 48kHz および BCLK = 12.288MHz を適用
# ホストが ASI バス上で TDM プロトコル (32 ビットのチャネル ワード長) を用いてデータの録音を開始
```

4 チャネルの PDM マイクロフォン録音

```
#Key:w a0 XX YY ==> I2C アドレス 0xa0 へ、レジスタ 0xxx へ、データ 0xYY# #==>
コメント区切り文字
##
以下のリストに、
デバイスの電源投入とデバイスからデータを読み取る間の時間 # で実行する必要がある項目のシーケンスの例を示します。使用する機能に応じて#その他の有効なシーケンスがあることに注意してください。
#
#
# GPIO1 - PDMCLK @ 3.072MHz
# GPIO2 で PDM Ch1/2
# GPI1 で PDM Ch3/4
# FSYNC = 48kHz (出力データ サンプル レート)、BCLK = 12.288MHz (BCLK/FSYNC = 256)
# AVDD = 3.3V、IOVDD = 3.3V
#####
#
# ページ 0 レジスタ書き込み
w a0 00 00
w a0 01 01    #SW リセット

# ページ 0 レジスタ書き込み
w a0 00 00
w a0 02 09    #DREG と VREF を有効にしてスリープ モードを終了

w a0 0a 41    #GPIO1 を PDMCLK として設定し、アクティブ High / アクティブ Low ドライブを使用
w a0 35 00    #PDMCLK 周波数 = 3.072MHz

w a0 0b 10    #GPIO2 を GPI 入力として構成
w a0 0d 02    #GPI1 を GPI 入力として構成

w a0 13 cb    #チャネル 1 とチャネル 2 を PDM として構成。PDM1/2 データは GPIO2 に入力し、PDM3/4 データは GPIO1 に入力

w a0 1a 30    #32 ビット ワード長の TDM プロトコル

w a0 1e 20    #TDM スロット 0 のチャネル 1 データ
w a0 1f 21    #TDM スロット 1 のチャネル 2 データ
w a0 20 22    #TDM スロット 2 のチャネル 3 データ
w a0 21 23    #TDM スロット 3 のチャネル 4 データ

w a0 76 f0    #入力チャネル 1 ~ 4 を有効にする

w a0 78 80    #ADC パスのパワーアップ

# 48kSPS に対応した BCLK、FSYNC を提供し、32 ビット TDM バスで録音
```

8.3 電源に関する推奨事項

IOVDD と AVDD レール間の電源供給シーケンスは、任意の順序で適用できます。ただし、すべての電源が安定した後で、デバイスを初期化するために I²C または SPI トランザクションのみを開始します。

電源の起動要件については、デバイスが内部レジスタを初期化できるようにするには、t₁、t₂ が 2ms 以上である必要があります。デバイスの電源が推奨動作電圧レベルに安定した後で、各種モードでデバイスが動作する方法の詳細について

は、[セクション 6.4](#) セクションを参照してください。電源のパワーダウン要件では、 t_3 、 t_4 が 10ms 以上必要です。このタイミング ([図 8-4 を参照](#)) により、デバイスは記録再生データのボリュームを下げて、アナログ ブロックとデジタル ブロックをパワーダウンして、デバイスをシャットダウン モードに移行できます。また、電源を徐々に落とすことで、この装置を即座にシャットダウン モードにすることもできますが、そうすると急激なシャットダウンが発生します。

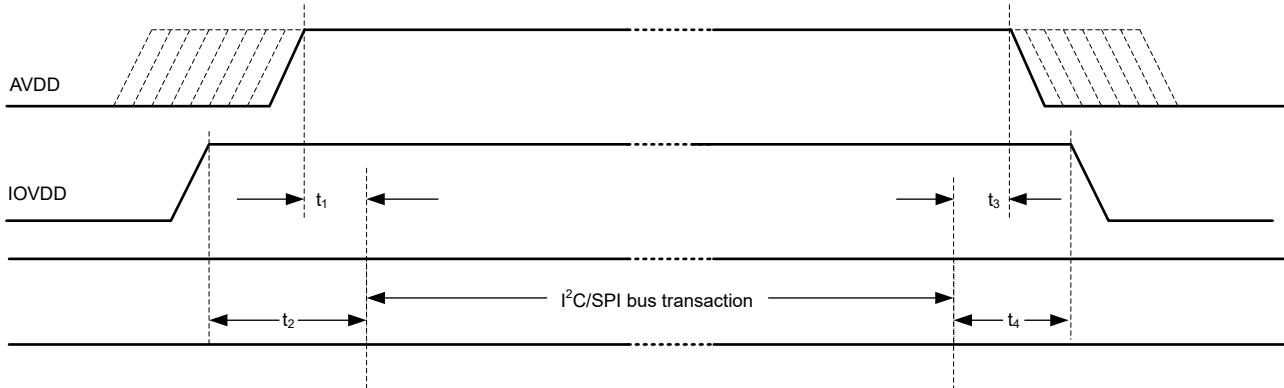


図 8-4. 電源シーケンス要件のタイミング図

電源ランプ レートが $0.1\text{V}/\mu\text{s}$ より遅いこと、およびパワーダウンとパワーアップ イベント間の待機時間が少なくとも 100ms であることを確認してください。供給ランプ レートが $0.1\text{V}/\text{ms}$ より遅い場合、ホスト デバイスは、デバイス構成を行う前に、最初のトランザクションとしてソフトウェア リセットを適用する必要があります。すべてのデジタル入力ピンが有効な入力レベルにあり、電源シーケンス中にトグルしていないことを確認してください。

TAA5212 は、オンチップのデジタル レギュレータ、DREG と統合アナログ レギュレータを統合することで、単一 AVDD 電源供給動作をサポートします。AVDD_MODE (P0_R2_D[2]) および IOVDD_IO_MODE (P0_R2_D[1]) レジスタが、[セクション 8.3.2](#) および [セクション 8.3.1](#) で説明されているように、AVDD 1.8V 動作および IOVDD 1.8V および 1.2V 動作用に正しく設定されていることを確認してください。

8.3.1 1.8V 動作向け AVDD_MODE

電源が安定した後、AVDD 1.8V 動作を使用する場合は、電源投入直後に AVDD_MODE (P0_R2_D[2]) を常に 1'b1 に設定して、アナログ レギュレータ(AREG)の電圧を正しく設定します。AVDD 3.3V 動作を使用する場合、この設定は必要ありません。

8.3.2 1.8V および 1.2V での動作のための IOVDD_IO_MODE

電源が安定した後、デフォルトのレジスタ構成では、デフォルト構成のデバイスの最初の電源投入時に IOVDD = 1.8V または 1.2V でサポート可能な最大クロック速度に速度制限があります。ただし、最初の書き込み操作は除きます。IOVDD 1.8V および 1.2V 動作を使用する際は、ユーザーによる最初の操作は、電源投入またはリセット後に IOVDD_IO_MODE(P0_R2_D[1]) 設定を 1'b1 に書き込むこととし、その後はデバイスの動作に速度制限はありません。IOVDD 3.3V 動作を使用する場合、この設定は不要であるか、適用されません。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

それぞれのシステム設計とプリント回路基板 (PCB) レイアウトは独自です。レイアウトは、特定の PCB 設計のコンテキストで慎重に確認する必要があります。ただし、デバイスの性能を最適化するには、以下のガイドラインを使用します。

- サーマル パッドをグランドに接続します。デバイスの真下にあるデバイスの熱パッドをグランド プレーンに接続するために、ビア パターンを使用します。この接続は、デバイスからの熱を放散するのに役立ちます。
- VSS と VSSD 間での電圧差を避けるため、同じグランドを使用します。
- 電源用のデカップリング コンデンサは、デバイスのピンに近づけて配置する必要があります。
- ノイズ耐性を向上させるため、アナログ差動オーディオ信号は PCB 上で差動形式で配線します。望ましくないクロストークを防止するため、デジタル信号とアナログ信号の交差は避けてください。

- 高周波クロック信号と制御信号を INxx ピンの近くに配置することは避けます。
- デバイスの内部電圧リファレンスは、外付けのコンデンサを使用してフィルタ処理する必要があります。優れた性能を得るため、フィルタコンデンサは VREF ピンの近くに配置します。
- 複数のマイクのバイアス線や供給線を配線する際に、マイク間でのカップリングを避けるために、MICBIAS ピンに直接接続して共通インピーダンスを避けます。
- VREF および MICBIAS の外部コンデンサのグランド端子から VSS ピンへの直接接続を提供します。
- MICBIAS コンデンサ(低い等価直列抵抗を持つもの)を、デバイスにできるだけ近く、トレースインピーダンスが最小となるように配置します。
- デバイスとデカップリングキャパシタの間で電力および信号電流の最小インピーダンスを提供するために、グランドプレーンを使用します。デバイスの真下の領域を、デバイスのための中央グラウンドエリアとして扱い、すべてのデバイスのグラウンドをそのエリアに直接接続します。

8.4.2 レイアウト例

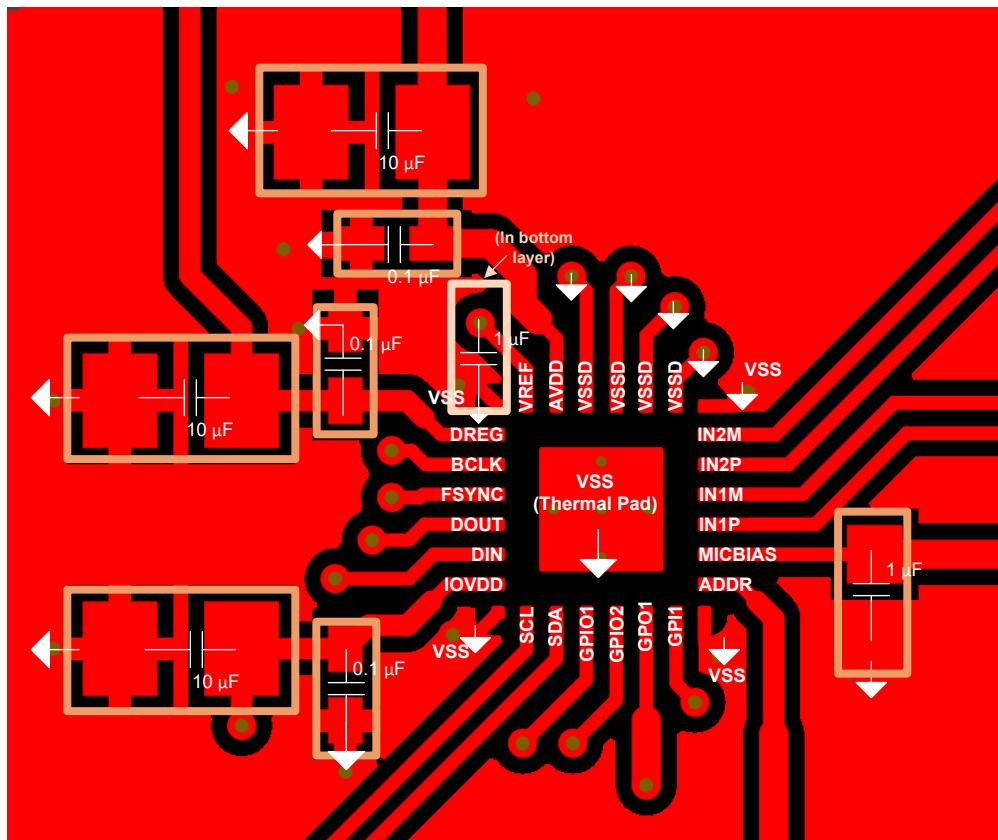


図 8-5. レイアウト例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサスインスツルメンツ、[TAX5x12EVM 評価基板ユーザー ガイド](#)
- テキサスインスツルメンツ、[TAX5X1X 同期サンプルレート変換アプリケーションレポート](#)
- テキサスインスツルメンツ、デバイスクロック構成および[TAX5x1x ファミリ向けフレキシブルクロッキングアプリケーションレポート](#)
- テキサスインスツルメンツ、[TAX5x1x ファミリでサポートされているクロックエラーの構成、検出、およびモードアプリケーションレポート](#)
- テキサスインスツルメンツ、[TAX5x1x デバイスのアナログ入力構成、ミキシング、多重化アプリケーションレポート](#)
- テキサスインスツルメンツ、[TAC5x1x および TAC5x1x-Q1 プログラマブルバイクアッドフィルタ-構成と用途アプリケーションレポート](#)
- テキサスインスツルメンツ、[TAX511x および TAX521x での音声アクティビティ検出の使用方法アプリケーションレポート](#)

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (January 2024) to Revision A (April 2024)	Page
• デバイスのステータスを「量産データ」に更新。.....	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TAA5212IRGER	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TA5212
TAA5212IRGER.A	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TA5212

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

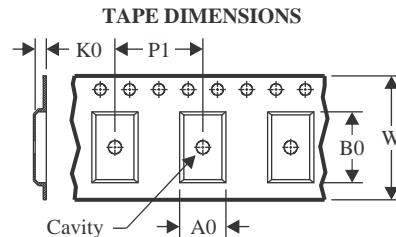
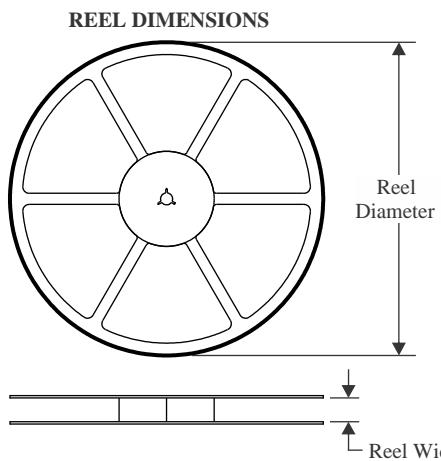
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

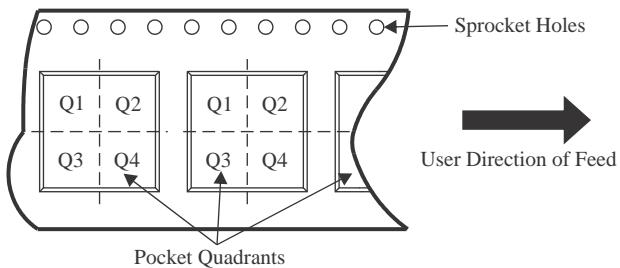
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



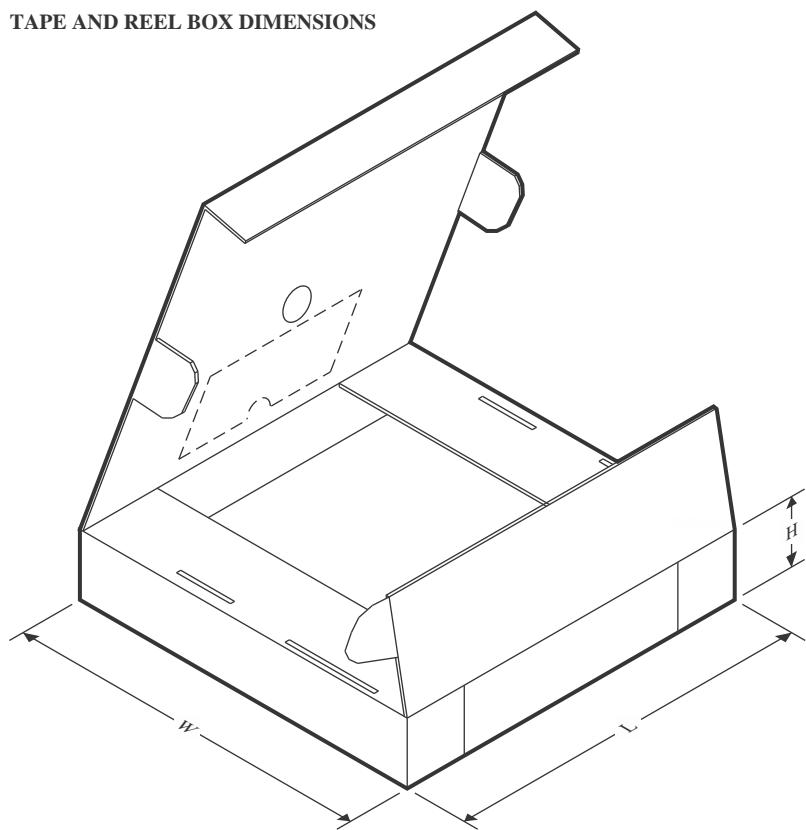
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TAA5212IRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

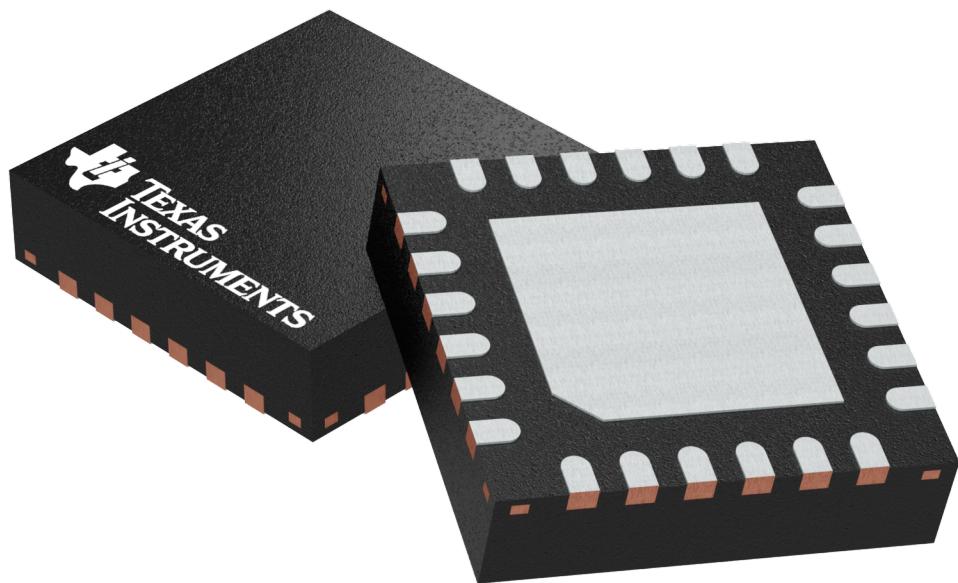
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TAA5212IRGER	VQFN	RGE	24	3000	367.0	367.0	35.0

GENERIC PACKAGE VIEW

RGE 24

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

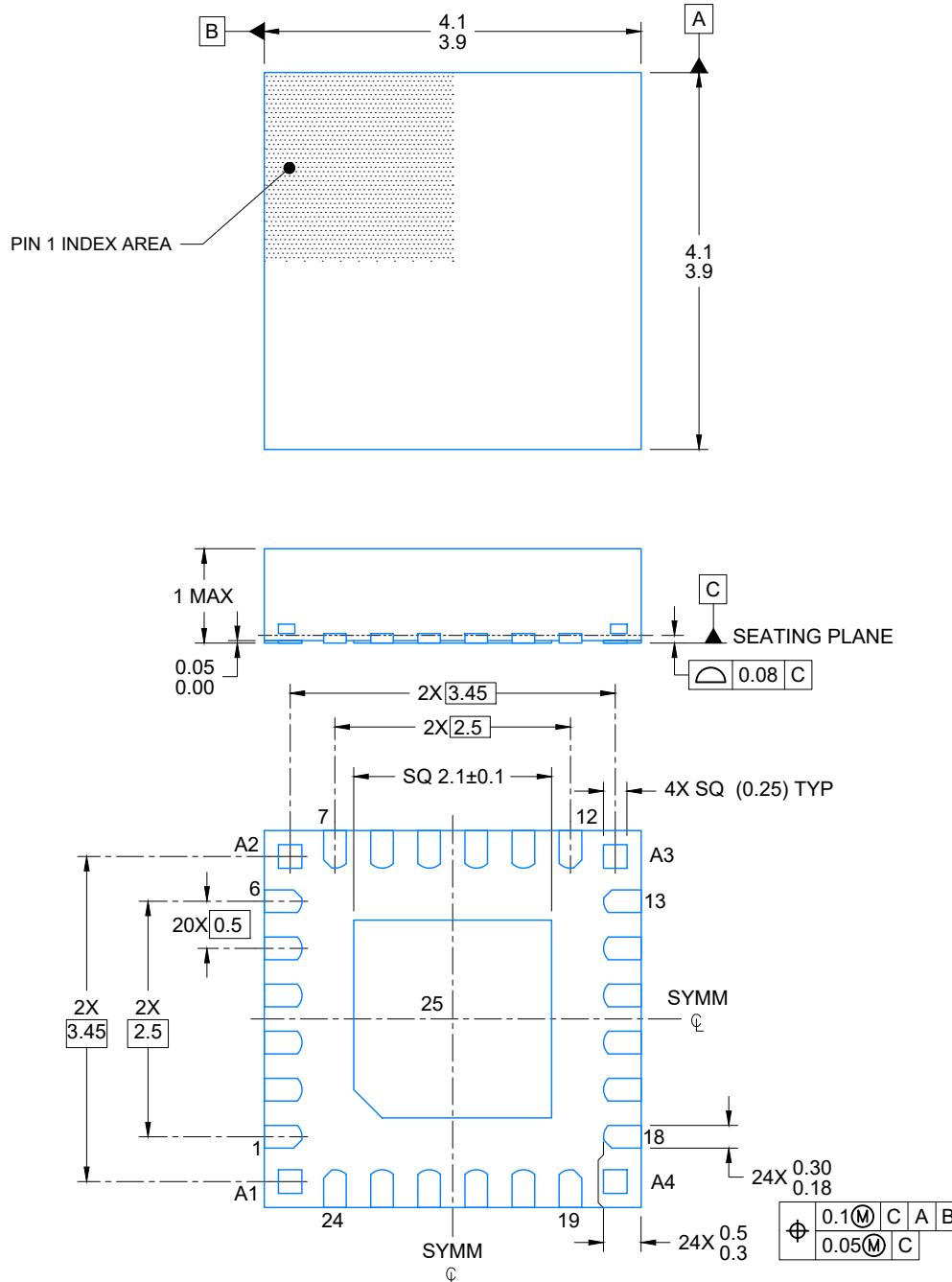
4204104/H

PACKAGE OUTLINE

VQFN - 1 mm max height

RGE0024R

PLASTIC QUAD FLATPACK-NO LEAD

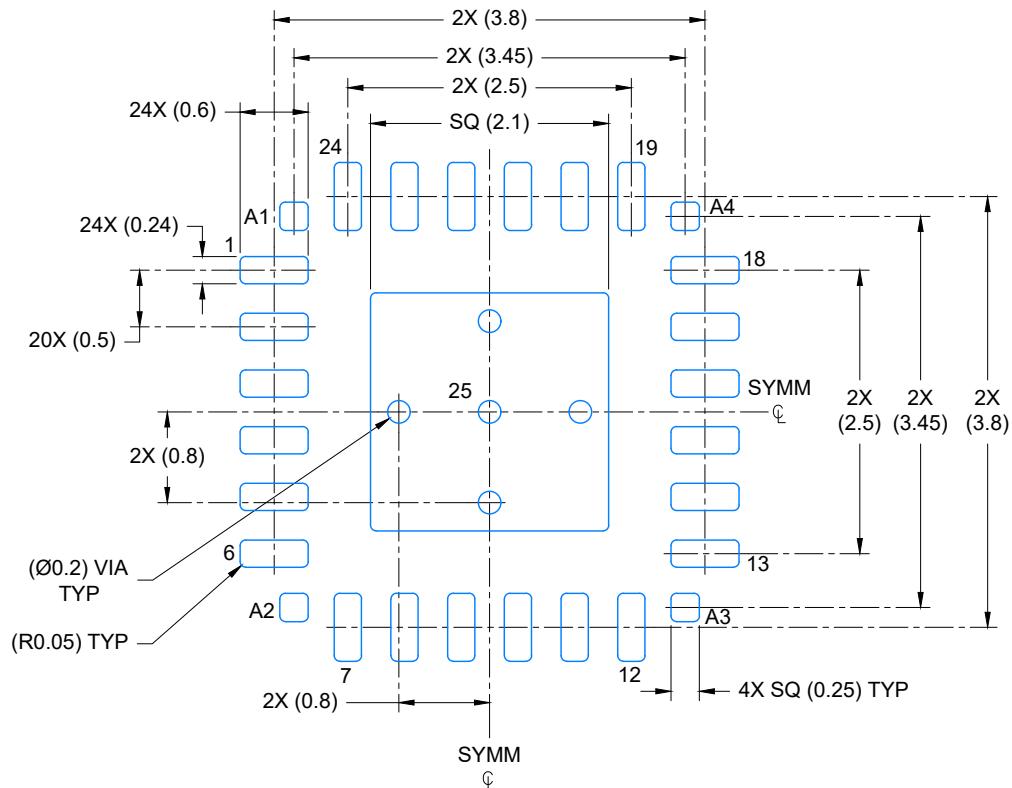


4225246/A 08/2019

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

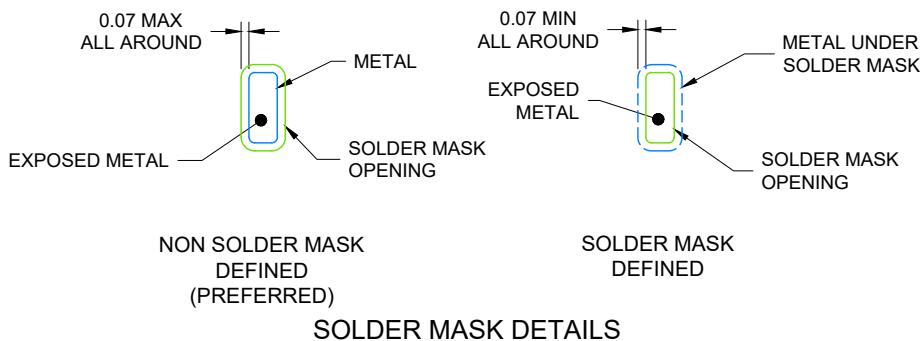
PLASTIC QUAD FLATPACK-NO LEAD



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN

SCALE: 15X



4225246/A 08/2019

NOTES: (continued)

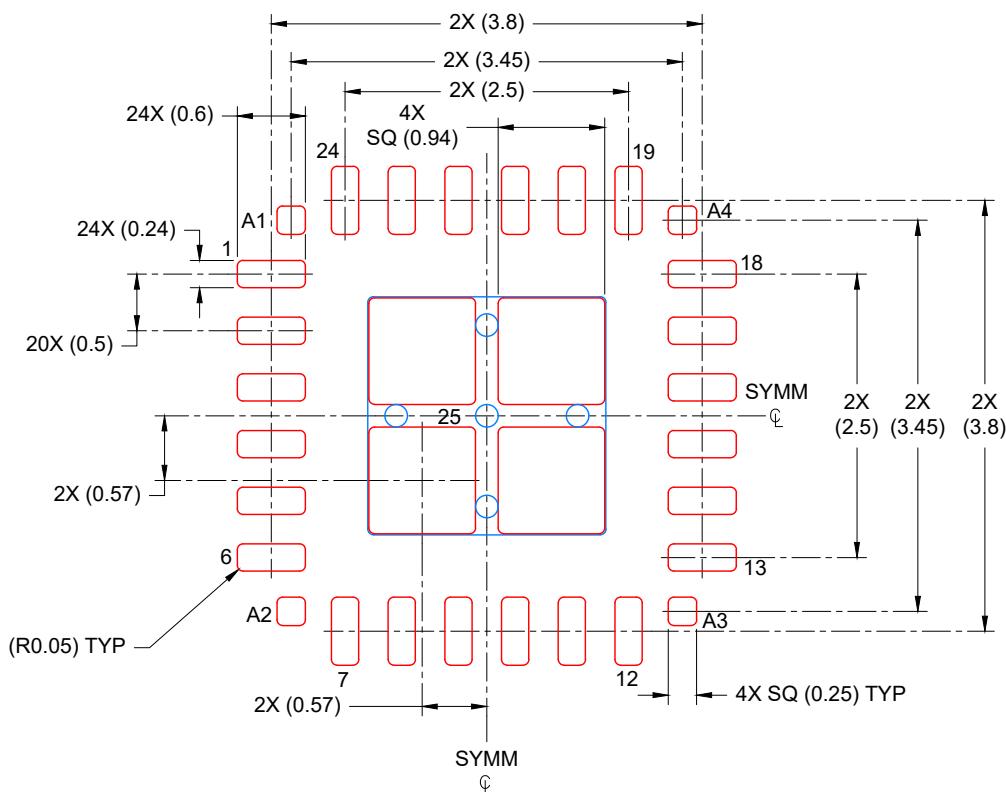
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

VQFN - 1 mm max height

RGE0024R

PLASTIC QUAD FLATPACK-NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
80% PRINTED COVERAGE BY AREA
SCALE: 15X

4225246/A 08/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月