

SNx5LBC176A、差動バス・トランシーバ

1 特長

- ¹ 最大 30Mbps
- 12kV HBM を超えるバス・ピンの ESD 保護
- ANSI 標準 TIA/EIA-485-A および ISO 8482:1987 (E) と互換
- 低スキュー
- ノイズの多い環境の、長いバス・ラインでのマルチポイントの伝送用に設計
- ディスエーブル時の非常に低い消費電流要件: 700mA 以下
- -7V ~ 12V の共通モード電圧範囲
- サーマル・シャットダウン保護
- ドライバの正 / 負電流制限
- 開路フェイルセーフ・レシーバ設計
- レシーバ入力感度: $\pm 200\text{mV}$ (最大値)
- レシーバ入力ヒステリシス: 50mV (標準値)
- グリッチ・フリーのパワーアップ / パワーダウン保護機能
- 車載対応 Q-Temp で利用可能
 - 高信頼性の車載アプリケーション
 - 構成制御 / 印刷支援
 - 車載用規格の認定

2 概要

SN65LBC176A、SN65LBC176AQ、SN75LBC176A 差動バス・トランシーバは、マルチポイント・バス伝送ライン上での双方向データ通信を目的として設計されたモノリシ

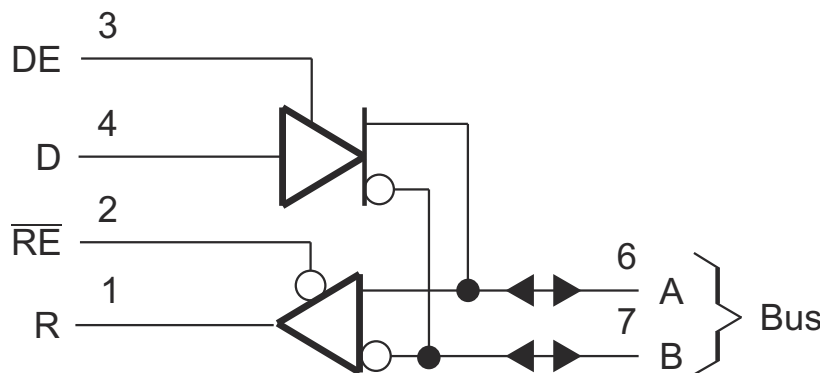
ク IC です。これらの製品は平衡伝送ラインを想定して設計されており、ANSI 規格の TIA/EIA-485-A および ISO 8482 と互換性があります。A バージョンは、消費電力を大幅に増やすことなく、従来製品に比べてスイッチング性能を向上します。

SN65LBC176A、SN65LBC176AQ、SN75LBC176A は、3 ステート差動ライン・ドライバと差動入力ライン・レシーバを統合しており、どちらも 5V 単一電源で動作します。ドライバとレシーバはそれぞれアクティブ High、アクティブ Low のイネーブルを備えており、それらのイネーブルを外部で互いに接続することで、方向制御として機能させることができます。ドライバの差動出力とレシーバの差動入力、差動入出力 (I/O) バス・ポートを構成するように内部で接続されています。これらのポートは、ドライバがディスエーブルされている場合、または $V_{CC} = 0$ の場合、バスへの負荷を最小化するように設計されています。このポートは広い正負の同相電圧範囲を持っているため、本デバイスはパーティライン・アプリケーションに適しています。ドライバとレシーバをディセーブルにすることにより、デバイスの消費電流を非常に小さくできます。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	本体サイズ (公称)
SN65LBC176A	D (SOIC)	4.9mm × 3.91mm
SN75LBC176A	P (PDIP)	9.81mm × 6.35mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



¹ TIA/EIA-485-A の定義による信号速度用に設計されているため、遷移時間がビット期間の 30% に制限され、異なる条件を使用してより高い信号速度を実現できます (「代表的特性」セクションを参照)。



Table of Contents

1 特長	1	Typical Characteristics.....	8
2 概要	1	パラメータ測定情報.....	12
3 Revision History	2	6 Detailed Description	15
4 Pin Configuration and Functions	3	6.1 Device Functional Modes.....	15
5 Specifications	4	7 Device and Documentation Support	16
5.1 Absolute Maximum Ratings.....	4	7.1 ドキュメントの更新通知を受け取る方法.....	16
5.2 Dissipation Ratings.....	4	7.2 サポート・リソース.....	16
5.3 Recommended Operating Conditions.....	4	7.3 商標.....	16
5.4 Thermal Information.....	5	7.4 静電気放電に関する注意事項.....	16
5.5 Driver Electrical Characteristics.....	5	7.5 用語集.....	16
5.6 Driver Switching Characteristics.....	6	8 Mechanical, Packaging, and Orderable Information..	16
5.7 Receiver Electrical Characteristics.....	6		
5.8 Receiver Switching Characteristics.....	7		

3 Revision History

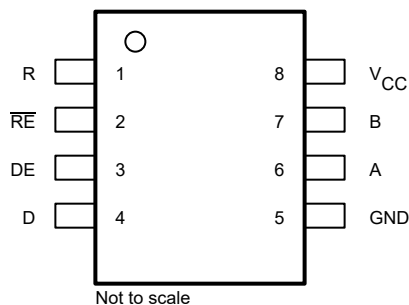
資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision F (January 2023) to Revision G (February 2023)	Page
• Changed the <i>Thermal Information</i> table.....	5

Changes from Revision E (January 2023) to Revision F (January 2023)	Page
• Changed the SN65LBC176AQ values in the <i>Thermal Information</i> table.....	5

Changes from Revision D (August 200/8) to Revision E (January 2023)	Page
• ドキュメントを最新のテキサス・インスツルメンツのフォーマットに変更.....	1
• Added the <i>Thermal Information</i> table.....	5

4 Pin Configuration and Functions



**図 4-1. SN65LBC176AQD (Marked as B176AQ)
SN65LBC176AD (Marked as BL176A)
SN65LBC176AP (Marked as 65LBC176A)
SN75LBC176AD (Marked as LB176A)
SN75LBC176AP (Marked as 75LBC176A)
(Top View)**

表 4-1. Pin Functions

NO	NAME	TYPE	DESCRIPTION
1	R	O	Receive data output
2	RE	I	Receiver enable, active low
3	DE	I	Driver enable, active high
4	D	I	Driver data input
5	GND	GND	Device ground
6	A	I/O	Bus I/O port, A (complementary to B)
7	B	I/O	Bus I/O port, B(complementary to A)
8	V _{CC}	P	5 V Supply Pin

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

		VALUE	UNIT
Supply voltage, V_{CC} ⁽²⁾		–0.3 to 6	V
Voltage range at any bus terminal (A or B)		–10 to 15	V
Input voltage, V_I (D, DE, R, or $\overline{RE}$)		–0.3 to $V_{CC} + 0.5$	V
Electrostatic discharge:	Bus terminals and GND, Class 3, A: ⁽³⁾	12	kV
	Bus terminals and GND, Class 3, B: ⁽³⁾	400	V
	All terminals, Class 3, A	3	kV
	All terminals, Class 3, B	400	V
Continuous total power dissipation ⁽⁴⁾		See Dissipation Rating Table	
Storage temperature range, T_{stg}		–65 to 150	°C

- (1) Stresses beyond those listed under *absolute maximum ratings* may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under *recommended operating conditions* is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) All voltage values, except differential I/O bus voltage, are with respect to network ground terminal.
- (3) The maximum operating junction temperature is internally limited. Use the dissipation rating table to operate below this temperature.
- (4) Tested in accordance with MIL-STD-883C, Method 3015.7

5.2 Dissipation Ratings

PACKAGE	$T_A \leq 25^\circ\text{C}$ POWER RATING	DERATING FACTOR ⁽¹⁾ ABOVE $T_A = 25^\circ\text{C}$	$T_A = 70^\circ\text{C}$ POWER RATING	$T_A = 85^\circ\text{C}$ POWER RATING	$T_A = 125^\circ\text{C}$ POWER RATING
D	725 mW	5.5 mW/°C	464 mW	377 mW	145 mW
P	1000 mW	8.0 mW/°C	640 mW	520 mW	—

- (1) This is the inverse of the junction-to-ambient thermal resistance when board-mounted and with no air flow.

5.3 Recommended Operating Conditions

			MIN	NOM	MAX	UNIT
V_{CC}	Supply voltage		4.75	5	5.25	V
V_I or V_{IC}	Voltage at any bus terminal (separately or common mode)		–7		12	V
V_{IH}	High-level input voltage	D, DE, and $\overline{RE}$	2		V_{CC}	V
V_{IL}	Low-level input voltage	D, DE, and $\overline{RE}$	0		0.8	V
V_{ID}	Differential input voltage ⁽²⁾		–12 ⁽¹⁾		12	V
I_{OH}	High-level output current	Driver	–60			mA
		Receiver	–8			
I_{OL}	Low-level output current	Driver			60	mA
		Receiver			8	
T_A	Operating free-air temperature	SN65LBC176AQ	–40		125	°C
		SN65LBC176A	–40		85	
		SN75LBC176A	0		70	

- (1) The algebraic convention, in which the least positive (most negative) limit is designated as minimum, is used in this data sheet.
- (2) Differential input/output bus voltage is measured at the noninverting terminal A with respect to the inverting terminal B.

5.4 Thermal Information

THERMAL METRIC ⁽¹⁾		All Devices in 'P' Package	SN65LBC176ADR SN65LBC176AQDR	OPNs Not Listed in Previous Column	UNIT
		P (PDIP)	D (SOIC)	D (SOIC)	
		8-Pins	8-Pins	8-Pins	
R _{θJA}	Junction-to-ambient thermal resistance	65.7	116.7	110	°C/W
R _{θJC}	Junction-to-case thermal resistance	54.7	56.3	44.1	°C/W
R _{θJB}	Junction-to-board thermal resistance	42.1	63.4	53.5	°C/W
Ψ _{JT}	Junction-to-top characterization parameter	23	8.8	4.8	°C/W
Ψ _{JB}	Junction-to-board characterization parameter	41.7	62.9	52.7	°C/W

(1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC package thermal metrics](#) application report.

5.5 Driver Electrical Characteristics

over recommended operating conditions (unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN	TYP ⁽¹⁾	MAX	UNIT
V _{IK}	Input clamp voltage	I _I = −18 mA		−1.5	−0.8		V
V _{OD}	Differential output voltage	I _O = 0	SN65LBC176AQ	1.5	4	6	V
			SN65LBC176A, SN75LBC176A		4		
		R _L = 54 Ω, See 6-1	SN65LBC176AQ	0.9	1.5	6	V
			SN65LBC176A	1	1.5	3	
			SN75LBC176A	1.1	1.5	3	
		V _{test} = −7 to 12 V, See 6-2	SN65LBC176AQ	0.9	1.5	6	V
			SN65LBC176A	1	1.5	3	
			SN75LBC176A	1.1	1.5	3	
Δ V _{OD}	Change in magnitude of differential output voltage	See 6-1 and 6-2		−0.2		0.2	V
V _{OC(SS)}	Steady-state common-mode output voltage	See 6-1	SN65LBC176AQ	1.8	2.4	3	V
			SN65LBC176A, SN75LBC176A	1.8	2.4	2.8	
ΔV _{OC(SS)}	Change in steady-state common-mode output voltage		SN65LBC176AQ	−0.2		0.2	V
			SN65LBC176A, SN75LBC176A	−0.1		0.1	
I _{OZ}	High-impedance output current	See receiver input currents					
I _{IH}	High-level enable input current	V _I = 2 V		−100			μA
I _{IL}	Low-level enable input current	V _I = 0.8 V		−100			μA
I _{OS}	Short-circuit output current	−7 V ≤ V _O ≤ 12 V		−250		250	mA
I _{CC}	Supply current	V _I = 0 or V _{CC} , No load	Receiver disabled and driver enabled		5	9	mA
			Receiver disabled and driver disabled		0.4	0.7	
			Receiver enabled and driver enabled		8.5	15	

(1) All typical values are at V_{CC} = 5 V, T_A = 25°C.

5.6 Driver Switching Characteristics

over recommended operating conditions (unless otherwise noted)

PARAMETER	TEST CONDITIONS	SN65LBC176AQ			SN65LBC176A SN75LBC176A			UNIT
		MIN	TYP ⁽¹⁾	MAX	MIN	TYP ⁽¹⁾	MAX	
t_{PLH} Propagation delay time, low-to-high-level output	$R_L = 54 \Omega$, $C_L = 50 \text{ pF}$, See 6-3	2		12	2	6	12	ns
t_{PHL} Propagation delay time, high-to-low-level output		2		12	2	6	12	ns
$t_{sk(p)}$ Pulse skew ($ t_{PLH} - t_{PHL} $)				2		0.3	1	ns
t_r Differential output signal rise time		1.2		11	4	7.5	11	ns
t_f Differential output signal fall time		1.2		11	4	7.5	11	ns
t_{PZH} Propagation delay time, high-impedance-to-high-level output	$R_L = 110 \Omega$, See 6-4			22		12	22	ns
t_{PZL} Propagation delay time, high-impedance-to-low-level output	$R_L = 110 \Omega$, See 6-5			25		12	22	ns
t_{PHZ} Propagation delay time, high-level-to-high-impedance output	$R_L = 110 \Omega$, See 6-4			22		12	22	ns
t_{PLZ} Propagation delay time, low-level-to-high-impedance output	$R_L = 110 \Omega$, See 6-5			22		12	22	ns

(1) All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$.

5.7 Receiver Electrical Characteristics

over operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS			MIN	TYP ⁽¹⁾	MAX	UNIT
V _{IT+}	Positive-going input threshold voltage	I _O = −8 mA					0.2	V
V _{IT−}	Negative-going input threshold voltage	I _O = 8 mA			−0.2			V
V _{hys}	Hysteresis voltage (V _{IT} + - V _{IT} -)				50			mV
V _{IK}	Enable-input clamp voltage	II = - 18 mA			−1.5	−0.8		V
V _{OH}	High-level output voltage	V _{ID} = 200 mV,	I _{OH} = −8 mA,	See FIG 6-6	4	4.9		V
V _{OL}	Low-level output voltage	V _{ID} = −200 mV,	I _{OH} = 8 mA,	See FIG 6-6		0.1	0.8	V
I _{OZ}	High-impedance-state output current	V _O = 0 to V _{CC}		SN65LBC176AQ	−10		10	μA
				SN65LBC176A, SN75LBC176A	−1		1	
I _I	Bus input current	V _{IH} = 12 V,	V _{CC} = 5 V	Other input at 0 V		0.4	1	mA
		V _{IH} = 12 V,	V _{CC} = 0			0.5	1	
		V _{IH} = −7 V,	V _{CC} = 5 V			−0.8	−0.4	
		V _{IH} = −7 V,	V _{CC} = 0			−0.8	−0.3	
I _{IH}	High-level enable-input current	V _{IH} = 2 V			−100			μA
I _{IL}	Low-level enable-input current	V _{IL} = 0.8 V			−100			μA
I _{CC}	Supply current	V _I = 0 or V _{CC} . No load	Receiver enabled and driver disabled		4		7	mA
			Receiver disabled and driver disabled		0.4		0.7	
			Receiver enabled and driver enabled		8.5		15	

(1) All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$.

5.8 Receiver Switching Characteristics

over recommended operating conditions (unless otherwise noted)

PARAMETER		TEST CONDITIONS	SN65LBC176AQ			SN65LBC176A SN75LBC176A			UNIT
			MIN	TYP ⁽¹⁾	MAX	MIN	TYP ⁽¹⁾	MAX	
t _{PLH}	Propagation delay time output ↑	V _{ID} = –1.5 V to 1.5 V, See 6-7	7		30	7	13	20	ns
t _{PHL}	Propagation delay time output ↓		7		30	7	13	20	ns
t _{sk(p)}	Pulse skew (t _{PLH} – t _{PHL})				6		0.5	1.5	ns
t _r	Rise time, output	See 6-7			5		2.1	3.3	ns
t _f	Fall time, output				5		2.1	3.3	ns
t _{PZH}	Output enable time to high level	C _L = 10 pF, See 6-8			50		30	45	ns
t _{PZL}	Output enable time to low level				50		30	45	ns
t _{PHZ}	Output disable time to high level				60		20	40	ns
t _{PLZ}	Output disable time to low level				60		20	40	ns

(1) All typical values are at V_{CC} = 5 V, T_A = 25°C.

Typical Characteristics

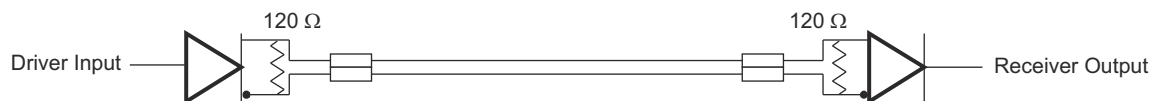
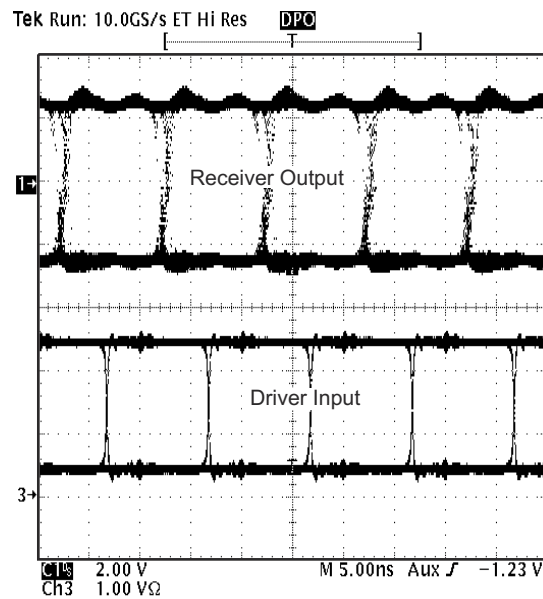
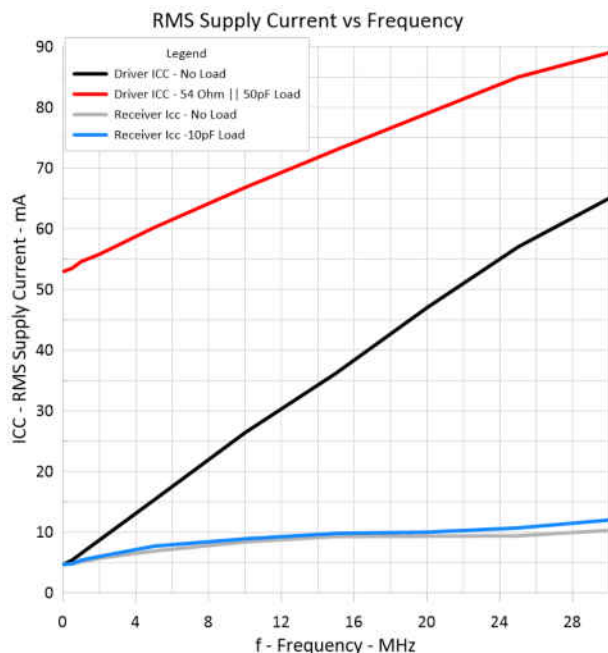
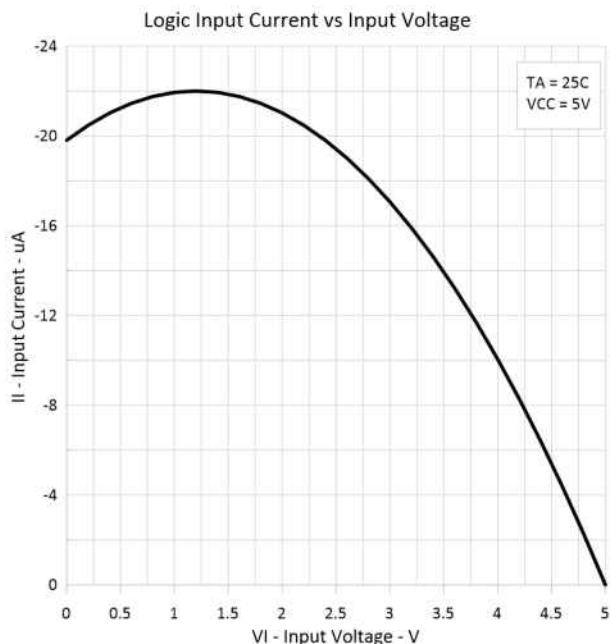


Figure 5-1. Typical Waveform of Non-Return-To-Zero (NRZ), Pseudorandom Binary Sequence (PRBS) Data at 100 Mbps Through 15m, of CAT 5 Unshielded Twisted Pair (UTP) Cable

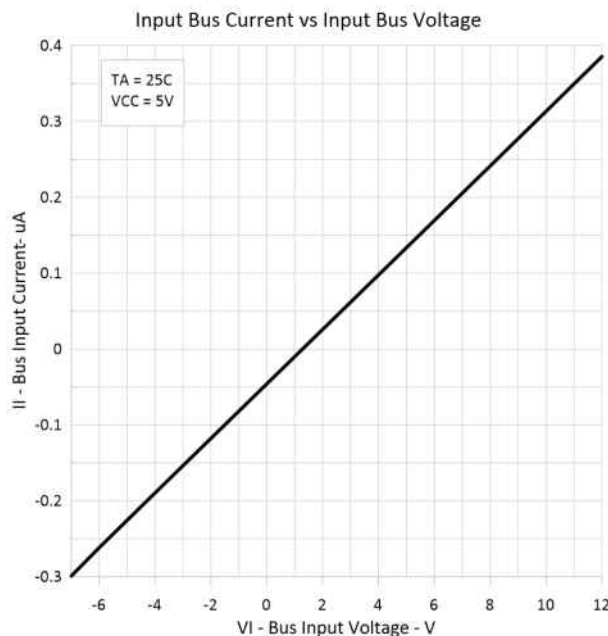
TIA/EIA-485-A defines a maximum signaling rate as that in which the transition time of the voltage transition of a logic-state change remains less than or equal to 30% of the bit length. Transition times of greater length perform quite well even though they do not meet the standard definition.



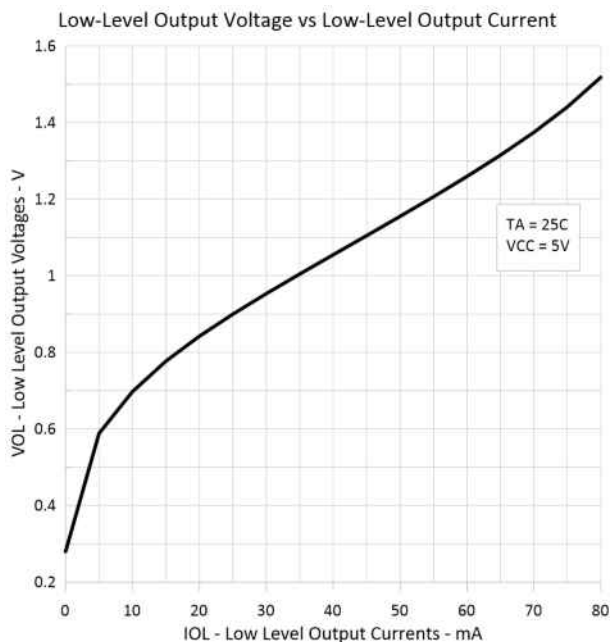
5-2. RMS Supply Current vs Frequency



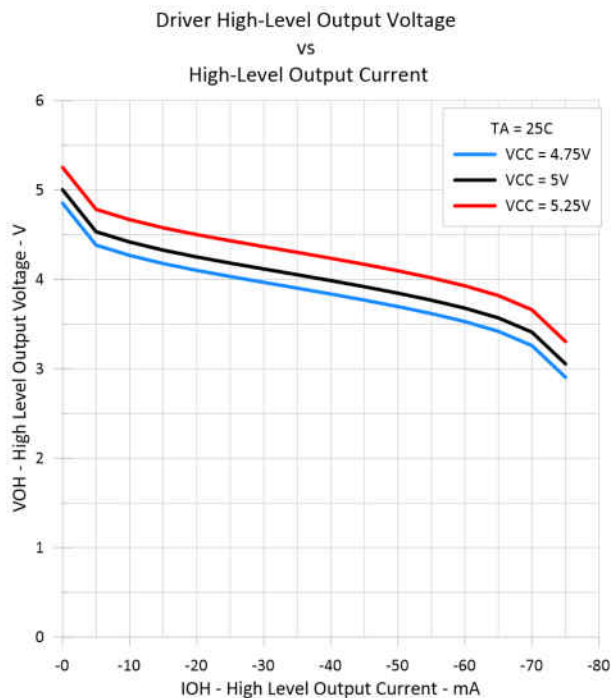
5-3. Logic Input Current vs Input Voltage



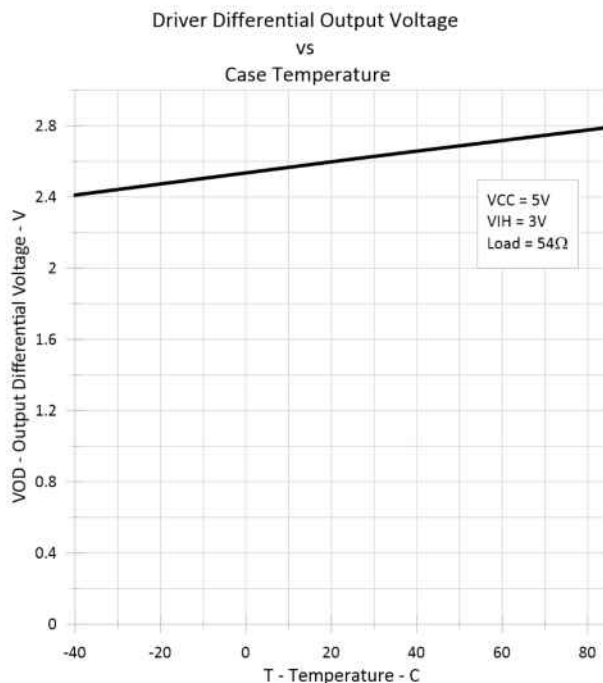
5-4. Input Current vs Input Voltage



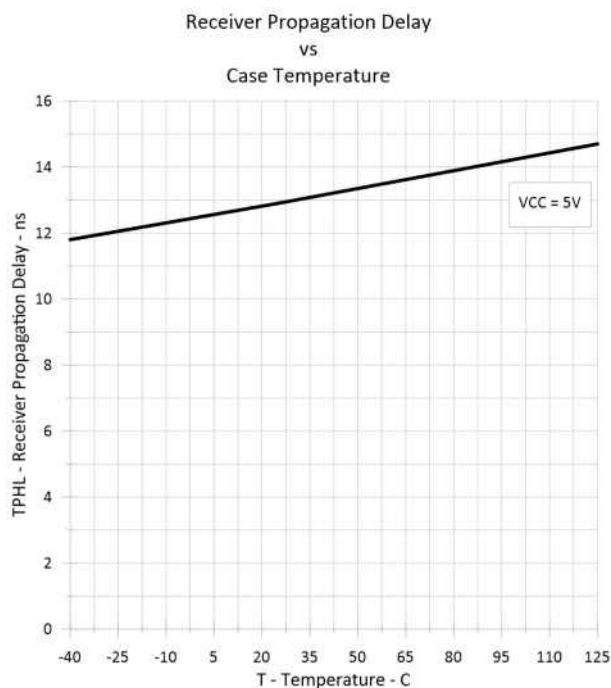
5-5. Low-Level Output Voltage vs Low-Level Output Current



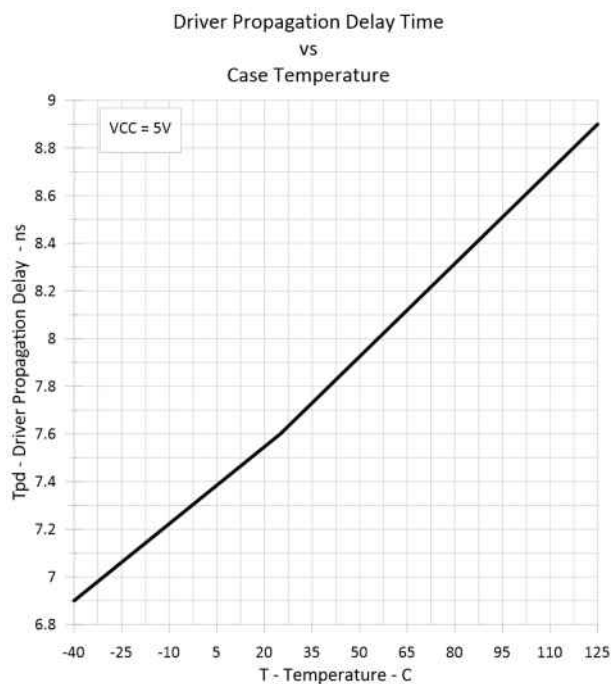
5-6. Driver High-Level Output Voltage vs High-Level Output Current



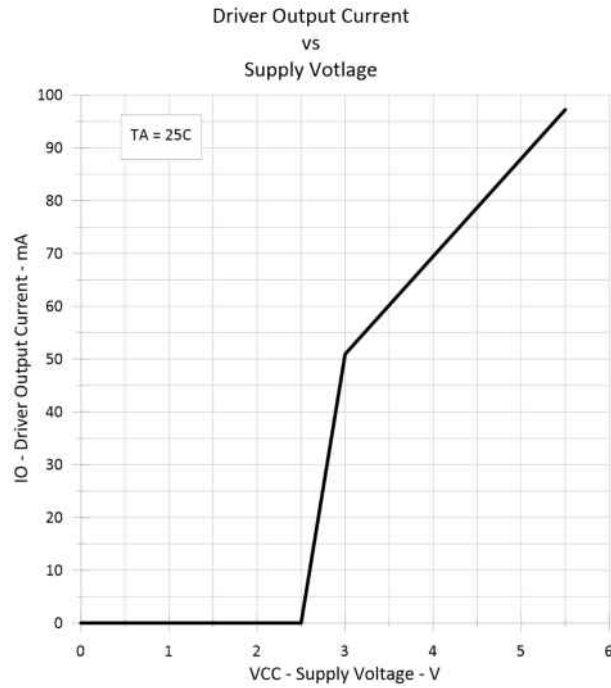
5-7. Driver Differential Output Voltage vs Case Temperature



5-8. Receiver Propagation Time vs Case Temperature



5-9. Driver Propagation Delay Time vs Case Temperature



5-10. Driver Output Current vs Supply Voltage

パラメータ測定情報

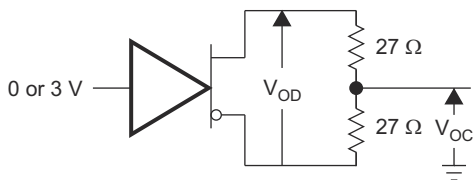


図 6-1. ドライバ V_{OD} および V_{OC}

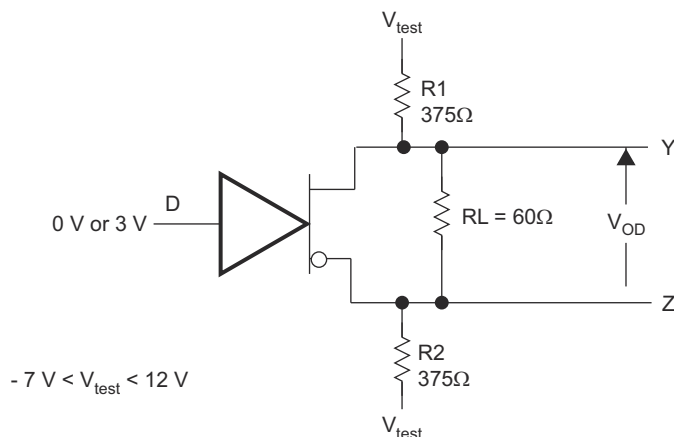
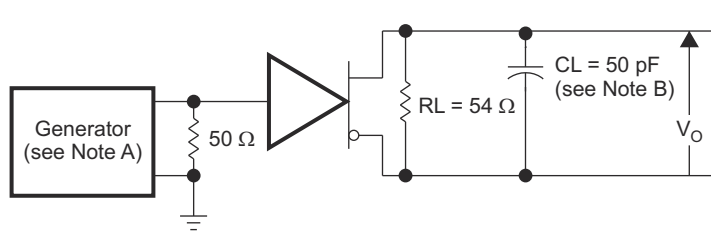
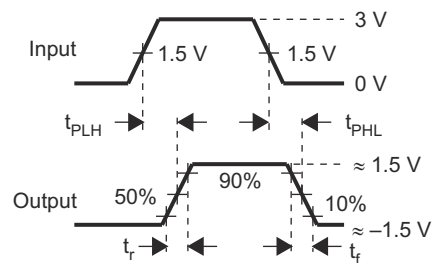


図 6-2. ドライバ V_{OD3}



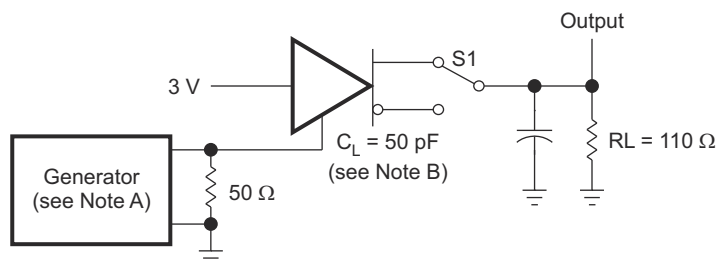
TEST CIRCUIT



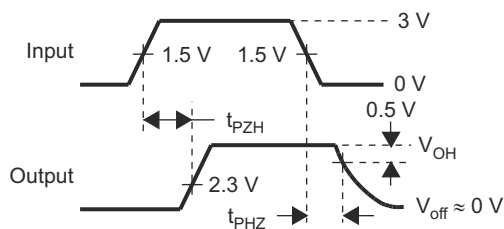
VOLTAGE WAVEFORMS

- A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR $\leq$ 1MHz、50% デューティ・サイクル、 $t_r \leq 6$ ns、 $t_f \leq 6$ ns、 $Z_O = 50\Omega$ 。
B. C_L にはプローブと治具の容量が含まれます。

図 6-3. ドライバテスト回路と電圧波形



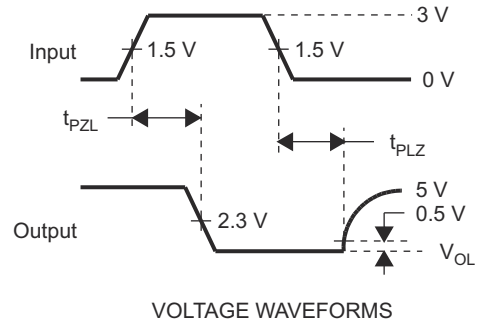
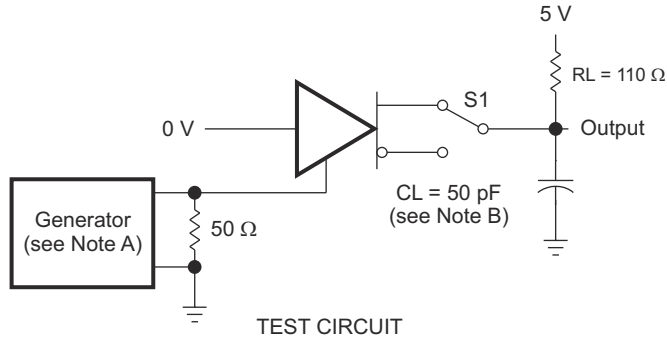
TEST CIRCUIT



VOLTAGE WAVEFORMS

- A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR $\leq$ 1MHz、50% デューティ・サイクル、 $t_r \leq 6$ ns、 $t_f \leq 6$ ns、 $Z_O = 50\Omega$ 。
B. C_L にはプローブと治具の容量が含まれます。

図 6-4. ドライバテスト回路と電圧波形



- A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR ≤ 1MHz、50% デューティ・サイクル、 $t_r \leq 6\text{ns}$ 、 $t_f \leq 6\text{ns}$ 、 $Z_0 = 50\Omega$ 。
B. C_L にはプローブと治具の容量が含まれます。

図 6-5. ドライバテスト回路と電圧波形

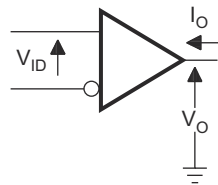
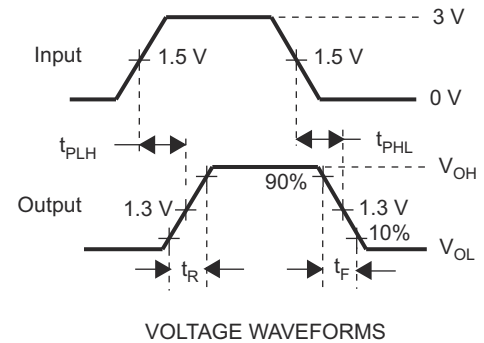
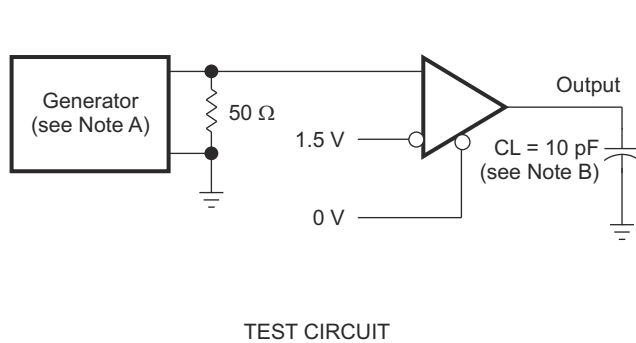
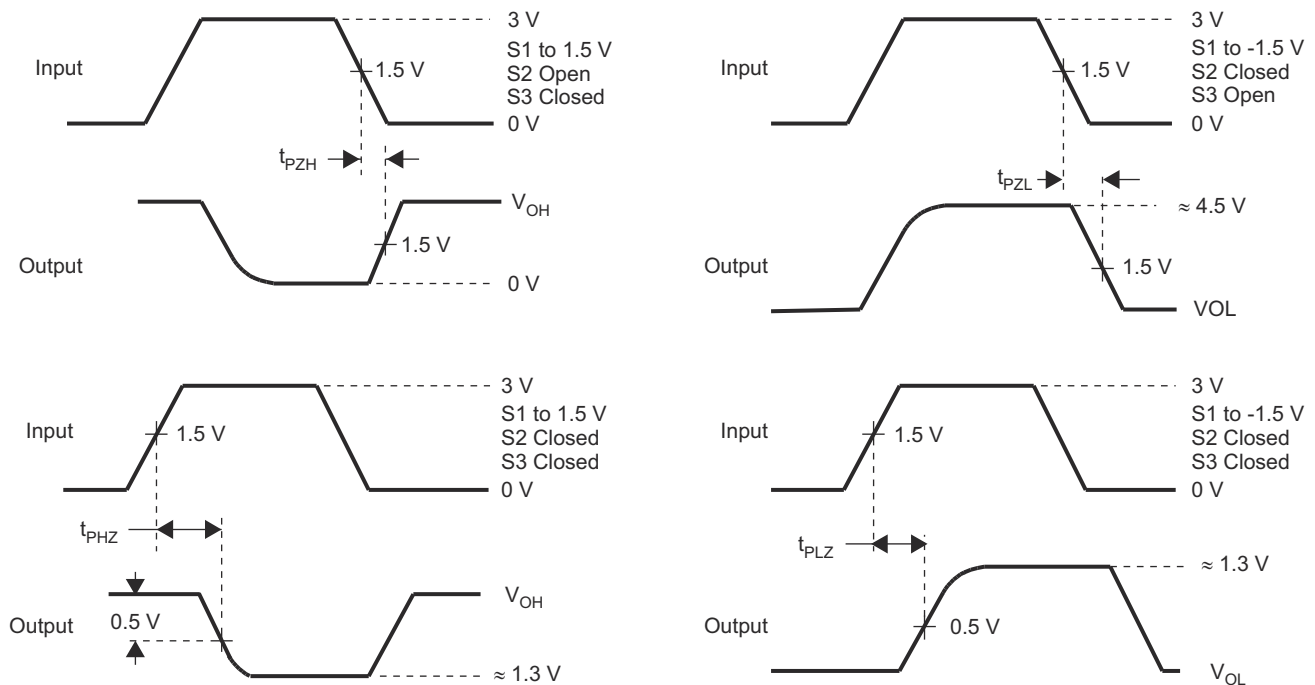
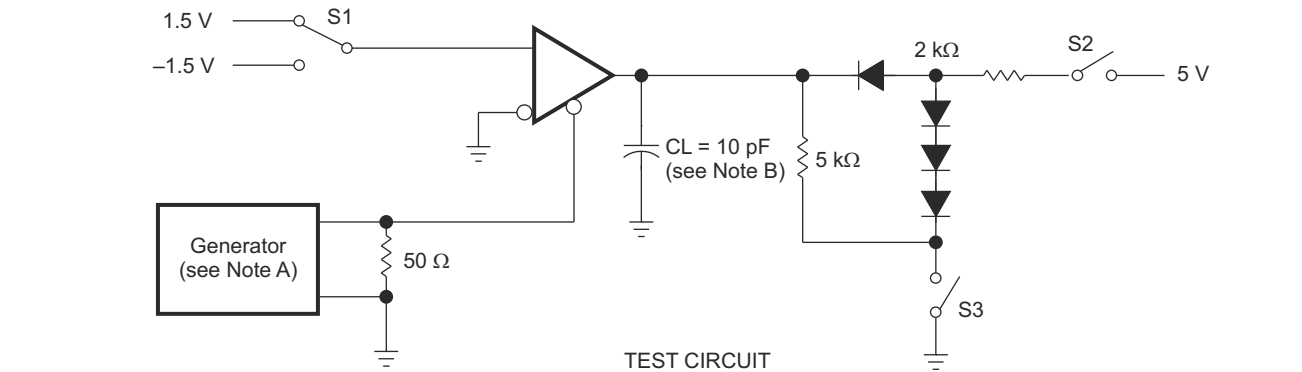


図 6-6. レシーバ V_{OH} および V_{OL}



- A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR ≤ 1MHz、50% デューティ・サイクル、 $t_r \leq 6\text{ns}$ 、 $t_f \leq 6\text{ns}$ 、 $Z_0 = 50\Omega$ 。
B. C_L にはプローブと治具の容量が含まれます。

図 6-7. レシーバテスト回路と電圧波形



- A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR ≤ 1MHz、50% デューティ・サイクル、 $t_r \leq 6\text{ns}$ 、 $t_f \leq 6\text{ns}$ 、 $Z_O = 50\Omega$ 。
- B. C_L にはプローブと治具の容量が含まれます。

図 6-8. レシーバテスト回路と電圧波形

6 Detailed Description

6.1 Device Functional Modes

6.1.1 Function Tables

DRIVER			
INPUT D	ENABLE DE	OUTPUTS	
		A	B
H	H	H	L
L	H	L	H
X	L	Z	Z
Open	H	H	L

RECEIVER		
DIFFERENTIAL INPUTS $V_A - V_B$		ENABLE ⁽¹⁾ RE
$V_{ID} \geq 0.2 \text{ V}$		L
$-0.2 \text{ V} < V_{ID} < 0.2 \text{ V}$		L
$V_{ID} \leq -0.2 \text{ V}$		L
X		H
Open		L

(1) H = high level, L = low level, ? = indeterminate,
X = Irrelevant, Z = high impedance (off)

6.1.2 Schematics

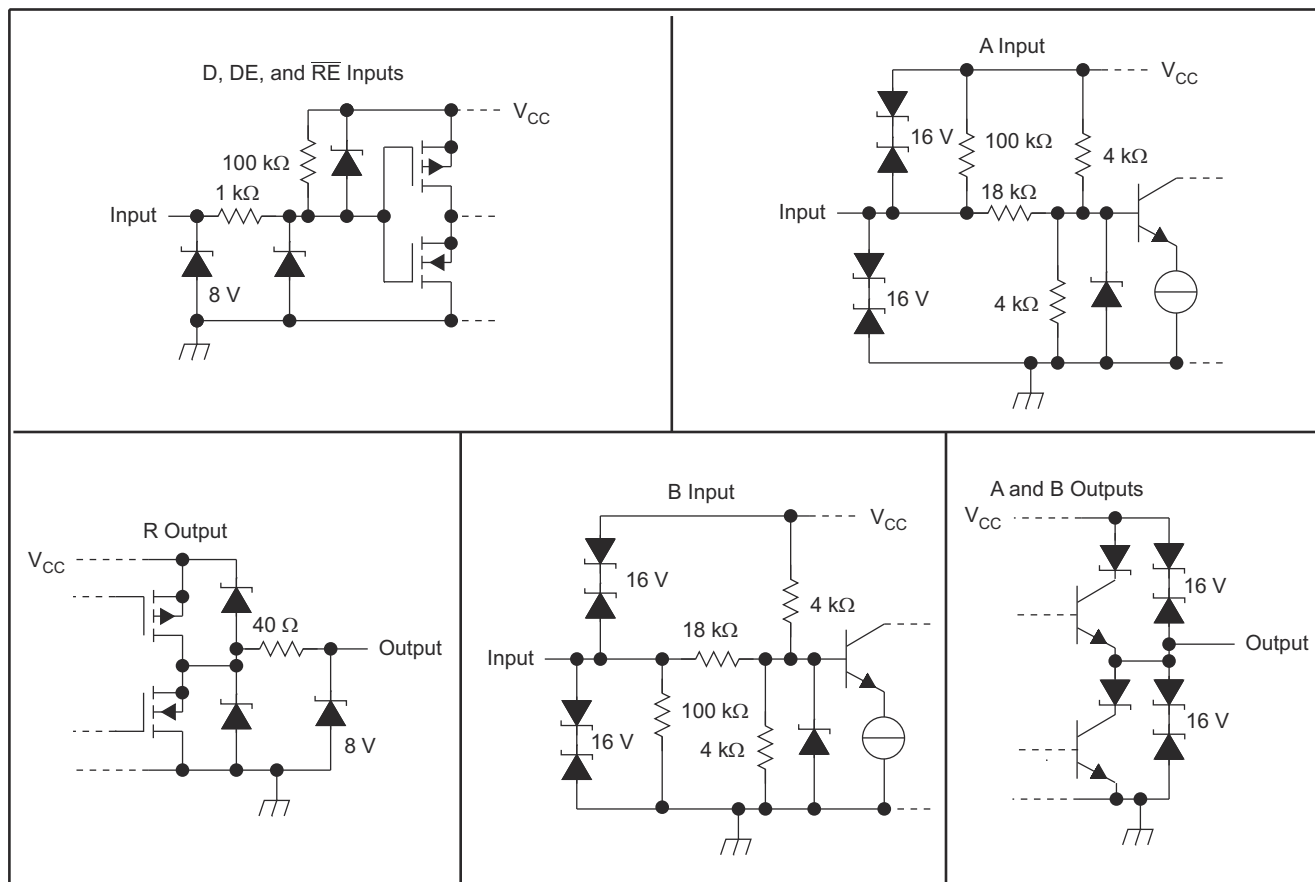


图 6-1. Schematics of Inputs and Outputs

7 Device and Documentation Support

7.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

7.2 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

7.3 商標

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

7.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

7.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

8 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN65LBC176ADR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	BL176A
SN65LBC176ADR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	BL176A
SN65LBC176ADRG4.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	BL176A
SN65LBC176AP	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	65LBC176A
SN65LBC176AP.A	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	65LBC176A
SN65LBC176AQD	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 125	B176AQ
SN65LBC176AQDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	B176AQ
SN65LBC176AQDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	B176AQ
SN75LBC176AP	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	75LBC176A
SN75LBC176AP.A	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	75LBC176A

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN65LBC176A :

- Enhanced Product : [SN65LBC176A-EP](#)

NOTE: Qualified Version Definitions:

- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN65LBC176ADR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN65LBC176ADR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN65LBC176ADR	SOIC	D	8	2500	356.0	356.0	35.0
SN65LBC176ADR	SOIC	D	8	2500	340.5	336.1	25.0

TUBE


*All dimensions are nominal

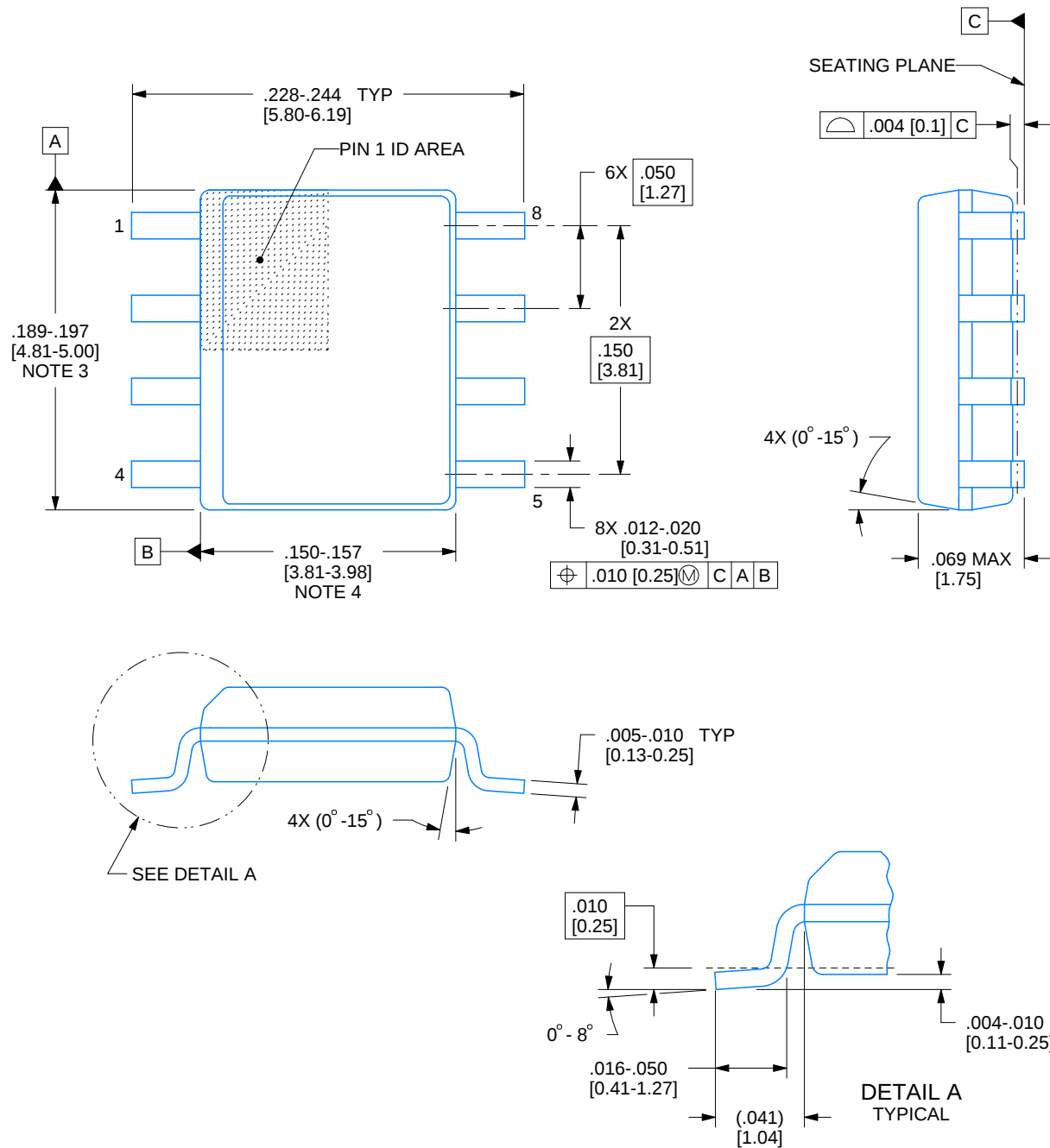
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN65LBC176AP	P	PDIP	8	50	506	13.97	11230	4.32
SN65LBC176AP.A	P	PDIP	8	50	506	13.97	11230	4.32
SN75LBC176AP	P	PDIP	8	50	506	13.97	11230	4.32
SN75LBC176AP.A	P	PDIP	8	50	506	13.97	11230	4.32

D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

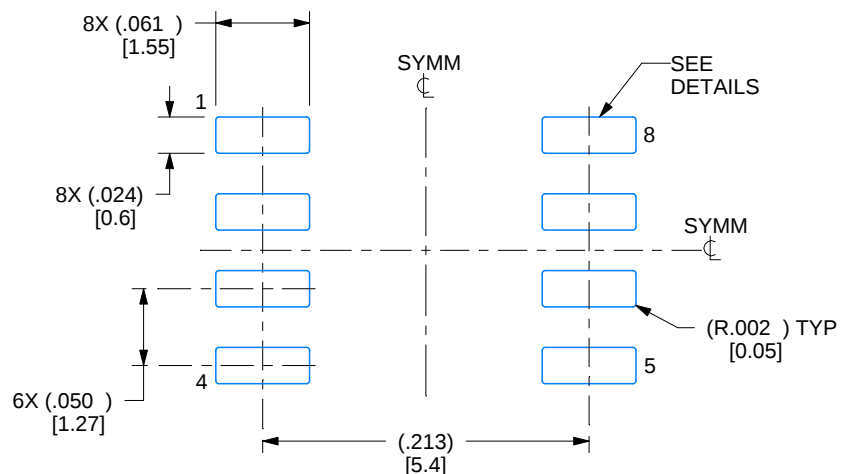
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

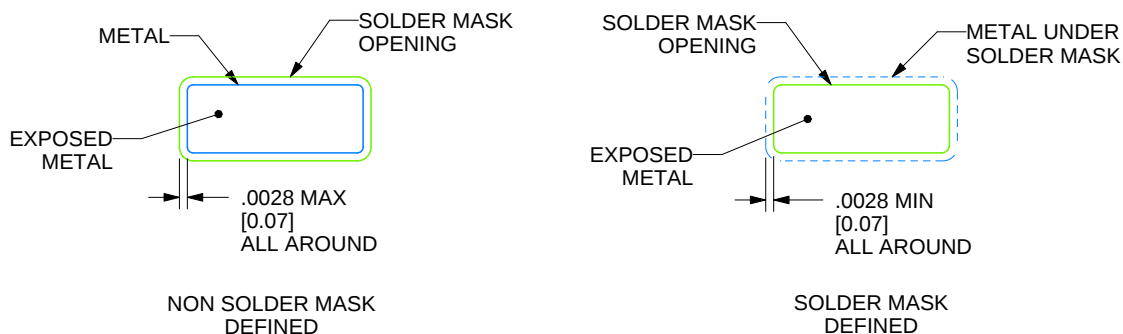
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R-PDIP-T8)

PLASTIC DUAL-IN-LINE PACKAGE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Falls within JEDEC MS-001 variation BA.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated