

SNx5176B 差動バス・トランシーバ

1 特長

- 双方方向トランシーバ
- ANSI 規格 TIA/EIA-422-B および TIA/EIA-485-A と ITU 勧告 V.11 および X.27 の要件を満たす、または超える
- ノイズの多い環境の、長いバス ラインでのマルチポイントの伝送用に設計
- 3 ステートのドライバ / レシーバ出力
- 個別のドライバ / レシーバ イネーブル
- 広い正および負の入力 / 出力バス電圧範囲
- $\pm 60\text{mA}$ の最大ドライバ出力能力
- サーマル シャットダウン保護機能
- ドライバの正 / 負電流制限
- $12\text{k}\Omega$ のレシーバの最小入力インピーダンス
- $\pm 200\text{mV}$ レシーバ入力感度
- 50mV (標準値) のレシーバ入力ヒステリシス
- 5V 単一電源で動作

2 アプリケーション

- 化学およびガス センサ
- デジタル サイネージ
- ヒューマン マシン インターフェイス (HMI)
- モーター制御
 - AC 誘導モーター
 - ブラシ付きとブラシレスの DC
 - 低電圧と高電圧
 - ステッピング モーター
 - 永久磁石
- TETRA ベース ステーション
- 通信塔
 - リモート電動チルト (RET) ユニット
 - タワー マウント アンプ (TMA)
- 計量器
- ワイヤレス リピータ

3 説明

SN65176B および SN75176B 差動バス トランシーバは、マルチポイント バス伝送線路での双方方向データ通信を目的として設計されています。SN65176B および SN75176B は、平衡伝送線路向けに設計されており、ANSI 規格 TIA/EIA-422-B および TIA/EIA-485-A、ならびに ITU 勧告 V.11 および X.27 に準拠しています。

SN65176B および SN75176B デバイスは、3 ステート差動ライン ドライバと差動入力ライン レシーバを統合しており、どちらも 5V 単一電源で動作します。ドライバはアクティブ High のイネーブル信号を、レシーバはアクティブ Low のイネーブル信号を備えており、これらを外部で接続することで方向制御として機能させることができます。ドライバの差動出力とレシーバの差動入力は、差動入出力 (I/O) バス ポートを構成するように内部で接続されています。これらのポートは、ドライバがディセーブルされている場合、または $V_{CC} = 0$ の場合、バスへの負荷を最小化するよう設計されています。これらのポートは正負の同相電圧範囲が広いため、パーティライン アプリケーションに最適です。

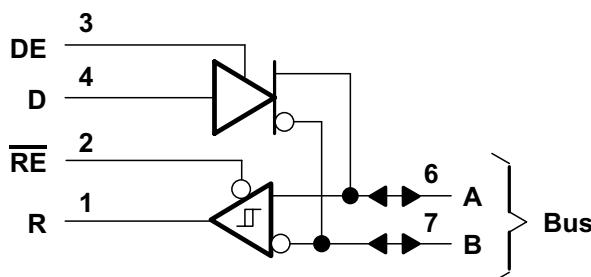
ドライバは、最大 60mA のシンクまたはソース電流に対応するように設計されています。ドライバは、ライン フォルト状態からの保護のために正と負の電流制限とサーマル シャットダウンを備えています。サーマル シャットダウンは、約 150°C の接合部温度でトリガされるように設計されています。レシーバの最小入力インピーダンスは $12\text{k}\Omega$ 、入力感度は $\pm 200\text{mV}$ 、入力ヒステリシスは 50mV (標準値) です。

パッケージ情報

部品番号	パッケージ (ピン) ⁽¹⁾	パッケージ サイズ ⁽²⁾
SNx5176	D (SOIC, 8)	4.90mm × 3.91mm
	P (PDIP, 8)	9.81mm × 6.35mm
	PS (SOP, 8)	6.20mm × 5.30mm

(1) 詳細については、[セクション 10](#) を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



概略回路図



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	6.3 機能説明	12
2 アプリケーション	1	6.4 デバイスの機能モード	13
3 説明	1	7 アプリケーションと実装	14
4 ピン構成および機能	3	7.1 アプリケーション情報	14
5 仕様	4	7.2 代表的なアプリケーション	14
5.1 絶対最大定格	4	7.3 システム例	15
5.2 推奨動作条件	4	7.4 電源に関する推奨事項	16
5.3 熱に関する情報	4	7.5 レイアウト	16
5.4 電気特性 - ドライバ	5	8 デバイスおよびドキュメントのサポート	17
5.5 電気特性 - レシーバ	6	8.1 ドキュメントの更新通知を受け取る方法	17
5.6 スイッチング特性 - ドライバ	6	8.2 サポート・リソース	17
5.7 スイッチング特性 - レシーバ	6	8.3 商標	17
5.8 代表的特性	7	8.4 静電気放電に関する注意事項	17
パラメータ測定情報	9	8.5 用語集	17
6 詳細説明	12	9 改訂履歴	17
6.1 概要	12	10 メカニカル、パッケージ、および注文情報	17
6.2 機能ブロック図	12	10.1 テープおよびリール情報	18

4 ピン構成および機能

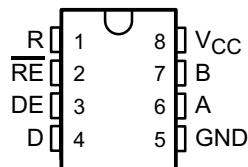


図 4-1. 上面図

表 4-1. ピンの機能

ピン		タイプ	説明
名称	番号		
R	1	O	RS-485 レシーバからのロジック データ出力
RE	2	I	レシーババイナリ (アクティブ Low)
DE	3	I	ドライババイナリ (アクティブ High)
D	4	I	RS-485 ドライバへのロジック データ入力
GND	5	—	デバイス グランド ピン
A	6	I/O	RS-422 または RS-485 データ ライン
B	7	I/O	RS-422 または RS-485 データ ライン
V _{CC}	8	—	電源入力、5V 電源に接続

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V _{CC}	電源電圧 ⁽²⁾		7	V
	任意のバス端子での電圧範囲	-10	15	V
V _I	イネーブル入力電圧		5.5	V
T _J	動作時の仮想接合部温度		150	°C
T _{stg}	保管温度範囲	-65	150	°C
	リード温度: ケースから 1.6mm (1/16 インチ) 離れた点で 10 秒間		260	°C

(1) 「絶対最大定格」を超えた動作は、デバイスに恒久的な損傷を与える可能性があります。絶対最大定格は、これらの条件において、または推奨動作条件に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

(2) 差動入出力バス電圧を除くすべての電圧値は、ネットワーク グランド端子を基準にしています。

5.2 推奨動作条件

		最小値	標準値	最大値	単位
V _{CC}	電源電圧	4.75	5	5.25	V
V _I または V _{IC}	任意のバス端子での電圧 (個別または同相モード)	-7		12	V
V _{IH}	High レベル入力電圧	D、DE、および RE	2		V
V _{IL}	Low レベル入力電圧	D、DE、および RE		0.8	V
V _{ID}	差動入力電圧 ⁽¹⁾			±12	V
I _{OH}	High レベル出力電流	ドライバ		-60	mA
		レシーバ		-400	μA
I _{OL}	Low レベル出力電流	ドライバ		60	mA
		レシーバ		8	
T _A	自由空気での動作温度	SN65176B	-40	105	°C
		SN75176B	0	70	

(1) 差動入出力バス電圧は、反転端子 B を基準にして非反転端子 A で測定されます。

5.3 熱に関する情報

熱評価基準 ⁽¹⁾	SNx5176			単位	
	D (SOIC)	PS (SO)	P (PDIP)		
	8 ピン				
R _{θJA}	接合部から周囲への熱抵抗	114.4	113.2	88.1	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	55.1	57.9	65.9	°C/W
R _{θJB}	接合部から基板への熱抵抗	61.6	69.0	69.0	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	8.8	14.6	35.2	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	60.8	68.1	64.3	°C/W

(1) 従来および新しい熱評価基準の詳細については、IC パッケージの熱評価基準アプリケーション ノートを参照してください。

5.4 電気特性 - ドライバ

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき（特に記述のない限り）。

パラメータ	テスト条件 ⁽¹⁾	最小値	標準値 ⁽²⁾	最大値	単位
V_{IK} 入力クランプ電圧	$I_I = -18\text{mA}$			-1.5	V
V_O 出力電圧	$I_O = 0$	0	V_{CC}		V
$ V_{OD1} $ 差動出力電圧	$I_O = 0$	1.5	3.6	V_{CC}	V
$ V_{OD2} $ 差動出力電圧	$R_L = 100\Omega$ 、図 6-1 を参照	$\frac{1}{2} V_{OD1}$ または 2 ⁽³⁾			V
	$R_L = 54\Omega$ 、図 6-1 を参照	1.5	2.5	5	
V_{OD3} 差動出力電圧	(4) を参照	1.5		5	V
$\Delta V_{OD} $ 差動出力電圧の大きさの変化 ⁽⁵⁾	$R_L = 54\Omega$ または 100Ω 、図 6-1 を参照		± 0.2		V
V_{OC} 同相出力電圧	$R_L = 54\Omega$ または 100Ω 、図 6-1 を参照	-1		+3	V
ΔV_{OCL} 同相ドライバの同相出力電圧の変化 ⁽⁵⁾	$R_L = 54\Omega$ または 100Ω 、図 6-1 を参照		± 0.2		V
I_O 出力電流	出力ディスエーブル ⁽⁶⁾	$V_O = 12\text{V}$		1	mA
		$V_O = -7\text{V}$		-0.8	
I_{IH} High レベル入力電流	$V_I = 2.4\text{V}$		20		μA
I_{IL} Low レベル入力電流	$V_I = 0.4\text{V}$		-400		μA
I_{OS} 短絡出力電流	$V_O = -7\text{V}$			-250	mA
	$V_O = 0$			-150	
	$V_O = V_{CC}$			250	
	$V_O = 12\text{V}$			250	
I_{CC} 消費電流 (合計パッケージ)	無負荷	出力イネーブル	42	70	mA
		出力ディセーブル	26	35	

- (1) ANSI 規格 TIA/EIA-422-B における電源オフ時の測定は、無効化された出力にのみ適用され、入力と出力が一体となった端子には適用されません。
- (2) 代表値はすべて、 $V_{CC} = 5\text{V}$ 、 $T_A = 25^\circ\text{C}$ における値です。
- (3) 100Ω の負荷時における最小 V_{OD2} は、 V_{OD1} の $\frac{1}{2}$ または 2V のいずれか大きい方となります。
- (4) ANSI 規格 TIA/EIA-485-A の図 3.5「テスト終端測定 2」を参照してください。
- (5) $\Delta|V_{OD}|$ および $\Delta|V_{OCL}|$ は、それぞれ入力がハイレベルからロー・レベルに変化したときに生じる V_{OD} および V_{OCL} の絶対値の変化量を示します。
- (6) これは電源オン時およびオフ時の両方に適用されます。正確な条件については、ANSI 規格 TIA/EIA-485-A を参照してください。TIA/EIA-422-B の制限値は、ドライバ端子とレシーバ端子の組み合わせには適用されません。

5.5 電気特性 - レシーバ

同相モード入力電圧、電源電圧、および動作周囲温度の推奨範囲全体 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値 (1)	最大値	単位
V_{IT+} 正方向入力スレッショルド電圧	$V_O = 2.7V, I_O = -0.4mA$			0.2	V
V_{IT-} 負方向入力スレッショルド電圧	$V_O = 0.5V, I_O = 8mA$	-0.2(2)			V
V_{hys} 入力ヒステリシス電圧 ($V_{IT+} - V_{IT-}$)			50		mV
V_{IK} イネーブル入力クランプ電圧	$I_I = -18mA$			-1.5	V
V_{OH} High レベル出力電圧	$V_{ID} = 200mV, I_{OH} = -400\mu A$ 、図 6-2 を参照	2.7			V
V_{OL} Low レベル出力電圧	$V_{ID} = -200mV, I_{OL} = 8mA$ 、図 6-2 を参照			0.45	V
I_{OZ} 高インピーダンス状態の出力電流	$V_O = 0.4V \sim 2.4V$			± 20	μA
I_I ライン入力電流	その他の入力 = 0V ⁽³⁾	$V_I = 12V$		1	mA
		$V_I = -7V$		-0.8	
I_{IH} High レベルのイネーブル入力電流	$V_{IH} = 2.7V$			20	μA
I_{IL} Low レベルのイネーブル入力電流	$V_{IL} = 0.4V$			-100	μA
r_I 入力抵抗	$V_I = 12V$	12			$k\Omega$
I_{OS} 短絡出力電流		-15		-85	mA
I_{CC} 消費電流 (合計パッケージ)	無負荷	出力イネーブル	42	55	mA
		出力ディセーブル	26	35	

(1) 代表値はすべて、 $V_{CC} = 5V, T_A = 25^\circ C$ における値です。

(2) このデータシートでは、同相モード入力電圧およびスレッショルド電圧レベルに限り、「より正でない (より負の)」限界値を最小値として指定する代数的な慣習が採用されています。

(3) これは、電源オン時とオフ時の両方に適用されます。正確な条件については、EIA 規格 TIA/EIA-485-A を参照してください。

5.6 スイッチング特性 - ドライバ

$V_{CC} = 5V, R_L = 110\Omega, T_A = 25^\circ C$ (特に注記のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
$t_{d(OD)}$ 差動出力遅延時間	$R_L = 54\Omega$ 、図 6-3 を参照	15	22		ns
$t_{t(OD)}$ 差動出力遷移時間	$R_L = 54\Omega$ 、図 6-3 を参照	20	30		ns
t_{PZH} High レベルへの出力イネーブル時間	図 6-4 を参照	85	120		ns
t_{PZL} Low レベルへの出力イネーブル時間	図 6-5 を参照	40	60		ns
t_{PHZ} High レベルからの出力ディスエーブル時間	図 6-4 を参照	150	250		ns
t_{PLZ} Low レベルからの出力ディスエーブル時間	図 6-5 を参照	20	30		ns

5.7 スイッチング特性 - レシーバ

$V_{CC} = 5V, C_L = 15pF, T_A = 25^\circ C$

パラメータ	テスト条件	最小値	標準値	最大値	単位
t_{PLH} 伝搬遅延時間、Low レベルから High レベル出力まで	$V_{ID} = 0 \sim 3V$ 、図 6-6 を参照	21	35		ns
t_{PHL} 伝搬遅延時間、High レベルから Low レベル出力まで		23	35		
t_{PZH} High レベルへの出力イネーブル時間	図 6-7 を参照	10	20		ns
t_{PZL} Low レベルへの出力イネーブル時間		12	20		

5.7 スイッチング特性 – レシーバ (続き)

$V_{CC} = 5V$, $C_L = 15pF$, $T_A = 25^\circ C$

パラメータ	テスト条件	最小値	標準値	最大値	単位
t_{PHZ} High レベルからの出力ディスエーブル時間	図 6-7 を参照	20	35	ns	ns
t_{PLZ} Low レベルからの出力ディスエーブル時間		17	25	ns	

5.8 代表的特性

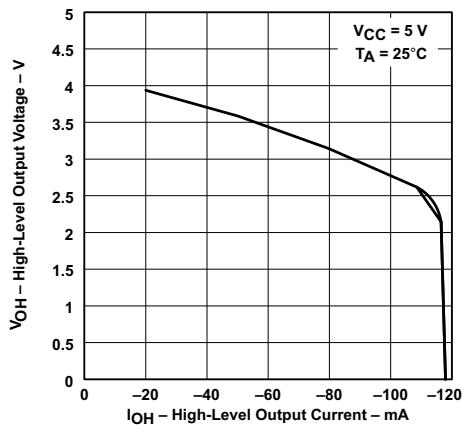


図 5-1. ドライバの High レベル出力電圧と High レベル出力電流との関係

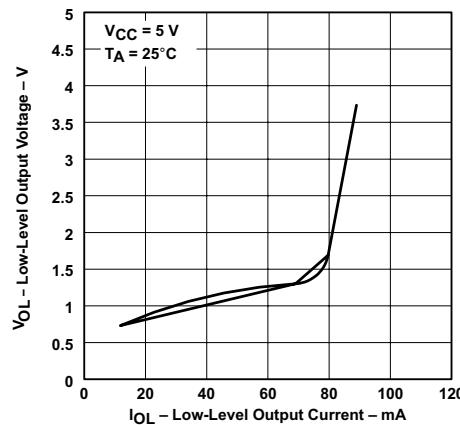


図 5-2. ドライバの Low レベル出力電圧と Low レベル出力電流との関係

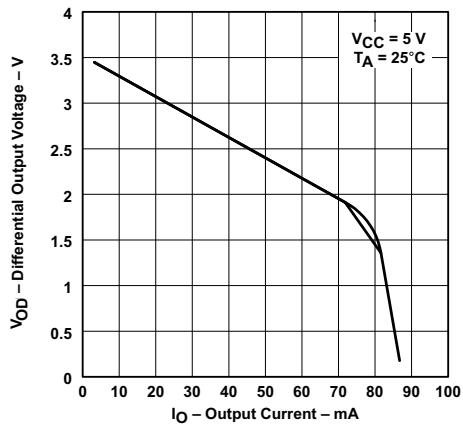


図 5-3. ドライバ差動出力電圧と出力電流との関係

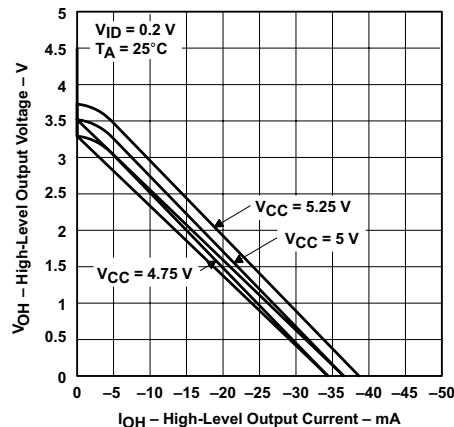
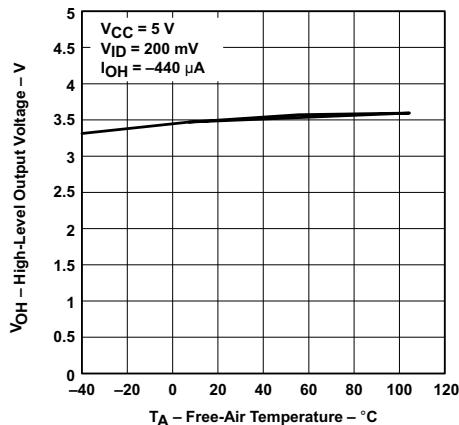


図 5-4. レシーバの High レベル出力電圧と High レベル出力電流との関係

5.8 代表的特性 (続き)



この曲線の 0°C から 70°C への部分のみが SN75176B デバイスに適用されます。

図 5-5. レシーバの High レベル出力電圧と自由気流温度との関係

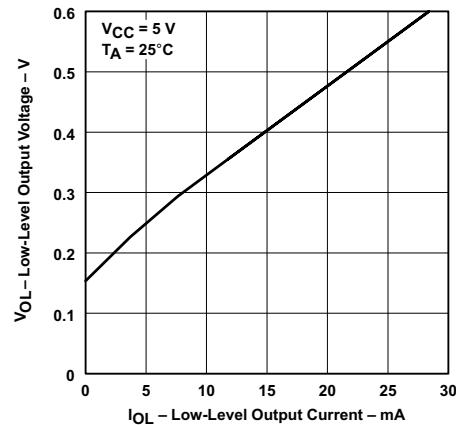


図 5-6. レシーバの Low レベル出力電圧と Low レベル出力電流との関係

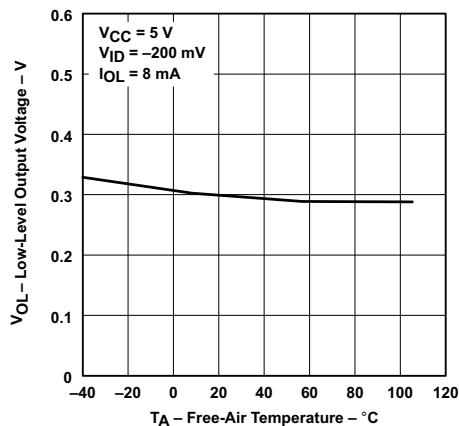


図 5-7. レシーバの Low レベル出力電圧と自由気流温度との関係

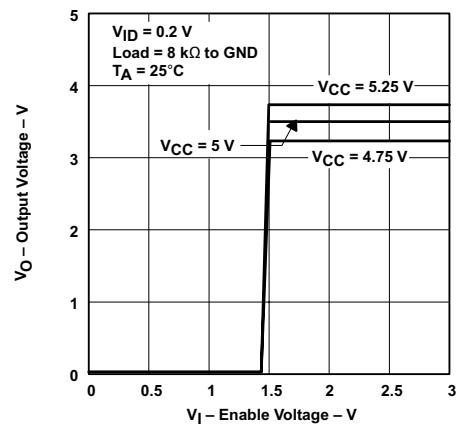


図 5-8. レシーバ出力電圧とイネーブル電圧との関係

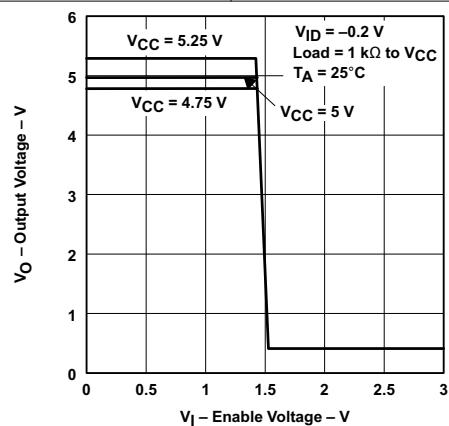


図 5-9. レシーバ出力電圧とイネーブル電圧との関係

パラメータ測定情報

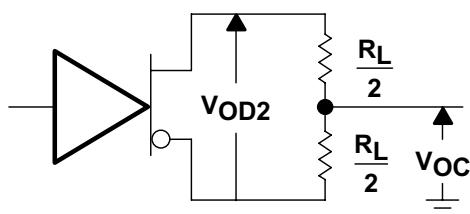


図 6-1. ドライバ V_{OD} および V_{OC}

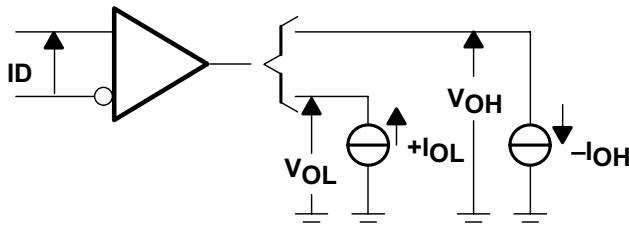
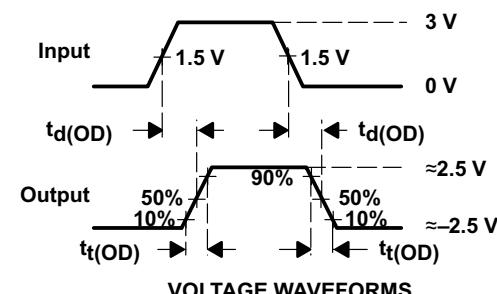
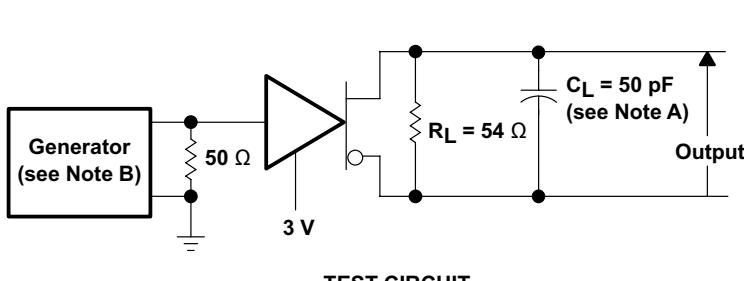


図 6-2. レシーバ V_{OH} および I_{OL}

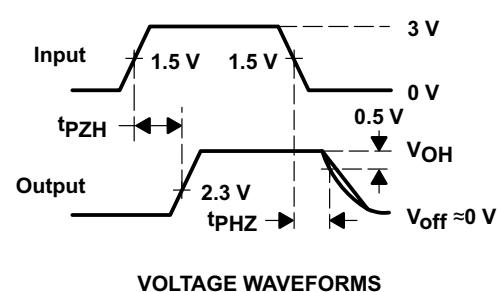
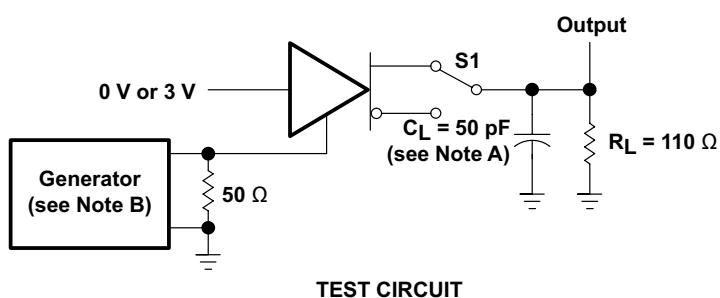


TEST CIRCUIT

VOLTAGE WAVEFORMS

- A. C_L にはプローブと治具の容量が含まれます。
- B. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR $\leq 1\text{MHz}$, 50% デューティ サイクル, $t_r \leq 6\text{ns}$, $t_f \leq 6\text{ns}$, $Z_O = 50\Omega$ 。

図 6-3. ドライバテスト回路と電圧波形

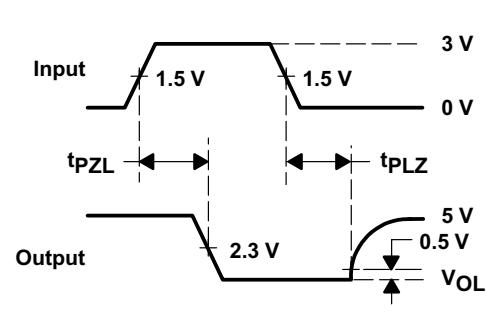
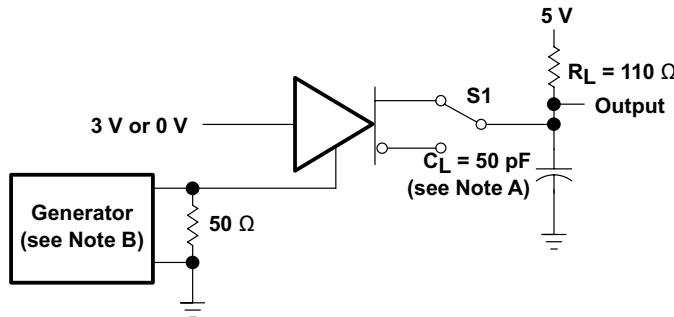


TEST CIRCUIT

VOLTAGE WAVEFORMS

- A. C_L にはプローブと治具の容量が含まれます。
- B. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR $\leq 1\text{MHz}$, 50% デューティ サイクル, $t_r \leq 6\text{ns}$, $t_f \leq 6\text{ns}$, $Z_O = 50\Omega$ 。

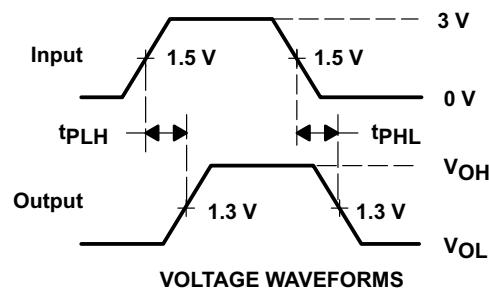
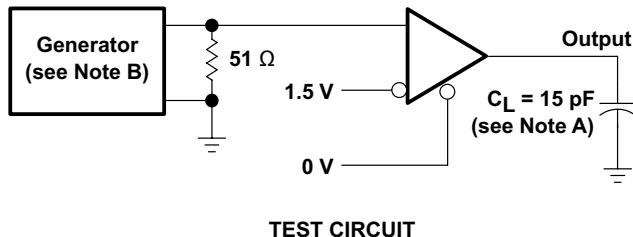
図 6-4. ドライバテスト回路と電圧波形



A. C_L にはプローブと治具の容量が含まれます。

B. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR $\leq 1\text{MHz}$, 50% デューティ サイクル, $t_r \leq 6\text{ns}$, $t_f \leq 6\text{ns}$, $Z_O = 50\Omega$ 。

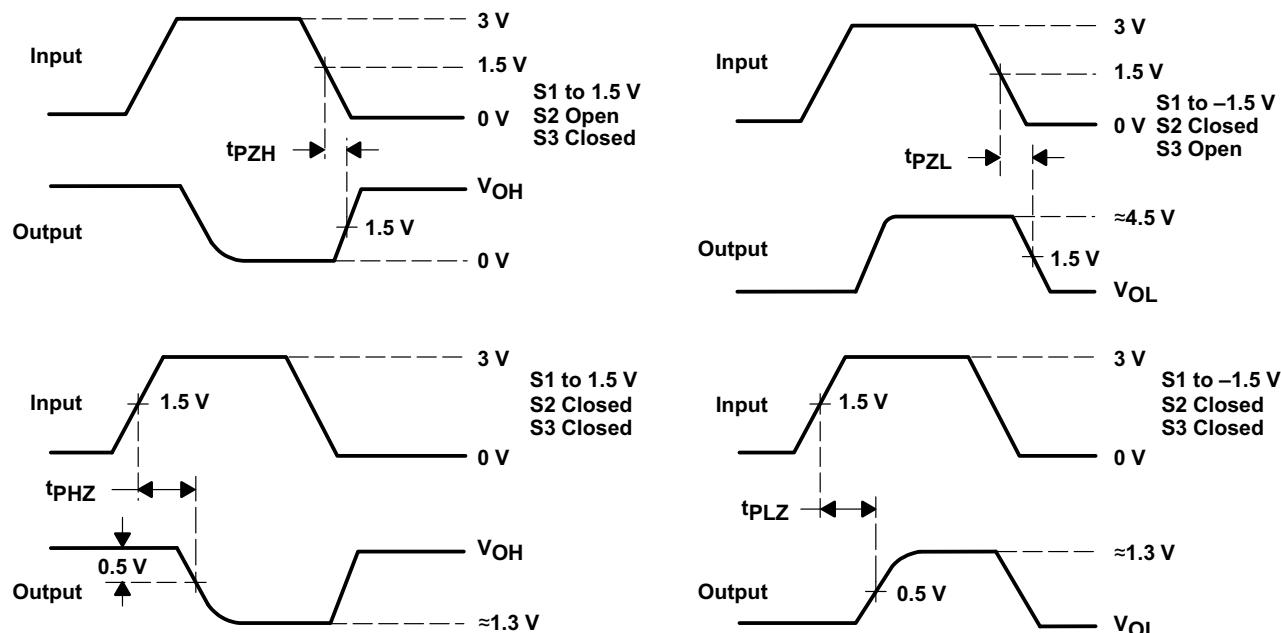
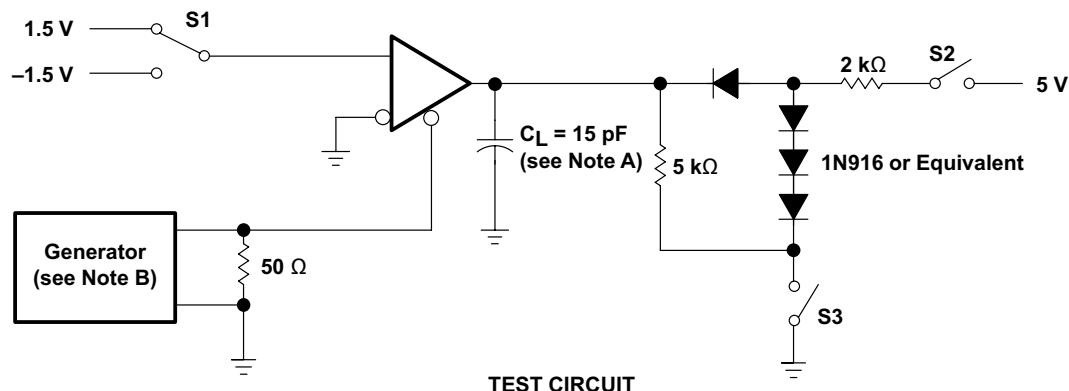
図 6-5. ドライバテスト回路と電圧波形



A. C_L にはプローブと治具の容量が含まれます。

B. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR $\leq 1\text{MHz}$, 50% デューティ サイクル, $t_r \leq 6\text{ns}$, $t_f \leq 6\text{ns}$, $Z_O = 50\Omega$ 。

図 6-6. レシーバテスト回路と電圧波形



- A. C_L にはプローブと治具の容量が含まれます。
- B. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR $\leq 1\text{MHz}$ 、50% デューティ サイクル、 $t_r \leq 6\text{ns}$ 、 $t_f \leq 6\text{ns}$ 、 $Z_O = 50\Omega$ 。

図 6-7. レシーバテスト回路と電圧波形

6 詳細説明

6.1 概要

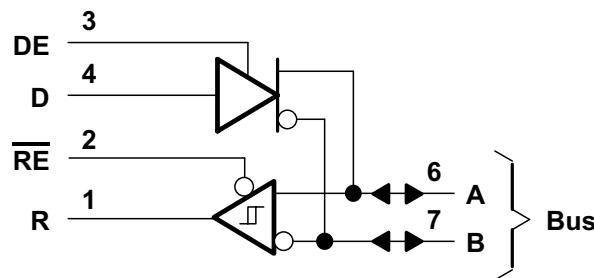
SN65176B および SN75176B 差動バストランシーバは、マルチポイントバス伝送線における双方方向データ通信のため設計された集積回路です。これらのデバイスは平衡伝送線路用に設計されており、ANSI 規格 TIA/EIA-422-B および TIA/EIA-485-A、ITU 勧告 V.11 および X.27 に適合しています。

SN65176B および SN75176B デバイスは、3 ステート差動ラインドライバと差動入力ラインレシーバを統合しており、どちらも 5V 単一電源で動作します。ドライバとレシーバはそれぞれアクティブ High、アクティブ Low のイネーブルを備えており、それらのイネーブルを外部で互いに接続することで、方向制御として機能させることができます。ドライバの差動出力とレシーバの差動入力は、差動入出力 (I/O) バスポートを構成するように内部で接続されています。これらのポートは、ドライバがディセーブルされている場合、または $V_{CC} = 0$ の場合、バスへの負荷を最小化するように設計されています。これらのポートは広い正負の同相電圧範囲を持っているため、本デバイスはパーティライン アプリケーションに適しています。

ドライバは、最大 60mA のシンクまたはソース電流に対応するように設計されています。ドライバは、ラインフォルト状態からの保護のために正と負の電流制限とサーマルシャットダウンを備えています。サーマルシャットダウンは、約 150°C の接合部温度でトリガされるように設計されています。レシーバの最小入力インピーダンスは 12kΩ、入力感度は ±200mV、入力ヒステリシスは 50mV (標準値) です。

SN65176B および SN75176B は、SN75172 および SN75174 の 4 回路差動ラインドライバや、SN75173 および SN75175 の 4 回路差動ラインレシーバを用いた伝送線路アプリケーションにおいて使用できます。

6.2 機能ブロック図



6.3 機能説明

6.3.1 ドライバ

ドライバは、TTL ロジック信号レベルを RS-422 および RS-485 準拠の差動出力に変換します。TTL ロジック入力である DE ピンを使用して、ドライバのオン/オフを切り替えます。

表 6-1. ドライバ機能 (1)

入力 D	ドライバイブル DE	差動出力	
		A	B
H	H	H	L
L	H	L	H
X	L	Z	Z

(1) H = High レベル、L = Low レベル、X = 無関係、Z = 高インピーダンス (オフ)

6.3.2 レシーバ

レシーバは、RS-422 または RS-485 の差動入力電圧を TTL ロジック レベルの出力に変換します。TTL ロジック入力 (\overline{RE} ピン) を使用して、レシーバ ロジック出力のオン/オフを切り替えます。

表 6-2. レシーバ機能表 (1)

差動入力 A ~B	イネーブル \overline{RE}	出力 R
$V_{ID} \geq 0.2V$	L	H
$-0.2V < V_{ID} < 0.2V$	L	U
$V_{ID} \leq -0.2V$	L	L
X	H	Z
オープン	L	U

(1) H = High レベル、L = Low レベル、U = 不明、Z = 高インピーダンス (オフ)

6.4 デバイスの機能モード

6.4.1 デバイス電源

ドライバとレシーバは、それぞれ任意の組み合わせで個別にイネーブルまたはディスエーブルすることができます。DE と \overline{RE} は、1 つのポート方向制御ビットを互いに接続できます。

6.4.2 デバイスの電源がオフ

ドライバの差動出力とレシーバの差動入力は内部で接続されており、差動入出力(I/O) バスポートを構成しています。バスポートは、ドライバがディセーブルされている場合、または $V_{CC} = 0$ の場合、バスへの負荷が最小化されるように設計されています。

6.4.3 シンボルクロス リファレンス

表 6-3. シンボル等価

データシートのパラメータ	TIA/EIA-422-B	TIA/EIA-485-A
V_o	V_{oa}, V_{ob}	V_{oa}, V_{ob}
$ V_{OD1} $	V_o	V_o
$ V_{OD2} $	$V_t @ L = 100\Omega$)	$V_t @ L = 54\Omega$)
$ V_{OD3} $		V_t (テスト終了測定 2)
$\Delta V_{OD} $	$ V_t - \nabla_t $	$ V_t - \nabla_t $
V_{oc}	$ V_{os} $	$ V_{os} $
$\Delta V_{oc} $	$ V_{os} - \bar{V}_{os} $	$ V_{os} - \bar{V}_{os} $
I_{os}	$ s_a , s_b $	
I_o	$ x_a , x_b $	I_{ia}, I_{ib}

7 アプリケーションと実装

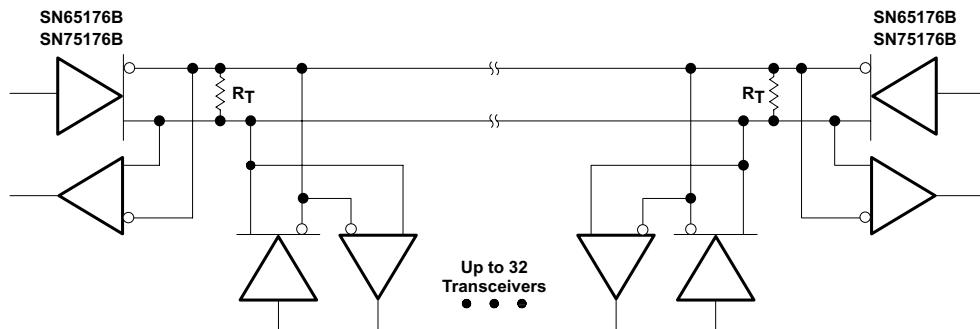
注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

SN65176B および SN75176B は、RS-485 および RS-422 の物理層通信で使用します。

7.2 代表的なアプリケーション



ラインの両端を特性インピーダンス $\tau = Z_0$ で終端します。メインラインから分岐するスタブの長さはできるだけ短くします。

図 7-1. 代表的な RS-485 アプリケーションの回路

7.2.1 設計要件

- 5V 電源
- 10Mbps 以下で動作する RS-485 バス
- ポートピンに対して正しい極性を確立するコネクタ
- 外部フェイルセーフ実装

7.2.2 詳細な設計手順

バスラインへの反射を防ぐために、デバイスはバス コネクタの近くに配置し、パターン（スタブ）を短くします。必要に応じて、外部フェイルセーフ バイアスを追加し、A-B ポートに +200mV を設定します。

7.2.3 アプリケーション曲線

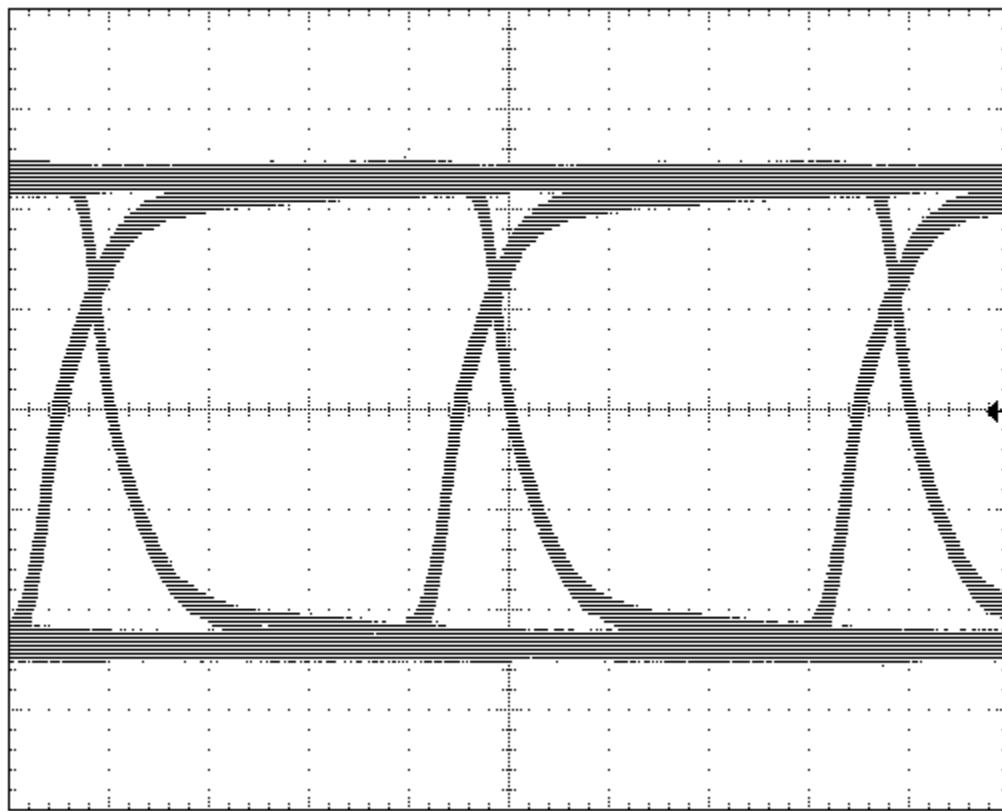


図 7-2. 両端に 120Ω の終端抵抗を設けた標準 CAT-5E ケーブル (100 フィート) を使用した 10Mbit/s 通信のアイダイアグラム

図 7-2 では、目盛りは 1 分割あたり 1V、1 分割あたり 25nS です。

7.3 システム例

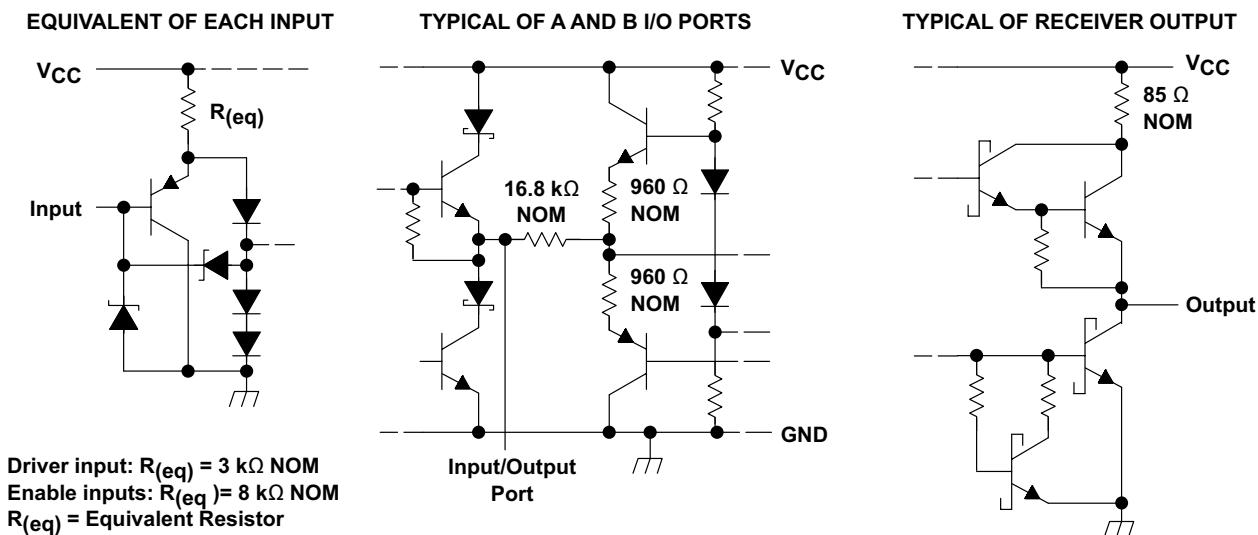


図 7-3. 入力と出力の回路図

7.4 電源に関する推奨事項

許容誤差 10% 未満で 5V 電源を確立します。

7.5 レイアウト

7.5.1 レイアウトのガイドライン

デバイスの A および B ピンからコネクタまでの配線は短くし、最大 250 mA の電流に対応できるようにします。

7.5.2 レイアウト例

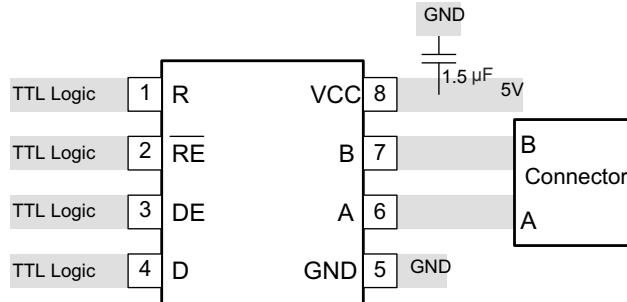


図 7-4. レイアウトの図

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

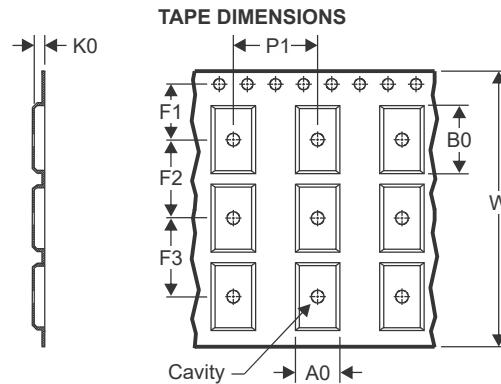
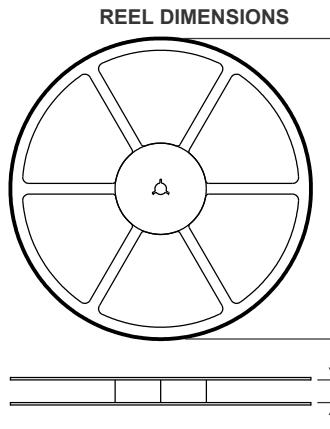
Changes from Revision H (December 2021) to Revision I (August 2025)	Page
• 注文可能な SN65176BDE に、3 行のテープ アンド リール オプションを追加.....	18

Changes from Revision G (July 2021) to Revision H (December 2021)	Page
• 熱情報表の D パッケージにおける Ψ_{JT} の値を 78.8 から 8.8 に変更.....	4

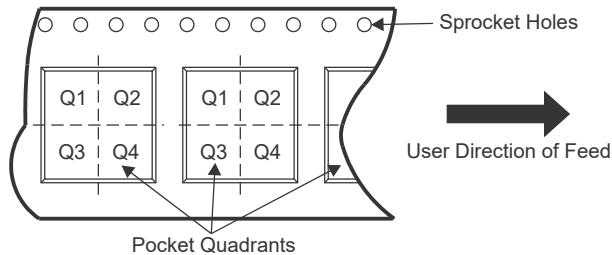
10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側の説明をご覧ください。

10.1 テープおよびリール情報



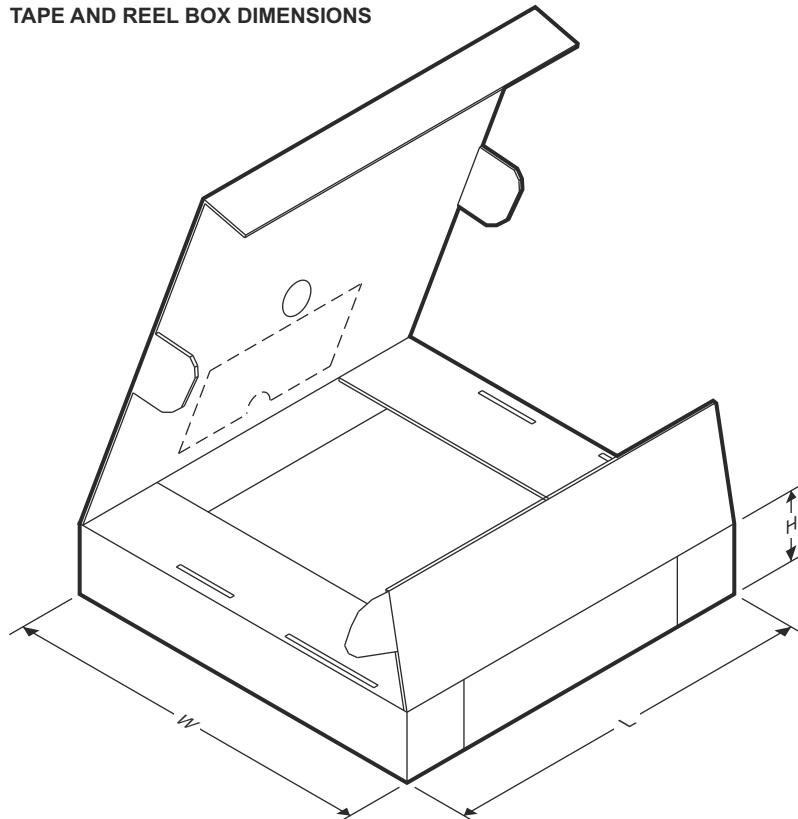
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers
F1	Distance between centers of sprocket hole and first cavity row
F2	Distance between centers of first and second cavity rows
F3	Distance between centers of second and third cavity rows

デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	運送業者	リール直径 (mm)	リール幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン1の象限	F1 (mm)	F2 (mm)	F3 (mm)
SN65176BDR	SOIC	D	8	2500	1行	330	12.4	6.4	5.2	2.1	8	12	Q1	—	—	—
SN65176BDR	SOIC	D	8	2500	1行	330	12.4	6.4	5.2	2.1	8	12	Q1	—	—	—
SN65176BDR	SOIC	D	8	2500	1行	330	12.4	6.4	5.2	2.1	8	12	Q1	—	—	—
SN65176BDRG4	SOIC	D	8	2500	1行	330	12.4	6.4	5.2	2.1	8	12	Q1	—	—	—
SN65176BDRG4	SOIC	D	8	2500	1行	330	12.4	6.4	5.2	2.1	8	12	Q1	—	—	—
SN75176BDR	SOIC	D	8	2500	1行	330	12.4	6.4	5.2	2.1	8	12	Q1	—	—	—
SN75176BDR	SOIC	D	8	2500	1行	330	12.4	6.4	5.2	2.1	8	12	Q1	—	—	—
SN75176BDR	SOIC	D	8	2500	1行	330	12.4	6.4	5.2	2.1	8	12	Q1	—	—	—
SN75176BDRG4	SOIC	D	8	2500	1行	330	12.4	6.4	5.2	2.1	8	12	Q1	—	—	—
SN75176BPSR	SO	PS	8	2000	1行	330	16.4	8.35	6.6	2.4	12	16	Q1	—	—	—
SN65176BDE	SOIC	D	8	7500	複数行 (3)	330	24.4	6.45	5.25	2.1	8	24	Q1	5.25	6.25	6.25

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
SN65176BDR	SOIC	D	8	2500	353	353	32
SN65176BDR	SOIC	D	8	2500	353	353	32
SN65176BDR	SOIC	D	8	2500	340.5	338.1	20.6
SN65176BDRG4	SOIC	D	8	2500	340.5	336.1	25
SN65176BDRG4	SOIC	D	8	2500	353	353	32
SN75176BDR	SOIC	D	8	2500	353	353	32
SN75176BDR	SOIC	D	8	2500	353	353	32
SN75176BDR	SOIC	D	8	2500	340.5	338.1	20.6
SN75176BDRG4	SOIC	D	8	2500	340.5	336.1	25
SN75176BPSR	SO	PS	8	2000	353	353	32
SN65176BDE	SOIC	D	8	7500	356.0	356.0	45.0

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN65176BD	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 105	65176B
SN65176BDE	Active	Production	SOIC (D) 8	7500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	65176B
SN65176BDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	65176B
SN65176BDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	65176B
SN65176BDRE4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	65176B
SN65176BDRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	65176B
SN65176BDRG4.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	65176B
SN65176BP	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 105	SN65176BP
SN65176BP.A	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 105	SN65176BP
SN75176BD	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	0 to 70	75176B
SN75176BDG4	NRND	Production	null (null)	75 TUBE	-	Call TI	Call TI	0 to 70	
SN75176BDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	75176B
SN75176BDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	75176B
SN75176BDRE4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	75176B
SN75176BDRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	75176B
SN75176BDRG4.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	75176B
SN75176BP	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	SN75176BP
SN75176BP.A	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	SN75176BP
SN75176BPE4	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	SN75176BP
SN75176BPSR	Active	Production	SO (PS) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	A176B
SN75176BPSR.A	Active	Production	SO (PS) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	A176B
SN75176BPSRG4	Active	Production	SO (PS) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	A176B

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

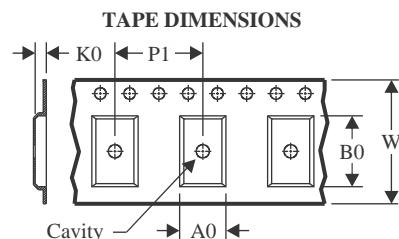
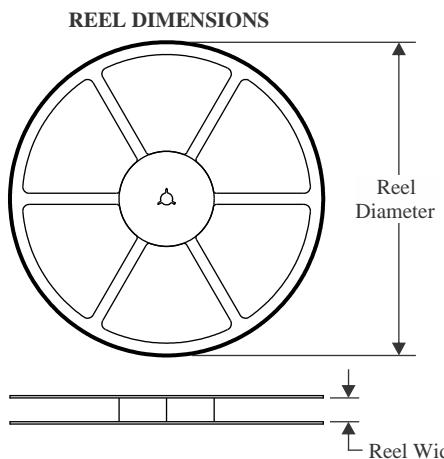
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

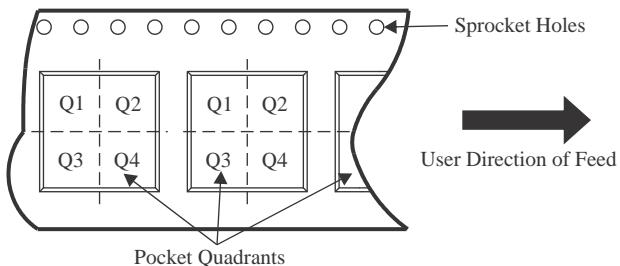
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

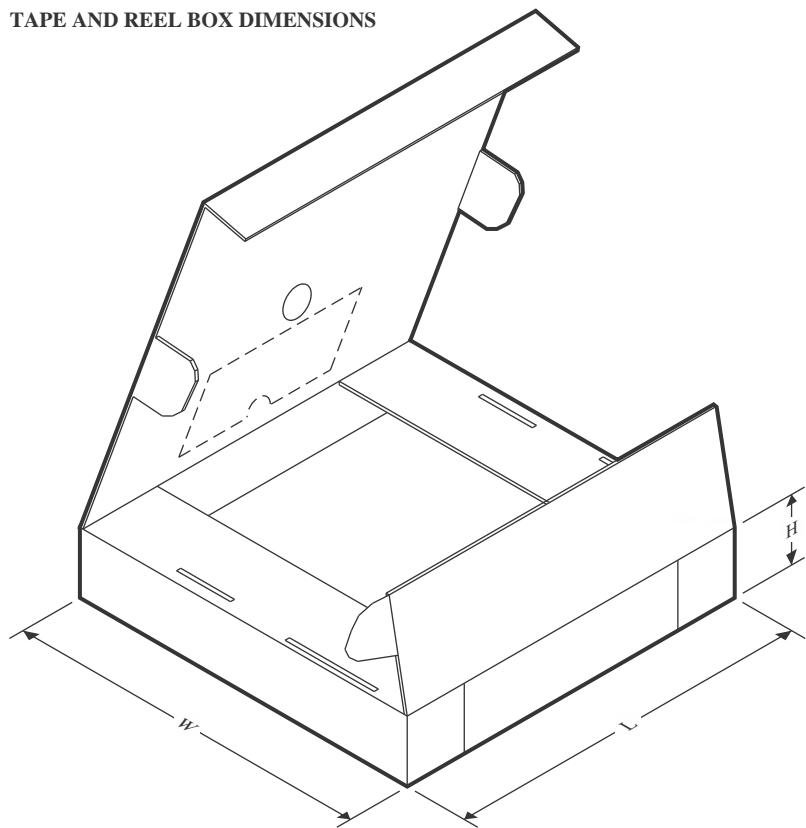
TAPE AND REEL INFORMATION

A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

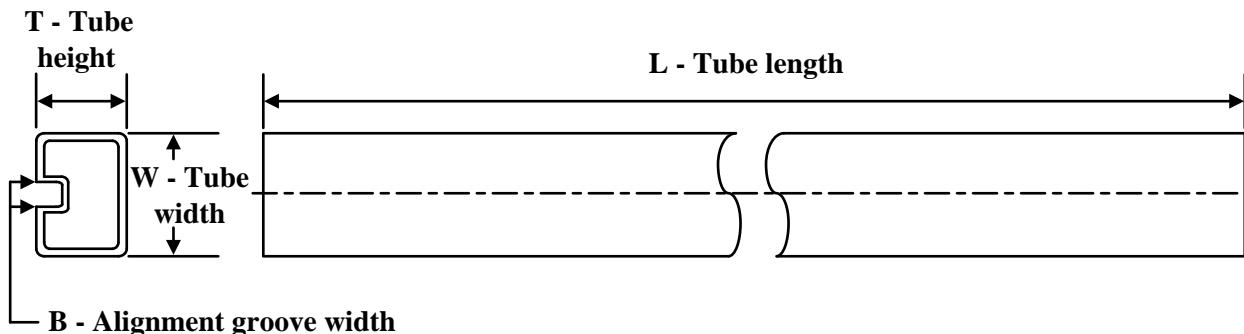
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN65176BDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN65176BDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN65176BDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN75176BDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN75176BDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN75176BDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN75176BPSR	SO	PS	8	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

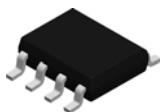
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN65176BDR	SOIC	D	8	2500	340.5	338.1	20.6
SN65176BDR	SOIC	D	8	2500	353.0	353.0	32.0
SN65176BDRG4	SOIC	D	8	2500	340.5	336.1	25.0
SN75176BDR	SOIC	D	8	2500	340.5	338.1	20.6
SN75176BDR	SOIC	D	8	2500	353.0	353.0	32.0
SN75176BDRG4	SOIC	D	8	2500	340.5	336.1	25.0
SN75176BPSR	SO	PS	8	2000	353.0	353.0	32.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μ m)	B (mm)
SN65176BP	P	PDIP	8	50	506	13.97	11230	4.32
SN65176BP.A	P	PDIP	8	50	506	13.97	11230	4.32
SN75176BP	P	PDIP	8	50	506	13.97	11230	4.32
SN75176BP.A	P	PDIP	8	50	506	13.97	11230	4.32
SN75176BPE4	P	PDIP	8	50	506	13.97	11230	4.32

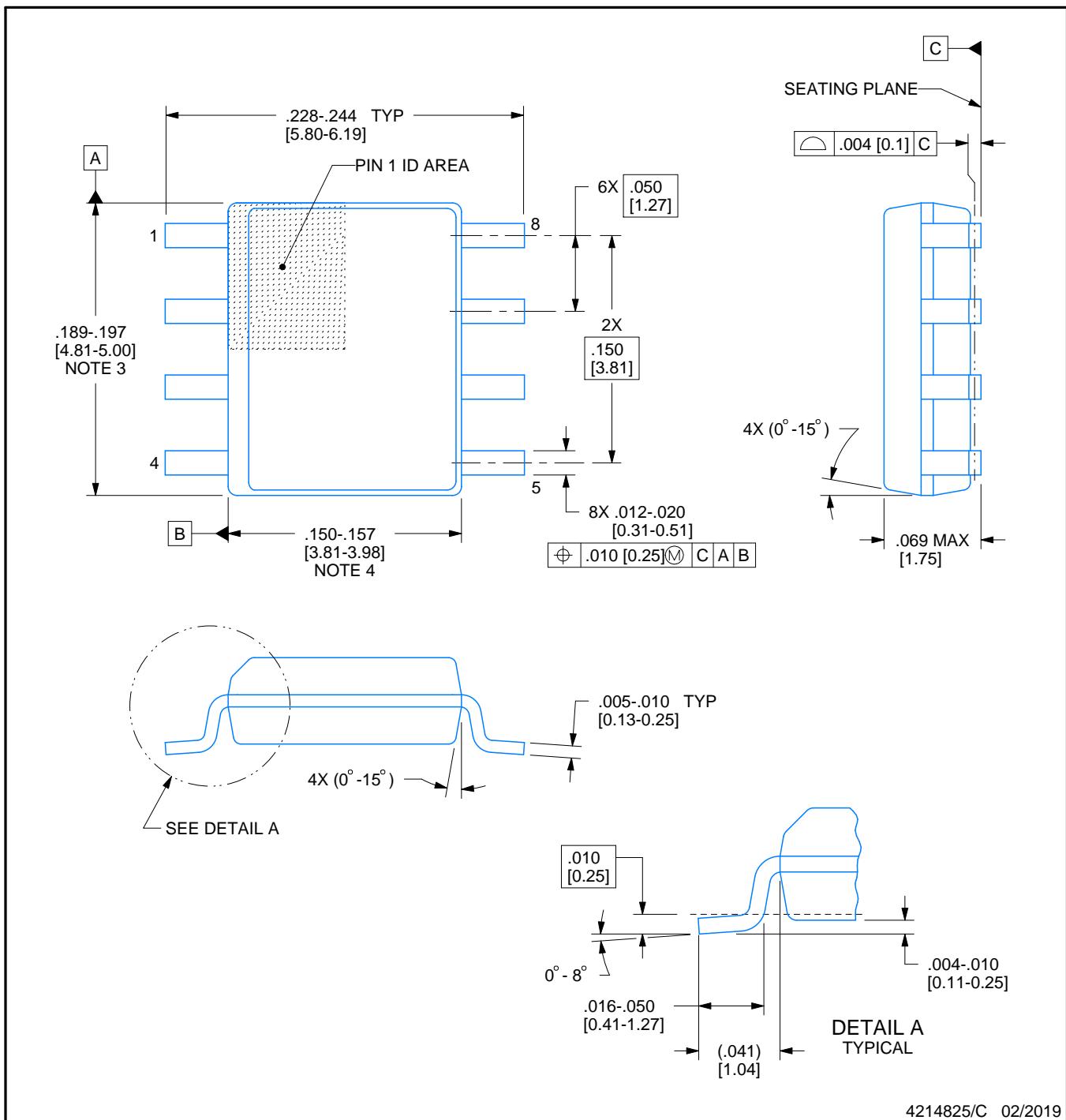
D0008A



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

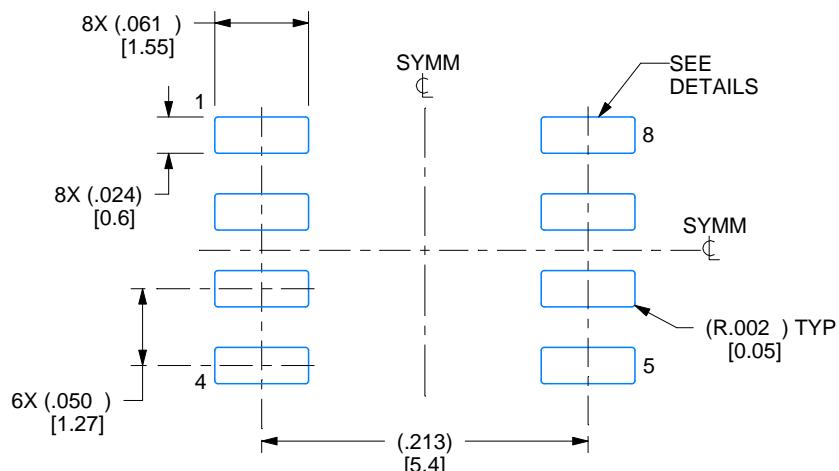
- Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
- This dimension does not include interlead flash.
- Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

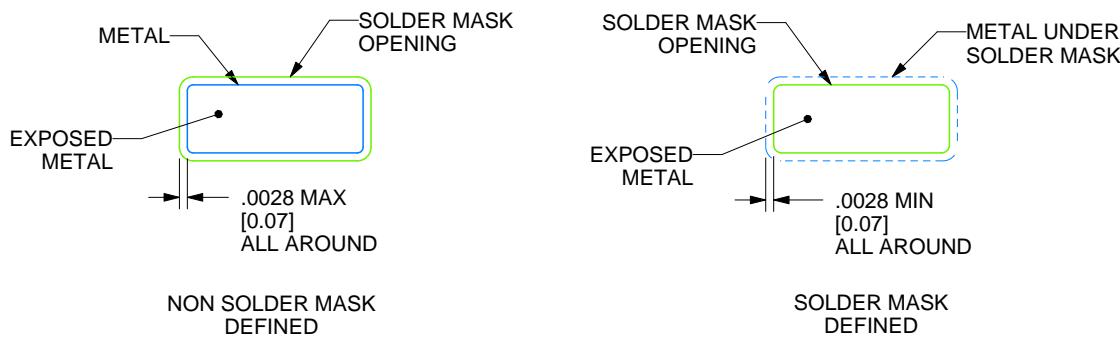
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

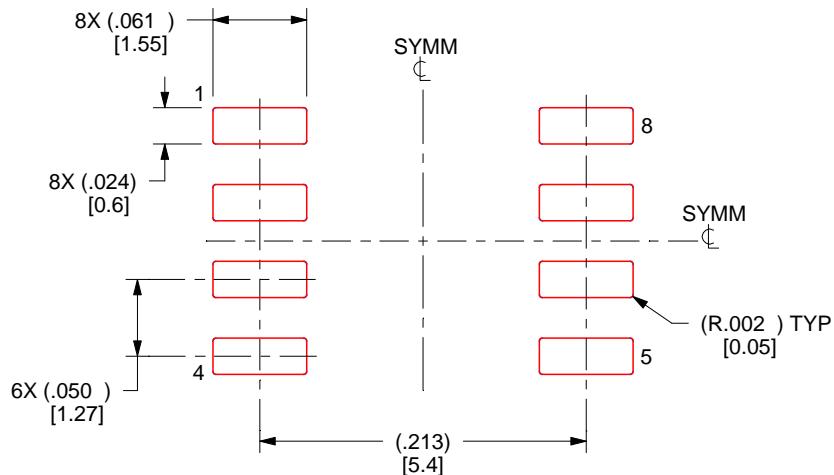
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

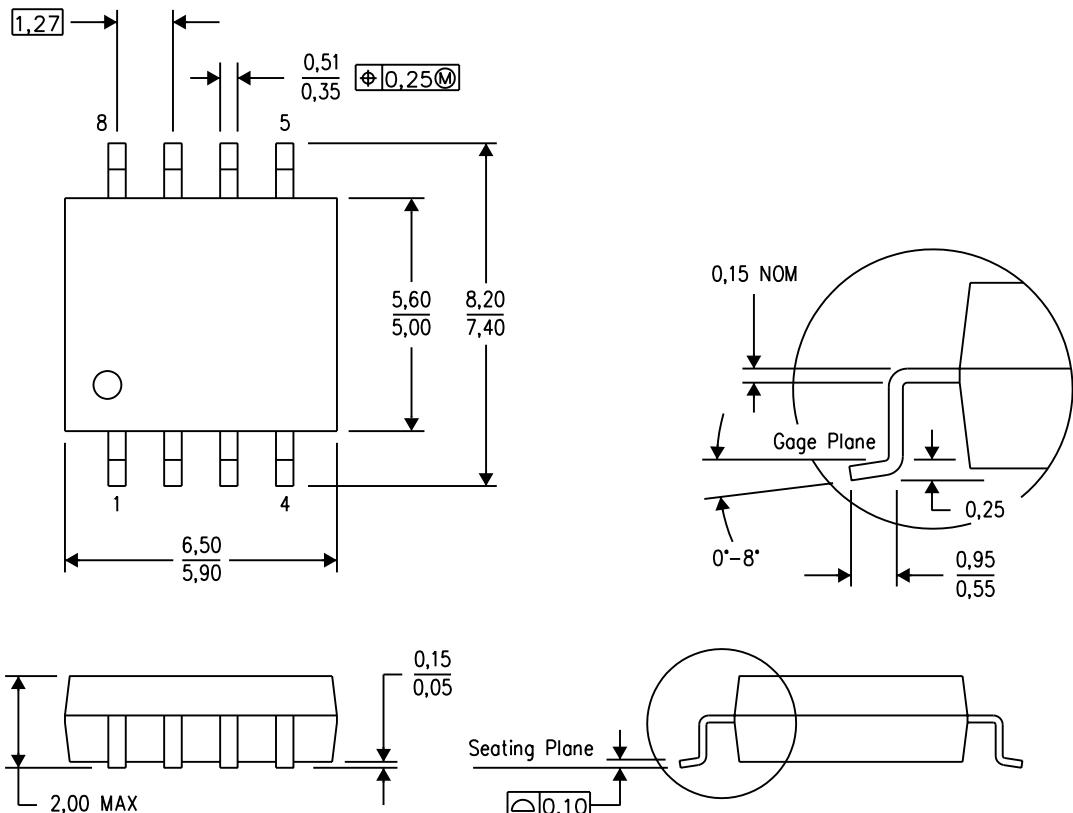
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

PS (R-PDSO-G8)

PLASTIC SMALL-OUTLINE PACKAGE



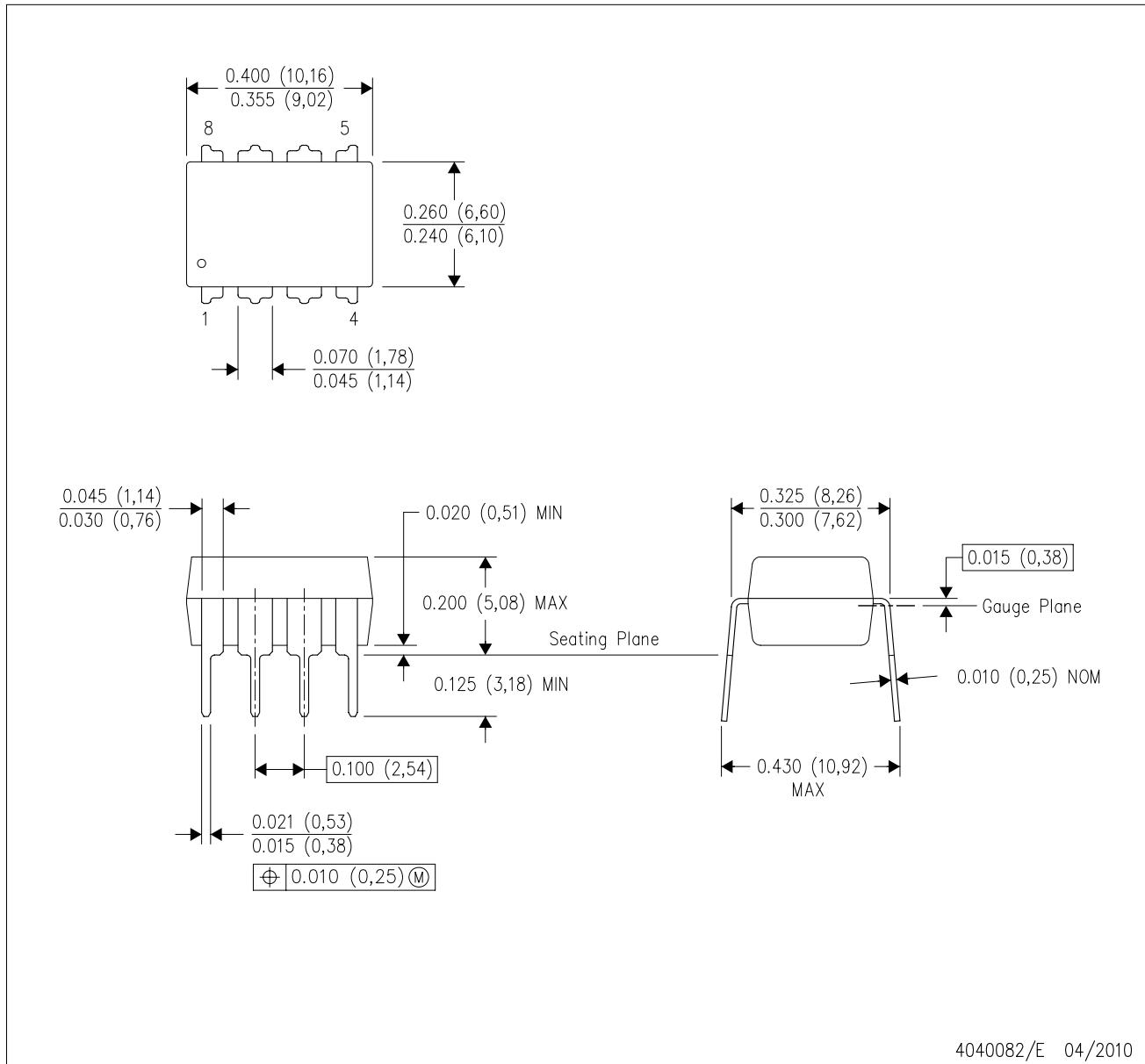
4040063/C 03/03

- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

MECHANICAL DATA

P (R-PDIP-T8)

PLASTIC DUAL-IN-LINE PACKAGE



4040082/E 04/2010

- NOTES:
- All linear dimensions are in inches (millimeters).
 - This drawing is subject to change without notice.
 - Falls within JEDEC MS-001 variation BA.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適したTI製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているTI製品を使用するアプリケーションの開発の目的でのみ、TIはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TIや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TIおよびその代理人を完全に補償するものとし、TIは一切の責任を拒否します。

TIの製品は、[TIの販売条件](#)、[TIの総合的な品質ガイドライン](#)、[ti.com](#)またはTI製品などに関連して提供される他の適用条件に従い提供されます。TIがこれらのリソースを提供することは、適用されるTIの保証または他の保証の放棄の拡大や変更を意味するものではありません。TIがカスタム、またはカスタマー仕様として明示的に指定していない限り、TIの製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TIはそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025年10月