SNx4LVC86A クワッド、2 入力排他 OR (EXOR) ゲート

1 特長

- 1.65V～3.6V で動作
- 40℃～85℃、-40℃～125℃、-55℃～125℃ で動作が規定
- 5.5V までの入力電圧に対応
- 最大 t_{pd} 4.6ns (3.3V 時)
- V_{OLP} 標準値 (出力グランド バウンス) <0.8V (V_{CC} = 3.3V、T_A = 25℃)
- V_{OHV} 標準値 (出力 V_{OH} アンダーシュート) >2V (V_{CC} = 3.3V、T_A = 25℃)
- JESD 17 準拠で 250mA 超のラッチアップ性能
- JESD 22 を上回る ESD 保護
  - 2000V、人体モデル (A114-A)
  - 1000V、デバイス帯電モデル (C101)

2 アプリケーション

- AV レシーバ
- オーディオ ドック:ポータブル
- ブルーレイ プレーヤおよびホーム シアター
- MP3 プレーヤ / レコーダ
- パーソナル デジタル アシスタント (PDA)
- 電源:テレコム / サーバーの AC/DC 電源:シングル コントローラ:アナログおよびデジタル
- ソリッド ステート ドライブ (SSD):クライアントおよびエンタープライズ
- テレビ:LCD、デジタル、高解像度 (HDTV)
- タブレット:エンタープライズ
- ビデオ アナリティクス:サーバー
- ワイヤレス ヘッドセット、キーボード、マウス

3 概要

SN54LVC86A クワッド 2 入力排他 OR ゲートは 2.7V～3.6V の V_{CC} で動作するように設計されており、SN74LVC86A クワッド 2 入力排他 OR ゲートは 1.65V～3.6V の V_{CC} で動作するように設計されています。

部品番号	パッケージ (1)	パッケージ サイズ(2)	本体サイズ (3)
SNx4LVC86A	BQA (WQFN、14)	3mm × 2.5mm	3mm × 2.5mm
	RGY (VQFN、14)	3.50mm × 3.50mm	3.50mm × 3.50mm
	D (SOIC、14)	8.65mm × 6mm	8.65mm × 3.91mm
	NS (SOP、14)	10.2mm × 7.8mm	10.20mm × 5.30mm
	DB (SSOP、14)	6.2mm × 7.8mm	6.20mm × 5.30mm
	PW (TSSOP、14)	5mm × 6.4mm	5.00mm × 4.40mm
	W (CFP、14)	9.21mm × 9mm	9.21mm × 6.29mm
	FK (LCCC、20)	8.89mm × 8.89mm	8.89mm × 8.89mm

(1) 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。

These five equivalent exclusive-OR symbols are valid for an SN74LVC86A gate in positive logic; negation may be shown at any two ports.

排他 OR ロジック

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件、SN54LVC86A.....4
5.4 推奨動作条件、SN74LVC86A.....5
5.5 熱に関する情報.....5
5.6 電気的特性、SN54LVC86A.....5
5.7 電気的特性、SN74LVC86A.....6
5.8 スイッチング特性、SN54LVC86A.....6
5.9 スイッチング特性、SN74LVC86A.....7
5.10 動作特性.....7
5.11 代表的特性.....7
6 パラメータ測定情報.....8
7 詳細説明.....9
7.1 概要.....9
7.2 機能ブロック図.....9
7.3 機能説明.....9
7.4 デバイスの機能モード.....9
8 アプリケーションと実装.....10
8.1 アプリケーション情報.....10
8.2 代表的なアプリケーション.....10
8.3 レイアウト.....11
9 デバイスおよびドキュメントのサポート.....13
9.1 ドキュメントのサポート (アナログ).....13
9.2 ドキュメントの更新通知を受け取る方法.....13
9.3 サポート・リソース.....13
9.4 商標.....13
9.5 静電気放電に関する注意事項.....13
9.6 用語集.....13
10 改訂履歴.....13
11 メカニカル、パッケージ、および注文情報.....14

Copyright © 2024 Texas Instruments Incorporated

4 ピン構成および機能

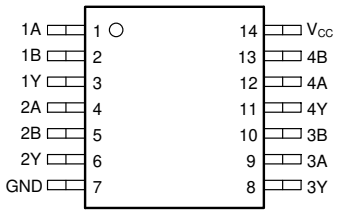


図 4-1. SN54LVC86A J または W パッケージ、14 ピン CDIP または CFP。SN74LVC86A D、DB、NS または PW パッケージ、14 ピン SOIC、SSOP、SOP または TSSOP (上面図)

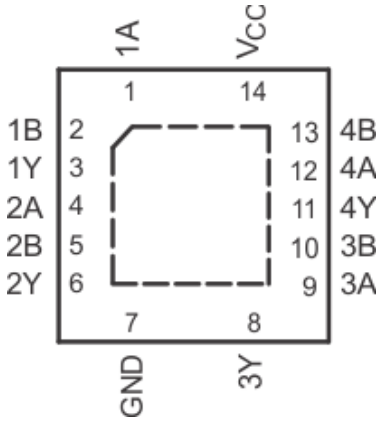


図 4-2. SN74LVC86A BQA または RGY パッケージ、14 ピン WQFN または VQFN (上面図)

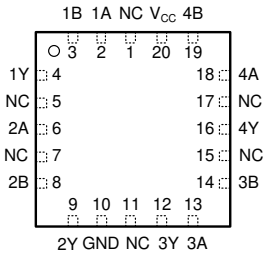


図 4-3. SN54LVC86A FK パッケージ、14 ピン LCCC (上面図)

表 4-1. ピンの機能

ピン			I/O	説明
番号	J、W、D、DB、NS、PW、RGY	FK		
	14 ピン	20 ピン		
1A	1	2	I	ゲート 1 入力
1B	2	3	I	ゲート 1 入力
1Y	3	4	O	ゲート 1 出力
2A	4	6	I	ゲート 2 入力
2B	5	8	I	ゲート 2 入力
2Y	6	9	O	ゲート 2 出力
3Y	8	12	O	ゲート 3 出力
3A	9	13	I	ゲート 3 入力
3B	10	14	I	ゲート 3 入力
4Y	11	16	O	ゲート 4 出力
4A	12	18	I	ゲート 4 入力
4B	13	19	I	ゲート 4 入力
GND	7	10	—	グランド ピン
NC	—	1、5、7、11、15、17	—	接続しない
V_{CC}	14	20	—	パワー ピン

Copyright © 2024 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	6.5	V
V_I	入力電圧範囲(1)		-0.5	6.5	V
V_O	出力電圧範囲(1) (2)		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流	V_I < 0		-50	mA
I_{OK}	出力クランプ電流	V_O < 0		-50	mA
I_O	連続出力電流			±50	mA
	V_{CC} または GND を通過する連続電流			±100	mA
P_{tot}	消費電力	T_A = -40℃～125℃(3) (4)		500	mW
T_{stg}	保管温度範囲		-65	150	℃

(1) 入力と出力の電流の定格を順守しても、入力の負電圧と出力電圧の定格を超えることがあります。
(2) V_{CC} の値は、「推奨動作条件」の表に記載されています。
(3) D パッケージの場合:70℃を上回ると、P_{tot} の値は 8mW/K で線形的に低下します。
(4) DB、DGV、NS、PW パッケージの場合:60℃を上回ると、P_{tot} の値は 5.5mW/K で線形的に低下します。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	±1000	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件、SN54LVC86A

自由気流での動作温度範囲内 (特に記述のない限り)

			SN54LVC86A -55～125℃ 最小値	SN54LVC86A -55～125℃ 最大値	単位
V_{CC}	電源電圧	動作	2	3.6	V
		データ保持のみ	1.5		
V_{IH}	High レベル入力電圧	V_{CC} = 2.7V～3.6V	2		V
V_{IL}	Low レベル入力電圧	V_{CC} = 2.7V～3.6V		0.8	V
V_I	入力電圧		0	5.5	V
V_O	出力電圧		0	V_{CC}	V
I_{OH}	High レベル出力電流	V_{CC} = 2.7 V		-12	mA
		V_{CC} = 3 V		-24	
I_{OL}	Low レベル出力電流	V_{CC} = 2.7 V		12	mA
		V_{CC} = 3 V		24	
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート			9	ns/V

Copyright © 2024 Texas Instruments Incorporated

5.4 推奨動作条件、SN74LVC86A

自由気流での動作温度範囲内 (特に記述のない限り)

			SN74LVC86A						単位
			T_A = 25°C		–40～85°C		–40～125°C		
			最小値	最大値	最小値	最大値	最小値	最大値	
V_{CC}	電源電圧	動作	1.65	3.6	1.65	3.6	1.65	3.6	V
		データ保持のみ	1.5		1.5		1.5		
V_{IH}	High レベル入力電圧	V_{CC} = 1.65V～1.95V	0.65 × V_{CC}		0.65 × V_{CC}		0.65 × V_{CC}		V
		V_{CC} = 2.3V～2.7V	1.7		1.7		1.7		
		V_{CC} = 2.7V～3.6V	2		2		2		
V_{IL}	Low レベル入力電圧	V_{CC} = 1.65V～1.95V		0.35 × V_{CC}		0.35 × V_{CC}		0.35 × V_{CC}	V
		V_{CC} = 2.3V～2.7V		0.7		0.7		0.7	
		V_{CC} = 2.7V～3.6V		0.8		0.8		0.8	
V_I	入力電圧		0	5.5	0	5.5	0	5.5	V
V_O	出力電圧		0	V_{CC}	0	V_{CC}	0	V_{CC}	V
I_{OH}	High レベル出力電流	V_{CC} = 1.65 V		-4		-4		-4	mA
		V_{CC} = 2.3 V		-8		-8		-8	
		V_{CC} = 2.7 V		-12		-12		-12	
		V_{CC} = 3 V		-24		-24		-24	
I_{OL}	Low レベル出力電流	V_{CC} = 1.65 V		4		4		4	mA
		V_{CC} = 2.3 V		8		8		8	
		V_{CC} = 2.7 V		12		12		12	
		V_{CC} = 3 V		24		24		24	
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート			9		9		9	ns/V

5.5 熱に関する情報

熱評価基準[1]		SN74LVC86A						単位
		BQA	D	DB	NS	PW	RGY	
		14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	102.3	127.8	96	123.8	150.8	92.1	°C/W

(1) 従来および新しい熱評価基準の詳細については、『IC パッケージの熱評価基準』アプリケーション レポート、SPRA953 を参照してください。

5.6 電気的特性、SN54LVC86A

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	SN54LVC86A -55～125℃			単位
			最小値	代表値	最大値	
V_{OH}	I_{OH} = -100μA	2.7V～3.6V	V_{CC} - 0.2			V
	I_{OH} = -12mA	2.7 V	2.2			
		3 V	2.4			
	I_{OH} = -24 mA	3 V	2.2			
V_{OL}	I_{OL} = 100μA	2.7V～3.6V			0.2	V
	I_{OL} = 12mA	2.7 V			0.4	
	I_{OL} = 24 mA	3 V			0.55	

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件		V_{CC}	SN54LVC86A -55～125℃ 最小値	代表値	最大値	単位
I_I	V_I = 5.5 V または GND		3.6 V			±5	μA
I_{CC}	V_I = V_{CC} または GND	I_O = 0	3.6 V			10	μA
ΔI_{CC}	1 つの入力は V_{CC} - 0.6V、その他の入力は V_{CC} または GND		2.7V～3.6V			500	μA
C_i	V_I = V_{CC} または GND		3.3 V		5(1)		pF

(1) T_A = 25℃

5.7 電気的特性、SN74LVC86A

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件		V_{CC}	SN74LVC86A T_A = 25℃ 最小値	代表値	最大値	-40～85℃ 最小値	最大値	-40～125℃ 最小値	最大値	単位
V_{OH}	I_{OH} = –100μA		1.65V～3.6V	V_{CC} - 0.2			V_{CC} - 0.2		V_{CC} - 0.3		V
	I_{OH} = -4mA		1.65 V	1.29			1.2		1.05		
	I_{OH} = -8mA		2.3 V	1.9			1.7		1.55		
	I_{OH} = -12mA		2.7 V	2.2			2.2		2.05		
			3 V	2.4			2.4		2.25		
	I_{OH} = -24mA		3 V	2.3			2.2		2		
V_{OL}	I_{OL} = 100μA		1.65V～3.6V			0.1		0.2		0.3	V
	I_{OL} = 4mA		1.65 V			0.24		0.45		0.6	
	I_{OL} = 8mA		2.3 V			0.3		0.7		0.75	
	I_{OL} = 12mA		2.7 V			0.4		0.4		0.6	
	I_{OL} = 24mA		3 V			0.55		0.55		0.8	
I_I	V_I = 5.5 V または GND		3.6 V			±1		±5		±20	μA
I_{CC}	V_I = V_{CC} または GND	I_O = 0	3.6 V			1		10		40	μA
ΔI_{CC}	1 つの入力は V_{CC} - 0.6V、その他の入力は V_{CC} または GND		2.7V～3.6V			500		500		5000	μA
C_i	V_I = V_{CC} または GND		3.3 V		5						pF

5.8 スイッチング特性、SN54LVC86A

自由気流での推奨動作温度範囲内 (特に記述のない限り) (「負荷回路および電圧波形」を参照)

パラメータ	始点 (入力)	終点 (出力)	V_{CC}	SN54LVC86A -55～125℃ 最小値	最大値	単位
t_{pd}	A	Y	2.7 V		5.6	ns
			3.3V ± 0.3V	1	4.6	

Copyright © 2024 Texas Instruments Incorporated

5.9 スイッチング特性、SN74LVC86A

自由気流での推奨動作温度範囲内 (特に記述のない限り) (「負荷回路および電圧波形」を参照)

パラメータ	始点 (入力)	終点 (出力)	V_{CC}	SN74LVC86A							単位
				T_A = 25℃			-40～85℃		-40～125℃		
				最小値	代表値	最大値	最小値	最大値	最小値	最大値	
t_{pd}	A	Y	1.8V ± 0.15V	1	4.1	9.4	1	9.9	1	11.4	ns
			2.5V ± 0.2V	1	2.9	7.1	1	7.6	1	9.7	
			2.7 V	1	2.8	5.4	1	5.6	1	7.1	
			3.3V ± 0.3V	1	2.5	4.4	1	4.6	1	5.8	
$t_{sk(o)}$			3.3V ± 0.3V					1		1.5	ns

5.10 動作特性

T_A = 25℃

パラメータ		テスト条件	V_{CC}	代表値	単位
C_{pd}	ゲートあたりの電力散逸容量	f = 10MHz	1.8 V	6.5	pF
			2.5 V	7.5	
			3.3 V	8.5	

5.11 代表的特性

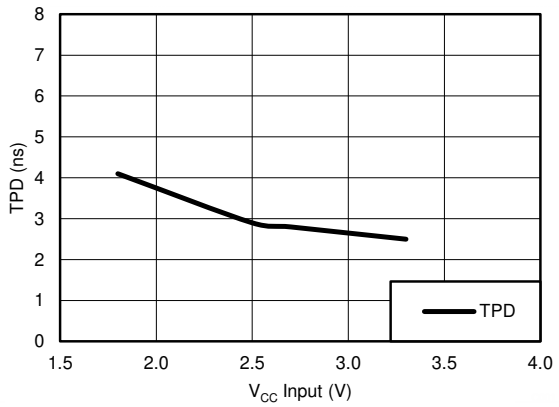


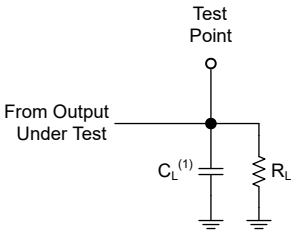
図 5-1. TPD と V_{CC} との関係 (T_A = 25°C)

6 パラメータ測定情報

以下の表に示す例では、波形間の位相関係を任意に選択しました。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≦ 1MHz、Z_O = 50Ω、t_t ≦ 2.5ns。

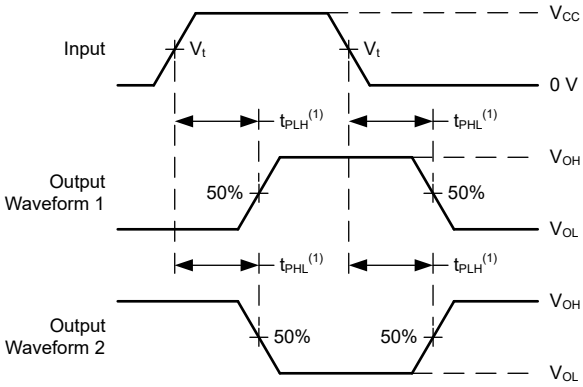
出力は個別に測定され、測定するたびに入力が 1 回遷移します。

V_{CC}	V_t	R_L	C_L	ΔV
1.8V ± 0.15V	V_{CC}/2	1kΩ	30pF	0.15V
2.5V ± 0.2V	V_{CC}/2	500Ω	30pF	0.15V
2.7V	1.5V	500Ω	50pF	0.3V
3.3V ± 0.3V	1.5V	500Ω	50pF	0.3V



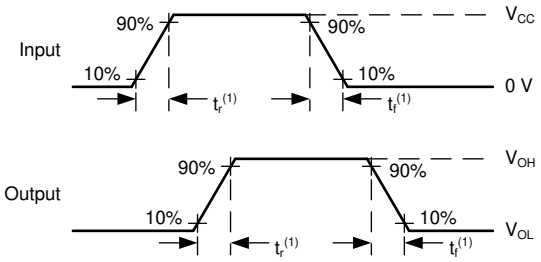
(1) C_L にはプローブとテスト装置の容量が含まれます。

図 6-1. プッシュプル出力のための負荷回路



(1) t_{PLH} と t_{PHL} の大きい方が t_{pd} に相当します。

図 6-2. 電圧波形、伝搬遅延



(1) t_r と t_f の大きい方が t_t に相当します。

図 6-3. 電圧波形、入力および出力の遷移時間

Copyright © 2024 Texas Instruments Incorporated

7 詳細説明

7.1 概要

'LVC86A デバイスは、ブール関数 Y = A ⊕ B、すなわち Y = $\overline{A}$B + A$\overline{B}$ を正論理で実行します。

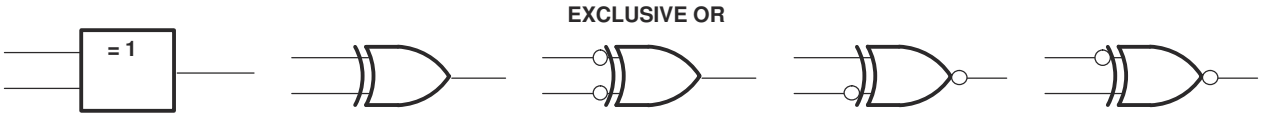
一般的な用途は“真/補”素子です。一方の入力が Low のときは、他方の入力がそのまま出力されます。一方の入力が High のときは、他方の入力の信号が反転して出力されます。

入力は 3.3V または 5V のデバイスから駆動できます。この機能により、3.3V と 5V が混在するシステム環境での降圧変換装置としてこのデバイスを使用できます。

7.2 機能ブロック図

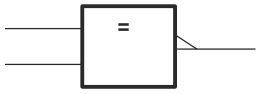
排他 OR ロジック

排他 OR ゲートには多くの用途があり、その一部は別の論理記号で表す方が適切です。



These five equivalent exclusive-OR symbols are valid for an SN74LVC86A gate in positive logic; negation may be shown at any two ports.

LOGIC-IDENTITY ELEMENT

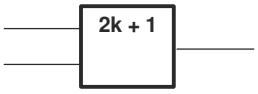


The output is active (low) if all inputs stand at the same logic level (i.e., A = B).

EVEN-PARITY ELEMENT

The output is active (low) if an even number of inputs (i.e., 0 or 2) are active.

ODD-PARITY ELEMENT



The output is active (high) if an odd number of inputs (i.e., only 1 of the 2) are active.

7.3 機能説明

- 広い動作電圧範囲
  - 1.65 V～3.6 V で動作
- 昇圧または降圧の電圧変換が可能
  - 5.5V までの入出力電圧に対応

7.4 デバイスの機能モード

表 7-1. 機能表
(各ゲート)

入力		出力
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

8 アプリケーションと実装

8.1 アプリケーション情報

SN74LVC86A デバイスは、さまざまなバッファ タイプ機能に使用できる高駆動能力のオープンドレイン CMOS デバイスです。3V で 24mA の駆動電流を生成できるため、複数の出力の駆動に理想的であり、最大 100MHz の高速アプリケーションにも適しています。入力と出力は 5.5V 許容で、最高 5.5V まで、または最低 V_{CC} までの変換が可能です。

8.2 代表的なアプリケーション

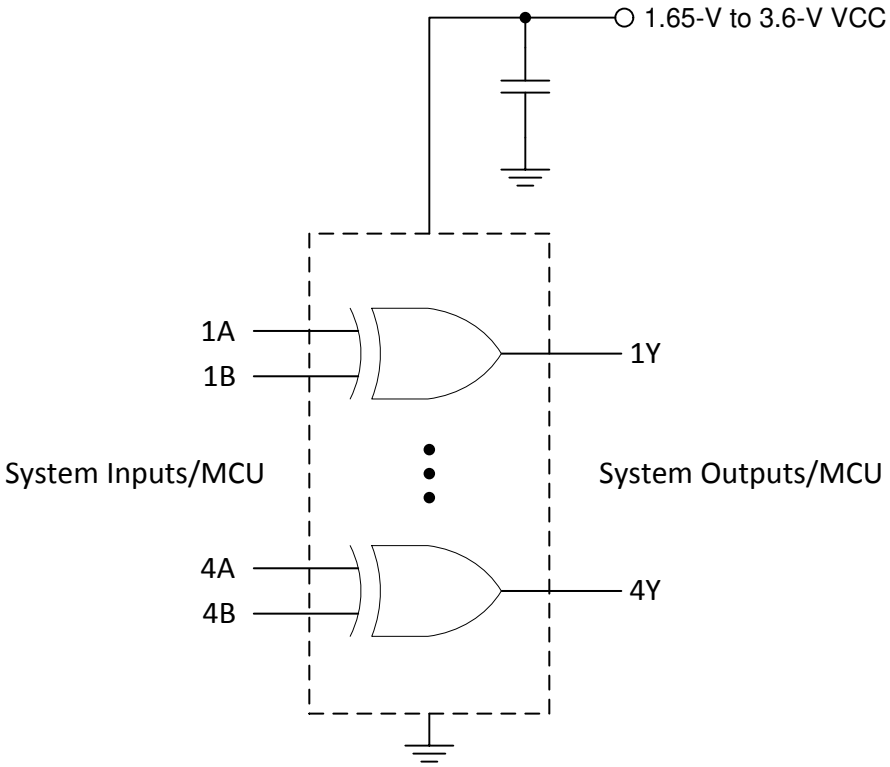


図 8-1. 代表的な OR ゲート アプリケーションと電源電圧

8.2.1 設計要件

このデバイスは CMOS 技術を採用しており、平衡型出力ドライバを備えています。上限値を超える電流が流れる可能性があるため、バスが競合しないように注意が必要です。また、大きな駆動能力で軽負荷を駆動することでも高速なエッジが生じるため、配線と負荷の条件を検討してリンギングを防止してください。

8.2.2 詳細な設計手順

1. 推奨入力条件
   - 立ち上がり時間と立ち下がり時間の仕様:セクション 5.3 の表の (Δt/ΔV) を参照してください。
   - High レベルと Low レベルを規定:セクション 5.3 の表の (V_{IH} および V_{IL}) を参照してください。
   - 入力は過電圧許容で、任意の有効な V_{CC} において最大 5.5V に対応できます。
2. 推奨出力条件
   - 負荷電流は、出力あたりの 25mA および部品の合計 50mA を超えないようにする必要があります。
   - 出力は、5.5V を超えてプルアップされないようにしてください。

Copyright © 2024 Texas Instruments Incorporated

8.2.3 アプリケーション曲線

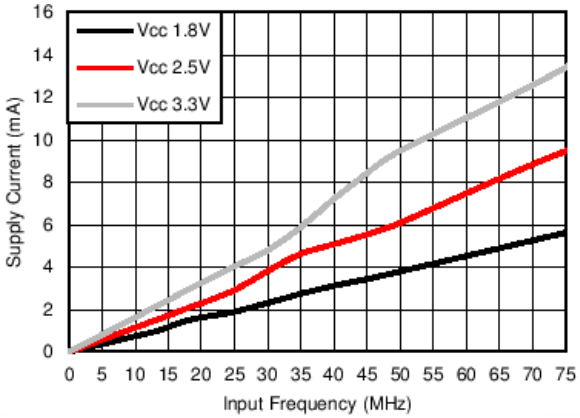


図 8-2. 消費電流と入力周波数との関係

電源に関する推奨事項

電源には、「セクション 5.3」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

電源の障害を防止するため、各 V_{CC} ピンに適切なバイパス コンデンサを配置する必要があります。単一電源のデバイスの場合は、0.1μF のコンデンサを推奨します。複数の V_{CC} ピンがある場合は、各電源ピンに対して 0.01μF または 0.022μF のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。0.1μF と 1μF のコンデンサを並列に使用するのが一般的です。最良の結果を得るため、バイパス コンデンサは電源ピンのできるだけ近くに配置してください。

8.3 レイアウト

8.3.1 レイアウトのガイドライン

多ビット ロジック デバイスを使用する場合、入力をフローティングにしないでください。

多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、3 入力 AND ゲートの 2 つの入力のみを使用したり、4 つのバッファ ゲートのうち 3 つのみを使用したりする場合)。このような入力ピンを未接続のままにしないでください。外部接続の電圧が未確定の場合、動作状態が不定になるためです。セクション 8.3.2 の仕様は、あらゆる状況で遵守する必要があります。デジタル ロジック デバイスの未使用の入力はすべて、フローティングにならないように、High または Low バイアスに接続する必要があります。特定の未使用の入力に対して適用が必要となるロジック レベルは、デバイスの機能により異なります。一般に、GND または V_{CC} のうち、より適切であるかより利便性の高い方に接続されます。本部品がトランシーバでない限り、一般的に、出力をフローティングにすることが許容されます。

8.3.2 レイアウト例

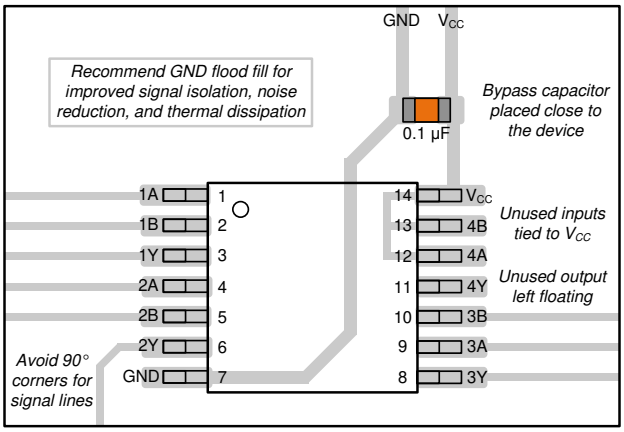


図 8-3. SN74LVC86A のレイアウト例

Copyright © 2024 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート (アナログ)

9.1.1 関連リンク

次の表に、クイック アクセス リンクを示します。カテゴリには、技術資料、サポートおよびコミュニティ リソース、ツールとソフトウェア、およびサンプル注文またはご購入へのクイック アクセスが含まれます。

表 9-1. 関連リンク

製品	プロダクト フォルダ	サンプルとご購入	技術資料	ツールとソフトウェア	サポートとコミュニティ
SN54LVC86A	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
SN74LVC86A	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision Q (May 2024) to Revision R (August 2024) **Page**

- RθJA の値を更新：D = 86～127.8、NS = 76～123.8、PW = 113～150.8、RGY = 47～92.1、値はすべて℃/W 単位 5

Changes from Revision P (April 2005) to Revision Q (April 2024) **Page**

- 「製品情報」表、「ピンの機能」表、「ESD 定格」表、「熱に関する情報」表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加 1
- マシンモデルの記述を削除..... 1
- 「製品情報」表、「ピン構成および機能」セクション、および「熱に関する情報」表に BQA パッケージを追加..... 1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報はそのデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2024 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-9761901Q2A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9761901Q2A SNJ54LVC86AFK
5962-9761901QDA	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9761901QDA SNJ54LVC86AW
SN74LVC86ABQAR	Active	Production	WQFN (BQA) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC86A
SN74LVC86ABQAR.A	Active	Production	WQFN (BQA) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC86A
SN74LVC86AD	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC86A
SN74LVC86AD.B	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC86A
SN74LVC86ADBR	Active	Production	SSOP (DB) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC86A
SN74LVC86ADBR.A	Active	Production	SSOP (DB) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC86A
SN74LVC86ADBR.B	Active	Production	SSOP (DB) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC86A
SN74LVC86ADBRG4	Active	Production	SSOP (DB) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC86A
SN74LVC86ADBRG4.A	Active	Production	SSOP (DB) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC86A
SN74LVC86ADBRG4.B	Active	Production	SSOP (DB) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC86A
SN74LVC86ADG4	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC86A
SN74LVC86ADR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC86A
SN74LVC86ADR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC86A
SN74LVC86ADR.B	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC86A
SN74LVC86ADRG4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC86A
SN74LVC86ADT	Active	Production	SOIC (D) | 14	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC86A
SN74LVC86ADT.B	Active	Production	SOIC (D) | 14	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC86A
SN74LVC86ANS.B	Active	Production	SOP (NS) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC86A
SN74LVC86ANSR	Active	Production	SOP (NS) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC86A
SN74LVC86ANSR.A	Active	Production	SOP (NS) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC86A
SN74LVC86ANSR.B	Active	Production	SOP (NS) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC86A
SN74LVC86APW	Active	Production	TSSOP (PW) | 14	90 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC86A
SN74LVC86APW.B	Active	Production	TSSOP (PW) | 14	90 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC86A

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LVC86APWE4	Active	Production	TSSOP (PW) | 14	90 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC86A
SN74LVC86APWG4	Active	Production	TSSOP (PW) | 14	90 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC86A
SN74LVC86APWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC86A
SN74LVC86APWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC86A
SN74LVC86APWR.B	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC86A
SN74LVC86APWRG4	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC86A
SN74LVC86ARGYR	Active	Production	VQFN (RGY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LC86A
SN74LVC86ARGYR.A	Active	Production	VQFN (RGY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LC86A
SN74LVC86ARGYR.B	Active	Production	VQFN (RGY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LC86A
SN74LVC86ARGYRG4	Active	Production	VQFN (RGY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LC86A
SNJ54LVC86AFK	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9761901Q2A SNJ54LVC 86AFK
SNJ54LVC86AW	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9761901QD A SNJ54LVC86AW

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN54LVC86A, SN74LVC86A :

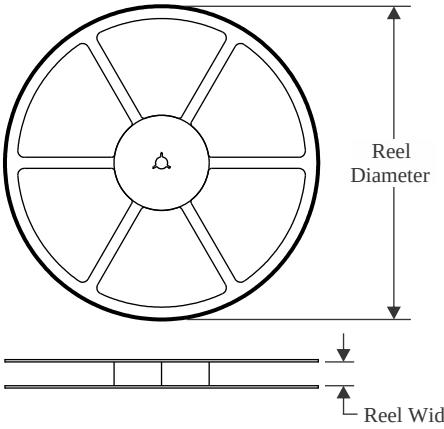
- Catalog : SN74LVC86A
- Automotive : SN74LVC86A-Q1, SN74LVC86A-Q1
- Enhanced Product : SN74LVC86A-EP, SN74LVC86A-EP
- Military : SN54LVC86A

NOTE: Qualified Version Definitions:

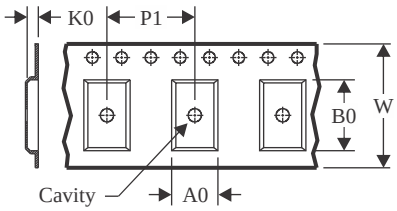
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

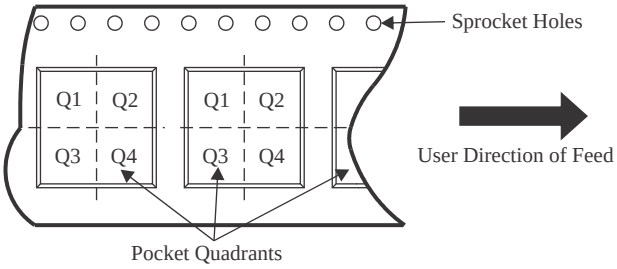


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

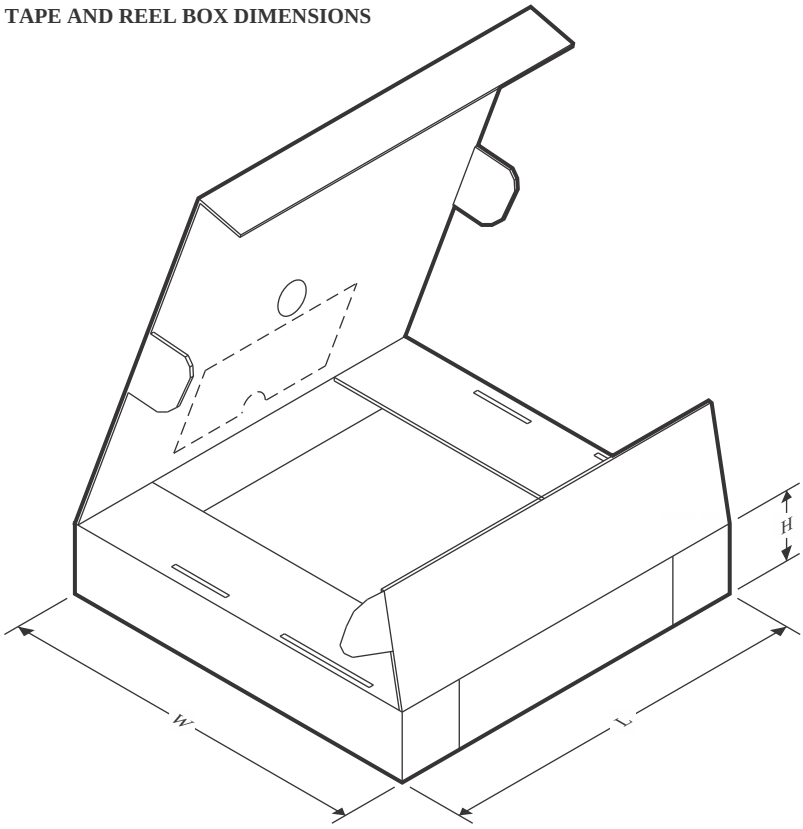
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC86ABQAR	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1
SN74LVC86ADBR	SSOP	DB	14	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74LVC86ADBRG4	SSOP	DB	14	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74LVC86ADR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74LVC86ADT	SOIC	D	14	250	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74LVC86ANSR	SOP	NS	14	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
SN74LVC86APWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LVC86ARGYR	VQFN	RGY	14	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1

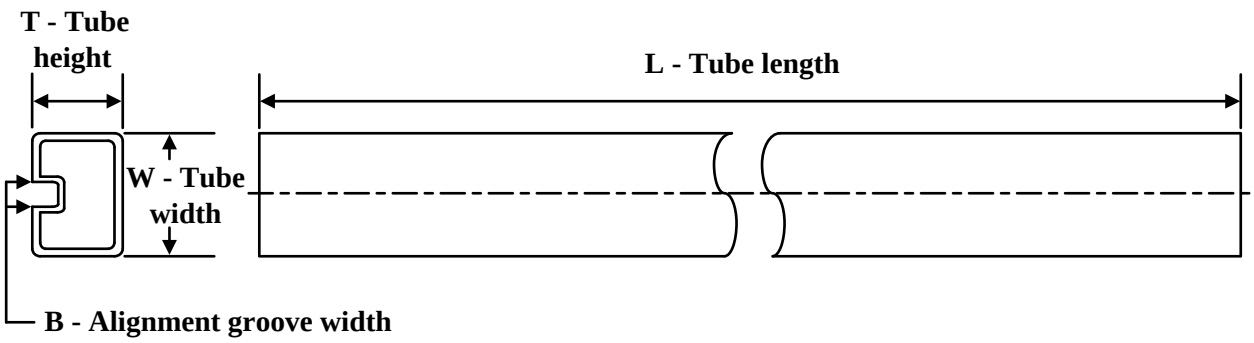
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVC86ABQAR	WQFN	BQA	14	3000	210.0	185.0	35.0
SN74LVC86ADBR	SSOP	DB	14	2000	353.0	353.0	32.0
SN74LVC86ADBRG4	SSOP	DB	14	2000	353.0	353.0	32.0
SN74LVC86ADR	SOIC	D	14	2500	353.0	353.0	32.0
SN74LVC86ADT	SOIC	D	14	250	213.0	191.0	35.0
SN74LVC86ANSR	SOP	NS	14	2000	353.0	353.0	32.0
SN74LVC86APWR	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74LVC86ARGYR	VQFN	RGY	14	3000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962-9761901Q2A	FK	LCCC	20	55	506.98	12.06	2030	NA
SN74LVC86AD	D	SOIC	14	50	506.6	8	3940	4.32
SN74LVC86AD.B	D	SOIC	14	50	506.6	8	3940	4.32
SN74LVC86ADG4	D	SOIC	14	50	506.6	8	3940	4.32
SN74LVC86ANS.B	NS	SOP	14	50	530	10.5	4000	4.1
SN74LVC86APW	PW	TSSOP	14	90	530	10.2	3600	3.5
SN74LVC86APW.B	PW	TSSOP	14	90	530	10.2	3600	3.5
SN74LVC86APWE4	PW	TSSOP	14	90	530	10.2	3600	3.5
SN74LVC86APWG4	PW	TSSOP	14	90	530	10.2	3600	3.5
SNJ54LVC86AFK	FK	LCCC	20	55	506.98	12.06	2030	NA

GENERIC PACKAGE VIEW

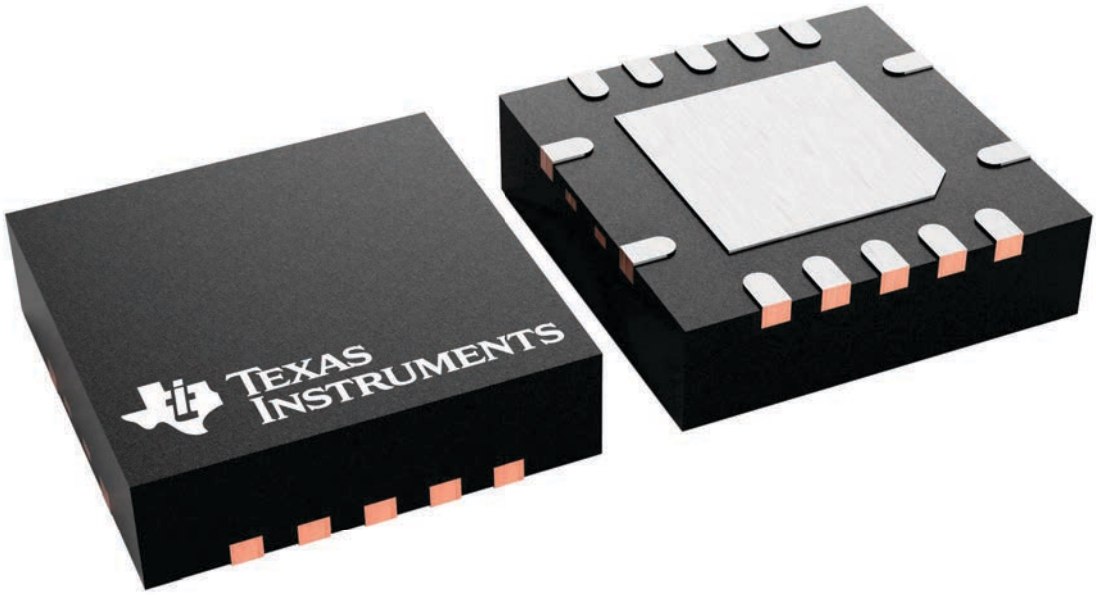
RGY 14

VQFN - 1 mm max height

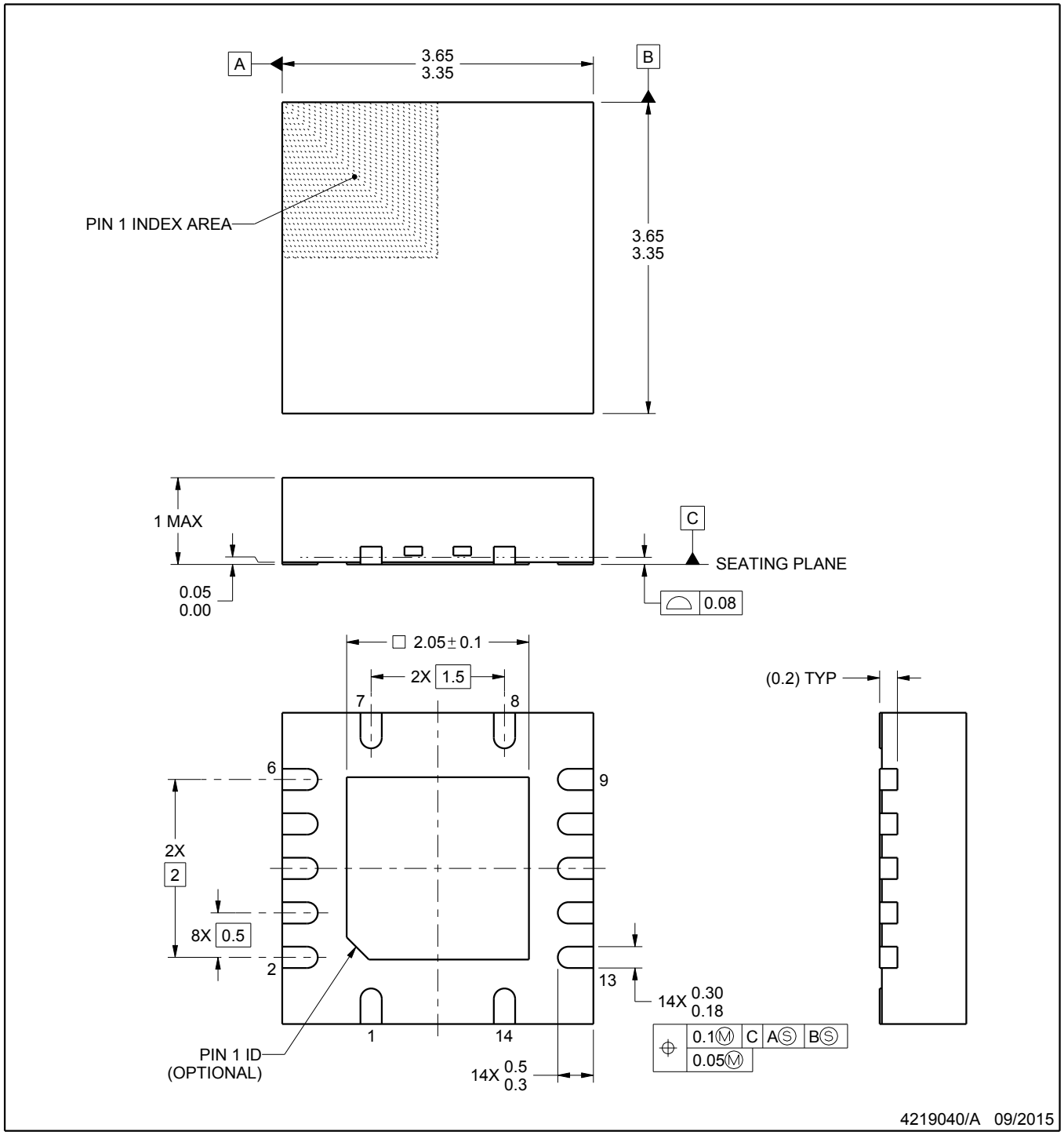
3.5 x 3.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

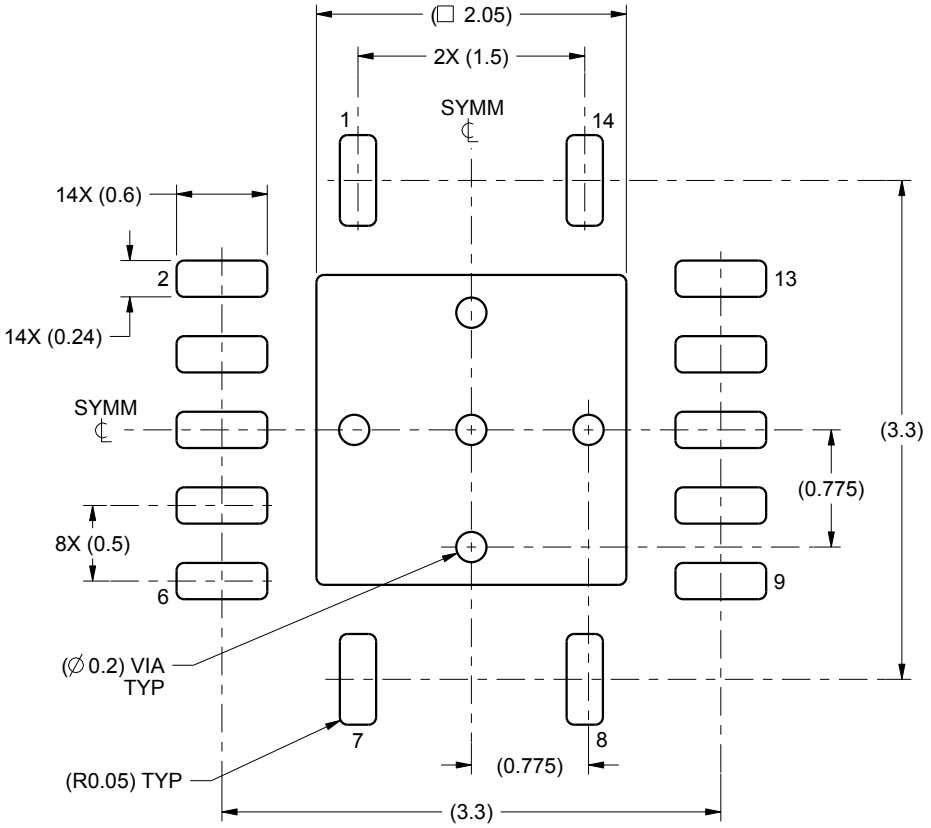


4231541/A

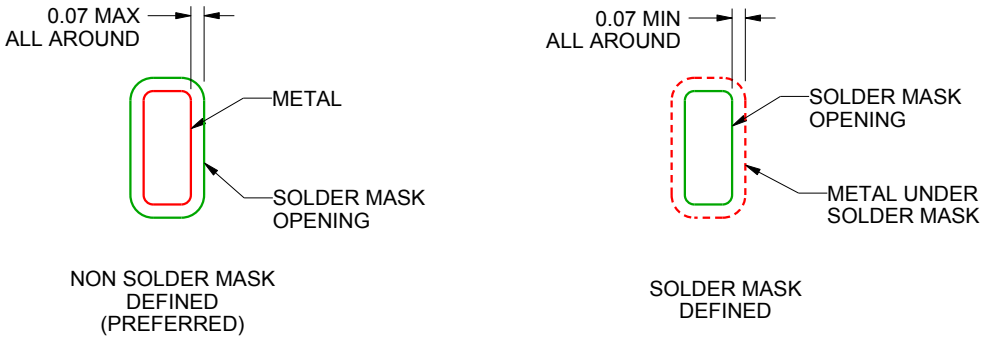


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

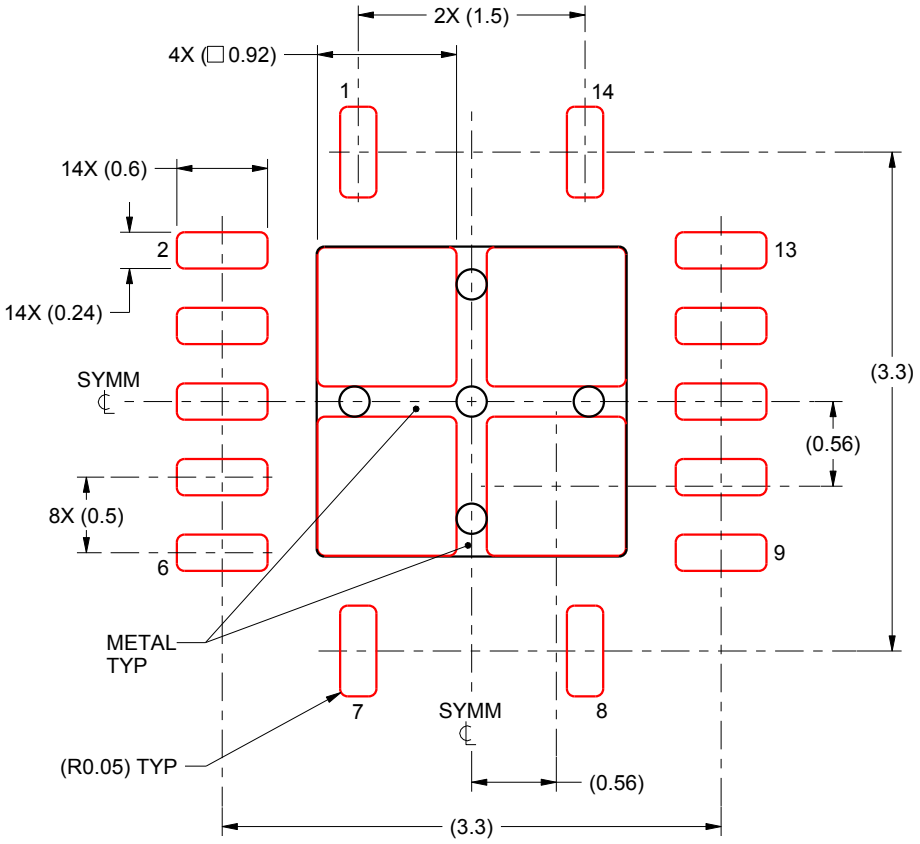


SOLDER MASK DETAILS

4219040/A 09/2015

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).



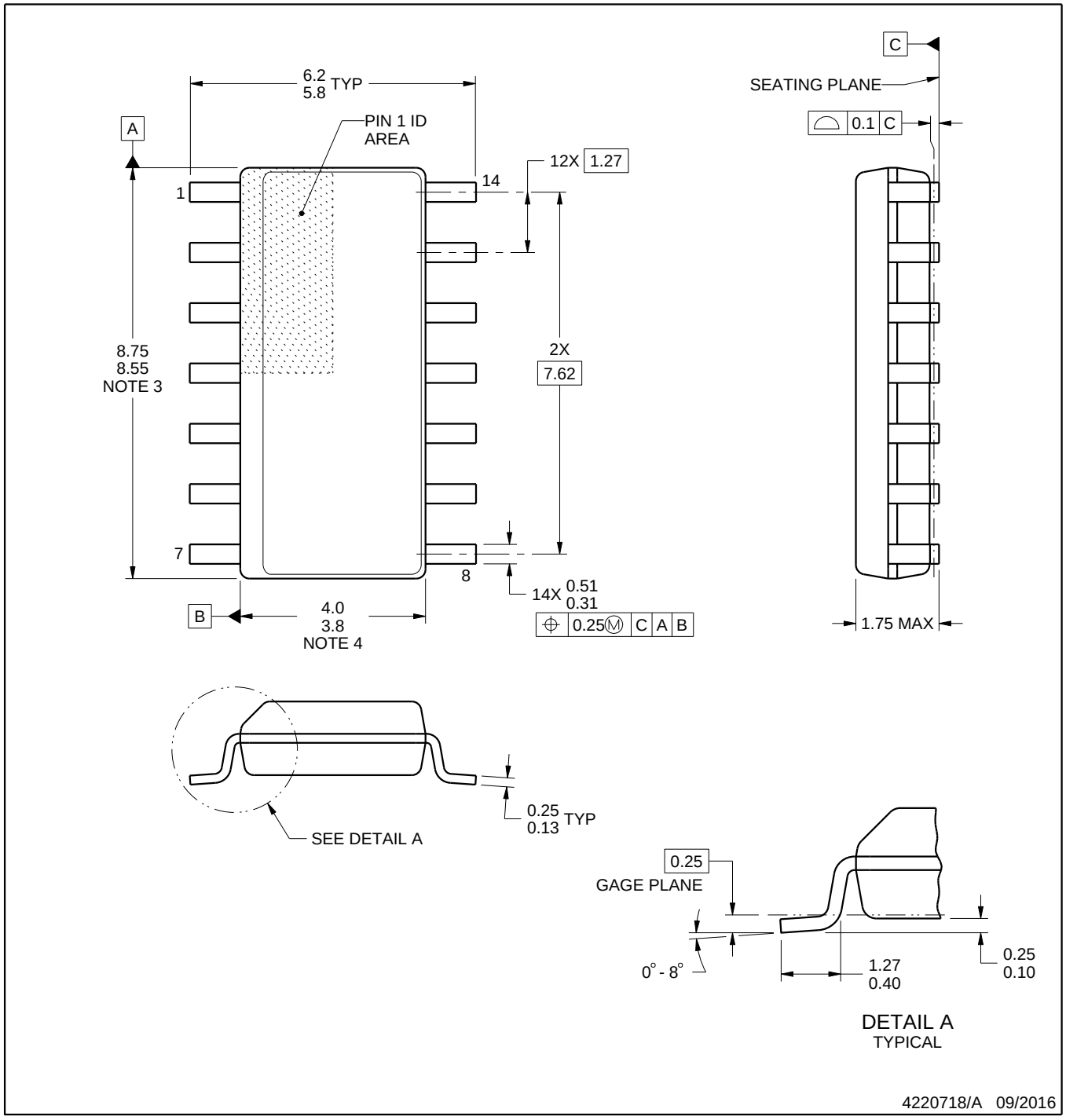
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
80% PRINTED SOLDER COVERAGE BY AREA
SCALE:20X

4219040/A 09/2015

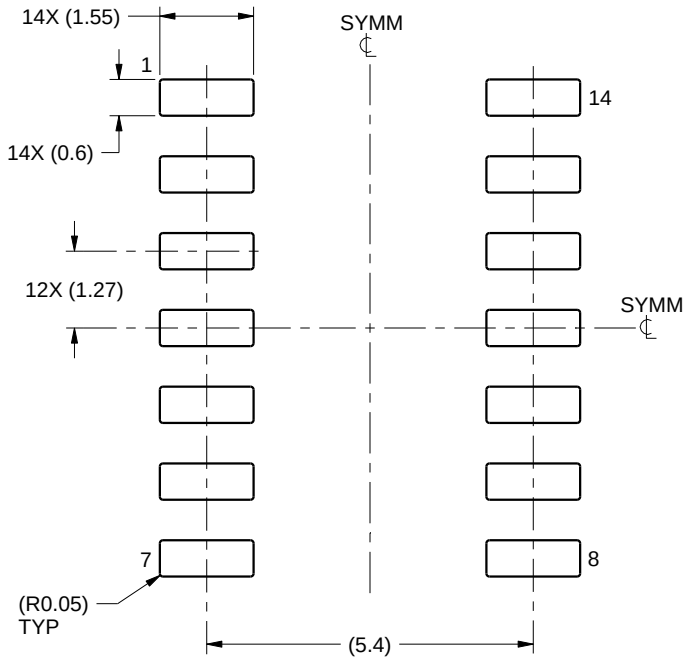
NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

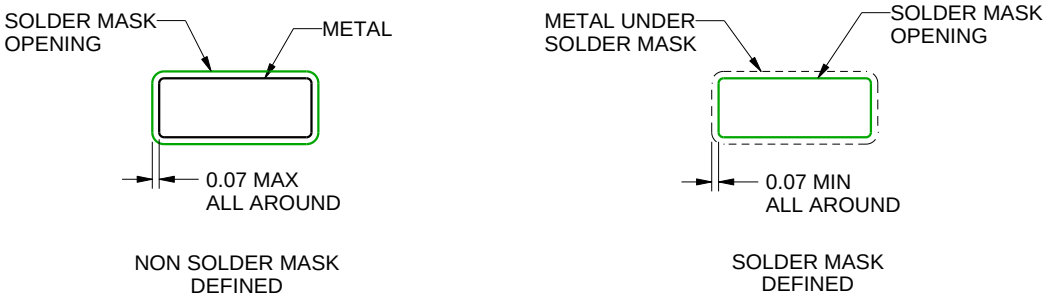


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X

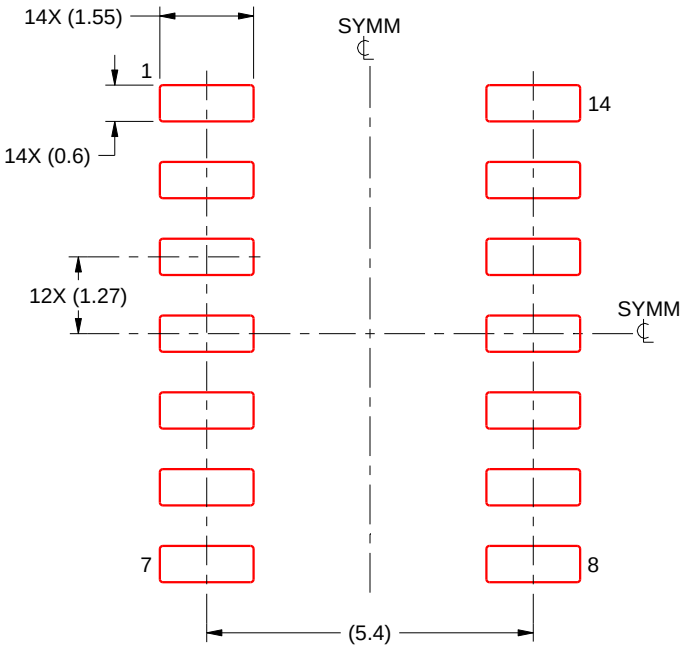


SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

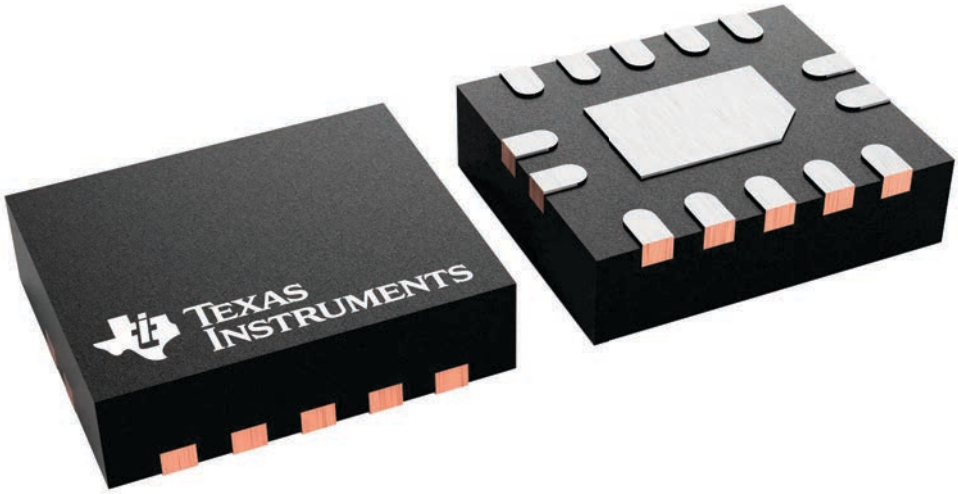
BQA 14

WQFN - 0.8 mm max height

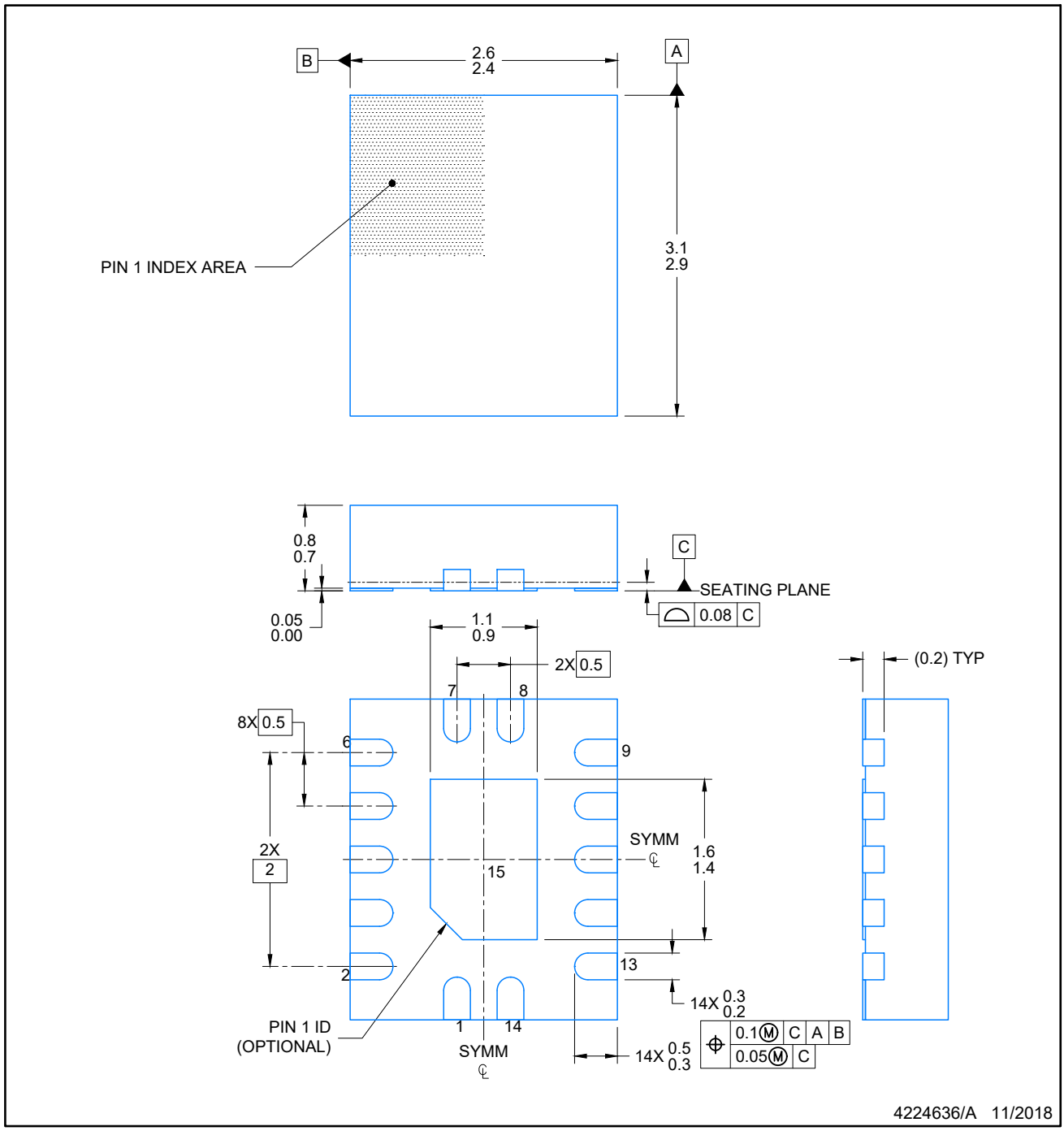
2.5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

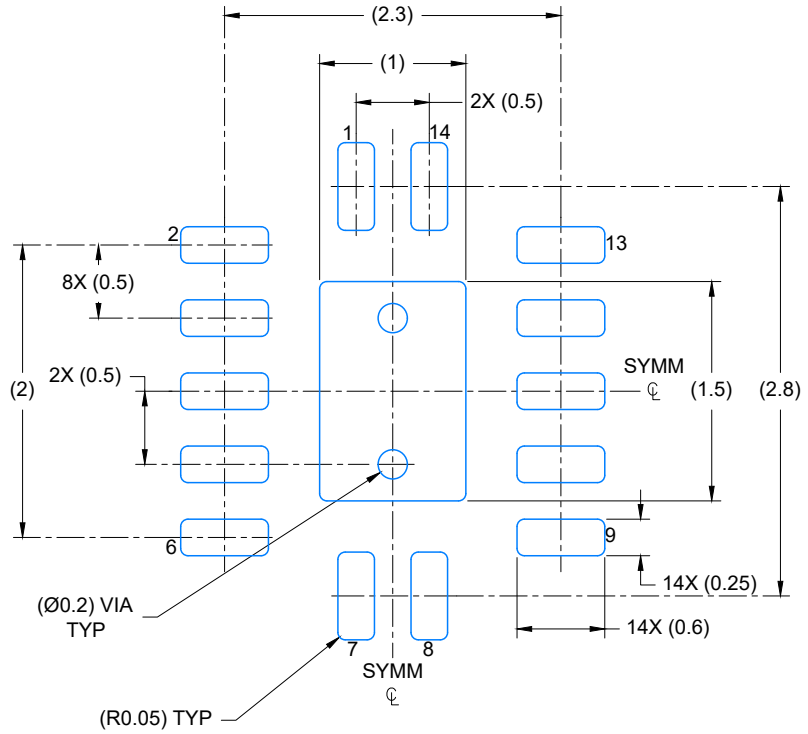


4227145/A

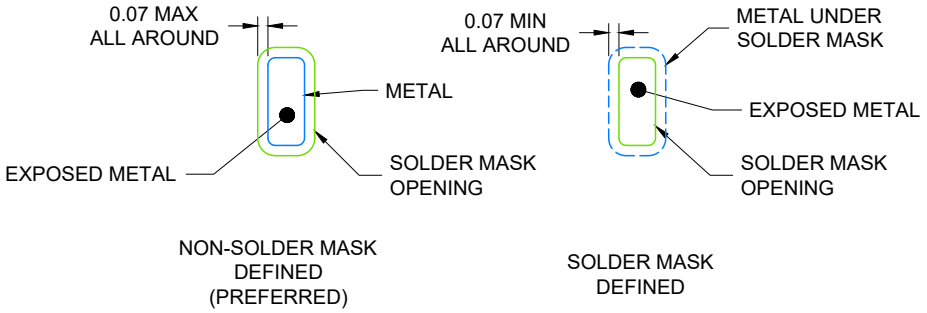


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



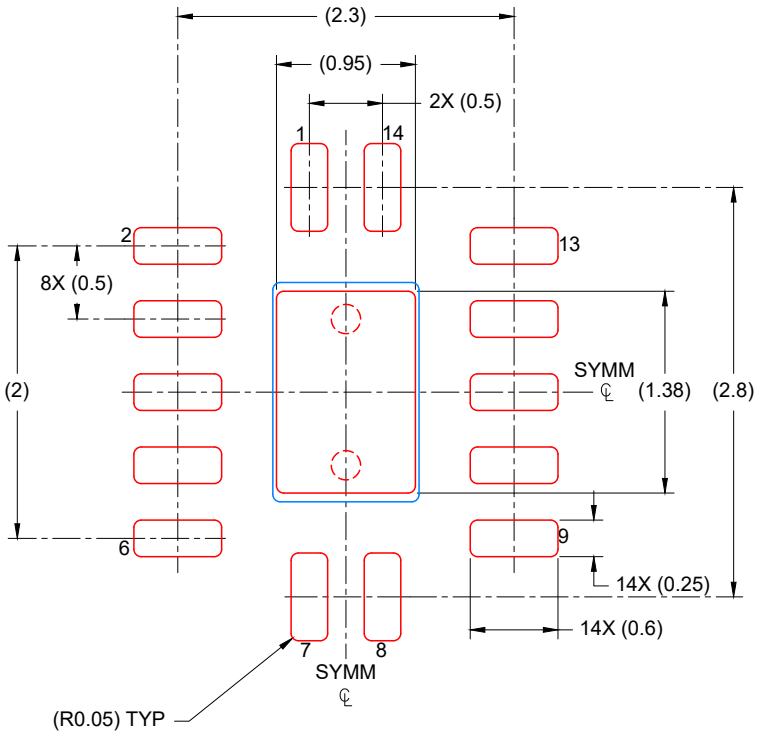
LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4224636/A 11/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
88% PRINTED COVERAGE BY AREA
SCALE: 20X

4224636/A 11/2018

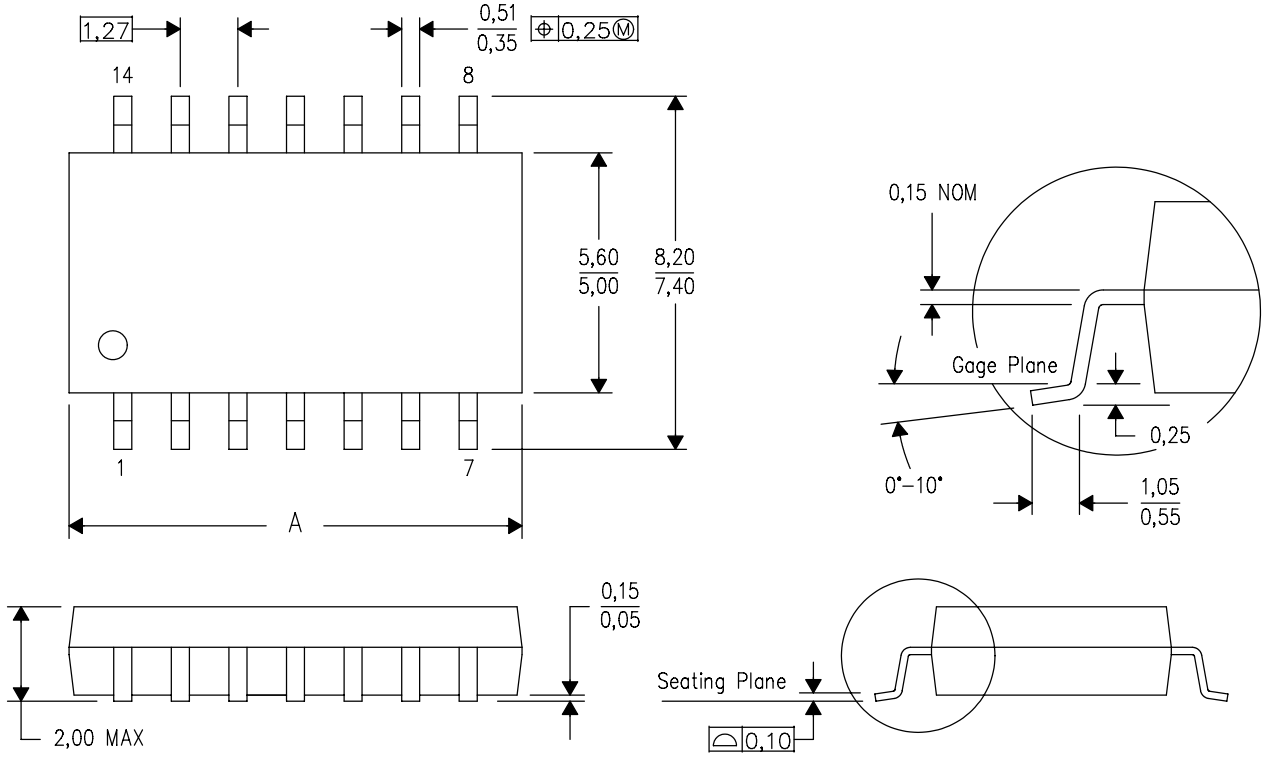
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

MECHANICAL DATA

NS (R-PDSO-G)** **PLASTIC SMALL-OUTLINE PACKAGE**

14-PINS SHOWN

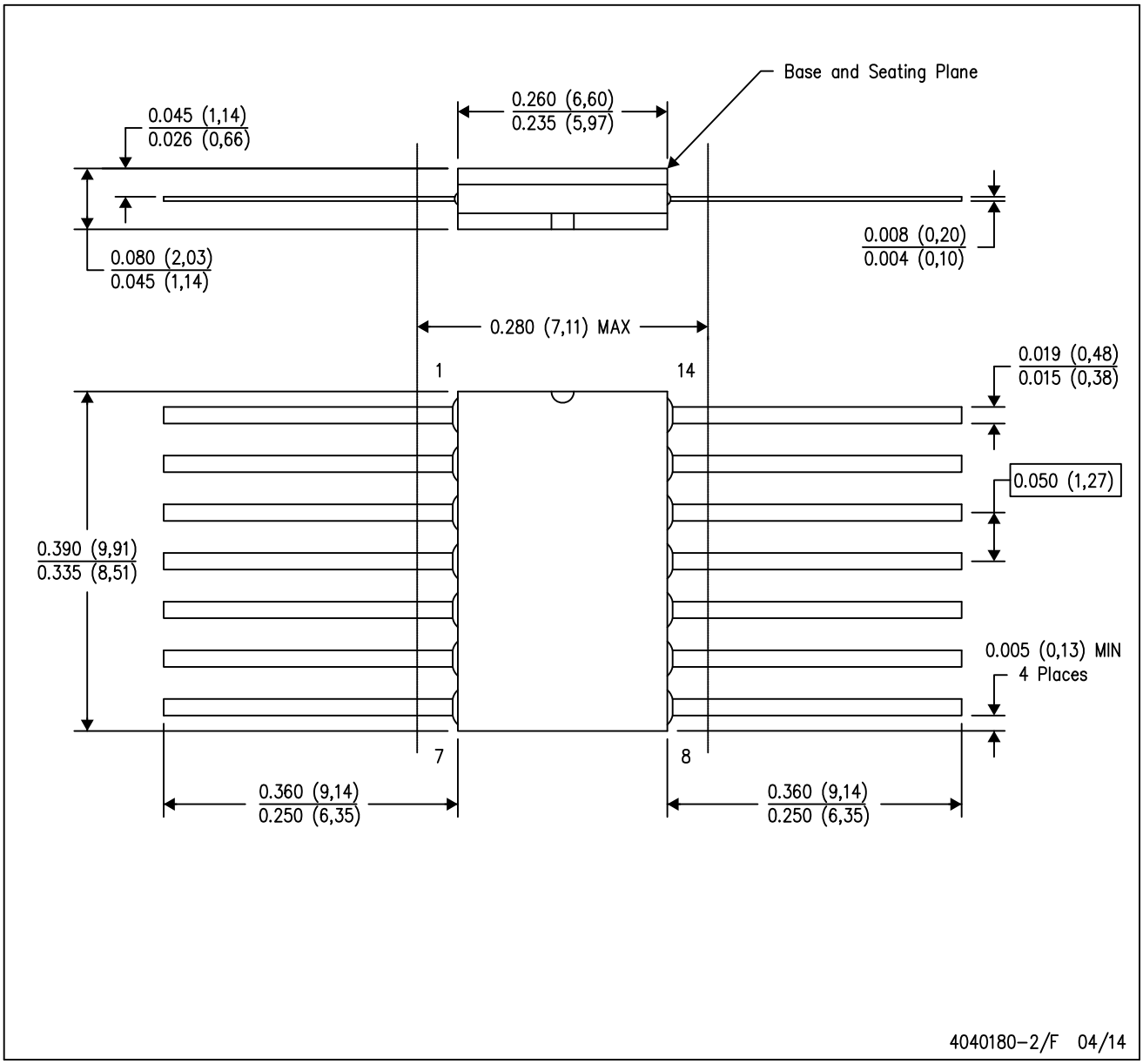


DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

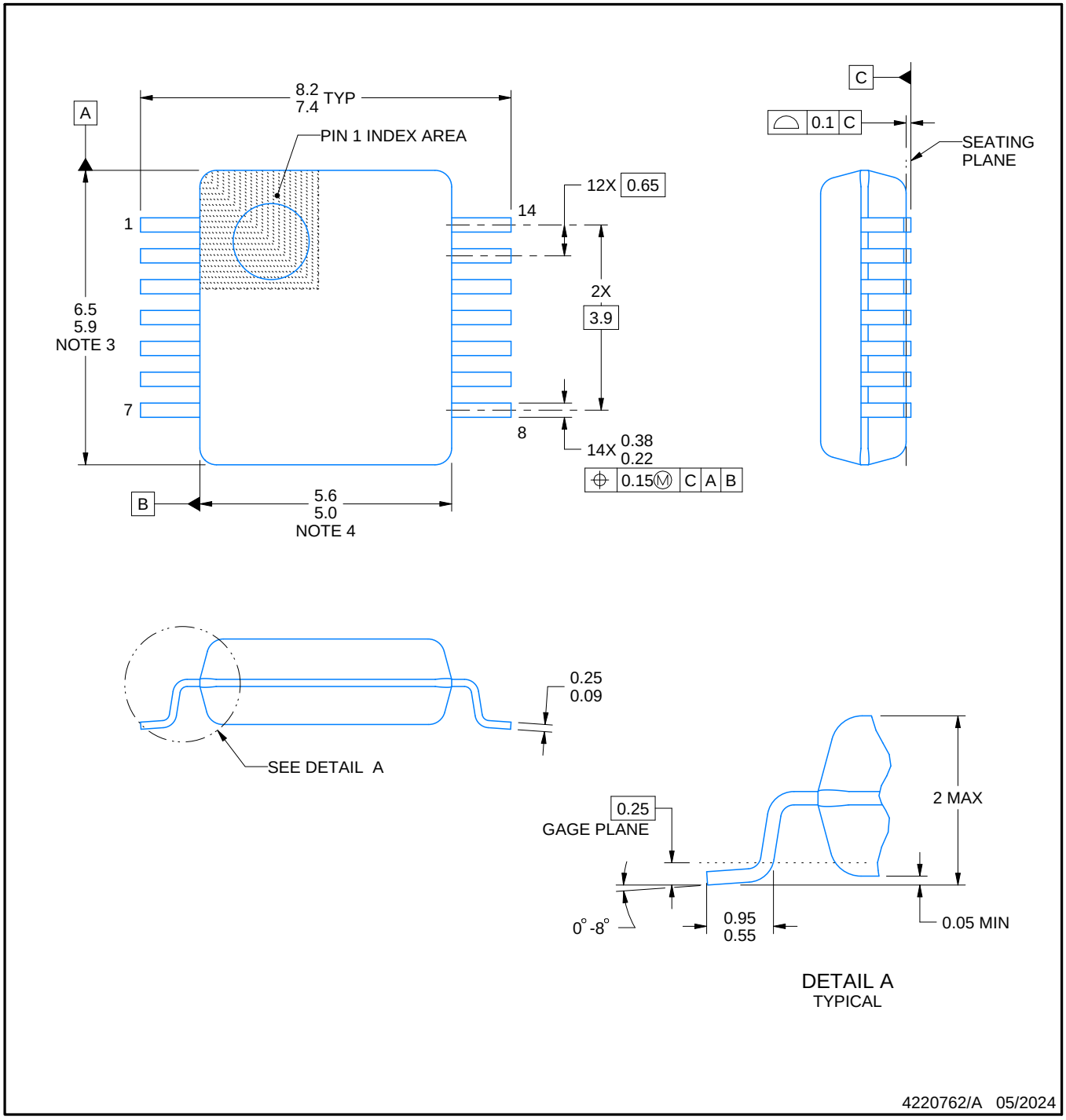
4040062/C 03/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

W (R–GDFP–F14) CERAMIC DUAL FLATPACK

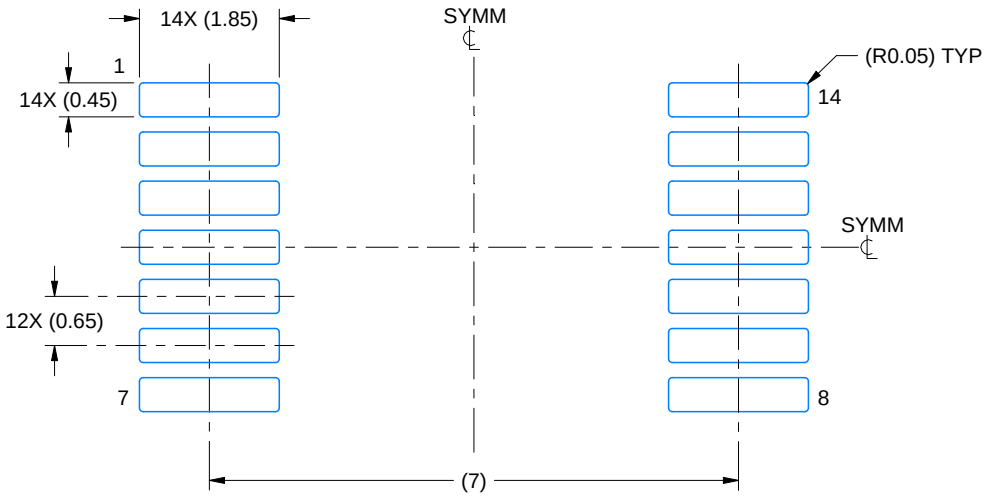


NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package can be hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only.
E. Falls within MIL STD 1835 GDFP1–F14

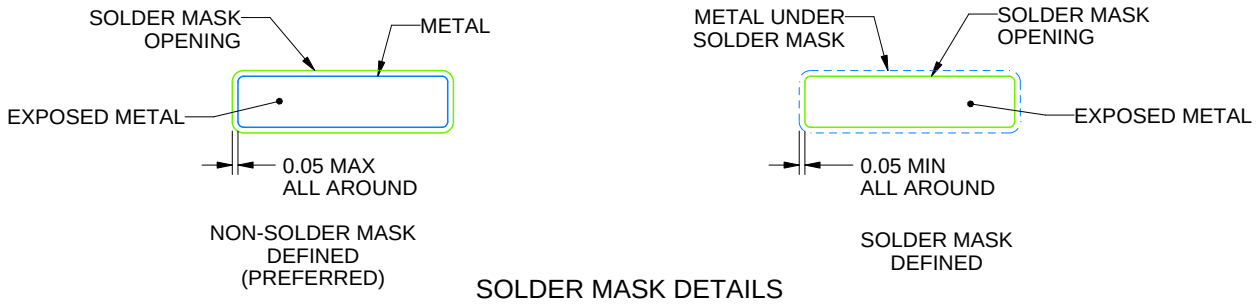


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

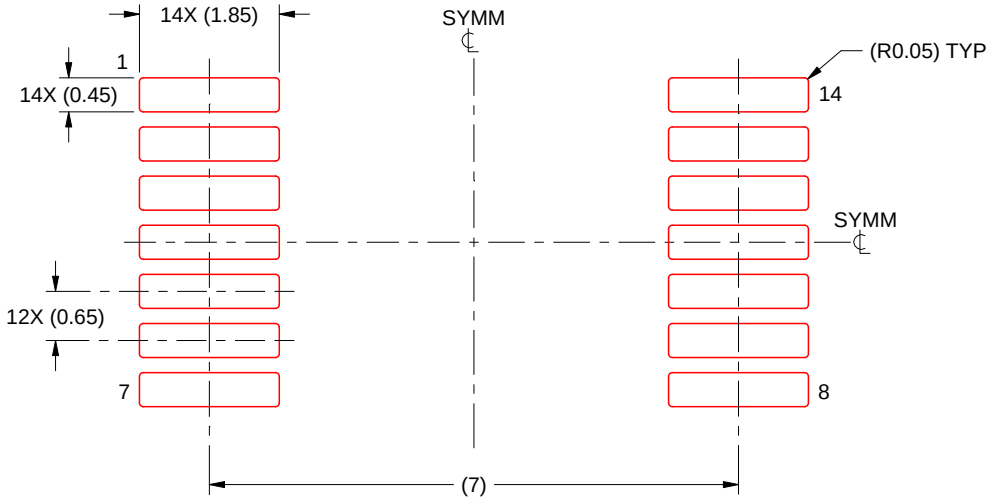


SOLDER MASK DETAILS

4220762/A 05/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220762/A 05/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

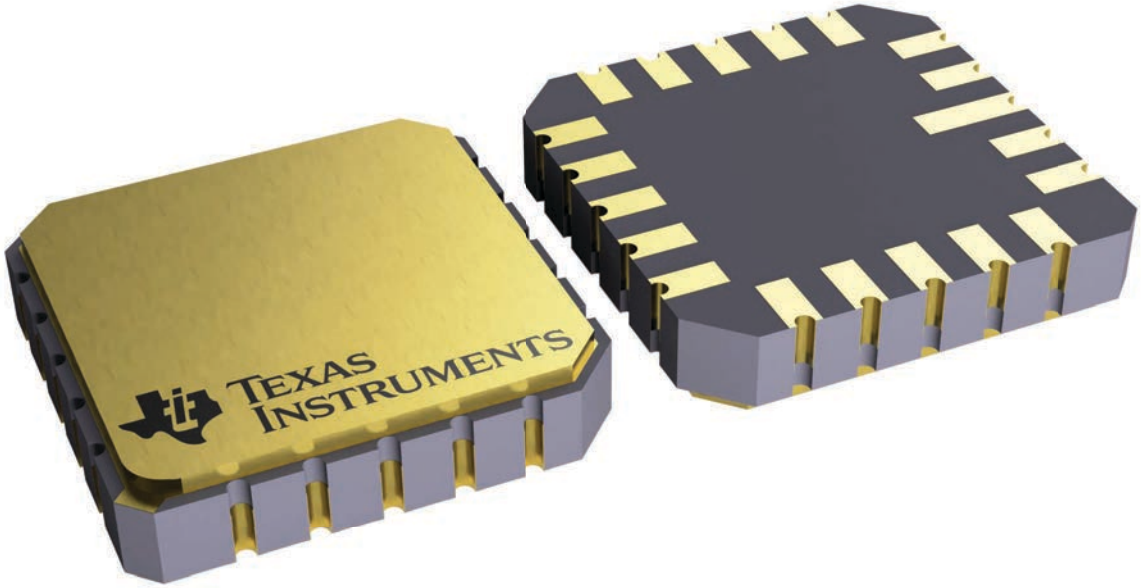
FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

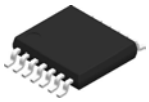
LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4229370VA\

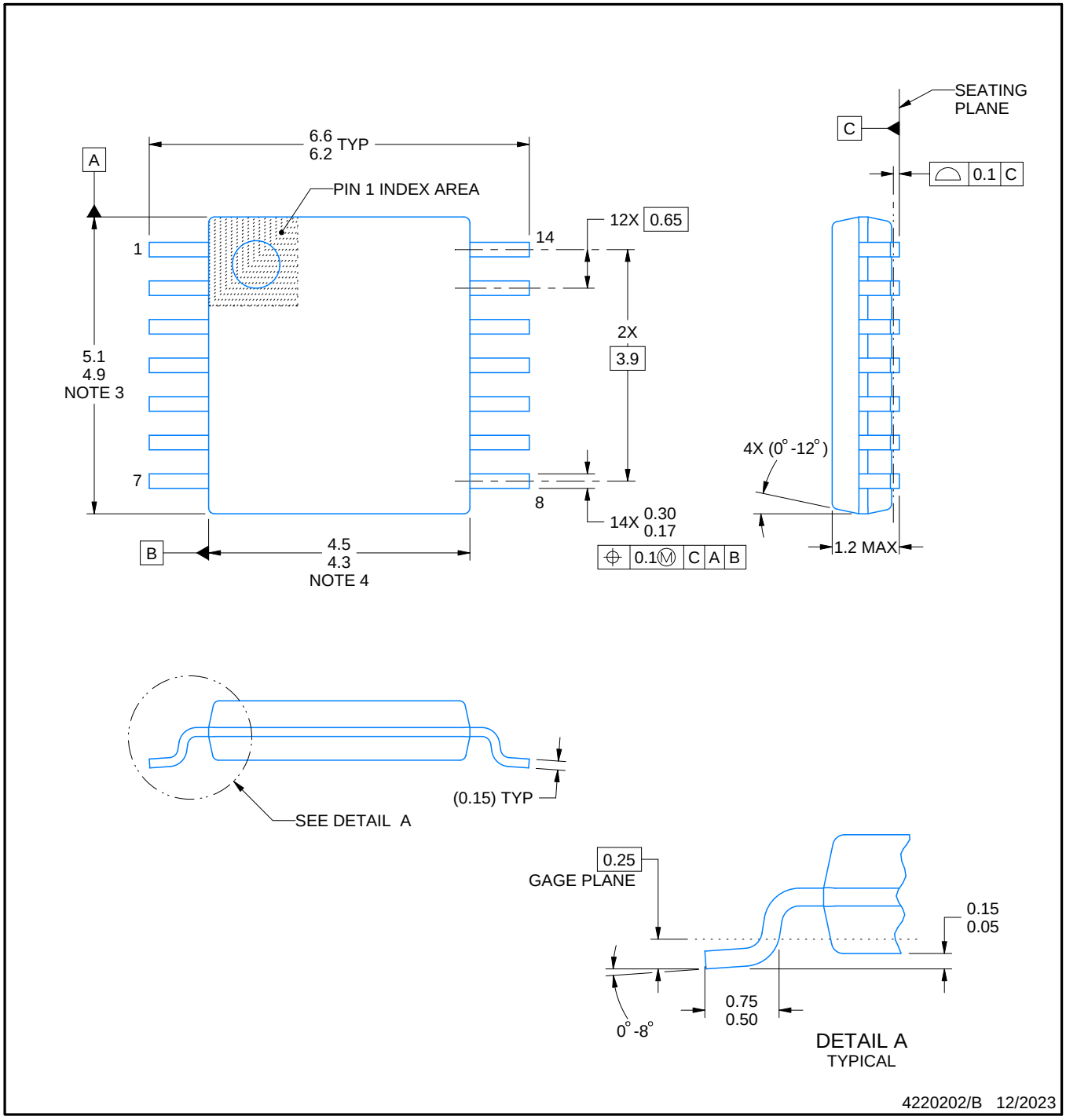
PW0014A



PACKAGE OUTLINE

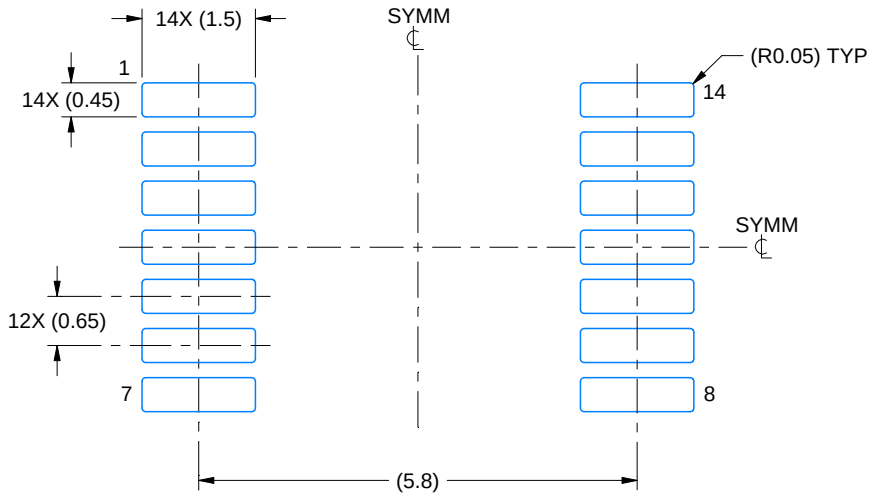
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

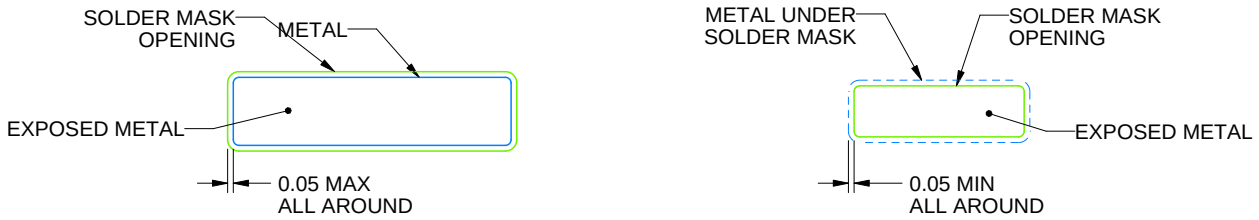


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



NON-SOLDER MASK DEFINED (PREFERRED)

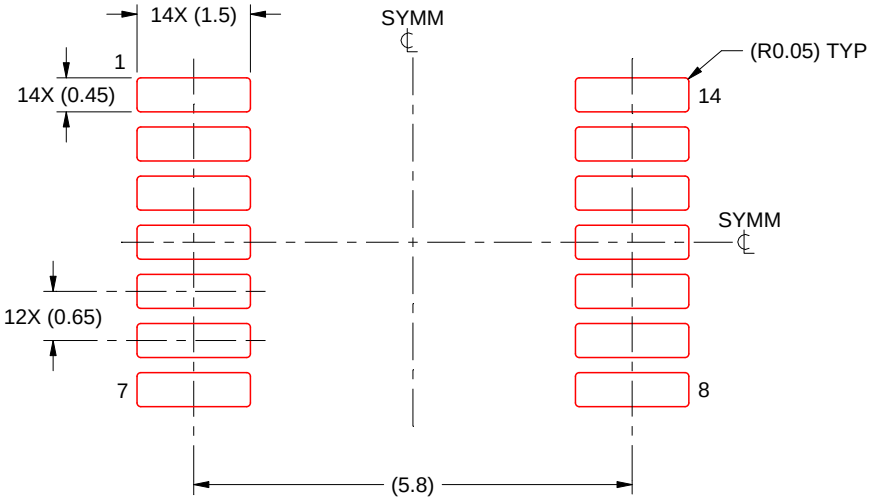
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated