# SN74LVC244A、3ステート出力のオクタルバッファ/ドライバ

### 1 特長

- 1.65V~3.6V で動作
- 5.5V までの入力電圧に対応
- –40°C∼+85°Cと -40℃~+125℃で動作が規定
- 最大 t<sub>pd</sub> 5.9ns(3.3V 時)
- 標準 V<sub>OLP</sub> (出力グランド バウンス)  $< 0.8V (V_{CC} = 3.3V, T_A = 25^{\circ}C)$
- V<sub>OHV</sub> (代表値) (出力 V<sub>OH</sub> アンダーシュート)  $> 2V (V_{CC} = 3.3V, T_A = 25^{\circ}C)$
- すべてのポートでミクストモードシグナル動作をサポー
  - 3.3V V<sub>CC</sub> で 5V の入力または出力電圧)
- Ioff により活線挿抜、部分的パワーダウン モード、バッ クドライブ保護をサポート
- 最高 5.5V の入力を Vcc レベルに変換する降圧トランスレータと して使用可能
- 超小型ロジック QFN パッケージ(最大高さ 0.5mm)で
- JESD 17 準拠で 250mA 超の ラッチアップ性能

# 2 アプリケーション

- ・サーバー
- LED ディスプレイ
- ネットワークスイッチ
- 通信インフラ
- モータードライバ
- I/O エクスパンダ

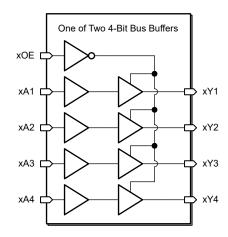
### 3 概要

これらのオクタル バス バッファ は、 $1.65V\sim3.6V$  の  $V_{CC}$ で動作するように設計されています。SN74LVC244A デ バイスは、データバス間の非同期通信用に設計されてい

パッケージ情報

部品番号	パッケージ <sup>(1)</sup>	パッケージ サイズ <sup>(2)</sup>	本体サイズ <sup>(3)</sup>
	RKS (VQFN, 20)(4)	4.50mm × 2.50mm	4.50mm × 2.50mm
	N (PDIP, 20)	24.33mm × 9.4mm	24.33mm × 6.35mm
	NS (SOP, 20)	12.60mm × 7.8mm	12.60mm × 5.30mm
	DB (SSOP, 20)	7.2mm × 7.8mm	7.2mm × 5.30mm
SN74LVC244A	DGV (TVSOP, 20)	5.00mm × 6.4mm	5.00mm × 4.4mm
SIVIALVOZAAA	DW (SOIC, 20)	12.80mm × 10.3mm	12.80mm × 7.50mm
	RGY (VQFN, 20)	4.50mm × 3.50mm	4.50mm × 3.50mm
	ZQN (BGA, 20)	4.00mm × 3.00mm	4.00mm × 3.00mm
	PW (TSSOP, 20)	6.50mm × 6.4mm	6.50mm × 4.40mm
	RWP (X1QFN, 20)	3.30mm × 2.50mm	3.30mm × 2.50mm

- (1) 詳細については、「メカニカル、パッケージ、および注文情報」を参
- 照してください。 パッケージ サイズ(長さ×幅)は公称値であり、該当する場合はピ
- (3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。
- (4) 製品プレビュー



論理図 (正論理)



# 目次

1 特長	1
2 アプリケーション	
3 概要	1
4ピン構成および機能	
5 仕様	5
5.1 絶対最大定格	5
5.2 ESD 定格	5
5.3 推奨動作条件	6
5.4 熱に関する情報	6
5.5 電気的特性	
5.6 スイッチング特性	8
5.7 動作特性	8
5.8 代表的特性	
6 パラメータ測定情報	
7 詳細説明	
7.1 概要	11
7.2 機能ブロック図	

<b>7.3</b> 機能說明	11
7.4 デバイスの機能モート	×12
8 アプリケーションと実装	13
8.1 アプリケーション情報	13
8.2 代表的なアプリケーシ	/ョン13
8.3 電源に関する推奨事	項14
8.4 レイアウト	14
9 デバイスおよびドキュメント	、のサポート16
9.1ドキュメントのサポート	·16
9.2ドキュメントの更新通知	知を受け取る方法16
9.3 サポート・リソース	
9.4 商標	16
9.5 静電気放電に関する	注意事項16
	16
	16
	および注文情報17

English Data Sheet: SCAS414

# 4 ピン構成および機能

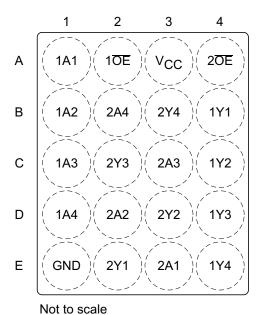


図 4-1. ZQN パッケージ 20 ピン BGA 上面図

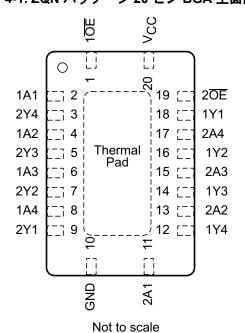


図 4-3. RGY および RKS パッケージ 20 ピン VQFN 上面図

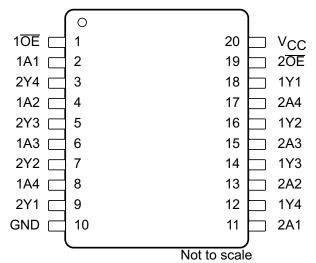


図 4-2. DB、DGV、DW、N、NS、および PW パッケージ 20 ピン SSOP、TVSOP、SOIC、PDIP、SO、および TSSOP 正面図

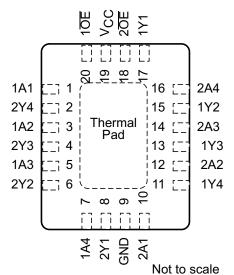


図 4-4. RWP パッケージ 20 ピン X1QFN 上面図



## 表 4-1. ピンの機能

		ピン			
名称	DB、DGV、 DW、N、 NS、PW、 RGY および RKS	ZQN	RWP	タイプ	説明
1A1	2	A1	1	I	ポート 1 A1 入力
1A2	4	B1	3	I	ポート 1 A2 入力
1A3	6	C1	5	I	ポート 1 A3 入力
1A4	8	D1	7	I	ポート 1 A4 入力
1 ŌE	1	A2	20	I	出力イネーブル
1Y1	18	B4	17	0	ポート 1 Y1 出力
1Y2	16	C4	15	0	ポート 1 Y2 出力
1Y3	14	D4	13	0	ポート 1 Y3 出力
1Y4	12	E4	11	0	ポート 1 Y4 出力
2A1	11	E3	10	I	ポート 2 A1 入力
2A2	13	D2	12	I	ポート 2 A2 入力
2A3	15	C3	14	I	ポート 2 A3 入力
2A4	17	B2	16	I	ポート 2 A4 入力
2 OE	19	A4	18	I	出力イネーブル
2Y1	9	E2	8	0	ポート 2 Y1 出力
2Y2	7	D3	6	0	ポート 2 Y2 出力
2Y3	5	C2	4	0	ポート 2 Y3 出力
2Y4	3	В3	2	0	ポート 2 Y4 出力
GND	10	E1	9	_	グランド
V <sub>CC</sub>	20	A3	19	_	パワーピン

## 5 仕様

## 5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
V <sub>CC</sub>	電源電圧		-0.5	6.5	V
VI	入力電圧(2)		-0.5	6.5	V
Vo	高インピーダンスまたは電源オフ状態で出力に印力	加される電圧範囲 <sup>(2)</sup>	-0.5	6.5	V
Vo	High または Low 状態にある任意の出力に印加さ	れる電圧範囲(2) (3)	-0.5	V <sub>CC</sub> + 0.5	V
I <sub>IK</sub>	入力クランプ電流 V <sub>I</sub> < 0			-50	mA
I <sub>OK</sub>	出力クランプ電流	V <sub>O</sub> < 0		-50	mA
Io	連続出力電流			±50	mA
	V <sub>CC</sub> または GND を通過する連続電流			±100	mA
P <sub>tot</sub>	消費電力	$T_A = -40^{\circ}C \sim +125^{\circ}C^{(4)}$ (5)		500	mW
TJ	接合部温度			150	°C
T <sub>stg</sub>	保存温度	-65	150	°C	

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス評価であり、このデータシートの「セクション 5.3」に示された値と等しい、またはそれを超える条件で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 入力電流と出力電流の定格を遵守していても、入力と出力の負電圧の定格を超える可能性があります。
- (3) V<sub>CC</sub> の値は、「セクション 5.3」の表に記載されています。
- (4) DW パッケージの場合:70℃を上回ると、Ptot の値は 8mW/K で線形的に低下します。
- (5) DB、DGV、N、NS、PW パッケージの場合:60℃を上回ると、Ptot の値は 5.5mW/K で線形的に低下します。

### 5.2 ESD 定格

			値	単位
V	<b>热</b> 電光電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	±2000	V
V <sub>(ESD)</sub>	静電放電	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 <sup>(2)</sup>	±1000	V

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。



### 5.3 推奨動作条件

自由空気での推奨動作温度範囲内 (特に記述のない限り)(1)

			T <sub>A</sub> = 2	25℃	-40~+	85℃	-40~+	-125℃	724 FF
			最小値 最大値		最小値 最大値		最小値	最大値	単位
.,	<b>泰海泰宁</b>	動作	1.65	3.6	1.65	3.6	1.65	3.6	V
V <sub>CC</sub>	電源電圧	データ保持のみ	1.5		1.5		1.5		V
		V <sub>CC</sub> = 1.65V∼1.95V	0.65 × V <sub>CC</sub>		0.65 × V <sub>CC</sub>		0.65 × V <sub>CC</sub>		
V <sub>IH</sub>	High レベル 入力電圧	V <sub>CC</sub> = 2.3V∼2.7V	1.7		1.7		1.7		V
	八刀电压	V <sub>CC</sub> = 2.7V∼3.6V	2		2		2		
		V <sub>CC</sub> = 1.65V∼1.95V		0.35 × V <sub>CC</sub>		0.35 × V <sub>CC</sub>		0.35 × V <sub>CC</sub>	
V <sub>IL</sub>	Low レベル 入力電圧	V <sub>CC</sub> = 2.3V~2.7V		0.7		0.7		0.7	V
	八刀电圧	V <sub>CC</sub> = 2.7V~3.6V		0.8		0.8		0.8	
VI	入力電圧		0	5.5	0	5.5	0	5.5	V
Vo	出力電圧		0	V <sub>CC</sub>	0	V <sub>CC</sub>	0	V <sub>CC</sub>	V
		V <sub>CC</sub> = 1.65 V		-4		-4		-4	
	High レベル	V <sub>CC</sub> = 2.3 V		-8		-8		-8	mA
I <sub>OH</sub>	出力電流	V <sub>CC</sub> = 2.7 V		-12		-12		-12	ША
		V <sub>CC</sub> = 3 V		-24		-24		-24	
		V <sub>CC</sub> = 1.65 V		4		4		4	
	Low レベル	V <sub>CC</sub> = 2.3 V		8		8		8	mA
I <sub>OL</sub>	出力電流	V <sub>CC</sub> = 2.7 V		12		12		12	ША
		V <sub>CC</sub> = 3 V		24		24		24	
т.	国田油库	BGA パッケージ			-40	85			°C
T <sub>A</sub>	周囲温度	他のすべてのパッケージ					-40	125	C

<sup>(1)</sup> デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V<sub>CC</sub> または GND に固定する必要があります。『 低速またはフローティング CMOS 入力の影響 』、SCBA004 を参照してください。

### 5.4 熱に関する情報

		SN74LVC244A										
	<b>熱評価基準</b> <sup>(1)</sup>	DB <sup>(2)</sup> (SSOP)	DGV <sup>(2)</sup> (TVSOP)	DW <sup>(2)</sup> (SOIC)	ZQN <sup>(2)</sup> (BGA)	N <sup>(2)</sup> (PDIP)	NS <sup>(2)</sup> (SO)	PW <sup>(2)</sup> (TSSOP	RGY <sup>(3)</sup> (VQFN)	RWP <sup>(3)</sup> (X1QFN)	RKS <sup>(3)</sup> (VQFN )	単位
						20 ピン	,					
$R_{\theta JA}$	接合部から周囲への 熱抵抗	108.1	128.7	90.9	198.7	61.6	90.1	114.7	50.3	79.9	87.2	°C/W
$R_{\theta JC(top)}$	接合部からケース(上面)への 熱抵抗	70.2	43.7	55.3	106.8	46.5	56.4	48.4	58.4	63.2	93.4	°C/W
$R_{\theta JB}$	接合部から基板への 熱抵抗	63.3	70.2	58.8	143.1	42.5	57.7	65.6	28.3	46.4	59.8	°C/W
ΨЈТ	接合部から上面への 特性パラメータ	30.6	3.1	29.1	24.1	34.6	28.4	6.8	4.9	2.6	24.9	°C/W
ΨЈВ	接合部から基板への特性パラメ ータ	62.9	69.5	58.3	119.6	42.4	57.2	65.1	28.4	46.3	59.6	°C/W
R <sub>θJC(bot)</sub>	接合部からケース (底面) への 熱抵抗	_	_	_	該当なし	_	_	_	22.7	27.3	44.3	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『*半導体およびIC パッケージの熱評価基準*』アプリケーションレポートを参照してください。 spra953
- (2) パッケージの熱インピーダンスは、JESD 51-7 に従って計算しています。
- (3) パッケージの熱インピーダンスは、JESD 51-5 に従って計算しています。

資料に関するフィードバック(ご意見やお問い合わせ)を送信

Copyright © 2025 Texas Instruments Incorporated

Product Folder Links: SN74LVC244A



### 5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件		V <sub>cc</sub>	T <sub>A</sub>	= 25℃	-40~+8	5℃	-40~+12	25℃	単位
/\/ <i>/</i> //	プスト条件		V CC	最小値	標準値 最大値	最小値	最大値	最小値	最大値	平仏
	I <sub>OH</sub> = -100μA		1.65V ~ 3.6V	V <sub>CC</sub> - 0.2		V <sub>CC</sub> - 0.2		V <sub>CC</sub> - 0.3		
	I <sub>OH</sub> = -4mA		1.65 V	1.29		1.2		1.05		
V <sub>OH</sub>	I <sub>OH</sub> = -8mA		2.3 V	1.9		1.7		1.55		V
	I <sub>OH</sub> = -12mA		2.7 V 3 V	2.2		2.2		2.05 2.25		
	I <sub>OH</sub> = -24mA		3 V	2.3		2.2		2		
	I <sub>OL</sub> = 100μA		1.65V ~ 3.6V		0.1		0.2		0.3	
V <sub>OL</sub>	I <sub>OL</sub> = 4mA		1.65 V		0.24		0.45		0.6	V
	I <sub>OL</sub> = 8mA		2.3 V		0.3		0.7		0.75	
	I <sub>OL</sub> = 12mA		2.7 V		0.4		0.4		0.6	
	I <sub>OL</sub> = 24mA		3 V		0.55		0.55		0.8	
I <sub>I</sub>	V <sub>I</sub> = 5.5 V または GN	D	3.6 V		±1		±5		±20	μΑ
I <sub>off</sub>	V <sub>I</sub> または V <sub>O</sub> = 5.5V		0		±1		±10		±20	μA
I <sub>OZ</sub>	V <sub>O</sub> = 0∼5.5V		3.6 V		±1		±10		±20	μA
Icc	V <sub>I</sub> = V <sub>CC</sub> または GND	I <sub>O</sub> = 0	3.6 V		1		10		40	μA
	$3.6 \text{ V} \le \text{V}_{\text{I}} \le 5.5 \text{ V}^{(1)}$				1		10		40	
ΔI <sub>CC</sub>	1 つの入力は V <sub>CC</sub> - 0 その他の入力は V <sub>CC</sub> GND		2.7V ~ 3.6V		500		500		5000	μΑ
C <sub>i</sub>	V <sub>I</sub> = V <sub>CC</sub> または GND		3.3 V		4					pF
Co	Vo = Vcc または GNI	)	3.3 V		5.5					pF

<sup>(1)</sup> これは、ディセーブル状態でのみ適用されます。



# 5.6 スイッチング特性

自由空気での推奨動作温度範囲内 (特に記述のない限り) (図 6-1 を参照)

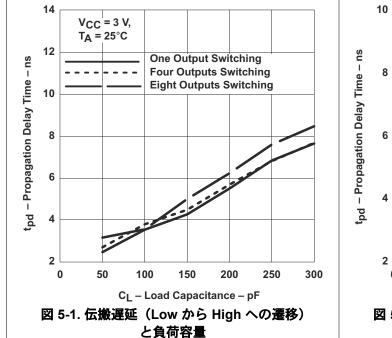
パラメータ	始点	終点	V	T <sub>A</sub> = 25℃		-40∼+85℃	-40∼+125℃	374 V-C
/\/ <i>/</i> //	(入力)	(出力)	V <sub>CC</sub>	最小値 標準値	最大値	最小値 最大値	最小値 最大値	単位
			1.5 V	7	14.4	14.9	16.4	
			1.8V ± 0.15V	5.9	10.4	10.9	12.4	
t <sub>pd</sub>	Α	Υ	2.5V ± 0.2V	4.2	7.4	7.9	10	ns
			2.7 V	4.2	6.7	6.9	8.2	
			3.3V ± 0.3V	3.9	5.7	5.9	7.2	
			1.5 V	8.3	17.8	18.3	19.8	
			1.8V ± 0.15V	6.4	12.1	12.6	14.1	
t <sub>en</sub>	ŌĒ	Y	2.5V ± 0.2V	4.6	9.1	9.6	11.7	ns
			2.7 V	5	8.4	8.6	10.3	
			3.3V ± 0.3V	4.5	7.4	7.6	9.4	
			1.5 V	7.2	15.6	16.1	17.6	
			1.8V ± 0.15V	5.8	11.6	12.1	13.6	
t <sub>dis</sub>	ŌĒ	Υ	2.5V ± 0.2V	3.7	7.3	7.8	9.9	ns
			2.7 V	3.8	6.6	6.8	8.6	
			3.3V ± 0.3V	3.8	6.3	6.5	8	
t <sub>sk(o)</sub>			3.3V ± 0.3V			1	1.5	ns

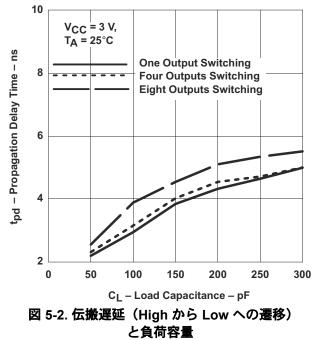
# 5.7 動作特性

## T<sub>A</sub> = 25°C

	パラメータ	テスト条件	V <sub>cc</sub>	標準 値	単位	
		出力イネーブル		1.8 V	43	
			f = 10MHz	2.5 V	43	
	バッファノドライバあたりの消費電力容量			3.3 V	44	рF
C <sub>pd</sub>	ハツノテイトノイハめたりの相負电刀谷里	出力ディセーブル		1.8 V	1	pi
			f = 10MHz	2.5 V	1	
				3.3 V	2	

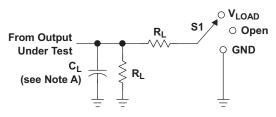
# 5.8 代表的特性







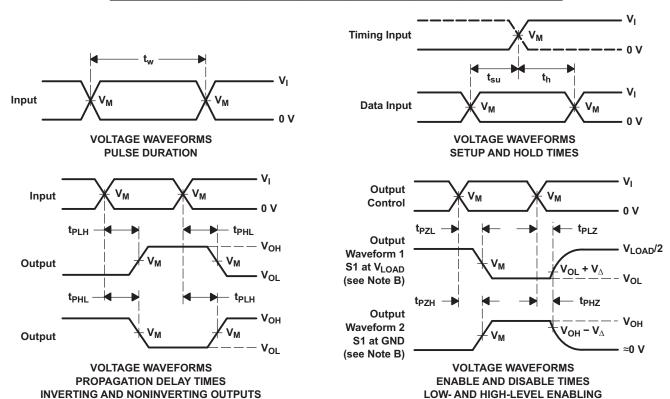
# 6 パラメータ測定情報



TEST	<b>S</b> 1
t <sub>PLH</sub> /t <sub>PHL</sub>	Open
t <sub>PLZ</sub> /t <sub>PZL</sub>	V <sub>LOAD</sub>
t <sub>PHZ</sub> /t <sub>PZH</sub>	GND

LOAD CIRCUIT

V	INPUTS		V	V		Б	V	
V <sub>CC</sub>	VI	t <sub>r</sub> /t <sub>f</sub>	V <sub>M</sub>	V <sub>LOAD</sub>	CL	$R_L$	$\mathbf{V}_{\!\Delta}$	
1.5 V	V <sub>CC</sub>	≤2 ns	V <sub>CC</sub> /2	2 × V <sub>CC</sub>	15 pF	<b>2 k</b> Ω	0.1 V	
1.8 V ± 0.15 V	V <sub>CC</sub>	≤2 ns	V <sub>CC</sub> /2	2 × V <sub>CC</sub>	30 pF	<b>1 k</b> Ω	0.15 V	
2.5 V ± 0.2 V	V <sub>CC</sub>	≤2 ns	V <sub>CC</sub> /2	2 × V <sub>CC</sub>	30 pF	<b>500</b> Ω	0.15 V	
2.7 V	2.7 V	≤2.5 ns	1.5 V	6 V	50 pF	<b>500</b> Ω	0.3 V	
3.3 V ± 0.3 V	2.7 V	≤2.5 ns	1.5 V	6 V	50 pF	<b>500</b> Ω	0.3 V	



NOTES: A.  $C_L$  includes probe and jig capacitance.

- B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
- C. All input pulses are supplied by generators having the following characteristics: PRR≤ 10 MHz, Z<sub>O</sub> = 50 Ω.
- D. The outputs are measured one at a time, with one transition per measurement.
- E.  $t_{PLZ}$  and  $t_{PHZ}$  are the same as  $t_{dis}$ .
- F.  $t_{PZL}$  and  $t_{PZH}$  are the same as  $t_{en}$ .
- G.  $t_{PLH}$  and  $t_{PHL}$  are the same as  $t_{pd}$ .
- H. All parameters and waveforms are not applicable to all devices.

図 6-1. 負荷回路および電圧波形

### 7 詳細説明

#### 7.1 概要

SN74LVC244A には、3 ステート出力を持つ 2 つの 4 ビット バッファ / ライン ドライブとして構成された 8 つの独立した 高速 CMOS バッファが内蔵されています。

各バッファは、ブール論理関数 xYn = xAn を実行します。x はバンク番号、n

各出力イネーブル  $(x\overline{OE})$  は 4 つのバッファを制御します。  $x\overline{OE}$  ピンが Low 状態のとき、バンク x のすべてのバッファの出力がイネーブルになります。  $x\overline{OE}$  ピンが High 状態のとき、バンク x のすべてのバッファの出力がディセーブルになります。 ディセーブルされた出力はすべて高インピーダンス状態になります。

電源オンまたは電源オフ時にデバイスを高インピーダンス状態にするには、両方の  $\overline{OE}$  ピンをプルアップ抵抗経由で  $V_{CC}$  に接続します。この抵抗の最小値は、「電気的特性」表に定義されているドライバの電流シンク能力とピンのリーク電流によって決定されます。

#### 7.2 機能ブロック図

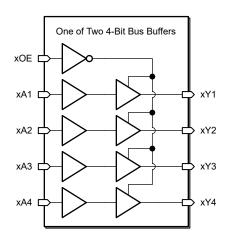


図 7-1. 論理図 (正論理)

### 7.3 機能説明

### 7.3.1 平衡化された CMOS 3 ステート出力

このデバイスには、平衡化された CMOS 3 ステート出力が内蔵されています。High、Low、高インピーダンスが、これらの 出力が取り得る 3 つの状態です。平衡化という用語は、このデバイスが類似の電流に対するシンクとソースを行えることを 示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上 に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

高インピーダンス状態に移行したとき、出力は電流のソースとシンクのどちらも行いません。ただし、「電気的特性」表に定義されている小さなリーク電流は例外です。高インピーダンス状態では、出力電圧はデバイスによって制御されず、外部要因に依存します。ノードに他のドライバが接続されていない場合、これはフローティングノードと呼ばれ、電圧は不明です。出力にプルアップ抵抗またはプルダウン抵抗を接続することで、高インピーダンス状態の出力に既知の電圧を供給できます。抵抗の値は、寄生容量や消費電力の制限など複数の要因に依存します。通常、これらの要件を満たすために10kΩの抵抗を使用できます。

未使用の3ステートCMOS出力は、未接続のままにする必要があります。

### 7.3.2 標準 CMOS 入力

このデバイスには、標準 CMOS 入力が搭載されています。標準 CMOS 入力は高インピーダンスであり、通常は*電気的特性*に示されている入力容量と並列の抵抗としてモデル化されます。ワーストケースの抵抗は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 (R = V ÷ I) を使用して計算されます。

標準 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、『低速またはフローティング CMOS 入力の影響』を参照してください。

動作中は、標準 CMOS 入力をフローティングのままにしないでください。未使用の入力は、V<sub>CC</sub> または GND に終端させる必要があります。システムが入力を常にアクティブに駆動している訳ではない場合、システムが入力をアクティブに駆動していないときに有効な入力電圧を与えるため、プルアップまたはプルダウン抵抗を追加できます。抵抗値は複数の要因で決まりますが、10kΩ の抵抗を推奨します。通常はこれですべての要件を満たします。

#### 7.3.3 クランプ ダイオード構造

図 7-2 は、このデバイスの入力と出力には負のクランプ ダイオードのみがあることを示しています。

### 注意

「絶対最大定格」の表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。

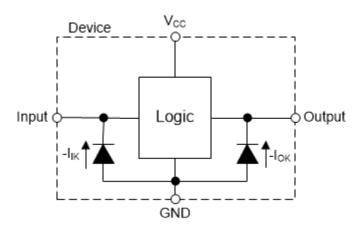


図 7-2. 各入力と出力に対するクランプ ダイオードの電気的配置

### 7.4 デバイスの機能モード

表 **7-1** に、SN74LVC244A の機能モードを示します。

 入力 (1)
 出力

 OE
 A
 Y

 L
 L
 L

 L
 H
 H

表 7-1. 機能表

(1) H = High 電圧レベル、L = Low 電圧レベル、X = ドントケア、Z = 高インピーダンス

Χ

7

Н

# 8アプリケーションと実装

注

以下のアプリケーション情報は、TIの製品仕様に含まれるものではなく、TIではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 アプリケーション情報

SN74LVC244A は出力ドライブまたは PCB パターン長が懸念される多くのバス インターフェイス タイプのアプリケーションで使用できる高駆動能力の CMOS デバイスです。入力は、任意の有効な  $V_{CC}$  において 5.5V までの電圧に対応できるため、降圧変換に非常に適しています。

### 8.2 代表的なアプリケーション

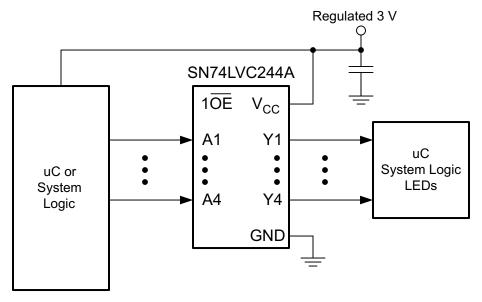


図 8-1. アプリケーション回路図

#### 8.2.1 設計要件

このデバイスは CMOS 技術を採用しており、平衡型出力ドライバを備えています。上限値を超える電流が流れる可能性があるため、バスが競合することを避けてください。また、大きな駆動能力で軽負荷を駆動することでも高速なエッジが生じるため、配線と負荷の条件を検討してリンギングを防止してください。

#### 8.2.2 詳細な設計手順

- 1. 推奨入力条件:
  - 立ち上がり時間と立ち下がり時間の仕様については、*セクション 5.3* の表の Δt/ΔV を参照してください。
  - 規定された High および Low レベルについては、 $\tau$ クション 5.3 の表の  $V_{IL}$  および  $V_{IL}$  を参照してください。
  - 入力は過電圧許容で、 $\int r d^2 y dy dy$  5.3」の表に記載された任意の有効な  $V_{CC}$  において(最大  $V_I$ )に対応できます。
- 2. 推奨最大出力条件:
  - 負荷電流は、出力ごとに Io の最大値を超えないようにする必要があります。また、Vcc または GND を流れる連続電流は、本デバイスの最大総電流の仕様値を超えないようにする必要があります。これらの限界値は、セクション5.1 の表に記載されています。
  - 出力は、 $V_{CC}$ を超えてプルされないようにしてください。

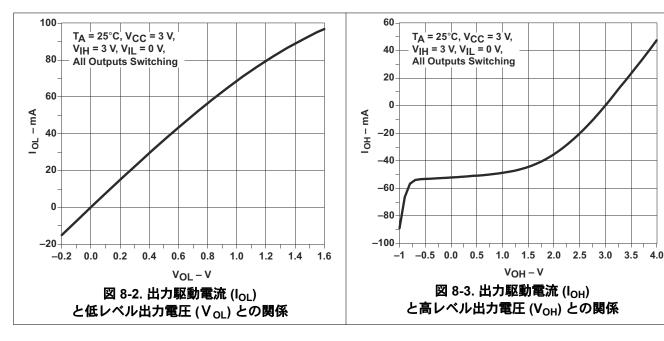
Copyright © 2025 Texas Instruments Incorporated

資料に関するフィードバック(ご意見やお問い合わせ)を送信

13



### 8.2.3 アプリケーション曲線



### 8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各 $V_{CC}$ 端子に適切なバイパスコンデンサを配置する必要があります。このデバイスには $0.1\mu$ Fのコンデンサを推奨します。複数のバイパスコンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、 $0.1\mu$ Fと $1\mu$ Fのコンデンサは並列に使用されます。バイパスコンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

#### 8.4 レイアウト

#### 8.4.1 レイアウトのガイドライン

- バイパスコンデンサの配置
  - デバイスの正電源端子の近くに配置
  - 電気的に短いグランド帰環パスを提供
  - インピーダンスを最小化するため、広いパターンを使用
  - 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
  - 8mil~12mil のトレース幅
  - 伝送ラインの影響を最小化する 12cm 未満の長さ
  - 信号トレースの 90° のコーナーは避ける
  - 信号トレースの下に、途切れのないグランドプレーンを使用
  - 信号トレース周辺の領域をグランドでフラッドフィル
  - 12cm を超えるパターン用
    - インピーダンス制御トレースを使用
    - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
    - 分岐を回避。個別に分岐が必要なバッファ信号

Copyright © 2025 Texas Instruments Incorporated



### 8.4.2 レイアウト例

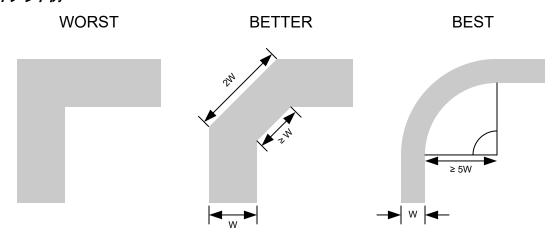


図 8-4. シグナル インテグリティ向上のためのサンプル パターンのコーナー

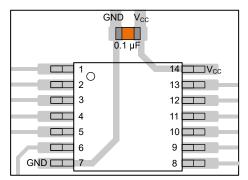


図 8-5. TSSOP や類似のパッケージに対応するバイパ ス コンデンサの配置例

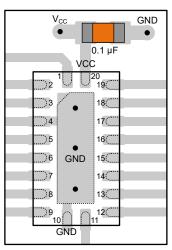


図 8-6. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

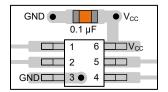


図 8-7. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

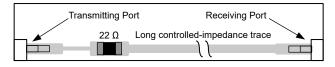


図 8-8. シグナル インテグリティ向上のためのダンピング抵抗の配置例

Copyright © 2025 Texas Instruments Incorporated

資料に関するフィードバック(ご意見やお問い合わせ)を送信

15



# 9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

### 9.1 ドキュメントのサポート

#### 9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『CMOS の消費電力と Cpd の計算』アプリケーション・レポート
- テキサス・インスツルメンツ、『ロジックを使用した設計』アプリケーション・レポート
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション・レポート

# 9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

#### 9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

#### 9.4 商標

テキサス・インスツルメンツ E2E<sup>™</sup> is a trademark of Texas Instruments. すべての商標は、それぞれの所有者に帰属します。

### 9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.6 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

### 10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision AC (October 2020) to Revision AD (March 2025)	Page
• RKS (VQFN、20) パッケージ オプションを追加。	1
Changes from Revision AB (November 2016) to Revision AC (October 2020)	Page
<ul><li>ドキュメント全体にわたって表。図、相互参昭の採番方法を更新。</li></ul>	1

資料に関するフィードバック(ご意見やお問い合わせ)を送信

Copyright © 2025 Texas Instruments Incorporated



# 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

17

Product Folder Links: SN74LVC244A

### 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265 Copyright © 2025, Texas Instruments Incorporated www.ti.com

17-Jun-2025

## **PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material	MSL rating/ Peak reflow	Op temp (°C)	Part marking (6)
PSN74LVC244ARKSR	Active	Preproduction	VQFN (RKS)   20	3000   LARGE T&R	_	Call TI	Call TI	-40 to 125	
PSN74LVC244ARKSR.A	Active	Preproduction	VQFN (RKS)   20	3000   LARGE T&R	-	Call TI			
SN74LVC244ADBR	Active	Production	SSOP (DB)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244ADBR.A	Active	Production	SSOP (DB)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244ADBR.B	Active	Production	SSOP (DB)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244ADBRE4	Active	Production	SSOP (DB)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244ADBRG4	Active	Production	SSOP (DB)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244ADGVR	Active	Production	TVSOP (DGV)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244ADGVR.B	Active	Production	TVSOP (DGV)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244ADGVRG4	Active	Production	TVSOP (DGV)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244ADGVRG4.B	Active	Production	TVSOP (DGV)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244ADW	Active	Production	SOIC (DW)   20	25   TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244A
SN74LVC244ADW.B	Active	Production	SOIC (DW)   20	25   TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244A
SN74LVC244ADWE4	Active	Production	SOIC (DW)   20	25   TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244A
SN74LVC244ADWG4	Active	Production	SOIC (DW)   20	25   TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244A
SN74LVC244ADWR	Active	Production	SOIC (DW)   20	2000   LARGE T&R	Yes	NIPDAU   SN	Level-1-260C-UNLIM	-40 to 125	LVC244A
SN74LVC244ADWR.A	Active	Production	SOIC (DW)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244A
SN74LVC244ADWR.B	Active	Production	SOIC (DW)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244A
SN74LVC244ADWRG4	Active	Production	SOIC (DW)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244A
SN74LVC244ADWRG4.A	Active	Production	SOIC (DW)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244A
SN74LVC244ADWRG4.B	Active	Production	SOIC (DW)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244A
SN74LVC244AN	Active	Production	PDIP (N)   20	20   TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	SN74LVC244AN
SN74LVC244AN.B	Active	Production	PDIP (N)   20	20   TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	SN74LVC244AN
SN74LVC244ANSR	Active	Production	SOP (NS)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244A
SN74LVC244ANSR.A	Active	Production	SOP (NS)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244A
SN74LVC244ANSR.B	Active	Production	SOP (NS)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244A
SN74LVC244ANSRG4	Active	Production	SOP (NS)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244A
SN74LVC244ANSRG4.A	Active	Production	SOP (NS)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244A
SN74LVC244ANSRG4.B	Active	Production	SOP (NS)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244A





17-Jun-2025 www.ti.com

Orderable part number	Status	Material type	Package   Pins	Package qty   Carrier	<b>RoHS</b> (3)	Lead finish/ Ball material	MSL rating/ Peak reflow	Op temp (°C)	Part marking (6)
SN74LVC244APW	Active	Production	TSSOP (PW)   20	70   TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APW.B	Active	Production	TSSOP (PW)   20	70   TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWE4	Active	Production	TSSOP (PW)   20	70   TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWG4	Active	Production	TSSOP (PW)   20	70   TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWR	Active	Production	TSSOP (PW)   20	2000   LARGE T&R	Yes	NIPDAU   SN	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWR.A	Active	Production	TSSOP (PW)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWR.B	Active	Production	TSSOP (PW)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWRE4	Active	Production	TSSOP (PW)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWRG3	Active	Production	TSSOP (PW)   20	2000   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWRG3.A	Active	Production	TSSOP (PW)   20	2000   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWRG3.B	Active	Production	TSSOP (PW)   20	2000   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWRG4	Active	Production	TSSOP (PW)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWRG4.A	Active	Production	TSSOP (PW)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWRG4.B	Active	Production	TSSOP (PW)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWT	Active	Production	TSSOP (PW)   20	250   SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWT.B	Active	Production	TSSOP (PW)   20	250   SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWTE4	Active	Production	TSSOP (PW)   20	250   SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244APWTG4	Active	Production	TSSOP (PW)   20	250   SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244ARGYR	Active	Production	VQFN (RGY)   20	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LC244A
SN74LVC244ARGYR.A	Active	Production	VQFN (RGY)   20	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LC244A
SN74LVC244ARGYR.B	Active	Production	VQFN (RGY)   20	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LC244A
SN74LVC244ARGYRG4	Active	Production	VQFN (RGY)   20	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LC244A
SN74LVC244ARWPR	Active	Production	X1QFN (RWP)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244ARWPR.A	Active	Production	X1QFN (RWP)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244ARWPR.B	Active	Production	X1QFN (RWP)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244ARWPRG4.A	Active	Production	X1QFN (RWP)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A
SN74LVC244ARWPRG4.B	Active	Production	X1QFN (RWP)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC244A

<sup>(1)</sup> Status: For more details on status, see our product life cycle.

# PACKAGE OPTION ADDENDUM

www.ti.com 17-Jun-2025

(2) Material type: When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

- (3) RoHS values: Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.
- (4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

#### OTHER QUALIFIED VERSIONS OF SN74LVC244A:

Automotive: SN74LVC244A-Q1

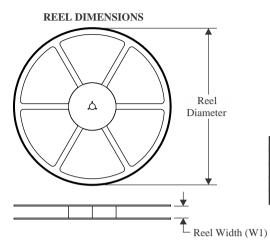
NOTE: Qualified Version Definitions:

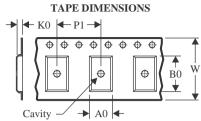
Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects



www.ti.com 24-Jul-2025

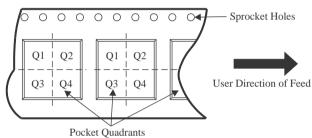
### TAPE AND REEL INFORMATION





A0	Dimension designed to accommodate the component width
В0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

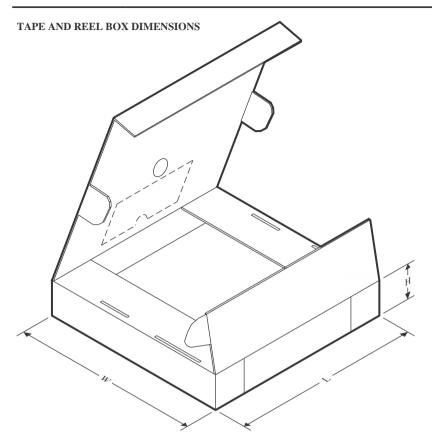


#### \*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC244ADBR	SSOP	DB	20	2000	330.0	16.4	8.2	7.5	2.5	12.0	16.0	Q1
SN74LVC244ADGVR	TVSOP	DGV	20	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LVC244ADGVRG4	TVSOP	DGV	20	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LVC244ADWR	SOIC	DW	20	2000	330.0	24.4	10.9	13.3	2.7	12.0	24.0	Q1
SN74LVC244ADWRG4	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
SN74LVC244ANSR	SOP	NS	20	2000	330.0	24.4	8.4	13.0	2.5	12.0	24.0	Q1
SN74LVC244ANSRG4	SOP	NS	20	2000	330.0	24.4	8.4	13.0	2.5	12.0	24.0	Q1
SN74LVC244APWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74LVC244APWRG3	TSSOP	PW	20	2000	330.0	16.4	6.95	7.1	1.6	8.0	16.0	Q1
SN74LVC244APWRG4	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74LVC244APWT	TSSOP	PW	20	250	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74LVC244ARGYR	VQFN	RGY	20	3000	330.0	12.4	3.71	4.71	1.1	8.0	12.0	Q1
SN74LVC244ARWPR	X1QFN	RWP	20	2000	178.0	13.5	2.85	3.65	0.75	8.0	12.0	Q1



www.ti.com 24-Jul-2025



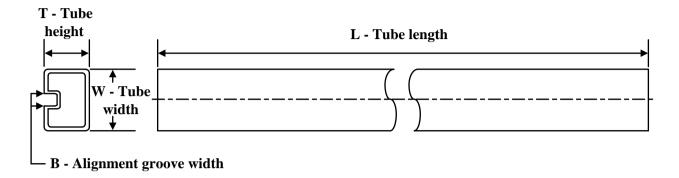
\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVC244ADBR	SSOP	DB	20	2000	353.0	353.0	32.0
SN74LVC244ADGVR	TVSOP	DGV	20	2000	353.0	353.0	32.0
SN74LVC244ADGVRG4	TVSOP	DGV	20	2000	353.0	353.0	32.0
SN74LVC244ADWR	SOIC	DW	20	2000	356.0	356.0	45.0
SN74LVC244ADWRG4	SOIC	DW	20	2000	356.0	356.0	45.0
SN74LVC244ANSR	SOP	NS	20	2000	356.0	356.0	45.0
SN74LVC244ANSRG4	SOP	NS	20	2000	356.0	356.0	45.0
SN74LVC244APWR	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74LVC244APWRG3	TSSOP	PW	20	2000	364.0	364.0	27.0
SN74LVC244APWRG4	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74LVC244APWT	TSSOP	PW	20	250	353.0	353.0	32.0
SN74LVC244ARGYR	VQFN	RGY	20	3000	353.0	353.0	32.0
SN74LVC244ARWPR	X1QFN	RWP	20	2000	189.0	185.0	36.0

# **PACKAGE MATERIALS INFORMATION**

www.ti.com 24-Jul-2025

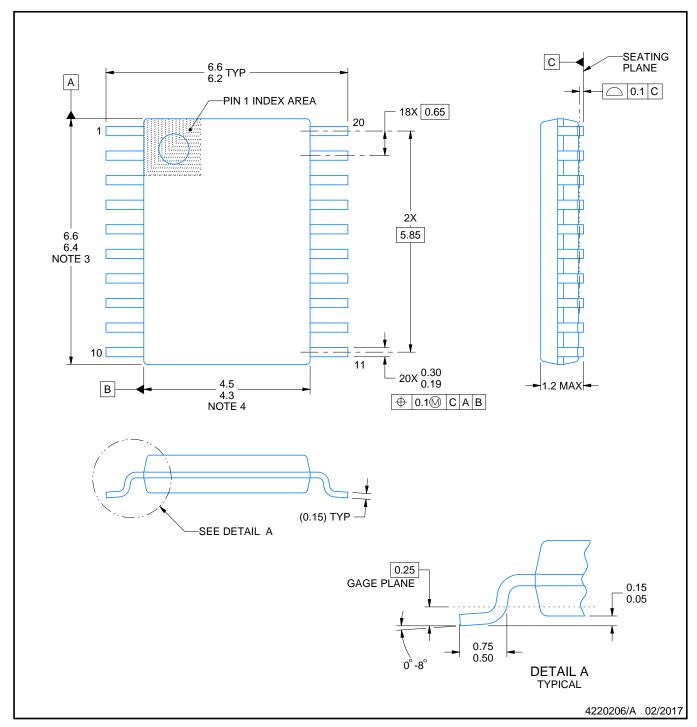
### **TUBE**



\*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
SN74LVC244ADW	DW	SOIC	20	25	507	12.83	5080	6.6
SN74LVC244ADW.B	DW	SOIC	20	25	507	12.83	5080	6.6
SN74LVC244ADWE4	DW	SOIC	20	25	507	12.83	5080	6.6
SN74LVC244ADWG4	DW	SOIC	20	25	507	12.83	5080	6.6
SN74LVC244AN	N	PDIP	20	20	506	13.97	11230	4.32
SN74LVC244AN.B	N	PDIP	20	20	506	13.97	11230	4.32
SN74LVC244APW	PW	TSSOP	20	70	530	10.2	3600	3.5
SN74LVC244APW.B	PW	TSSOP	20	70	530	10.2	3600	3.5
SN74LVC244APWE4	PW	TSSOP	20	70	530	10.2	3600	3.5
SN74LVC244APWG4	PW	TSSOP	20	70	530	10.2	3600	3.5





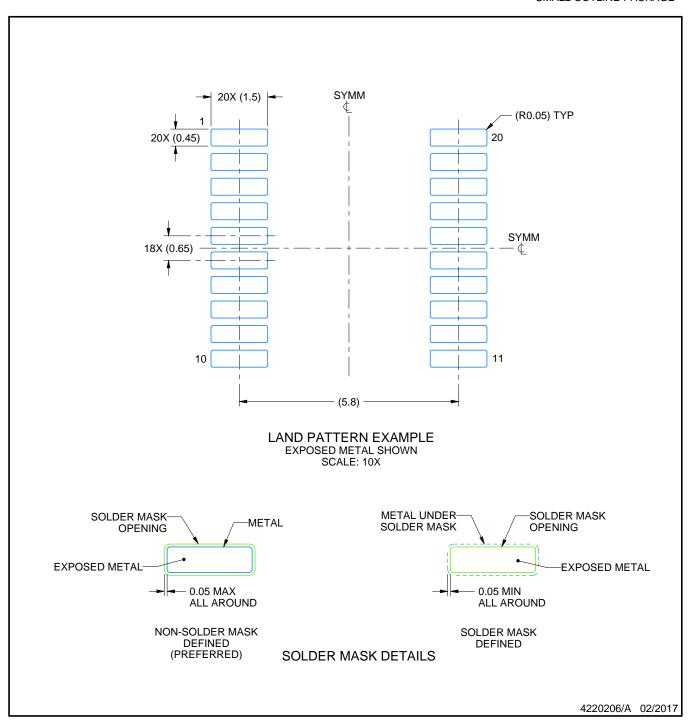
#### NOTES:

- 1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.

  2. This drawing is subject to change without notice.

  3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not
- exceed 0.15 mm per side.
- 4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
- 5. Reference JEDEC registration MO-153.



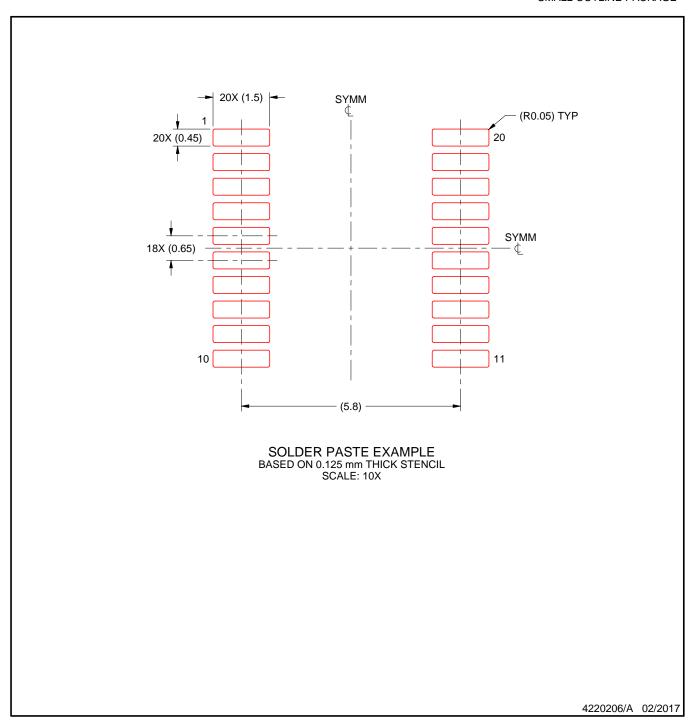


NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



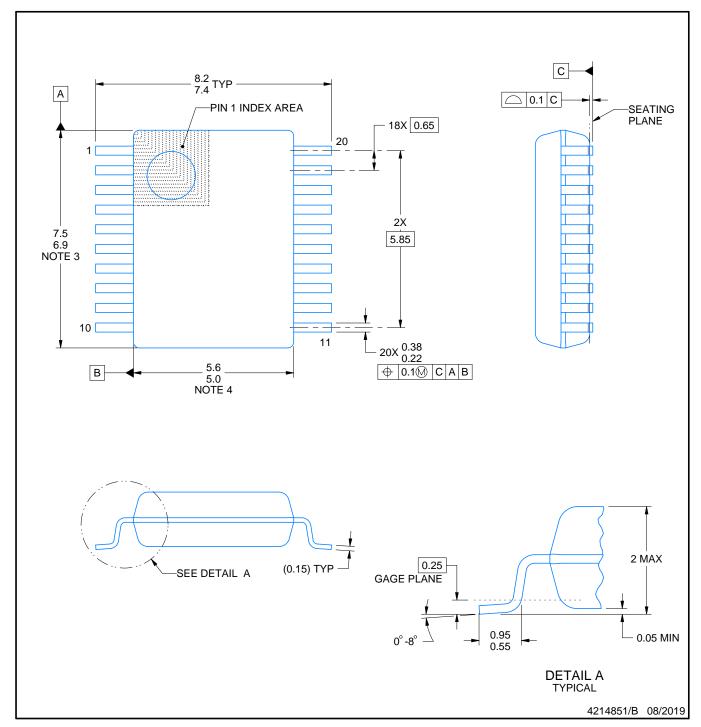


NOTES: (continued)

- 8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 9. Board assembly site may have different recommendations for stencil design.







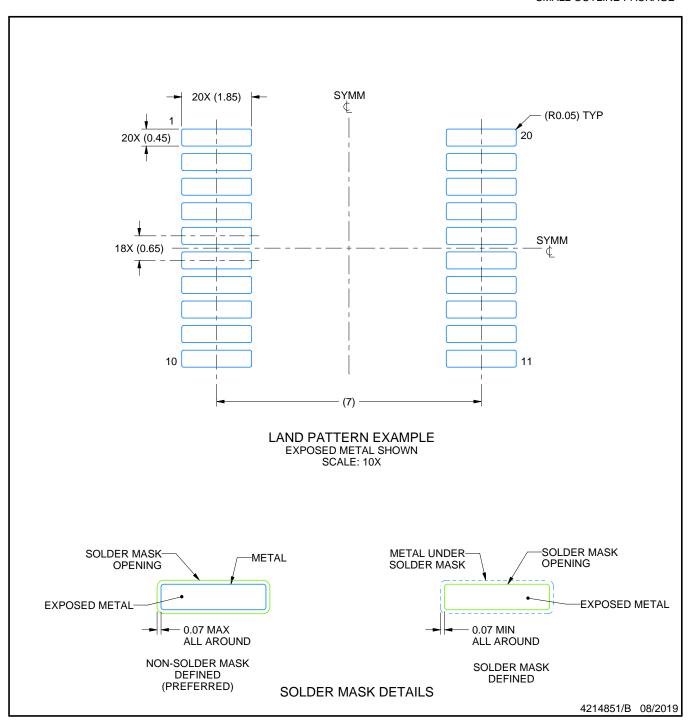
#### NOTES:

- 1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.

  2. This drawing is subject to change without notice.

  3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not
- exceed 0.15 mm per side.
- 4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
- 5. Reference JEDEC registration MO-150.



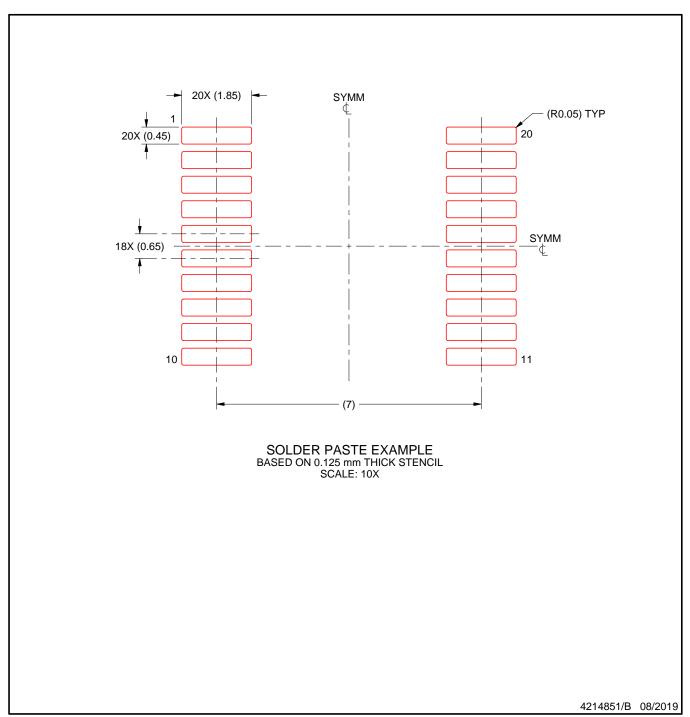


NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.





NOTES: (continued)

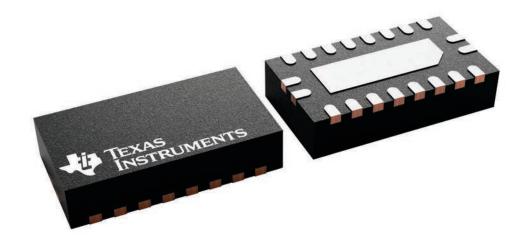
- 8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 9. Board assembly site may have different recommendations for stencil design.



2.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary. Refer to the product data sheet for package details.



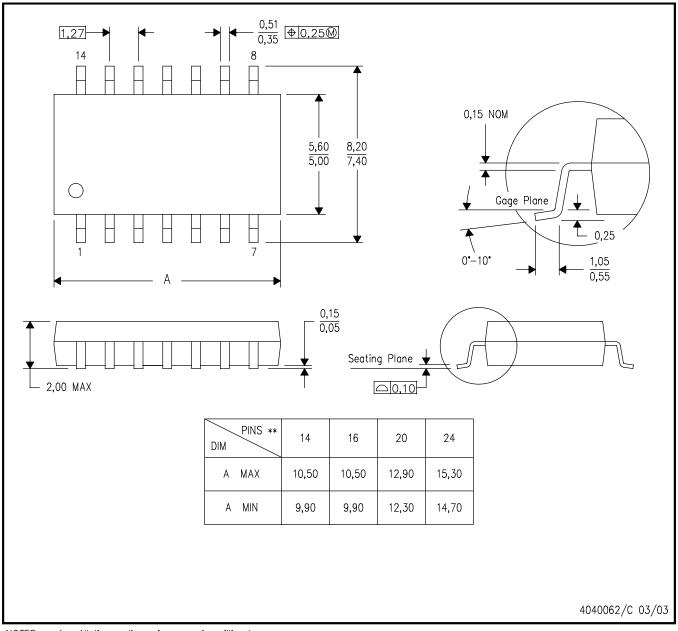
INSTRUMENTS www.ti.com

## **MECHANICAL DATA**

# NS (R-PDSO-G\*\*)

# 14-PINS SHOWN

### PLASTIC SMALL-OUTLINE PACKAGE



NOTES:

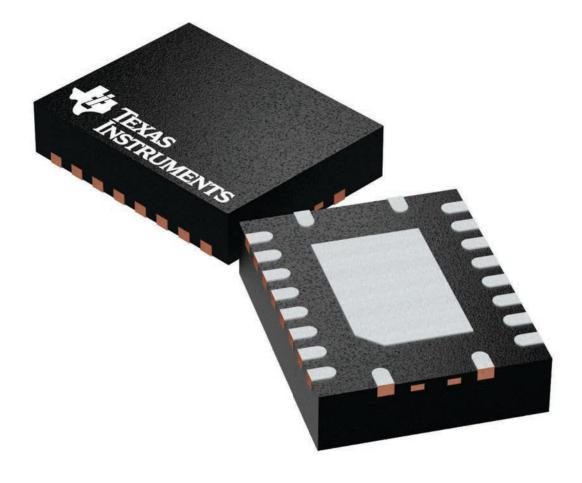
- A. All linear dimensions are in millimeters.
- B. This drawing is subject to change without notice.
- C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.



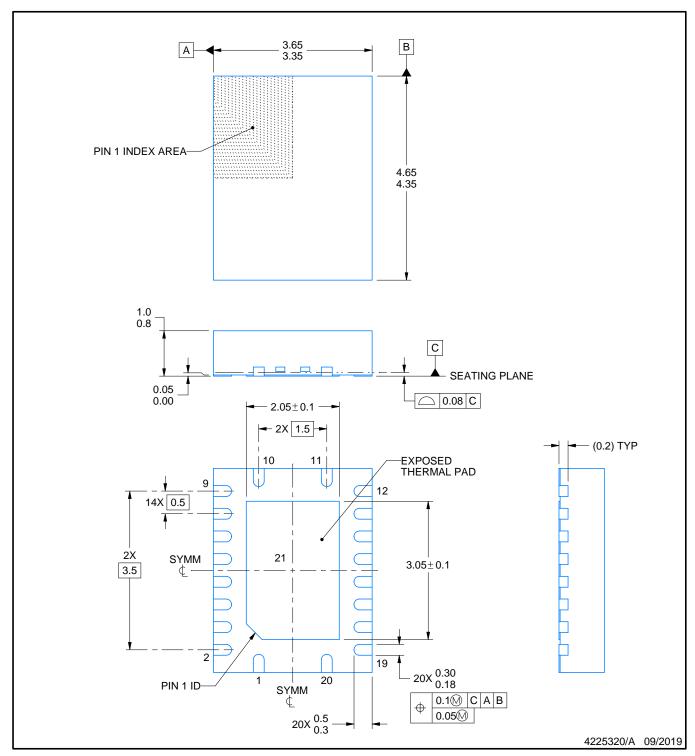
3.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FGLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary. Refer to the product data sheet for package details.



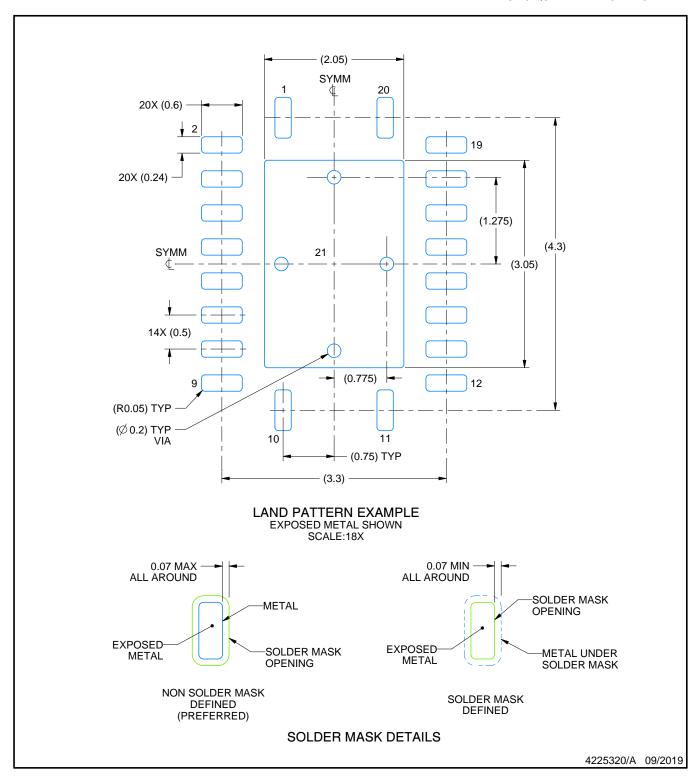




#### NOTES:

- 1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
  2. This drawing is subject to change without notice.
- 3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

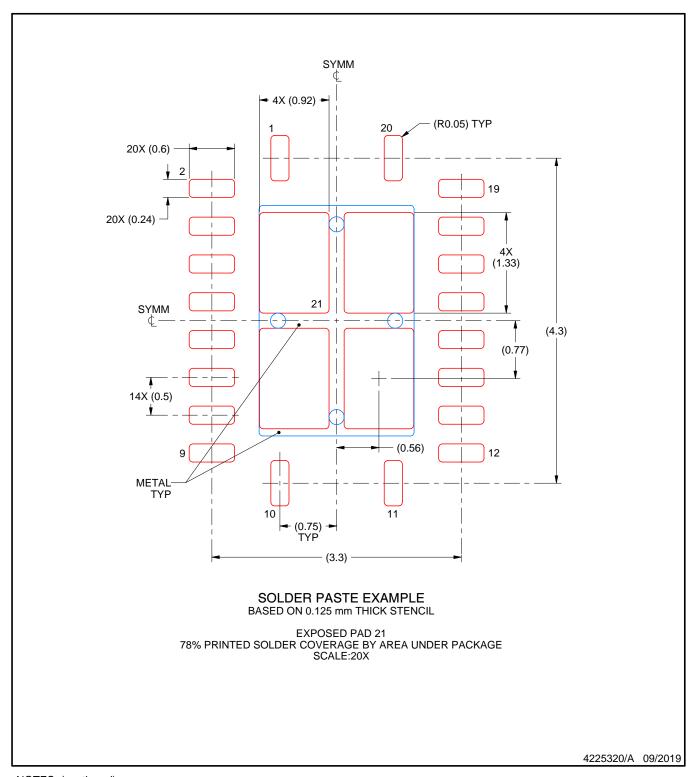




NOTES: (continued)

- 4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



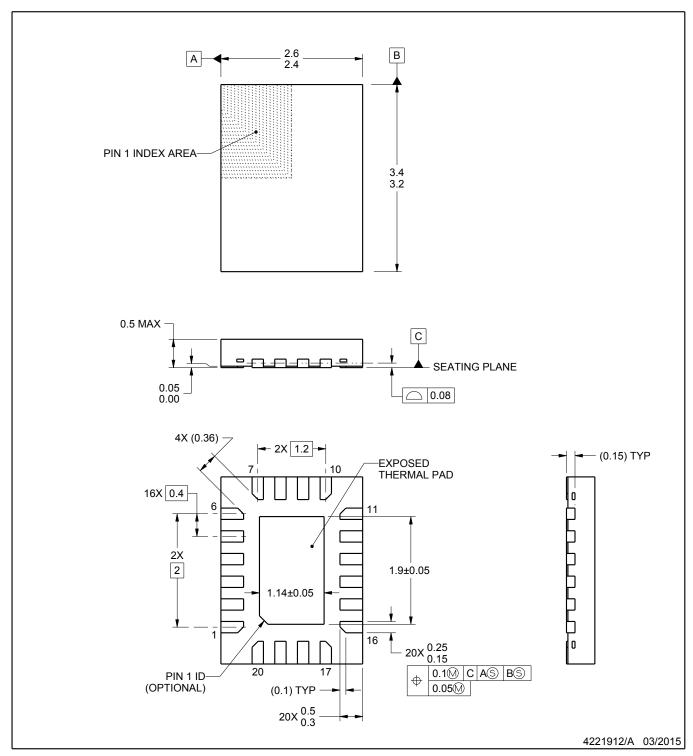


NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



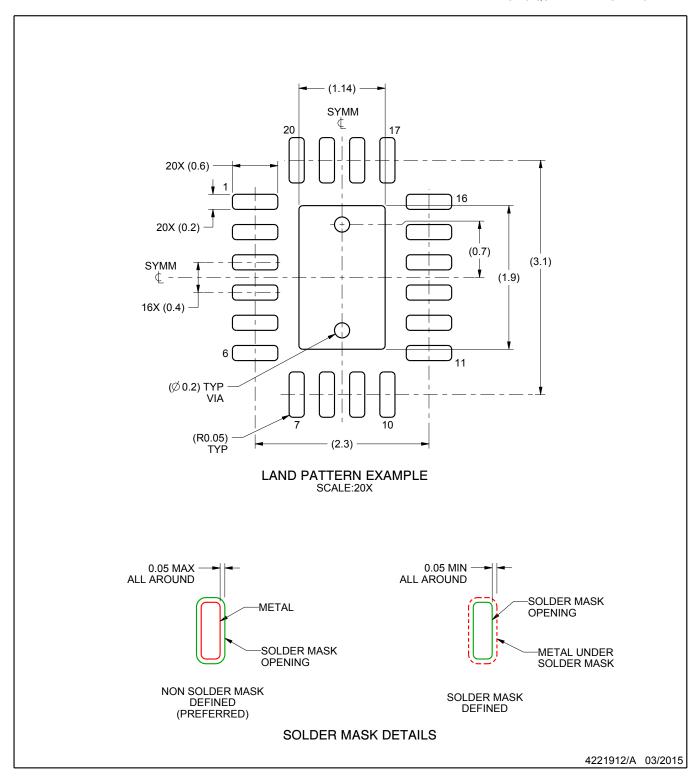




#### NOTES:

- 1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
  2. This drawing is subject to change without notice.
- 3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

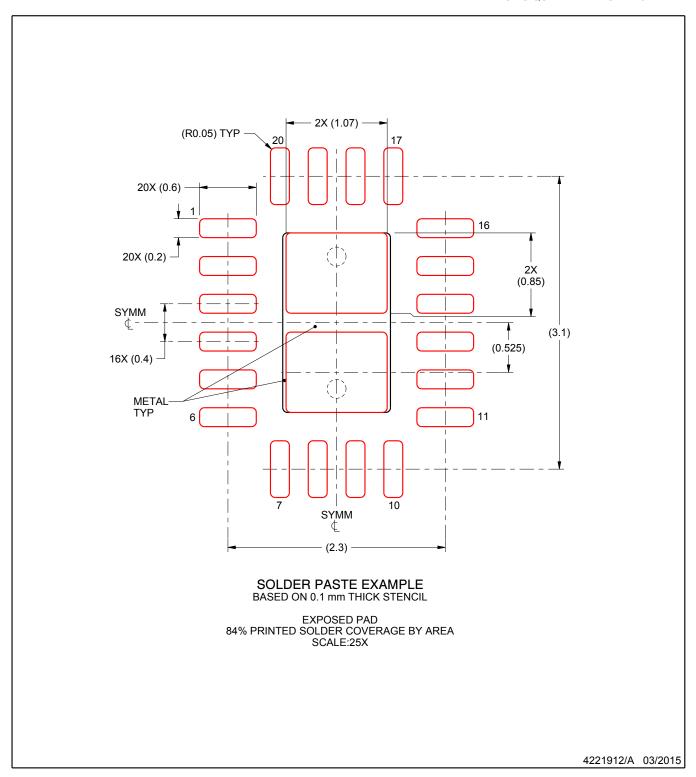




NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).





NOTES: (continued)

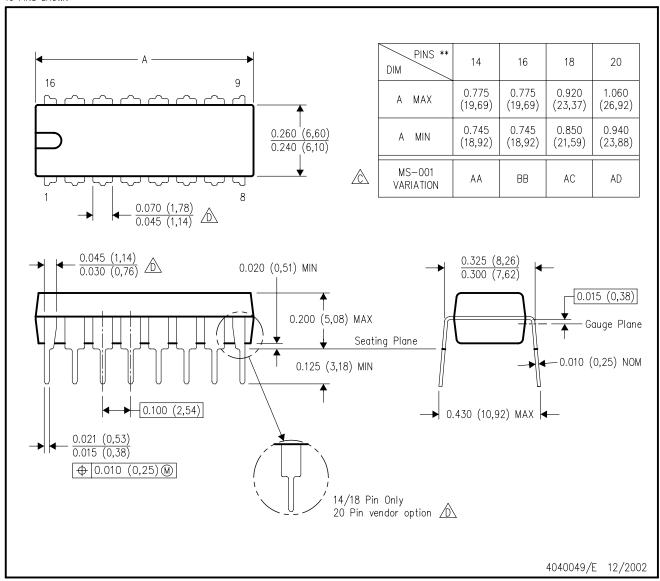
5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



# N (R-PDIP-T\*\*)

# PLASTIC DUAL-IN-LINE PACKAGE

16 PINS SHOWN



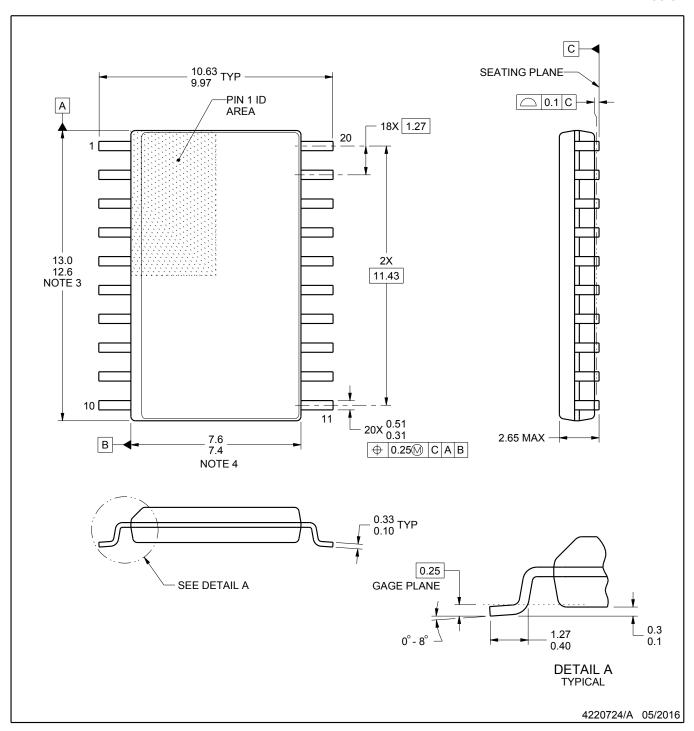
NOTES:

- A. All linear dimensions are in inches (millimeters).
- B. This drawing is subject to change without notice.
- Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
- The 20 pin end lead shoulder width is a vendor option, either half or full width.





SOIC



#### NOTES:

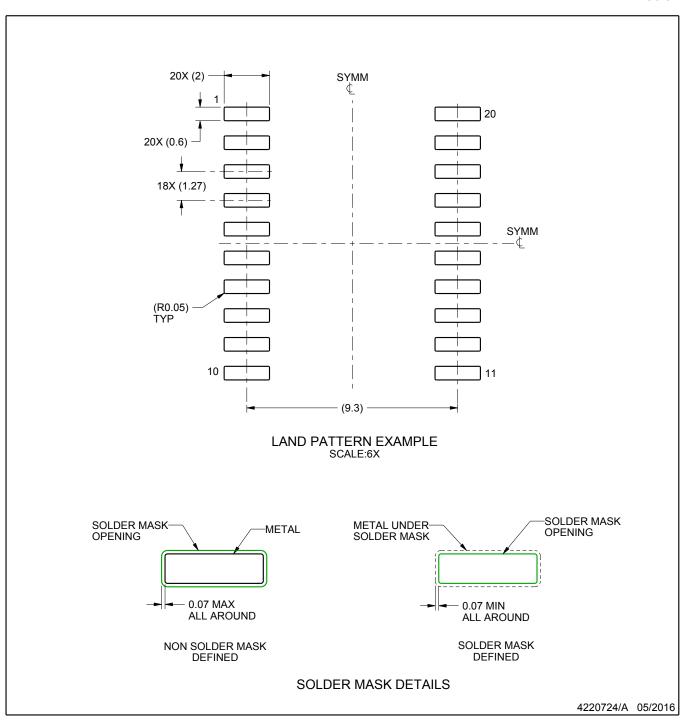
- 1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.

  2. This drawing is subject to change without notice.

  3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not
- exceed 0.15 mm per side.
- 4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
- 5. Reference JEDEC registration MS-013.



SOIC



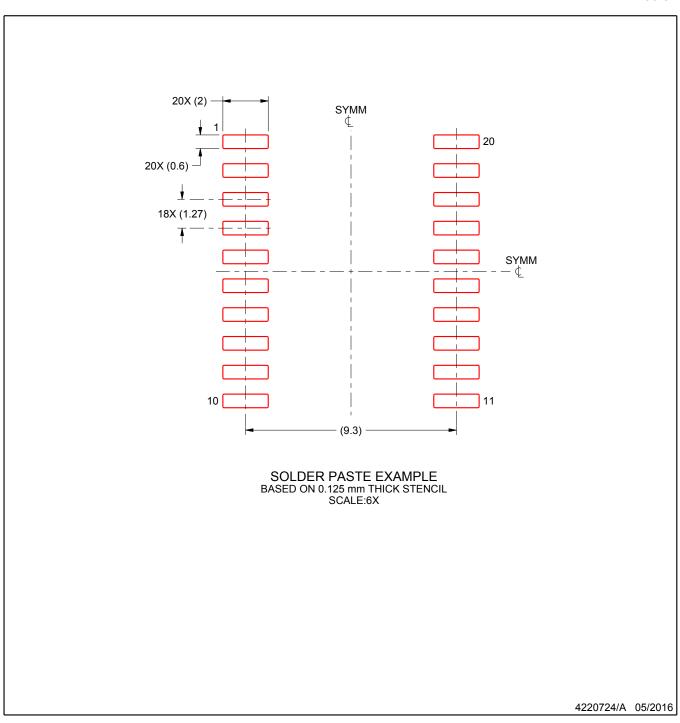
NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOIC



NOTES: (continued)

- 8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 9. Board assembly site may have different recommendations for stencil design.



### 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、 テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス・インスツルメンツがこれらのリソ 一スを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265 Copyright © 2025, Texas Instruments Incorporated