

SN74LVC112A、クリアとプリセット搭載、デュアル、ネガティブエッジトリガ J-K フリップフロップ

1 特長

- 1.65V~3.6V で動作
- 5.5V までの入力電圧に対応
- 最大 t_{pd} 4.8ns (3.3V 時)
- 標準 V_{OLP} (出力グランド バウンス) $< 0.8V$ ($V_{CC} = 3.3V, T_A = 25^\circ C$)
- V_{OHV} (代表値) (出力 V_{OH} アンダーシュート) $> 2V$ ($V_{CC} = 3.3V, T_A = 25^\circ C$)
- JESD 17 準拠で 250mA 超のラッチアップ性能

2 アプリケーション

- サーバー
- PC
- ノートブック PC
- ネットワーク スイッチ
- 玩具
- I/O エクスパンダ
- 電子 POS

3 説明

このデュアル ネガティブ エッジ トリガ J-K フリップ フロップは、1.65V~3.6V の V_{CC} で動作するように設計されています。

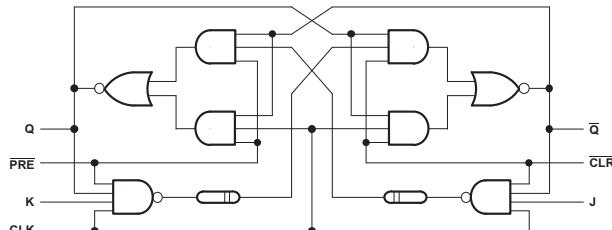
パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾	本体サイズ ⁽³⁾
SN74LVC112A	DB (SSOP, 16)	6.20mm × 7.8mm	6.20mm × 5.30mm
	PW (TSSOP, 16)	5.00mm × 6.4mm	5.00mm × 4.40mm
	DGV (TSSOP, 16)	3.6mm × 6.4mm	3.60 mm × 4.40mm
	NS (SOP, 16)	10.2mm × 7.8mm	10.20 mm × 5.30mm
	D (SOIC, 16)	9.90mm × 6mm	9.90mm × 3.90mm

(1) 詳細については、[セクション 11](#) を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。

(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



概略回路図



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあります。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

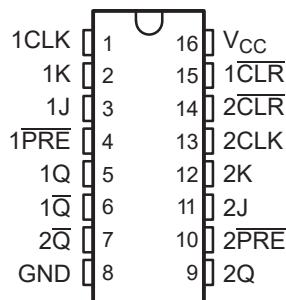
English Data Sheet: [SCAS289](#)

目次

1 特長	1	7.1 概要	10
2 アプリケーション	1	7.2 機能ブロック図	10
3 説明	1	7.3 機能説明	10
4 ピン構成および機能	3	7.4 デバイスの機能モード	10
5 仕様	4	8 アプリケーションと実装	11
5.1 絶対最大定格	4	8.1 アプリケーション情報	11
5.2 ESD 定格	4	8.2 代表的なアプリケーション	11
5.3 推奨動作条件	5	8.3 電源に関する推奨事項	12
5.4 熱に関する情報	5	8.4 レイアウト	12
5.5 電気的特性	6	9 デバイスおよびドキュメントのサポート	13
5.6 タイミング要件、 $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$	6	9.1 ドキュメントの更新通知を受け取る方法	13
5.7 タイミング要件、 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$	6	9.2 サポート・リソース	13
5.8 スイッチング特性、 $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$	8	9.3 商標	13
5.9 スイッチング特性、 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$	8	9.4 静電気放電に関する注意事項	13
5.10 動作特性	8	9.5 用語集	13
5.11 代表的特性	8	10 改訂履歴	13
6 パラメータ測定情報	9	11 メカニカル、パッケージ、および注文情報	14
7 詳細説明	10		

4 ピン構成および機能

D, DB, DGV, NS, OR PW PACKAGE
(TOP VIEW)



Pin Functions

表 4-1. ピンの機能

ピン		タイプ	説明
番号	名称		
1	1CLK	I	1 クロック
2	1K	I	1K 入力
3	1J	I	1J 入力
4	1PRE	I	1 プリセット
5	1Q	O	1Q 出力電源オン時に Low にプルすると、1Q が High、1Q-bar が Low に設定されます。
6	1Q-bar	O	1Q-bar 出力
7	2Q	O	2Q 出力
8	GND	—	グランド ピン
9	2Q-bar	O	2Q-bar 出力
10	2PRE	I	2 プリセット
11	2J	I	2J 入力。電源オン時に Low にプルすると、2Q が High、2Q-bar が Low に設定されます。
12	2K	I	2K 入力
13	2CLK	I	2 クロック
14	2CLR-bar	I	2クリア
15	1CLR	I	1クリア。電源オン時に Low にプルすると、2Q が Low、2Q-bar が High に設定されます。
16	V _{CC}	—	パワーピン。電源オン時に Low にプルすると、1Q が Low、1Q-bar が High に設定されます。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V_{CC}	電源電圧	-0.5	6.5	V
V_I	入力電圧 ⁽²⁾	-0.5	6.5	V
V_O	出力電圧 ^{(2) (3)}	-0.5	$V_{CC} + 0.5$	V
I_{IK}	入力クランプ電流 $V_I < 0$		-50	mA
I_{OK}	出力クランプ電流 $V_O < 0$		-50	mA
I_O	連続出力電流		± 50	mA
	V_{CC} または GND を通過する連続電流		± 100	mA
T_{stg}	保存温度		150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス評価であり、データシートの「[推奨動作条件](#)」に示された値と等しい、またはそれを超える条件で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 入力電流と出力電流の定格を遵守していても、入力と出力の負電圧の定格を超える可能性があります。
- (3) V_{CC} の値は、「[推奨動作条件](#)」の表に記載されています。

5.2 ESD 定格

		値	単位
$V_{(ESD)}$	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	± 2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン ⁽²⁾	± 1000	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

			最小値	最大値	単位
V_{CC}	電源電圧	動作	1.65	3.6	V
		データ保持のみ	1.5		
V_{IH}	High レベル入力電圧	$V_{CC} = 1.65V \sim 1.95V$	$0.65 \times V_{CC}$		V
		$V_{CC} = 2.3V \sim 2.7V$	1.7		
		$V_{CC} = 2.7V \sim 3.6V$	2		
V_{IL}	Low レベル入力電圧	$V_{CC} = 1.65V \sim 1.95V$	$0.35 \times V_{CC}$		V
		$V_{CC} = 2.3V \sim 2.7V$	0.7		
		$V_{CC} = 2.7V \sim 3.6V$	0.8		
V_I	入力電圧		0	5.5	V
V_O	出力電圧		0	V_{CC}	V
I_{OH}	High レベル出力電流	$V_{CC} = 1.65V$	-4		mA
		$V_{CC} = 2.3V$	-8		
		$V_{CC} = 2.7V$	-12		
		$V_{CC} = 3V$	-24		
I_{OL}	Low レベル出力電流	$V_{CC} = 1.65V$	4		mA
		$V_{CC} = 2.3V$	8		
		$V_{CC} = 2.7V$	12		
		$V_{CC} = 3V$	24		
$\Delta t/\Delta v$	入力遷移の立ち上がりまたは立ち下がりレート			10	ns/V
T_A	自由空気での動作温度		-40	125	°C

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、VCC または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーションレポート『遅延またはフローティング CMOS 入力の影響』(SCBA004) を参照してください。

5.4 热に関する情報

熱評価基準 ⁽¹⁾	SN74LVC112A					単位	
	D (SOIC)	DB (SSOP)	DGV (TSSOP)	NS (SOP)	PW (TSSOP)		
	16 ピン	16 ピン	16 ピン	16 ピン	16 ピン		
$R_{\theta JA}$	接合部から周囲への熱抵抗	118.1	122.5	129.0	117.5	141.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	81.6	75.2	52.1	76	51.4	
$R_{\theta JB}$	接合部から基板への熱抵抗	80	85.5	62.0	84.2	64.4	
Ψ_{JT}	接合部から上面への特性パラメータ	36.3	30.5	6.5	34.2	6.7	
Ψ_{JB}	接合部から基板への特性パラメータ	79.2	84.1	61.3	83.1	63.8	
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	該当なし	該当なし	

(1) 従来および新しい熱評価基準の詳細については、『IC パッケージの熱評価基準』アプリケーションレポート、SPRA953 を参照してください。

5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V _{CC}	T _A = 25°C		-40°C ~ +85°C		-40°C ~ +125°C		単位
			最小値	標準値 ⁽¹⁾	最大値	最小値	最大値	最小値	
V _{OH}	I _{OH} = -100μA	1.65 V ~ 3.6 V	V _{CC} - 0.2			V _{CC} - 0.2		V _{CC} - 0.2	V
	I _{OH} = -4mA	1.65V	1.2			1.2		1.2	
	I _{OH} = -8mA	2.3V	1.7			1.7		1.7	
	I _{OH} = -12mA	2.7V	2.2			2.2		2.2	
		3V	2.4			2.4		2.4	
	I _{OH} = -24mA	3V	2.2			2.2		2.2	
V _{OL}	I _{OL} = 100μA	1.65 V ~ 3.6 V		0.2		0.2		0.2	V
	I _{OL} = 4mA	1.65V		0.45		0.45		0.45	
	I _{OL} = 8mA	2.3V		0.7		0.7		0.7	
	I _{OL} = 12mA	2.7V		0.4		0.4		0.4	
	I _{OL} = 24mA	3V		0.55		0.55		0.55	
I _I	V _I = 5.5 V または GND	3.6V		±5		±5		±5	μA
I _{CC}	V _I = V _{CC} または GND、 I _O = 0	3.6V		10		10		10	μA
ΔI _{CC}	1 つの入力は V _{CC} - 0.6V、 その他の入力は V _{CC} または GND	2.7 V ~ 3.6 V		500		500		500	μA
C _i	V _I = V _{CC} または GND	3.3V		4.5					pF

(1) 代表値はすべて、V_{CC} = 3.3V、T_A = 25°Cにおける値です。

5.6 タイミング要件、-40°C ~ +85°C

自由空気での推奨動作温度範囲内 (特に記述のない限り) (図 6-1 を参照)

		V _{CC} = 1.8V ±0.15V	V _{CC} = 2.5V ±0.2V	V _{CC} = 2.7V	V _{CC} = 3.3V ±0.3V	単位	
		最小値	最大値	最小値	最大値		
f _{clock}	クロック周波数	120	150	150	150	MHz	
t _w	パルス幅、CLK High または Low	4.2	3.3	3.3	3.3	ns	
t _{su}	セットアップ時間	CLK ↓ 前のデータ	5.8	3.2	3.1	2.3	ns
		PRE または CLR が非アクティブ	5	2.8	2.4	1.1	
t _h	ホールド時間、CLK ↓ 後のデータ	6.2	4.4	2.5	0.7	ns	

5.7 タイミング要件、-40°C ~ +125°C

自由空気での推奨動作温度範囲内 (特に記述のない限り) (図 6-1 を参照)

		V _{CC} = 1.8V ±0.15V	V _{CC} = 2.5V ±0.2V	V _{CC} = 2.7V	V _{CC} = 3.3V ±0.3V	単位
		最小値	最大値	最小値	最大値	
f _{clock}	クロック周波数	120	150	150	150	MHz
t _w	パルス幅、CLK High または Low	4.1	3.3	3.3	3.3	ns

自由空気での推奨動作温度範囲内 (特に記述のない限り) (図 6-1 を参照)

		$V_{CC} = 1.8V \pm 0.15V$	$V_{CC} = 2.5V \pm 0.2V$		$V_{CC} = 2.7V$		$V_{CC} = 3.3V \pm 0.3V$		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
t_{su}	セットアップ時間	CLK ↓ 前のデータ	6	3.2	3.1	2.3			ns
		PRE または CLR が非アクティブ	5	2.8	2.4	1.1			
t_h	ホールド時間、CLK ↓ 後のデータ		6.2	4.7	2.5	0.7			ns

5.8 スイッチング特性、-40°C～+85°C

自由空気での推奨動作温度範囲内 (特に記述のない限り) (図 6-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	$V_{CC} = 1.8V \pm 0.15V$	$V_{CC} = 2.5V \pm 0.2V$	$V_{CC} = 2.7V$	$V_{CC} = 3.3V \pm 0.3V$	単位
			最小値	最大値	最小値	最大値	
f_{max}			150	150	150	150	MHz
t_{pd}	CLR または PRE	Q または \bar{Q}	6.7	4.3	5.5	1 3.4 4.8	ns
	CLK		6.8	4.5	7.1	1 3.5 5.9	

5.9 スイッチング特性、-40°C～+125°C

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	$V_{CC} = 1.8V \pm 0.15V$	$V_{CC} = 2.5V \pm 0.2V$	$V_{CC} = 2.7V$	$V_{CC} = 3.3V \pm 0.3V$	単位
			最小値	最大値	最小値	最大値	
f_{max}			120	150	150	150	MHz
t_{pd}	CLR または PRE	Q または \bar{Q}	7.0	4.5	6	1 3.4 5.3	ns
	CLK		6.9	4.6	7.6	1 3.5 6.4	

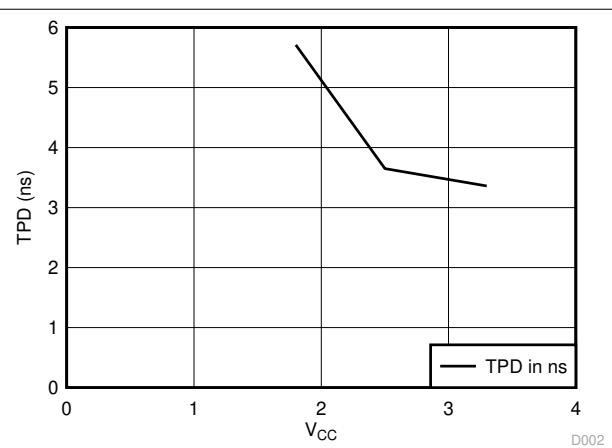
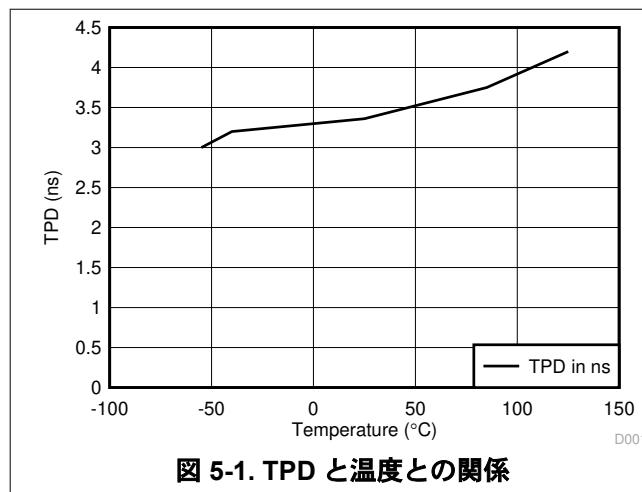
5.10 動作特性

$T_A = 25^\circ C$

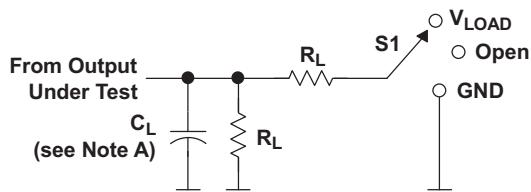
パラメータ	テスト条件	$V_{CC} = 1.8V$	$V_{CC} = 2.5V$	$V_{CC} = 3.3V$	単位
		標準値	標準値	標準値	
C_{pd} 電力散逸容量	$f = 10MHz$	(1) を参照	(1) を参照	24	pF

(1) この情報は、発行時点では入手できませんでした。

5.11 代表的特性



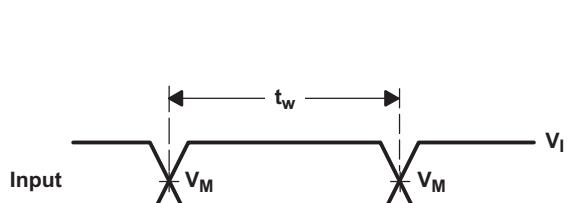
6 パラメータ測定情報



TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{LOAD}
t_{PHZ}/t_{PZH}	GND

LOAD CIRCUIT

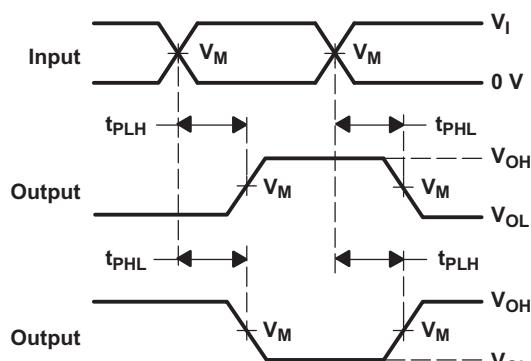
V_{CC}	INPUTS		V_M	V_{LOAD}	C_L	R_L	V_Δ
	V_I	t_r/t_f					
$1.8 \text{ V} \pm 0.15 \text{ V}$	V_{CC}	$\leq 2 \text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	30 pF	1 k Ω	0.15 V
$2.5 \text{ V} \pm 0.2 \text{ V}$	V_{CC}	$\leq 2 \text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	30 pF	500 Ω	0.15 V
2.7 V	2.7 V	$\leq 2.5 \text{ ns}$	1.5 V	6 V	50 pF	500 Ω	0.3 V
$3.3 \text{ V} \pm 0.3 \text{ V}$	2.7 V	$\leq 2.5 \text{ ns}$	1.5 V	6 V	50 pF	500 Ω	0.3 V



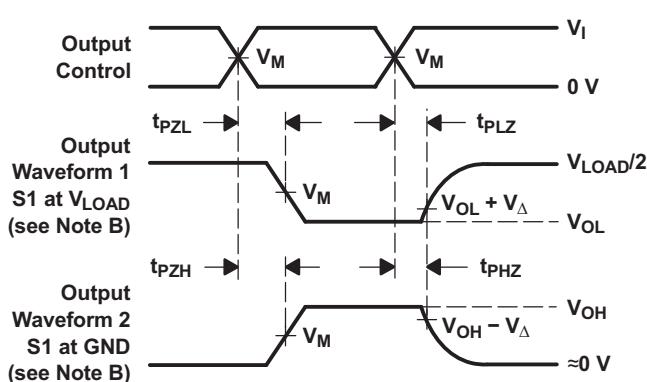
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

- NOTES: A. C_L includes probe and jig capacitance.
 B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
 C. All input pulses are supplied by generators having the following characteristics: PRR $\leq 10 \text{ MHz}$, $Z_O = 50 \Omega$.
 D. The outputs are measured one at a time, with one transition per measurement.
 E. t_{PLZ} and t_{PZH} are the same as t_{dis} .
 F. t_{PZL} and t_{PZH} are the same as t_{en} .
 G. t_{PLH} and t_{PHL} are the same as t_{pd} .
 H. All parameters and waveforms are not applicable to all devices.

図 6-1. 負荷回路および電圧波形

7 詳細説明

7.1 概要

このデュアル ネガティブ エッジ トリガ J-K フリップ フロップは、1.65V~3.6V の V_{CC} で動作するように設計されています。

その他の入力のレベルに関係なく、プリセット (\overline{PRE}) 入力を Low レベルにすると出力は High になり、クリア (\overline{CLR}) 入力を Low レベルにすると出力は Low になります。 \overline{PRE} と \overline{CLR} が非アクティブ (High) の場合、セットアップ時間の要件を満たす J 入力と K 入力のデータは、クロックパルスの負方向エッジで出力に転送されます。クロックのトリガは電圧レベルで発生し、クロック パルスの立ち上がり時間とは直接関係しません。ホールド時間が経過した後、J および K 入力のデータは、出力のレベルに影響を及ぼさずに変化させることができます。SN74LVC112A は、J と K を High に接続することで、トグルフリップ フロップとしての動作を実行できます。

入力は 3.3V または 5V のデバイスから駆動できます。この機能により、3.3V と 5V が混在するシステム環境での変換装置としてこのデバイスを使用できます。

7.2 機能ブロック図

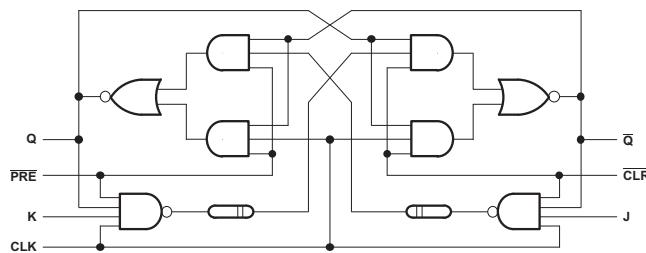


図 7-1. 論理図、各フリップ フロップ (正論理)

7.3 機能説明

- 広い動作電圧範囲
 - 1.65 V~3.6 V で動作
- 降圧変換に対応
 - 5.5V までの入力電圧に対応
- I_{off} 機能
 - V_{CC} が 0V のときに入力と出力に電圧をかけることが可能

7.4 デバイスの機能モード

表 7-1. 機能表

\overline{PRE}	\overline{CLR}	入力	出力			
			J	K	Q	\overline{Q}
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H ⁽¹⁾	H ⁽¹⁾
H	H	↓	L	L	Q_0	\overline{Q}_0
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	点滅	
H	H	H	X	X	Q_0	\overline{Q}_0

(1) この構成の出力レベルは、 V_{OH} の最小レベルを満たしていない可能性があります。さらに、この構成は不安定です。つまり、 \overline{PRE} または

$\overline{\text{CLR}}$ のいずれかが非アクティブ (High) レベルに戻ったときに持続しません。

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

SN74LVC112A はデータを保持またはラッチする必要がある多くのバスインターフェイスタイプのアプリケーションに使用できる High 駆動の CMOS デバイスです。3.3V で 24mA の駆動電流を生成できるため、複数の出力の駆動に理想的であり、最大 150MHz の高速アプリケーションに適しています。入力は 5.5V 耐圧であり、 V_{CC} に降圧変換できます。

8.2 代表的なアプリケーション

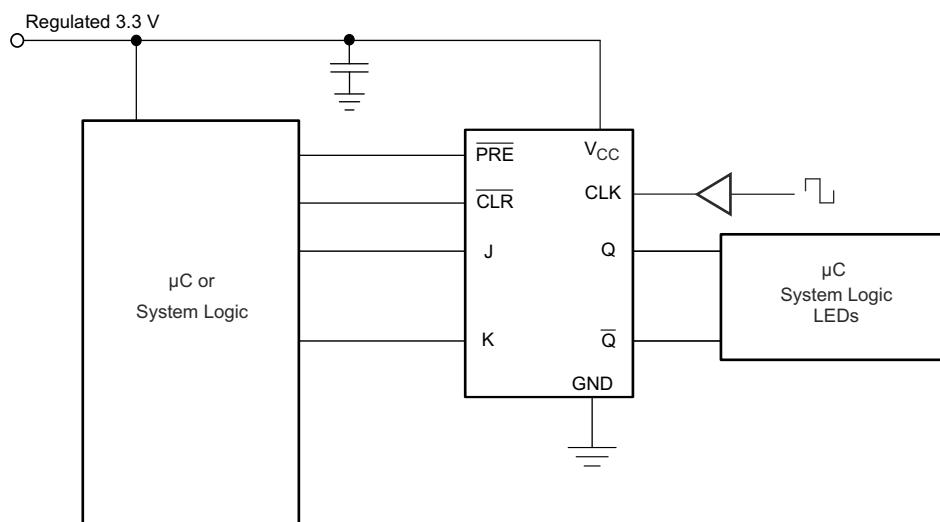


図 8-1. 代表的なアプリケーション回路図

8.2.1 設計要件

このデバイスは CMOS 技術を採用しており、平衡型出力ドライバを備えています。上限値を超える電流が流れる可能性があるため、バスが競合しないように注意が必要です。また、大きな駆動能力で軽負荷を駆動することでも高速なエッジが生じるため、配線と負荷の条件を検討してリンギングを防止してください。

8.2.2 詳細な設計手順

1. 推奨入力条件

- 立ち上がり時間と立ち下がり時間の仕様については、「[推奨動作条件](#)」表の $\Delta t/\Delta V$ を参照してください。
- 規定された High および Low レベルについては、「[推奨動作条件](#)」表の V_{IH} および V_{IL} を参照してください。
- 入力は過電圧許容で、任意の有効な V_{CC} において最大 5.5V に対応できます。

2. 推奨出力条件

- 負荷電流は、出力あたりの 50mA および部品の合計 100mA を超えないようにする必要があります。
- 出力は、 V_{CC} を超えてプルされないようにしてください。

8.2.3 アプリケーション曲線

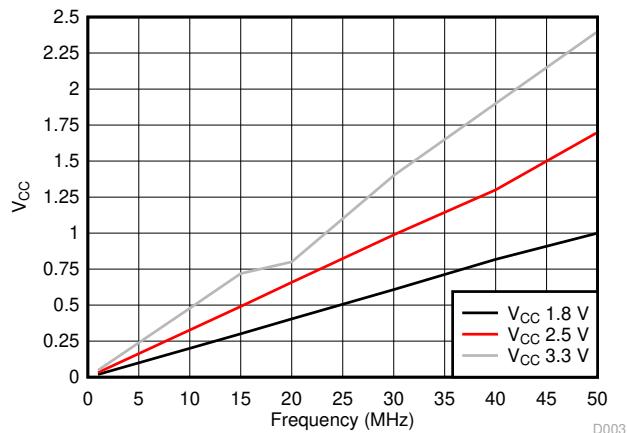


図 8-2. I_{CC} と周波数との関係

8.3 電源に関する推奨事項

電源には、「[推奨動作条件](#)」表に記載されている最小電源電圧定格と最大電源電圧定格の間の任意の電圧を使用できます。

電源の障害を防止するため、各 V_{CC} ピンに適切なバイパスコンデンサを配置する必要があります。単電源のデバイスには、0.1 μ F を推奨します。V_{CC} ピンが複数ある場合、各電源ピンに対して 0.01 μ F または 0.022 μ F を推奨します。複数のバイパスコンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1 μ F と 1 μ F のコンデンサを並列に使用します。最良の結果を得るために、バイパスコンデンサは電源ピンのできるだけ近くに配置してください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

多ビットロジックデバイスを使用する場合、入力をフローティングにしないでください。多くの場合、デジタルロジックデバイスの機能または機能の一部は使用されません。例として、トリプル入力 AND ゲートのうち 2 入力のみを使用する場合、または 4 バッファゲートのうち 3 入力のみを使用する場合が挙げられます。このような入力ピンを未接続のままにしないでください。外部接続の電圧が未確定の場合、動作状態が不定になるためです。

図 8-3 の仕様は、あらゆる状況で遵守する必要があります。デジタルロジックデバイスの未使用の入力はすべて、フローティングにならないように、High または Low バイアスに接続する必要があります。特定の未使用の入力に対して適用が必要となるロジックレベルは、デバイスの機能により異なります。一般に、GND または V_{CC} のうち、より適切であるかより利便性の高い方に接続されます。本部品がトランシーバでない限り、出力をフローティングにすることが許容されます。

8.4.2 レイアウト例

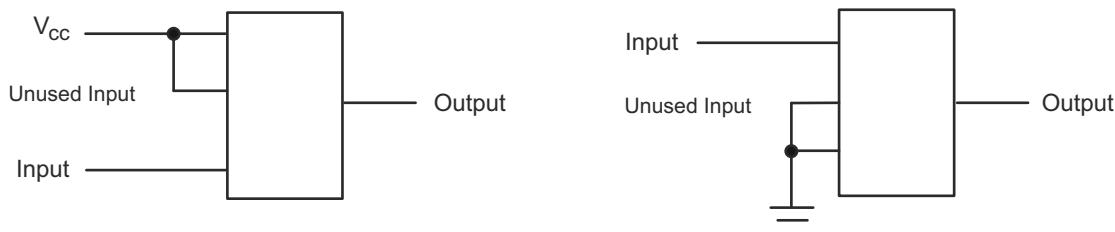


図 8-3. レイアウトの図

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision N (December 2024) to Revision O (July 2025)	Page
• $V_{CC} = 1.8V$ および $2.5V$ の $85^{\circ}C$ のスイッチング特性表を更新.....	8
• $V_{CC} = 1.8V$ および $2.5V$ の $125^{\circ}C$ のスイッチング特性表を更新.....	8

Changes from Revision M (December 2014) to Revision N (December 2024)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• データシート全体にわたってマシンモデルへの参照を削除し、HBM および CDM の値をそれぞれ $3000V$ から $2000V$ 、 $1500V$ から $1000V$ に更新.....	1
• $R_{θJA}$ の値を更新: $D = 90.6$ を 118.1 に変更、 $DB = 107.1$ を 122.5 に変更、 $NS = 90.7$ を 117.5 に変更、 $PW = 122.6$ を 141.8 に変更。D、DB、NS、PW パッケージの $R_{θJC}(top)$ 、 $R_{θJB}$ 、 $ΨJT$ 、 $ΨJB$ 、 $R_{θJC}(bot)$ を更新 (値はすべて $^{\circ}C/W$).....	5

Changes from Revision L (August 2004) to Revision M (December 2014)	Page
• 「アプリケーション」、「パッケージ情報」表、「ピンの機能」表、「ESD 定格」表、「熱に関する情報」表、「代表的特性」、「機能説明」セクション、「デバイスの機能モード」、「アプリケーションと実装」セクション、「電源に関する推奨事項」セク	

ション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加。	1
• 「注文情報」表を削除しました。	1
• 「推奨動作条件」表で、最大動作温度を 125°C に変更しました。	5
• 電気的仕様表に 40°C ~ +125°C の温度範囲を追加.....	6
• -40°C ~ 125°C までの温度範囲のタイミング要件を追加.....	6

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LVC112AD	Active	Production	SOIC (D) 16	40 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC112A
SN74LVC112AD.B	Active	Production	SOIC (D) 16	40 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC112A
SN74LVC112ADBR	Active	Production	SSOP (DB) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC112A
SN74LVC112ADBR.A	Active	Production	SSOP (DB) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC112A
SN74LVC112ADBR.B	Active	Production	SSOP (DB) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC112A
SN74LVC112ADGVR	Active	Production	TVSOP (DGV) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC112A
SN74LVC112ADGVR.B	Active	Production	TVSOP (DGV) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC112A
SN74LVC112ADR	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC112A
SN74LVC112ADR.A	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC112A
SN74LVC112ADR.B	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC112A
SN74LVC112ADT	Active	Production	SOIC (D) 16	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC112A
SN74LVC112ADT.B	Active	Production	SOIC (D) 16	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC112A
SN74LVC112ANSR	Active	Production	SOP (NS) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC112A
SN74LVC112ANSR.A	Active	Production	SOP (NS) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC112A
SN74LVC112ANSR.B	Active	Production	SOP (NS) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC112A
SN74LVC112APW	Active	Production	TSSOP (PW) 16	90 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC112A
SN74LVC112APW.B	Active	Production	TSSOP (PW) 16	90 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC112A
SN74LVC112APWR	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC112A
SN74LVC112APWR.A	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC112A
SN74LVC112APWR.B	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC112A
SN74LVC112APWRG4	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC112A
SN74LVC112APWRG4.A	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC112A
SN74LVC112APWRG4.B	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC112A
SN74LVC112APWT	Active	Production	TSSOP (PW) 16	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC112A
SN74LVC112APWT.B	Active	Production	TSSOP (PW) 16	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC112A

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

(2) Material type: When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) RoHS values: Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

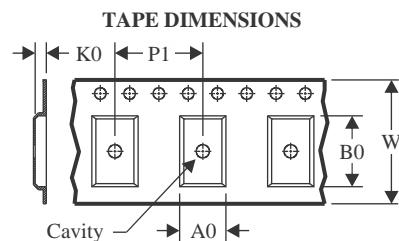
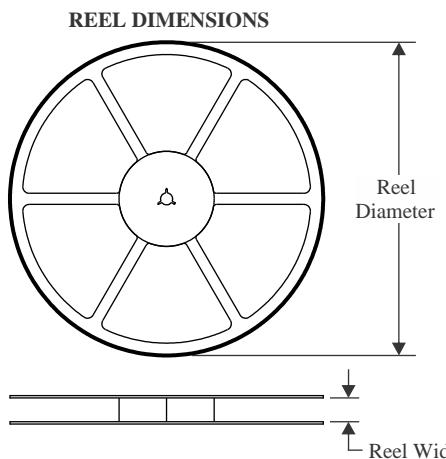
(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

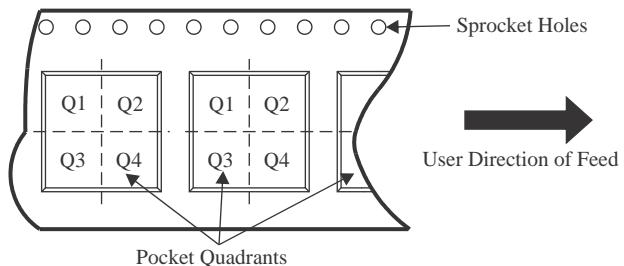
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

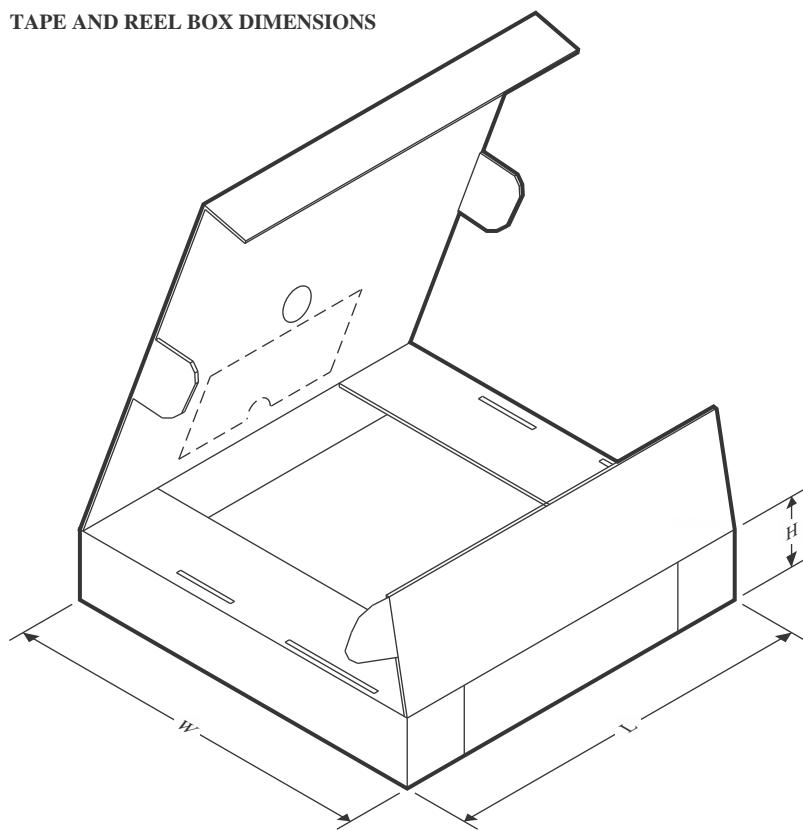
TAPE AND REEL INFORMATION


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


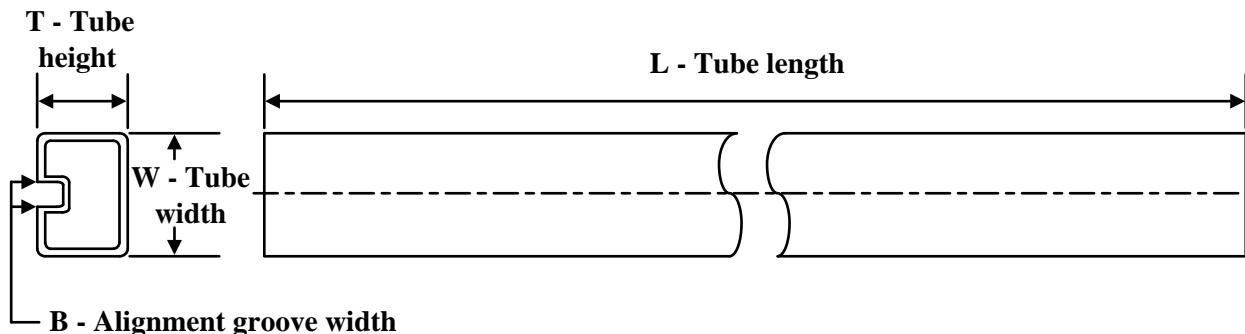
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC112ADBR	SSOP	DB	16	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74LVC112ADGVR	TVSOP	DGV	16	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74LVC112ADR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN74LVC112ANSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
SN74LVC112APWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LVC112APWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LVC112APWT	TSSOP	PW	16	250	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVC112ADBR	SSOP	DB	16	2000	353.0	353.0	32.0
SN74LVC112ADGVR	TVSOP	DGV	16	2000	353.0	353.0	32.0
SN74LVC112ADR	SOIC	D	16	2500	340.5	336.1	32.0
SN74LVC112ANSR	SOP	NS	16	2000	353.0	353.0	32.0
SN74LVC112APWR	TSSOP	PW	16	2000	353.0	353.0	32.0
SN74LVC112APWRG4	TSSOP	PW	16	2000	353.0	353.0	32.0
SN74LVC112APWT	TSSOP	PW	16	250	353.0	353.0	32.0

TUBE


*All dimensions are nominal

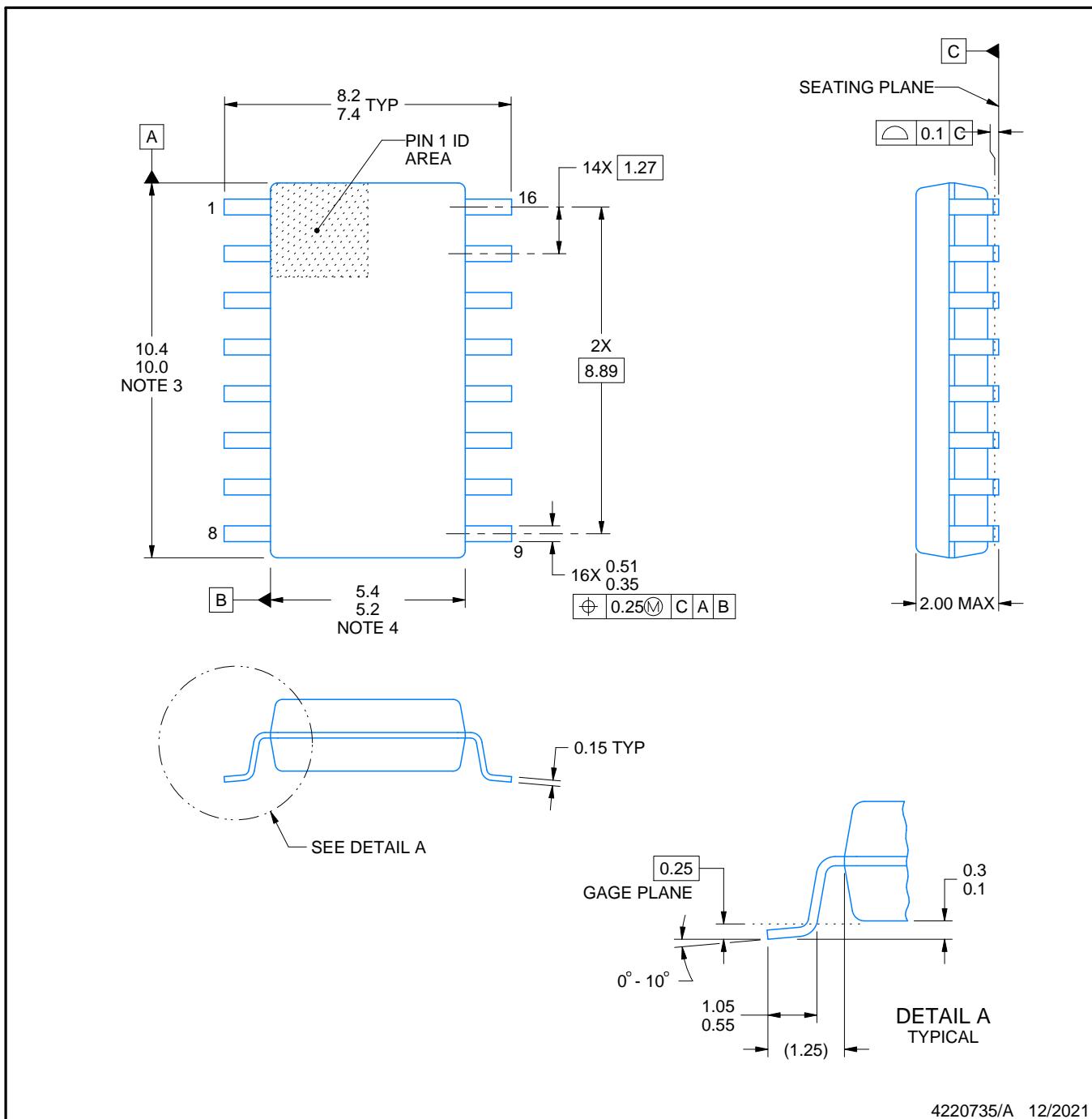
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μ m)	B (mm)
SN74LVC112AD	D	SOIC	16	40	507	8	3940	4.32
SN74LVC112AD.B	D	SOIC	16	40	507	8	3940	4.32
SN74LVC112APW	PW	TSSOP	16	90	530	10.2	3600	3.5
SN74LVC112APW.B	PW	TSSOP	16	90	530	10.2	3600	3.5



PACKAGE OUTLINE

SOP - 2.00 mm max height

SOP



4220735/A 12/2021

NOTES:

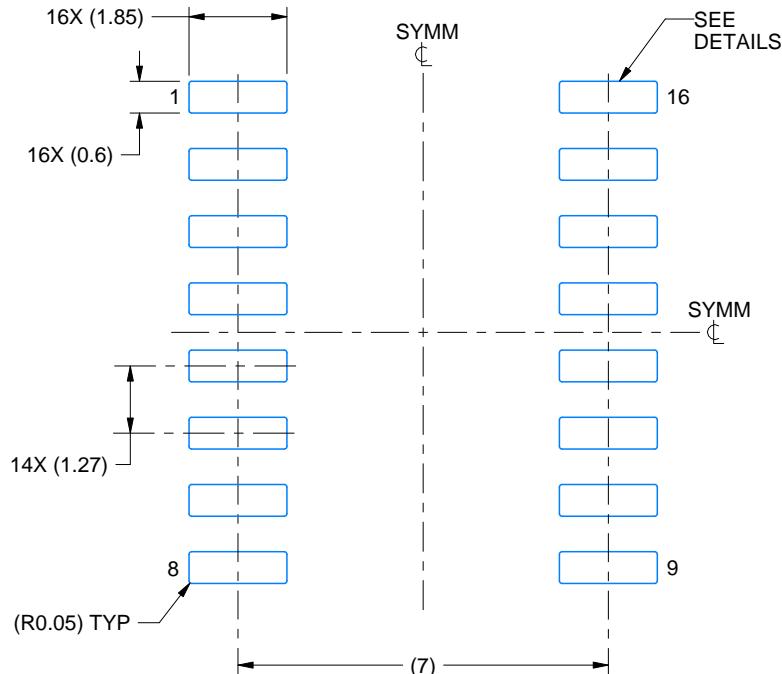
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.

EXAMPLE BOARD LAYOUT

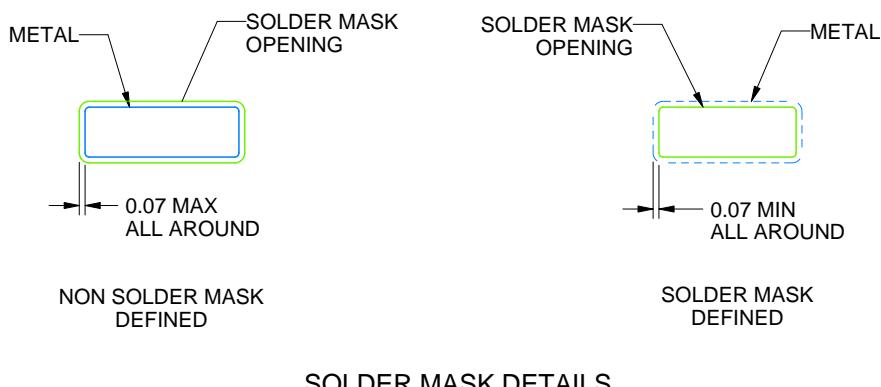
NS0016A

SOP - 2.00 mm max height

SOP



LAND PATTERN EXAMPLE
SCALE:7X



4220735/A 12/2021

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.

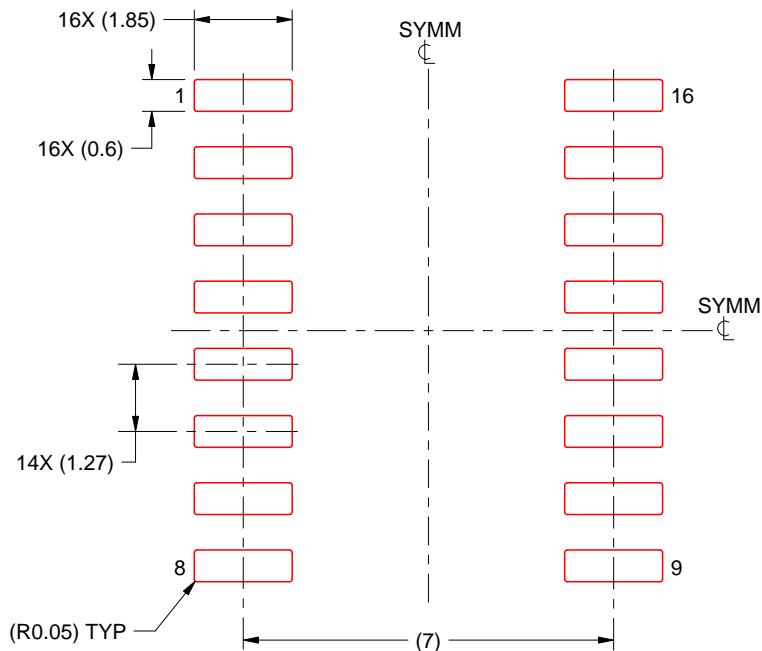
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

NS0016A

SOP - 2.00 mm max height

SOP



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

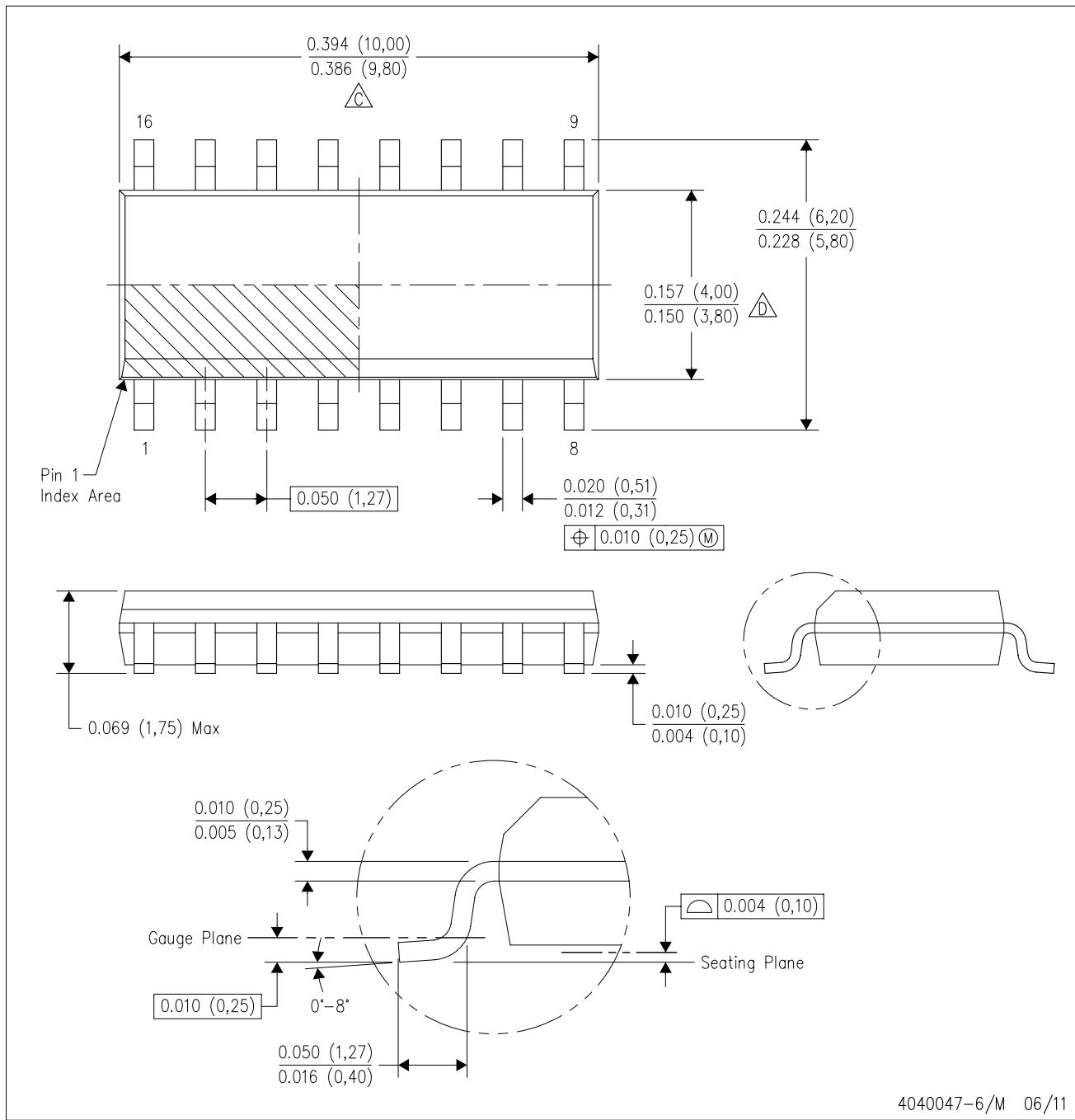
4220735/A 12/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



NOTES: A. All linear dimensions are in inches (millimeters).

B. This drawing is subject to change without notice.

C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.

D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.

E. Reference JEDEC MS-012 variation AC.

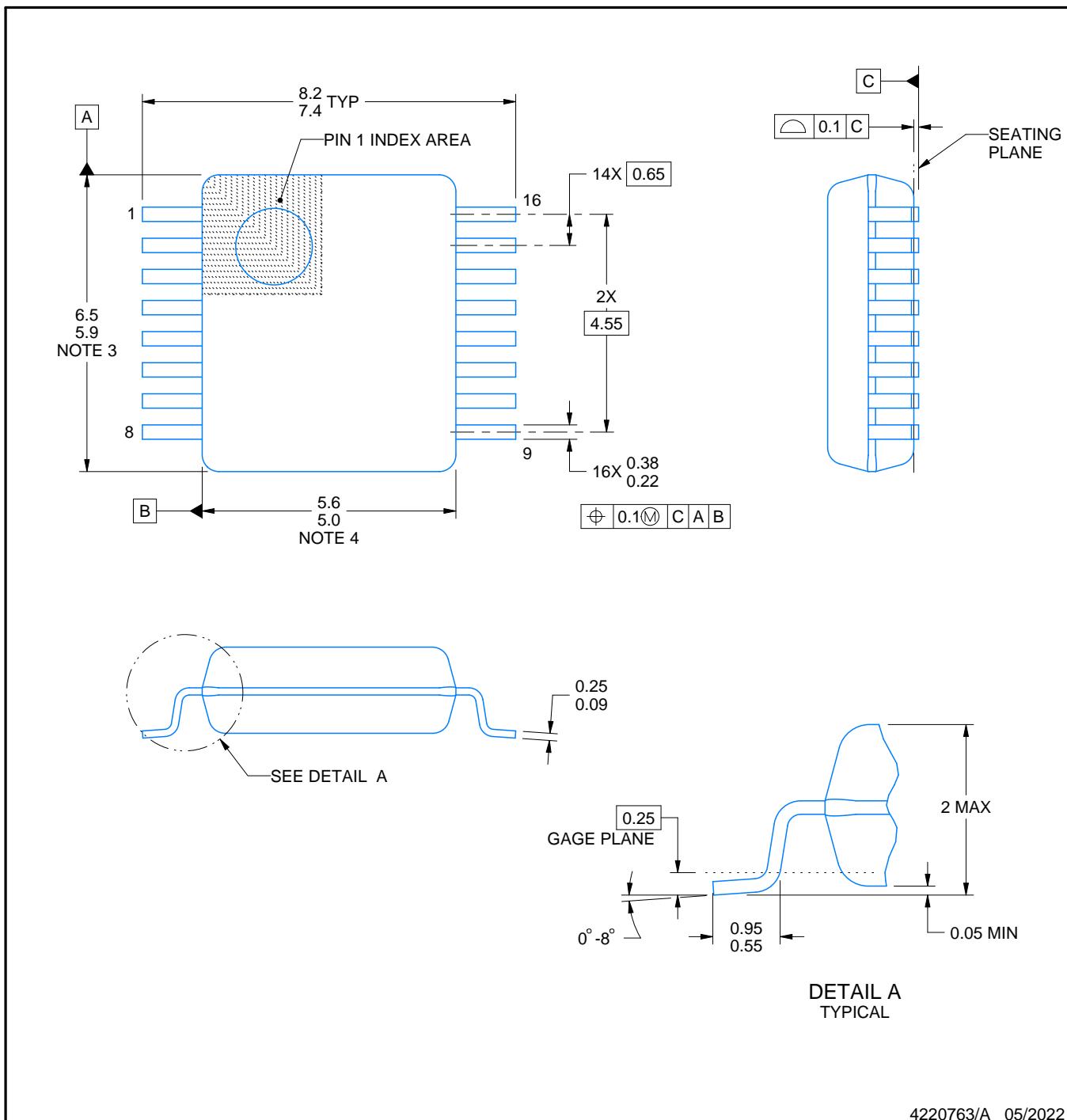
PACKAGE OUTLINE

DB0016A



SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

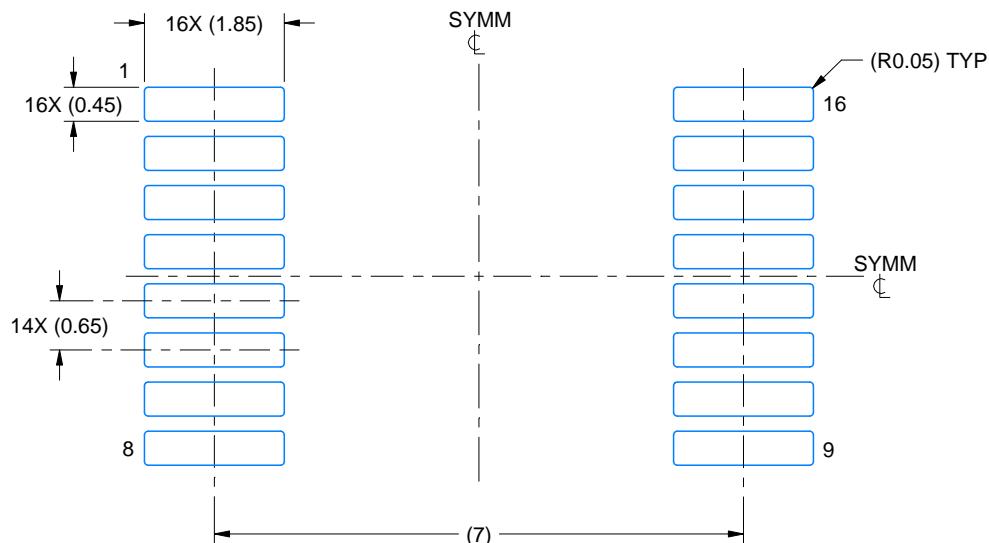
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.

EXAMPLE BOARD LAYOUT

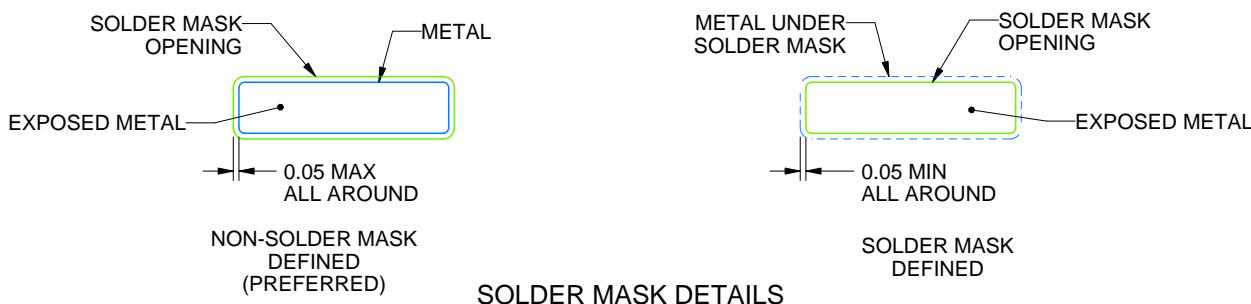
DB0016A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220763/A 05/2022

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.

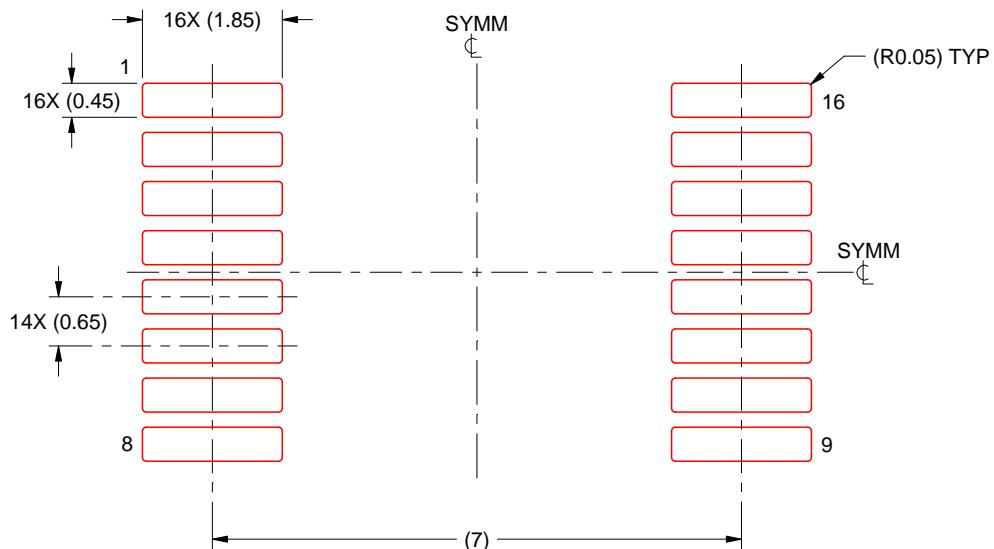
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DB0016A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220763/A 05/2022

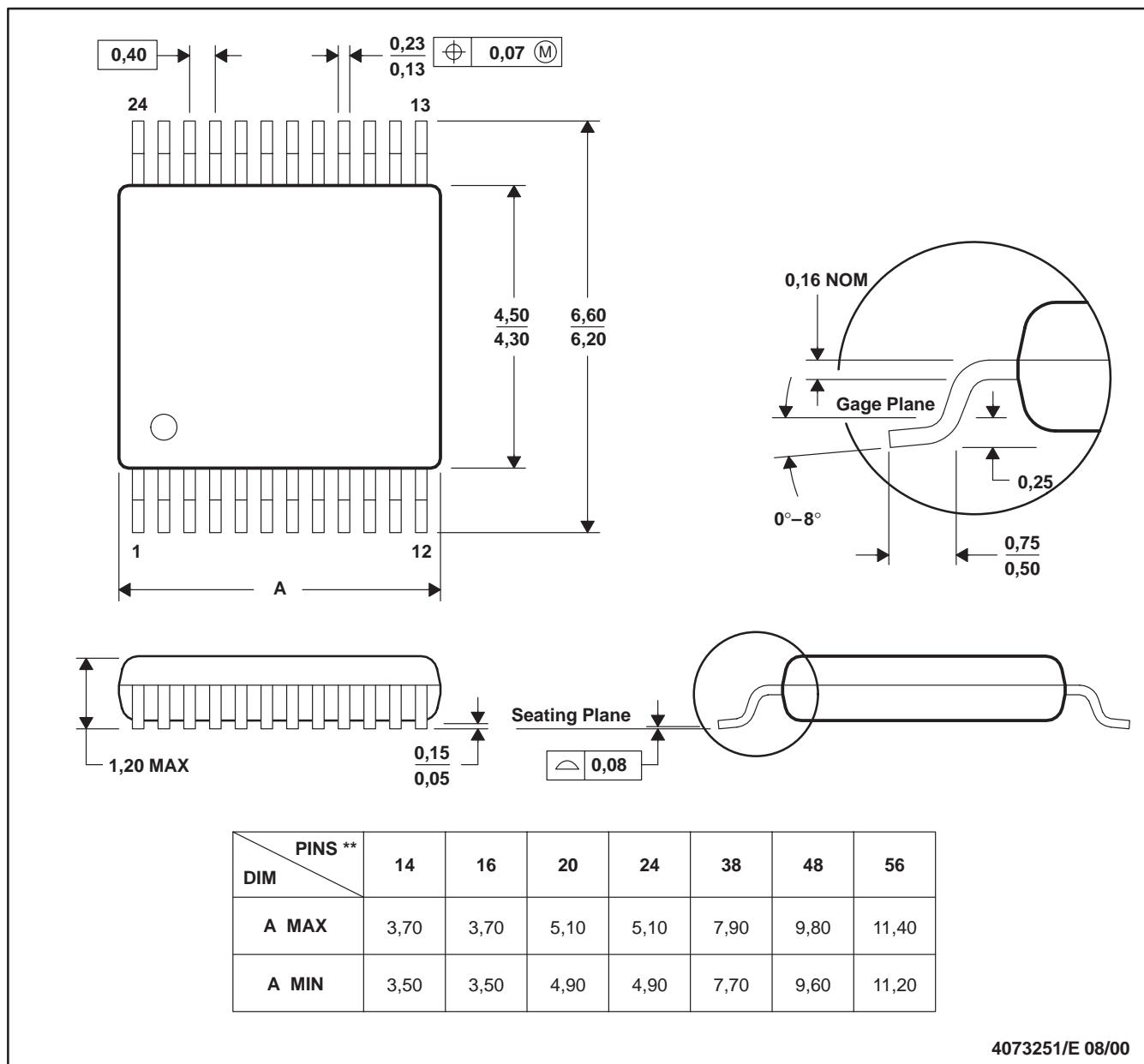
NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

DGV (R-PDSO-G**)

PLASTIC SMALL-OUTLINE

24 PINS SHOWN



NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
D. Falls within JEDEC: 24/48 Pins – MO-153
14/16/20/56 Pins – MO-194

14/16/20/56 Pins – MO-194

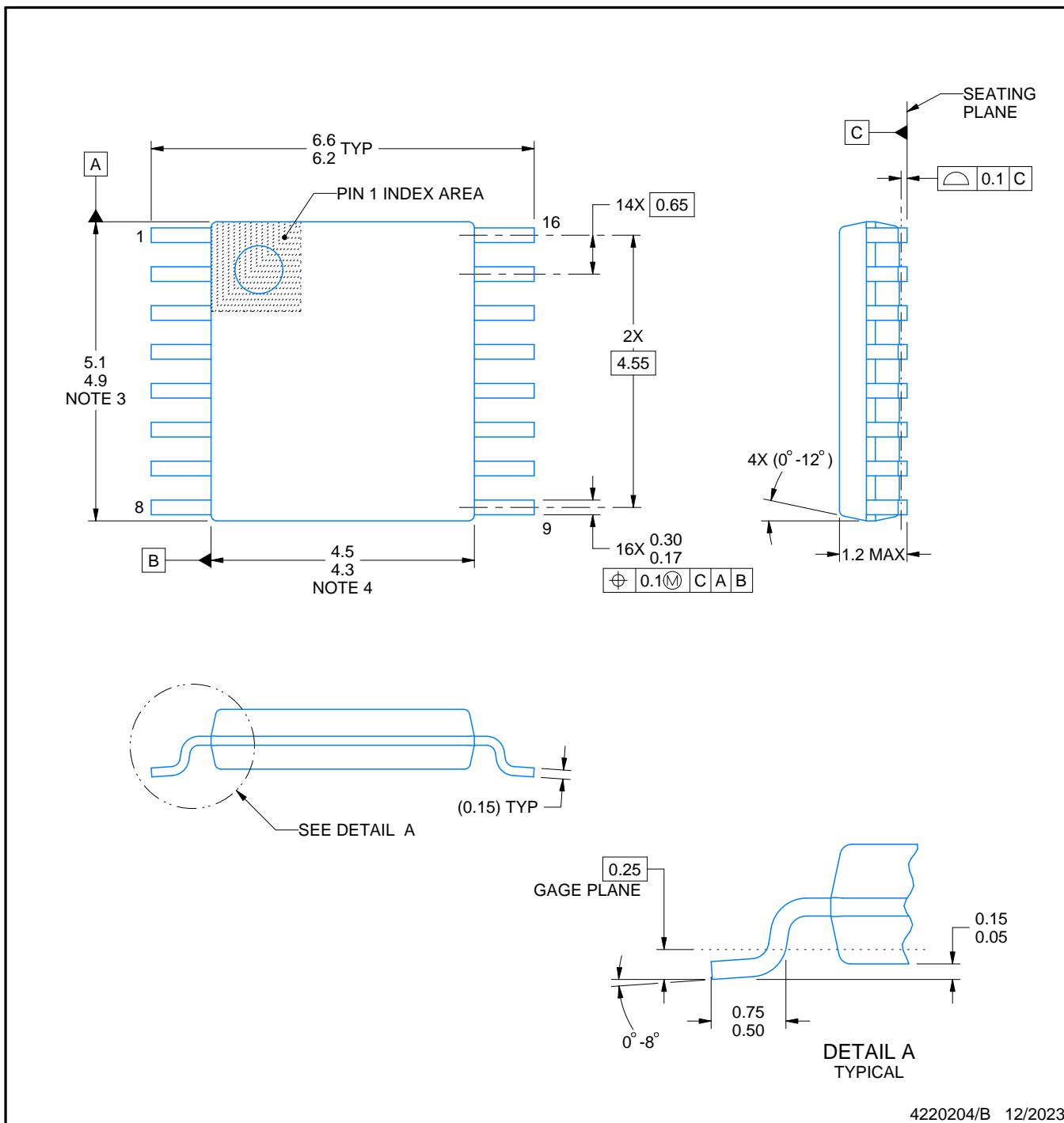
PACKAGE OUTLINE

PW0016A



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

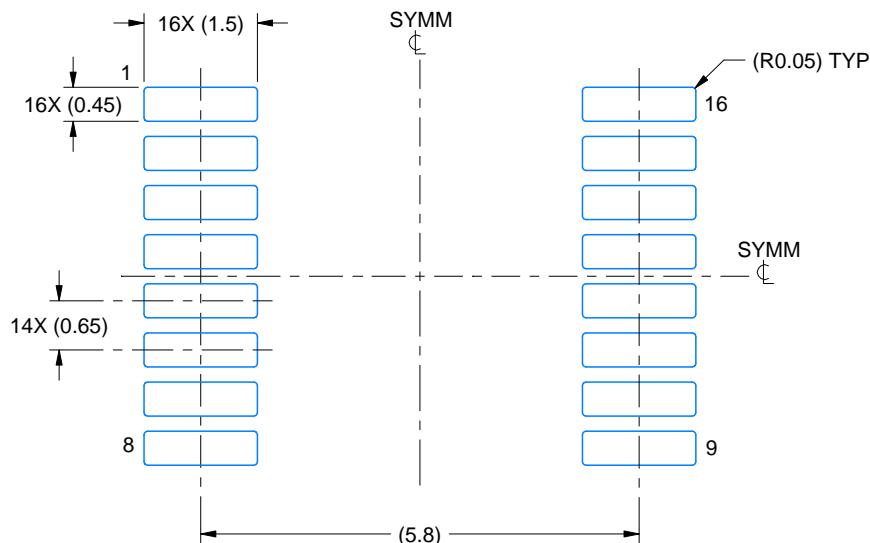
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
 4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
 5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

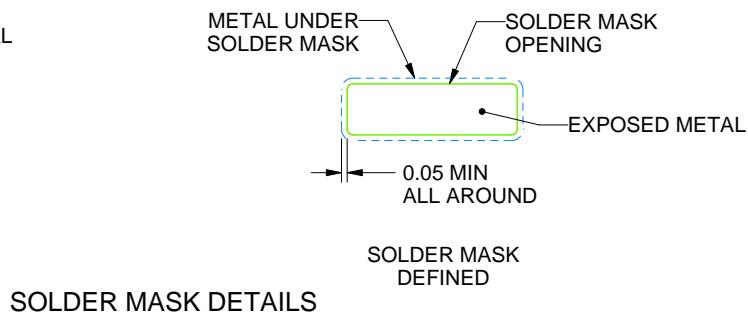
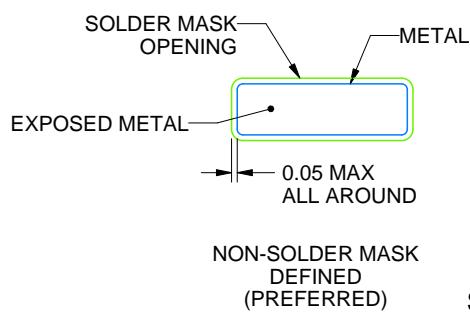
PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

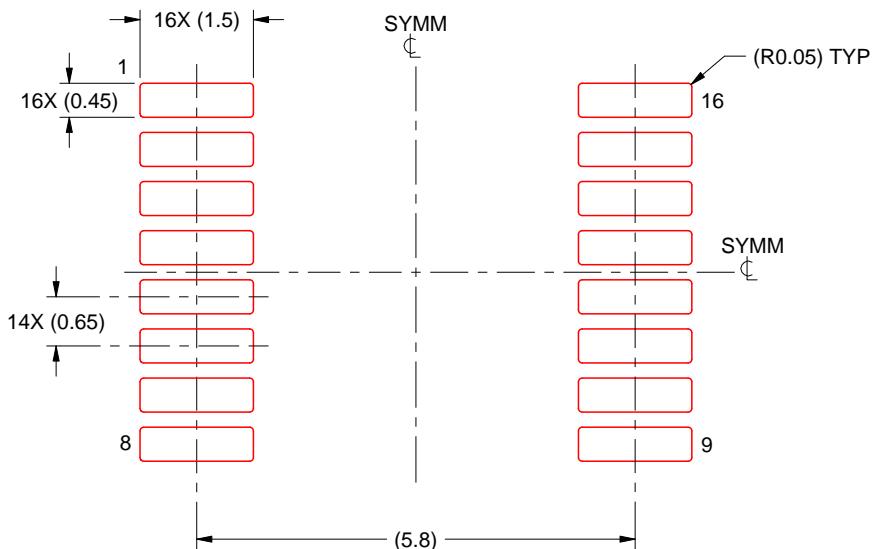
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月