

# SN74LVC00A-Q1 車載用、クワッド、2 入力、正論理 NAND ゲート

## 1 特長

- 車載アプリケーション認定済み
- 2V～3.6V で動作
- 5.5V までの入力電圧に対応
- 最大  $t_{pd}$  4.3ns (3.3V 時)
- $V_{OLP}$  標準値 (出力グランド バウンス)  $< 0.8V$  ( $V_{CC} = 3.3V$ ,  $T_A = 25^\circ C$ )
- $V_{OHV}$  標準値 (出力  $V_{OH}$  アンダーシュート)  $> 2V$  ( $V_{CC} = 3.3V$ ,  $T_A = 25^\circ C$ )

## 2 概要

SN74LVC00A-Q1 クワッド 2 入力正論理 NAND ゲートは、2.7V～3.6V  $V_{CC}$  で動作するように設計されています。

デバイスは、ブール関数  $Y = \overline{A \cdot B}$  つまり、 $Y = \overline{A} + \overline{B}$  を正論理で実行します。

入力は 3.3V または 5V のデバイスから駆動できます。この機能により、3.3V と 5V が混在するシステム環境での変換装置としてこのデバイスを使用できます。

### パッケージ情報

| 部品番号          | パッケージ (1)      | パッケージ サイズ (2) | 本体サイズ (3)      |
|---------------|----------------|---------------|----------------|
| SN74LVC00A-Q1 | BQA (WQFN, 14) | 3mm × 2.5mm   | 3mm × 2.5mm    |
|               | D (SOIC, 14)   | 8.65mm × 6mm  | 8.65mm × 3.9mm |
|               | PW (SOP, 14)   | 5mm × 6.4mm   | 5mm × 4.4mm    |

- (1) 詳細については、[セクション 10](#) を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
- (3) 本体サイズ (長さ × 幅) は公称値であり、ピンは含まれません。



各ゲートの論理図 (正論理)

## Table of Contents

|                                                  |          |                                                                  |           |
|--------------------------------------------------|----------|------------------------------------------------------------------|-----------|
| <b>1 特長</b> .....                                | <b>1</b> | 6.2 Device Functional Modes.....                                 | <b>7</b>  |
| <b>2 概要</b> .....                                | <b>1</b> | <b>7 Application and Implementation</b> .....                    | <b>8</b>  |
| <b>3 Pin Configuration and Functions</b> .....   | <b>3</b> | 7.1 Power Supply Recommendations.....                            | <b>8</b>  |
| <b>4 Specifications</b> .....                    | <b>4</b> | 7.2 Layout.....                                                  | <b>8</b>  |
| 4.1 Absolute Maximum Ratings.....                | <b>4</b> | <b>8 Device and Documentation Support</b> .....                  | <b>9</b>  |
| 4.2 ESD Ratings.....                             | <b>4</b> | 8.1 Documentation Support.....                                   | <b>9</b>  |
| 4.3 Recommended Operating Conditions .....       | <b>4</b> | 8.2 ドキュメントの更新通知を受け取る方法.....                                      | <b>9</b>  |
| 4.4 Thermal Information.....                     | <b>4</b> | 8.3 サポート・リソース.....                                               | <b>9</b>  |
| 4.5 Electrical Characteristics.....              | <b>5</b> | 8.4 Trademarks.....                                              | <b>9</b>  |
| 4.6 Switching Characteristics.....               | <b>5</b> | 8.5 静電気放電に関する注意事項.....                                           | <b>9</b>  |
| 4.7 Operating Characteristics.....               | <b>5</b> | 8.6 用語集.....                                                     | <b>9</b>  |
| <b>5 Parameter Measurement Information</b> ..... | <b>6</b> | <b>9 Revision History</b> .....                                  | <b>9</b>  |
| <b>6 Detailed Description</b> .....              | <b>7</b> | <b>10 Mechanical, Packaging, and Orderable Information</b> ..... | <b>10</b> |
| 6.1 Functional Block Diagram.....                | <b>7</b> |                                                                  |           |

## 3 Pin Configuration and Functions

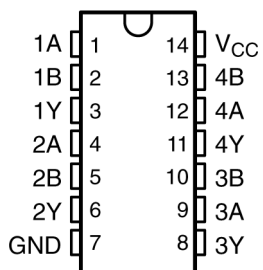


図 3-1. SN74LVC00A-Q1 D or PW Package, 14-Pin SOIC or TSSOP (Top View)

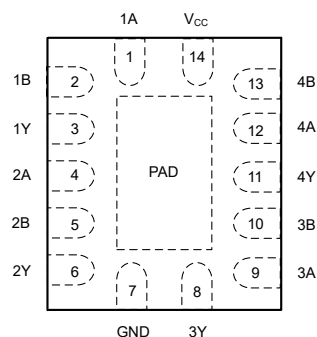


図 3-2. SN74LVC00A-Q1 BQA Package, 14-PIN WQFN (Top View)

表 3-1. Pin Functions

| PIN                 |     | TYPE <sup>(1)</sup> | DESCRIPTION                                                                                             |
|---------------------|-----|---------------------|---------------------------------------------------------------------------------------------------------|
| NAME                | NO. |                     |                                                                                                         |
| 1A                  | 1   | I                   | Channel 1, Input A                                                                                      |
| 1B                  | 2   | I                   | Channel 1, Input B                                                                                      |
| 1Y                  | 3   | O                   | Channel 1, Output Y                                                                                     |
| 2A                  | 4   | I                   | Channel 2, Input A                                                                                      |
| 2B                  | 5   | I                   | Channel 2, Input B                                                                                      |
| 2Y                  | 6   | O                   | Channel 2, Output Y                                                                                     |
| GND                 | 7   | —                   | Ground                                                                                                  |
| 3Y                  | 8   | O                   | Channel 3, Output Y                                                                                     |
| 3A                  | 9   | I                   | Channel 3, Input A                                                                                      |
| 3B                  | 10  | I                   | Channel 3, Input B                                                                                      |
| 4Y                  | 11  | O                   | Channel 4, Output Y                                                                                     |
| 4A                  | 12  | I                   | Channel 4, Input A                                                                                      |
| 4B                  | 13  | I                   | Channel 4, Input B                                                                                      |
| V <sub>CC</sub>     | 14  | —                   | Positive Supply                                                                                         |
| Thermal Information |     | —                   | The thermal pad can be connected to GND or left floating. Do not connect to any other signal or supply. |

(1) Signal Types: I = Input, O = Output, I/O = Input or Output, P = Power Supply, G = Ground.

## 4 Specifications

### 4.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)

|           |                                            | MIN       | MAX            | UNIT   |
|-----------|--------------------------------------------|-----------|----------------|--------|
| $V_{CC}$  | Supply voltage range                       | –0.5      | 6.5            | V      |
| $V_I$     | Input voltage range <sup>(1)</sup>         | –0.5      | 6.5            | V      |
| $V_O$     | Output voltage range <sup>(1) (2)</sup>    | –0.5      | $V_{CC} + 0.5$ | V      |
| $I_{IK}$  | Input clamp current                        | $V_I < 0$ |                | –50 mA |
| $I_{OK}$  | Output clamp current                       | $V_O < 0$ |                | –50 mA |
| $I_O$     | Continuous output current                  |           | ±50            | mA     |
|           | Continuous current through $V_{CC}$ or GND |           | ±100           | mA     |
| $T_{stg}$ | Storage temperature range                  | –65       | 150            | °C     |

(1) The input and output negative-voltage ratings may be exceeded if the input and output current ratings are observed.

(2) The value of  $V_{CC}$  is provided in the recommended operating conditions table.

### 4.2 ESD Ratings

|             |                         | VALUE                                                   | UNIT    |
|-------------|-------------------------|---------------------------------------------------------|---------|
| $V_{(ESD)}$ | Electrostatic discharge | Human body model (HBM), per AEC Q100-002 <sup>(1)</sup> | ±2000 V |

(1) AEC Q100-002 indicates that HBM stressing must be in accordance with the ANSI/ESDA/JEDEC JS-001 specification.

### 4.3 Recommended Operating Conditions

|          |                                |                           | MIN | MAX      | UNIT |
|----------|--------------------------------|---------------------------|-----|----------|------|
| $V_{CC}$ | Supply voltage                 | Operating                 | 2   | 3.6      | V    |
|          |                                | Data retention only       | 1.5 |          |      |
| $V_{IH}$ | High-level input voltage       | $V_{CC} = 2.7V$ to $3.6V$ | 2   |          | V    |
| $V_{IL}$ | Low-level input voltage        | $V_{CC} = 2.7V$ to $3.6V$ |     | 0.8      | V    |
| $V_I$    | Input voltage                  |                           | 0   | 5.5      | V    |
| $V_O$    | Output voltage                 |                           | 0   | $V_{CC}$ | V    |
| $I_{OH}$ | High-level output current      | $V_{CC} = 2.7V$           |     | –12      | mA   |
|          |                                | $V_{CC} = 3V$             |     | –24      |      |
| $I_{OL}$ | Low-level output current       | $V_{CC} = 2.7V$           |     | 12       | mA   |
|          |                                | $V_{CC} = 3V$             |     | 24       |      |
| $T_A$    | Operating free-air temperature |                           | –40 | 125      | °C   |

### 4.4 Thermal Information

| THERMAL METRIC <sup>(1)</sup> |                                        | SN74LVC00A-Q1 |         |            | UNIT |
|-------------------------------|----------------------------------------|---------------|---------|------------|------|
|                               |                                        | BQA           | D       | PW (TSSOP) |      |
|                               |                                        | 14 PINS       | 14 PINS | 14 PINS    |      |
| $R_{\theta JA}$               | Junction-to-ambient thermal resistance | 102.3         | 127.8   | 150.8      | °C/W |

(1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC package thermal metrics](#) application report.

## 4.5 Electrical Characteristics

over recommended operating free-air temperature range (unless otherwise noted)

| PARAMETER        | TEST CONDITIONS                                                             | V <sub>CC</sub> | MIN                   | TYP <sup>(1)</sup> | MAX | UNIT |
|------------------|-----------------------------------------------------------------------------|-----------------|-----------------------|--------------------|-----|------|
| V <sub>OH</sub>  | I <sub>OH</sub> = −100μA                                                    | 2.7V to 3.6V    | V <sub>CC</sub> − 0.2 |                    | V   |      |
|                  | I <sub>OH</sub> = −12mA                                                     | 2.7V            | 2.2                   |                    |     |      |
|                  |                                                                             | 3V              | 2.4                   |                    |     |      |
|                  | I <sub>OH</sub> = −24mA                                                     | 3V              | 2.2                   |                    |     |      |
| V <sub>OL</sub>  | I <sub>OL</sub> = 100μA                                                     | 2.7V to 3.6V    | 0.2                   |                    | V   |      |
|                  | I <sub>OL</sub> = 12mA                                                      | 2.7V            | 0.4                   |                    |     |      |
|                  | I <sub>OL</sub> = 24mA                                                      | 3V              | 0.55                  |                    |     |      |
| I <sub>I</sub>   | V <sub>I</sub> = 5.5V or GND                                                | 3.6V            | ±5                    |                    | μA  |      |
| I <sub>CC</sub>  | V <sub>I</sub> = V <sub>CC</sub> or GND, I <sub>O</sub> = 0                 | 3.6V            | 10                    |                    | μA  |      |
| ΔI <sub>CC</sub> | One input at V <sub>CC</sub> − 0.6V, Other inputs at V <sub>CC</sub> or GND | 2.7V to 3.6V    | 500                   |                    | μA  |      |
| C <sub>i</sub>   | V <sub>I</sub> = V <sub>CC</sub> or GND                                     | 3.3V            | 5                     |                    | pF  |      |

(1) All typical values are at V<sub>CC</sub> = 3.3 V, T<sub>A</sub> = 25°C.

## 4.6 Switching Characteristics

over recommended operating free-air temperature range (unless otherwise noted) (see [Load Circuit and Voltage Waveforms](#))

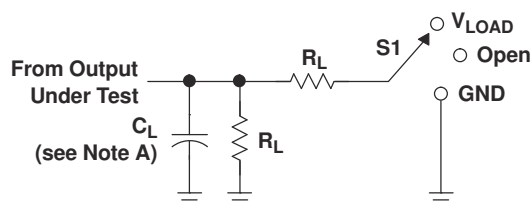
| PARAMETER       | FROM<br>(INPUT) | TO<br>(OUTPUT) | V <sub>CC</sub> = 2.7V |     | V <sub>CC</sub> = 3.3V<br>± 0.3V |     | UNIT |
|-----------------|-----------------|----------------|------------------------|-----|----------------------------------|-----|------|
|                 |                 |                | MIN                    | MAX | MIN                              | MAX |      |
| t <sub>pd</sub> | A or B          | Y              | 5.1                    |     | 1                                | 4.3 | ns   |

## 4.7 Operating Characteristics

T<sub>A</sub> = 25°C

| PARAMETER       |                                        | TEST<br>CONDITIONS | V <sub>CC</sub> = 2.5V | V <sub>CC</sub> = 3.3V | UNIT |
|-----------------|----------------------------------------|--------------------|------------------------|------------------------|------|
|                 |                                        |                    | TYP                    | TYP                    |      |
| C <sub>pd</sub> | Power dissipation capacitance per gate | f = 10MHz          | 18                     | 19                     | pF   |

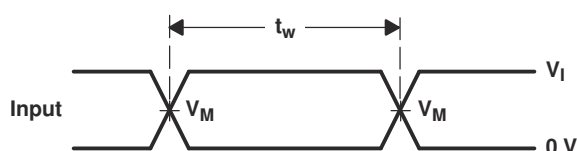
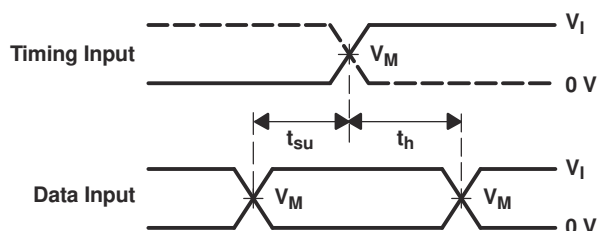
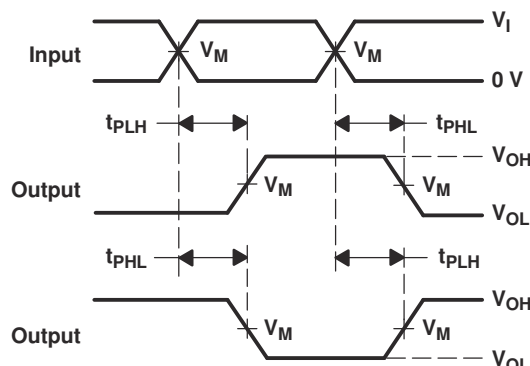
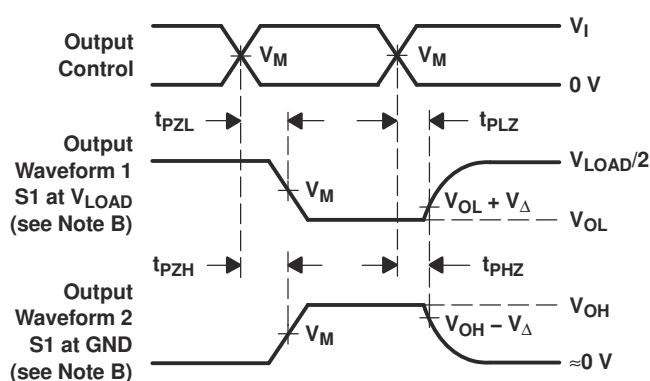
## 5 Parameter Measurement Information



LOAD CIRCUIT

| TEST              | S1         |
|-------------------|------------|
| $t_{PLH}/t_{PHL}$ | Open       |
| $t_{PLZ}/t_{PZL}$ | $V_{LOAD}$ |
| $t_{PHZ}/t_{PZH}$ | GND        |

| $V_{CC}$                         | INPUTS   |                      | $V_M$      | $V_{LOAD}$        | $C_L$ | $R_L$        | $V_{\Delta}$ |
|----------------------------------|----------|----------------------|------------|-------------------|-------|--------------|--------------|
|                                  | $V_I$    | $t_r/t_f$            |            |                   |       |              |              |
| $1.8\text{ V} \pm 0.15\text{ V}$ | $V_{CC}$ | $\leq 2\text{ ns}$   | $V_{CC}/2$ | $2 \times V_{CC}$ | 30 pF | 1 k $\Omega$ | 0.15 V       |
| $2.5\text{ V} \pm 0.2\text{ V}$  | $V_{CC}$ | $\leq 2\text{ ns}$   | $V_{CC}/2$ | $2 \times V_{CC}$ | 30 pF | 500 $\Omega$ | 0.15 V       |
| 2.7 V                            | 2.7 V    | $\leq 2.5\text{ ns}$ | 1.5 V      | 6 V               | 50 pF | 500 $\Omega$ | 0.3 V        |
| $3.3\text{ V} \pm 0.3\text{ V}$  | 2.7 V    | $\leq 2.5\text{ ns}$ | 1.5 V      | 6 V               | 50 pF | 500 $\Omega$ | 0.3 V        |

VOLTAGE WAVEFORMS  
PULSE DURATIONVOLTAGE WAVEFORMS  
SETUP AND HOLD TIMESVOLTAGE WAVEFORMS  
PROPAGATION DELAY TIMES  
INVERTING AND NONINVERTING OUTPUTSVOLTAGE WAVEFORMS  
ENABLE AND DISABLE TIMES  
LOW- AND HIGH-LEVEL ENABLING

- NOTES:
- $C_L$  includes probe and jig capacitance.
  - Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
  - All input pulses are supplied by generators having the following characteristics:  $PRR \leq 10\text{ MHz}$ ,  $Z_O = 50\text{ }\Omega$ .
  - The outputs are measured one at a time, with one transition per measurement.
  - $t_{PLZ}$  and  $t_{PHZ}$  are the same as  $t_{dis}$ .
  - $t_{PZL}$  and  $t_{PZH}$  are the same as  $t_{en}$ .
  - $t_{PLH}$  and  $t_{PHL}$  are the same as  $t_{pd}$ .
  - All parameters and waveforms are not applicable to all devices.

图 5-1. Load Circuit and Voltage Waveforms

## 6 Detailed Description

### 6.1 Functional Block Diagram



図 6-1. Logic Diagram, Each Gate (Positive Logic)

### 6.2 Device Functional Modes

Function Table  
(Each Gate)

| INPUTS |   | OUTPUT<br>Y |
|--------|---|-------------|
| A      | B |             |
| H      | H | L           |
| L      | X | H           |
| X      | L | H           |

## 7 Application and Implementation

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 7.1 Power Supply Recommendations

The power supply can be any voltage between the minimum and maximum supply voltage rating located in the *Recommended Operating Conditions*. Each  $V_{CC}$  terminal should have a good bypass capacitor to prevent power disturbance. A 0.1- $\mu\text{F}$  capacitor is recommended for this device. It is acceptable to parallel multiple bypass caps to reject different frequencies of noise. The 0.1- $\mu\text{F}$  and 1- $\mu\text{F}$  capacitors are commonly used in parallel. The bypass capacitor should be installed as close to the power terminal as possible for best results, as shown in given example layout image.

### 7.2 Layout

#### 7.2.1 Layout Guidelines

When using multiple-input and multiple-channel logic devices inputs must never be left floating. In many cases, functions or parts of functions of digital logic devices are unused; for example, when only two inputs of a triple-input AND gate are used or only 3 of the 4 buffer gates are used. Such unused input pins must not be left unconnected because the undefined voltages at the outside connections result in undefined operational states. All unused inputs of digital logic devices must be connected to a logic high or logic low voltage, as defined by the input voltage specifications, to prevent them from floating. The logic level that must be applied to any particular unused input depends on the function of the device. Generally, the inputs are tied to GND or  $V_{CC}$ , whichever makes more sense for the logic function or is more convenient.

#### 7.2.2 Layout Example

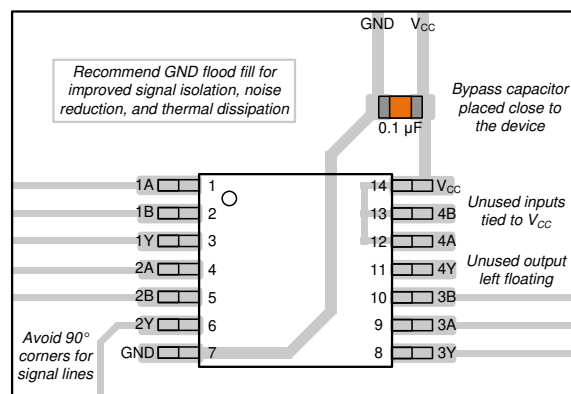


图 7-1. Example Layout for the SN74LVC00A-Q1



## 8 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

### 8.1 Documentation Support

#### 8.1.1 Related Documentation

The table below lists quick access links. Categories include technical documents, support and community resources, tools and software, and quick access to sample or buy.

**表 8-1. Related Links**

| PARTS         | PRODUCT FOLDER             | SAMPLE & BUY               | TECHNICAL DOCUMENTS        | TOOLS & SOFTWARE           | SUPPORT & COMMUNITY        |
|---------------|----------------------------|----------------------------|----------------------------|----------------------------|----------------------------|
| SN74LVC00A-Q1 | <a href="#">Click here</a> | <a href="#">Click here</a> | <a href="#">Click here</a> | <a href="#">Click here</a> | <a href="#">Click here</a> |

### 8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 8.4 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 8.6 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

## 9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

| Changes from Revision C (March 2024) to Revision D (May 2024)      | Page |
|--------------------------------------------------------------------|------|
| • Updated RθJA values: PW = 113 to 150.8, all values in °C/W ..... | 4    |

**Changes from Revision B (February 2008) to Revision C (March 2024)****Page**

- 「パッケージ情報」表、「ピンの機能」表、「ESD 定格」表、「熱に関する情報」表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加 ..... [1](#)
- パッケージ情報の表、「ピン構成および機能」セクション、および熱に関する情報の表に BQA パッケージを追加..... [1](#)
- Updated RθJA values: D = 86 to 127.8, all values in °C/W ..... [4](#)

**10 Mechanical, Packaging, and Orderable Information**

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated

## PACKAGING INFORMATION

| Orderable part number              | Status<br>(1) | Material type<br>(2) | Package   Pins  | Package qty   Carrier | RoHS<br>(3) | Lead finish/<br>Ball material<br>(4) | MSL rating/<br>Peak reflow<br>(5) | Op temp (°C) | Part marking<br>(6) |
|------------------------------------|---------------|----------------------|-----------------|-----------------------|-------------|--------------------------------------|-----------------------------------|--------------|---------------------|
| <a href="#">SN74LVC00ADRQ1</a>     | Active        | Production           | SOIC (D)   14   | 3000   LARGE T&R      | Yes         | NIPDAU                               | Level-1-260C-UNLIM                | -40 to 125   | LVC00AQ             |
| SN74LVC00ADRQ1.A                   | Active        | Production           | SOIC (D)   14   | 3000   LARGE T&R      | Yes         | NIPDAU                               | Level-1-260C-UNLIM                | -40 to 125   | LVC00AQ             |
| <a href="#">SN74LVC00AQPWRG4Q1</a> | Active        | Production           | TSSOP (PW)   14 | 2000   LARGE T&R      | Yes         | NIPDAU                               | Level-1-260C-UNLIM                | -40 to 125   | LVC00AQ             |
| SN74LVC00AQPWRG4Q1.B               | Active        | Production           | TSSOP (PW)   14 | 2000   LARGE T&R      | Yes         | NIPDAU                               | Level-1-260C-UNLIM                | -40 to 125   | LVC00AQ             |
| <a href="#">SN74LVC00AQPWRQ1</a>   | Active        | Production           | TSSOP (PW)   14 | 2000   LARGE T&R      | Yes         | NIPDAU                               | Level-3-260C-168 HR               | -40 to 125   | LVC00AQ             |
| SN74LVC00AQPWRQ1.A                 | Active        | Production           | TSSOP (PW)   14 | 2000   LARGE T&R      | Yes         | NIPDAU                               | Level-3-260C-168 HR               | -40 to 125   | LVC00AQ             |
| SN74LVC00AQPWRQ1.B                 | Active        | Production           | TSSOP (PW)   14 | 2000   LARGE T&R      | Yes         | NIPDAU                               | Level-3-260C-168 HR               | -40 to 125   | LVC00AQ             |
| <a href="#">SN74LVC00AWBQARQ1</a>  | Active        | Production           | WQFN (BQA)   14 | 3000   LARGE T&R      | Yes         | NIPDAU                               | Level-1-260C-UNLIM                | -40 to 125   | LVC00Q              |
| SN74LVC00AWBQARQ1.A                | Active        | Production           | WQFN (BQA)   14 | 3000   LARGE T&R      | Yes         | NIPDAU                               | Level-1-260C-UNLIM                | -40 to 125   | LVC00Q              |

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

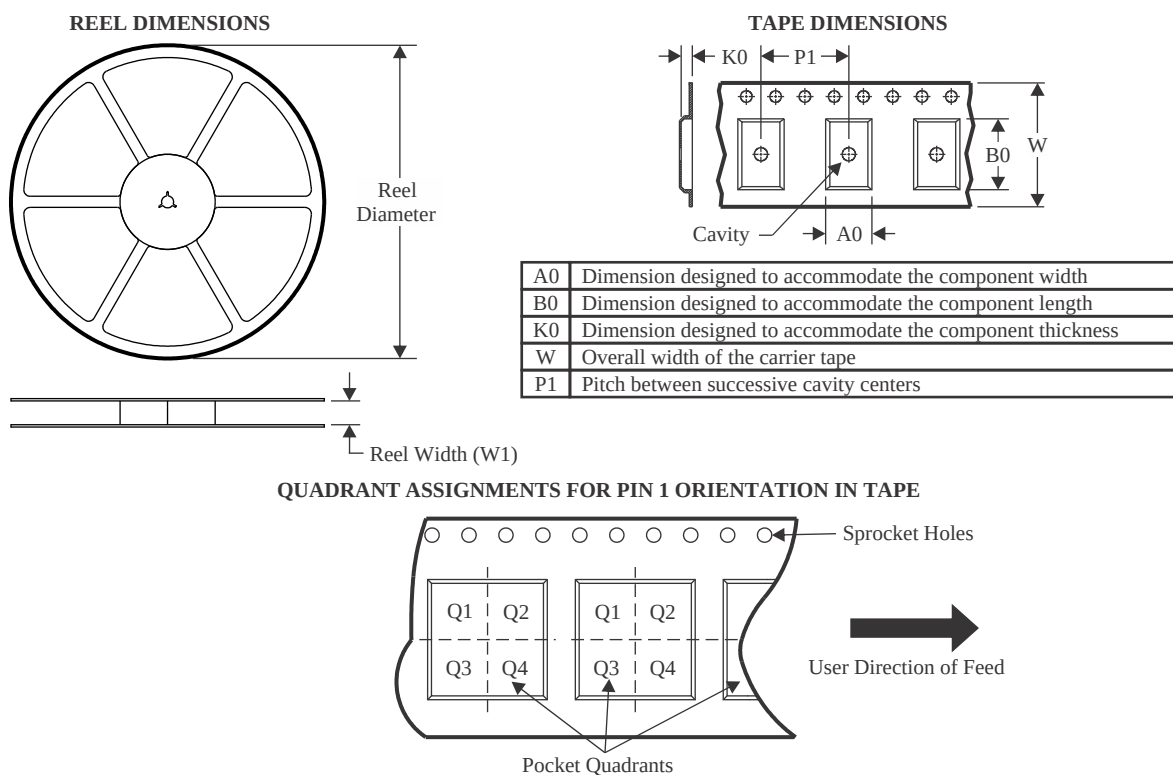
**OTHER QUALIFIED VERSIONS OF SN74LVC00A-Q1 :**

- Catalog : [SN74LVC00A](#)
- Enhanced Product : [SN74LVC00A-EP](#)
- Military : [SN54LVC00A](#)

**NOTE: Qualified Version Definitions:**

- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

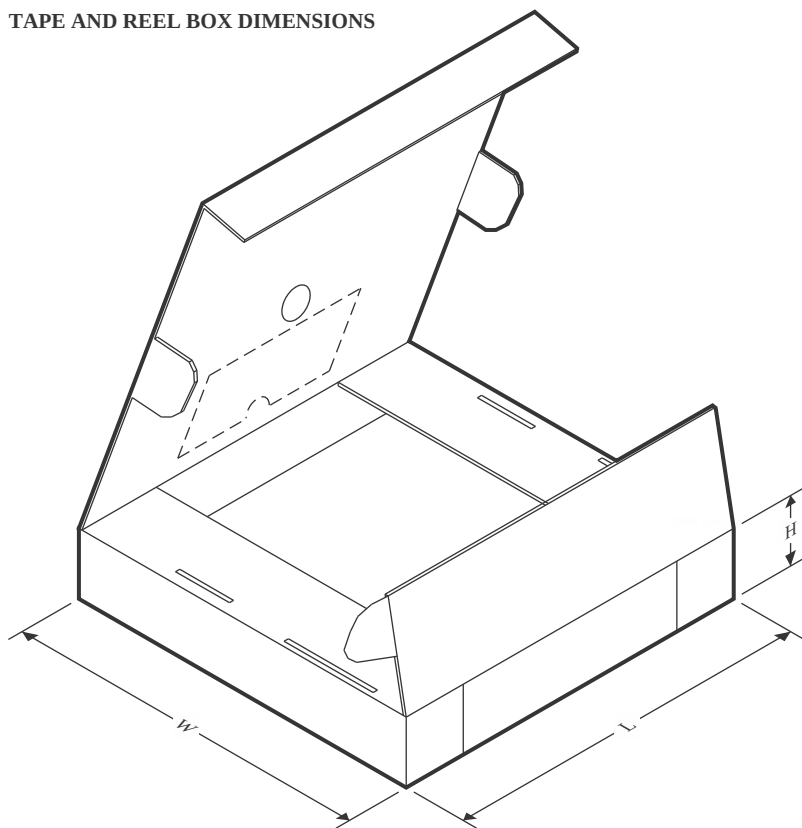
## TAPE AND REEL INFORMATION



\*All dimensions are nominal

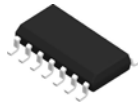
| Device             | Package Type | Package Drawing | Pins | SPQ  | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|--------------------|--------------|-----------------|------|------|--------------------|--------------------|---------|---------|---------|---------|--------|---------------|
| SN74LVC00ADRQ1     | SOIC         | D               | 14   | 3000 | 330.0              | 12.4               | 3.75    | 3.75    | 1.15    | 8.0     | 12.0   | Q1            |
| SN74LVC00AQPWRG4Q1 | TSSOP        | PW              | 14   | 2000 | 330.0              | 12.4               | 6.9     | 5.6     | 1.6     | 8.0     | 12.0   | Q1            |
| SN74LVC00AQPWRQ1   | TSSOP        | PW              | 14   | 2000 | 330.0              | 12.4               | 6.9     | 5.6     | 1.6     | 8.0     | 12.0   | Q1            |
| SN74LVC00AWBQARQ1  | WQFN         | BQA             | 14   | 3000 | 180.0              | 12.4               | 2.8     | 3.3     | 1.1     | 4.0     | 12.0   | Q1            |

## TAPE AND REEL BOX DIMENSIONS

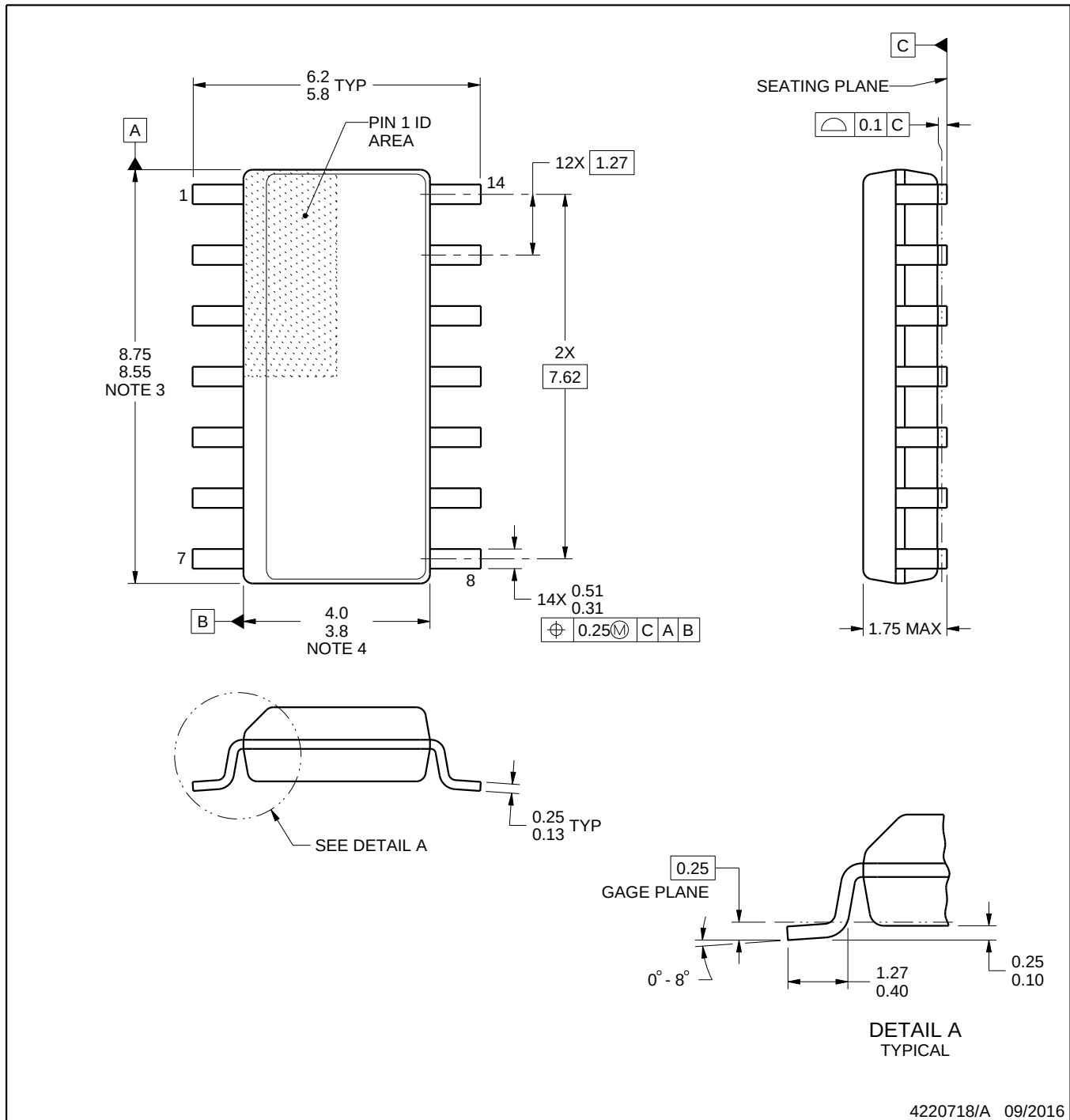


\*All dimensions are nominal

| Device             | Package Type | Package Drawing | Pins | SPQ  | Length (mm) | Width (mm) | Height (mm) |
|--------------------|--------------|-----------------|------|------|-------------|------------|-------------|
| SN74LVC00ADRQ1     | SOIC         | D               | 14   | 3000 | 340.5       | 336.1      | 32.0        |
| SN74LVC00AQPWRG4Q1 | TSSOP        | PW              | 14   | 2000 | 353.0       | 353.0      | 32.0        |
| SN74LVC00AQPWRQ1   | TSSOP        | PW              | 14   | 2000 | 353.0       | 353.0      | 32.0        |
| SN74LVC00AWBQARQ1  | WQFN         | BQA             | 14   | 3000 | 210.0       | 185.0      | 35.0        |

**D0014A****PACKAGE OUTLINE****SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

**NOTES:**

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

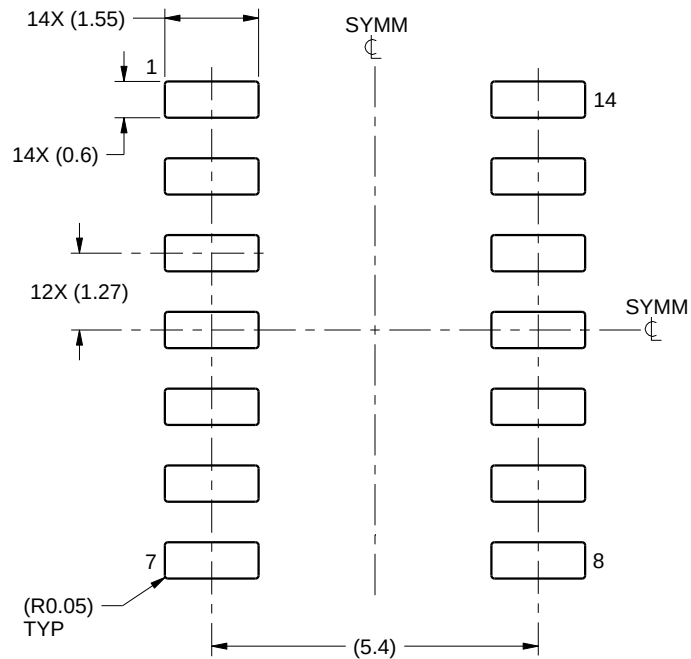


# EXAMPLE BOARD LAYOUT

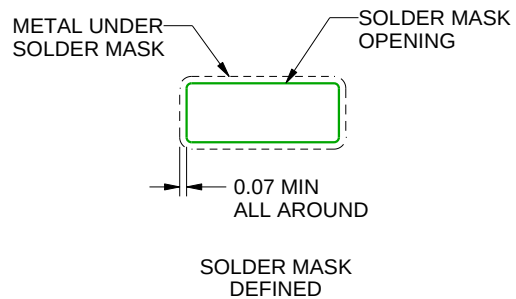
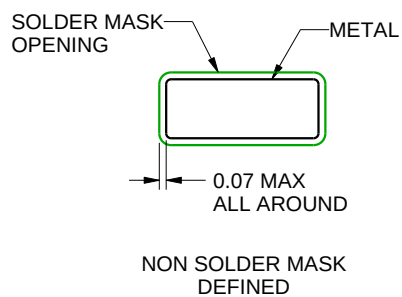
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE  
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

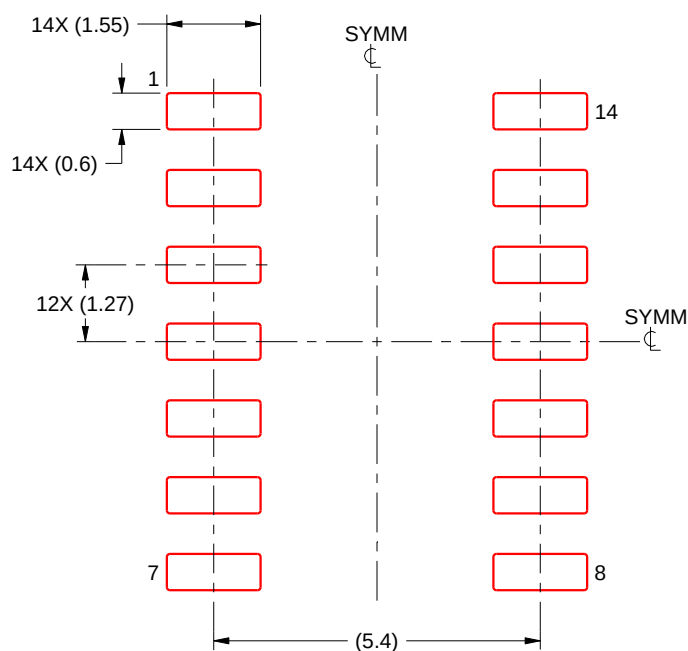
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

## EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## GENERIC PACKAGE VIEW

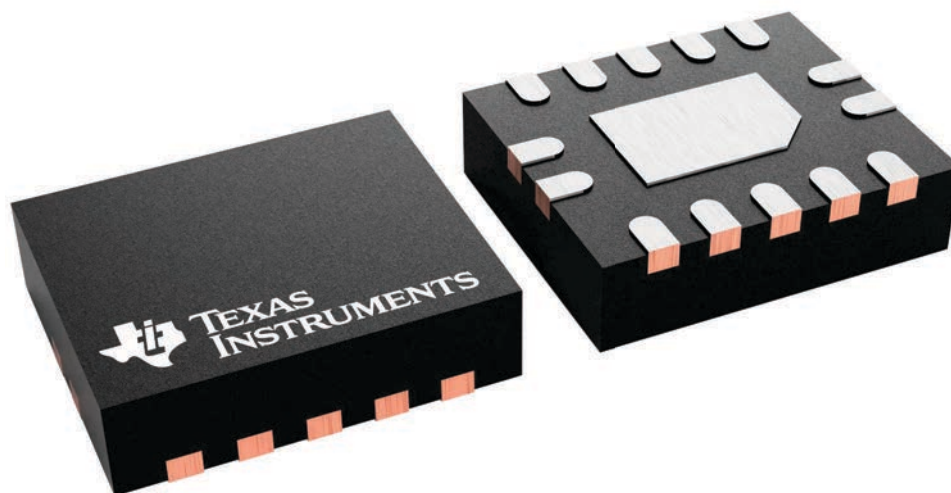
**BQA 14**

**WQFN - 0.8 mm max height**

2.5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4227145/A

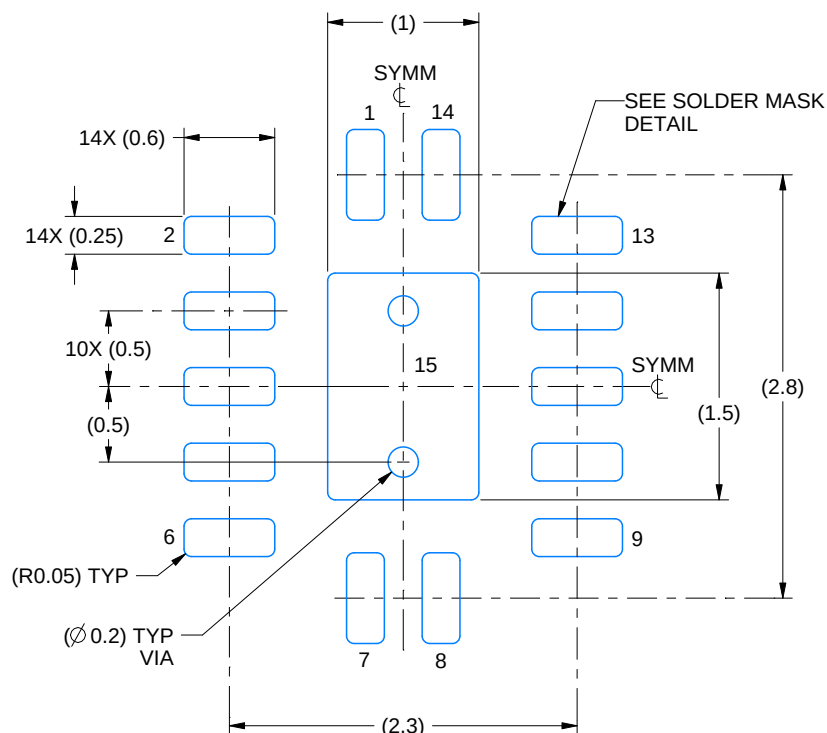
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

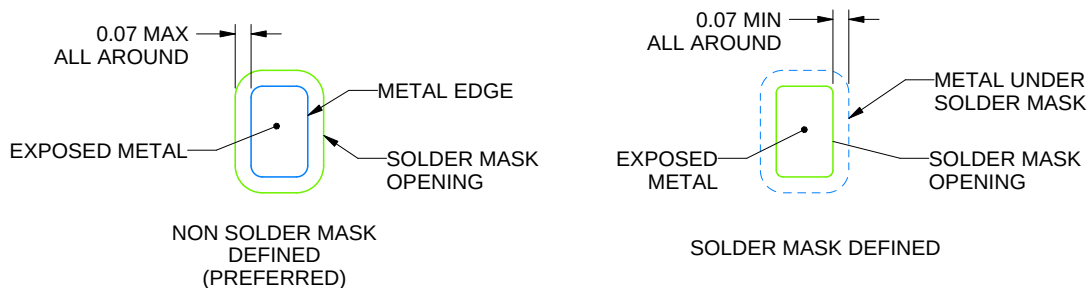
**BQA0014B**

**WQFN - 0.8 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 20X



SOLDER MASK DETAILS

4227062/B 09/2021

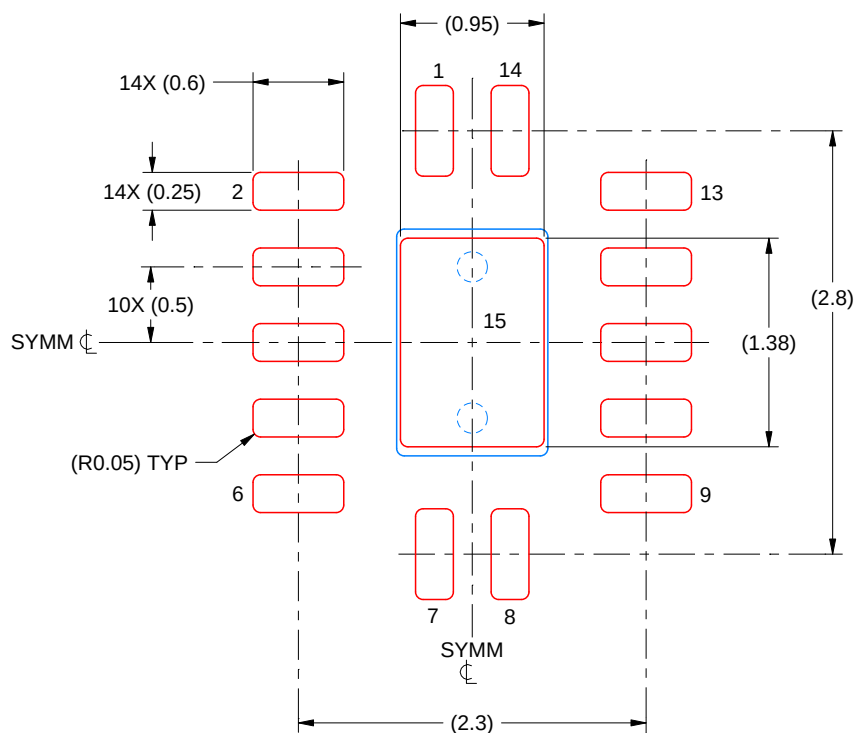
NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/sluea271](http://www.ti.com/lit/sluea271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

**BQA0014B**

**WQFN - 0.8 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



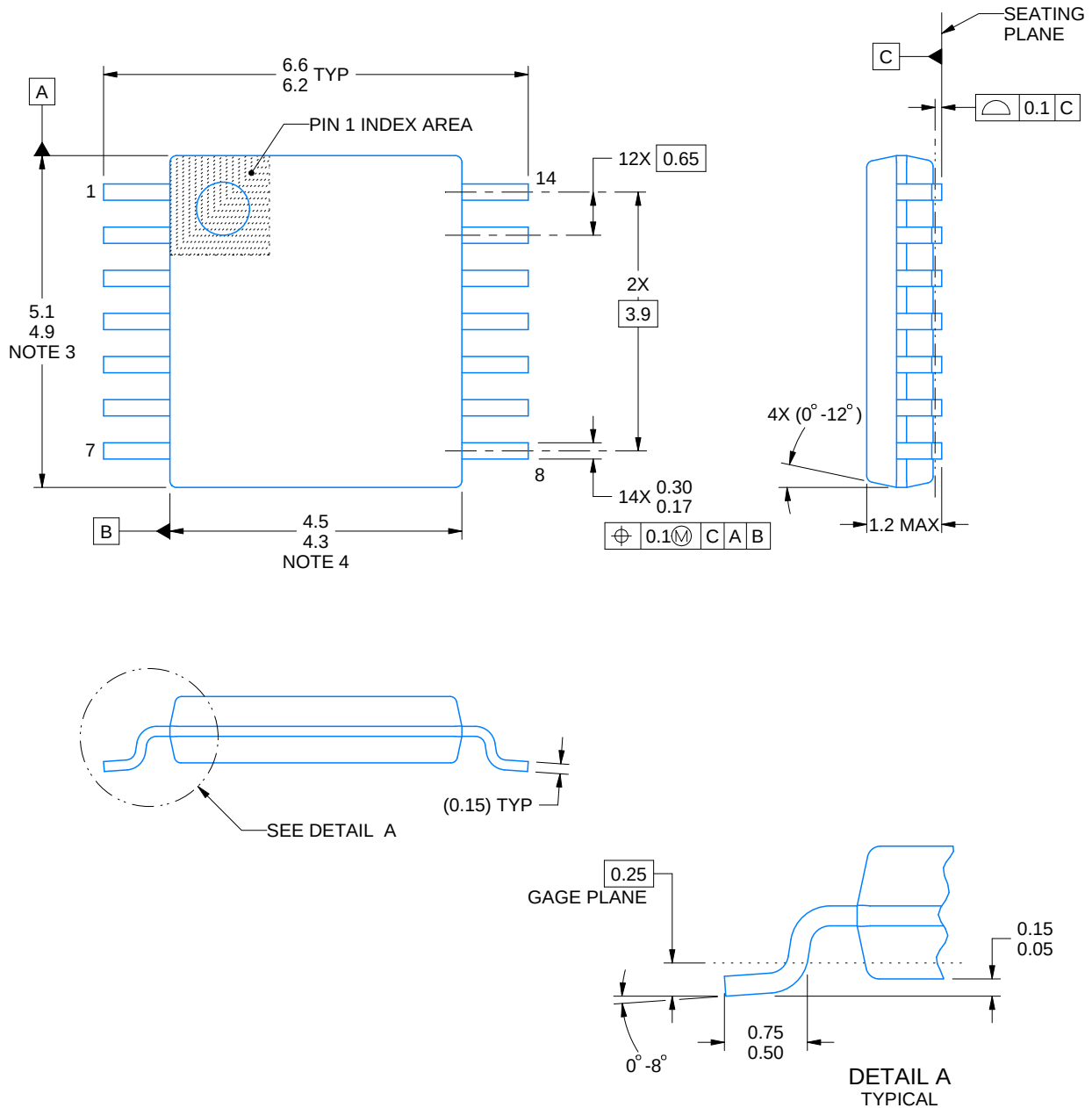
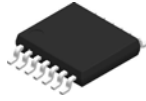
SOLDER PASTE EXAMPLE  
BASED ON 0.125 MM THICK STENCIL  
SCALE: 20X

EXPOSED PAD 15  
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4227062/B 09/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



4220202/B 12/2023

## NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



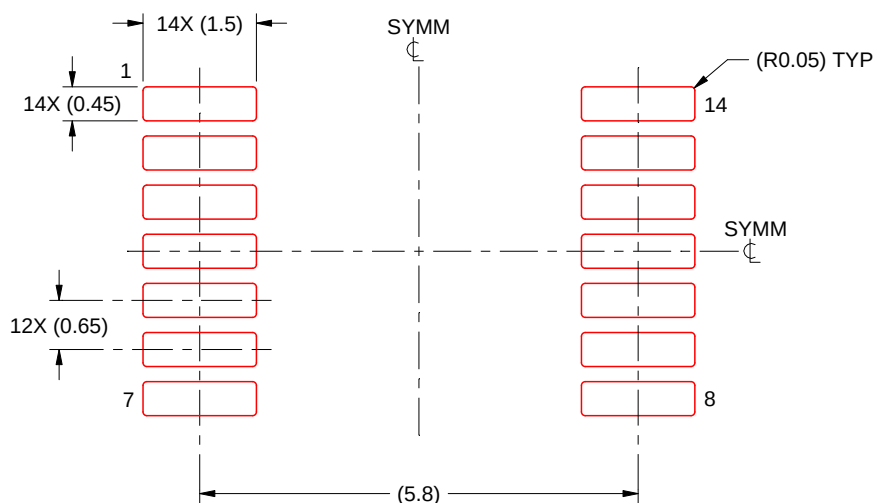


# EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2025, Texas Instruments Incorporated