SN74LV8T165-Q1 車載対応、パラレル・ロード (並列読み込み)、8 ビット・シフト・レジスタ

1 特長

- 幅広い動作範囲:1.8 V～5.5 V
- 単一電源電圧トランスレータ
  (「LVxT 拡張入力電圧」を参照):
  - 昇圧変換:
    - 1.2 V～1.8 V
    - 1.5 V～2.5 V
    - 1.8 V～3.3 V
    - 3.3 V～5.0 V
  - 降圧変換:
    - 5.0 V、3.3 V、2.5 V から 1.8 V
    - 5.0 V、3.3 V から 2.5 V
    - 5.0 V～3.3 V
- 5.5 V 耐圧入力ピン
- 標準ピン配置をサポート
- 5 V または 3.3 V の V_{CC} で最大 150Mbps
- 既知の電源オン状態でのラッチ ロジック
- JESD 17 準拠で
  250mA 超のラッチアップ性能

2 アプリケーション

- マイクロコントローラの入力数拡張

3 概要

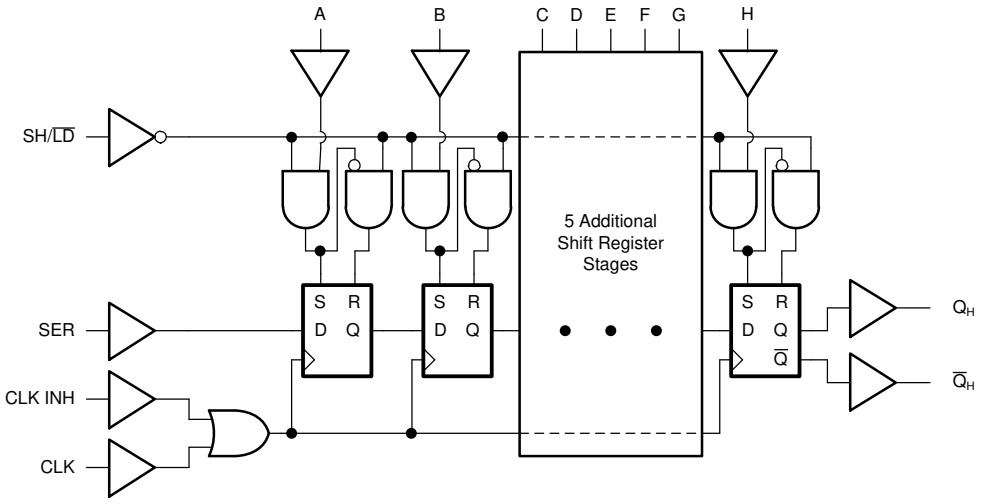
SN74LV8T165-Q1 デバイスは、並列またはシリアル入力、シリアル出力の 8 ビット・シフト・レジスタです。このデバイスには、ロード・データとシフト・データという 2 つの動作モードがあり、SH/$\overline{LD}$ 入力で制御されます。出力レベルは電源電圧 (V_{CC}) を基準としており、1.8V、2.5V、3.3V、5V の CMOS レベルをサポートしています。

低電圧 CMOS 入力の昇圧変換 (例:1.2V 入力から 1.8V 出力、1.8V 入力から 3.3V 出力) をサポートするため、低スレッショルド回路を使って入力を設計しました。また、5V 許容の入力ピンにより、降圧変換 (例:3.3V から 2.5V 出力) が可能です。

パッケージ情報

部品番号	パッケージ(1)	パッケージ・サイズ(2)	本体サイズ (公称)(3)
SN74LV8T165-Q1	PW (TSSOP、16)	5mm × 6.4mm	5mm × 4.4mm
	BQB (WQFN、16)	3.5mm × 2.5mm	3.5mm × 2.5mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ・サイズ (長さ × 幅) は公称値で、該当する場合はピンも含まれます。
(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



概略論理図 (正論理)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.... 1
2 アプリケーション.... 1
3 概要.... 1
4 ピン構成と機能.... 3
5 仕様.... 4
5.1 絶対最大定格.... 4
5.2 ESD 定格.... 4
5.3 推奨動作条件.... 5
5.4 熱に関する情報.... 5
5.5 電気的特性.... 6
5.6 タイミング特性.... 7
5.7 スイッチング特性.... 9
5.8 標準的特性.... 11
6 パラメータ測定情報.... 13
7 詳細説明.... 14
7.1 概要.... 14
7.2 機能ブロック図.... 14
7.3 機能説明.... 14
7.4 デバイスの機能モード.... 17
8 アプリケーションと実装.... 18
8.1 アプリケーション情報.... 18
8.2 代表的なアプリケーション.... 18
8.3 電源に関する推奨事項.... 20
8.4 レイアウト.... 20
9 デバイスおよびドキュメントのサポート.... 22
9.1 ドキュメントのサポート.... 22
9.2 ドキュメントの更新通知を受け取る方法.... 22
9.3 サポート・リソース.... 22
9.4 商標.... 22
9.5 静電気放電に関する注意事項.... 22
9.6 用語集.... 22
10 改訂履歴.... 22
11 メカニカル、パッケージ、および注文情報.... 22

Copyright © 2024 Texas Instruments Incorporated

4 ピン構成と機能

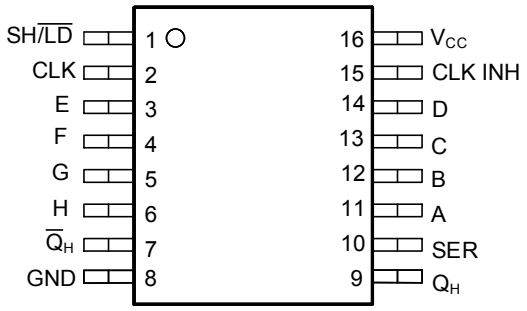


図 4-1. PW パッケージ、16 ピン TSSOP (上面図)

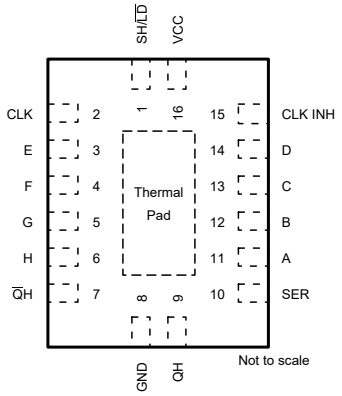


図 4-2. BQB パッケージ、16 ピン WQFN (上面図)

表 4-1. ピンの機能

ピン		種類[1]	説明
名称	番号		
SH/$\overline{LD}$	1	I	入力が High のときシフトをイネーブルし、入力が Low のときデータをロード
CLK	2	I	クロック、立ち上がりエッジをトリガ
E	3	I	パラレル入力 E
F	4	I	パラレル入力 F
G	5	I	パラレル入力 G
H	6	I	パラレル入力 H
$\overline{Q}_H$	7	O	反転シリアル出力
GND	8	G	グランド
Q_H	9	O	シリアル出力
SER	10	I	シリアル入力
A	11	I	パラレル入力 A
B	12	I	パラレル入力 B
C	13	I	パラレル入力 C
D	14	I	パラレル入力 D
CLK INH	15	I	クロック禁止入力
V_{CC}	16	P	正電源
放熱パッド[2]		—	サーマル・パッドは GND に接続するか、フローティングのままにすることができます。他の信号や電源には接続しないでください。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源
(2) BQB パッケージのみ。

5 仕様

5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)[1]

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	7	V
V_I	入力電圧範囲[2]		–0.5	7	V
V_O	高インピーダンスまたは電源オフ状態で出力に印加される電圧範囲[2]		-0.5	7	V
V_O	出力電圧範囲[2]		–0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流	V_I < -0.5V		-20	mA
I_{OK}	出力クランプ電流	V_O < -0.5V または V_O > V_{CC} + 0.5V		±20	mA
I_O	連続出力電流	V_O = 0～V_{CC}		±25	mA
	V_{CC} または GND を通過する連続出力電流			±75	mA
T_{stg}	保管温度		-65	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内で、一時的に「推奨動作条件」の範囲を超えた動作をさせる場合、必ずしもデバイスが損傷を受けるものではありませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。

(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 HBM ESD 分類レベル 2 準拠[1]	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4B 準拠	±1000	

(1) AEC Q100-002 には、HBM ストレス試験は ANSI/ESDA/JEDEC JS-001 仕様に従って実施することと規定されています。

Copyright © 2024 Texas Instruments Incorporated

5.3 推奨動作条件

自由空気での動作温度範囲内 (特に記述のない限り)

仕様	概要	条件	最小値	最大値	単位
V_{CC}	電源電圧		1.65	5.5	V
V_I	入力電圧		0	5.5	V
V_O	出力電圧		0	V_{CC}	V
V_{IH} (1)	High レベル入力電圧	V_{CC} = 1.65V～2V	1.1		V
		V_{CC} = 2.25V～2.75V	1.28		
		V_{CC} = 3V～3.6V	1.45		
		V_{CC} = 4.5V～5.5V	2		
V_{IL} (1)	Low レベル入力電圧	V_{CC} = 1.65V～2V		0.51	V
		V_{CC} = 2.25V～2.75V		0.65	
		V_{CC} = 3V～3.6V		0.75	
		V_{CC} = 4.5V～5.5V		0.8	
I_O	出力電流	V_{CC} = 1.6V～2V		±8	mA
		V_{CC} = 2.25V～2.75V		±15	
		V_{CC} = 3.3V～5.0V		±25	
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート	V_{CC} = 1.6V～5.0V		20	ns/V
$\Delta t/\Delta V_{CC}$ (2)	POR の安全な電源ランプ・レート	V_{CC} = 1.6V～5.5V	6		µs/V
T_A	自由気流での動作温度		-40	125	℃

(1) デバイスが適切に動作するように、デバイスの入力はすべて、有効な High 状態または Low 状態に固定する必要があります。詳細については、「機能説明」セクションの「LVxT 拡張入力電圧」を参照してください。

(2) 適切なリセット機能を実現するために、V_{CC} は $V_{POR(min)}$ を下回るまでランプを開始し、$V_{POR(max)}$ を上回るまで上昇する必要があります。詳細については「電気的特性」を参照してください。

5.4 熱に関する情報

熱評価基準(1)		BQB (WQFN)	PW (TSSOP)	単位
		16 ピン	16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	105.6	131.2	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	96.6	69.4	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	75.4	75.8	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	19.1	21	℃/W
Y_{JB}	接合部から基板への特性パラメータ	75.4	75.4	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	56.1	該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

5.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	T_A = 25℃			-40℃～125℃			単位
			最小値	標準値	最大値	最小値	標準値	最大値	
V_{OH}	I_{OH} = -50μA	1.65V～5.5V	V_{CC} - 0.1			V_{CC} - 0.1			V
	I_{OH} = -2mA	1.65V～2V	1.28	1.7(1)		1.21			
	I_{OH} = -3mA	2.25V～2.75V	2	2.4(1)		1.93			
	I_{OH} = -5.5mA	3V～3.6V	2.6	3.08 (1)		2.49			
	I_{OH} = -8mA	4.5V～5.5V	4.1	4.65 (1)		3.95			
V_{OL}	I_{OL} = 50μA	1.65V～5.5V			0.1			0.1	V
	I_{OL} = 2mA	1.65V～2V		0.1(1)	0.2			0.25	
	I_{OL} = 3mA	2.25V～2.75V		0.1(1)	0.15			0.2	
	I_{OL} = 5.5mA	3V～3.6V		0.2(1)	0.2			0.25	
	I_{OL} = 8mA	4.5V～5.5V		0.3(1)	0.3			0.35	
I_I	V_I = 0V または V_{CC}	0V～5.5V			±0.1			±1	μA
I_{CC}	V_I = 0V または V_{CC}、I_O = 0、負荷時にオープン	1.65V～5.5V			2			20	μA
ΔI_{CC}	1 つの入力は 0.3V または 3.4V、その他の入力は 0 または V_{CC}、I_O = 0	5.5V			1.35			1.5	mA
	1 つの入力は 0.3V または 1.1V、その他の入力は 0 または V_{CC}、I_O = 0	1.8V			10			20	μA
C_I	V_I = V_{CC} または GND	5V		4	10			10	pF
C_{PD} (2) (3)	無負荷、F = 1MHz	5V		32					pF
V_{POR}	6μs/V から 100ms/V までの V_{CC} ランプ・レート	1.65V～5.5V	0.3		1.5	0.3		1.5	V

(1) 最も近い公称電圧 (1.8V、2.5V、3.3V、5V) での代表値
(2) C_{PD} を使用して、チャネルごとの動的な消費電力を決定します。
(3) $P_D = V_{CC}^2 \times F_I \times (C_{PD} + C_L)$、ここで F_I= 入力周波数、C_L= 出力負荷容量、V_{CC}= 電源電圧。

Copyright © 2024 Texas Instruments Incorporated

5.6 タイミング特性

自由気流での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	概要	条件	V_{CC}	T_A = 25℃		-40℃～125℃		単位
				最小値	最大値	最小値	最大値	
f_{CLOCK}	クロック周波数		1.8V		37.7		27.8	MHz
t_W	パルス幅	SH/LD Low		6.1		6.9		ns
		CLK High または Low		6.1		7		
t_{SU}	セットアップ時間	CLK↑ の前の SH/LD が High		6.3		8		
		CLK↑ の前の SER		7.9		10.1		
		CLK↑ の前の CLK INH が Low		1		1		
		CLK↑ の前の CLK INH が High		1		1		
		SH/LD↓ より前のデータ		8.3		10		
t_H	ホールド時間	CLK↑ より後の SER データ		0		0		
		SH/LD↓ より後の PAR データ		0		0		
f_{CLOCK}	クロック周波数		2.5V		53.9		39.7	MHz
t_W	パルス幅	SH/LD Low		4.3		5.4		ns
		CLK High または Low		4.3		4.5		
t_{SU}	セットアップ時間	CLK↑ の前の SH/LD が High		3.3		4.5		
		CLK↑ の前の SER		4.5		5.9		
		CLK↑ の前の CLK INH が Low		1		1		
		CLK↑ の前の CLK INH が High		1		1		
		SH/LD↓ より前のデータ		5.7		6.9		
t_H	ホールド時間	CLK↑ より後の SER データ		0		0		
		SH/LD↓ より後の PAR データ		0		0		
f_{CLOCK}	クロック周波数		3.3V		77		56.7	MHz
t_W	パルス幅	SH/LD Low		4.3		4.3		ns
		CLK High または Low		4.3		4.3		
t_{SU}	セットアップ時間	CLK↑ の前の SH/LD が High		2.2		2.9		
		CLK↑ の前の SER		3.2		4		
		CLK↑ の前の CLK INH が Low		1		1		
		CLK↑ の前の CLK INH が High		1		1		
		SH/LD↓ より前のデータ		4.5		5.3		
t_H	ホールド時間	CLK↑ より後の SER データ		0		0		
		SH/LD↓ より後の PAR データ		0		0		

自由気流での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	概要	条件	V_{CC}	T_A = 25℃		-40℃～125℃		単位
				最小値	最大値	最小値	最大値	
f_{CLOCK}	クロック周波数		5V		110		81	MHz
t_W	パルス幅	SH/LD Low		4.3		4.3		ns
		CLK High または Low		4.3		4.3		
t_{SU}	セットアップ時間	CLK↑ の前の SH/LD が High		1.4		1.9		
		CLK↑ の前の SER		1.3		1.8		
		CLK↑ の前の CLK INH が Low		1		1		
		CLK↑ の前の CLK INH が High		1		1		
		SH/LD↓ より前のデータ		2.6		3.1		
t_H	ホールド時間	CLK↑ より後の SER データ		0		0		
		SH/LD↓ より後の PAR データ		0		0		

Copyright © 2024 Texas Instruments Incorporated

5.7 スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)。「パラメータ測定情報」を参照

パラメータ	始点 (入力)	終点 (出力)	負荷容量	V_{CC}	T_A = 25℃			-40℃～125℃			単位
					最小値	標準値	最大値	最小値	標準値	最大値	
tPLH	CLK	Q_H または $\overline{Q}_H$	C_L = 15pF	1.8V	14.5	21.3		1		24.2	ns
tPHL					14.5	24.5		1		27.6	
tPLH	H	Q_H または $\overline{Q}_H$			13	28.1		1		33.2	
tPHL					13	31.1		1		36.3	
tPLH	SH/$\overline{LD}$	Q_H または $\overline{Q}_H$			14.7	31.4		1		37.1	
tPHL					14.7	34.4		1		40.2	
tPLH	CLK	Q_H または $\overline{Q}_H$	C_L = 50pF		17.8	26.1		1		29.5	
tPHL					17.8	29.6		1		32.8	
tPLH	H	Q_H または $\overline{Q}_H$			16.3	32.9		1		38.5	
tPHL					16.3	36.1		1		41.5	
tPLH	SH/$\overline{LD}$	Q_H または $\overline{Q}_H$			18	36.3		1		42.5	
tPHL					18	39.5		1		45.4	
tPLH	CLK	Q_H または $\overline{Q}_H$	C_L = 15pF	2.5V	11.2	12.3		1		14.8	ns
tPHL					11.2	13.3		1		16	
tPLH	H	Q_H または $\overline{Q}_H$			9.97	15.9		1		19.9	
tPHL					9.97	16.8		1		21	
tPLH	SH/$\overline{LD}$	Q_H または $\overline{Q}_H$			11.3	18.2		1		22.6	
tPHL					11.3	19		1		23.8	
tPLH	CLK	Q_H または $\overline{Q}_H$	C_L = 50pF		13.7	15.3		1		18.2	
tPHL					13.7	17.1		1		20	
tPLH	H	Q_H または $\overline{Q}_H$			12.5	19		1		23.3	
tPHL					12.5	20.6		1		25	
tPLH	SH/$\overline{LD}$	Q_H または $\overline{Q}_H$			13.9	21.2		1		26.1	
tPHL					13.9	22.8		1		27.7	
tPLH	CLK	Q_H または $\overline{Q}_H$	C_L = 15pF	3.3V	8.58	9.4		1		11	ns
tPHL					8.58	9.2		1		11.2	
tPLH	H	Q_H または $\overline{Q}_H$			7.67	12.1		1		14.4	
tPHL					7.67	11.9		1		14.5	
tPLH	SH/$\overline{LD}$	Q_H または $\overline{Q}_H$			8.71	13.6		1		16.5	
tPHL					8.71	13.4		1		16.6	
tPLH	CLK	Q_H または $\overline{Q}_H$	C_L = 50pF		10.5	11.5		1		13.5	
tPHL					10.5	12.3		1		14.5	
tPLH	H	Q_H または $\overline{Q}_H$			9.62	14.2		1		16.9	
tPHL					9.62	15		1		17.8	
tPLH	SH/$\overline{LD}$	Q_H または $\overline{Q}_H$			10.7	15.7		1		19	
tPHL					10.7	16.5		1		19.9	

Copyright © 2024 Texas Instruments Incorporated

5.7 スイッチング特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)。「パラメータ測定情報」を参照

パラメータ	始点 (入力)	終点 (出力)	負荷容量	V_{CC}	T_A = 25℃			-40℃～125℃			単位
					最小値	標準値	最大値	最小値	標準値	最大値	
tPLH	CLK	Q_H または $\overline{Q}_H$	C_L = 15pF	5V		6.6	7.9	1		9	ns
tPHL						6.6	6.8	1		8.2	
tPLH	H	Q_H または $\overline{Q}_H$				5.9	9.7	1		11.4	
tPHL						5.9	8.6	1		10.6	
tPLH	SH/$\overline{LD}$	Q_H または $\overline{Q}_H$				6.7	10.1	1		11.9	
tPHL						6.7	9	1		11.2	
tPLH	CLK	Q_H または $\overline{Q}_H$	C_L = 50pF			8.1	9.4	1		10.8	
tPHL						8.1	9.3	1		10.9	
tPLH	H	Q_H または $\overline{Q}_H$				7.4	11.2	1		13.2	
tPHL						7.4	11.1	1		13.2	
tPLH	SH/$\overline{LD}$	Q_H または $\overline{Q}_H$				8.2	11.6	1		13.8	
tPHL						8.2	11.4	1		13.8	

Copyright © 2024 Texas Instruments Incorporated

5.8 標準的特性

T_A = 25℃ (特に記述のない限り)

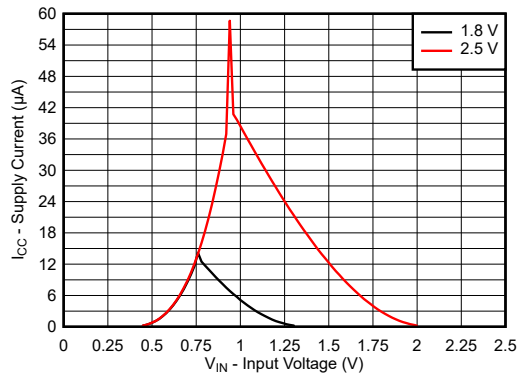


図 5-1. 電源電流と入力電圧との関係 (1.8V、2.5V 電源)

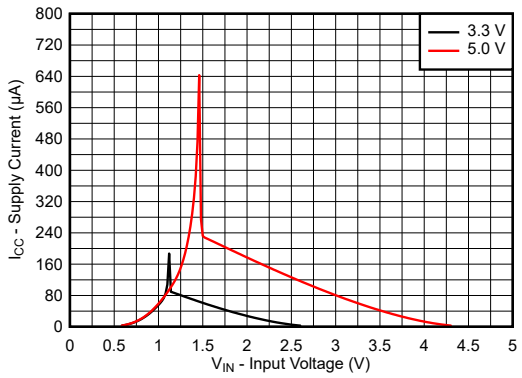


図 5-2. 電源電流と入力電圧との関係 (3.3V、5.0V 電源)

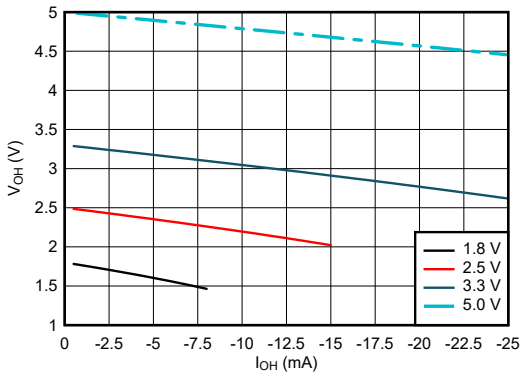


図 5-3. 出力電圧と High 状態の電流との関係

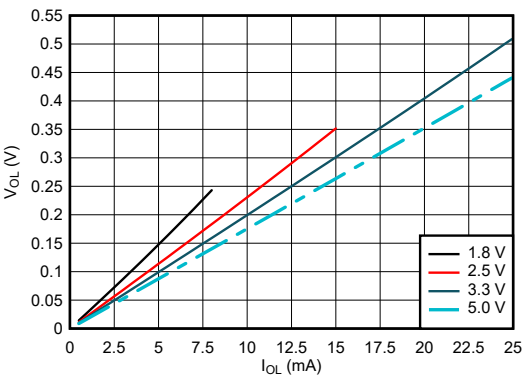


図 5-4. 出力電圧と Low 状態の電流との関係

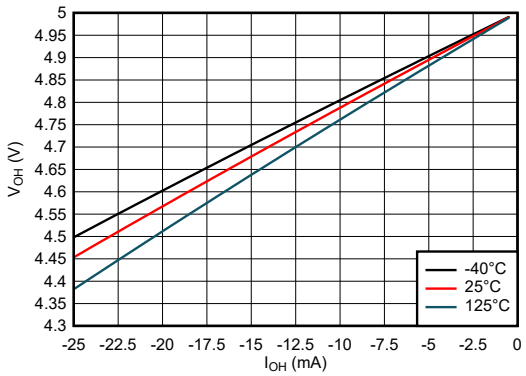


図 5-5. 出力電圧と High 状態の電流との関係 (5V 電源)

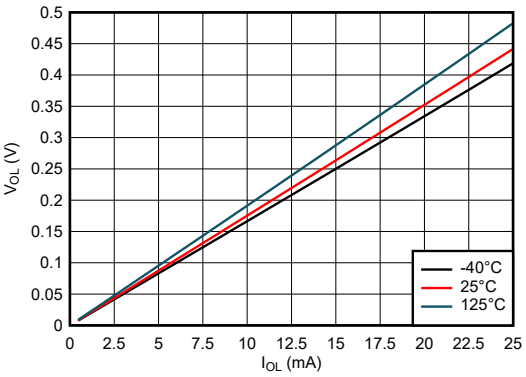


図 5-6. Low 状態における出力電圧と電流の関係、5V 電源

5.8 標準的特性 (続き)

T_A = 25℃ (特に記述のない限り)

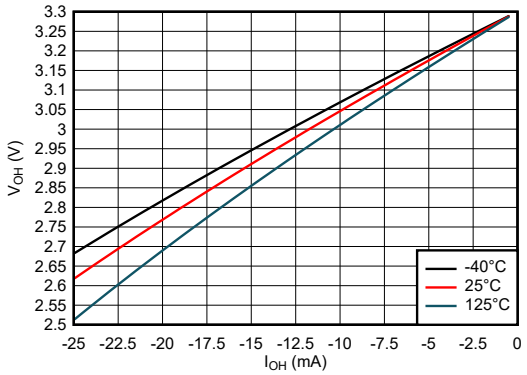


図 5-7. 出力電圧と High 状態の電流との関係 (3.3V 電源)

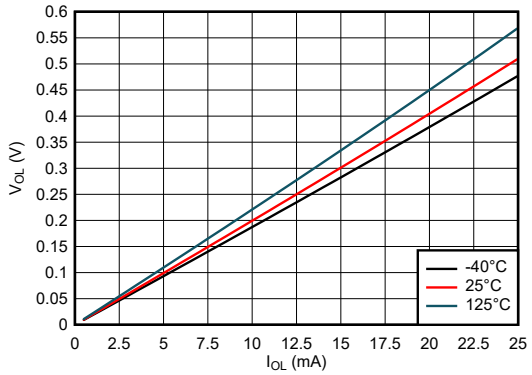


図 5-8. 出力電圧と Low 状態の電流との関係 (3.3V 電源)

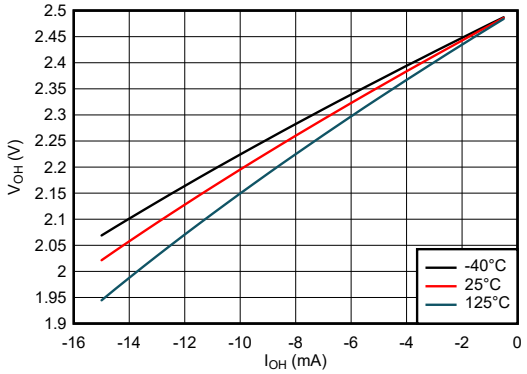


図 5-9. 出力電圧と High 状態の電流との関係 (2.5V 電源)

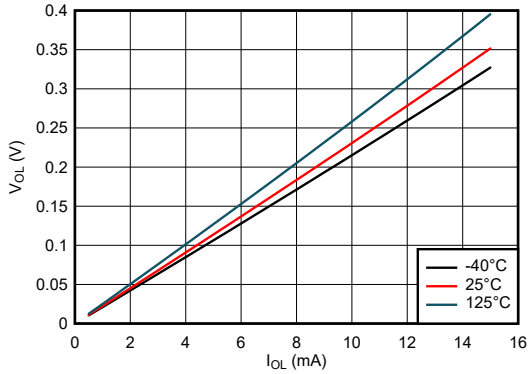


図 5-10. 出力電圧と Low 状態の電流との関係 (2.5V 電源)

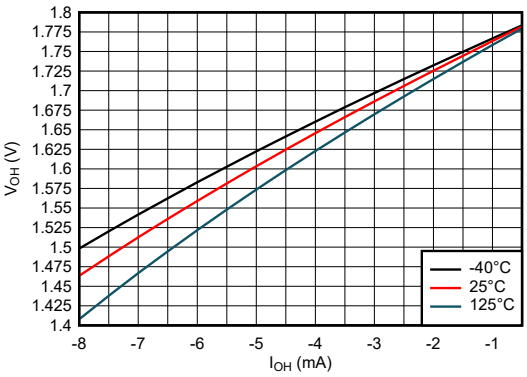


図 5-11. 出力電圧と High 状態の電流との関係 (1.8V 電源)

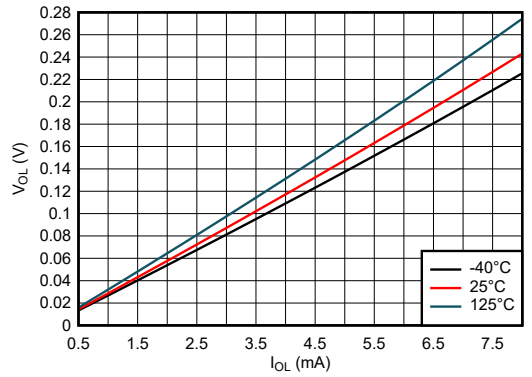


図 5-12. 出力電圧と Low 状態の電流との関係 (1.8V 電源)

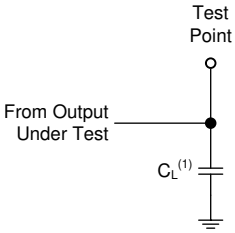
Copyright © 2024 Texas Instruments Incorporated

6 パラメータ測定情報

波形間の位相関係は、任意に選択されています。すべての入力パルスは、以下の特性を持つジェネレータで供給されます。PRR ≤ 1MHz、Z_O = 50Ω。

クロック入力の場合、入力デューティ・サイクルが 50% のときに f_{max} が測定されます。

出力は一度に 1 回ずつ測定され、測定するたびに入力が 1 回遷移します。



(1) C_L にはプローブとテスト装置の容量が含まれます。

図 6-1. プッシュプル出力の負荷回路

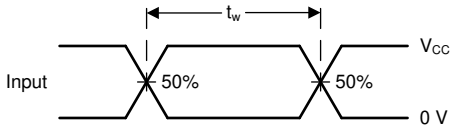


図 6-2. 電圧波形、パルス幅

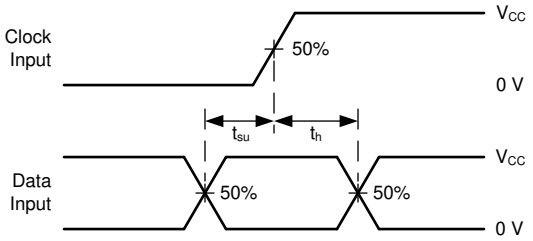
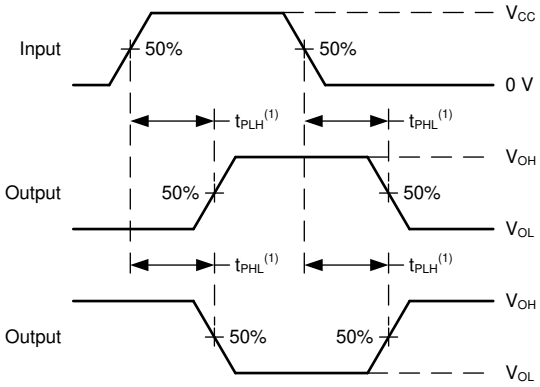
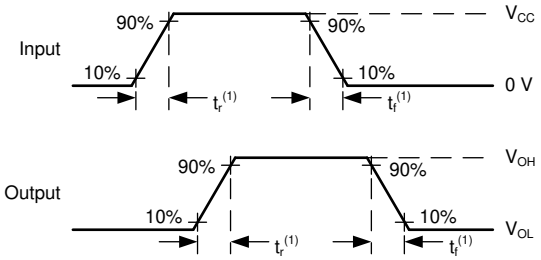


図 6-3. 電圧波形、セットアップ時間およびホールド時間



(1) t_{PLH} と t_{PHL} の大きいほうは、t_{pd} と等しくなります。

図 6-4. 電圧波形の伝搬遅延



(1) t_r と t_f の大きいほうは、t_t と等しくなります。

図 6-5. 電圧波形、入力および出力の遷移時間

7 詳細説明

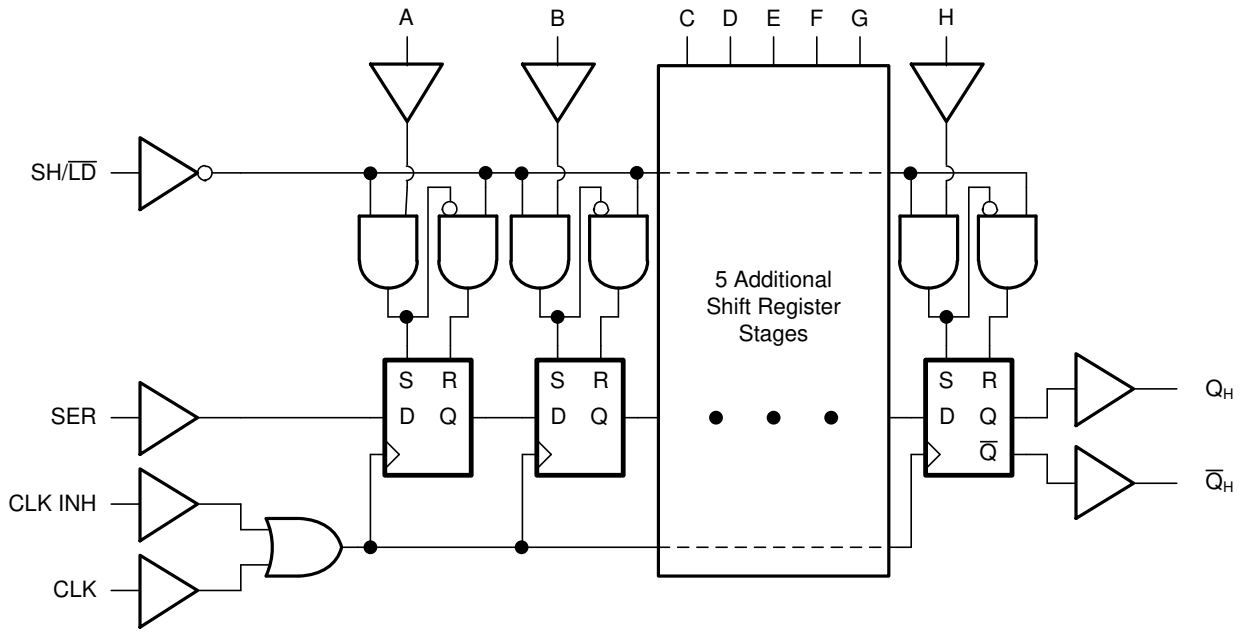
7.1 概要

SN74LV8T165-Q1 デバイスは、並列またはシリアル入力、シリアル出力の 8 ビット・シフト・レジスタです。このデバイスには、ロード・データとシフト・データという 2 つの動作モードがあり、SH/$\overline{LD}$ 入力で制御されます。出力レベルは電源電圧 (V_{CC}) を基準としており、1.8V、2.5V、3.3V、5V の CMOS レベルをサポートしています。

デバイスにクロックが供給されると、データはシリアル出力 Q_H にシフトされます。各段のパラレル入力へのアクセスは、8 つの個別の直接データ入力によって提供されます。これらのデータ入力は、シフト / ロード (SH/$\overline{LD}$) 入力が Low レベルのときイネーブルになります。SN74LV8T165-Q1 は、クロック禁止機能と、補完したシリアル出力 $\overline{Q}_H$ の特長を備えています。

クロック処理は、SH/$\overline{LD}$ が High に保持され、クロック禁止 (CLK INH) が Low に保持されている間に、クロック (CLK) 入力が Low から High に遷移することで行われます。CLK と CLK INH の機能は交換可能です。CLK が Low で、CLK INH が Low から High に遷移するとクロック処理が行われるため、CLK が High の間のみ、CLK INH を High レベルに変更する必要があります。SH/$\overline{LD}$ が High に保持されると、パラレル負荷は禁止されます。レジスタへのパラレル入力は、SH/$\overline{LD}$ が Low に保持されている間 CLK、CLK INH、または SER のレベルとは無関係にイネーブルされます。

7.2 機能ブロック図



7.3 機能説明

7.3.1 LVxT 拡張入力電圧

SN74LV8T165-Q1 は、テキサス・インスツルメンツの電圧レベル変換機能内蔵 LVxT 論理デバイス・ファミリの製品です。このデバイス・ファミリは、昇圧変換に対応するための小さい入力電圧スレッショルドと、降圧変換に対応するための最大 5.5V レベルの信号に耐える入力を持つように設計されています。出力電圧は、「電気的特性」表に記載されているように、常に電源電圧 (V_{CC}) を基準とします。 正常に機能させるには、High 入力状態では規定の $V_{IH(MIN)}$ レベル以下、Low 入力状態では規定の $V_{IL(MAX)}$ 以下に入力信号を保持する必要があります。図 7-1 に、LVxT デバイス・ファミリの V_{IH} および V_{IL} レベル (代表値) と標準的な CMOS デバイスの電圧レベルを比較のために示します。

入力は高インピーダンスであり、通常は「電気的特性」に示されている入力容量と並列の抵抗としてモデル化されます。ワーストケースの抵抗は「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーケージ電流からオームの法則 (R = V ÷ I) を使用して計算します。

Copyright © 2024 Texas Instruments Incorporated

入力に関しては、「推奨動作条件」表の入力遷移時間またはレートで定義されているように、有効なロジック状態の間を入力信号が素早く遷移する必要があります。この仕様を満たさないと、消費電力が増大し、発振の原因となる可能性があります。詳細については、『低速またはフローティング CMOS 入力の影響』アプリケーション・レポートを参照してください。

動作中は片時も、入力をフローティングにすることはできません。未使用の入力は、V_{CC} または GND に接続して終端する必要があります。システムが入力を常にアクティブに駆動している訳ではない場合、システムが入力をアクティブに駆動していないときに有効な入力電圧を与えるため、プルアップまたはプルダウン抵抗を追加できます。抵抗値は複数の要因で決まりますが、10kΩ の抵抗が推奨され、通常はすべての要件を満たします。

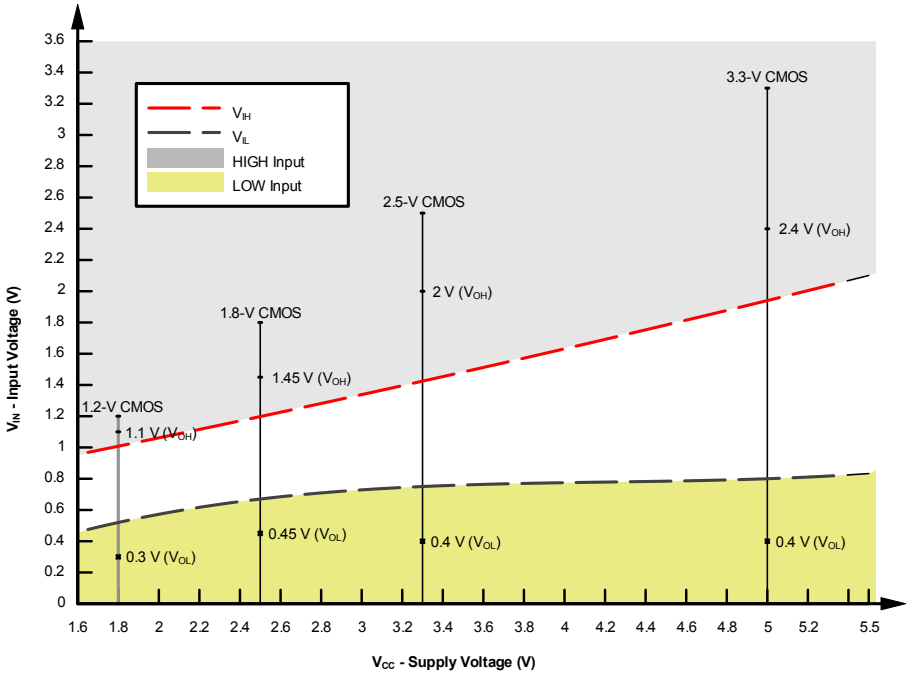


図 7-1. LVxT の入力電圧レベル

7.3.1.1 降圧変換

SN74LV8T165-Q1 を使うことで、信号を降圧変換できます。V_{CC} の印加電圧によって、出力電圧と入力スレッショルドが決まります (「推奨動作条件」と「電気的特性」の表を参照)。

高インピーダンスの入力に接続した場合、出力電圧は、High 状態ではほぼ V_{CC}、Low 状態では 0V になります。図 7-1 に示すように、High 状態の入力信号は $V_{IH(MIN)}$ と 5.5V の間、Low 状態の入力信号は $V_{IL(MAX)}$ 未満になるようにします。

たとえば、5.0V、3.3V、2.5V で動作するデバイスの一般的な CMOS 入力は、1.8V の V_{CC} で動作する 1.8V CMOS 信号にマッチさせて降圧変換することができます。図 7-2 を参照してください。

降圧変換の組み合わせ:

- 1.8V V_{CC} – 2.5V、3.3V、5.0V からの入力
- 2.5V V_{CC} – 3.3V、5.0V からの入力
- 3.3V V_{CC} – 5.0V からの入力

7.3.1.2 昇圧変換

SN74LV8T165-Q1 を使うことで、入力信号を昇圧変換できます。V_{CC} の印加電圧によって、出力電圧と入力スレッショルドが決まります (「推奨動作条件」と「電気的特性」の表を参照)。 高インピーダンスの入力に接続した場合、出力電圧は、High 状態ではほぼ V_{CC}、Low 状態では 0V になります。

代表値よりもはるかに低い入力 High 状態レベルに対応できるように、入力のスレッショルドは低減されています。たとえば、5V 電源で動作するデバイスの代表的な CMOS 入力の $V_{IH(MIN)}$ は 3.5V です。SN74LV8T165-Q1 の場合、5V 電源での $V_{IH(MIN)}$ がわずか 2V であるため、2.5V (代表値) 信号から 5V (代表値) 信号への昇圧変換が可能です。

図 7-2 に示すように、High 状態の入力信号は $V_{IH(MIN)}$ を上回り、Low 状態の入力信号は $V_{IL(MAX)}$ を下回るようにします。

昇圧変換の組み合わせ:

- 1.8V V_{CC} – 1.2V からの入力
- 2.5V V_{CC} – 1.8V からの入力
- 3.3V V_{CC} – 1.8V、2.5V からの入力
- 5.0V V_{CC} – 2.5V、3.3V からの入力

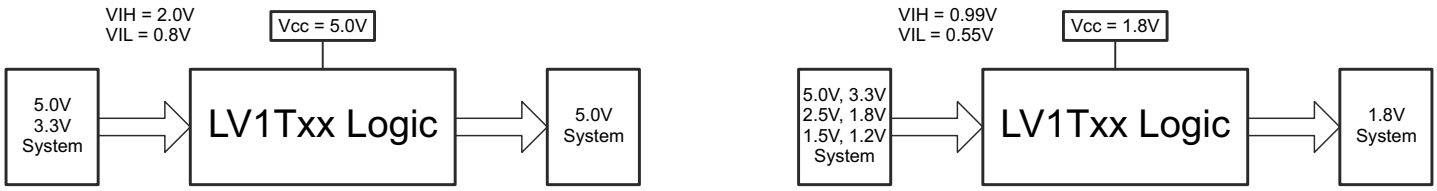


図 7-2. LVxT の昇圧および降圧変換の例

7.3.2 平衡化された CMOS プッシュプル出力

このデバイスには、平衡化された CMOS プッシュプル出力が内蔵されています。「平衡化」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。 このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにする必要があります。

7.3.3 既知のパワーアップ状態でのラッチ論理

このデバイスには、ラッチ論理回路が内蔵されています。ラッチ回路には一般に D タイプ・ラッチと D タイプ・フリップ・フロップが含まれていますが、揮発性メモリとして機能するすべての論理回路が含まれています。標準的な論理デバイスでは、電源を最初に印加した後、各ラッチ回路の出力状態は不明です。ただし、このデバイスには追加されたパワー・オン・リセット (POR) 回路が搭載されており、デバイスが通常機能を開始する前のパワーアップ時に、すべての内蔵ラッチ回路の状態を設定します。

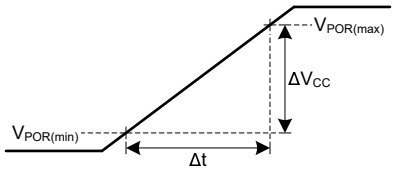


図 7-3. 既知のパワーアップ状態での電源 (V_{CC}) ランプ特性

図 7-3 に、電源電圧の正しいターンオン・ランプを示し、「推奨動作条件」と「電気的特性」の表で使用される値を定義しています。

パワーオン・ランプを開始する前に、電源が完全にオフになっている必要があります ($V_{CC} \leqq V_{POR(min)}$)。

電源電圧は、「推奨動作条件」表に記載されている範囲内の速度で上昇する必要があります。

各ラッチ論理回路の出力状態は、デバイスに電力が印加されている間 ($V_{CC} \geqq V_{POR(max)}$) のみ安定した状態を維持します。

Copyright © 2024 Texas Instruments Incorporated

これらの推奨事項から逸脱すると、デバイスが未知のパワーオン状態になる可能性があります。

7.3.4 クランプ・ダイオード構造

図 7-4 に示すように、このデバイスへの出力には正と負の両方のクランプ・ダイオードがあり、このデバイスへの入力には負のクランプ・ダイオードのみがあります。

> **注意**
> 「絶対最大定格」表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格が遵守されると、入力と出力の電圧の定格を超える可能性があります。

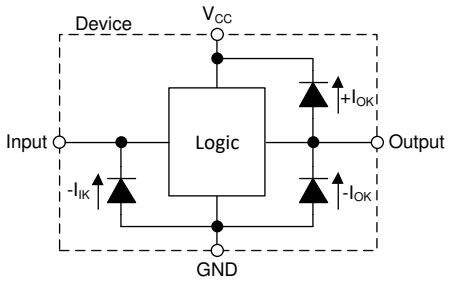


図 7-4. 各入力と出力に対するクランプ・ダイオードの電気的配置

7.4 デバイスの機能モード

SN74LV8T165-Q1 の機能モードを、表 7-1 および 表 7-1 に示します。

表 7-1. 動作モード表

入力(1)			機能
SH/$\overline{LD}$	CLK	CLK INH	
L	X	X	パラレル負荷
H	H	X	変更なし
H	X	H	変更なし
H	L	↑	シフト(2)
H	↑	L	シフト(2)

(1) H = High 電圧レベル、L = Low 電圧レベル、X = ドント・ケア、↑ = Low から High への遷移
(2) シフト各内部レジスタの内容は、シリアル出力 Q_H にシフトします。SER のデータは最初のレジスタにシフトされます。

表 7-2. 出力機能表

内部レジスタ(1) (2)		出力(2)	
A — G	H	Q	$\overline{Q}$
X	L	L	H
X	H	H	L

(1) 内部レジスタとは、デバイス内部のシフト・レジスタを指します。これらの値は、パラレル入力からデータをロードするか、シリアル入力からデータを送信することで設定されます。
(2) H = High 電圧レベル、L = Low 電圧レベル、X = ドント・ケア

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

SN74LV8T165-Q1 はパラレル入力シフト・レジスタで、一部のアプリケーションではシステム・コントローラの必要な入力数を大幅に減らすために使用できます。パラレル・データがシフト・レジスタにロードされ、シフト・レジスタにクロックが入力すると、保存されたデータはシステム・コントローラのシリアル入力にロードできます。

複数のシフト・レジスタをカスケード接続することで、システム・コントローラへのシリアル入力を 1 つのみ使用しながら、より多くのデータを入力できます。このプロセスは主に、「タイミング特性」および「スイッチング特性」表に定義されているように、選択したシフト・レジスタに必要なデータ入力レートとタイミング特性によって制限されます。

次の代表的なアプリケーションのブロック図に、単一のシフト・レジスタを使用するブロック図の例を示します。

8.2 代表的なアプリケーション

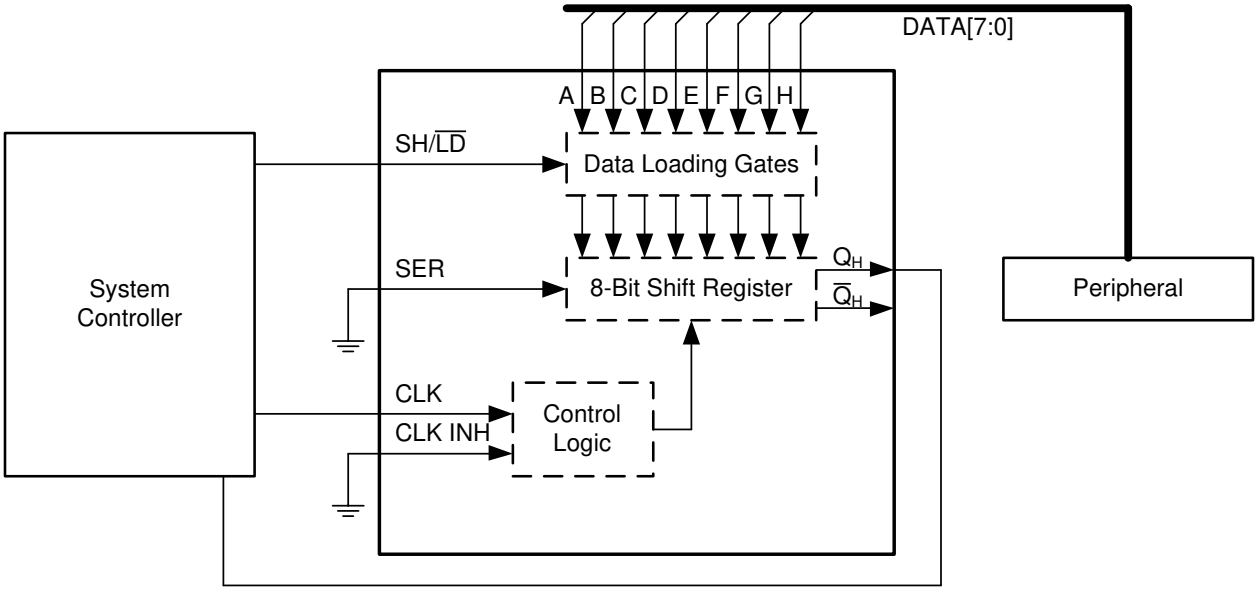


図 8-1. 代表的なアプリケーションのブロック図

8.2.1 設計要件

8.2.1.1 電源に関する考慮事項

目的の電源電圧が「推奨動作条件」で規定されている範囲内であることを確認します。「電気的特性」に記載されているように、電源電圧はデバイスの電気的特性を設定します。

正の電圧電源は、SN74LV8T165-Q1 のすべての出力によってソースされる総電流と「電気的特性」に記載された最大静的電源電流 I_{CC}、およびスイッチングに必要な過渡電流の合計と等しいソース電流を供給する能力が必要です。論理デバイスは、正の供給電源から供給される電流量分のみをソースできます。「絶対最大定格」に記載された V_{CC} を通過する総電流の最大値を超えないようにしてください。

Copyright © 2024 Texas Instruments Incorporated

グランドは、SN74LV8T165-Q1 のすべての出力によってシンクされる総電流、「電気的特性」に記載された最大消費電流 (I_{CC})、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。論理デバイスは、グランド接続にシンク可能な電流量分のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

SN74LV8T165-Q1 は、データシートの仕様をすべて満たしつつ、合計容量 50pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、50pF を超えることは推奨しません。

SN74LV8T165-Q1 は、「電気的特性」表に定義されている出力電圧および電流 (V_{OH} および V_{OL}) で、$R_L \geqq V_O / I_O$ で記述される合計抵抗の負荷を駆動できます。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧との差として定義されます。

総消費電力は、『CMOS の消費電力と CPD の計算』に記載されている情報を使用して計算できます。

熱上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』に記載されている情報を使用して計算できます。

注意

「絶対最大定格」に記載された最大接合部温度 ($T_{J(max)}$) は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限は、デバイスへの損傷を防ぐために規定されています。

8.2.1.2 入力に関する検討事項

入力信号は、$V_{IL(max)}$ がロジック Low と見なされるように、$V_{IH(min)}$ がロジック High と見なされるように交差する必要があります。*「絶対最大定格」*に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、V_{CC} またはグランドで終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、SN74LV8T165-Q1 へのリーク電流 (「電気的特性」で規定)、および必要な入力遷移レートによって抵抗のサイズが制限されます。10kΩ の抵抗値が使用されることがあるのは、こうした要因によるものです。

SN74LV8T165-Q1 は CMOS 入力を備えているため、正しく動作するには、「推奨動作条件」表で定義されているように、入力が素早く遷移する必要があります。入力遷移が遅いと発振が発生し、消費電力の増大やデバイスの信頼性の低下を招くことがあります。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

8.2.1.3 出力に関する検討事項

正の電源電圧を使用して、出力 High 電圧を生成します。出力から電流を引き出すと、「電気的特性」の V_{OH} 仕様で規定されたように出力電圧が低下します。グランド電圧を使用して、出力 Low 電圧を生成します。出力に電流を流し込むと、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

逆の状態になる可能性のあるプッシュプル出力は、非常に短い時間であっても、決して直接接続はしないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

同じ入力信号を持つ同一デバイス内の 2 つのチャネルを並列に接続することにより、出力駆動の強度を高めることができます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力に関する詳細情報については、「機能説明」セクションを参照してください。

8.2.2 詳細な設計手順

1. V_{CC} から GND の間にデカップリング・コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷が 50pF 以下であることを確認します。これは厳密な制限ではありませんが、設計上、性能が最適化されます。これは、SN74LV8T165-Q1 から 1 つ以上の受信デバイスへのトレースを短い適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を (V_{CC} / $I_{O(max)}$) Ω より大きくします。これを行うと、「絶対最大定格」の最大出力電流に違反するのを防ぐことができます。ほとんどの CMOS 入力には抵抗性負荷 (測定単位は MΩ) があります。これは、前述の計算された最小値よりもはるかに大きな値になります。
4. 熱の問題がロジック・ゲートで懸念されることはほとんどありませんが、消費電力と温度上昇は、アプリケーション・レポート『CMOS 消費電力と Cpd の計算』に記載された手順を使って計算できます。

8.2.3 アプリケーション曲線

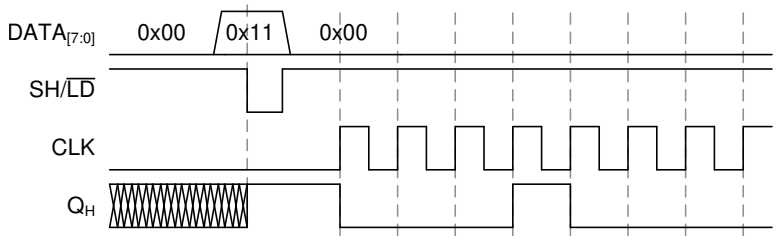


図 8-2. アプリケーションのタイミング図

8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。 電力障害を防止するため、各 V_{CC} 端子に適切なバイパス・コンデンサを配置する必要があります。このデバイスには 0.1μF のコンデンサをお勧めします。複数のバイパス・コンデンサを並列に配置して、異なる周波数のノイズを除去することが可能です。一般的に、0.1μF と 1μF のコンデンサを並列に使用します。次のレイアウト例に示すように、バイパス・コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルの論理デバイスを使用する場合、入力をフローティングのままにしないでください。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用する場合や 4 つのバッファ・ゲートのうちの 3 つのみを使用する場合)。このような未使用の入力ピンを未接続のままにしないでください。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタル論理デバイスの未使用入力はすべて、フローティングにならないよう、入力電圧の仕様で定義されているように論理 High か論理 Low に接続する必要があります。特定の未使用の入力に対して適用が必要となる論理レベルは、デバイスの機能により異なります。一般に入力は、GND または V_{CC} のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

Copyright © 2024 Texas Instruments Incorporated

8.4.2 レイアウト例

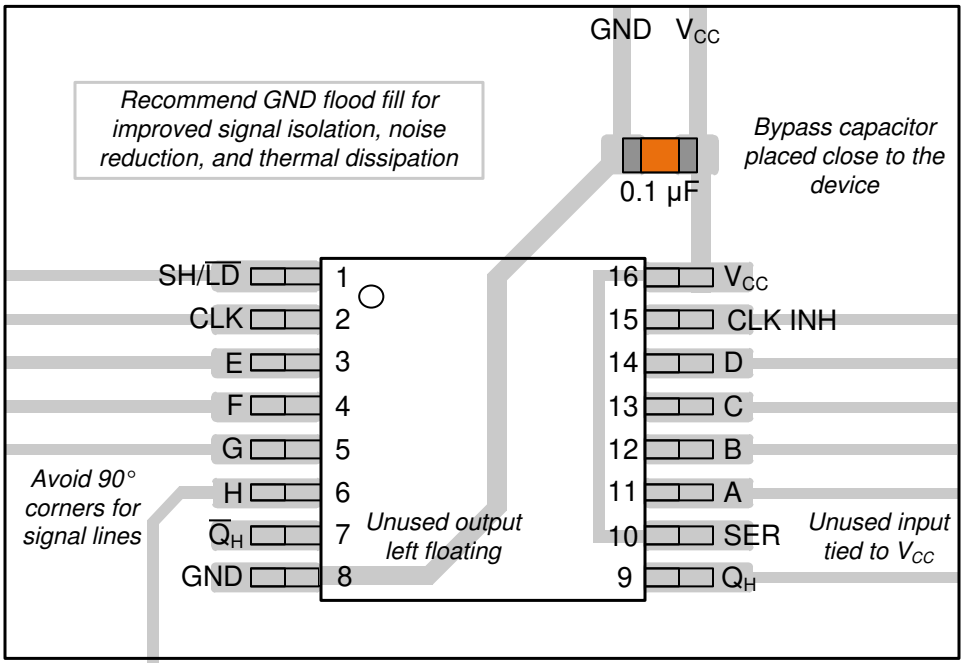


図 8-3. TSSOP の SN74LV8T165-Q1 のレイアウト例

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『CMOS の消費電力と C_{pd} の計算』アプリケーション・レポート
- テキサス・インスツルメンツ、『ロジック設計』アプリケーション・レポート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (August 2023) to Revision A (November 2023)	Page
• ドキュメントのステータスを「事前情報」から*「量産データ」へ変更*	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更され、本ドキュメントの改訂に従って修正される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CLV8T165QWBQBRQ1	Active	Production	WQFN (BQB) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LT165Q
CLV8T165QWBQBRQ1.A	Active	Production	WQFN (BQB) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LT165Q
SN74LV8T165QPWRQ1	Active	Production	TSSOP (PW) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVT165Q
SN74LV8T165QPWRQ1.A	Active	Production	TSSOP (PW) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVT165Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LV8T165-Q1 :

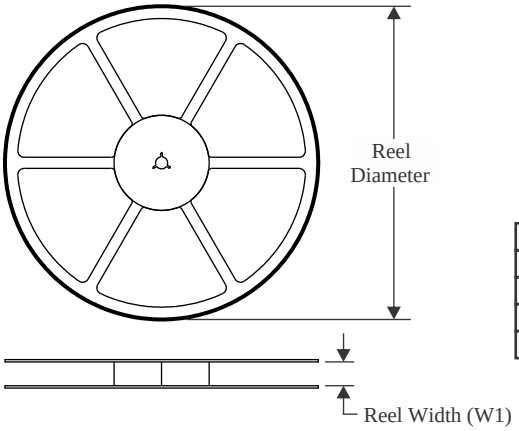
- Catalog : SN74LV8T165
- Enhanced Product : SN74LV8T165-EP

NOTE: Qualified Version Definitions:

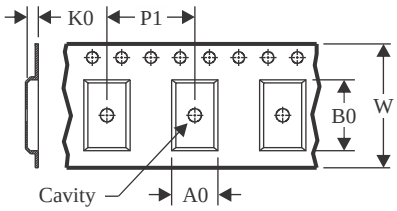
- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

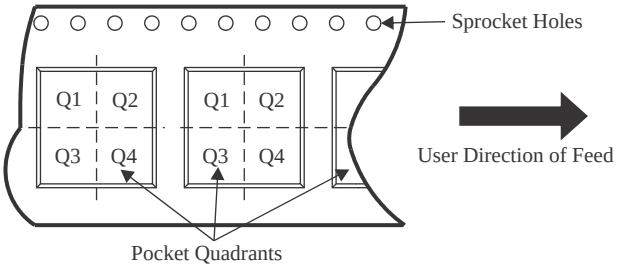


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

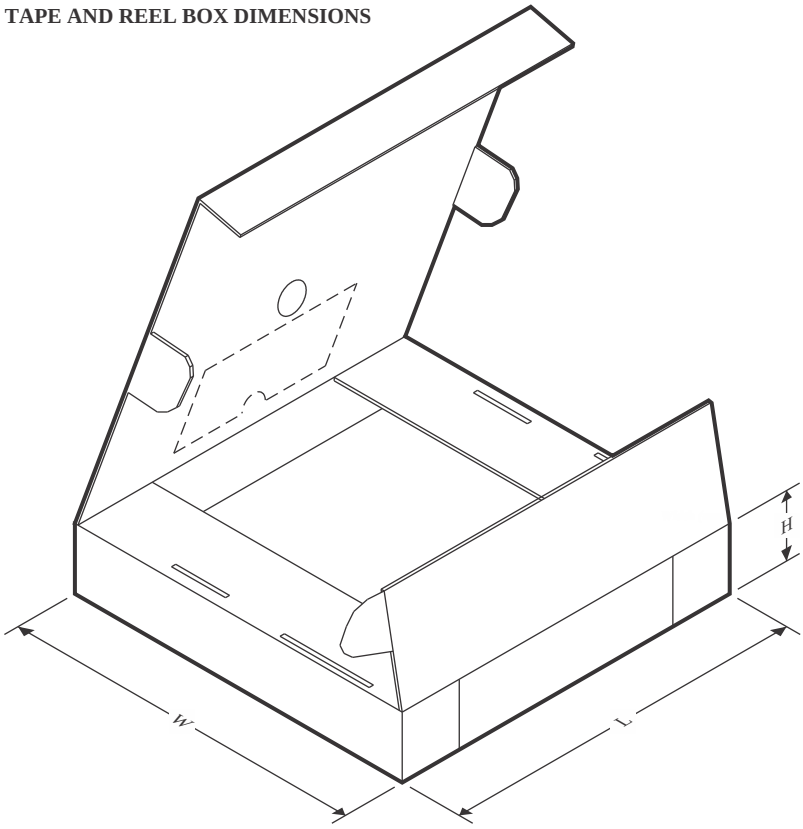
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CLV8T165QWBQBRQ1	WQFN	BQB	16	3000	180.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
SN74LV8T165QPWRQ1	TSSOP	PW	16	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CLV8T165QWBQBRQ1	WQFN	BQB	16	3000	210.0	185.0	35.0
SN74LV8T165QPWRQ1	TSSOP	PW	16	3000	353.0	353.0	32.0

GENERIC PACKAGE VIEW

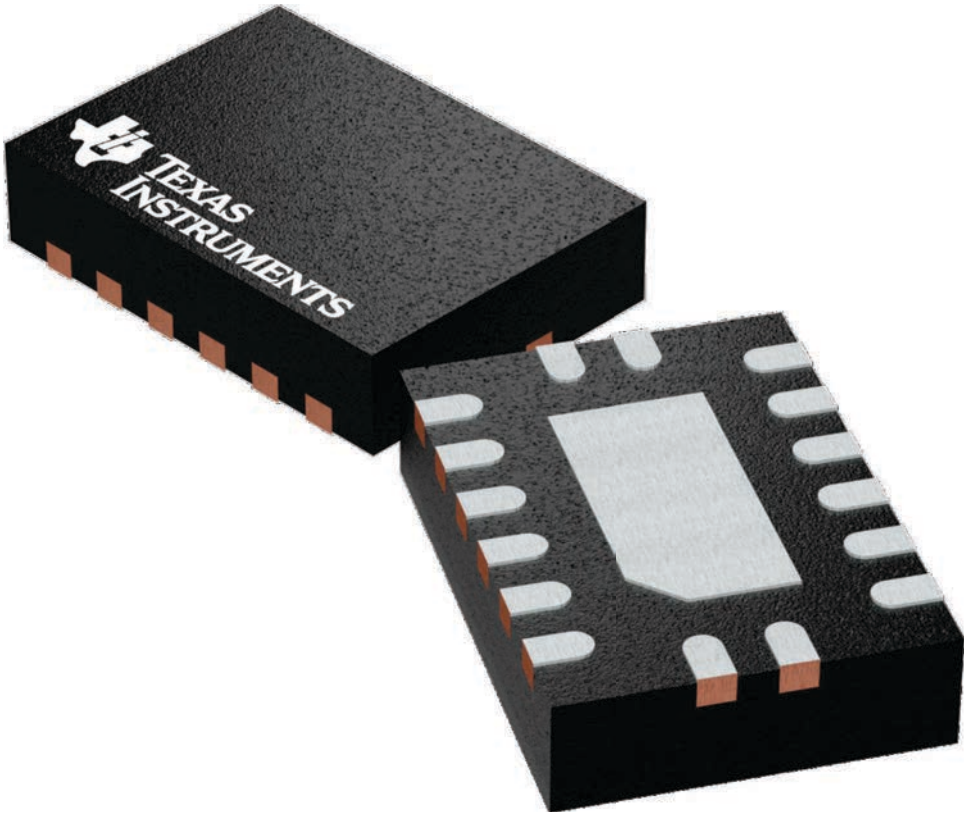
BQB 16

WQFN - 0.8 mm max height

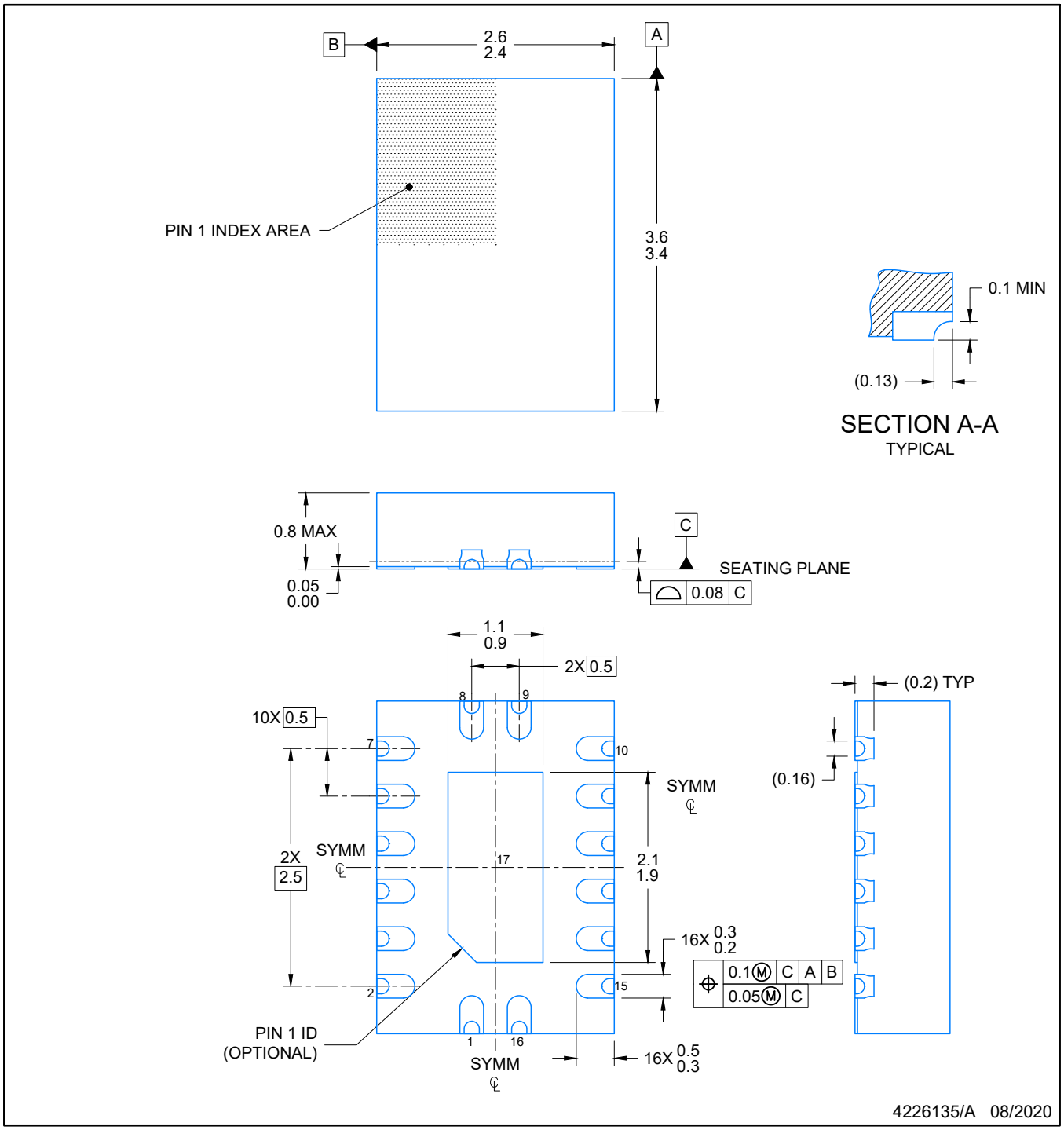
2.5 x 3.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

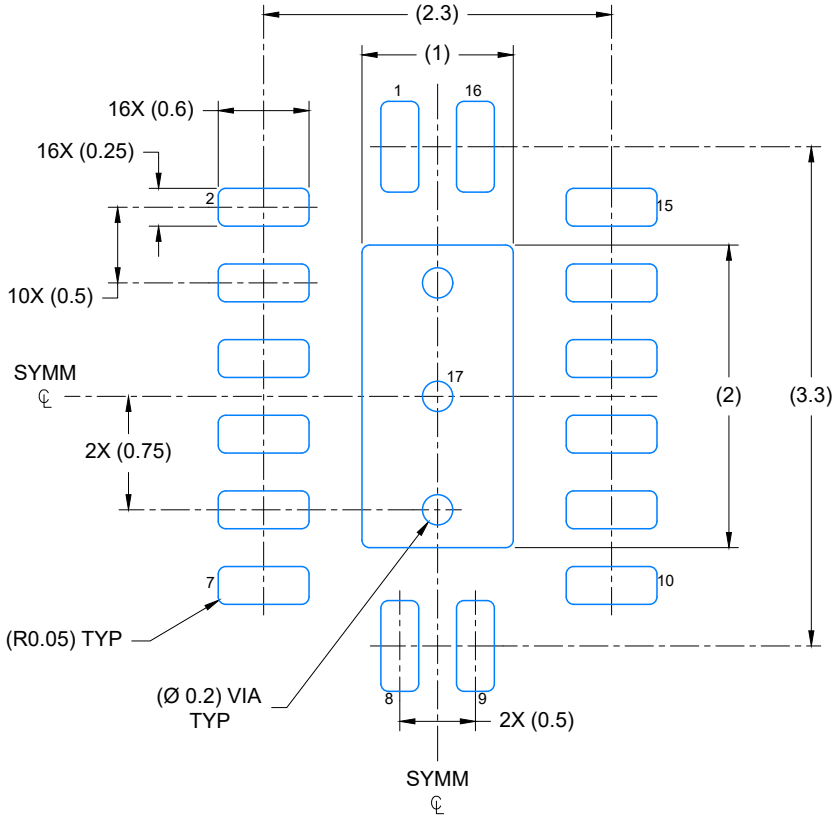


4226161/A



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

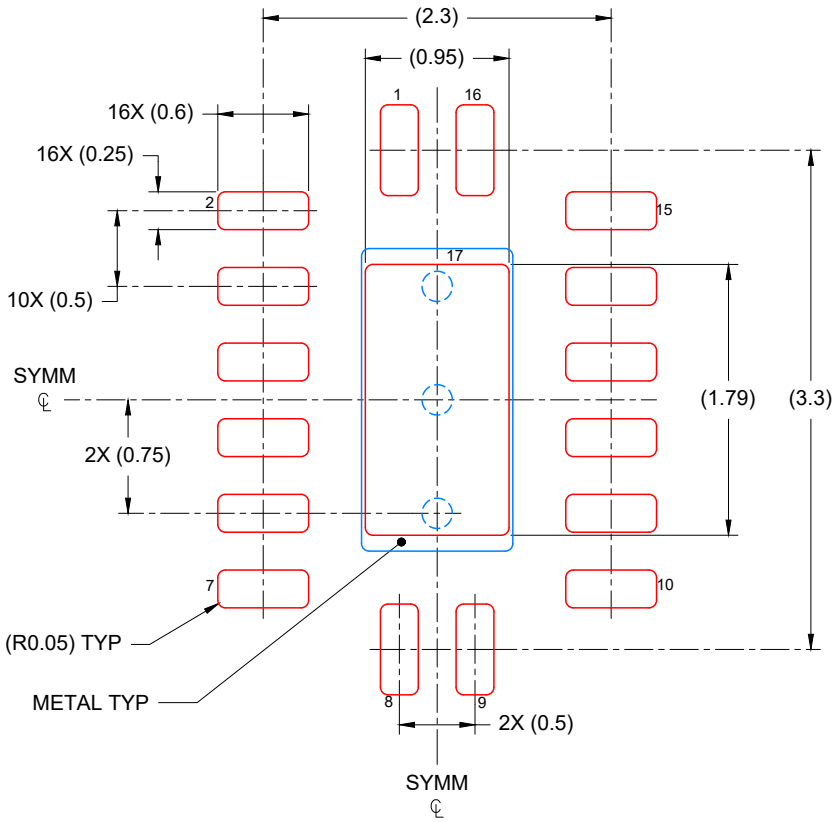


LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

4226135/A 08/2020

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



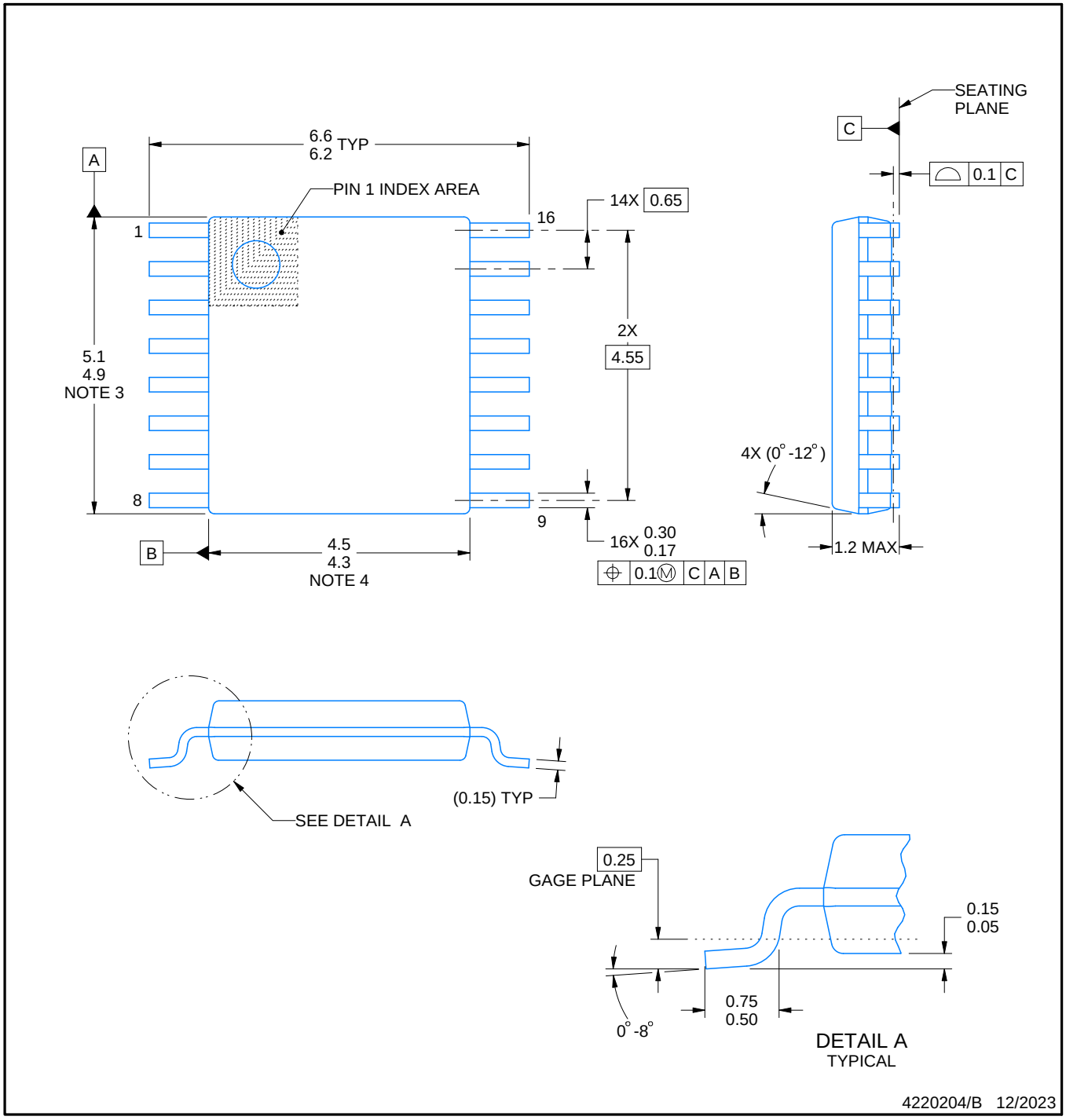
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
85% PRINTED COVERAGE BY AREA
SCALE: 20X

4226135/A 08/2020

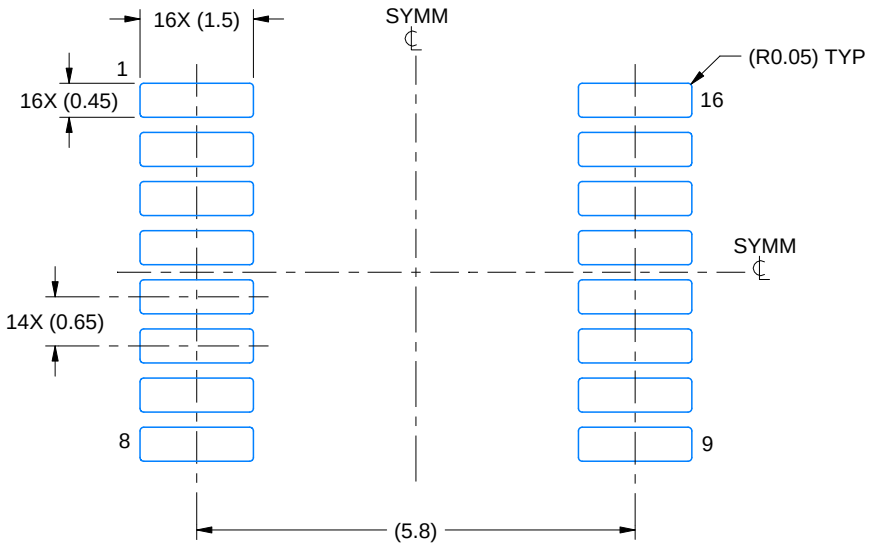
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

NON-SOLDER MASK DEFINED (PREFERRED)

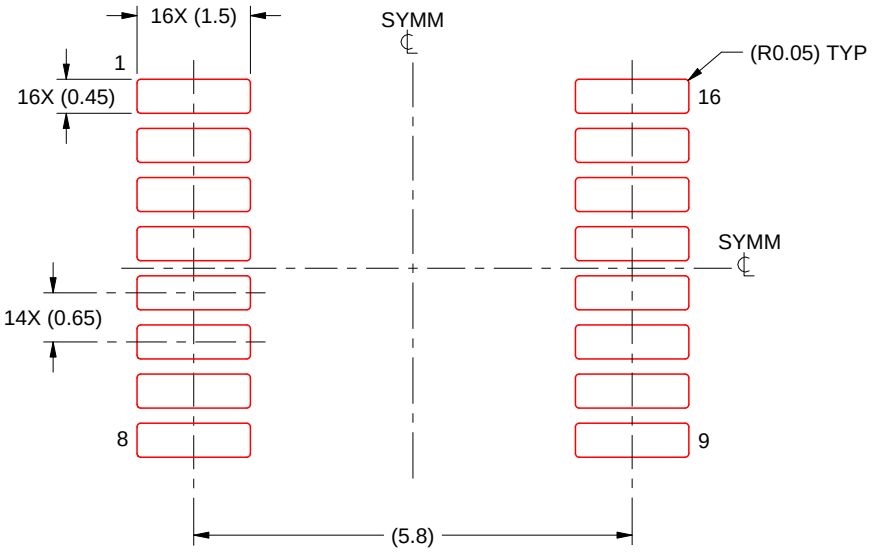
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated