SN74LV6T06-Q1 車載用ヘキサ・オープン・ドレイン・インバータ、統合変換機能付き

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み：
  - デバイス温度グレード 1：-40℃ ~ +125℃
  - デバイス HBM ESD 分類レベル 2
  - デバイス CDM ESD 分類レベル C4B
- ウェッタブル・フランク QFN パッケージで供給
- 幅広い動作範囲：1.65V ~ 5.5V
- 5.5V 許容入力ピン
- LVxT 拡張入力とオープン・ドレイン出力を組み合わせることで、最大の電圧変換柔軟性を実現します。
  - 6.67Mbps 以上での動作、(R_{PU} = 1kΩ、C_L = 30pF)
  - 1.8V 電源による 1.2V から 5V への昇圧変換
  - 有効な電源電圧による 5V から 0.8V 以下への降圧変換
- 5.5V 許容入力ピン
- 標準機能ピン配置をサポート
- JESD 17 準拠で 250mA 超のラッチアップ性能

2 アプリケーション

- デジタル信号のイネーブルまたはディセーブル
- インジケータ LED の制御
- 通信モジュールとシステム・コントローラの間の変換

3 概要

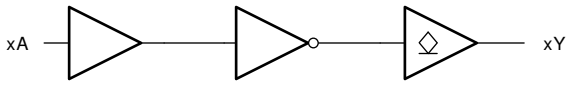
SN74LV6T06-Q1 デバイスには、オープン・ドレイン出力を備えた 6 つの独立したインバータが内蔵されています。各インバータはブール関数 Y = $\overline{A}$ を正論理で実行します。

入力は低スレッショルド回路を使用して設計され、低電圧 CMOS 入力の昇圧変換 (例：1.2V 入力から 1.8V 出力、1.8V 入力から 3.3V 出力) をサポートします。また、5V 許容入力ピンにより、降圧変換 (例：3.3V から 2.5V 出力) が可能です。

パッケージ情報

部品番号	パッケージ (1)	パッケージ・サイズ (2)	本体サイズ (公称) (3)
SN74LV6T06-Q1	BQA (WQFN、14)	3mm × 2.5mm	3mm × 2.5mm
	PW (TSSOP、14)	5mm × 6.4mm	5mm × 4.4mm

(1) 利用可能なすべてのパッケージについては、このデータシートの末尾にある注文情報を参照してください。
(2) パッケージ・サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
(3) 本体サイズ (長さ × 幅) は公称値であり、ピンは含まれません。



概略論理図 (正論理)

英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.com で閲覧でき、その内容が常に優先されます。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 改訂履歴.....2
5 ピン構成および機能.....3
6 仕様.....4
6.1 絶対最大定格.....4
6.2 ESD 定格.....4
6.3 推奨動作条件.....4
6.4 熱に関する情報.....5
6.5 電気的特性.....5
6.6 スイッチング特性.....6
6.7 ノイズ特性.....6
6.8 代表的特性.....6
7 パラメータ測定情報.....8
8 詳細説明.....9
8.1 概要.....9
8.2 機能ブロック図.....9
8.3 機能説明.....9
8.4 デバイスの機能モード.....11
9 アプリケーションと実装.....12
9.1 アプリケーション情報.....12
9.2 代表的なアプリケーション.....12
9.3 電源に関する推奨事項.....14
9.4 レイアウト.....14
10 デバイスおよびドキュメントのサポート.....15
10.1 ドキュメントのサポート.....15
10.2 ドキュメントの更新通知を受け取る方法.....15
10.3 サポート・リソース.....15
10.4 商標.....15
10.5 静電気放電に関する注意事項.....15
10.6 用語集.....15
11 メカニカル、パッケージ、および注文情報.....15

4 改訂履歴

日付	リビジョン	注
2023 年 8 月	*	初版

Copyright © 2023 Texas Instruments Incorporated

5 ピン構成および機能

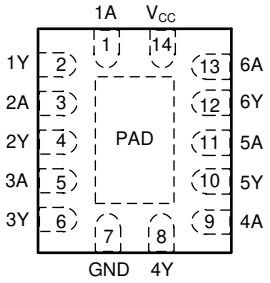


図 5-1. SN74LV6T06-Q1 BQA Package, 14-Pin WQFN (Top View)

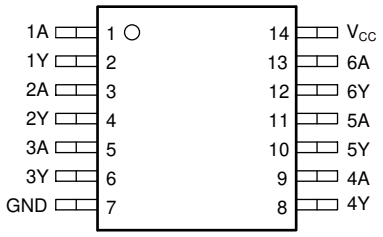


図 5-2. SN74LV6T06-Q1 PW Package, 14-Pin TSSOP (Top View)

表 5-1. ピンの機能

ピン			種類 (1)	説明
名称	BQA	PW		
1A	1	1	I	Channel 1, A input
1Y	2	2	O	Channel 1, Y output
2A	3	3	I	Channel 2, A input
2Y	4	4	O	Channel 2, Y output
3A	5	5	I	Channel 3, A input
3Y	6	6	O	Channel 3, Y output
GND	7	7	G	Ground
4Y	8	8	O	Channel 4, Y output
4A	9	9	I	Channel 4, A input A
5Y	10	10	O	Channel 5, Y output
5A	11	11	I	Channel 5, A input
6Y	12	12	O	Channel 6, Y output
6A	13	13	I	Channel 6, A input
V_{CC}	14	14	P	Positive supply
サーマル・パッド (2)			—	サーマル・パッドは GND に接続するか、オープンのままにすることができます。他の信号や電源には接続しないでください。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。
(2) BQA package only.

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) [(1)]

			最小値	最大値	単位
V_{CC}	電源電圧範囲		–0.5	7	V
V_I	入力電圧範囲 [(2)]		–0.5	7	V
V_O	出力電圧範囲 [(2)]		–0.5	7	V
I_{IK}	入力クランプ電流	V_I < -0.5V		–20	mA
I_{OK}	出力クランプ電流	V_O < –0.5V		–20	mA
I_O	連続出力電流	V_O = 0 ~ V_{CC}		25	mA
	V_{CC} または GND を通過する連続電流			±50	mA
T_J	接合部温度			150	℃
T_{stg}	保管温度		–65	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。 「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内で、一時的に「推奨動作条件」の範囲を超えた動作をさせる場合、必ずしもデバイスが損傷を受けるものではありませんが、完全には機能しない可能性があります。 この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 HBM ESD 分類レベル 2 準拠 [(1)]	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4B 準拠	±1000	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施することを示しています。

6.3 推奨動作条件

自由空気での動作温度範囲内 (特に記述のない限り)

仕様	概要	状態	最小値	最大値	単位
V_{CC}	電源電圧		1.65	5.5	V
V_I	入力電圧		0	5.5	V
V_O	高インピーダンス状態での出力電圧		0	5.5	V
V_O	アクティブ状態での出力電圧		0	V_{CC}	V
V_{IH}	High レベル入力電圧	V_{CC} = 1.65V ~ 2V	1.1		V
		V_{CC} = 2.25V ~ 2.75V	1.28		
		V_{CC} = 3V ~ 3.6V	1.45		
		V_{CC} = 4.5V ~ 5.5V	2		
V_{IL}	Low レベル入力電圧	V_{CC} = 1.65V ~ 2V		0.5	V
		V_{CC} = 2.25V ~ 2.75V		0.65	
		V_{CC} = 3V ~ 3.6V		0.75	
		V_{CC} = 4.5V ~ 5.5V		0.85	
I_O	出力電流	V_{CC} = 1.65V ~ 2V		3	mA
		V_{CC} = 2.25V ~ 2.75V		7	
		V_{CC} = 3.3V ~ 5.0V		15	
Δt/Δv	入力遷移の立ち上がりレートと立ち下がりレート			20	ns/V
T_A	自由気流での動作温度		–40	125	℃

Copyright © 2023 Texas Instruments Incorporated

6.4 熱に関する情報

熱評価基準 (1)		BQA (WQFN) 14 ピン	PW (TSSOP) 14 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	88.3	151.0	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	90.9	80.0	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	56.8	94.2	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	9.9	28.0	°C/W
Y_{JB}	接合部から基板への特性パラメータ	56.7	93.6	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	33.4	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

6.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	T_A = 25℃			-40℃ ~ 125℃			単位
			最小値	標準値	最大値	最小値	標準値	最大値	
V_{OL}	I_{OL} = 50μA	1.65V ~ 5.5V			0.1			0.1	V
	I_{OL} = 2mA	1.65V ~ 2V		0.1(1)	0.2			0.25	
	I_{OL} = 3mA	2.25V ~ 2.75V		0.1(1)	0.15			0.2	
	I_{OL} = 5.5mA	3V ~ 3.6V		0.2(1)	0.2			0.25	
	I_{OL} = 8mA	4.5V ~ 5.5V		0.3(1)	0.3			0.35	
I_{OZ}	V_O = V_{CC} または GND、V_{CC} = 5.5V	5.5V			±0.25			±2.5	μA
I_I	V_I = 0V ~ V_{CC}	0V ~ 5.5V			±0.1			±1	μA
I_{CC}	V_I = 0V または V_{CC}、I_O = 0、負荷時にオープン	1.65V ~ 5.5V			2			20	μA
ΔI_{CC}	1 つの入力は 0.3V または 3.4V、その他の入力は 0 または V_{CC}、I_O = 0	5.5V			1.35			1.5	mA
	1 つの入力は 0.3V または 1.1 V、その他の入力は 0 または V_{CC}、I_O = 0	1.8V			10			20	μA
C_I	V_I = V_{CC} または GND	5V		4	10			10	pF
C_O	V_O = V_{CC} または GND	5V		3					pF
C_{PD}	無負荷、F = 1MHz	5V		14					pF

(1) 最も近い公称電圧 (1.8V、2.5V、3.3V、5V) での代表値

6.6 スイッチング特性

C_L = 50pF、自由気流での動作温度範囲内、T_A = 25℃で測定された標準値 (特に記述のない限り)。「パラメータ測定情報」参照

パラメータ	始点 (入力)	終点 (出力)	負荷容量	V_{CC}	T_A = 25℃			-40℃ ~ 125℃			単位
					最小値	標準値	最大値	最小値	標準値	最大値	
t_{PZL}	A	Y	C_L = 15pF	1.8V		10.7	23	1		26.6	ns
t_{PLZ}	A	Y	C_L = 15pF	1.8V		10.7	23	1		26.6	ns
t_{PZL}	A	Y	C_L = 50pF	1.8V		15	28	1		32	ns
t_{PLZ}	A	Y	C_L = 50pF	1.8V		15	28	1		32	ns
t_{PZL}	A	Y	C_L = 15pF	2.5V		7.3	12.9	1		15.9	ns
t_{PLZ}	A	Y	C_L = 15pF	2.5V		7.3	12.9	1		15.9	ns
t_{PZL}	A	Y	C_L = 50pF	2.5V		9.9	16.3	1		18.8	ns
t_{PLZ}	A	Y	C_L = 50pF	2.5V		9.9	16.3	1		18.8	ns
t_{PZL}	A	Y	C_L = 15pF	3.3V		5.6	9.7	1		11.9	ns
t_{PLZ}	A	Y	C_L = 15pF	3.3V		5.6	9.7	1		11.9	ns
t_{PZL}	A	Y	C_L = 50pF	3.3V		7.7	12.3	1		14.8	ns
t_{PLZ}	A	Y	C_L = 50pF	3.3V		7.7	12.3	1		14.8	ns
t_{PZL}	A	Y	C_L = 15pF	5V		4.3	7.2	1		9.1	ns
t_{PLZ}	A	Y	C_L = 15pF	5V		4.3	7.2	1		9.1	ns
t_{PZL}	A	Y	C_L = 50pF	5V		5.9	9.4	1		11.5	ns
t_{PLZ}	A	Y	C_L = 50pF	5V		5.9	9.4	1		11.5	ns

6.7 ノイズ特性

VCC = 5V、CL = 50pF、TA = 25℃

パラメータ	説明	最小値	標準値	最大値	単位
$V_{OL(P)}$	低ノイズ出力、最大動的 V_{OL}		0.9	0.8	V
$V_{OL(V)}$	低ノイズ出力、最小動的 V_{OL}	–0.8	-0.3		V
$V_{IH(D)}$	High レベル動的入力電圧	2.1			V
$V_{IL(D)}$	Low レベル動的入力電圧			0.5	V

6.8 代表的特性

T_A = 25℃ (特に記述のない限り)

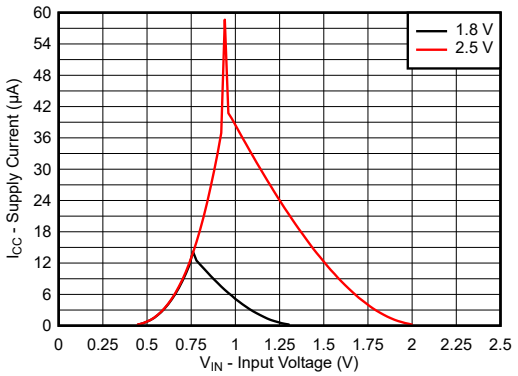


図 6-1. 電源電流と入力電圧との関係 (1.8V、2.5V 電源)

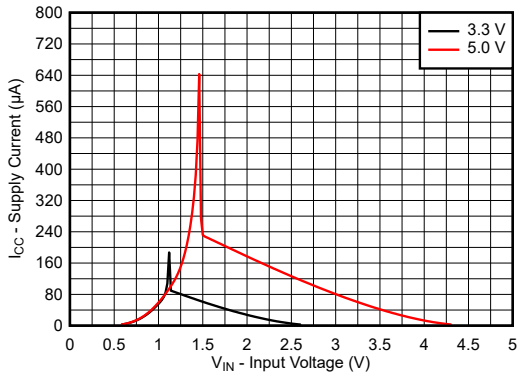


図 6-2. 電源電流と入力電圧との関係 (3.3V、5.0V 電源)

Copyright © 2023 Texas Instruments Incorporated

6.8 代表的特性 (continued)

T_A = 25℃ (特に記述のない限り)

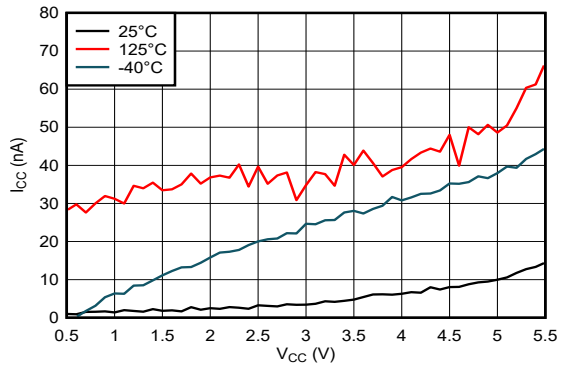


図 6-3. 電源電流と電源電圧との関係

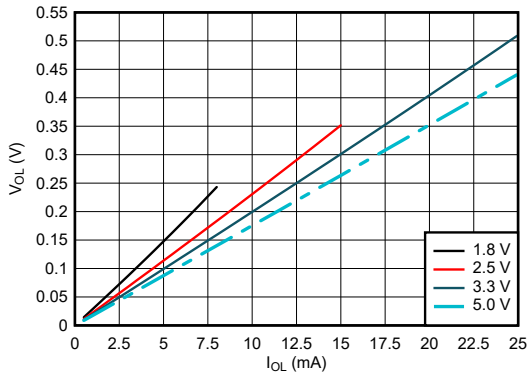


図 6-4. 出力電圧と Low 状態の電流との関係

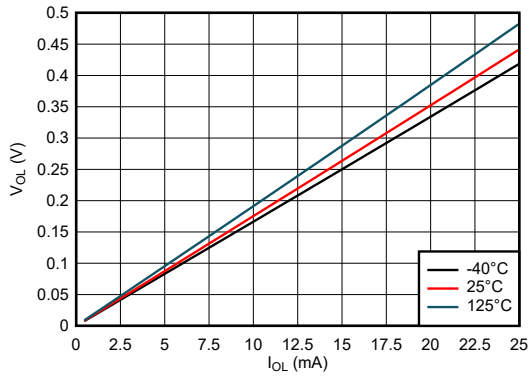


図 6-5. 出力電圧と Low 状態の電流との関係 (5V 電源)

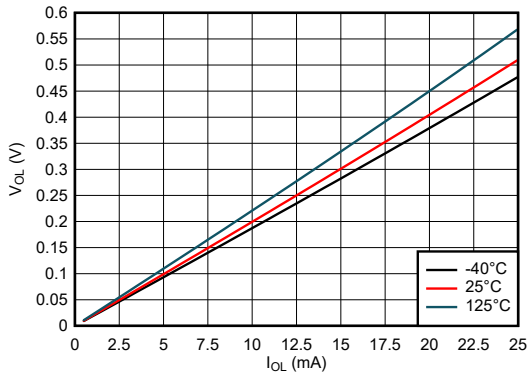


図 6-6. 出力電圧と Low 状態の電流との関係 (3.3V 電源)

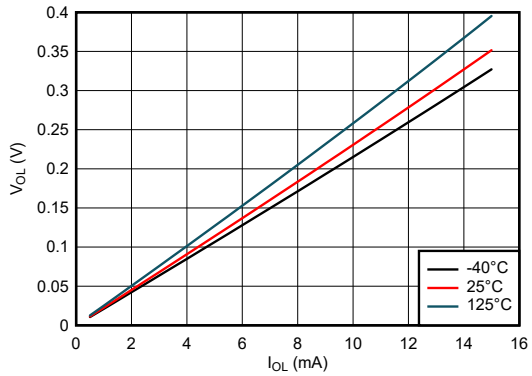


図 6-7. 出力電圧と Low 状態の電流との関係 (2.5V 電源)

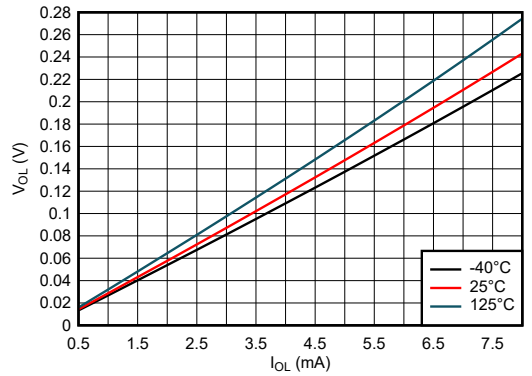


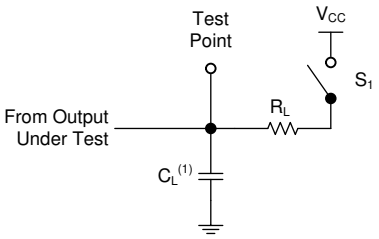
図 6-8. 出力電圧と Low 状態の電流との関係 (1.8V 電源)

7 パラメータ測定情報

以下の表に示す例では、波形間の位相関係を任意に選択しています。すべての入力パルスは、以下の特性を持つジェネレータで供給されます。PRR ≦ 1MHz、Z_O = 50Ω、t_t < 2.5 ns。

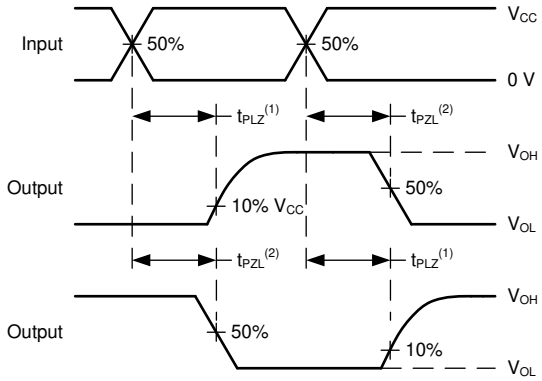
出力は個別に測定され、測定するたびに入力が 1 回遷移します。

テスト	S1	R_L	C_L	ΔV	V_{CC}
t_{PLZ}、t_{PZL}	クローズ	1kΩ	15pF、50pF	0.15V	≦ 2.5V
t_{PLZ}、t_{PZL}	クローズ	1kΩ	15pF、50pF	0.3V	> 2.5V



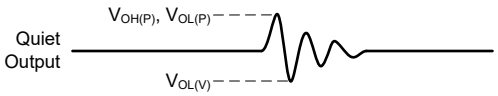
(1) C_L にはプローブとテスト装置の容量が含まれます。

図 7-1. オープンドレイン出力の負荷回路



(1) t_{PLZ} は t_{dis} と等しくなります。
(2) t_{PZL} は t_{en} と等しくなります。

図 7-2. 電圧波形の伝搬遅延



他のすべての出力を同時にスイッチングして測定されたノイズ値。

図 7-3. 電圧波形、ノイズ

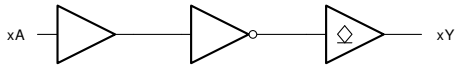
Copyright © 2023 Texas Instruments Incorporated

8 詳細説明

8.1 概要

SN74LV6T06-Q1 デバイスには、オープン・ドレイン出力を備えた 6 つの独立したインバータが内蔵されています。各インバータはブール関数 Y = $\overline{A}$ を正論理で実行します。

8.2 機能ブロック図



6 つの同一チャネルのいずれか

8.3 機能説明

8.3.1 オープン・ドレイン CMOS 出力

このデバイスには、オープン・ドレイン CMOS 出力が内蔵されています。オープン・ドレイン出力は、出力を Low にのみ駆動できます。High 論理状態では、オープン・ドレイン出力は高インピーダンス状態になります。このデバイスは駆動能力を備えており、軽負荷に高速エッジが生成されるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

高インピーダンス状態に移行したとき、出力は電流のソースとシンクのどちらも行いません。ただし、「電気的特性」表に定義されている小さなリーク電流は例外です。 高インピーダンス状態では、出力電圧はデバイスによって制御されず、外部要因に依存します。ノードに他のドライバが接続されていない場合、これはフローティング・ノードと呼ばれ、電圧は不明です。出力にプルアップ抵抗を接続することで、高インピーダンス状態の出力に既知の電圧を供給できます。抵抗の値は、寄生容量や消費電力の制限など複数の要因に依存します。通常、これらの要件を満たすために 10kΩ の抵抗を使用できます。

未使用のオープン・ドレイン CMOS 出力は、未接続のままにする必要があります。

8.3.2 LVxT 拡張入力電圧

SN74LV6T06-Q1 は、テキサス・インスツルメンツの電圧レベル変換機能内蔵 LVxT ロジック・デバイス・ファミリの製品です。このデバイス・ファミリは、昇圧変換に対応するための小さい入力電圧スレッショルドと、降圧変換に対応するための最大 5.5V レベルの信号に耐える入力を持つように設計されています。正常に機能させるには、High 入力状態では規定の $V_{IH(MIN)}$ レベル以上、Low 入力状態では規定の $V_{IL(MAX)}$ 以下に入力信号を保持する必要があります。図 8-1 に、LVxT デバイス・ファミリの V_{IH} および V_{IL} レベル (代表値) と一般的な CMOS デバイスの電圧レベルを比較のために示します。

入力は高インピーダンスであり、通常は「電気的特性」に示されている入力容量と並列の抵抗としてモデル化されます。 ワーストケースの抵抗は「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 (R = V ÷ I) を使用して計算します。

「推奨動作条件」表の入力遷移レートで定義されているように、有効なロジック状態の間を入力信号が素早く遷移する必要があります。この仕様を満たさないと、消費電力が増大し、発振の原因となる可能性があります。詳細については、『低速またはフローティング CMOS 入力の影響』アプリケーション・レポートを参照してください。

動作中は片時も、入力をオープンのままにすることはできません。未使用の入力は、有効な High または Low 電圧レベルで終端する必要があります。システムが入力を常にアクティブに駆動している訳ではない場合、システムが入力をアクティブに駆動していないときに有効な入力電圧を与えるため、プルアップまたはプルダウン抵抗を追加できます。抵抗値は複数の要因で決まりますが、10kΩ の抵抗が推奨され、通常はすべての要件を満たします。

Copyright © 2023 Texas Instruments Incorporated

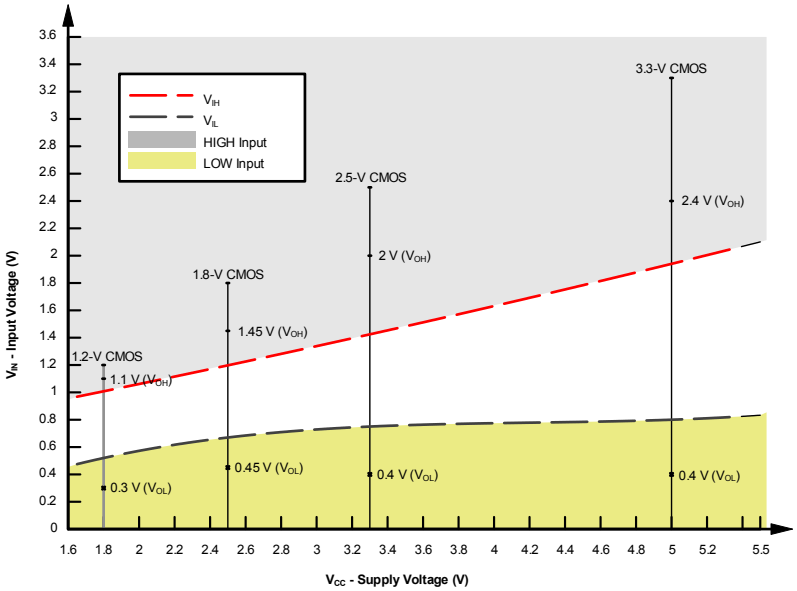


図 8-1. LVxT の入力電圧レベル

8.3.3 ウェッタブル・フランク

このデバイスには、少なくとも 1 つのパッケージのウェッタブル・フランクが含まれています。この機能を搭載しているパッケージについては、データシートの先頭ページにある「特長」セクションを参照してください。

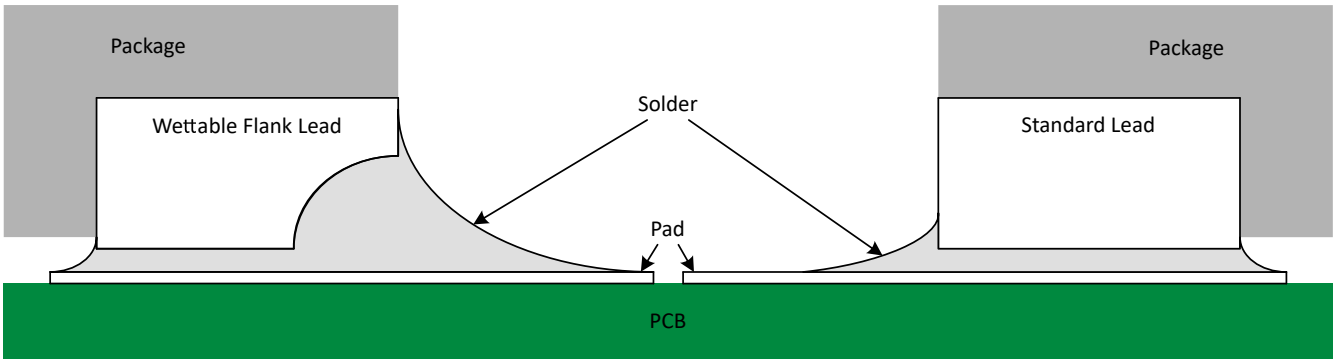


図 8-2. 半田付け後のウェッタブル・フランク QFN パッケージと標準 QFN パッケージの概略断面図

ウェッタブル・フランクは、半田付け後の側方のぬれ性を改善するのに役立ち、自動光学検査 (AOI) により QFN パッケージの検査が容易になります。図 8-2 に示すように、ウェッタブル・フランクは、半田接着用の表面積を増やすために、ディンプル加工または段切りできます。これは、サイド・フィレットを確実に作成するのに役立ちます。詳細については、メカニカルに関する図をご覧ください。

Copyright © 2023 Texas Instruments Incorporated

8.3.4 クランプ・ダイオード構造

図 8-3 は、このデバイスの入力と出力には負のクランプ・ダイオードのみがあることを示しています。

> **注意**
> 「絶対最大定格」表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。 入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧の定格を超えることがあります。

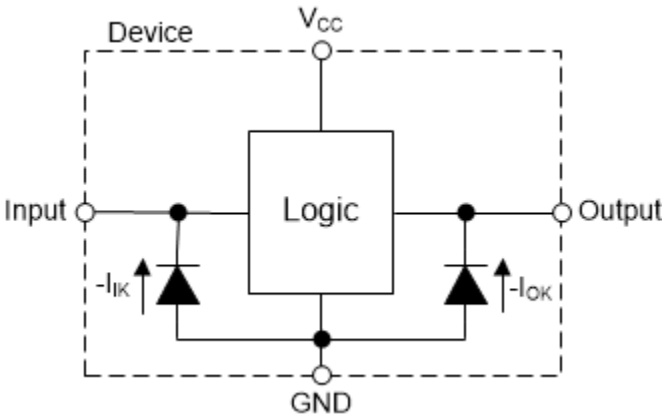


図 8-3. 各入力と出力に対するクランプ・ダイオードの電気的配置

8.4 デバイスの機能モード

表 8-1 に、SN74LV6T06-Q1 の機能モードを示します。

表 8-1. 機能表

入力 A (1)	出力 Y (2)
H	L
L	Z

(1) H = High 電圧レベル、L = Low 電圧レベル、X = ドントケア
(2) H = High に駆動、L = Low に駆動、Z = 高インピーダンス

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

SN74LV6T06-Q1 を使用して、非常に低い電圧源からの制御で LED を駆動できます。SN74LV6T06-Q1 の電源電圧は最低 1.8V (±0.15V) に設定できるため、最低 1.2V の入力電圧で最高 5V の LED を制御できます。たとえば、SN74LV6T06-Q1 の電源電圧が 1.8V の場合、SN74LV6T06-Q1 の出力は、30Ω の等価 Low 状態抵抗を持つと予想されます (「代表的特性」から $R_{OL} = V_{OL} / I_{OL} = 0.15V / 5mA$)。 したがって、電流制限抵抗は次のように計算されます。

$$R_1 = \frac{V_{PU} - V_F}{I_D} - 30 \quad (1)$$

式 1 に示す V_{PU} をダイオードのプルアップ電圧 (デバイスの電源電圧 V_{CC} とは別)、V_F をダイオードの順方向電圧、I_D を目的のダイオード電流としています。

9.2 代表的なアプリケーション

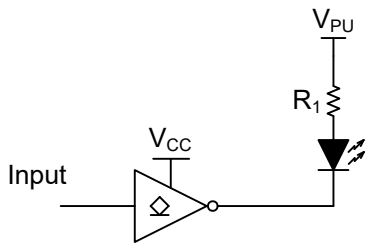


図 9-1. 代表的なアプリケーションのブロック図

9.2.1 設計要件

9.2.1.1 電源に関する検討事項

目的の電源電圧が、「推奨動作条件」に規定された範囲に入っていることを確認します。 「電気的特性」セクションに記載されているように、電源電圧は本デバイスの電気的特性を決定づけます。

正電圧の電源は、「電気的特性」に記載された静的電源電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。

グランドは、SN74LV6T06-Q1 のすべての出力によってシンクされる総電流、「電気的特性」に記載された電源電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。論理デバイスは、グランド接続にシンク可能な電流量分のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

SN74LV6T06-Q1 は、データシートの仕様をすべて満たしつつ、合計容量 50pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、50pF を超えることは推奨しません。

SN74LV6T06-Q1 は、「電気的特性」表に定義されている出力電圧および電流 (V_{OL}) で、$R_L \geqq V_O / I_O$ で記述される合計抵抗の負荷を駆動できます。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

総消費電力は、『CMOS の消費電力と Cpd の計算』アプリケーション・ノートに記載された情報を使って計算できます。

Copyright © 2023 Texas Instruments Incorporated

温度の上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション・ノートに記載された情報を使って計算できます。

> **注意**
> 「絶対最大定格」に記載された最大接合部温度 ($T_{J(max)}$) は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限は、デバイスへの損傷を防ぐために規定されています。

9.2.1.2 入力に関する検討事項

入力信号は、$V_{IL(max)}$ がロジック Low と見なされるように、$V_{IH(min)}$ がロジック High と見なされるように交差する必要があります。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、V_{CC} またはグランドで終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、SN74LV6T06-Q1 へのリーク電流 (「電気的特性」で規定)、および必要な入力遷移レートによって抵抗のサイズが制限されます。 10kΩ の抵抗値は、こうした要因によりしばしば使用されます。

SN74LV6T06-Q1 は CMOS 入力を備えているため、正しく動作するには、「推奨動作条件」表で定義されているように、入力が素早く遷移する必要があります。入力遷移が遅いと発振が発生し、消費電力の増大やデバイスの信頼性の低下を招くことがあります。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

9.2.1.3 出力に関する検討事項

グランド電圧を使用して、出力 Low 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

オープン・ドレイン出力同士を直接接続して、ワイヤード AND 構成を生成したり、出力駆動能力を高めたりすることができます。

未使用の出力は、オープンのままにしておくことも可能です。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

9.2.2 詳細な設計手順

1. V_{CC} から GND の間にデカップリング・コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷が 50pF 以下であることを確認します。これは厳密な制限ではありませんが、設計上、性能が最適化されます。これは、SN74LV6T06-Q1 から 1 つまたは複数の受信デバイスまでの短い適切なサイズのトレースを提供することで実現できます。
3. 出力の抵抗性負荷が (V_{CC} / $I_{O(max)}$) Ω より大きいことを確認します。これを行うと、「絶対最大定格」の最大出力電流に違反するのを防ぐことができます。 ほとんどの CMOS 入力には、MΩ で測定される抵抗性負荷があります。これは、前に計算した最小値よりもはるかに大きくなります。
4. 熱の問題がロジック・ゲートで懸念されることはほとんどありません。ただし、消費電力と温度上昇は、アプリケーション・レポート『CMOS 消費電力と Cpd の計算』に記載された手順を使って計算できます。

9.2.3 アプリケーション曲線

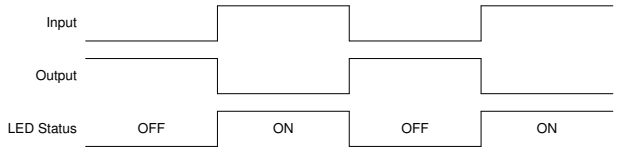


図 9-2. アプリケーションのタイミング図

9.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電力障害を防止するため、各 V_{CC} 端子に適切なバイパス・コンデンサを配置する必要があります。このデバイスには 0.1μF のコンデンサをお勧めします。複数のバイパス・コンデンサを並列に配置して、異なる周波数のノイズを除去することが可能です。一般的に、0.1μF と 1μF のコンデンサは並列に使用されます。バイパス・コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルの論理デバイスを使用する場合、入力をオープンのままにしてはいけません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 入力のみを使用したり、4 つのバッファ・ゲートのうち 3 つのみを使用する場合)。このような未使用の入力ピンを未接続のままにすることはできません。外側の接続における電圧が未定義のままでは、動作状態が未定義になるためです。デジタル論理デバイスの未使用入力はすべて、オープンにならないよう、入力電圧の仕様で定義されているように論理 High か論理 Low に接続する必要があります。特定の未使用入力に印加する必要のある論理レベルは、デバイスの機能に応じて異なります。一般的に、入力は GND か V_{CC} に接続します。接続先は、ロジック機能やより利便性の高いほうに応じて決定されます。

9.4.2 レイアウト例

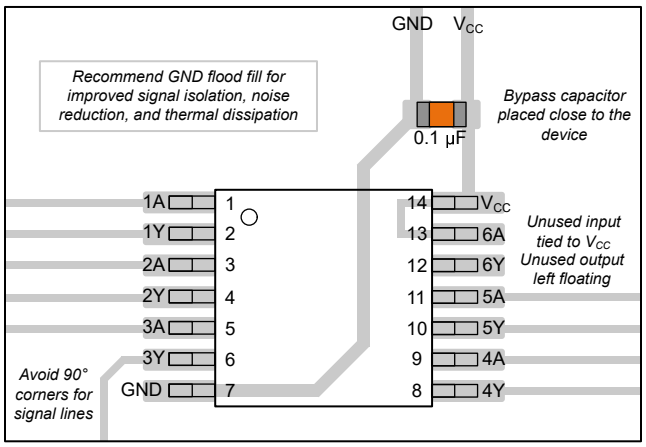


図 9-3. SN74LV6T06-Q1 のレイアウト例

Copyright © 2023 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

10.1 ドキュメントのサポート

10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『CMOS の消費電力と Cpd の計算』アプリケーション・ノート
- テキサス・インスツルメンツ、『ロジック設計』アプリケーション・ノート
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション・ノート
- テキサス・インスツルメンツ、『低速またはフローティング CMOS 入力の影響』アプリケーション・ノート

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

10.4 商標

TI E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、本ドキュメントは改訂される場合もあります。本データシートのブラウザ版を使用している場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LV6T06QPWRQ1	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVT06Q
SN74LV6T06QPWRQ1.A	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVT06Q
SN74LV6T06QWBQARQ1	Active	Production	WQFN (BQA) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVT06Q
SN74LV6T06QWBQARQ1.A	Active	Production	WQFN (BQA) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVT06Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LV6T06-Q1 :

- Catalog : SN74LV6T06
- Enhanced Product : SN74LV6T06-EP

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

GENERIC PACKAGE VIEW

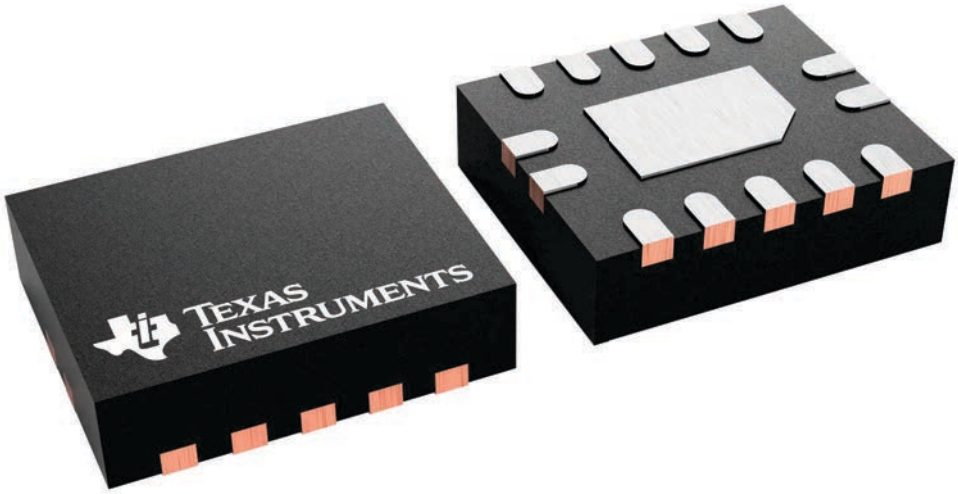
BQA 14

WQFN - 0.8 mm max height

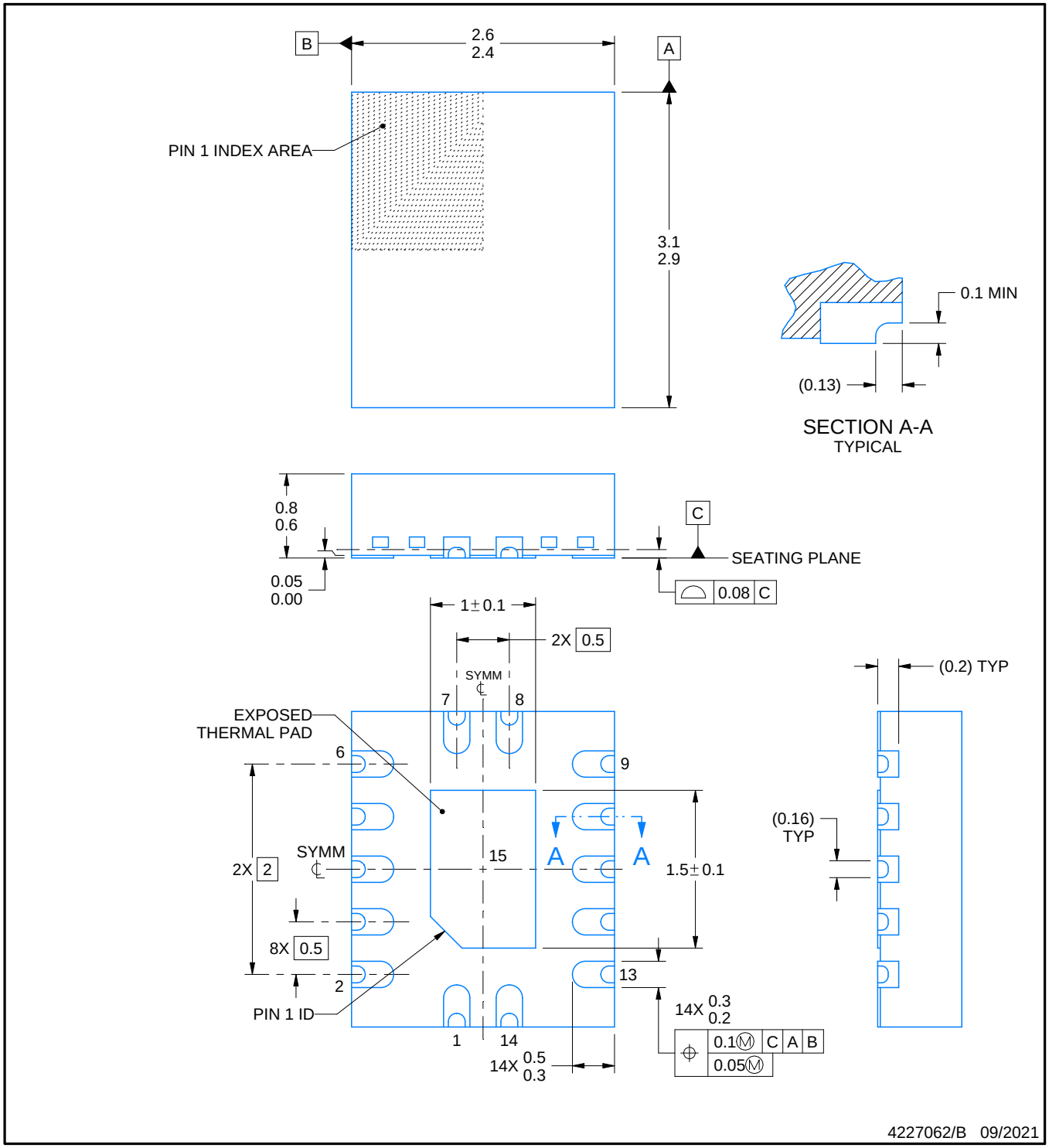
2.5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

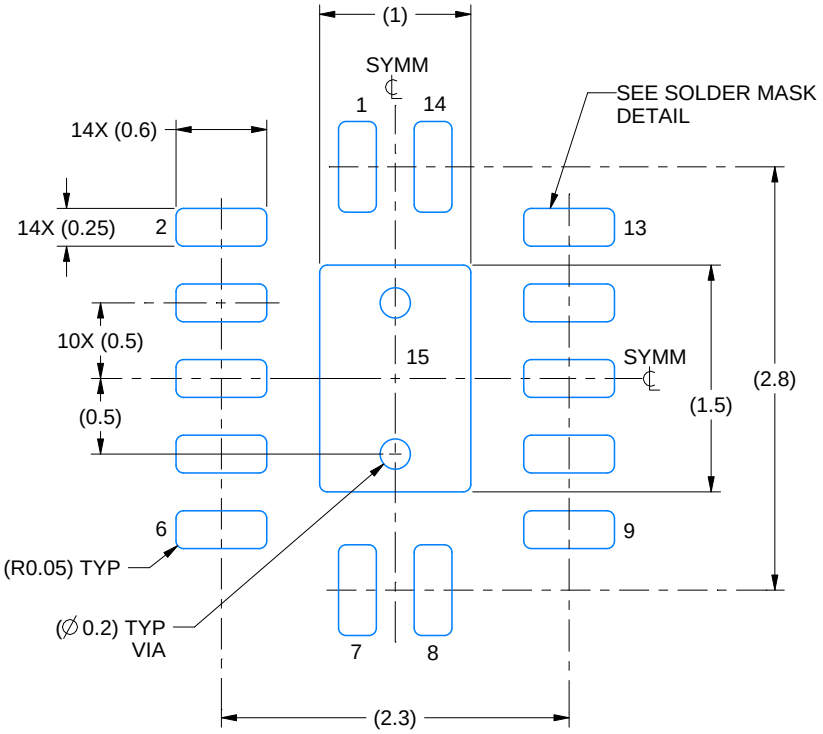


4227145/A

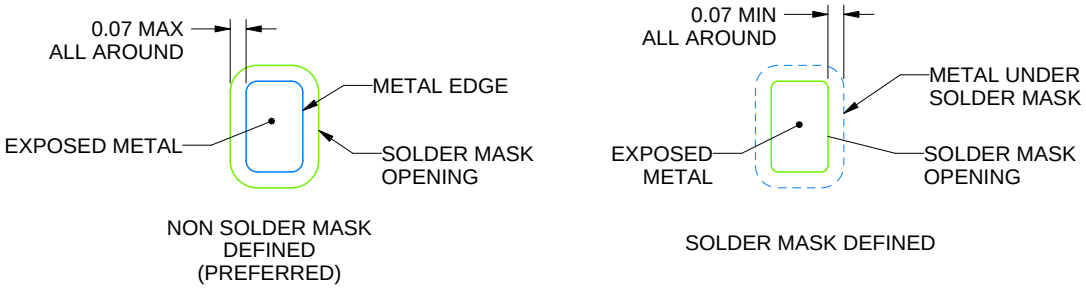


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

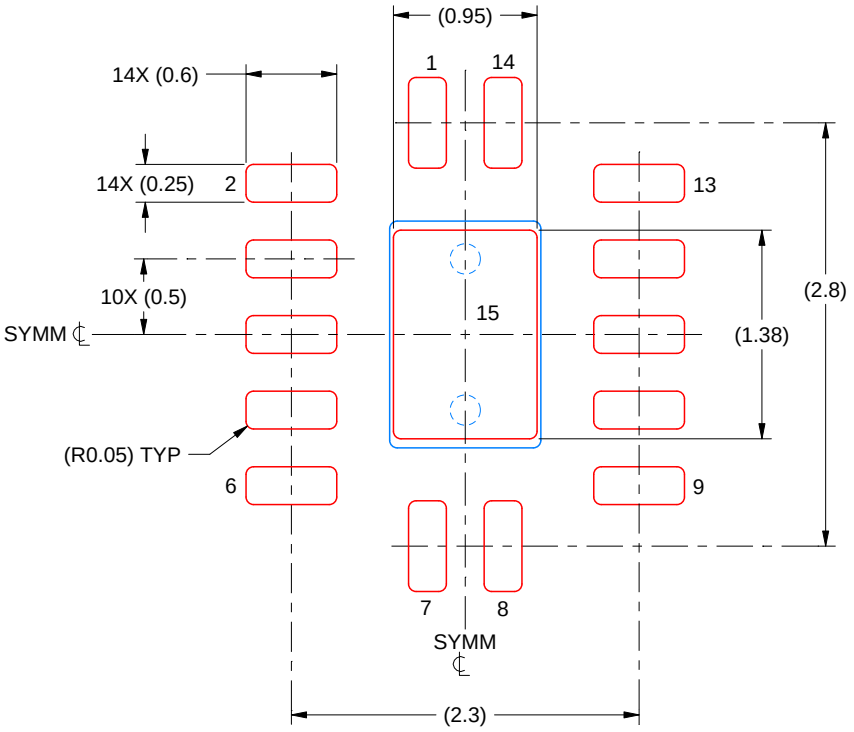


SOLDER MASK DETAILS

4227062/B 09/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

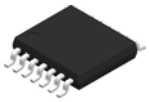
EXPOSED PAD 15
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4227062/B 09/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

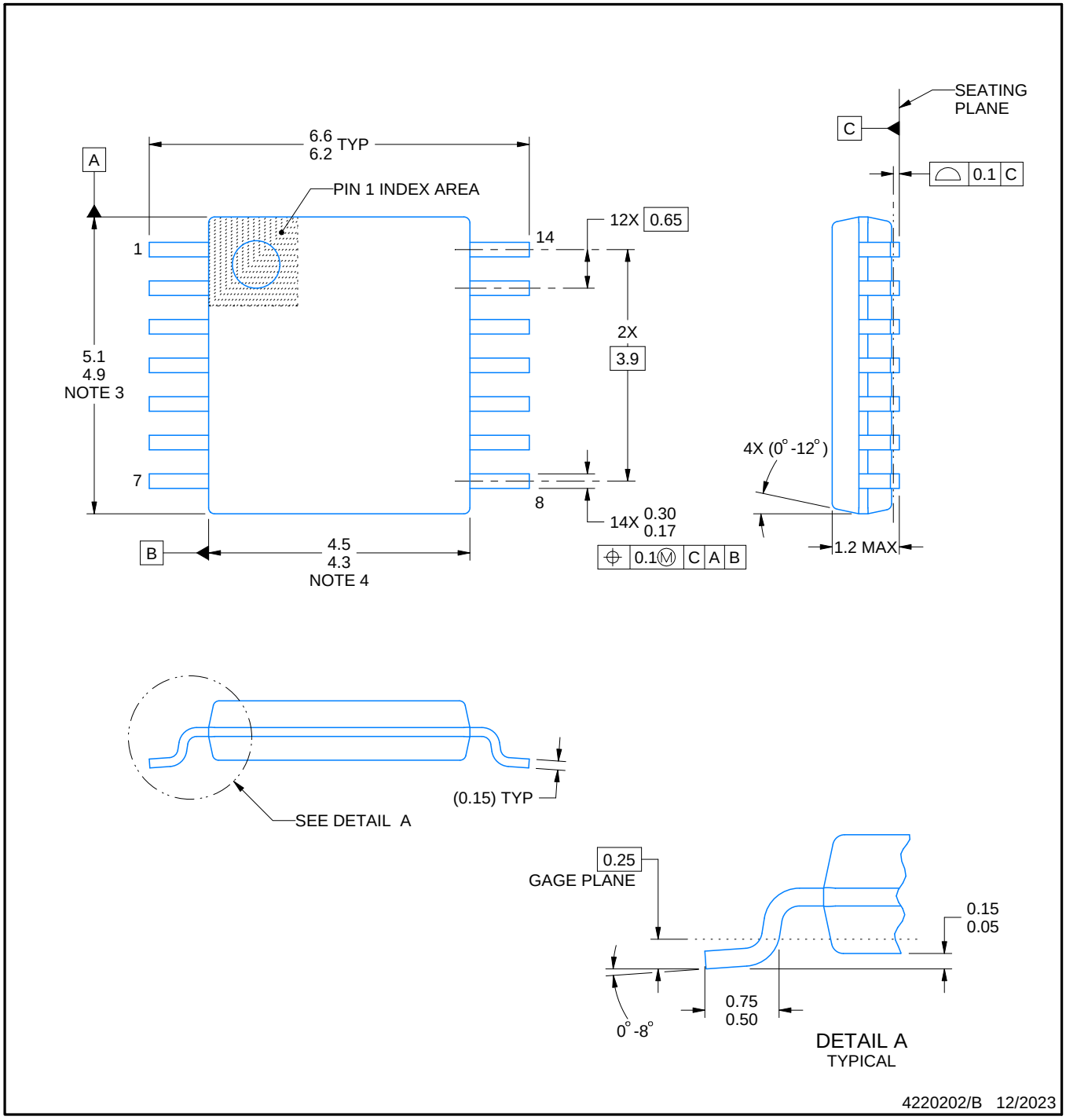
PW0014A



PACKAGE OUTLINE

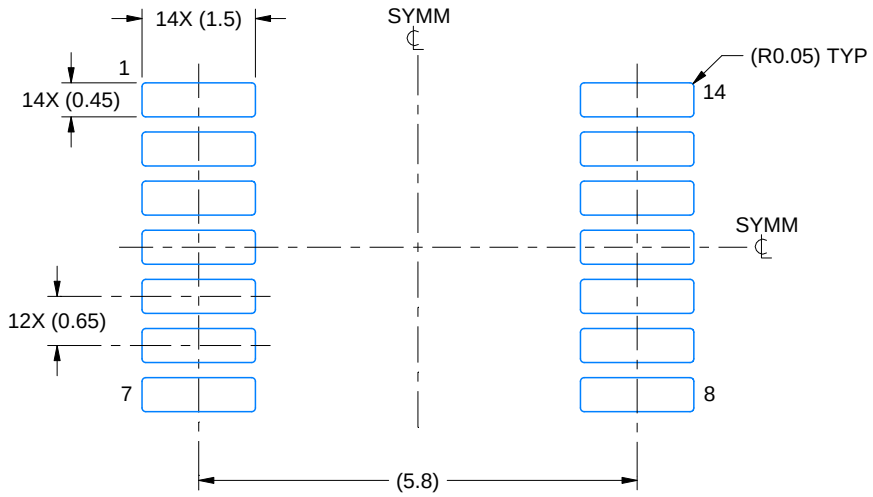
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

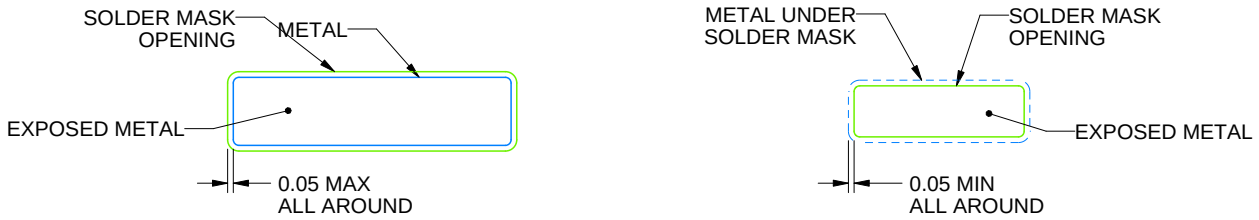


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



NON-SOLDER MASK DEFINED (PREFERRED)

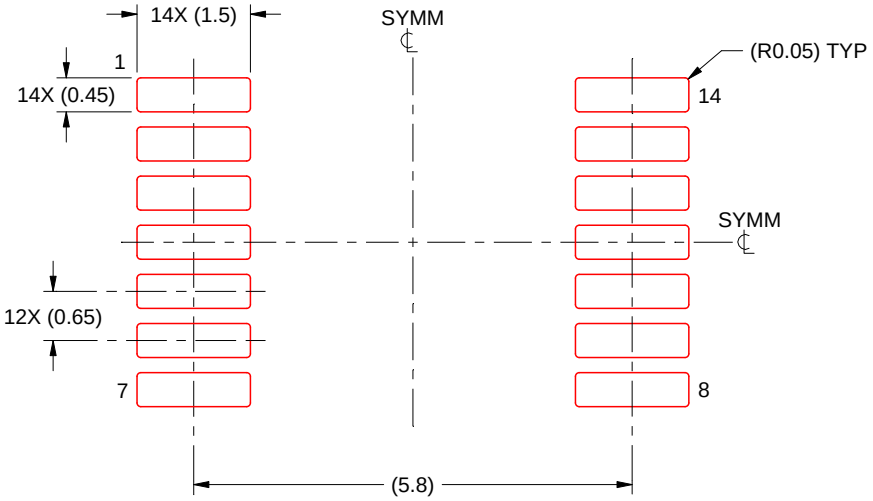
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated