

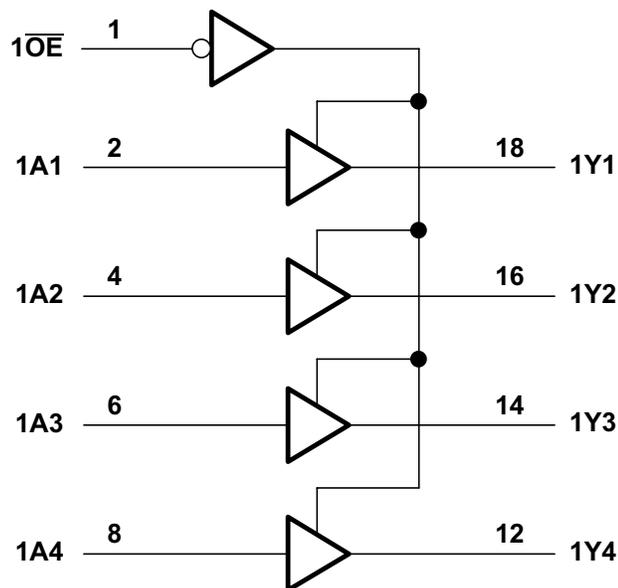
SN74LV244B-EP エンハンスド製品、2V~5.5V、低ノイズ、オクタール・ドライバ、 3 ステート出力付き

1 特長

- 2V~5.5V の V_{CC} で動作
- すべてのポートで混合モード電圧動作をサポート
- I_{off} により部分的パワーダウン・モードでの動作をサポート
- JESD 17 準拠で
250mA 超のラッチアップ性能
- 動作時周囲温度: -55°C~+125°C
- 防衛、航空宇宙、医療アプリケーションをサポート:
 - 管理されたベースライン
 - 単一のアセンブリおよびテスト施設
 - 単一の製造施設
 - 製品ライフ・サイクルの長期化
 - 製品のトレーサビリティ

2 アプリケーション

- デジタル信号のイネーブルまたはディセーブル
- 低速またはノイズの多い入力信号の除去
- コントローラ・リセット時の信号保持
- スイッチのデバウンス



3 概要

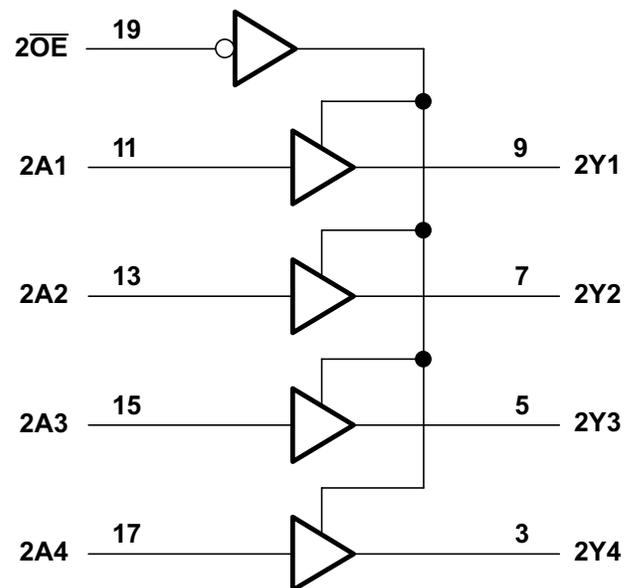
SN74LV244B-EP オクタール・バッファおよびライン・ドライバは、2V~5.5V の V_{CC} で動作するように設計されています。

本デバイスは、4 つのドライバを持つ 2 つのバンクで構成されており、各バンクは専用の出力イネーブル・ピンで制御されます。このデバイスは、 I_{off} を使用する部分的パワーダウン・アプリケーション用の動作が完全に規定されています。 I_{off} 回路が出力をディセーブルにするため、電源切断時にデバイスに電流が逆流して損傷に至ることを回避できます。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ・サイズ ⁽²⁾
SN74LV244B-EP	DW (SOIC, 20)	12.8mm × 10.3mm

- (1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。
- (2) パッケージ・サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



論理図 (正論理)



目次

1 特長	1	8 詳細説明	9
2 アプリケーション	1	8.1 概要.....	9
3 概要	1	8.2 機能ブロック図.....	9
4 改訂履歴	2	8.3 機能説明.....	9
5 ピン構成と機能	3	8.4 デバイスの機能モード.....	10
6 仕様	4	9 アプリケーションと実装	11
6.1 絶対最大定格.....	4	9.1 アプリケーション情報.....	11
6.2 ESD 定格.....	4	9.2 代表的なアプリケーション.....	11
6.3 推奨動作条件.....	5	9.3 電源に関する推奨事項.....	13
6.4 熱に関する情報.....	5	9.4 レイアウト.....	13
6.5 電気的特性.....	6	10 デバイスおよびドキュメントのサポート	15
6.6 スイッチング特性、 $V_{CC} = 2.5V \pm 0.2V$	6	10.1 ドキュメントのサポート.....	15
6.7 スイッチング特性、 $V_{CC} = 3.3V \pm 0.3V$	6	10.2 ドキュメントの更新通知を受け取る方法.....	15
6.8 スイッチング特性、 $V_{CC} = 5V \pm 0.5V$	7	10.3 サポート・リソース.....	15
6.9 ノイズ特性.....	7	10.4 商標.....	15
6.10 動作特性.....	7	10.5 静電気放電に関する注意事項.....	15
6.11 代表的特性.....	7	10.6 用語集.....	15
7 パラメータ測定情報	8	11 メカニカル、パッケージ、および注文情報	15

4 改訂履歴

日付	改訂	注
2023 年 8 月	*	初版

5 ピン構成と機能

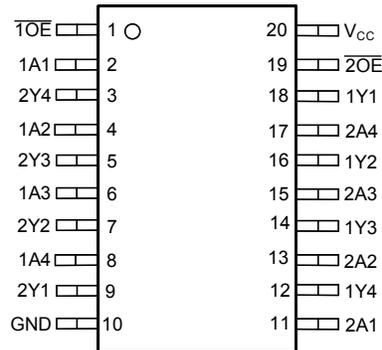


図 5-1. SN74LV244B-EP : DW パッケージ、20 ピン SOIC (上面図)

表 5-1. ピンの機能

ピン		種類 ⁽¹⁾	概要
名称	番号		
1OE	1	I	バンク 1、出力イネーブル、アクティブ Low
1A1	2	I	バンク 1、チャンネル 1 入力
2Y4	3	O	バンク 2、チャンネル 4 出力
1A2	4	I	バンク 1、チャンネル 2 入力
2Y3	5	O	バンク 2、チャンネル 3 出力
1A3	6	I	バンク 1、チャンネル 3 入力
2Y2	7	O	バンク 2、チャンネル 2 出力
1A4	8	I	バンク 1、チャンネル 4 入力
2Y1	9	O	バンク 2、チャンネル 1 出力
GND	10	G	グラウンド
2A1	11	I	バンク 2、チャンネル 1 入力
1Y4	12	O	バンク 1、チャンネル 4 出力
2A2	13	I	バンク 2、チャンネル 2 入力
1Y3	14	O	バンク 1、チャンネル 3 出力
2A3	15	I	バンク 2、チャンネル 3 入力
1Y2	16	O	バンク 1、チャンネル 2 出力
2A4	17	I	バンク 2、チャンネル 4 入力
1Y1	18	O	バンク 1、チャンネル 1 出力
2OE	19	I	バンク 2、出力イネーブル、アクティブ Low
V _{CC}	20	P	正電源

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グラウンド、P = 電源。

6 仕様

6.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
V _{CC}	電源電圧	-0.5	7	V
V _I	入力電圧 ⁽²⁾	-0.5	7	V
V _O	高インピーダンスまたは電源オフ状態で出力に印加される電圧範囲 ⁽²⁾	-0.5	7	V
V _O	出力電圧 ⁽²⁾ ⁽³⁾	-0.5	V _{CC} + 0.5	V
I _{IK}	入力クランプ電流	V _I < 0	-20	mA
I _{OK}	出力クランプ電流	V _O < 0	-50	mA
I _O	連続出力電流	V _O = 0 ~ V _{CC}	±35	mA
	V _{CC} または GND を通過する連続電流		±70	mA
T _{stg}	保管温度	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) 入力電流と出力電流の定格が遵守されると、入力と出力の負電圧の定格を超える可能性があります。
- (3) この値は最大 5.5V に制限されています。

6.2 ESD 定格

		値	単位
V _(ESD)	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	±1000

- (1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 制御プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 制御プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由空気での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
V _{CC}	電源電圧	2	5.5	V
V _{IH}	High レベル入力電圧	V _{CC} = 2V	1.5	V
		V _{CC} = 2.3V~5.5V	V _{CC} × 0.7	
V _{IL}	Low レベル入力電圧	V _{CC} = 2V	0.5	V
		V _{CC} = 2.3V~5.5V	V _{CC} × 0.3	
V _I	入力電圧	0	5.5	V
V _O	出力電圧	0	V _{CC}	V
I _{OH}	High レベル出力電流	V _{CC} = 2V	-50	μA
		V _{CC} = 2.3V~2.7V	-2	
		V _{CC} = 3V~3.6V	-6	
		V _{CC} = 4.5V~5.5V	-12	
I _{OL}	Low レベル出力電流	V _{CC} = 2V	50	μA
		V _{CC} = 2.3V~2.7V	2	
		V _{CC} = 3V~3.6V	6	
		V _{CC} = 4.5V~5.5V	12	
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート	V _{CC} = 2.3V~2.7V	200	ns/V
		V _{CC} = 3V~3.6V	100	
		V _{CC} = 4.5V~5.5V	20	
T _A	自由空気での動作温度	-55	125	°C

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。『[低速またはフローティング CMOS 入力の影響](#)』を参照してください。

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		SN74LV244B-EP	単位
		DW (SOIC)	
		20 ピン	
R _{θJA}	接合部から周囲への熱抵抗	102.3	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	69.6	°C/W
R _{θJB}	接合部から基板への熱抵抗	70.8	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	46.4	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	70.4	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	—	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』を参照してください。

6.5 電気的特性

自由空気での動作温度範囲内 (特に記述のない限り)。

パラメータ		V _{CC}	最小値	代表値	最大値	単位
V _{OH}	I _{OH} = -50mA	2V~5.5V	V _{CC} - 0.1			V
	I _{OH} = -2mA	2.3V	2			
	I _{OH} = -6mA	3V	2.48			
	I _{OH} = -12mA	4.5V	3.8			
V _{OL}	I _{OL} = 50mA	2V~5.5V	0.1			V
	I _{OL} = 2mA	2.3V	0.4			
	I _{OL} = 6mA	3V	0.44			
	I _{OL} = 12mA	4.5V	0.55			
I _I	V _I = 5.5V または GND	0V~5.5V	±1			μA
I _{OZ}	V _O = V _{CC} または GND	5.5V	±5			μA
I _{CC}	V _I = V _{CC} または GND、I _O = 0	5.5V	20			μA
I _{off}	V _I または V _O = 0~5.5V	0V	5			μA
C _i	V _I = V _{CC} または GND	3.3V	2.3			pF

6.6 スイッチング特性、V_{CC} = 2.5V±0.2V

自由空気での動作温度範囲内 (特に記述のない限り)、(図 7-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷 容量	25°C			-55°C~125°C			単位
				最小値	代表値	最大値	最小値	代表値	最大値	
t _{pd}	A	Y	C _L = 15pF		7.5	12.5	1		15	ns
t _{en}	OE	Y	C _L = 15pF		8.9	14.6	1		17	ns
t _{dis}	OE	Y	C _L = 15pF		9.1	14.1	1		16	ns
t _{pd}	A	Y	C _L = 50pF		9.5	15.3	1		18	ns
t _{en}	OE	Y	C _L = 50pF		10.8	17.8	1		21	ns
t _{dis}	OE	Y	C _L = 50pF		13.4	19.2	1		21	ns
t _{sk(o)}			C _L = 50pF			2			2	ns

6.7 スイッチング特性、V_{CC} = 3.3V±0.3V

自由空気での動作温度範囲内 (特に記述のない限り)、(図 7-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷 容量	25°C			-55°C~125°C			単位
				最小値	代表値	最大値	最小値	代表値	最大値	
t _{pd}	A	Y	C _L = 15pF		5.4	8.4	1		10	ns
t _{en}	OE	Y	C _L = 15pF		6.3	10.6	1		12.5	ns
t _{dis}	OE	Y	C _L = 15pF		7.6	11.7	1		13	ns
t _{pd}	A	Y	C _L = 50pF		6.8	11.9	1		13.5	ns
t _{en}	OE	Y	C _L = 50pF		7.8	14.1	1		16	ns
t _{dis}	OE	Y	C _L = 50pF		11	16	1		18	ns
t _{sk(o)}			C _L = 50pF			1.5			1.5	ns

6.8 スイッチング特性、 $V_{CC} = 5V \pm 0.5V$

自由空気での推奨動作温度範囲内 (特に記述のない限り)、(図 7-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷 容量	25°C			-55°C~125°C			単位
				最小値	代表値	最大値	最小値	代表値	最大値	
t_{pd}	A	Y	$C_L = 15pF$		3.9	5.5	1		6.5	ns
t_{en}	OE	Y	$C_L = 15pF$		4.5	7.3	1		8.5	ns
t_{dis}	OE	Y	$C_L = 15pF$		6.5	12.2	1		13.5	ns
t_{pd}	A	Y	$C_L = 50pF$		4.9	7.5	1		8.5	ns
t_{en}	OE	Y	$C_L = 50pF$		5.6	9.3	1		10.5	ns
t_{dis}	OE	Y	$C_L = 50pF$		8.8	14.2	1		15.5	ns
$t_{sk(o)}$			$C_L = 50pF$			1			1	ns

6.9 ノイズ特性

$V_{CC} = 3.3V$, $C_L = 50pF$, $T_A = 25^\circ C^{(1)}$

パラメータ	説明	最小値	代表値	最大値	単位
$V_{OL(P)}$	低ノイズ出力、最大ダイナミック		0.55		V
$V_{OL(V)}$	低ノイズ出力、最小ダイナミック		-0.5		V
$V_{OH(V)}$	低ノイズ出力、最小ダイナミック		2.9		V
$V_{IH(D)}$	High レベル動的入力電圧	2.31			V
$V_{IL(D)}$	Low レベル動的入力電圧			0.99	V

(1) 特性は表面実装パッケージに限定されます。

6.10 動作特性

$T_A = 25^\circ C$

パラメータ	テスト条件	V_{CC}	代表値	単位
C_{pd} 電力散逸容量	$C_L = 50pF$ $f = 10MHz$	3.3V	14	pF
		5V	16	

6.11 代表的特性

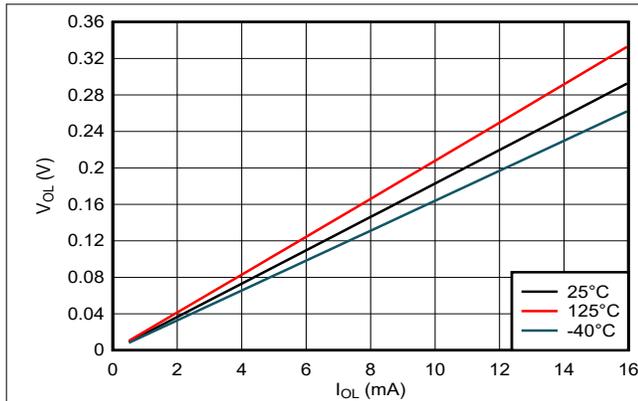


図 6-1. 出力電圧と Low 状態の電流との関係 (5V 電源)

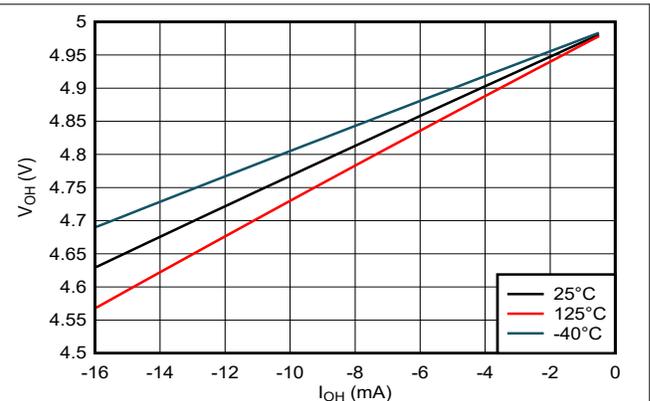
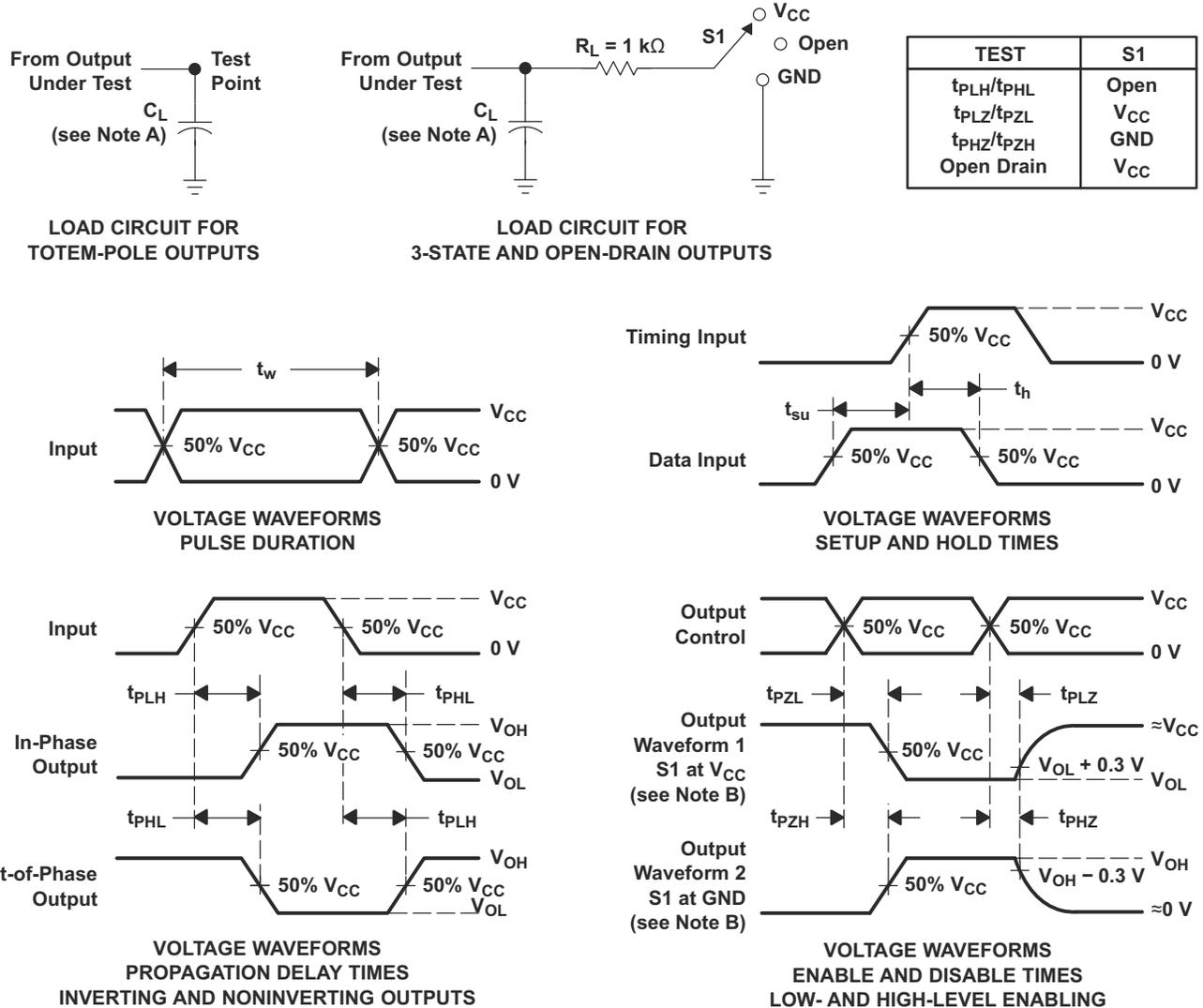


図 6-2. 出力電圧と High 状態の電流との関係 (5V 電源)

7 パラメータ測定情報



- A. C_L にはプローブと治具の容量が含まれます。
- B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルされている場合は除きます。波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルされている場合は除きます。
- C. すべての入力パルスは、以下の特性を持つジェネレータから供給されます: $PRR \leq 1\text{MHz}$, $Z_0 = 50\Omega$, $t_r \leq 3\text{ns}$, $t_f \leq 3\text{ns}$ 。
- D. 出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。
- E. t_{PLZ} と t_{PHZ} は t_{dis} と同じです。
- F. t_{PZL} と t_{PZH} は t_{en} と同じです。
- G. t_{PHL} と t_{PLH} は t_{pd} と同じです。
- H. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 7-1. 負荷回路および電圧波形

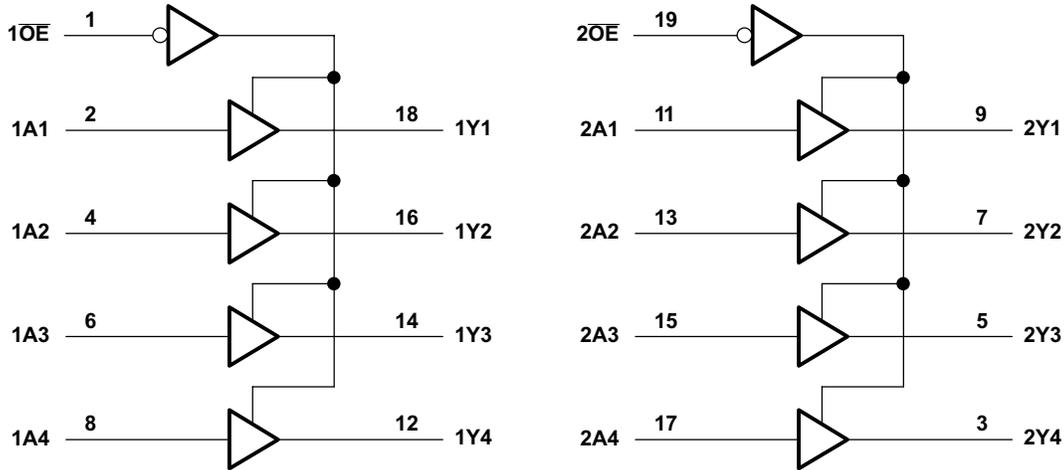
8 詳細説明

8.1 概要

SN74LV244B-EP オクタール・バッファおよびライン・ドライバは、2V～5.5V の V_{CC} で動作するように設計されています。

本デバイスは、4 つのドライバを持つ 2 つのバンクで構成されており、各バンクは専用の出力イネーブル・ピンで制御されます。このデバイスは、 I_{off} を使用する部分的パワーダウン・アプリケーション用の動作が完全に規定されています。 I_{off} 回路が出力をディセーブルにするため、電源切断時にデバイスに電流が逆流して損傷に至ることを回避できます。

8.2 機能ブロック図



8.3 機能説明

8.3.1 標準 CMOS 入力

このデバイスには、標準 CMOS 入力が搭載されています。標準 CMOS 入力は高インピーダンスであり、通常は「電気的特性」に示されている入力容量と並列の抵抗としてモデル化されます。最悪条件下の抵抗は「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 ($R = V \div I$) を使用して計算します。

標準 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、『[低速またはフローティング CMOS 入力の影響](#)』を参照してください。

動作中は、標準 CMOS 入力をフローティングのままにしないでください。未使用の入力は、 V_{CC} または GND で終端する必要があります。システムが入力を常にアクティブに駆動している訳ではない場合、システムが入力をアクティブに駆動していないときに有効な入力電圧を与えるため、プルアップまたはプルダウン抵抗を追加できます。抵抗値は複数の要因に依存しますが、 $10k\Omega$ の抵抗を推奨します。通常はこれですべての要件を満たします。

8.3.2 平衡化された CMOS 3 ステート出力

このデバイスには、平衡化された CMOS 3 ステート出力が内蔵されています。High、Low、高インピーダンスが、これらの出力が取り得る 3 つの状態です。平衡化という用語は、このデバイスが類似の電流に対するシンクとソースを行えることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リングングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

高インピーダンス・モードに移行したとき、出力は電流のソースとシンクのどちらも行いません。ただし、「電気的特性」表に定義されている小さなリーク電流は例外です。高インピーダンス状態では、出力電圧はデバイスによって制御されず、外部要因に依存します。ノードに他のドライバが接続されていない場合、これはフローティング・ノードと呼ばれ、電圧は不明です。出力にプルアップ抵抗またはプルダウン抵抗を接続することで、高インピーダンス状態の出力に既知の電圧を供給できます。抵抗の値は、寄生容量や消費電力の制限など複数の要因に依存します。通常、これらの要件を満たすために 10kΩ の抵抗を使用できます。

未使用の 3 ステート CMOS 出力は、未接続のままにする必要があります。

8.3.3 部分的パワーダウン (I_{off})

このデバイスには、電源ピンが 0V に保持されているときにすべての出力をディセーブルにする回路が内蔵されています。ディセーブルの時には、印加された入力電圧に関係なく、出力は電流をソースまたはシンクしません。各出力のリーク電流の量は、「電気的特性」表の I_{off} 仕様によって定義されます。

8.3.4 クランプ・ダイオード構造

図 8-1 は、このデバイスの入力と出力には負のクランプ・ダイオードのみがあることを示しています。

注意

「絶対最大定格」表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。

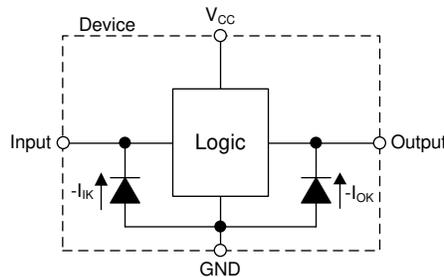


図 8-1. 各入力と出力に対するクランプ・ダイオードの電氣的配置

8.4 デバイスの機能モード

表 8-1 に、SN74LV244B-EP の機能モードを示します。

表 8-1. 機能表

入力 (1)		出力
OE	A	Y
L	L	L
L	H	H
H	X	Z

(1) H = High 電圧レベル、L = Low 電圧レベル、X = ドント・ケア、Z = 高インピーダンス

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

SN74LV244B-EP は、比較的長い配線や伝送ラインで信号を駆動するために使用できます。ドライバ、伝送ライン、レシーバの間のインピーダンスの不整合に起因するリングングを低減するために、トランスミッタの出力と直列に配置した直列ダンピング抵抗を使用できます。「アプリケーション曲線」セクションのプロットは、3つの個別の抵抗値を持つ受信信号を示しています。この種のアプリケーションでは、わずかな量の抵抗だけでシグナル・インテグリティに大きな影響を及ぼす可能性があります。

9.2 代表的なアプリケーション

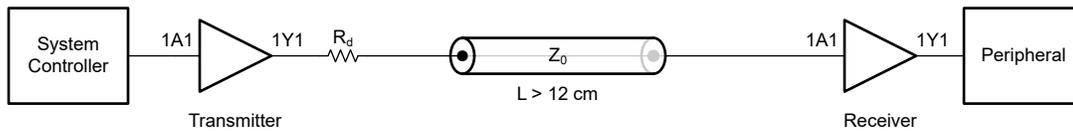


図 9-1. 代表的なアプリケーションのブロック図

9.2.1 電源に関する考慮事項

目的の電源電圧が、「推奨動作条件」に規定された範囲に入っていることを確認します。「電気的特性」セクションに記載されているように、電源電圧はデバイスの電気的特性を設定します。

正電圧の電源は、SN74LV244B-EP のすべての出力によってソースされる総電流、「電気的特性」に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給する必要があります。論理デバイスは、正の供給電源から供給される電流量分のみをソースできます。「絶対最大定格」に記載された V_{CC} 総電流の最大値を超えないようにしてください。

グラウンドは、SN74LV244B-EP のすべての出力によってシンクされる総電流、「電気的特性」に記載された消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクする必要があります。論理デバイスは、グラウンド接続にシンク可能な電流量分のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

SN74LV244B-EP は、データシートの仕様をすべて満たしつつ、合計容量 50pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、50pF を超えることは推奨しません。

SN74LV244B-EP は、「電気的特性」表に定義されている出力電圧および電流 (V_{OH} および V_{OL}) によって、 $R_L \geq V_O / I_O$ で示される総抵抗の負荷を駆動できます。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

総消費電力は、『CMOS の消費電力と Cpd の計算』に記載されている情報を使用して計算できます。

熱上昇は、『標準リアおよびロジック (SLL) パッケージおよびデバイスの熱特性』に記載されている情報を使用して計算できます。

注意

「絶対最大定格」に記載された最大接合部温度 ($T_{J(max)}$) は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限は、デバイスへの損傷を防ぐために規定されています。

9.2.2 入力に関する検討事項

入力信号は、 $V_{IL(max)}$ がロジック Low と見なされるように、 $V_{IH(min)}$ がロジック High と見なされるように交差する必要があります。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、 V_{CC} またはグランドに終端させる必要があります。入力がかたたく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、SN74LV244B-EP へのリーク電流（「電気的特性」で規定）、および必要な入力遷移レートによって抵抗のサイズが制限されます。10k Ω の抵抗値は、こうした要因によりしばしば使用されます。

SN74LV244B-EP は CMOS 入力を備えているため、正しく動作するには、「推奨動作条件」表で定義されているように、入力が素早く遷移する必要があります。入力遷移が遅いと発振が発生し、消費電力の増大やデバイスの信頼性の低下を招くことがあります。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

9.2.3 出力に関する考慮事項

正の電源電圧を使用して、出力 High 電圧を生成します。出力から電流を引き出すと、「電気的特性」の V_{OH} 仕様で規定されたように出力電圧が低下します。グランド電圧を使用して、出力 Low 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

逆の状態になる可能性のあるプッシュプル出力は、非常に短い時間であっても、決して直接接続はしないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

同じ入力信号を持つ同一デバイス内の 2 つのチャンネルを並列に接続することにより、出力駆動の強度を高めることができます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

9.2.4 詳細な設計手順

1. V_{CC} から GND の間にデカップリング・コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電氣的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷が 50pF 以下であることを確認します。これは厳密な制限ではありませんが、性能が最適化されます。これは、SN74LV244B-EP から 1 つ以上の受信デバイスへのトレースを短い適切なサイズにすることで実現できます。
3. 「絶対最大定格」の最大出力電流に違反しないように、出力の抵抗性負荷を確実に $(V_{CC} / I_{O(max)})\Omega$ より大きい値にしてください。ほとんどの CMOS 入力には抵抗性負荷（測定単位は M Ω ）があります。これは、前述の計算された最小値よりもはるかに大きな値になります。
4. 熱の問題がロジック・ゲートで懸念されることはほとんどありませんが、消費電力と温度上昇は、アプリケーション・レポート『CMOS 消費電力と Cpd の計算』に記載された手順を使って計算できます。

9.2.5 アプリケーション曲線

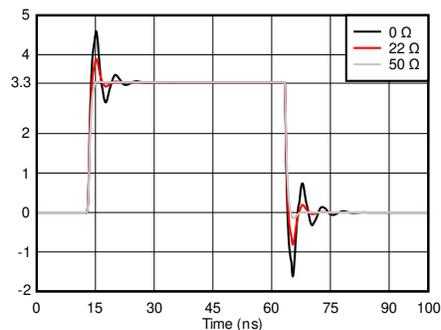


図 9-2. 異なるダンピング抵抗 (R_d) 値を使用してレシーバでの信号整合性をシミュレート

9.3 電源に関する推奨事項

電源には、「絶対最大定格」に記載されている最小電源電圧定格と最大電源電圧定格の間の任意の電圧を使用できます。電源の障害を防止するため、各 V_{CC} 端子に適切なバイパス・コンデンサを配置する必要があります。単電源のデバイスには $0.1\mu\text{F}$ のコンデンサを推奨します。 V_{CC} 端子が複数ある場合は、各電源端子に $0.01\mu\text{F}$ または $0.022\mu\text{F}$ のコンデンサを推奨します。複数のバイパス・コンデンサを並列に接続して、異なる周波数のノイズを除去することもできます。一般的に、 $0.1\mu\text{F}$ と $1\mu\text{F}$ の周波数を並列で使用します。最善の結果を得るには、バイパス・コンデンサを電源端子のできるだけ近くに取り付ける必要があります。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

多ビット・ロジック・デバイスを使用する場合、入力をフローティングにしないでください。多くの場合、デジタル・ロジック・デバイスの機能または機能の一部は使用されません。例えば、トリプル入力 AND ゲートの 2 入力のみを使用する場合や、4 バッファ・ゲートのうち 3 入力のみを使用する場合です。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタル論理デバイスの未使用入力はすべて、フローティングにならないよう、入力電圧の仕様が定義されているようにロジック High かロジック Low の電圧に接続する必要があります。特定の未使用の入力に対して適用が必要となるロジック・レベルは、デバイスの機能により異なります。一般に入力は、GND または V_{CC} のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

9.4.2 レイアウト例

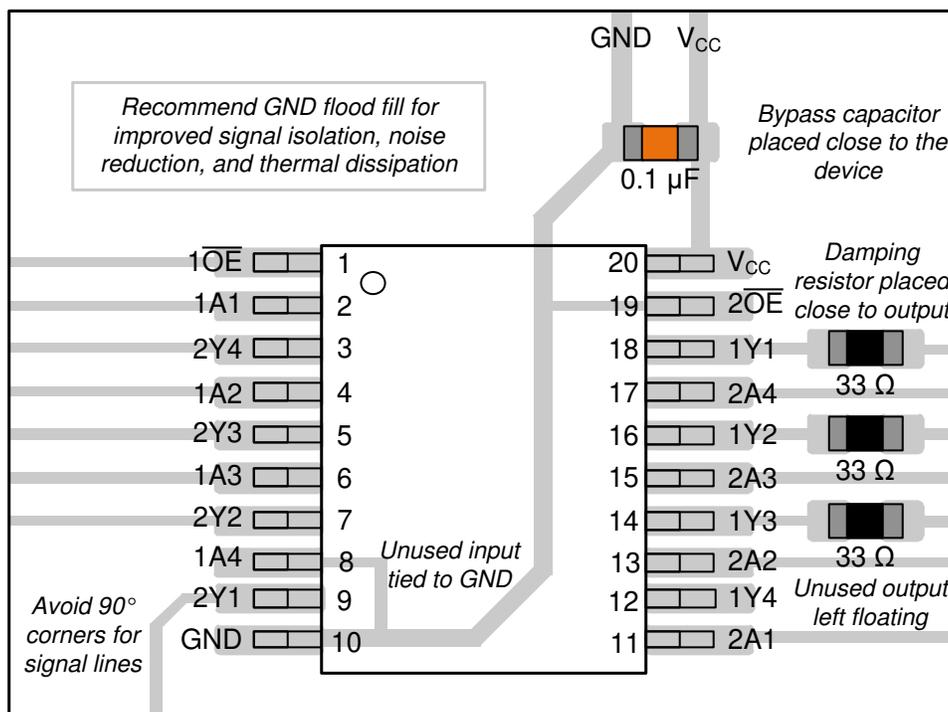


図 9-3. PW パッケージに封止した SN74LV244B-EP のレイアウト例

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[CMOS の電力消費と Cpd の計算](#)』
- テキサス・インスツルメンツ、『[ロジック入門](#)』
- テキサス・インスツルメンツ、『[クロック制御されたデバイスの電源投入時の動作](#)』
- テキサス・インスツルメンツ、『[標準リニア / ロジック \(SLL\) パッケージおよびデバイスの熱特性](#)』

10.2 ドキュメントの更新通知を受け取る方法

ドキュメント更新の通知を、シリコンの正誤表も含めて受け取るには、tij.co.jp でお使いの製品のフォルダへ移動します。右上の隅にある「[通知を受け取る](#)」ボタンをクリックします。これによって登録が行われ、変更された製品情報の概要を毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

[TI E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

10.4 商標

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは、予告なしに、またドキュメントの改訂なしに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LV244BMDWREP	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	LV244BMEP
SN74LV244BMDWREP.A	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	LV244BMEP
V62/23625-01XE	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	LV244BMEP

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

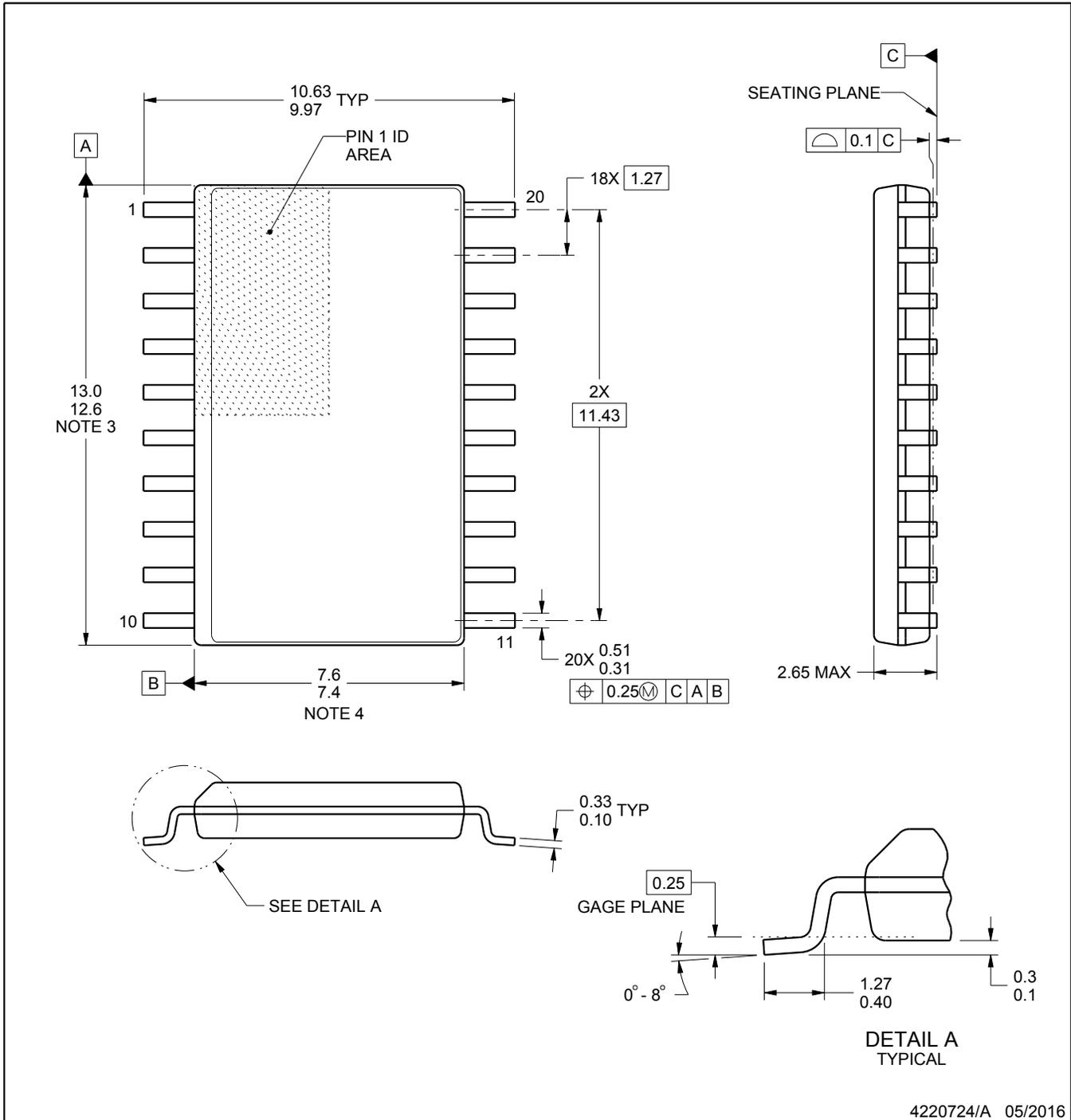
DW0020A



PACKAGE OUTLINE

SOIC - 2.65 mm max height

SOIC



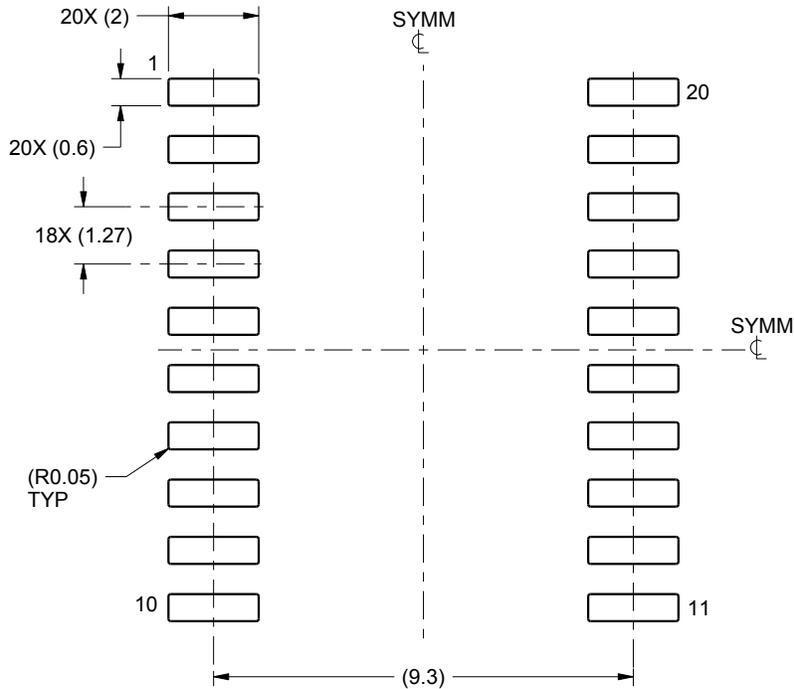
4220724/A 05/2016

EXAMPLE BOARD LAYOUT

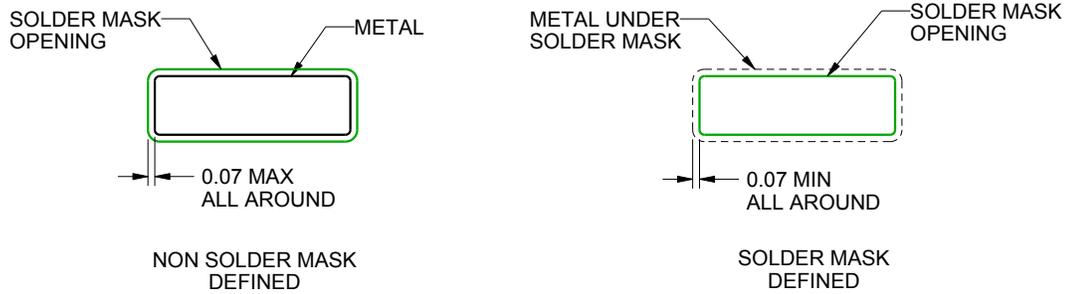
DW0020A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:6X



SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

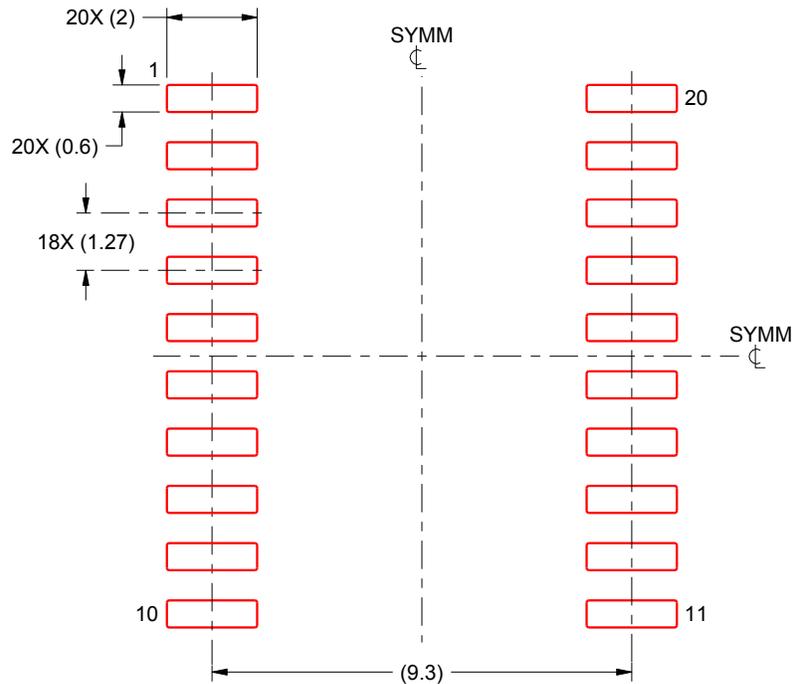
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0020A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月