

SN74LV163A 4 ビット同期バイナリ カウンタ

1 特長

- 2V～5.5V の V_{CC} で動作
- 最大 t_{pd} 9.5ns (5V 時)
- 標準 V_{OLP} (出力グランド バウンス) < 0.8V ($V_{CC} = 3.3V, T_A = 25^\circ C$)
- 標準 V_{OHV} (出力 V_{OH} アンダーシュート) > 2.3V ($V_{CC} = 3.3V, T_A = 25^\circ C$)
- すべてのポートで混在モード電圧動作をサポート
- カウントを高速化するための内部ルック アヘッド
- n ビット カスケード接続用のキャリー出力
- 同期カウント
- 同期的にプログラム可能
- I_{off} により部分的パワーダウン モードでの動作をサポート
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能

2 説明

'LV163A デバイスは、2V～5.5V の V_{CC} で動作するように設計された 4 ビット同期バイナリ カウンタです。

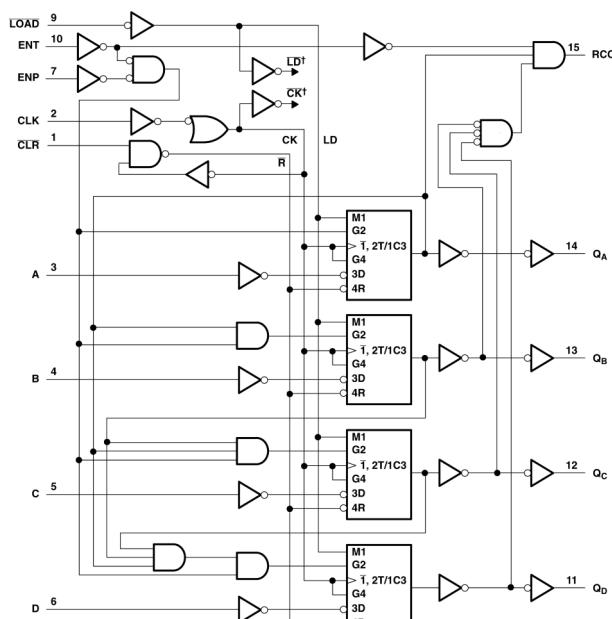
パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾	本体サイズ ⁽³⁾
SN74LV163A	D (SOIC, 16)	9.9mm × 6mm	9.90mm × 3.91mm
	DB (SSOP, 16)	6.2mm × 7.8mm	6.20mm × 5.30mm
	DGV (TSSOP, 16)	3.6mm × 6.4mm	5.00mm × 4.40mm
	NS (SOP, 16)	10.2mm × 7.8mm	10.20 mm × 5.30mm
	PW (TSSOP, 16)	5.00mm × 6.4mm	5.00mm × 4.40mm
	RGY (VQFN, 16)	4mm × 3.5mm	4.00mm × 3.50mm

(1) 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



論理図 (正論理)

目次

1 特長	1
2 説明	1
3 ピン構成および機能	3
4 仕様	4
4.1 絶対最大定格	4
4.2 ESD 定格	4
4.3 推奨動作条件	4
4.4 熱に関する情報	5
4.5 電気的特性	5
4.6 タイミング要件、 $V_{CC} = 2.5\text{ V} \pm 0.2\text{ V}$	6
4.7 タイミング要件、 $V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$	6
4.8 タイミング要件、 $V_{CC} = 5\text{ V} \pm 0.5\text{ V}$	6
4.9 スイッチング特性、 $V_{CC} = 2.5\text{ V} \pm 0.2\text{ V}$	6
4.10 スイッチング特性、 $V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$	7
4.11 スイッチング特性、 $V_{CC} = 5\text{ V} \pm 0.5\text{ V}$	7
4.12 ノイズ特性	8
4.13 動作特性	8
4.14 クリア、プリセット、カウント、インヒビットの代表的なシーケンス	8
5 パラメータ測定情報	10
6 詳細説明	12
6.1 概要	12
6.2 機能ブロック図	13
6.3 デバイスの機能モード	14
7 アプリケーションと実装	15
7.1 電源に関する推奨事項	15
7.2 レイアウト	15
8 デバイスおよびドキュメントのサポート	17
8.1 ドキュメントのサポート	17
8.2 ドキュメントの更新通知を受け取る方法	17
8.3 サポート・リソース	17
8.4 商標	17
8.5 静電気放電に関する注意事項	17
8.6 用語集	17
9 改訂履歴	17
10 メカニカル、パッケージ、および注文情報	18

3 ピン構成および機能

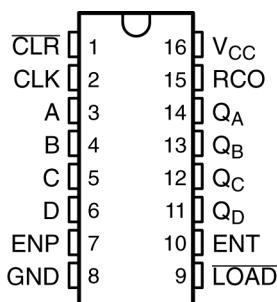


図 3-1. SN74LV163A D、DB、DGV、NS、PW パッケージ、16 ピン SOIC、SSOP、TVSOP、SOP、TSSOP
(上面図)

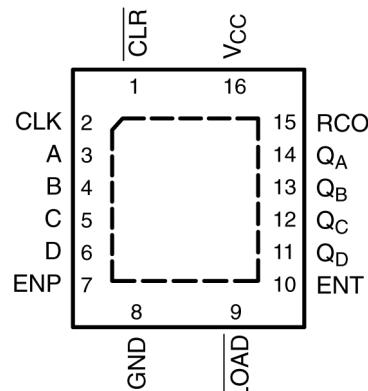


図 3-2. SN74LV163A RGY パッケージ、16 ピン VQFN
(上面図)

ピンの機能

名称	ピン	種類 1	説明
CLR	1	I	クリア、アクティブ Low
CLK	2	I	クロック、立ち上がりエッジをトリガ
A	3	I	ロード データ A
B	4	I	ロード データ B
C	5	I	ロード データ C
D	6	I	ロード データ D
ENP	7	I	カウント イネーブル (RCO に影響を及ぼしません。)
GND	8	—	グランド
LOAD	9	I	並列ロード、アクティブ Low
ENT	10	I	カウント イネーブル (RCO に影響を及ぼします。)
Q _D	11	O	Q _D 出力
Q _C	12	O	Q _C 出力
Q _B	13	O	Q _B 出力
Q _A	14	O	Q _A 出力
RCO	15	O	リップル キャリー出力
V _{CC}	16	—	電源

1. I = 入力、O = 出力、P = 電源、FB = フィードバック、GND = グランド、N/A = 該当なし

4 仕様

4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	7	V
V_I ⁽²⁾	入力電圧範囲		-0.5	7	V
V_O ⁽²⁾	High または Low 状態で印加される出力電圧範囲		-0.5	$V_{CC} + 0.5$	V
V_O ⁽²⁾	電源オフ状態で出力に印加される電圧範囲		-0.5	7	V
I_{IK}	入力クランプ電流	$(V_I < 0)$		-20	mA
I_{OK}	出力クランプ電流	$(V_O < 0)$		-50	mA
I_O	連続出力電流	$(V_O = 0 \sim V_{CC})$		± 25	mA
	V_{CC} または GND を通過する連続電流			± 50	mA
T_{stg}	保管温度範囲		-65	150	°C

- (1) 「絶対最大定格」に示された値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらは、ストレス定格のみを示すものであり、これらの条件や「推奨動作条件」に示された値を超える条件で、本製品が機能することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 入力電流と出力電流の定格を遵守していても、入力と出力の負電圧の定格を超える可能性があります。

4.2 ESD 定格

		値	単位
$V_{(ESD)}$	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	± 2000	V
	JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。 ⁽¹⁾	± 1000	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

4.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		SN74LV163A		単位
		最小値	最大値	
V_{CC}	電源電圧	2	5.5	V
V_{IH}	High レベル入力電圧	$V_{CC} = 2V$	1.5	V
		$V_{CC} = 2.3V \sim 2.7V$	$V_{CC} \times 0.7$	
		$V_{CC} = 3V \sim 3.6V$	$V_{CC} \times 0.7$	
		$V_{CC} = 4.5V \sim 1.5V$	$V_{CC} \times 0.7$	
V_{IL}	Low レベル入力電圧	$V_{CC} = 2V$	0.5	V
		$V_{CC} = 2.3V \sim 2.7V$	$V_{CC} \times 0.3$	
		$V_{CC} = 3V \sim 3.6V$	$V_{CC} \times 0.3$	
		$V_{CC} = 4.5V \sim 1.5V$	$V_{CC} \times 0.3$	
V_I	入力電圧	0	5.5	V
V_O	出力電圧	0	V_{CC}	V
I_{OH}	High レベル出力電流	$V_{CC} = 2V$	-50	mA
		$V_{CC} = 2.3V \sim 2.7V$	-2	
		$V_{CC} = 3V \sim 3.6V$	-6	
		$V_{CC} = 4.5V \sim 1.5V$	-12	

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

			SN74LV163A		単位
			最小値	最大値	
I_{OL}	Low レベル出力電流	$V_{CC} = 2V$		50	μA
		$V_{CC} = 2.3V \sim 2.7V$		2	
		$V_{CC} = 3V \sim 3.6V$		6	mA
		$V_{CC} = 4.5V \sim 1.5V$		12	
$\Delta t/\Delta v$	入力遷移の立ち上がりまたは立ち下がりレート	$V_{CC} = 2.3V \sim 2.7V$		200	ns/V
		$V_{CC} = 3V \sim 3.6V$		100	
		$V_{CC} = 4.5V \sim 1.5V$		20	
T_A	自由空気での動作温度		-40	85	$^{\circ}C$

- (1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、 V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーションレポート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。

4.4 热に関する情報

熱評価基準 ⁽¹⁾	SN74LV163A						単位	
	D	DB	DGV	NS	PW	RGY		
	16 ピン	16 ピン	16 ピン	16 ピン	16 ピン	16 ピン		
$R_{θJA}$	接合部から周囲への熱抵抗	73	82	120	64	108	39	$^{\circ}C/W$

- (1) 従来および最新の熱評価基準の詳細については、『半導体およびICパッケージの熱評価基準』アプリケーションレポートを参照してください。
[spra953](#)

4.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	SN74LV163A			単位
			最小値	標準値	最大値	
V_{OH}	$I_{OH} = -50\mu A$	2V ~ 5.5V		$V_{CC}-0.1$		V
	$I_{OH} = -2mA$	2.3V		2		
	$I_{OH} = -6mA$	3V		2.48		
	$I_{OH} = -12mA$	4.5V		3.8		
V_{OL}	$I_{OL} = 50\mu A$	2V ~ 5.5V			0.1	V
	$I_{OL} = 2mA$	2.3V			0.4	
	$I_{OL} = 6mA$	3V			0.44	
	$I_{OL} = 12mA$	4.5V			0.55	
I_I	$V_I = 5.5 V$ または GND	0 ~ 5.5V			± 1	μA
I_{CC}	$V_I = V_{CC}$ または GND, $I_O = 0$	5.5V			20	μA
I_{off}	V_I または $V_O = 0 \sim 5.5V$	0			5	μA
C_i	$V_I = V_{CC}$ または GND	3.3V			1.8	pF

4.6 タイミング要件、 $V_{CC} = 2.5\text{ V} \pm 0.2\text{ V}$

自由気流での推奨動作温度範囲内、 $V_{CC} = 2.5\text{V} \pm 0.2\text{V}$ (特に記述のない限り) ([負荷回路および電圧波形](#) を参照)

		$T_A = 25^\circ\text{C}$	SN74LV163A		単位	
		最小値	最大値	最小値	最大値	
t_w	パルス幅、CLK High または Low	7		7		ns
t_{su}	CLK ↑ 前のセットアップ時間	CLR	6	6		ns
		データ (A, B, C, D)	7.5	8.5		
		ENP, ENT	9.5	11		
		LOAD が Low	10	11.5		
t_h	ホールド時間、CLK ↑ 後のすべての同期入力	1.5		1.5		ns

4.7 タイミング要件、 $V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$

自由気流での推奨動作温度範囲内、 $V_{CC} = 3.3\text{V} \pm 0.3\text{V}$ (特に記述のない限り) ([負荷回路および電圧波形](#) を参照)

		$T_A = 25^\circ\text{C}$	SN74LV163A		単位	
		最小値	最大値	最小値	最大値	
t_w	パルス幅、CLK High または Low	5		5		ns
t_{su}	CLK ↑ 前のセットアップ時間	CLR	4	4		ns
		データ (A, B, C, D)	5.5	6.5		
		ENP, ENT	7.5	9		
		LOAD が Low	8	9.5		
t_h	ホールド時間、CLK ↑ 後のすべての同期入力	1		1		ns

4.8 タイミング要件、 $V_{CC} = 5\text{ V} \pm 0.5\text{ V}$

自由気流での推奨動作温度範囲内、 $V_{CC} = 5\text{V} \pm 0.5\text{V}$ (特に記述のない限り) ([負荷回路および電圧波形](#) を参照)

		$T_A = 25^\circ\text{C}$	SN74LV163A		単位	
		最小値	最大値	最小値	最大値	
t_w	パルス幅、CLK High または Low	5		5		ns
t_{su}	CLK ↑ 前のセットアップ時間	CLR	3.5	3.5		ns
		データ (A, B, C, D)	4.5	4.5		
		ENP, ENT	5	6		
		LOAD が Low	5	6		
t_h	ホールド時間、CLK ↑ 後のすべての同期入力	1		1		ns

4.9 スイッチング特性、 $V_{CC} = 2.5\text{ V} \pm 0.2\text{ V}$

自由気流での推奨動作温度範囲内、 $V_{CC} = 2.5\text{V} \pm 0.2\text{V}$ (特に記述のない限り) ([負荷回路および電圧波形](#) を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	$T_A = 25^\circ\text{C}$		SN74LV163A		単位	
				最小値	標準値	最大値	最小値	最大値	
f_{max}			$C_L = 15\text{pF}$	50 ⁽¹⁾	115 ⁽¹⁾		40		MHz
			$C_L = 50\text{pF}$	30	90		25		

自由気流での推奨動作温度範囲内、 $V_{CC} = 2.5V \pm 0.2V$ (特に記述のない限り) (負荷回路および電圧波形を参照)

パラメータ	始点(入力)	終点(出力)	負荷容量	TA = 25°C			SN74LV163A		単位
				最小値	標準値	最大値	最小値	最大値	
t_{pd}	CLK	Q	$C_L = 15pF$	8.5 ⁽¹⁾	16.2 ⁽¹⁾	19.5	1	19.5	ns
		RCO (カウントモード)		9.1 ⁽¹⁾	17 ⁽¹⁾	20.5	1	20.5	
		RCO (プリセットモード)		12.1 ⁽¹⁾	20.6 ⁽¹⁾	24.5	1	24.5	
	ENT	RCO		8.7 ⁽¹⁾	15.7 ⁽¹⁾	19	1	19	
t_{pd}	CLK	Q	$C_L = 50pF$	11	19.2	22.5	1	22.5	ns
		RCO (カウントモード)		11.9	20	23.5	1	23.5	
		RCO (プリセットモード)		14.6	23.6	27.5	1	27.5	
	ENT	RCO		11.7	18.7	22	1	22	

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、出荷時のテストは行っていません。

4.10 スイッチング特性、 $V_{CC} = 3.3V \pm 0.3V$

自由気流での推奨動作温度範囲内、 $V_{CC} = 3.3V \pm 0.3V$ (特に記述のない限り) (負荷回路および電圧波形を参照)

パラメータ	始点(入力)	終点(出力)	負荷容量	TA = 25°C			SN74LV163A		単位
				最小値	標準値	最大値	最小値	最大値	
f_{max}			$C_L = 15pF$	80 ⁽¹⁾	160 ⁽¹⁾	70	MHz		
			$C_L = 50pF$	55	125	50			
t_{pd}	CLK	Q	$C_L = 15pF$	6.2 ⁽¹⁾	12.8 ⁽¹⁾	15	ns		
		RCO (カウントモード)		6.8 ⁽¹⁾	13.6 ⁽¹⁾	16			
		RCO (プリセットモード)		8.8 ⁽¹⁾	17.2 ⁽¹⁾	20			
	ENT	RCO		6.5 ⁽¹⁾	12.3 ⁽¹⁾	14.5			
t_{pd}	CLK	Q	$C_L = 50pF$	8	16.3	18.5	ns		
		RCO (カウントモード)		8.8	17.1	19.5			
		RCO (プリセットモード)		10.7	20.7	23.5			
	ENT	RCO		8.2	15.8	18			

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、出荷時のテストは行っていません。

4.11 スイッチング特性、 $V_{CC} = 5V \pm 0.5V$

自由気流での推奨動作温度範囲内、 $V_{CC} = 5V \pm 0.5V$ (特に記述のない限り) (負荷回路および電圧波形を参照)

パラメータ	始点(入力)	終点(出力)	負荷容量	TA = 25°C			SN74LV163A		単位
				最小値	標準値	最大値	最小値	最大値	
f_{max}			$C_L = 15pF$	135 ⁽¹⁾	210 ⁽¹⁾	115	MHz		
			$C_L = 50pF$	95	160	85			

自由気流での推奨動作温度範囲内、 $V_{CC} = 5V \pm 0.5V$ (特に記述のない限り) (負荷回路および電圧波形 を参照)

パラメータ	始点(入力)	終点(出力)	負荷容量	TA = 25°C			SN74LV163A	単位
				最小値	標準値	最大値		
t_{pd}	CLK	Q	$C_L = 15\text{pF}$	4.7 ⁽¹⁾	8.1 ⁽¹⁾	1	9.5	ns
		RCO (カウント モード)		5.2 ⁽¹⁾	8.1 ⁽¹⁾	1	9.5	
		RCO (プリセット モード)		6.4 ⁽¹⁾	10.3 ⁽¹⁾	1	12	
	ENT	RCO		4.9 ⁽¹⁾	8.1 ⁽¹⁾	1	9.5	
t_{pd}	CLK	Q	$C_L = 50\text{pF}$	6.1	10.1	1	11.5	ns
		RCO (カウント モード)		6.6	10.1	1	11.5	
		RCO (プリセット モード)		7.8	12.3	1	14	
	ENT	RCO		6.3	10.1	1	11.5	

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、出荷時のテストは行っていません。

4.12 ノイズ特性

$V_{CC} = 3.3\text{ V}$ 、 $C_L = 50\text{pF}$ 、 $T_A = 25^\circ\text{C}$ ⁽¹⁾

パラメータ	SN74LV163A				単位
		最小値	標準値	最大値	
$V_{OL(P)}$	低ノイズ出力、最大動的電圧 V_{OL}	0.3	0.8		V
$V_{OL(V)}$	低ノイズ出力、最小動的電圧 V_{OL}	-0.2	-0.8		V
$V_{OH(V)}$	低ノイズ出力、最小動的電圧 V_{OH}	3			V
$V_{IH(D)}$	High レベル動的入力電圧	2.31			V
$V_{IL(D)}$	Low レベル動的入力電圧	0.99			V

(1) 特性は表面実装パッケージのみが対象です。

4.13 動作特性

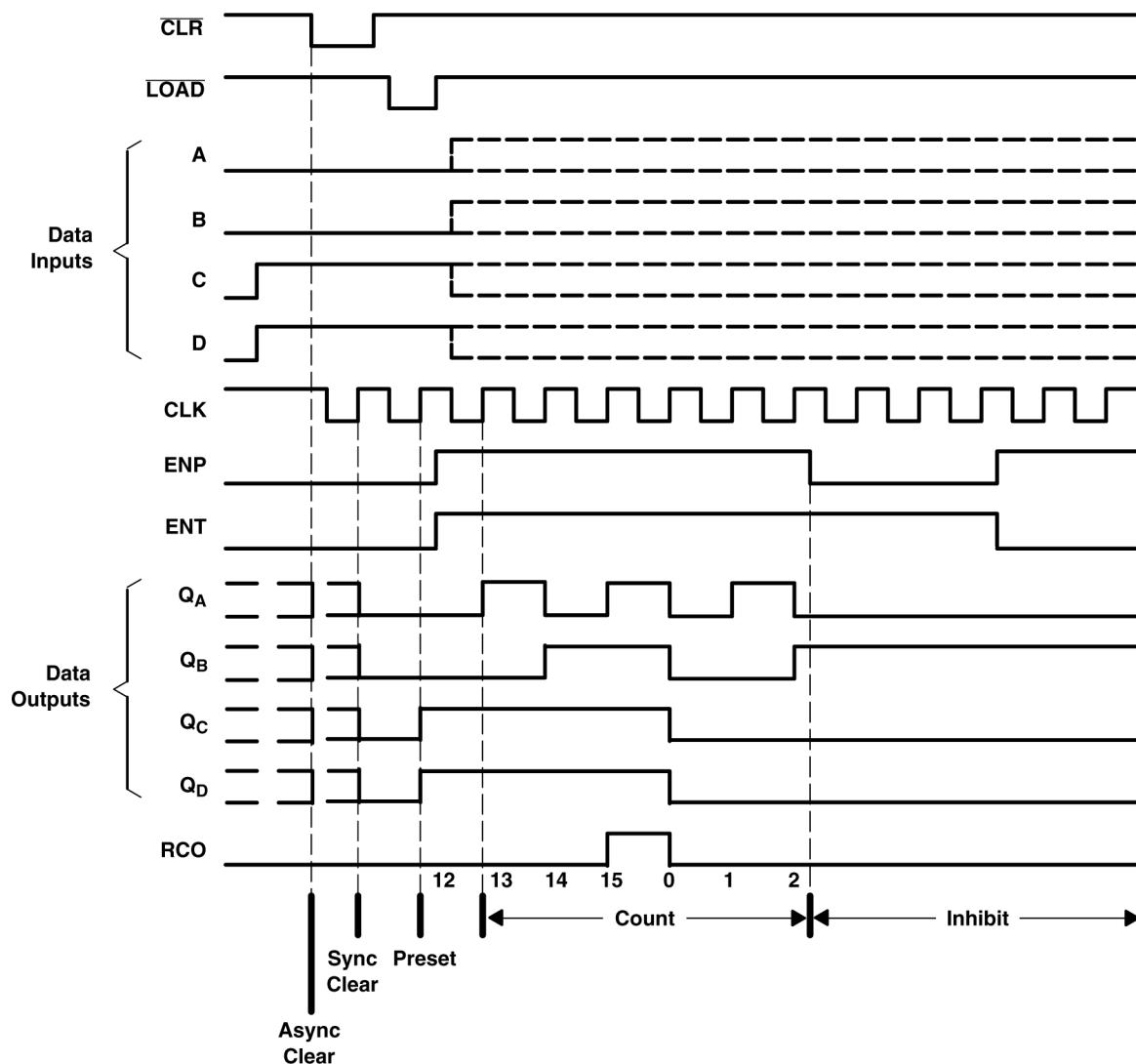
$T_A = 25^\circ\text{C}$

パラメータ	テスト条件		V_{CC}	標準値	単位
C_{pd}	電力散逸容量	$C_L = 50\text{pF}$ 、 $f = 10\text{MHz}$	3.3V	23.8	pF
			5V	26	

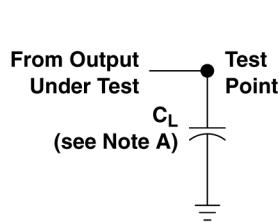
4.14 クリア、プリセット、カウント、インヒビットの代表的なシーケンス

次のシーケンスを以下に示します。

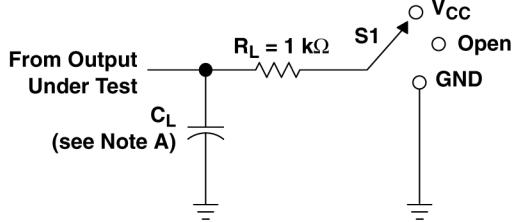
1. 出力をゼロにクリア (同期)
2. バイナリで 12 にプリセット
3. 13、14、15、0、1、2 までカウント
4. インヒビット (抑止)



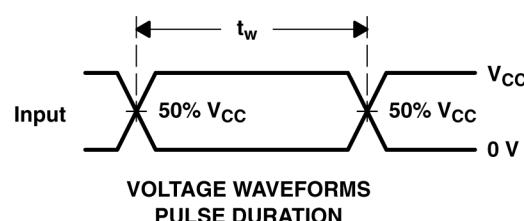
5 パラメータ測定情報



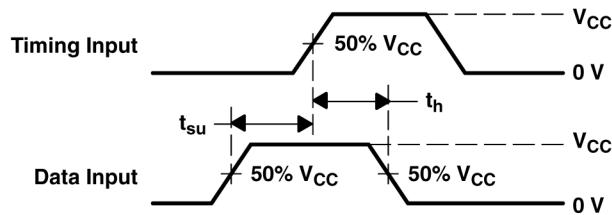
LOAD CIRCUIT FOR
TOTEM-POLE OUTPUTS



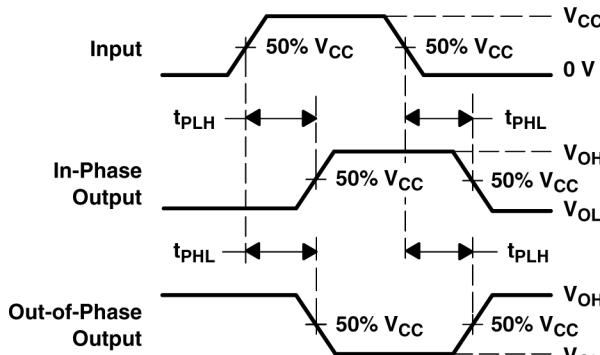
LOAD CIRCUIT FOR
3-STATE AND OPEN-DRAIN OUTPUTS



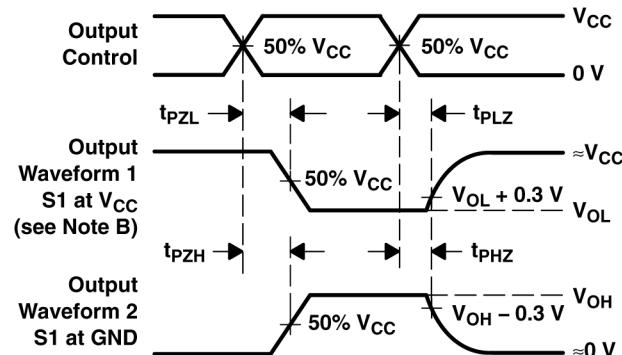
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

- A. C_L にはプローブと治具の容量が含まれます。
- B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルになっている場合は除きます。波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルになっている場合は除きます。
- C. すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR $\leq 1\text{MHz}$, $Z_O = 50\Omega$, $t_r \leq 3\text{ ns}$, $t_f \leq 3\text{ ns}$ 。
- D. 出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。
- E. t_{PLZ} と t_{PHZ} は t_{dis} と同じです。
- F. t_{PZL} と t_{PZH} は t_{en} と同じです。

- G. t_{PHL} と t_{PLH} は t_{pd} と同じです。
- H. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 5-1. 負荷回路および電圧波形

TEST	S1
t_{PLH}/t_{PHL}	オープン
t_{PLZ}/t_{PZL}	V _{cc}
t_{PHZ}/t_{PZH}	GND
オープンドレイン	V _{cc}

6 詳細説明

6.1 概要

'LV163A デバイスは、2V～5.5V の V_{CC} で動作するように設計された 4 ビット同期バイナリ カウンタです。

これらの同期プリセット可能カウンタは、高速計数処理設計に使う内部キャリー ルック アヘッド機能を備えています。'LV163A デバイスは 4 ビット バイナリ カウンタです。カウント イネーブル (ENP, ENT) 入力および内部ゲーティングからの指示によって出力が互いに一致するように、すべてのフリップ フロップを同時にクロック制御することで、同期動作を実現します。この動作モードでは、同期 (リップル クロック) カウンタに通常関連する出力カウント スパイクを除去します。バッファ付きクロック (CLK) 入力は、クロック波形の立ち上がり (正方向) エッジで 4 つのフリップ フロップをトリガします。

これらのカウンタは完全にプログラム可能です。つまり、0 から 9 または 15 の任意の数値にプリセットできます。プリセットは同期式であるため、ロード入力に Low レベルを設定すると、カウンタは無効化され、イネーブル入力のレベルに関係なく、次のクロック パルスの後、出力は設定データと一致します。

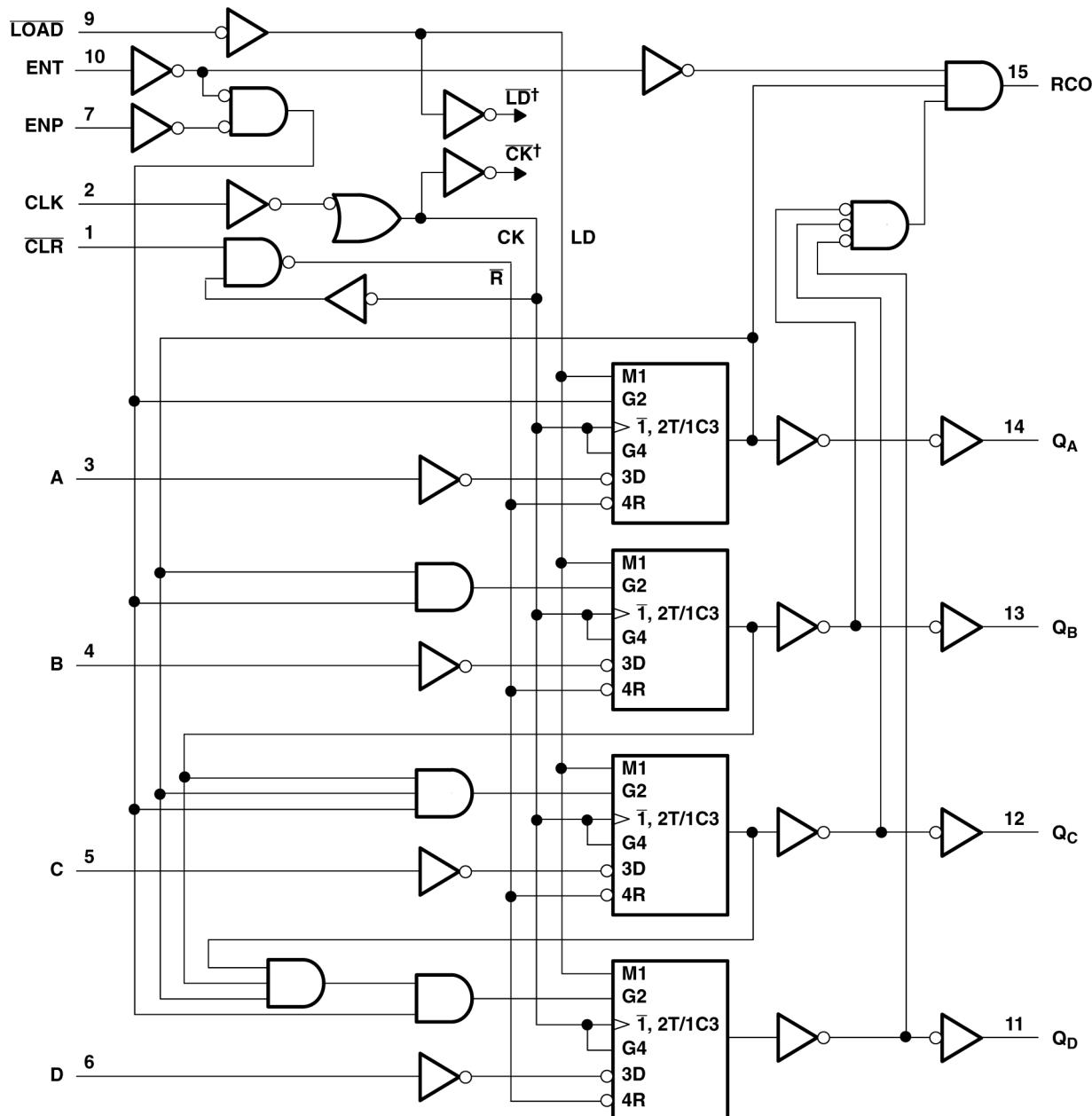
'LV163A デバイスのクリア機能は同期式です。クリア (\overline{CLR}) 入力が Low レベルになると、CLK の次の Low から High への遷移後、イネーブル入力のレベルに関係なく、4 つのフリップ フロップ出力はすべて Low に設定されます。この同期クリアにより、必要な最大カウントに対する Q 出力をデコードすることで、カウントの長さを簡単に変更できます。デコードに使用されるゲートのアクティブ Low 出力は、 \overline{CLR} に接続され、カウンタを 0000 (LLLL) に同期クリアします。

キャリー ルック アヘッド回路を使うと、ゲートを追加することなく、n ビット同期アプリケーションのためのカスケード カウンタを実現できます。ENP、ENT、およびリップルキャリー出力 (RCO) により、この機能を実現できます。カウントするには、ENP と ENT の両方を High にする必要があり、ENT がフィードフォワードされることで、RCO が有効化されます。RCO が有効化されると、カウントが最大値 (9 または 15、 Q_A が High) の間、High レベルのパルスが生成されます。この High レベルのオーバーフロー リップル キャリー パルスを使用して、連続カスケード段を実現できます。CLK のレベルに関係なく、ENP または ENT での遷移が許可されます。

これらのカウンタは、完全に独立したクロック回路を備えています。動作モードを変更する制御入力 (ENP, ENT, \overline{LOAD}) の変化は、クロックの立ち上がりエッジまで、カウンタの内容に影響を与えません。カウンタの機能 (有効化、無効化、ロード、カウントのいずれか) は、安定したセットアップおよびホールド時間を満たす条件のみによって決定されます。

これらのデバイスは、 I_{off} を使用する部分的パワーダウン アプリケーション用の動作が完全に規定されています。 I_{off} 回路が出力をディセーブルにするため、電源切断時にデバイスに電流が逆流して損傷に至ることを回避できます。

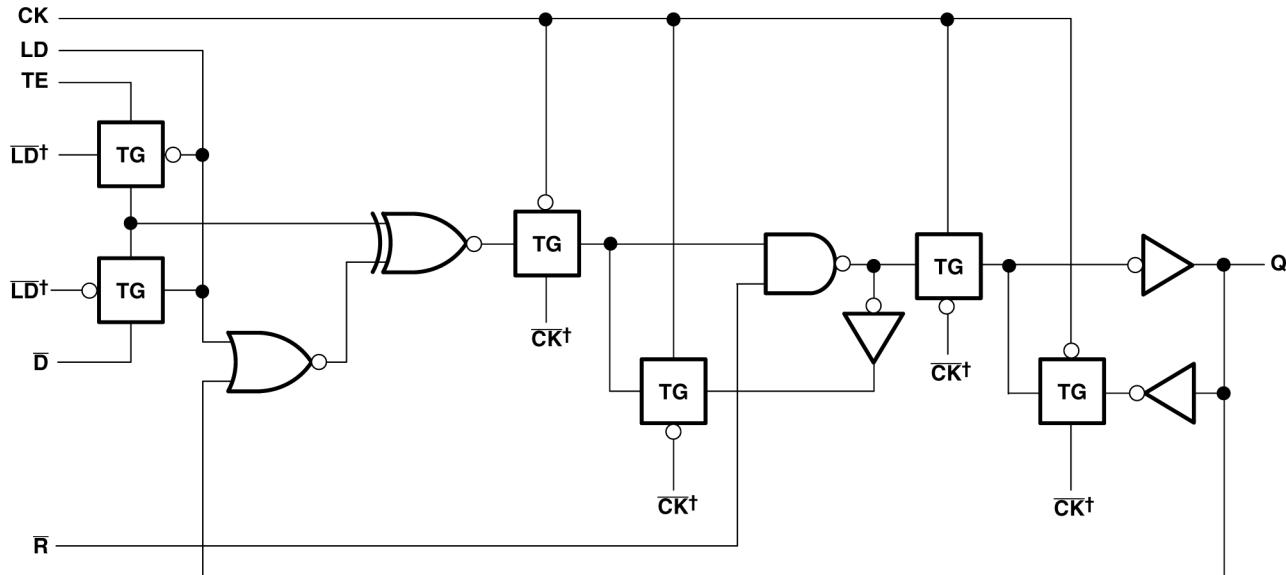
6.2 機能ブロック図



- A. 単純化のため、相補信号 \overline{LD} および \overline{CK} のルーティングは、この全体的なロジック図には示されていません。これらの信号の用途は、D/T フリップフロップのロジック図に示されています。

図 6-1. 論理図 (正論理)

ここに示すピン番号は D, DB, DGV, J, NS, PW, RGY, W の各パッケージのものです。



A. \overline{LD} と \overline{CK} の原点は、デバイス全体のロジック図に示します。

図 6-2. 論理図、各 D/T フリップ フロップ (正論理)

6.3 デバイスの機能モード

表 6-1. 機能表

入力					出力				機能
CLR	LOAD	ENP	ENT	CLK	QA	QB	QD		
L	X	X	X	X	L	L	L	L	「0」にリセット
H	L	X	X		A	B	C	D	プリセット データ
H	H	X	L			変更なし			カウントなし
H	H	L	X			変更なし			カウントなし
H	H	H	H			カウント アップ			カウント
H	X	X	X			変更なし			カウントなし

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパスコンデンサを配置する必要があります。このデバイスには $0.1\mu F$ のコンデンサを推奨します。複数のバイパスコンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、 $0.1\mu F$ と $1\mu F$ のコンデンサは並列に使用されます。バイパスコンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

7.2 レイアウト

7.2.1 レイアウトのガイドライン

- バイパスコンデンサの配置
 - デバイスの正電源端子の近くに配置
 - 電気的に短いグランド帰還パスを提供
 - インピーダンスを最小化するため、広いパターンを使用
 - 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
 - 8mil～12mil のトレース幅
 - 伝送ラインの影響を最小化する 12cm 未満の長さ
 - 信号トレースの 90° のコーナーは避ける
 - 信号トレースの下に、途切れのないグランドプレーンを使用
 - 信号トレース周辺の領域をグランドでフラッドフィル
 - 12cm を超えるパターン用
 - インピーダンス制御トレースを使用
 - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
 - 分岐を回避。個別に分岐が必要なバッファ信号

7.2.2 レイアウト例

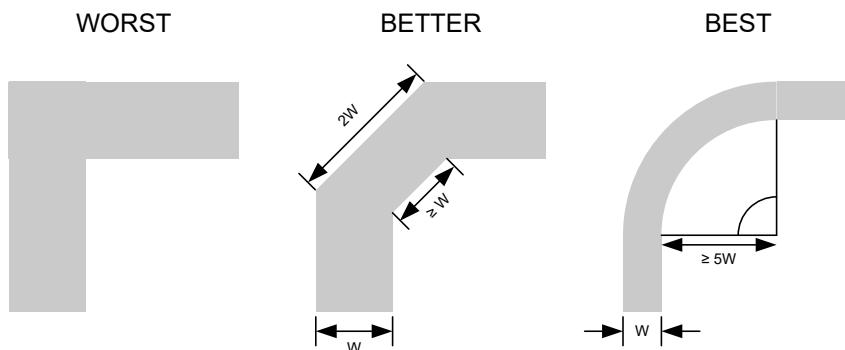


図 7-1. シグナルインテグリティ向上のためのサンプルパターンのコーナー

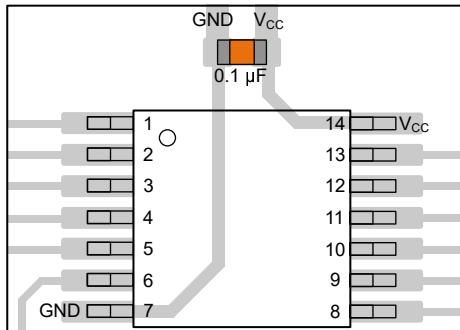


図 7-2. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

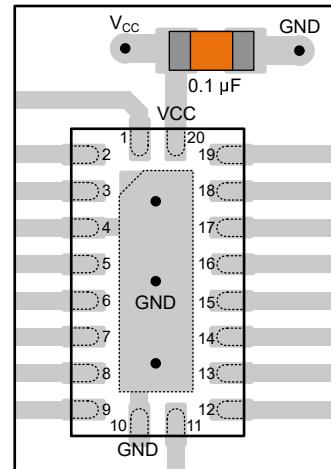


図 7-3. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

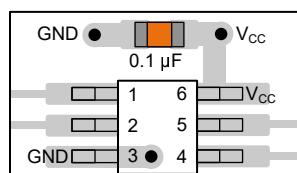


図 7-4. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

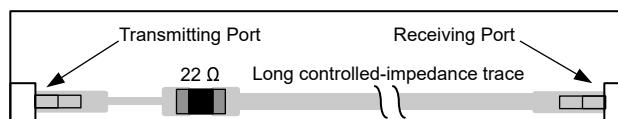


図 7-5. シグナル インテグリティ向上のためのダンピング抵抗の配置例

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『CMOS の消費電力と C_{pd} の計算』アプリケーション・レポート
- テキサス・インスツルメンツ、『ロジックを使用した設計』アプリケーション・レポート
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション・レポート

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision F (April 2005) to Revision G (January 2025)	Page
• パッケージ情報表、ピンの機能表、ESD 定格表、熱に関する情報表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加しました.....	1
• SN54LV163A 製品レビューへの参照を削除.....	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LV163AD	Obsolete	Production	SOIC (D) 16	-	-	Call TI	Call TI	-40 to 85	LV163A
SN74LV163ADBR	Active	Production	SSOP (DB) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV163A
SN74LV163ADBR.A	Active	Production	SSOP (DB) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV163A
SN74LV163ADGVR	Active	Production	TVSOP (DGV) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV163A
SN74LV163ADGVR.A	Active	Production	TVSOP (DGV) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV163A
SN74LV163ADR	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV163A
SN74LV163ADR.A	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV163A
SN74LV163ANSR	Active	Production	SOP (NS) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	74LV163A
SN74LV163ANSR.A	Active	Production	SOP (NS) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	74LV163A
SN74LV163APW	Obsolete	Production	TSSOP (PW) 16	-	-	Call TI	Call TI	-40 to 85	LV163A
SN74LV163APWR	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 85	LV163A
SN74LV163APWR.A	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV163A
SN74LV163APWRG4	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	No	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV163A
SN74LV163APWRG4	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV163A
SN74LV163APWRG4.A	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV163A
SN74LV163APWRG4.A	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	No	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV163A
SN74LV163ARGYR	Active	Production	VQFN (RGY) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV163A
SN74LV163ARGYR.A	Active	Production	VQFN (RGY) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV163A

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

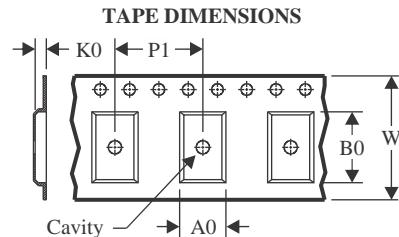
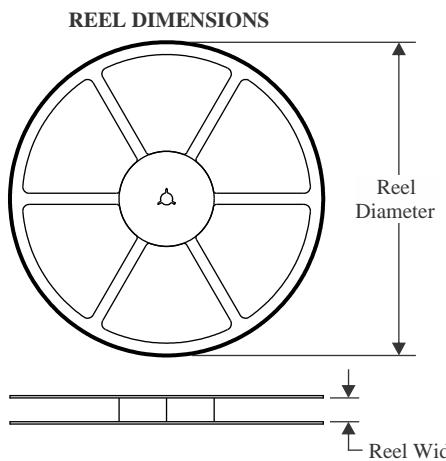
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

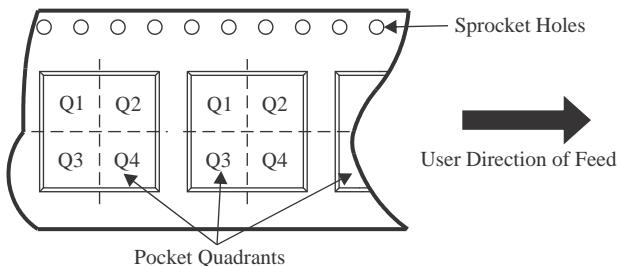
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

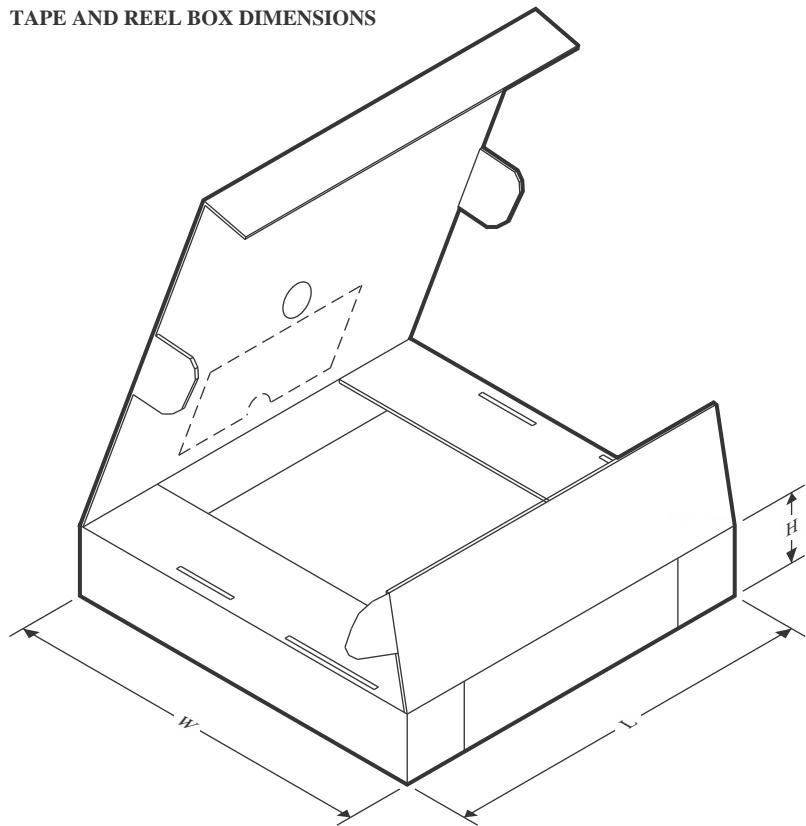
TAPE AND REEL INFORMATION

A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LV163ADBR	SSOP	DB	16	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74LV163ADGVR	TVSOP	DGV	16	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74LV163ADR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN74LV163ANSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
SN74LV163APWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LV163APWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LV163ARGYR	VQFN	RGY	16	3000	330.0	12.4	3.8	4.3	1.5	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LV163ADBR	SSOP	DB	16	2000	353.0	353.0	32.0
SN74LV163ADGVR	TVSOP	DGV	16	2000	353.0	353.0	32.0
SN74LV163ADR	SOIC	D	16	2500	353.0	353.0	32.0
SN74LV163ANSR	SOP	NS	16	2000	353.0	353.0	32.0
SN74LV163APWR	TSSOP	PW	16	2000	353.0	353.0	32.0
SN74LV163APWRG4	TSSOP	PW	16	2000	353.0	353.0	32.0
SN74LV163ARGYR	VQFN	RGY	16	3000	360.0	360.0	36.0

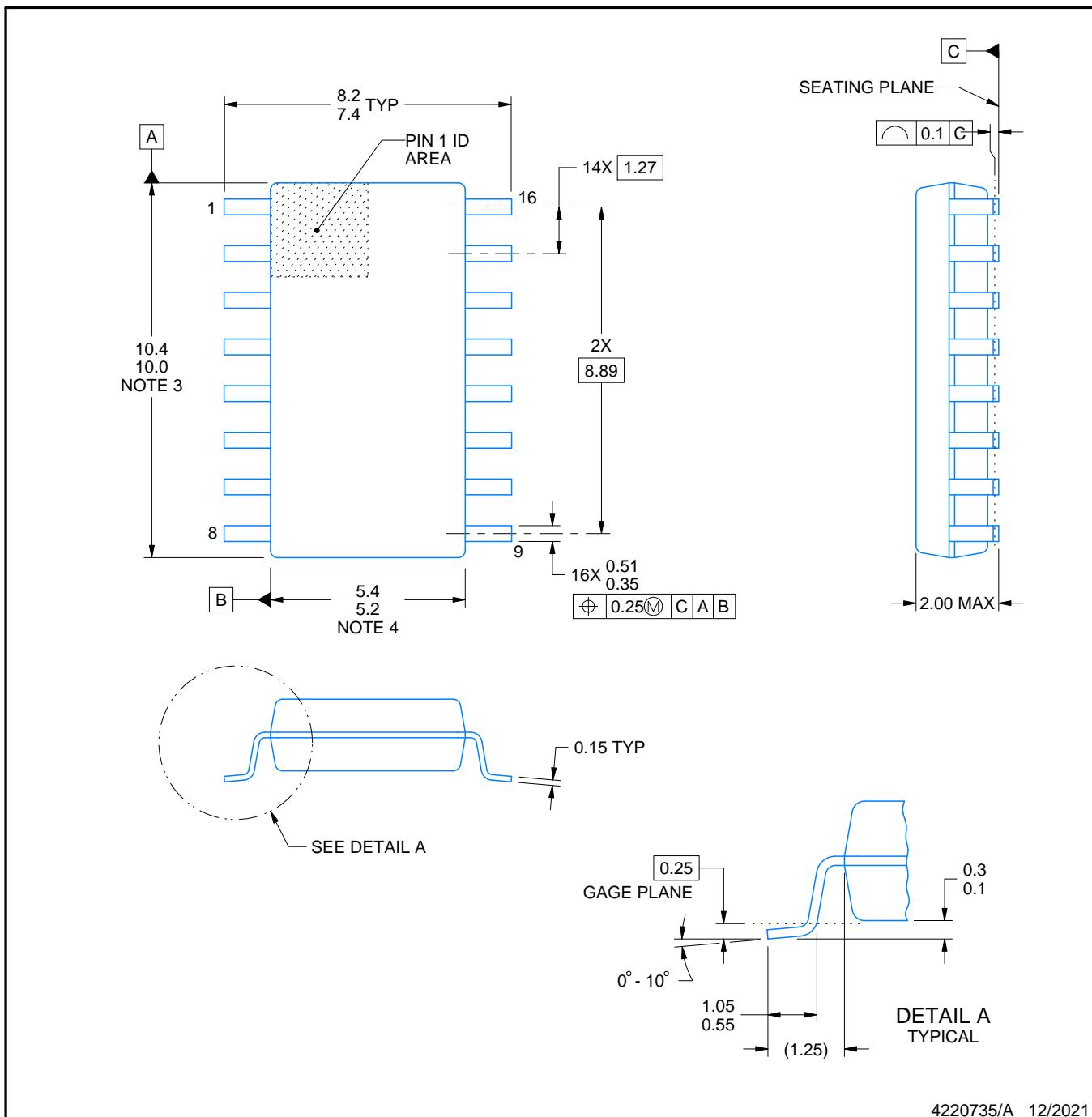
NS0016A



PACKAGE OUTLINE

SOP - 2.00 mm max height

SOP



NOTES:

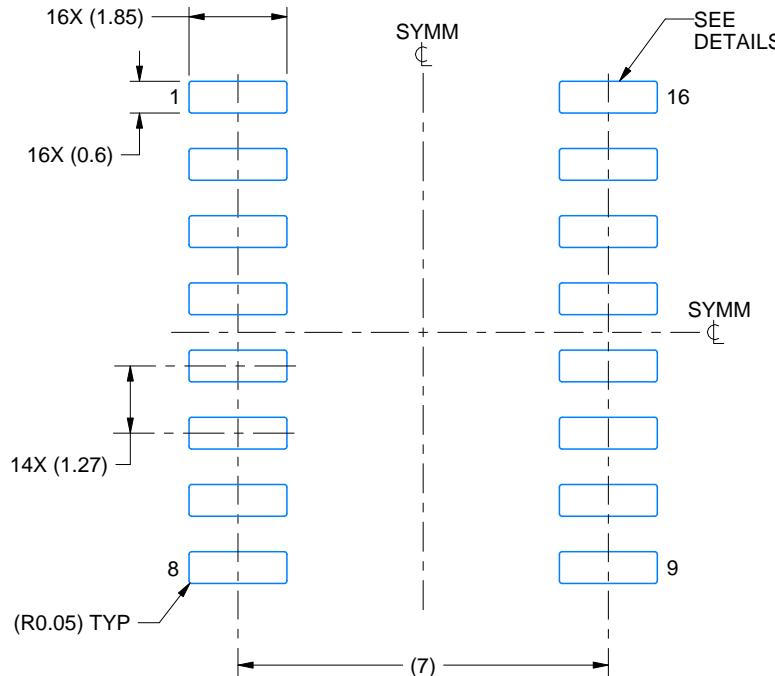
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.

EXAMPLE BOARD LAYOUT

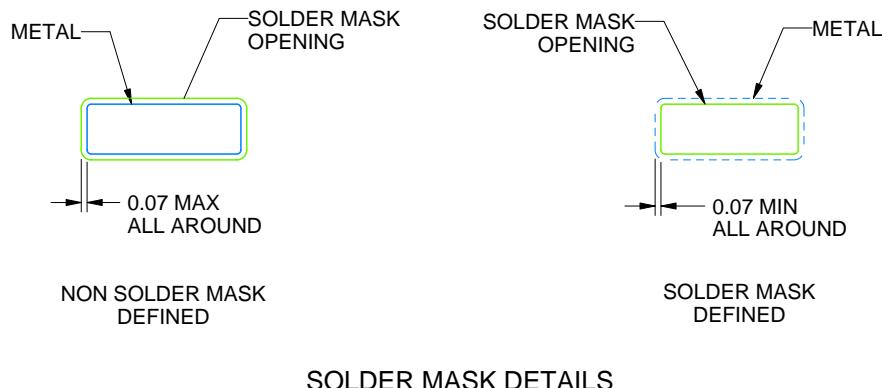
NS0016A

SOP - 2.00 mm max height

SOP



LAND PATTERN EXAMPLE
SCALE:7X



4220735/A 12/2021

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.

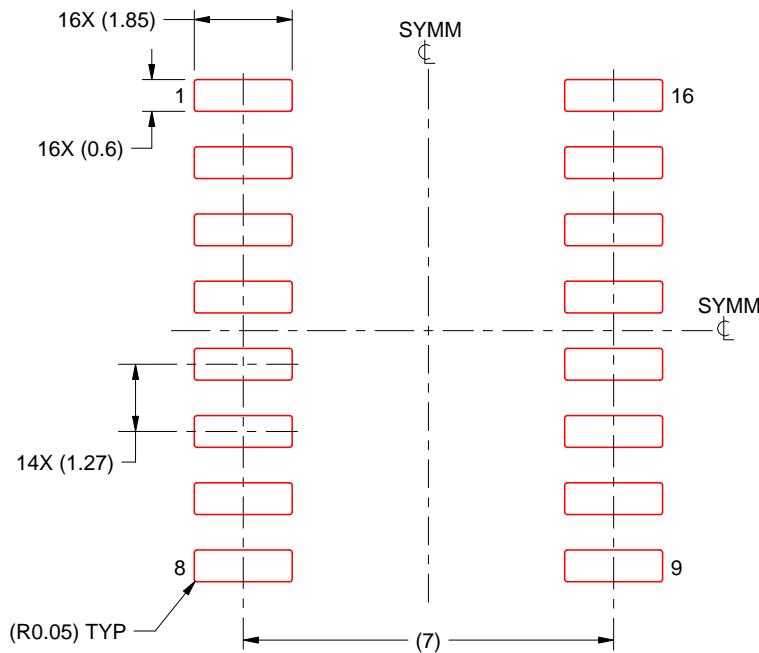
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

NS0016A

SOP - 2.00 mm max height

SOP



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

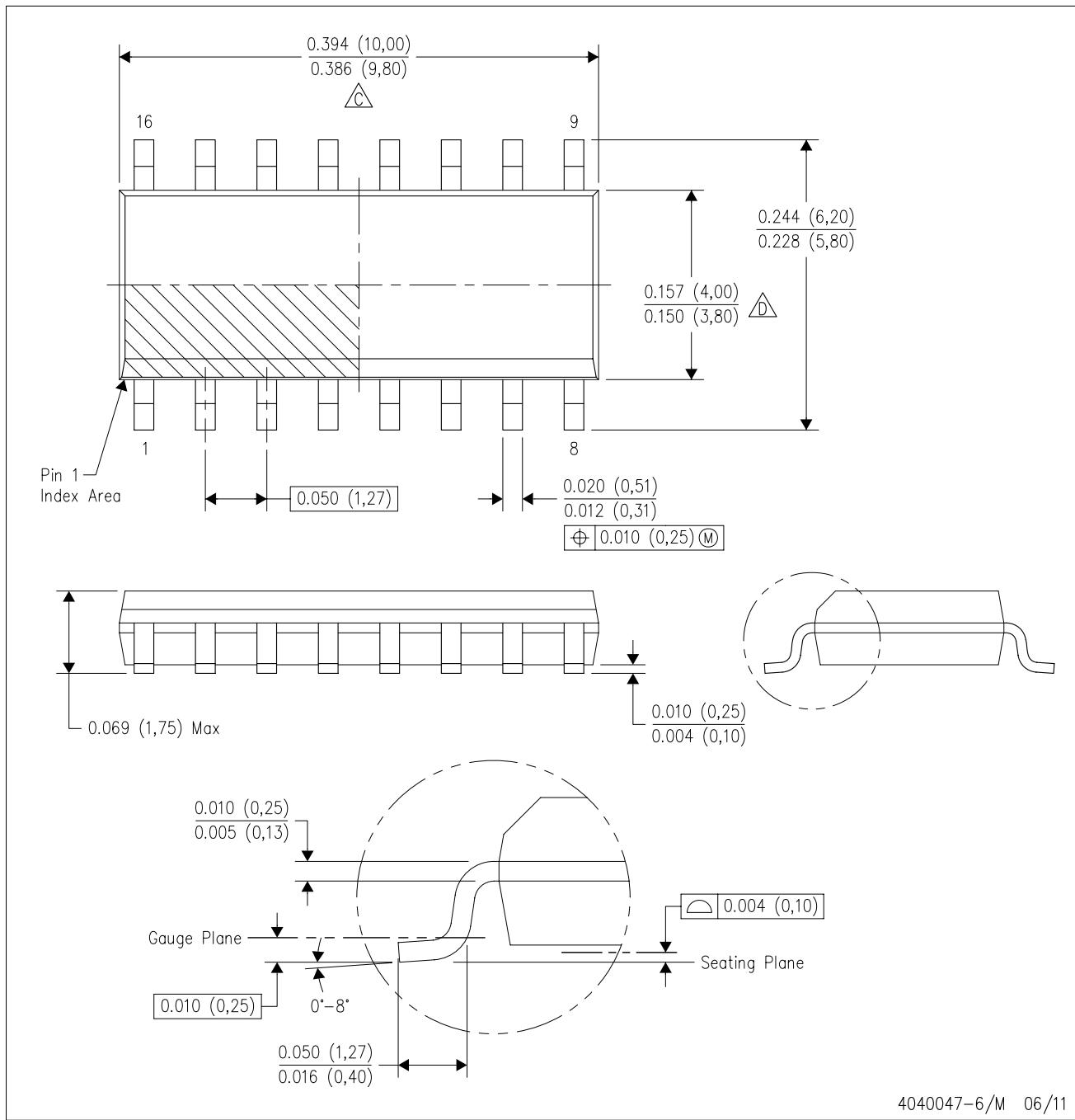
4220735/A 12/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



4040047-6/M 06/11

NOTES: A. All linear dimensions are in inches (millimeters).

B. This drawing is subject to change without notice.

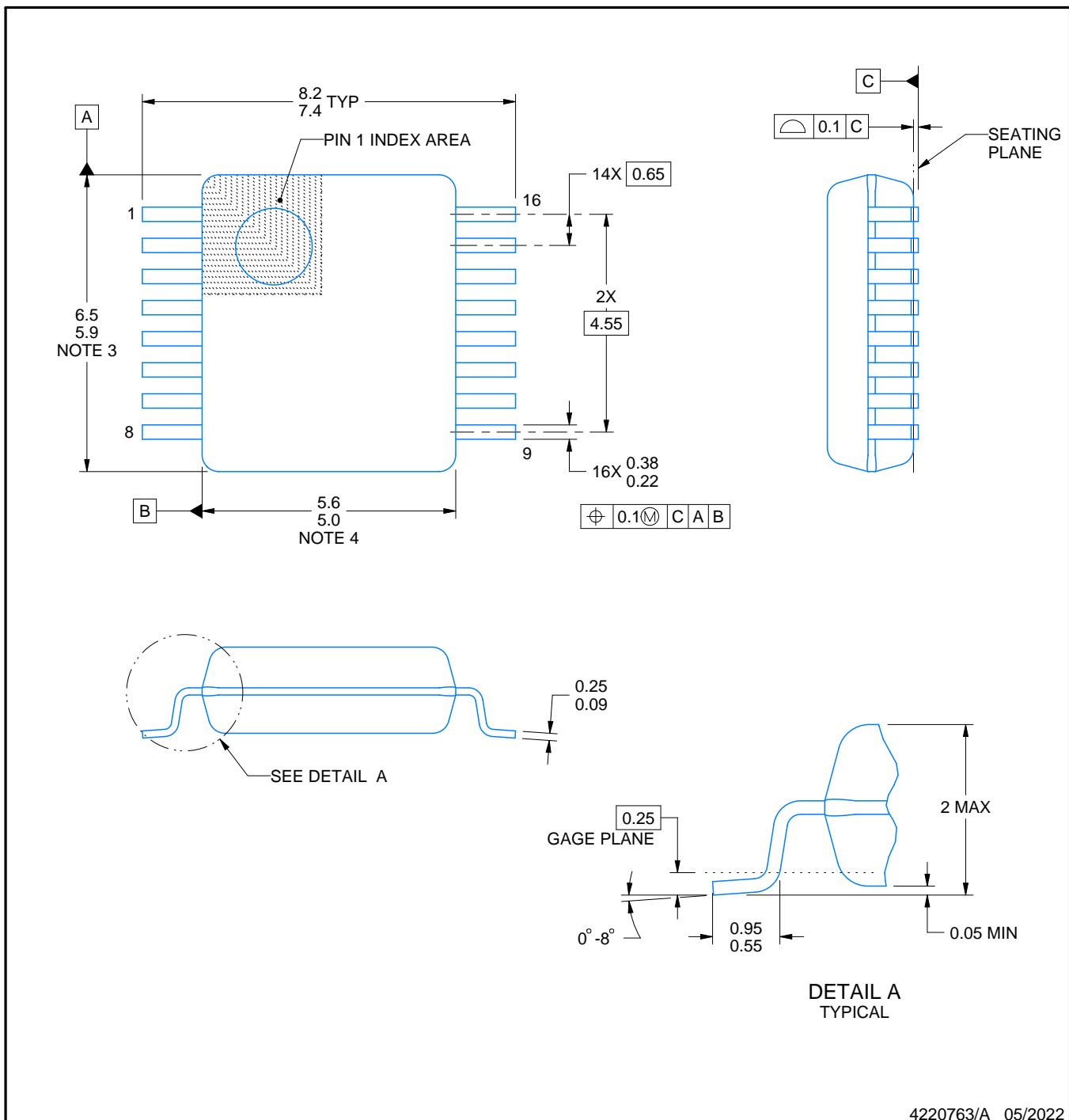
C Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.

D Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS-012 variation AC.

PACKAGE OUTLINE

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

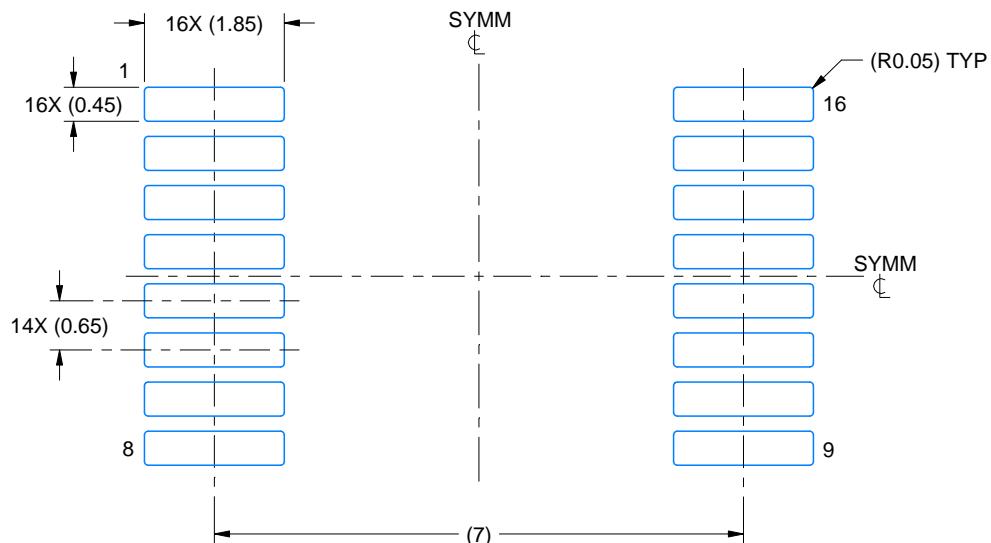
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.

EXAMPLE BOARD LAYOUT

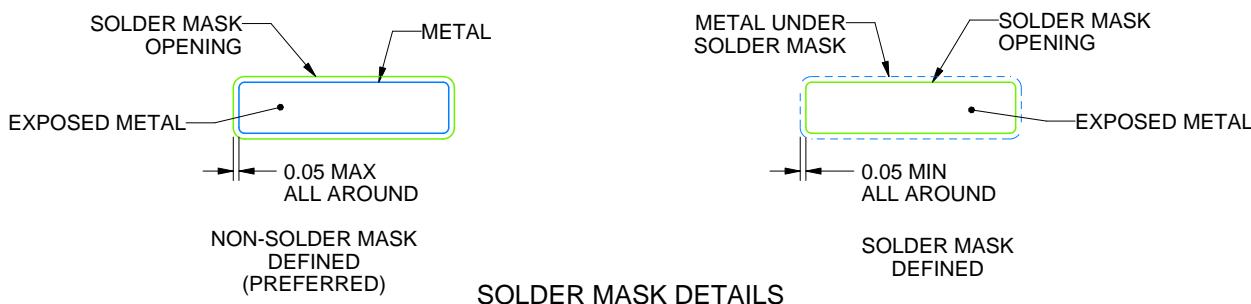
DB0016A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220763/A 05/2022

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.

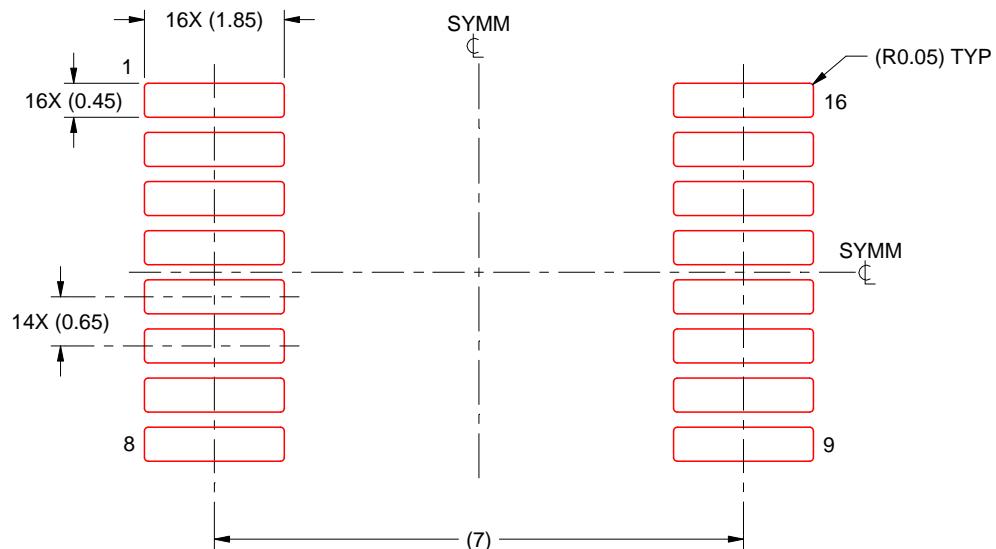
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DB0016A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220763/A 05/2022

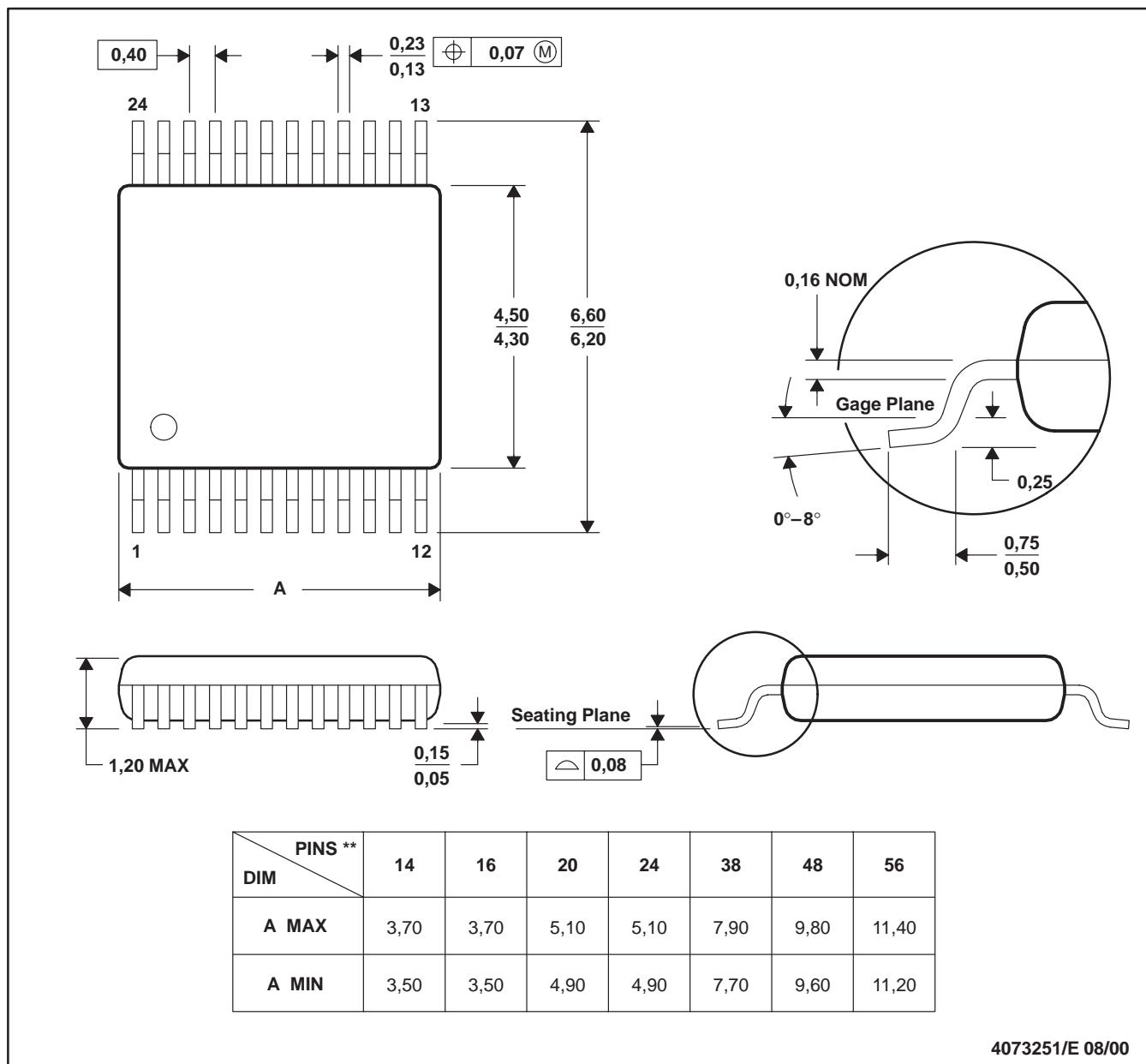
NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

DGV (R-PDSO-G**)

PLASTIC SMALL-OUTLINE

24 PINS SHOWN



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
 - D. Falls within JEDEC: 24/48 Pins – MO-153
14/16/20/56 Pins – MO-194

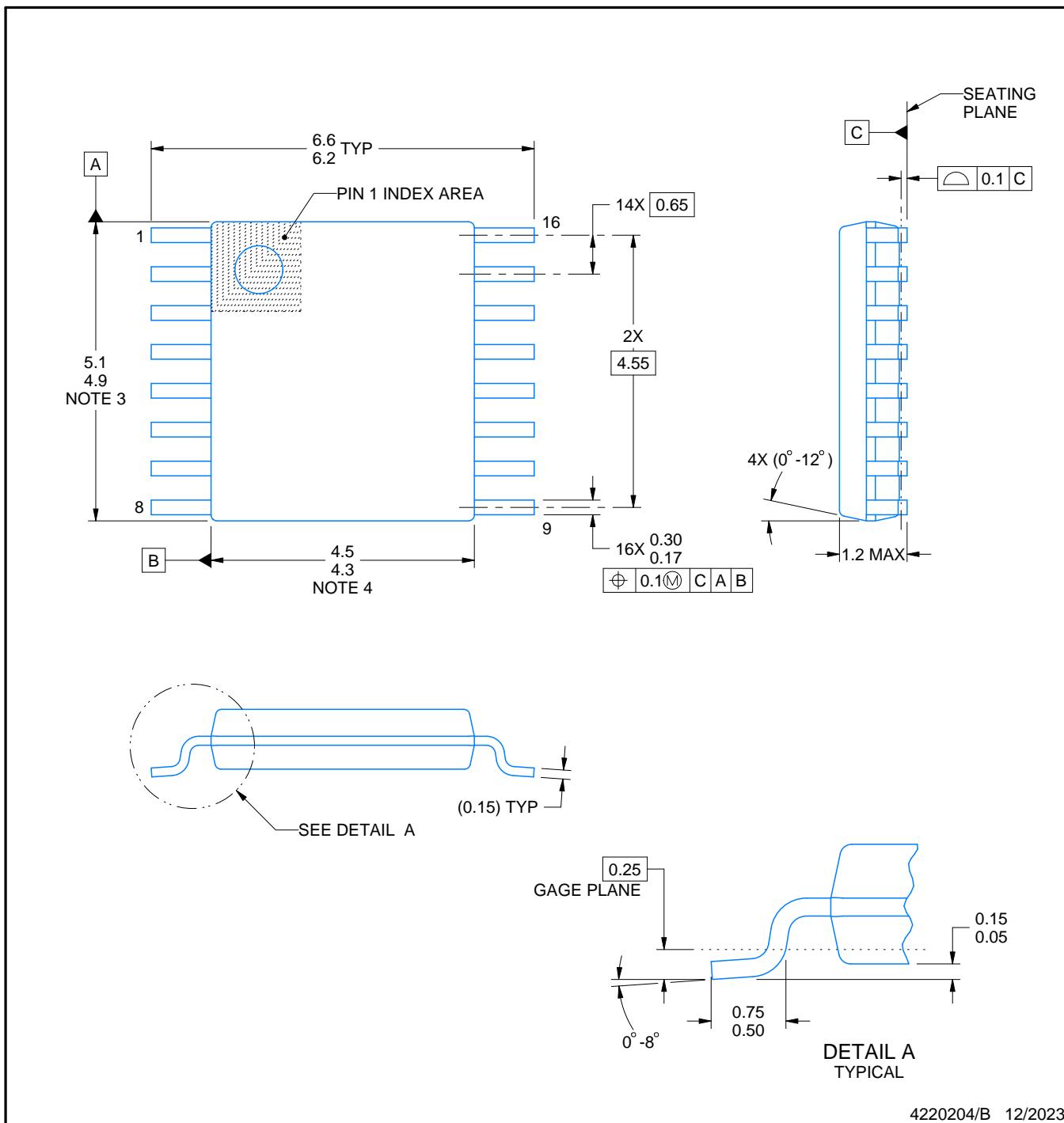
PACKAGE OUTLINE

PW0016A



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

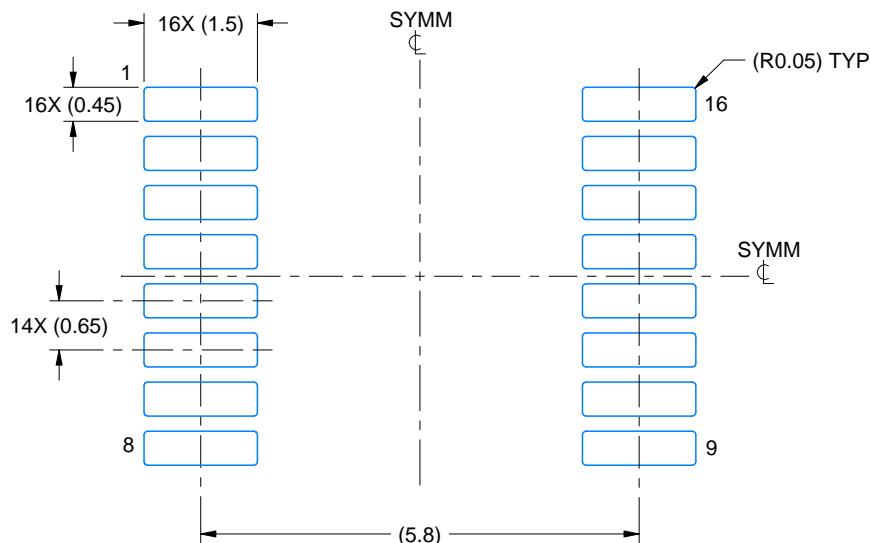
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
- Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

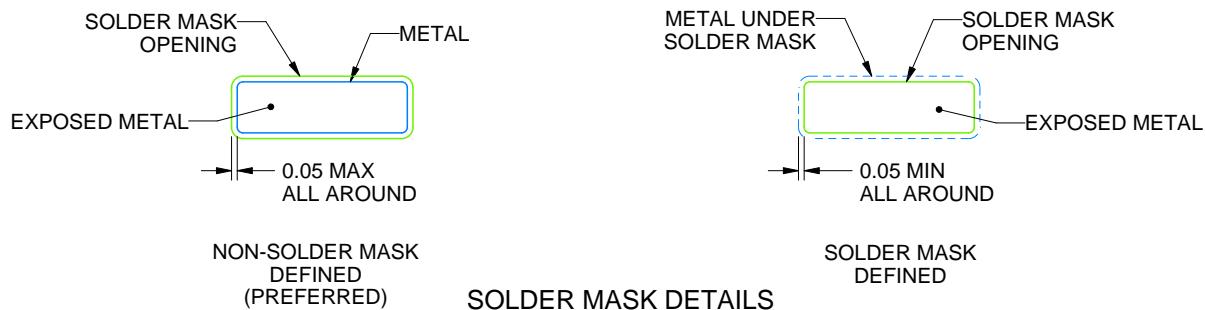
PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220204/B 12/2023

NOTES: (continued)

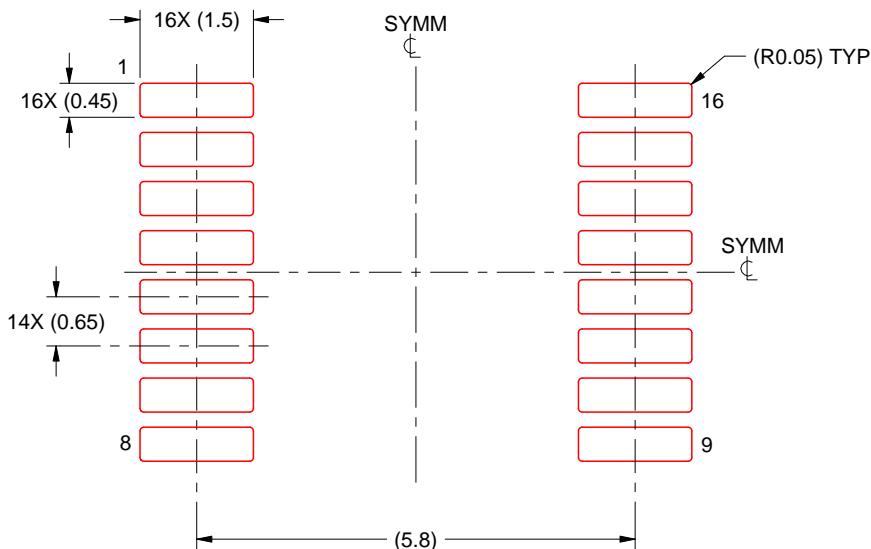
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

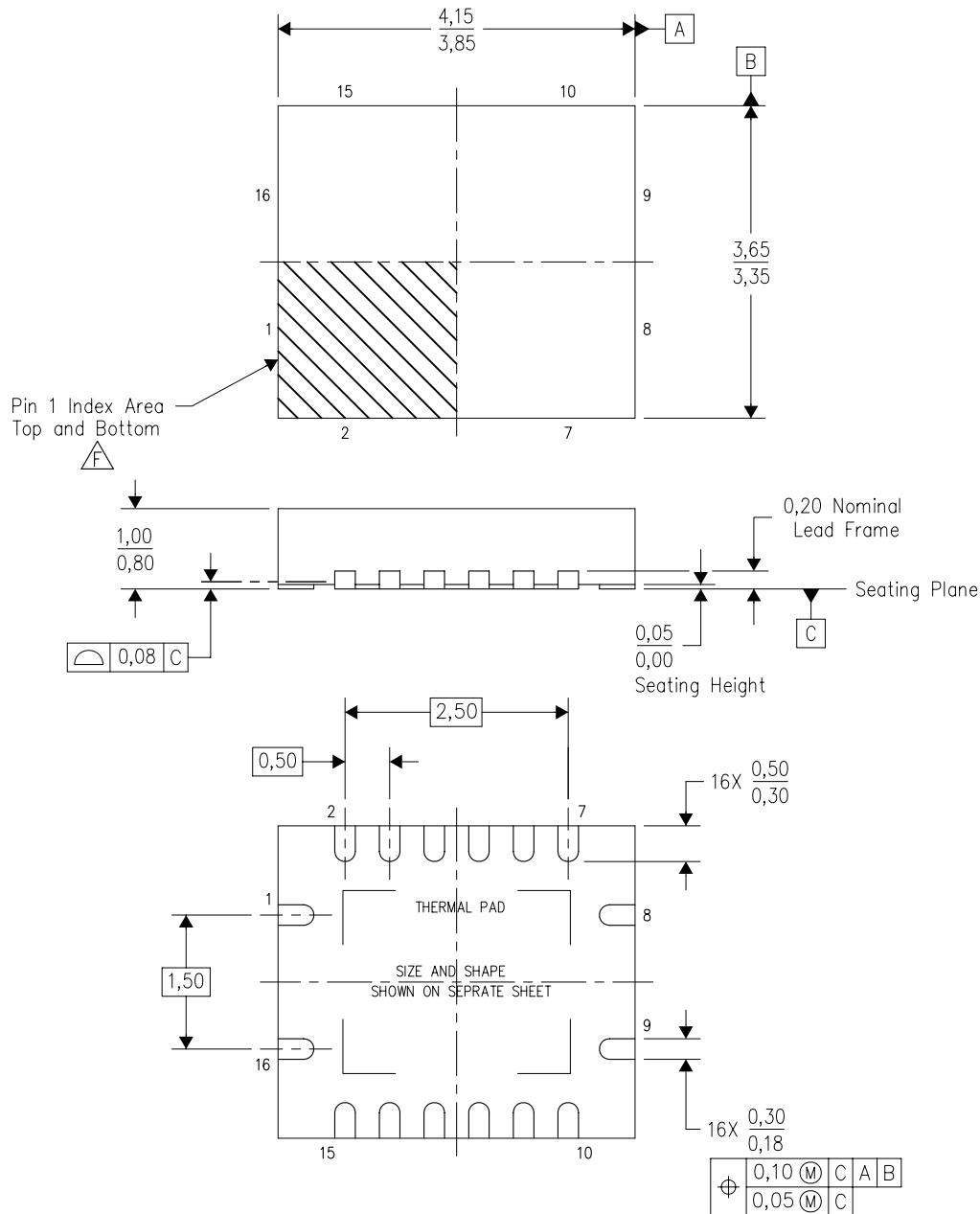
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

RGY (R-PVQFN-N16)

PLASTIC QUAD FLATPACK NO-LEAD



Bottom View

4203539-3/I 06/2011

- NOTES:
- All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - This drawing is subject to change without notice.
 - QFN (Quad Flatpack No-Lead) package configuration.
 - The package thermal pad must be soldered to the board for thermal and mechanical performance.
 - See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
 - Pin 1 identifiers are located on both top and bottom of the package and within the zone indicated. The Pin 1 identifiers are either a molded, marked, or metal feature.
 - Package complies to JEDEC MO-241 variation BA.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月