SN74LV139A デュアル 2 ライン 入力 4 ライン出力デコーダとデマルチプレクサ

1 特長

- 2V～5.5V の V_{CC} で動作
- 最大 t_{pd} 7.5ns (5V 時)
- すべてのポートで混在モード電圧動作をサポート
- 高速メモリ デコーダおよびデータ伝送システム専用に設計
- 2 つのイネーブル入力を備え、カスケード接続やデータ受信を簡素化
- I_{off} により部分的パワーダウン モードでの動作をサポート
- JESD 17 準拠で 250mA 超のラッチアップ性能

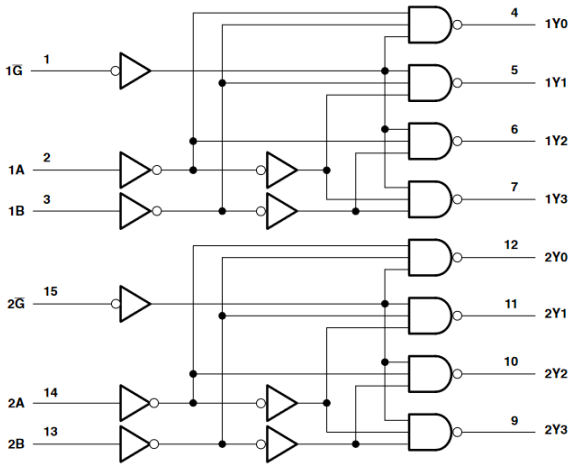
2 概要

SN74LV139A デバイスは、2V ～ 5.5V の V_{CC} で動作するよう設計されたデュアル 2 ライン入力 4 ライン出力のデコーダとデマルチプレクサです。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)	本体サイズ (3)
SN74LV139A	D (SOIC、16)	9.90mm × 6mm	9.90mm × 3.91mm
	DB (SSOP、16)	6.20mm × 7.8mm	6.20mm × 5.30mm
	DGV (TVSOP、16)	3.6mm × 6.4mm	3.6mm × 4.4mm
	PW (TSSOP、16)	5.00mm × 6.4mm	5.00mm × 4.40mm
	NS (SOP、16)	10.2 mm × 7.8mm	10.20 mm × 5.30mm
	RGY (VQFN、16)	4.00mm × 3.50mm	4.00mm × 3.50mm

(1) 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。
(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



論理図 (正論理)

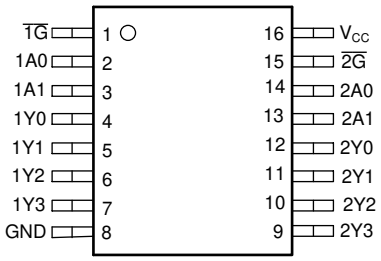
このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.... 1
2 概要.... 1
3 ピン構成および機能.... 3
4 仕様.... 4
4.1 絶対最大定格.... 4
4.2 ESD 定格.... 4
4.3 推奨動作条件.... 4
4.4 熱に関する情報.... 5
4.5 電気的特性.... 5
4.6 スイッチング特性、V_{CC} = 2.5 V ± 0.2 V.... 6
4.7 スイッチング特性、V_{CC} = 3.3 V ± 0.3 V.... 6
4.8 スイッチング特性、V_{CC} = 5 V ± 0.5 V.... 6
4.9 動作特性.... 6
5 パラメータ測定情報.... 7
6 詳細説明.... 8
6.1 概要.... 8
6.2 機能ブロック図.... 8
6.3 デバイスの機能モード.... 8
7 アプリケーションと実装.... 10
7.1 電源に関する推奨事項.... 10
7.2 レイアウト.... 10
8 デバイスおよびドキュメントのサポート.... 12
8.1 ドキュメントのサポート.... 12
8.2 ドキュメントの更新通知を受け取る方法.... 12
8.3 サポート・リソース.... 12
8.4 商標.... 12
8.5 静電気放電に関する注意事項.... 12
8.6 用語集.... 12
9 改訂履歴.... 12
10 メカニカル、パッケージ、および注文情報.... 13

Copyright © 2025 Texas Instruments Incorporated

3 ピン構成および機能



SN74LV139A D、DB、DGV、NS、または PW パッケージ、16 ピン SOIC、SSOP、TVSOP、SOP または TSSOP (上面図)

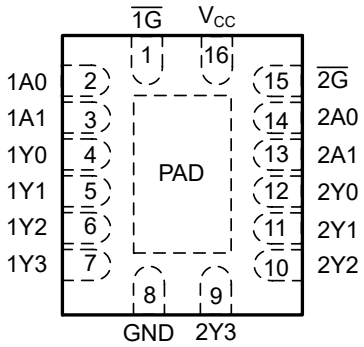


図 3-1. SN74LV139A RGY パッケージ、16 ピン VQFN

表 3-1. ピンの機能

ピン		I/O	説明
番号	名称		
1	$\overline{1G}$	I	チャネル 1、出力イネーブル、アクティブ Low
2	$1A_0$	I	チャネル 1、アドレス選択 0
3	$1A_1$	I	チャネル 1、アドレス選択 1
4	$1Y_0$	O	チャネル 1、出力 0
5	$1Y_1$	O	チャネル 1、出力 1
6	$1Y_2$	O	チャネル 1、出力 2
7	$1Y_3$	O	チャネル 1、出力 3
8	GND	—	グランド
9	$2Y_3$	O	チャネル 2、出力 3
10	$2Y_2$	O	チャネル 2、出力 2
11	$2Y_1$	O	チャネル 2、出力 1
12	$2Y_0$	O	チャネル 2、出力 0
13	$2A_1$	I	チャネル 2、アドレス選択 1
14	$2A_0$	I	チャネル 2、アドレス選択 0
15	$\overline{2G}_0$	I	チャネル 2、出力イネーブル、アクティブ Low
16	V_{CC}	—	正電源

4 仕様

4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	7	V
V_I (2)	入力電圧範囲		-0.5	7	V
V_O (2)	高インピーダンスまたは電源オフ状態で出力に印加される電圧範囲		-0.5	7	V
V_O (2) (3)	出力電圧範囲		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流	V_I < 0		-20	mA
I_{OK}	出力クランプ電流	V_O < 0		-50	mA
I_O	連続出力電流	V_O = 0～V_{CC}		±25	mA
	V_{CC} または GND を通過する連続電流			±50	mA
T_{stg}	保管温度範囲		-65	150	℃

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値と等しい、またはそれを超える条件で本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 入力電流と出力電流の定格を遵守していても、入力と出力の負電圧の定格を超える可能性があります。
(3) この値は最大 5.5V に制限されています。

4.2 ESD 定格

		値	単位
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±1000	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

4.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			SN74LV138A		単位
			最小値	最大値	
V_{CC}	電源電圧		2	5.5	V
V_{IH}	High レベル入力電圧	V_{CC} = 2 V	1.5		V
		V_{CC} = 2.3V～2.7V	V_{CC} × 0.7		
		V_{CC} = 3V～3.6V	V_{CC} × 0.7		
		V_{CC} = 4.5V～5.5V	V_{CC} × 0.7		
V_{IL}	Low レベル入力電圧	V_{CC} = 2 V		0.5	V
		V_{CC} = 2.3V～2.7V		V_{CC} × 0.3	
		V_{CC} = 3V～3.6V		V_{CC} × 0.3	
		V_{CC} = 4.5V～5.5V		V_{CC} × 0.3	
V_I	入力電圧		0	5.5	V
V_O	出力電圧		0	V_{CC}	V
I_{OH}	High レベル出力電流	V_{CC} = 2 V		-50	μA
		V_{CC} = 2.3V～2.7V		-2	mA
		V_{CC} = 3V～3.6V		-6	
		V_{CC} = 4.5V～5.5V		-12	

Copyright © 2025 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			SN74LV138A 最小値	SN74LV138A 最大値	単位
I_{OL}	Low レベル出力電流	V_{CC} = 2 V		50	μA
		V_{CC} = 2.3V～2.7V		2	mA
		V_{CC} = 3V～3.6V		6	
		V_{CC} = 4.5V～5.5V		12	
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート	V_{CC} = 2.3V～2.7V		200	ns/V
		V_{CC} = 3V～3.6V		100	
		V_{CC} = 4.5V～5.5V		20	
T_A	自由空気での動作温度		-40	85	℃

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーション レポート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。

4.4 熱に関する情報

熱評価基準(1)		SN74LV139A D (SOIC)	DB (SSOP)	DGV (TVSOP)	NS (SOP)	PW (TSSOP)	RGY (VQFN)	単位
		16 ピン						
$R_{\theta JA}$	接合部から周囲への熱抵抗	73	82	120	64	108	39	℃/W

(1) 従来および新しい熱評価基準値の詳細については、『IC パッケージの熱評価基準』アプリケーションレポート (SPRA953) を参照してください。

4.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	V_{CC}	SN74LV139A 最小値	SN74LV139A 標準値	SN74LV139A 最大値	単位
V_{OH}	High レベル出力電圧	I_{OH} = –50μA	2V～5.5V	V_{CC} - 0.1			V
		I_{OH} = -2mA	2.3 V	2			
		I_{OH} = -6mA	3 V	2.48			
		I_{OH} = -12mA	4.5 V	3.8			
V_{OL}	Low レベル出力電圧	I_{OL} = 50μA	2V～5.5V			0.1	V
		I_{OL} = 2mA	2.3 V			0.4	
		I_{OL} = 6mA	3 V			0.44	
		I_{OL} = 12mA	4.5 V			0.55	
I_I	入力電流	V_I = 5.5 V または GND	0～5.5 V			±1	μA
I_{CC}	電源電流	V_I = V_{CC} または GND、 I_O = 0	5.5 V			20	μA
I_{off}	入力 / 出力電源オフ リーク電流	V_I または V_O = 0～5.5V	0			5	μA
C_i	入力容量	V_I = V_{CC} または GND	3.3 V		1.9		pF

4.6 スイッチング特性、V_{CC} = 2.5 V ± 0.2 V

自由気流での推奨動作温度範囲内、V_{CC} = 2.5V ± 0.2V (特に記述のない限り) (負荷回路および電圧波形を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T_A = 25℃			SN74LV139A		単位
				最小値	標準値	最大値	最小値	最大値	
t_{pd}	A または B	Y	C_L = 15pF		7.7(1)	17.6(1)	1	21	ns
	$\overline{G}$				7.4(1)	15.8(1)	1	19	
t_{pd}	A または B	Y	C_L = 50pF		10.2	22.5	1	26.5	ns
	$\overline{G}$				9.9	20.2	1	24	

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、出荷時のテストは行っていません。

4.7 スイッチング特性、V_{CC} = 3.3 V ± 0.3 V

自由気流での推奨動作温度範囲内、V_{CC} = 3.3V ± 0.3V (特に記述のない限り) (負荷回路および電圧波形を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T_A = 25℃			SN74LV139A		単位
				最小値	標準値	最大値	最小値	最大値	
t_{pd}	A または B	Y	C_L = 15pF		5.3(1)	11(1)	1	13	ns
	$\overline{G}$				5.1(1)	9.2(1)	1	11	
t_{pd}	A または B	Y	C_L = 50pF		7.3	14.5	1	16.5	ns
	$\overline{G}$				7	12.7	1	14.5	

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、出荷時のテストは行っていません。

4.8 スイッチング特性、V_{CC} = 5 V ± 0.5 V

自由気流での推奨動作温度範囲内、V_{CC} = 5V ± 0.5V (特に記述のない限り) (負荷回路および電圧波形を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T_A = 25℃			SN74LV139A		単位
				最小値	標準値	最大値	最小値	最大値	
t_{pd}	A または B	Y	C_L = 15pF		3.7(1)	7.2(1)	1	8.5	ns
	$\overline{G}$				3.5(1)	6.3(1)	1	7.5	
t_{pd}	A または B	Y	C_L = 50pF		5.2	9.2	1	10.5	ns
	$\overline{G}$				4.9	8.3	1	9.5	

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、出荷時のテストは行っていません。

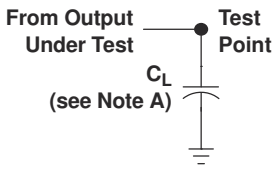
4.9 動作特性

T_A = 25℃

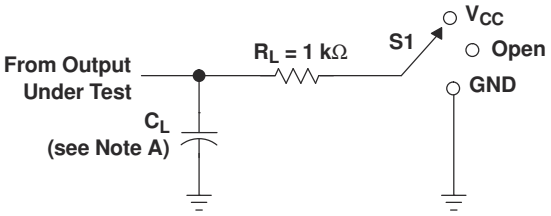
パラメータ	テスト条件	V_{CC}	標準値	単位
C_{pd} 電力散逸容量	C_L = 50pF、 f = 10MHz	3.3 V	17.3	pF
		5 V	18.2	

Copyright © 2025 Texas Instruments Incorporated

5 パラメータ測定情報

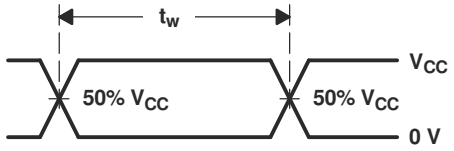


LOAD CIRCUIT FOR
TOTEM-POLE OUTPUTS

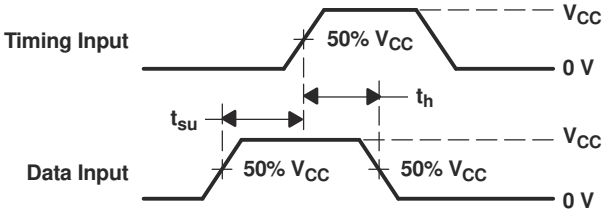


LOAD CIRCUIT FOR
3-STATE AND OPEN-DRAIN OUTPUTS

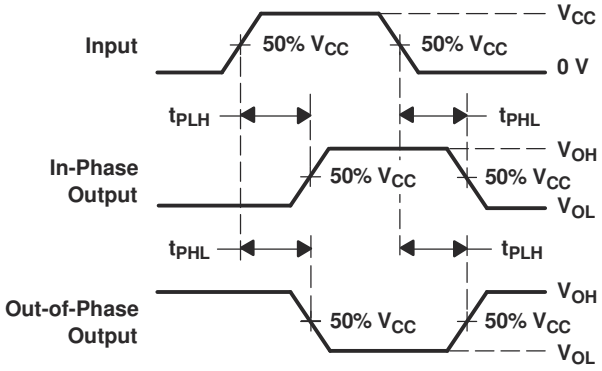
TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{CC}
t_{PHZ}/t_{PZH}	GND
Open Drain	V_{CC}



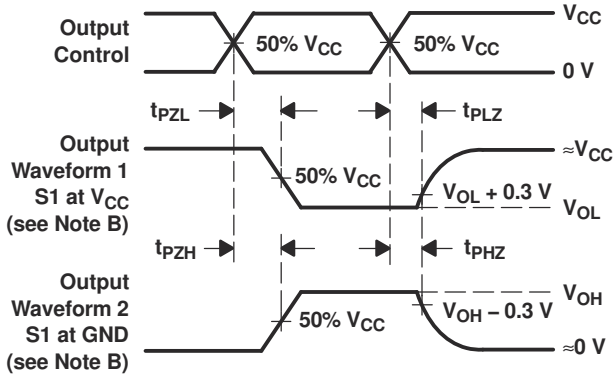
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

NOTES:
A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR ≤ 1 MHz, Z_O = 50 Ω, t_r ≤ 3 ns, t_f ≤ 3 ns.
D. The outputs are measured one at a time, with one input transition per measurement.
E. t_{PLZ} and t_{PHZ} are the same as t_{dis}.
F. t_{PZL} and t_{PZH} are the same as t_{en}.
G. t_{PHL} and t_{PLH} are the same as t_{pd}.
H. All parameters and waveforms are not applicable to all devices.

図 5-1. 負荷回路および電圧波形

6 詳細説明

6.1 概要

SNx4LV139A デバイスは、2V ～ 5.5V の V_{CC} で動作するよう設計された 3 ライン入力 8 ライン出力のデコーダとデマルチプレクサです。

これらのデバイスは、非常に小さい伝搬遅延時間が求められる高性能メモリ デコーディングまたはデータ ルーティング用に設計されています。高性能メモリ システムでは、このデコーダを使用することにより、システム デコードの影響を最小限にとどめられます。高速イネーブル回路を利用した高速メモリと組み合わせた場合、これらのデコーダの遅延時間とメモリのイネーブル時間は、通例、メモリの標準的なアクセス時間を下回ります。すなわち、このデコーダによる実質的なシステム遅延時間は無視できるということです。

’LV139A デバイスは、2 つの個別の 2 ライン入力、4 ライン出力デコーダを、1 つのパッケージに搭載したものです。アクティブ Low のイネーブル ($\overline{G}$) 入力は、デマルチプレクサ アプリケーションのデータ ラインとして使用できます。これらのデコーダ / デマルチプレクサの入力は完全にバッファされ、それぞれの入力は、駆動回路に対して 1 つの正規化された負荷のみを表します。

これらのデバイスは、I_{off} を使用する部分的パワーダウン アプリケーション用の動作が完全に規定されています。I_{off} 回路が出力をディセーブルにするため、電源切断時にデバイスに電流が逆流して損傷に至ることを回避できます。

6.2 機能ブロック図

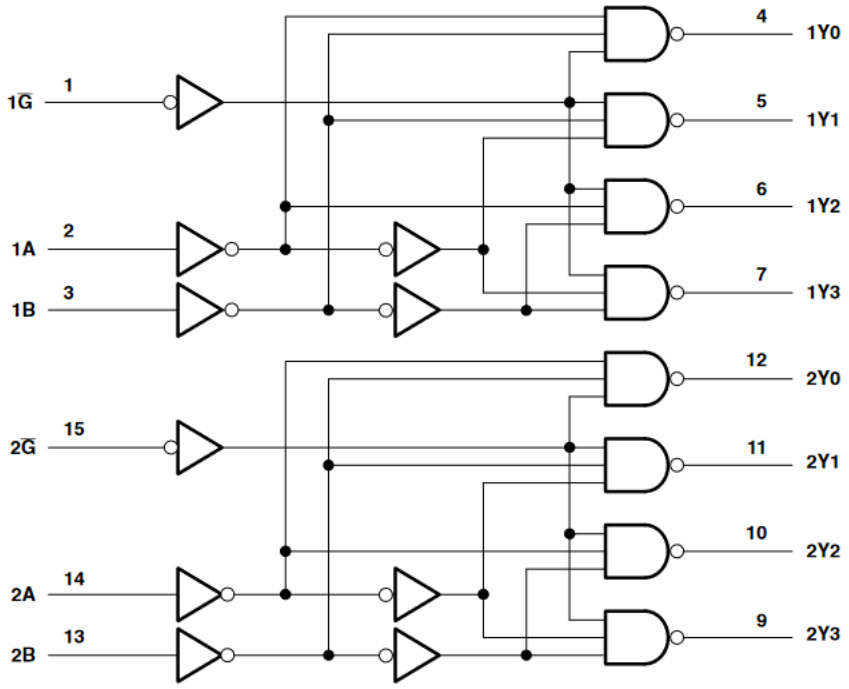


図 6-1. 論理図 (正論理)

6.3 デバイスの機能モード

機能表

入力			出力			
$\overline{G}$	選択					
	B	A	Y0	Y1	Y2	Y3
H	X	X	H	H	H	H
L	L	L	L	H	H	H

Copyright © 2025 Texas Instruments Incorporated

機能表 (続き)

入力			出力			
$\overline{G}$	選択					
	B	A	Y0	Y1	Y2	Y3
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。このデバイスには 0.1μF のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1μF と 1μF のコンデンサは並列に使用されます。バイパス コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

7.2 レイアウト

7.2.1 レイアウトのガイドライン

- バイパス コンデンサの配置
  - デバイスの正電源端子の近くに配置
  - 電気的に短いグランド帰還パスを提供
  - インピーダンスを最小化するため、広いパターンを使用
  - 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
  - 8mil～12mil のトレース幅
  - 伝送ラインの影響を最小化する 12cm 未満の長さ
  - 信号トレースの 90° のコーナーは避ける
  - 信号トレースの下に、途切れのないグランド プレーンを使用
  - 信号トレース周辺の領域をグランドでフラッド フィル
  - 12cm を超えるパターン用
    - インピーダンス制御トレースを使用
    - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
    - 分岐を回避。個別に分岐が必要なバッファ信号

7.2.2 レイアウト例

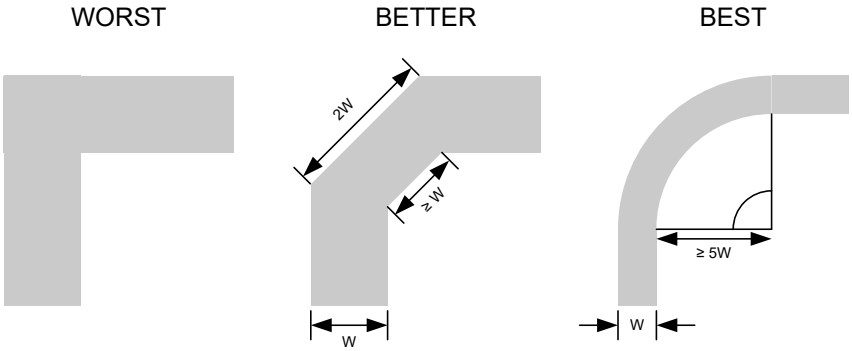


図 7-1. シグナル インテグリティ向上のためのサンプル パターンのコーナー

Copyright © 2025 Texas Instruments Incorporated

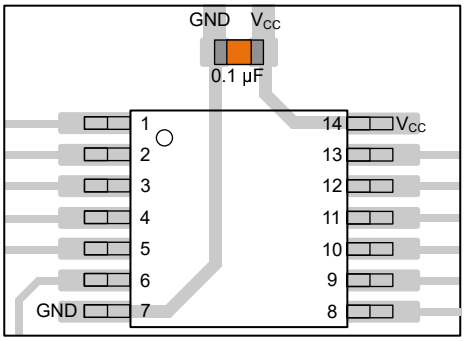


図 7-2. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

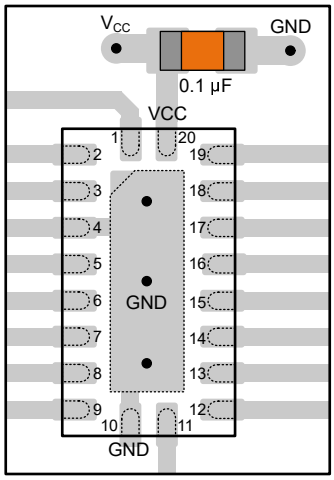


図 7-3. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

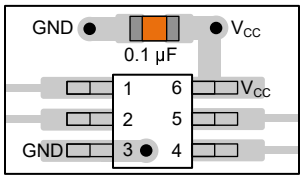


図 7-4. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

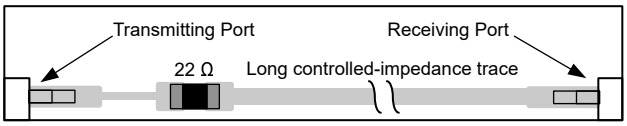


図 7-5. シグナル インテグリティ向上のためのダンピング抵抗の配置例

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『CMOS の消費電力と C_{pd} の計算』アプリケーション・レポート
- テキサス・インスツルメンツ、『ロジックを使用した設計』アプリケーション・レポート
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション・レポート

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

Changes from Revision I (April 2005) to Revision J (December 2024) **Page**

- *パッケージ情報表*、*ピンの機能表*、*ESD 定格表*、*熱に関する情報表*、「*デバイスの機能モード*」、「アプリケーションと実装」セクション、「*デバイスおよびドキュメントのサポート*」セクション、および「*メカニカル、パッケージ、および注文情報*」セクションを追加しました 1
- マシンモデルの記述を削除 4

Copyright © 2025 Texas Instruments Incorporated

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LV139AD	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-40 to 85	LV139A
SN74LV139ADBR	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV139A
SN74LV139ADBR.A	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV139A
SN74LV139ADR	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV139A
SN74LV139ADR.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV139A
SN74LV139ANSR	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	74LV139A
SN74LV139ANSR.A	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	74LV139A
SN74LV139ANSRE4	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	74LV139A
SN74LV139APW	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-40 to 85	LV139A
SN74LV139APWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	LV139A
SN74LV139APWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV139A
SN74LV139APWRG4	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV139A
SN74LV139APWRG4	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	No	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV139A
SN74LV139APWRG4.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV139A
SN74LV139APWRG4.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	No	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV139A
SN74LV139ARGYR	Active	Production	VQFN (RGY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	LV139A
SN74LV139ARGYR.A	Active	Production	VQFN (RGY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	LV139A

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

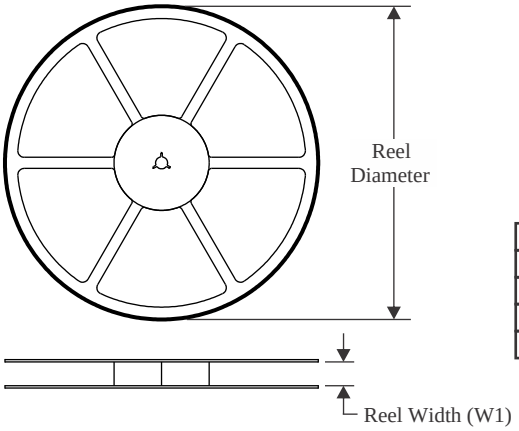
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

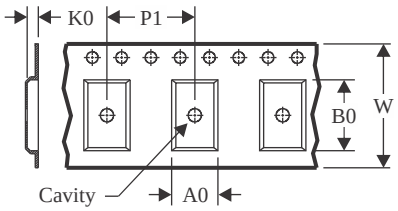
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

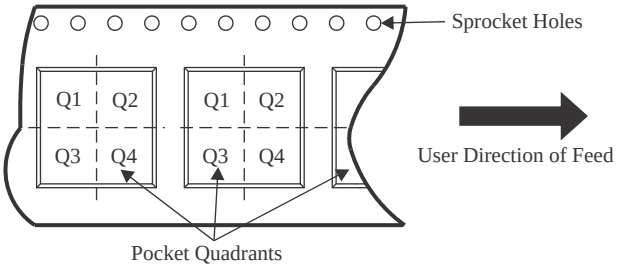


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

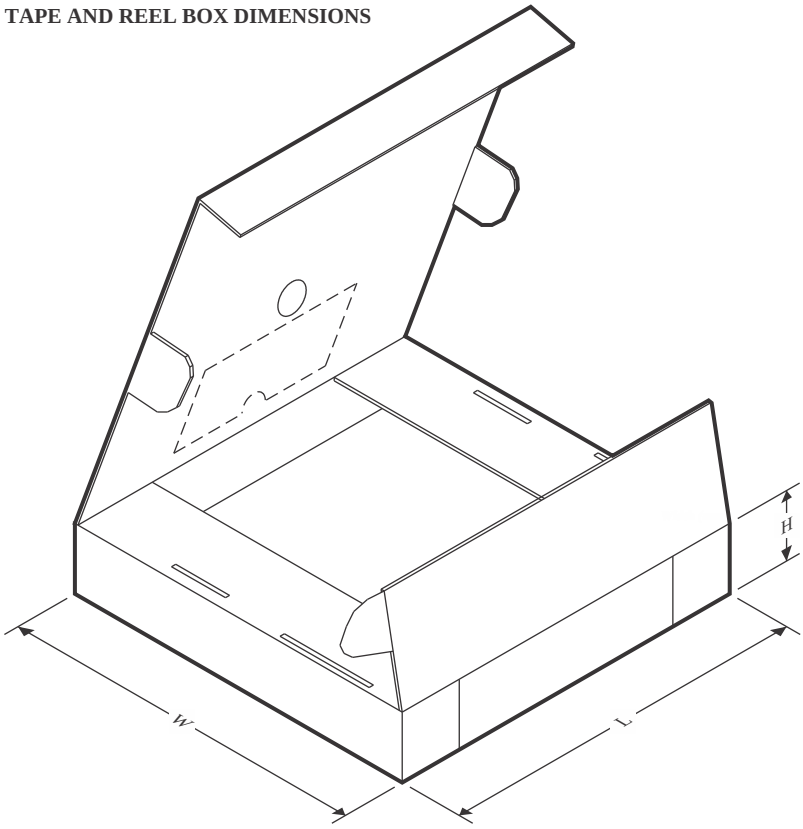
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LV139ADBR	SSOP	DB	16	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74LV139ADR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN74LV139ANSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
SN74LV139APWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LV139APWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LV139ARGYR	VQFN	RGY	16	3000	330.0	12.4	3.8	4.3	1.5	8.0	12.0	Q1

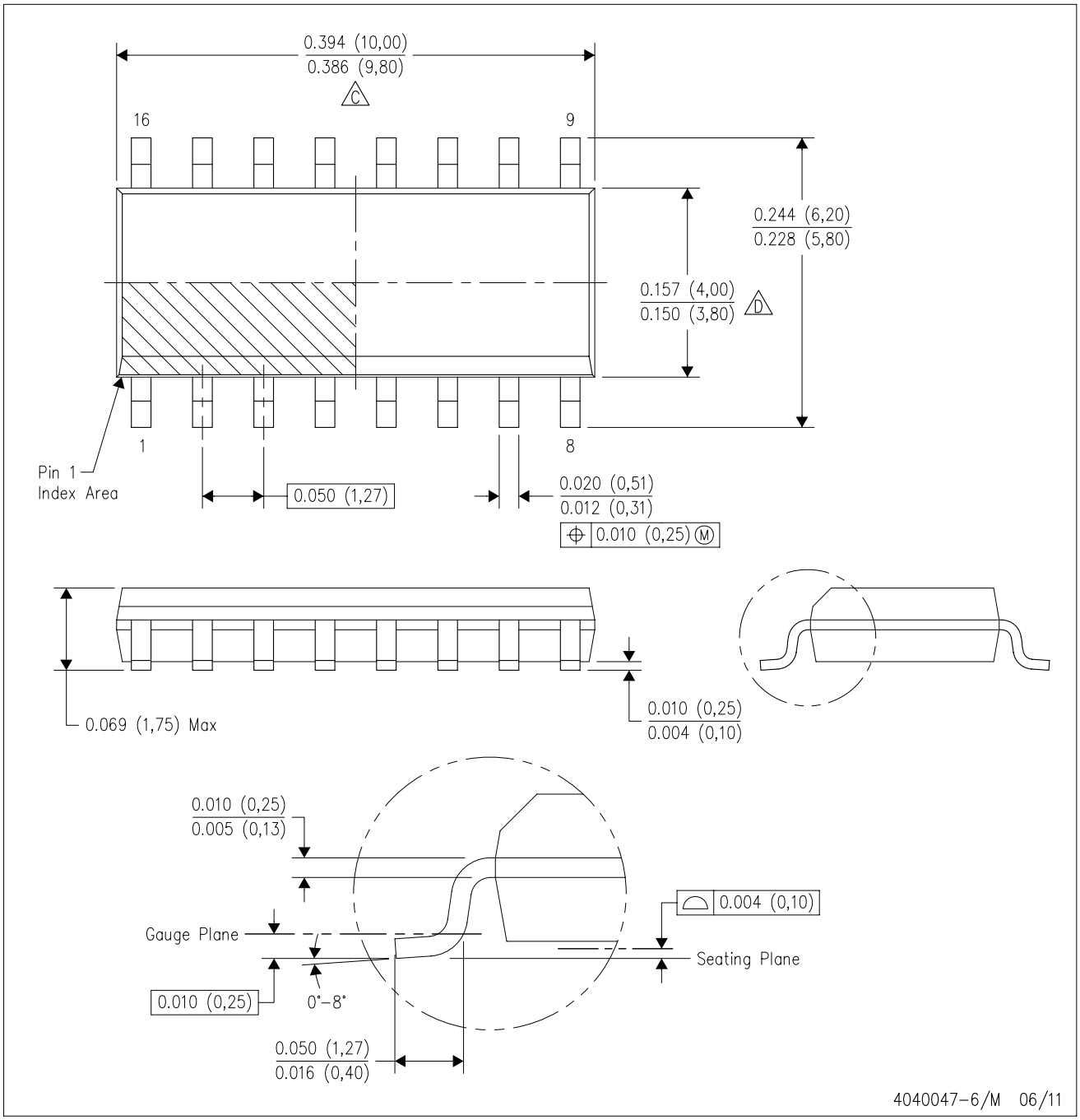
TAPE AND REEL BOX DIMENSIONS



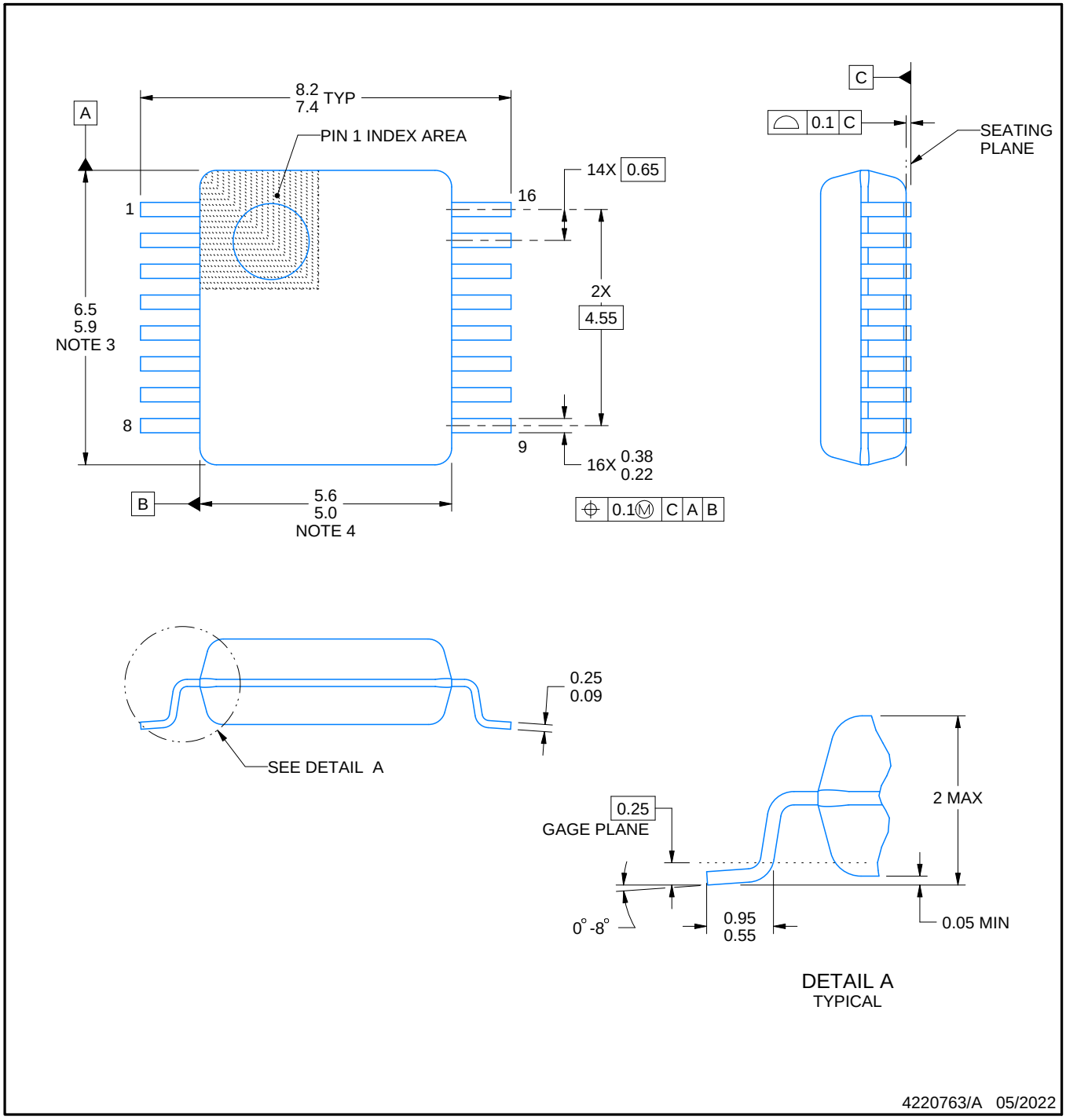
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LV139ADBR	SSOP	DB	16	2000	353.0	353.0	32.0
SN74LV139ADR	SOIC	D	16	2500	340.5	336.1	32.0
SN74LV139ANSR	SOP	NS	16	2000	353.0	353.0	32.0
SN74LV139APWR	TSSOP	PW	16	2000	353.0	353.0	32.0
SN74LV139APWRG4	TSSOP	PW	16	2000	353.0	353.0	32.0
SN74LV139ARGYR	VQFN	RGY	16	3000	353.0	353.0	32.0

D (R–PDSO–G16) PLASTIC SMALL OUTLINE

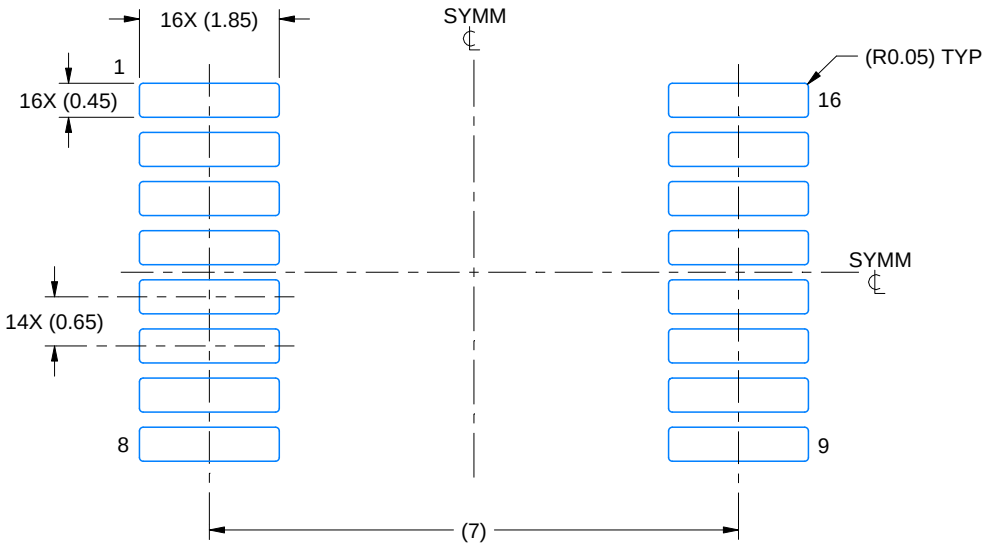


NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

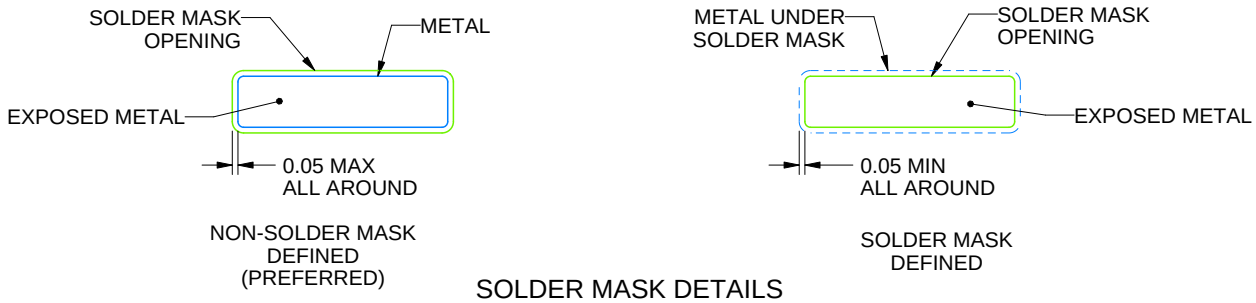


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

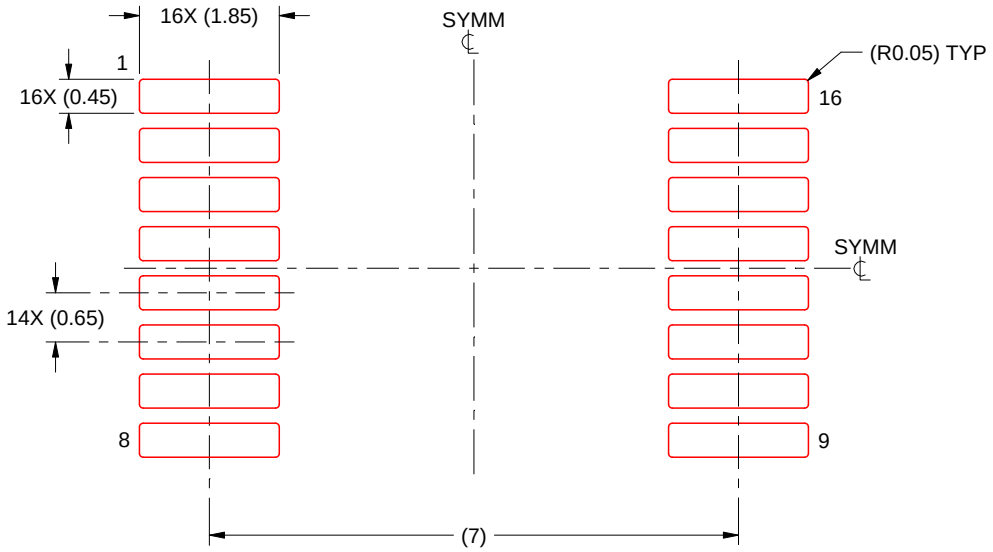


SOLDER MASK DETAILS

4220763/A 05/2022

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220763/A 05/2022

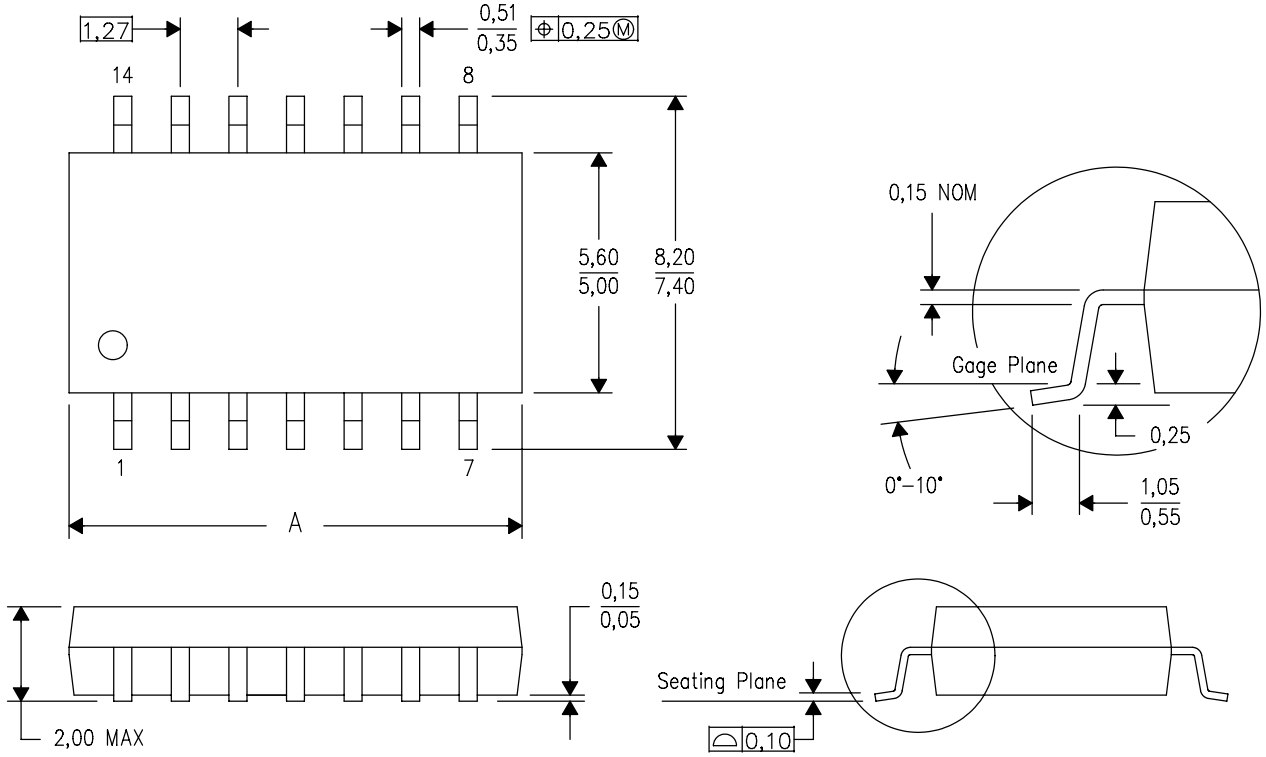
NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

NS (R-PDSO-G)** **PLASTIC SMALL-OUTLINE PACKAGE**

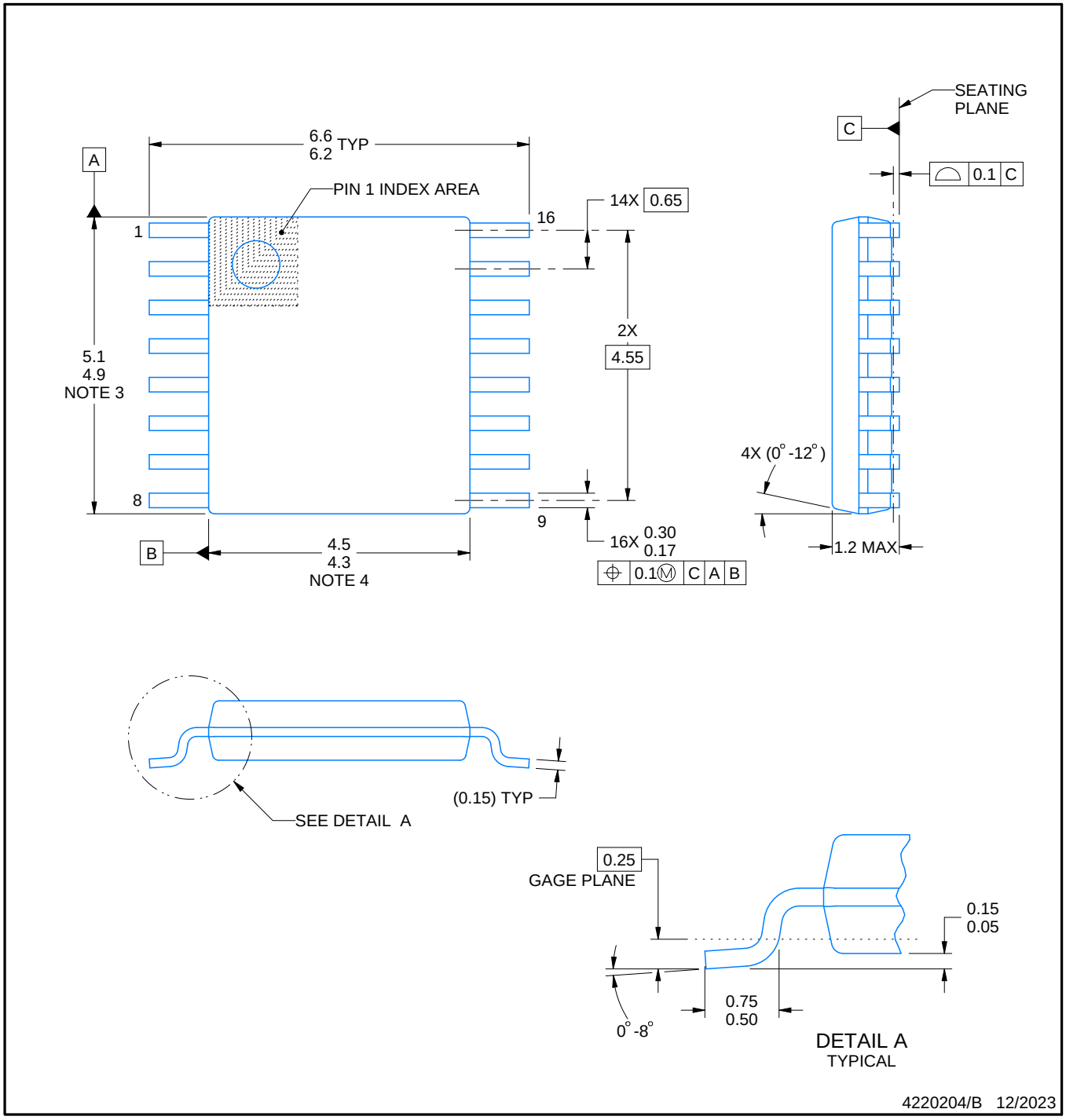
14-PINS SHOWN



DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

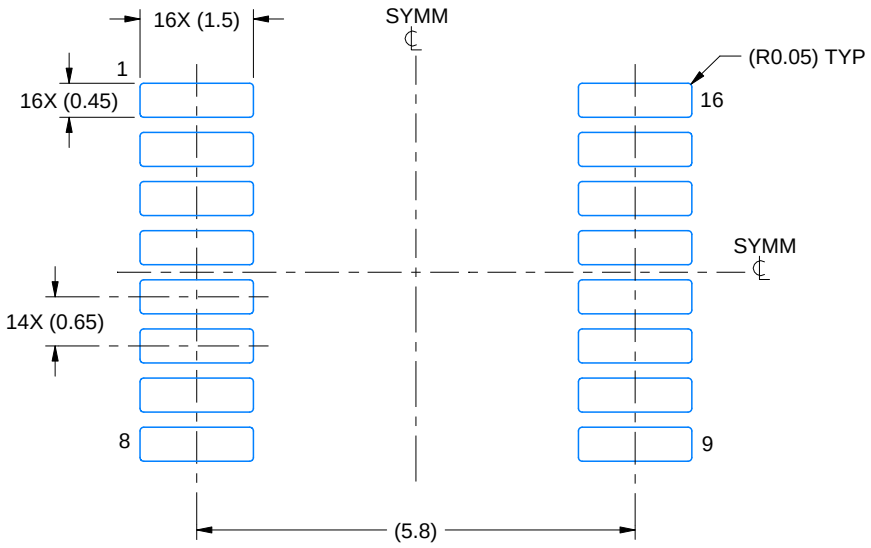
4040062/C 03/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

NON-SOLDER MASK DEFINED (PREFERRED)

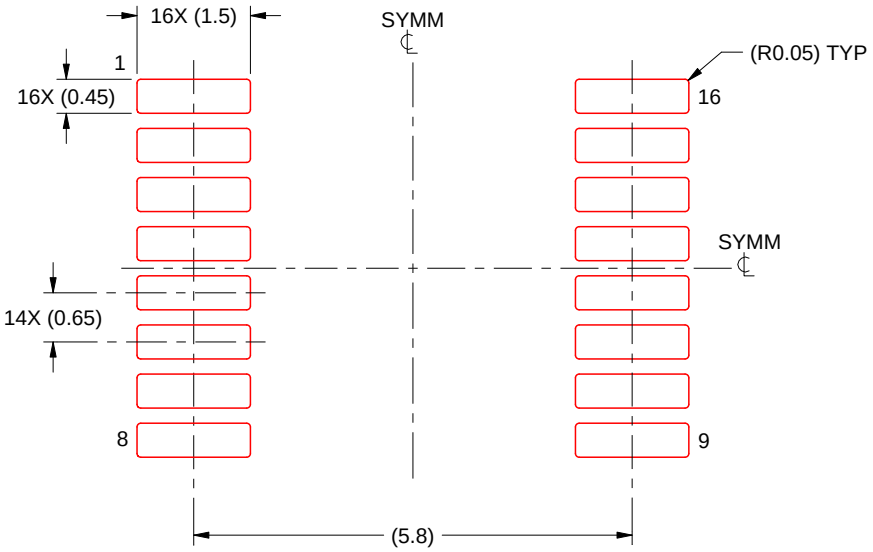
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



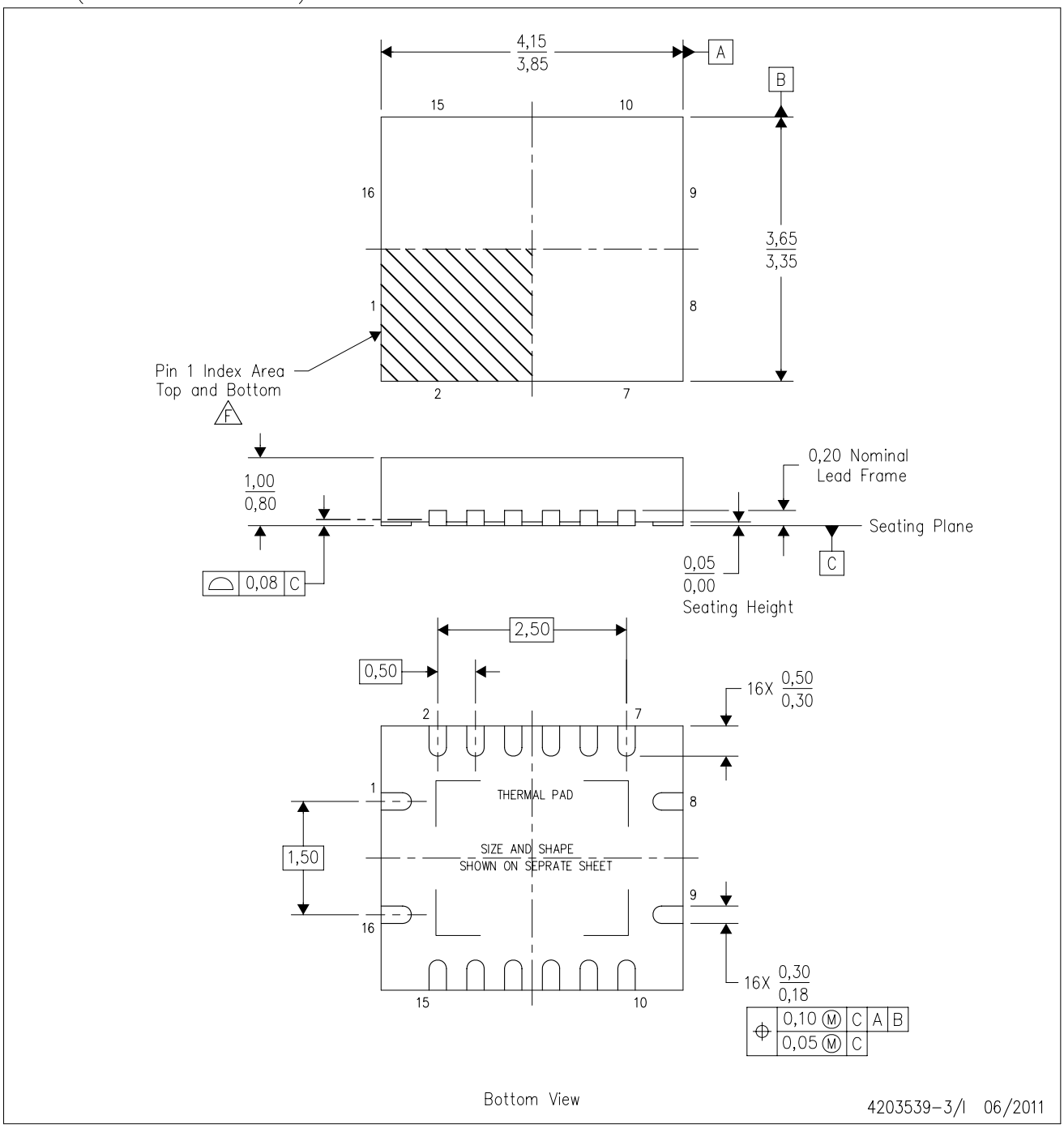
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

RGY (R-PVQFN-N16) PLASTIC QUAD FLATPACK NO-LEAD



NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
- B. This drawing is subject to change without notice.
- C. QFN (Quad Flatpack No-Lead) package configuration.
- D. The package thermal pad must be soldered to the board for thermal and mechanical performance.
- E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
- F. Pin 1 identifiers are located on both top and bottom of the package and within the zone indicated. The Pin 1 identifiers are either a molded, marked, or metal feature.
- G. Package complies to JEDEC MO-241 variation BA.

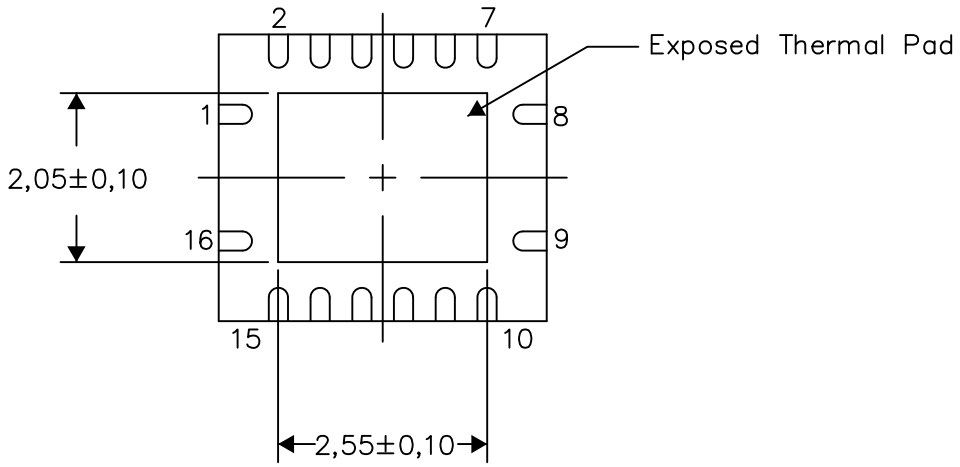
RGY (R–PVQFN–N16) PLASTIC QUAD FLATPACK NO–LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No–Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



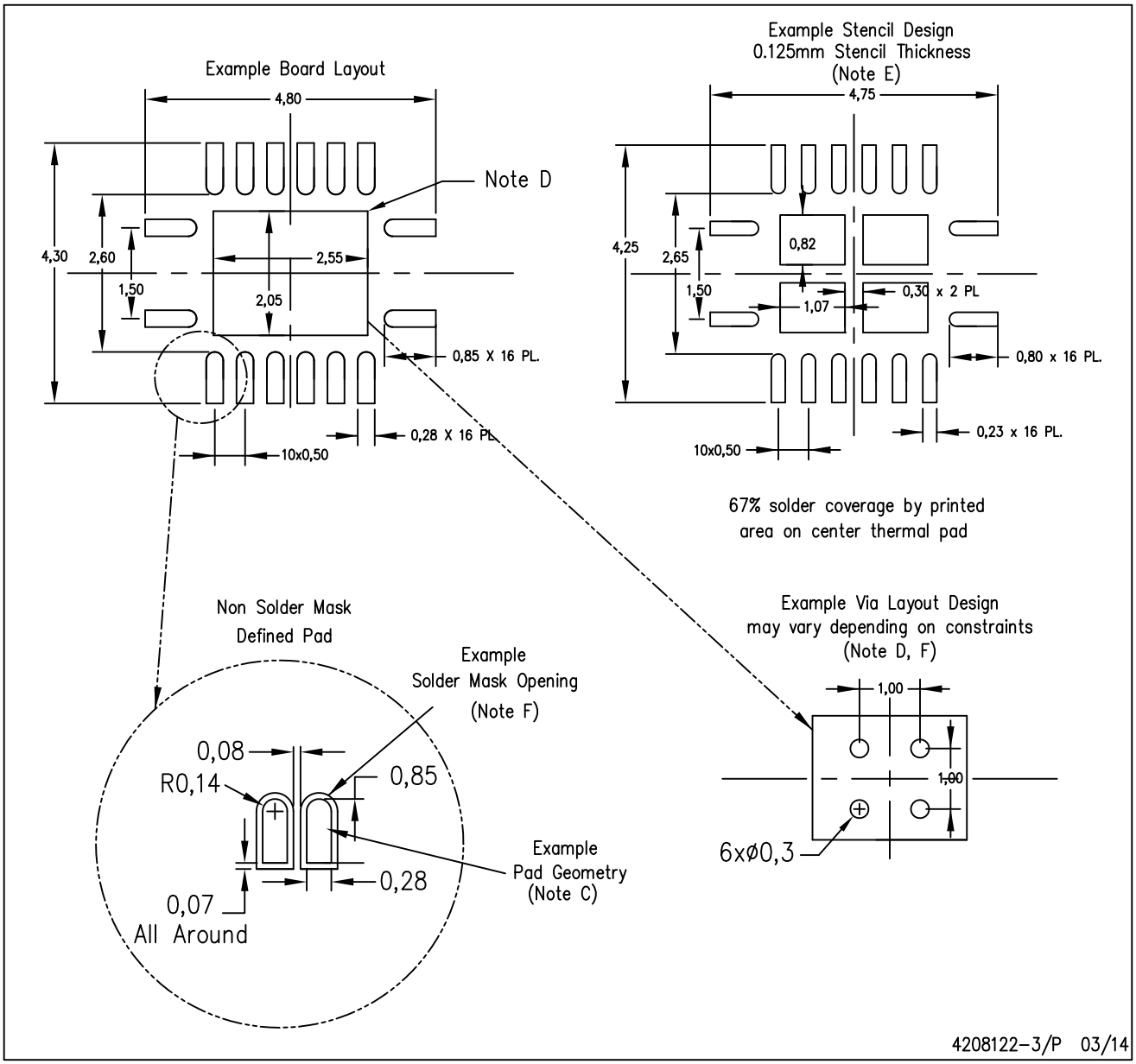
Bottom View

Exposed Thermal Pad Dimensions

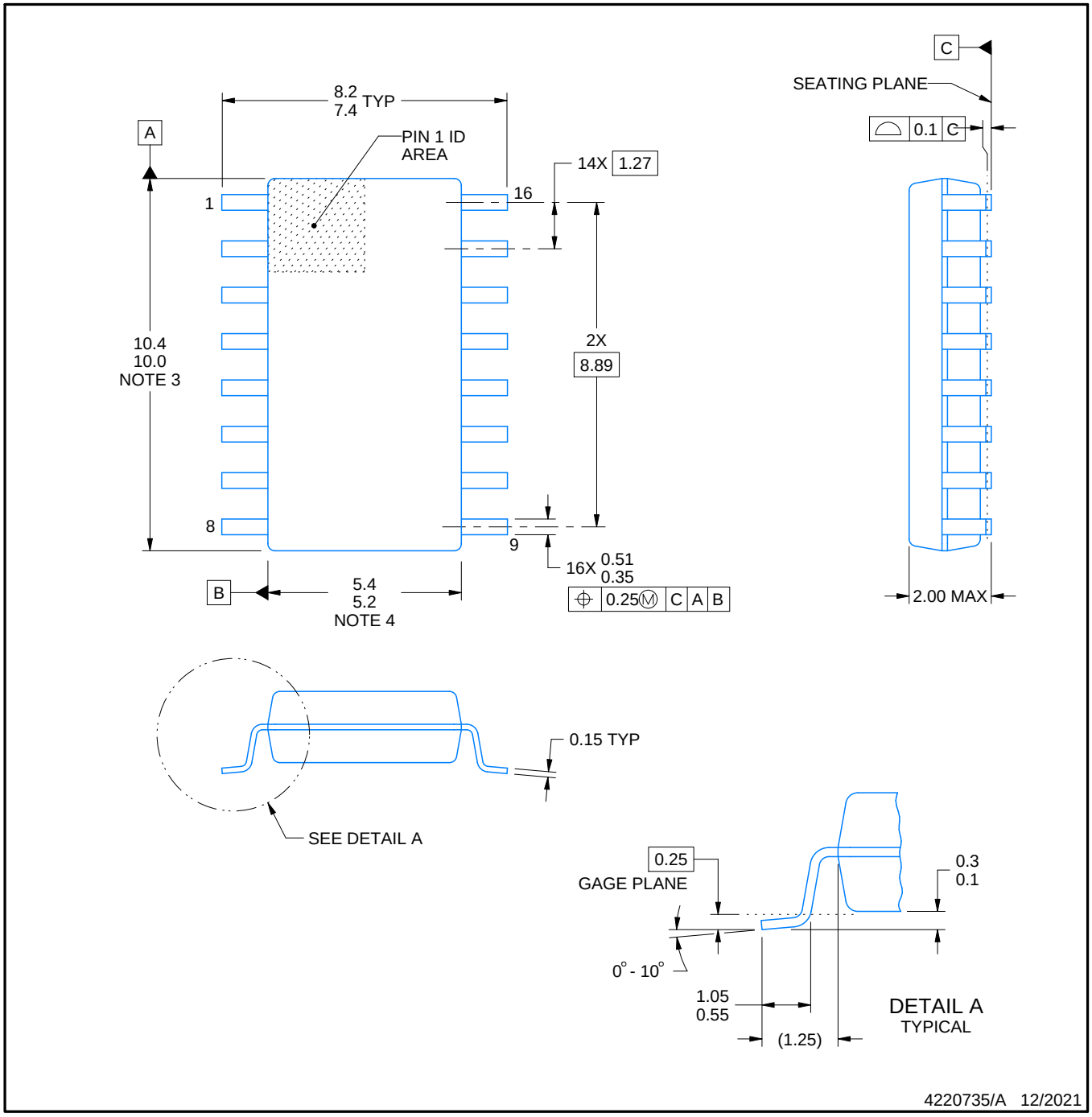
4206353–3/P 03/14

NOTE: All linear dimensions are in millimeters

RGY (R–PVQFN–N16) PLASTIC QUAD FLATPACK NO–LEAD

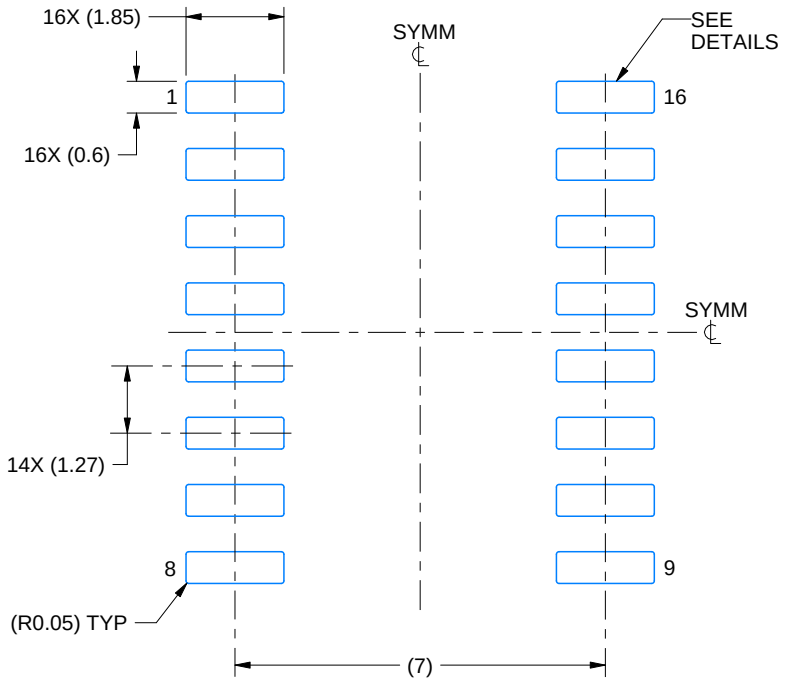


NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, Quad Flat–Pack QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <http://www.ti.com>.
E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
F. Customers should contact their board fabrication site for minimum solder mask web tolerances between signal pads.

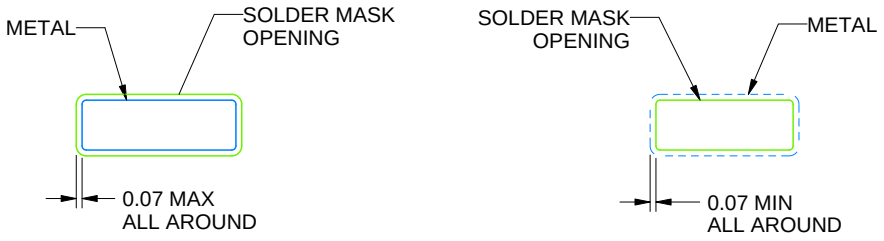


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



LAND PATTERN EXAMPLE
SCALE:7X



NON SOLDER MASK DEFINED

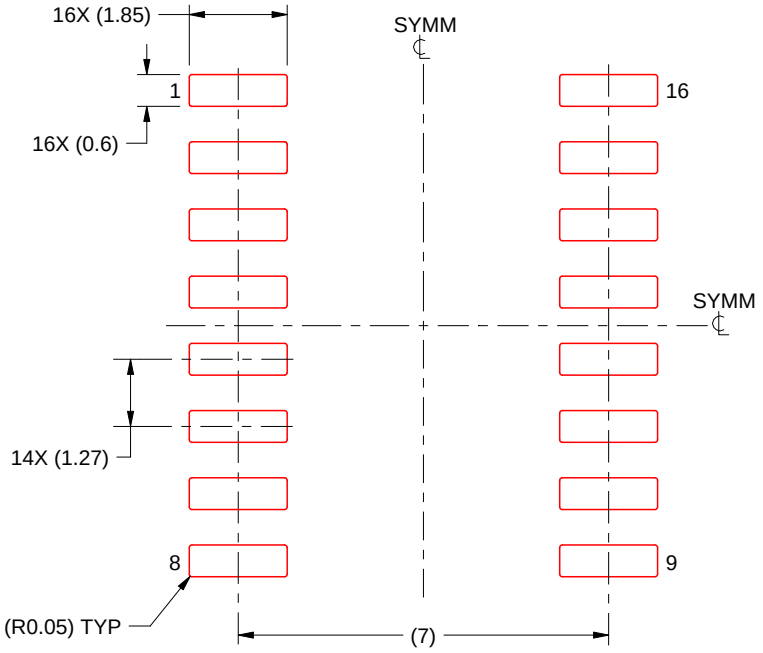
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220735/A 12/2021

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

4220735/A 12/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated