

# SN74CB3T3257 4 ビット 2:1 FET マルチプレクサ / デマルチプレクサ 2.5V/3.3V 低電圧バス スイッチ、5V 耐圧レベル シフト付き

## 1 特長

- 出力電圧変換は  $V_{CC}$  に追従
- すべてのデータ I/O ポートで混合モード信号動作をサポート
  - 3.3V の  $V_{CC}$  で、5V 入力を 3.3V 出力にレベルシフト
  - 2.5V の  $V_{CC}$  で、5V/3.3V の入力を 2.5V 出力にレベルシフト
- デバイスの電源オン時とオフ時の両方で 5V 許容の I/O
- 伝播遅延がゼロに近い双方向データフロー
- 低いオン抵抗 ( $r_{on}$ ) 特性 ( $r_{on} = 5\Omega$ , 標準値)
- 低い入力および出力キャパシタンスにより負荷が最小化 ( $C_{io(OFF)} = 5pF$ , 標準値)
- データおよび制御入力にアンダーシュート クランプ ダイオードを搭載
- 低消費電力 ( $I_{CC} = 20\mu A$ , 最大値)
- 2.3V ~ 3.6V の範囲の  $V_{CC}$  で動作
- データ I/O は 0V ~ 5V の信号レベルに対応 (0.8V、1.2V、1.5V、1.8V、2.5V、3.3V、5V)
- 制御入力は、TTL または 5V/3.3V CMOS 出力で駆動可能
- $I_{off}$  により部分的パワーダウン モードでの動作をサポート
- JESD 17 準拠で 250mA 超のラッチアップ性能
- JESD 22 準拠で ESD 性能を試験済み
  - 人体モデルで 2000V (A114-B、クラス II)
  - 1000V、デバイス帯電モデル (C101)

## 2 アプリケーション

- デジタル アプリケーションをサポート:
  - レベル変換
  - USB インターフェイス

- メモリ インターリーブ
- バス絶縁
- ローパワーの携帯機器向けに設計

## 3 説明

SN74CB3T3257 は、オン抵抗 ( $r_{on}$ ) が低い伝播遅延を最小限に低減できる高速 TTL 互換 FET マルチプレクサ / デマルチプレクサです。このデバイスは、 $V_{CC}$  に追従した電圧変換を行うことで、すべてのデータ I/O ポートにおいて混在モード信号動作を完全にサポートします。SN74CB3T3257 は、5V TTL、3.3V LVTTTL、2.5V CMOS スイッチング規格に加えて、ユーザー定義のスイッチングレベルを使用するシステムに対応します。

このデバイスは、 $I_{off}$  を使用する部分的パワーダウン アプリケーション用の動作が完全に規定されています。 $I_{off}$  機能により、パワーダウン時に損傷を引き起こすような電流がデバイスに逆流しないことが保証されます。デバイスは、電源オフ時は絶縁されています。

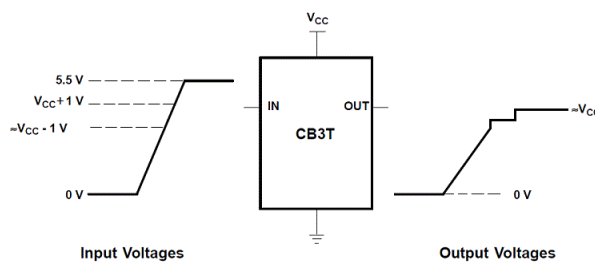
### パッケージ情報

部品番号	パッケージ (1)	本体サイズ (公称)
SN74CBTLV3257PW	TSSOP (16)	5.00mm × 4.40mm
SN74CBTLV3257DGV	TVSOP (16)	3.60mm × 4.40mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

### 製品情報

入力		入出力 A	機能
OE	S		
L	L	B1	A ポート = B1 ポート
L	H	B2	A ポート = B2 ポート
H	X	Z	切断



If the input high voltage ( $V_{IH}$ ) level is greater than or equal to  $V_{CC} + 1V$ , and less than or equal to 5.5 V, the output high voltage ( $V_{OH}$ ) level will be equal to approximately the  $V_{CC}$  voltage level.

### 標準的な DC 電圧変換特性



## Table of Contents

<b>1 特長</b> .....	<b>1</b>	7.1 Overview.....	<b>10</b>
<b>2 アプリケーション</b> .....	<b>1</b>	7.2 Functional Block Diagram.....	<b>10</b>
<b>3 説明</b> .....	<b>1</b>	7.3 Feature Description.....	<b>11</b>
<b>4 Pin Configuration and Functions</b> .....	<b>3</b>	7.4 Device Functional Modes.....	<b>12</b>
<b>5 Specifications</b> .....	<b>4</b>	<b>8 Application and Implementation</b> .....	<b>13</b>
5.1 Absolute Maximum Ratings.....	<b>4</b>	8.1 Application Information.....	<b>13</b>
5.2 ESD Ratings.....	<b>4</b>	8.2 Typical Application.....	<b>13</b>
5.3 Recommended Operating Conditions.....	<b>4</b>	8.3 Power Supply Recommendations.....	<b>15</b>
5.4 Thermal Information.....	<b>5</b>	8.4 Layout.....	<b>15</b>
5.5 Electrical Characteristics.....	<b>6</b>	<b>9 Device and Documentation Support</b> .....	<b>16</b>
5.6 Switching Characteristics 85C.....	<b>7</b>	9.1 Documentation Support.....	<b>16</b>
5.7 Typical Characteristics.....	<b>8</b>	<b>10 Revision History</b> .....	<b>17</b>
<b>6 Parameter Measurement Information</b> .....	<b>9</b>	<b>11 Mechanical, Packaging, and Orderable Information</b> .....	<b>17</b>
<b>7 Detailed Description</b> .....	<b>10</b>		

## 4 Pin Configuration and Functions

DGV OR PW PACKAGE  
(TOP VIEW)

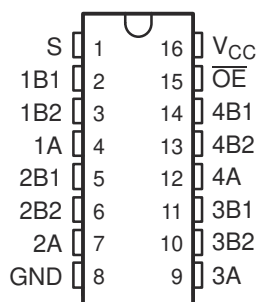


図 4-1. DGV or PW Package, 16 PinTVSOP, and TSSOP (Top View)

表 4-1. Pin Functions

PIN		I/O	DESCRIPTION
NAME	TVSOP, TSSOP		
1A	4	I/O	Channel 1 out/in common
1B1	2	I/O	Channel 1 in/out 1
1B2	3	I/O	Channel 1 in/out 2
2A	7	I/O	Channel 2 out/in common
2B1	5	I/O	Channel 2 in/out 1
2B2	6	I/O	Channel 2 in/out 2
3A	9	I/O	Channel 3 out/in common
3B1	11	I/O	Channel 3 in/out 1
3B2	10	I/O	Channel 3 in/out 2
4A	12	I/O	Channel 4 out/in common
4B1	14	I/O	Channel 4 in/out 1
4B2	13	I/O	Channel 4 in/out 2
GND	8	—	Ground
OE	15	I	Output Enable, active low
S	1	I	Select
V <sub>CC</sub>	16	—	Power

## 5 Specifications

### 5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)<sup>(1)</sup>

		MIN	MAX	UNIT
$V_{CC}$	Supply voltage <sup>(2)</sup>	-0.5	7	V
$V_{IN}$	Control input voltage <sup>(2) (3)</sup>	-0.5	7	V
$V_{I/O}$	Voltage range applied to any output in the high-impedance or power-off state <sup>(2) (3) (4)</sup>	-0.5	7	V
$I_{IK}$	Control input clamp current $V_{IN} < 0$	-50		mA
$I_{I/O}$	I/O port diode current $V_{I/O} < 0$	-50		mA
$I_{I/O}$	On-state switch current <sup>(5)</sup> $V_{I/O} = 0$ to $V_{CC}$	-128	128	mA
	Continuous current through $V_{CC}$ or GND	-100	100	mA
$T_J$	Junction temperature		150	C
Storage temperature, $T_{stg}$		-65	150	C

- (1) Stresses beyond those listed under Absolute Maximum Ratings may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under Recommended Operating Conditions. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) All voltages are with respect to ground unless otherwise specified.
- (3) The input negative-voltage and output voltage ratings may be exceeded if the input and output current ratings are observed.
- (4)  $V_I$ ,  $V_O$  are used to denote specific conditions for  $V_{I/O}$ .
- (5)  $I_I$ ,  $I_O$  are used to denote specific conditions for  $I_{I/O}$ .

### 5.2 ESD Ratings

			VALUE	UNIT
$V_{(ESD)}$	Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/JEDEC JS-001, all pins <sup>(1)</sup>	±2000	V
		Charged device model (CDM), per JEDEC specification JESD22-C101, all pins <sup>(2)</sup>	±1000	

- (1) JEDEC document JEP155 states that 500V HBM allows safe manufacturing with a standard ESD control process.
- (2) JEDEC document JEP157 states that 250V CDM allows safe manufacturing with a standard ESD control process.

### 5.3 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)<sup>(1)</sup>

			MIN	NOM	MAX	UNIT
$V_{CC}$	Supply voltage		2.3		3.6	V
$V_{I/O}$	Switch input or output voltage		0		5.5	V
$V_{IH}$	High-level input voltage, control input	$V_{CC} = 2.3V$ to $2.7V$	1.7		5.5	V
$V_{IH}$	High-level input voltage, control input	$V_{CC} = 2.7V$ to $3.6V$	2		5.5	V
$V_{IL}$	Low-level input voltage, control input	$V_{CC} = 2.3V$ to $2.7V$	0		0.7	V
$V_{IL}$	Low-level input voltage, control input	$V_{CC} = 2.7V$ to $3.6V$	0		0.8	V
$T_A$	Operating free-air temperature		-40		85	°C

- (1) All unused control inputs of the device must be held at  $V_{CC}$  or GND to ensure proper device operation. Refer to the [Implications of Slow or Floating CMOS Inputs](#) application note.

## 5.4 Thermal Information

THERMAL METRIC <sup>(1)</sup>	SN74CBTLV3257		UNIT
	DGV	PW	
	16 PINS	16 PINS	
$R_{\theta JA}$ Junction-to-ambient thermal resistance	120	129.1	°C/W

- (1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application note.

## 5.5 Electrical Characteristics

Over operating free-air temperature range

PARAMETER		TEST CONDITIONS				MIN	TYP	MAX	UNIT
SIGNAL INPUTS (V <sub>IS</sub> ) AND OUTPUTS (V <sub>OS</sub> )									
		V <sub>CC</sub> V	V <sub>I/O</sub> V or I <sub>I</sub> or V <sub>IN</sub>	I <sub>O</sub> mA or V <sub>O</sub> or V <sub>IN</sub>	T <sub>A</sub>				
r <sub>ON</sub>	ON-state switch resistance	2.3, TYP at 2.5V	V <sub>I</sub> = 0 V	I <sub>O</sub> = 24 mA	−40°C to +85°C	5	8	Ω	
r <sub>ON</sub>	ON-state switch resistance	2.3, TYP at 2.5V	V <sub>I</sub> = 0 V	I <sub>O</sub> = 16 mA	−40°C to +85°C	5	8	Ω	
r <sub>ON</sub>	ON-state switch resistance	3, TYP at 3.3V	V <sub>I</sub> = 0 V	I <sub>O</sub> = 64 mA	−40°C to +85°C	5	7	Ω	
r <sub>ON</sub>	ON-state switch resistance	3, TYP at 3.3V	V <sub>I</sub> = 0 V	I <sub>O</sub> = 32 mA	−40°C to +85°C	5	7	Ω	
I <sub>off</sub>	Power down switch leakage current	0	V <sub>I</sub> = 0 V	0 ≤ V <sub>O</sub> ≤ 5.5 V	−40°C to +85°C	-10	10	μA	
I <sub>oz</sub>	Switch OFF leakage current	3.6	V <sub>I</sub> = 0 V, V <sub>in</sub> = V <sub>CC</sub> or GND	0 ≤ V <sub>O</sub> ≤ 5.5 V	−40°C to +85°C	-10	10	μA	
I <sub>I</sub>	ON-state switch leakage current	3.6	V <sub>I</sub> = V <sub>CC</sub> -0.7 to 5.5V	V <sub>IN</sub> = V <sub>CC</sub> or GND	−40°C to +85°C	-20	20	μA	
I <sub>I</sub>	ON-state switch leakage current	3.6	V <sub>I</sub> = 0.7 to V <sub>CC</sub> -0.7	V <sub>IN</sub> = V <sub>CC</sub> or GND	−40°C to +85°C		-40	μA	
I <sub>II</sub>	ON-state switch leakage current	3.6	V <sub>I</sub> = 0 to 0.7V	V <sub>IN</sub> = V <sub>CC</sub> or GND	−40°C to +85°C	-5	5	μA	
I <sub>IN</sub>	Control input current	3.6	V <sub>CC</sub> ≤ V <sub>IN</sub> ≤ 5.5 or V <sub>in</sub> = 0V		−40°C to +85°C	-10	10	μA	
I <sub>CC</sub>	Supply current	3.6	V <sub>I</sub> = V <sub>CC</sub> or GND, I <sub>I/O</sub> = 0	V <sub>IN</sub> = V <sub>CC</sub> or GND	−40°C to +85°C		20	μA	
I <sub>CC</sub>	Supply current	3.6	V <sub>I</sub> = 5.5V, I <sub>I/O</sub> = 0	V <sub>IN</sub> = V <sub>CC</sub> or GND	−40°C to +85°C		20	μA	
ΔI <sub>CC</sub>	Quiescent Device Current w.r.t Control inputs	3 to 3.6V	V <sub>IN</sub> = V <sub>CC</sub> - 0.6V	Other inputs at 0/VCC	−40°C to +85°C		300	μA	
C <sub>I</sub>	Control input capacitance	3.3	V <sub>IN</sub> = V <sub>CC</sub> or GND		25°C	3		pF	
C <sub>io(off)</sub>	A port: Switch input/output capacitance	3.3	V <sub>I</sub> = 5.5V, 3.3V, 0V	V <sub>IN</sub> = 0/V <sub>CC</sub> s.t switch is off	25°C	8		pF	
C <sub>io(on)</sub>	A port: Switch input/output capacitance	3.3	V <sub>I</sub> = 5.5V or 3.3V	V <sub>IN</sub> = 0/V <sub>CC</sub> s.t switch is on	25°C	6		pF	
C <sub>io(on)</sub>	A port: Switch input/output capacitance	3.3	V <sub>I</sub> = 0V	V <sub>IN</sub> = 0/V <sub>CC</sub> s.t switch is on	25°C	16		pF	
C <sub>io(off)</sub>	B port: Switch input/output capacitance	3.3	V <sub>I</sub> = 5.5V, 3.3V, 0V	V <sub>IN</sub> = 0/V <sub>CC</sub> s.t switch is off	25°C	5		pF	
C <sub>io(on)</sub>	B port: Switch input/output capacitance	3.3	V <sub>I</sub> = 5.5V or 3.3V	V <sub>IN</sub> = 0/V <sub>CC</sub> s.t switch is on	25°C	4		pF	
C <sub>io(on)</sub>	B port: Switch input/output capacitance	3.3	V <sub>I</sub> = 0V	V <sub>IN</sub> = 0/V <sub>CC</sub> s.t switch is on	25°C	16		pF	
V <sub>ik</sub>	Clamp voltage	3	I <sub>I</sub> = -18mA		−40°C to +85°C		-1.2	V	

## 5.6 Switching Characteristics 85C

over operating free-air temperature range (unless otherwise noted)<sup>(1) (2) (3)</sup>

PARAMETER WITH TEST CONDITIONS		FROM (INPUT)	TO (OUTPUT)	V <sub>CC</sub>	MIN	NOM	MAX	UNIT
t <sub>pd</sub>	R <sub>L</sub> = 1GΩ, C <sub>L</sub> = 30pF, V <sub>load</sub> = 0V. Calculated Tpd with switch resistance*CL	A or B	B or A	2.5 V ± 0.2 V			0.15	ns
t <sub>pd</sub>	R <sub>L</sub> = 1GΩ, C <sub>L</sub> = 50pF, V <sub>load</sub> = 0V. Calculated Tpd with switch resistance*CL	A or B	B or A	3.3 V ± 0.3 V			0.25	ns
t <sub>en</sub>	ZL: R <sub>L</sub> = 250Ω, C <sub>L</sub> = 30pF, V <sub>load</sub> = V <sub>CC</sub> , ZH: R <sub>L</sub> = 500Ω, C <sub>L</sub> = 30pF, V <sub>load</sub> = GND, 50ohm termination at input	OE	A or B	2.5 V ± 0.2 V	1		10.4	ns
t <sub>en</sub>	ZL: R <sub>L</sub> = 250Ω, C <sub>L</sub> = 50pF, V <sub>load</sub> = V <sub>CC</sub> , ZH: R <sub>L</sub> = 500Ω, C <sub>L</sub> = 50pF, V <sub>load</sub> = GND, 50ohm termination at input	OE	A or B	3.3 V ± 0.3 V	1		8.3	ns
t <sub>dis</sub>	LZ: R <sub>L</sub> = 250Ω, C <sub>L</sub> = 30pF, V <sub>load</sub> = V <sub>CC</sub> , V <sub>▲</sub> = 0.15V; HZ: R <sub>L</sub> = 500Ω, C <sub>L</sub> = 30pF, V <sub>load</sub> = GND, V <sub>▲</sub> = 0.15V; 50ohm termination at input	OE	A or B	2.5 V ± 0.2 V	1		7.4	ns
t <sub>dis</sub>	LZ: R <sub>L</sub> = 250Ω, C <sub>L</sub> = 50pF, V <sub>load</sub> = V <sub>CC</sub> , V <sub>▲</sub> = 0.3V; HZ: R <sub>L</sub> = 500Ω, C <sub>L</sub> = 50pF, V <sub>load</sub> = GND, V <sub>▲</sub> = 0.3V; 50ohm termination at input	OE	A or B	3.3 V ± 0.3 V	1		8	ns
t <sub>pd(s)</sub>	R <sub>L</sub> = 500Ω, C <sub>L</sub> = 30pF, V <sub>load</sub> = 0V. Vinut = 3.6V domain. 50ohm termination at input	S	A	2.5 V ± 0.2 V			13.4	ns
t <sub>pd(s)</sub>	R <sub>L</sub> = 500Ω, C <sub>L</sub> = 50pF, V <sub>load</sub> = 0V. Vinut = 5.5V domain. 50ohm termination at input	S	A	3.3 V ± 0.3 V			10.1	ns
t <sub>en(s)</sub>	ZL: R <sub>L</sub> = 250Ω, C <sub>L</sub> = 30pF, V <sub>load</sub> = V <sub>CC</sub> , ZH: R <sub>L</sub> = 500Ω, C <sub>L</sub> = 30pF, V <sub>load</sub> = GND; 50ohm termination at input	S	B	2.5 V ± 0.2 V	1		13	ns
t <sub>en(s)</sub>	ZL: R <sub>L</sub> = 250Ω, C <sub>L</sub> = 50pF, V <sub>load</sub> = V <sub>CC</sub> , ZH: R <sub>L</sub> = 500Ω, C <sub>L</sub> = 50pF, V <sub>load</sub> = GND; 50ohm termination at input	S	B	3.3 V ± 0.3 V	1		10.1	ns
t <sub>dis(s)</sub>	LZ: R <sub>L</sub> = 250Ω, C <sub>L</sub> = 30pF, V <sub>load</sub> = V <sub>CC</sub> , V <sub>▲</sub> = 0.15V; HZ: R <sub>L</sub> = 500Ω, C <sub>L</sub> = 30pF, V <sub>load</sub> = GND, V <sub>▲</sub> = 0.15V; 50ohm termination at input	S	B	2.5 V ± 0.2 V	1		9.1	ns
t <sub>dis(s)</sub>	LZ: R <sub>L</sub> = 250Ω, C <sub>L</sub> = 50pF, V <sub>load</sub> = V <sub>CC</sub> , V <sub>▲</sub> = 0.3V; HZ: R <sub>L</sub> = 500Ω, C <sub>L</sub> = 50pF, V <sub>load</sub> = GND, V <sub>▲</sub> = 0.3V; 50ohm termination at input	S	B	3.3 V ± 0.3 V	1		8.3	ns

- (1) t<sub>pd</sub> is the slower of t<sub>pLH</sub> or t<sub>pHL</sub>. The propagation delay is calculated RC time constant of the typical ON-state resistance of the switch and the specified load capacitance when driven by an ideal voltage source (zero output impedance).
- (2) t<sub>en</sub> is the slower of t<sub>pZL</sub> or t<sub>pZH</sub>.
- (3) t<sub>dis</sub> is the slower of t<sub>pLZ</sub> or t<sub>pHZ</sub>.

## 5.7 Typical Characteristics

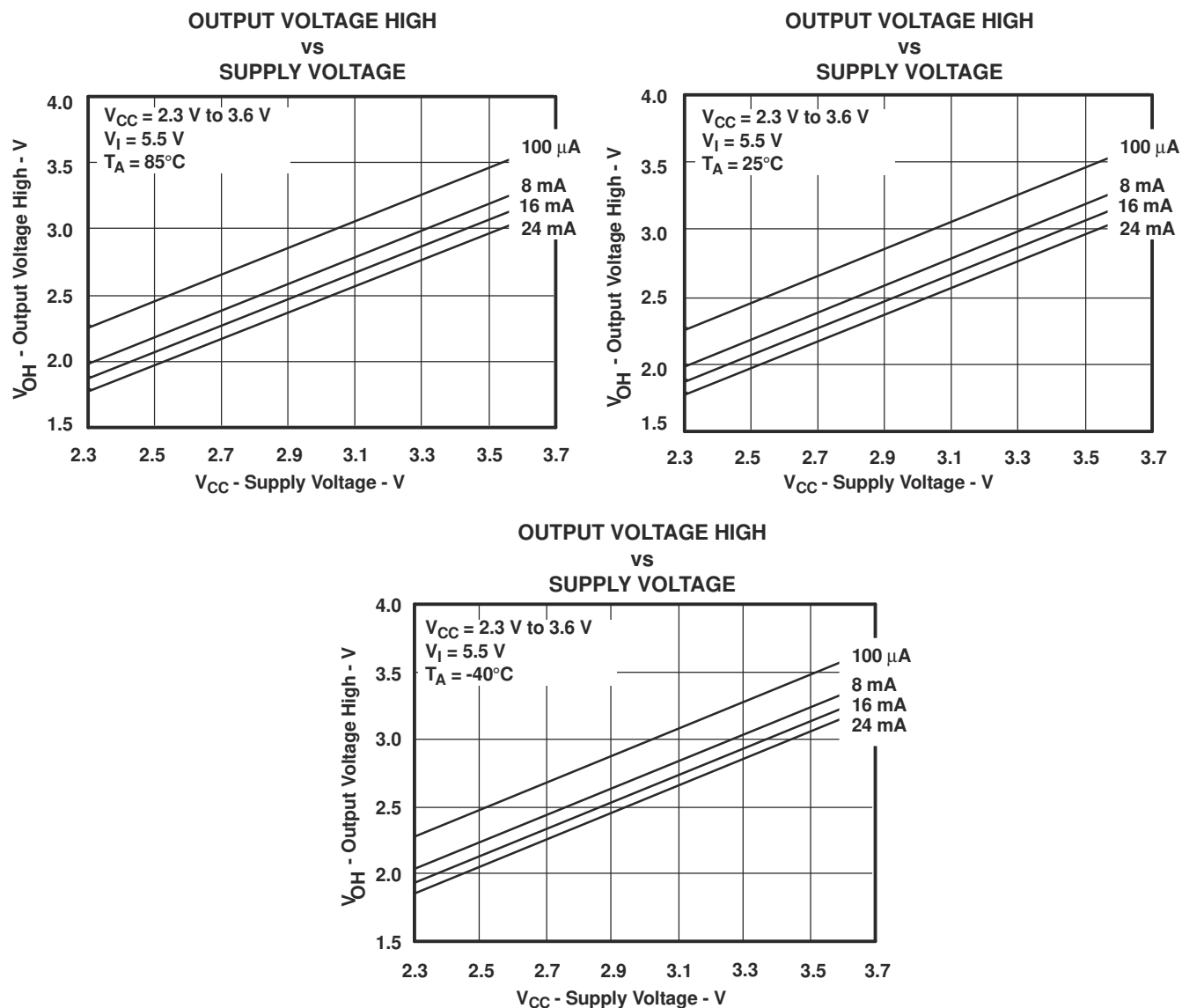
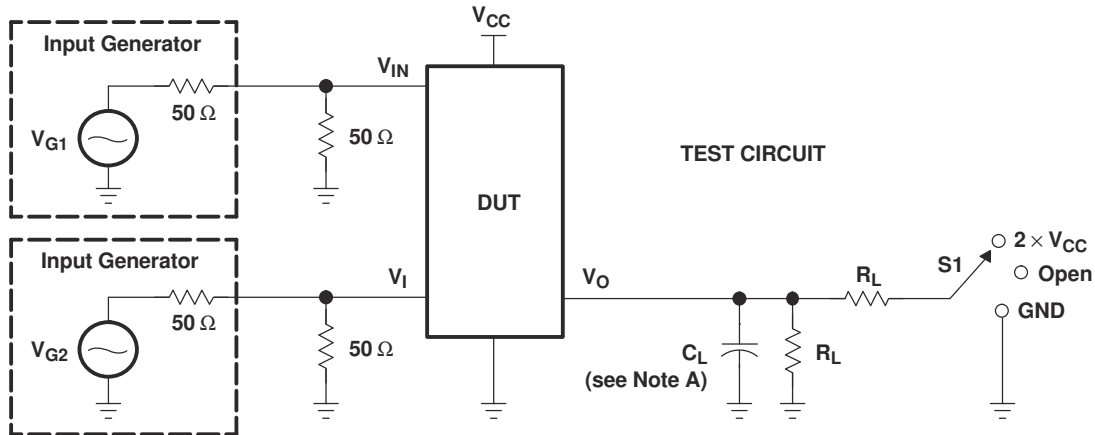


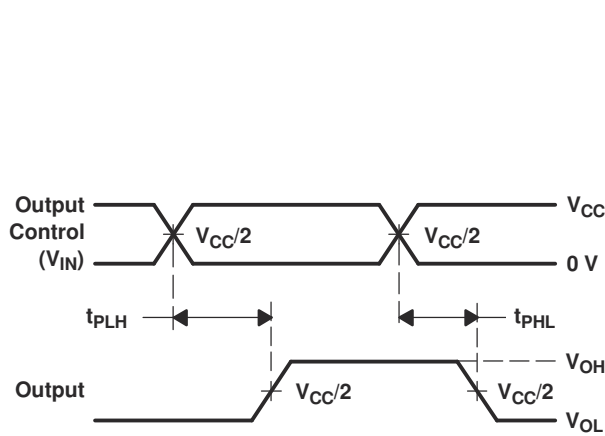
図 5-1.  $V_{OH}$  Values



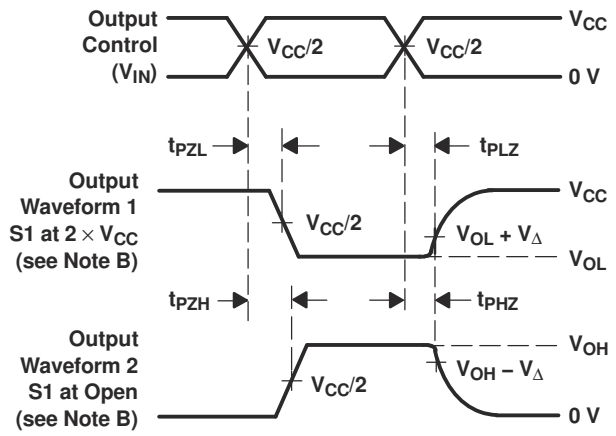
## 6 Parameter Measurement Information



TEST	V <sub>CC</sub>	S1	R <sub>L</sub>	V <sub>I</sub>	C <sub>L</sub>	V <sub>Δ</sub>
t <sub>pd(s)</sub>	2.5 V ± 0.2 V	Open	500 Ω	3.6 V or GND	30 pF	
	3.3 V ± 0.3 V	Open	500 Ω	5.5 V or GND	50 pF	
t <sub>PLZ</sub> /t <sub>PZL</sub>	2.5 V ± 0.2 V	2 × V <sub>CC</sub>	500 Ω	GND	30 pF	0.15 V
	3.3 V ± 0.3 V	2 × V <sub>CC</sub>	500 Ω	GND	50 pF	0.3 V
t <sub>PHZ</sub> /t <sub>PZH</sub>	2.5 V ± 0.2 V	Open	500 Ω	3.6 V	30 pF	0.15 V
	3.3 V ± 0.3 V	Open	500 Ω	5.5 V	50 pF	0.3 V



**VOLTAGE WAVEFORMS  
PROPAGATION DELAY TIMES (t<sub>pd(s)</sub>)**



**VOLTAGE WAVEFORMS  
ENABLE AND DISABLE TIMES**

- NOTES: A. C<sub>L</sub> includes probe and jig capacitance.  
B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.  
C. All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, Z<sub>O</sub> = 50 Ω, t<sub>r</sub> ≤ 2.5 ns, t<sub>f</sub> ≤ 2.5 ns.  
D. The outputs are measured one at a time, with one transition per measurement.  
E. t<sub>PLZ</sub> and t<sub>PHZ</sub> are the same as t<sub>dis</sub>.  
F. t<sub>PZL</sub> and t<sub>PZH</sub> are the same as t<sub>en</sub>.  
G. t<sub>PLH</sub> and t<sub>PHL</sub> are the same as t<sub>pd(s)</sub>. The t<sub>pd</sub> propagation delay is the calculated RC time constant of the typical ON-state resistance of the switch and the specified load capacitance, when driven by an ideal voltage source (zero output impedance).  
H. All parameters and waveforms are not applicable to all devices.

**6-1. Test Circuit and Voltage Waveforms**

## 7 Detailed Description

### 7.1 Overview

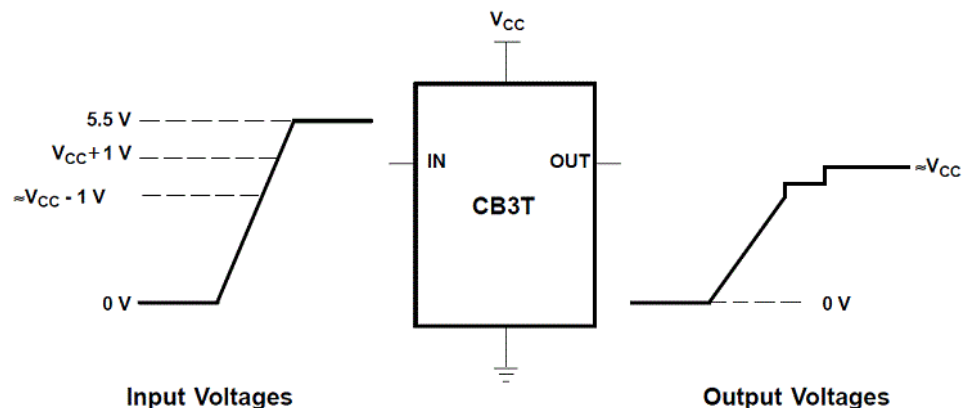
The SN74CB3T3257 is a high-speed TTL-compatible FET multiplexer/demultiplexer with low ON-state resistance ( $r_{on}$ ), allowing for minimal propagation delay. The device fully supports mixed-mode signal operation on all data I/O ports by providing voltage translation that tracks  $V_{CC}$ . The SN74CB3T3257 supports systems using 5V TTL, 3.3V LVTTTL, and 2.5V CMOS switching standards, as well as user-defined switching levels (see 標準的な DC 電圧変換特性).

The SN74CB3T3257 is a 4-bit 1-of-2 multiplexer/demultiplexer with a single output-enable ( $\overline{OE}$ ) input. The select (S) input controls the data path of the multiplexer/demultiplexer. When  $\overline{OE}$  is low, the multiplexer/demultiplexer is enabled, and the A port is connected to the B port, allowing bidirectional data flow between ports. When  $\overline{OE}$  is high, the multiplexer/demultiplexer is disabled, and a high-impedance state exists between the A and B ports.

This device is fully specified for partial-power-down applications using  $I_{off}$ . The  $I_{off}$  feature verifies that damaging current does not backflow through the device when the device is powered down. The device has isolation during power off.

To confirm the high-impedance state during power up or power down, tie  $\overline{OE}$  to  $V_{CC}$  through a pullup resistor; the minimum value of the resistor is determined by the current-sinking capability of the driver.

### 7.2 Functional Block Diagram



If the input high voltage ( $V_{IH}$ ) level is greater than or equal to  $V_{CC} + 1\text{ V}$ , and less than or equal to 5.5 V, the output high voltage ( $V_{OH}$ ) level will be equal to approximately the  $V_{CC}$  voltage level.

図 7-1. Typical DC Voltage-Translation Characteristics

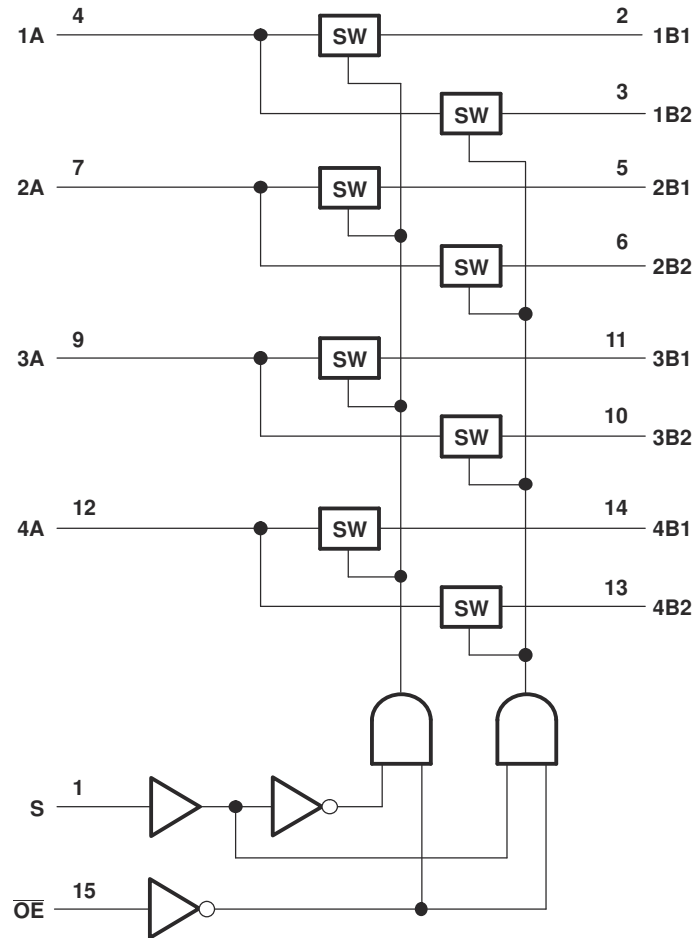
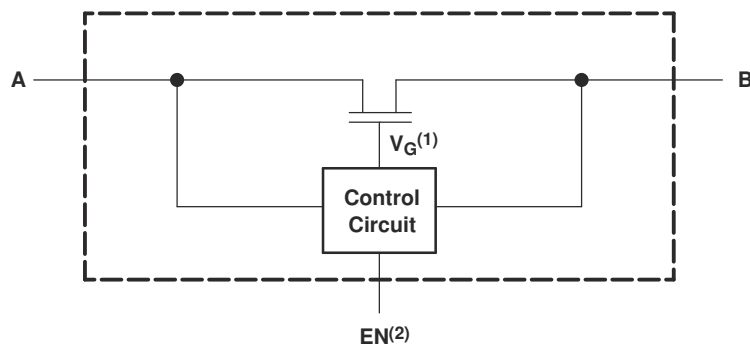


図 7-2. Logic Diagram (Positive Logic)



- (1) Gate voltage ( $V_G$ ) is approximately equal to  $V_{CC} + V_T$  when the switch is ON and  $V_I > V_{CC} + V_T$ .  
(2) EN is the internal enable signal applied to the switch.

図 7-3. Simplified Schematic, Each FET Switch (SW)

## 7.3 Feature Description

The SN74CB3T3257 features 5Ω switch connection between ports, allowing for low signal loss across the switch. Rail-to-rail switching on data I/O allows for full voltage swing outputs.  $I_{off}$  supports partial-power-down mode operation, protecting the chip from voltages at output ports when it is not powered on. Latch-up performance exceeds 250mA per JESD 17.

## 7.4 Device Functional Modes

表 7-1 shows the functional modes of SN74CBTLV3257.

表 7-1. Function Table

INPUTS		FUNCTION
OE	S	
L	L	A port = B1 port
L	H	A port = B2 port
H	X	Disconnect

## 8 Application and Implementation

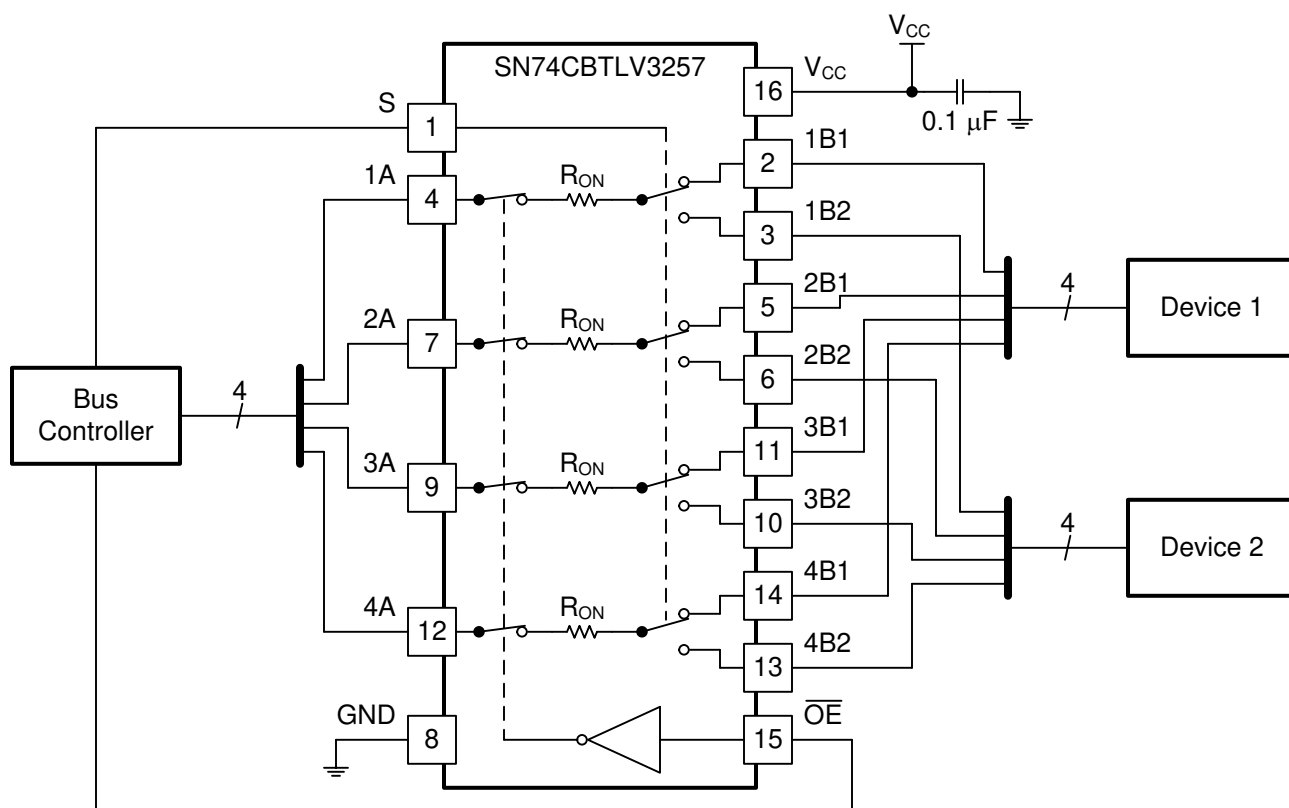
注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

## 8.1 Application Information

The SN74CB3T3257 is used to multiplex and demultiplex up to 4 channels simultaneously in a 2:1 configuration. The application shown here is a 4-bit bus, multiplexed between two devices. The  $\overline{OE}$  and S pins are used to control the chip from the bus controller. This is a generic example, and can apply to many situations. If an application requires less than 4 bits, tie the A side to either high or low on unused channels.

## 8.2 Typical Application



### ■ 8-1. Typical Application of the SN74CBTLV3257

### 8.2.1 Design Requirements

- Recommended Input Conditions:
  - For specified high and low levels, see  $V_{IH}$  and  $V_{IL}$  in [セクション 5.3](#).
  - Inputs and outputs are overvoltage tolerant allowing them to go as high as 4.6V at any valid  $V_{CC}$ .
- Recommended Output Conditions:
  - Load currents must not exceed  $\pm 128\text{mA}$  per channel.
- Frequency Selection Criterion:
  - Maximum frequency tested is 200MHz.
  - Added trace resistance/capacitance can reduce maximum frequency capability; use layout practices as directed in [セクション 8.4](#).

### 8.2.2 Detailed Design Procedure

The 4-bit bus is connected directly to the 1A, 2A, 3A, and 4A ports (known as the xA port) on the SN74CBTLV3257. This splits into two busses, out of the xB1 and xB2 ports. When S is high, xB2 is the active bus, and when S is low, xB1 is the active bus. This means that Device 2 is connected to the bus controller when S is high, and Device 1 is connected to the bus controller when S is low. This setup is useful when two devices are hard coded with the same address and only one bus is available. The  $\overline{OE}$  connection can be used to disconnect all devices from the bus controller if necessary.

The 0.1 $\mu\text{F}$  capacitor on  $V_{CC}$  is a decoupling capacitor and must be placed as close as possible to the device.

### 8.2.3 Application Performance Plots

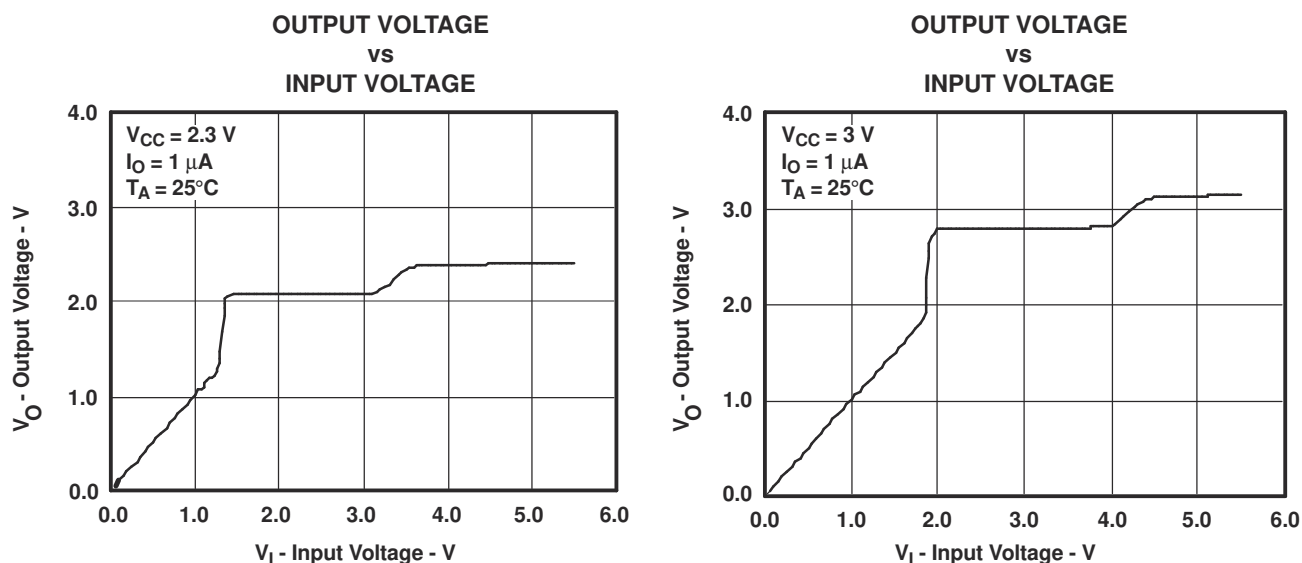


図 8-2. Data Output Voltage vs Data Input Voltage

## 8.3 Power Supply Recommendations

The power supply can be any voltage between the minimum and maximum supply voltage rating listed in the [セクション 5.3](#) table.

Each  $V_{CC}$  terminal must have a good bypass capacitor to prevent power disturbance. For devices with a single supply, a  $0.1\mu\text{F}$  bypass capacitor is recommended. If multiple pins are labeled  $V_{CC}$ , then a  $0.01\mu\text{F}$  or  $0.022\mu\text{F}$  capacitor is recommended for each  $V_{CC}$  because the  $V_{CC}$  pins are tied together internally. For devices with dual-supply pins operating at different voltages, for example  $V_{CC}$  and  $V_{DD}$ , a  $0.1\mu\text{F}$  bypass capacitor is recommended for each supply pin. To reject different frequencies of noise, use multiple bypass capacitors in parallel. Capacitors with values of  $0.1\mu\text{F}$  and  $1\mu\text{F}$  are commonly used in parallel. The bypass capacitor must be installed as close to the power terminal as possible for best results.

## 8.4 Layout

### 8.4.1 Layout Guidelines

Reflections and matching are closely related to the loop antenna theory but are different enough to be discussed separately from the theory. When a PCB trace turns a corner at a  $90^\circ$  angle, a reflection can occur. A reflection occurs primarily because of the change of width of the trace. At the apex of the turn, the trace width increases to 1.414 times the width. This increase upsets the transmission-line characteristics, especially the distributed capacitance and self-inductance of the trace which results in the reflection. Not all PCB traces can be straight and therefore some traces must turn corners. [図 8-3](#) shows progressively better techniques of rounding corners. Only the last example (BEST) maintains constant trace width and minimizes reflections.

### 8.4.2 Layout Example

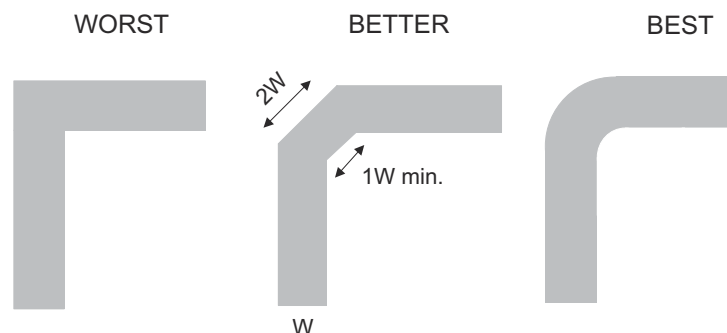


図 8-3. Trace Example

## 9 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

### 9.1 Documentation Support

#### Related Documentation

For related documentation see the following:

- Texas Instruments, [Implications of Slow or Floating CMOS Inputs](#)
- Texas Instruments, [Selecting the Right Texas Instruments Signal Switch](#)

#### 9.1.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

#### 9.1.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

#### 9.1.3 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

#### 9.1.4 用語集

##### テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。



## 10 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (October 2003) to Revision A (May 2025)	Page
<ul style="list-style-type: none"> <li>「ピン構成および機能」、「仕様」、「ESD 定格」、「熱に関する情報」、「概要」、「機能ブロック図」、「デバイスの機能モード」、「アプリケーションと実装」、「代表的なアプリケーション」、「電源に関する推奨事項」、「レイアウト」、「レイアウトのガイドライン」、「レイアウト例」、「デバイスおよびドキュメントのサポート」、「メカニカル、パッケージ、および注文情報」セクションを追加.....</li> <li>ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....</li> <li>Updated specs in the <a href="#">Electrical Characteristics</a> table.....</li> <li>Updated specs in the <a href="#">Switching Characteristics 85C</a> table.....</li> </ul>	<p>1</p> <p>1</p> <p>6</p> <p>7</p>

DATE	REVISION	NOTES
October 2003	*	Initial Release

## 11 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2025, Texas Instruments Incorporated

## PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">SN74CB3T3257DGVR</a>	Active	Production	TVSOP (DGV)   16	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS257
SN74CB3T3257DGVR.B	Active	Production	TVSOP (DGV)   16	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS257
SN74CB3T3257DGVRG4	Active	Production	TVSOP (DGV)   16	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS257
SN74CB3T3257DGVRG4.B	Active	Production	TVSOP (DGV)   16	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS257
<a href="#">SN74CB3T3257PW</a>	Obsolete	Production	TSSOP (PW)   16	-	-	Call TI	Call TI	-40 to 85	KS257
<a href="#">SN74CB3T3257PWR</a>	Active	Production	TSSOP (PW)   16	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS257
SN74CB3T3257PWR.A	Active	Production	TSSOP (PW)   16	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS257
SN74CB3T3257PWR.B	Active	Production	TSSOP (PW)   16	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS257

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

## TAPE AND REEL INFORMATION



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74CB3T3257DGVR	TVSOP	DGV	16	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1

## TAPE AND REEL BOX DIMENSIONS



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74CB3T3257DGVR	TVSOP	DGV	16	2000	353.0	353.0	32.0

## DGV (R-PDSO-G\*\*)

## PLASTIC SMALL-OUTLINE

24 PINS SHOWN



- NOTES: A. All linear dimensions are in millimeters.  
 B. This drawing is subject to change without notice.  
 C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.  
 D. Falls within JEDEC: 24/48 Pins – MO-153  
 14/16/20/56 Pins – MO-194



## PACKAGE OUTLINE

## TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



# EXAMPLE BOARD LAYOUT

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月