SN74AUP2G14 低消費電力、デュアル シュミット トリガ インバータ

1 特長

- テキサス インスツルメンツの NanoStar™ パッケージで提供
- 低い静的消費電力 (I_{CC} = 0.9µA、最大値)
- 小さい動的消費電力 (3.3V で C_{pd} = 4.3pF、標準値)
- 低い入力容量 (C_i = 1.5pF、標準値)
- 小さいノイズ – オーバーシュートおよびアンダーシュートは V_{CC} の 10% 未満
- I_{off} により部分的パワーダウン モードでの動作をサポート
- 広い動作 V_{CC} 範囲:0.8V～3.6V
- 3.3 V 動作に最適化
- 3.6V I/O 許容で混在モードの信号動作に対応
- 3.3V で t_{pd} = 4.3ns (最大値)
- ポイント ツー ポイントのアプリケーションに好適
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能
- JESD 22 準拠で ESD 性能を試験済み
  - 人体モデルで 2000V (A114-B、クラス II)
  - 1000V、デバイス帯電モデル (C101)

2 アプリケーション

- 車体制御モジュール
- エンジン制御モジュール
- サーバーと高性能コンピューティング
- EPOS、ECR、キャッシュドロア
- ルーター
- デスクトップ PC

3 説明

AUP ファミリは、バッテリー駆動のポータブル アプリケーションに対する低消費電力ニーズに応える最適ソリューションです。このファミリは、V_{CC} 範囲全体の 0.8V から 3.6V にわたって静的消費電力および動的消費電力を抑えることでバッテリー寿命を延ばします (図 5-1 を参照)。また、この製品は優れたシグナルインテグリティを維持します (図 5-2 に示す極めて小さいアンダーシュート/オーバーシュート特性を参照してください)。

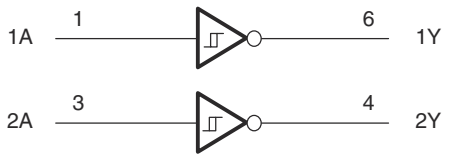
SN74AUP2G14 は、2 個のインバータを内蔵しており、ブール関数 $Y = \overline{A}$ を実行します。このデバイスは独立した 2 個のインバータとして機能しますが、シュミット動作が原因で、正方向の (V_{T+}) 信号と負方向の (V_{T-})信号に対する入力スレッショルド レベルが異なることがあります 。

ダイをパッケージとして使用する NanoStar™ パッケージ技術は、IC パッケージの概念を大きく覆すものです。

このデバイスは、I_{off} を使用する部分的パワーダウン アプリケーション用の動作が完全に規定されています。I_{off} 回路で出力をディセーブルすることにより、電源切断時にデバイスに電流が逆流して損傷するのを回避できます。

製品情報

部品番号	パッケージ	本体サイズ (公称)
SN74AUP2G14DCK	SC70 (6)	2.00mm × 1.25mm
SN74AUP2G14DRY	SON (6)	1.45mm × 1.00mm
SN74AUP2G14DSF	SON (6)	1.00mm × 1.00mm
SN74AUP2G14YFP	DSBGA (6)	1.00mm × 1.40mm



論理図 (正論理)

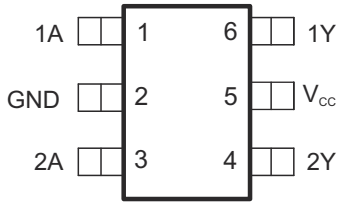
このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....5
5.4 熱に関する情報.....5
5.5 電気的特性.....6
5.6 スイッチング特性.....7
5.7 スイッチング特性.....7
5.8 スイッチング特性.....7
5.9 スイッチング特性.....7
5.10 動作特性.....8
5.11 代表的特性.....8
6 パラメータ測定情報.....9
6.1 伝搬遅延、セットアップ時間とホールド時間、およびパルス幅.....11
6.2 イネーブルおよびディセーブル時間.....12
7 詳細説明.....13
7.1 概要.....13
7.2 機能ブロック図.....13
7.3 機能説明.....13
7.4 デバイスの機能モード.....13
8 アプリケーションと実装.....14
8.1 アプリケーション情報.....14
8.2 代表的なアプリケーション.....14
8.3 電源に関する推奨事項.....15
8.4 レイアウト.....15
9 デバイスおよびドキュメントのサポート.....17
9.1 ドキュメントのサポート.....17
9.2 ドキュメントの更新通知を受け取る方法.....17
9.3 サポート・リソース.....17
9.4 商標.....17
9.5 静電気放電に関する注意事項.....17
9.6 用語集.....17
10 改訂履歴.....17
11 メカニカル、パッケージ、および注文情報.....18

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能



寸法については、機械的な図を参照してください。

図 4-1. DCK パッケージ、 6 ピン SC70 (上面図)

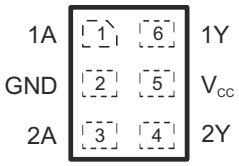


図 4-2. DRY パッケージ 6 ピン USON 上面図

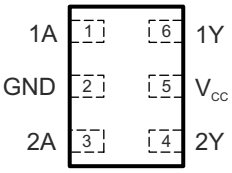


図 4-3. DSF パッケージ 6 ピン X2SON 上面図

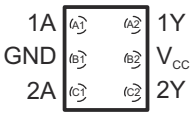


図 4-4. YFP パッケージ 6 ピン DSBGA 上面図

表 4-1. ピンの機能

ピン					I/O	説明
名称	DCK	DRY	DSF	YFP		
1A	1	1	1	A1	II	ゲート 1 論理信号
GND	2	2	2	B1	—	グランド
2A	3	3	3	C1	I	ゲート 2 論理信号
1Y	6	6	6	A2	O	ゲート 1 の反転信号
V_{CC}	5	5	5	B2	—	供給ピン/電源ピン
2Y	4	4	4	C2	O	ゲート 2 の反転信号

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧		-0.5	4.6	V
V_I	入力電圧 (2)		-0.5	4.6	V
V_O	高インピーダンスまたは電源オフ状態で出力に印加される電圧範囲(2)		-0.5	4.6	V
V_O	High または Low 状態の出力電圧範囲(2)		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流	V_I < 0		-50	mA
I_{OK}	出力クランプ電流	V_O < 0		-50	mA
I_O	連続出力電流			±20	mA
	V_{CC} または GND を通過する連続電流			±50	mA
T_{stg}	保存温度		-65	150	℃

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値と等しい、またはそれを超える条件で本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 入力と出力の電流の定格を順守しても、入力の負電圧と出力電圧の定格を超えることがあります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

Copyright © 2025 Texas Instruments Incorporated

5.3 推奨動作条件

(1) を参照

			最小値	最大値	単位
V_{CC}	電源電圧		0.8	3.6	V
V_I	入力電圧		0	3.6	V
V_O	出力電圧		0	V_{CC}	V
I_{OH}	High レベル出力電流	V_{CC} = 0.8V		-20	μA
		V_{CC} = 1.1V		-1.1	mA
		V_{CC} = 1.4V		-1.7	
		V_{CC} = 1.65V		-1.9	
		V_{CC} = 2.3V		-3.1	
		V_{CC} = 3V		-4	
I_{OL}	Low レベル出力電流	V_{CC} = 0.8V		20	μA
		V_{CC} = 1.1V		1.1	mA
		V_{CC} = 1.4V		1.7	
		V_{CC} = 1.65V		1.9	
		V_{CC} = 2.3V		3.1	
		V_{CC} = 3V		4	
T_A	自由空気での動作温度		-40	85	℃

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。*『低速またはフローティング CMOS 入力の影響』を参照してください*。

5.4 熱に関する情報

熱評価基準(1)		SN74AUP2G14				単位
		DRY (SON)	DSF (SON)	YFP (DSBGA)	DCK (SC70)	
		ピン	ピン	ピン	ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	234	300	132	252	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	T_A = 25℃			T_A = –40℃～85℃		単位
			最小値	標準値	最大値	最小値	最大値	
V_{T+} 順方向 入力のしきい値 電圧		0.8V	0.3		0.6	0.3	0.6	V
		1.1V	0.53		0.9	0.53	0.9	
		1.4V	0.74		1.11	0.74	1.11	
		1.65V	0.91		1.29	0.91	1.29	
		2.3V	1.37		1.77	1.37	1.77	
		3V	1.88		2.29	1.88	2.29	
V_{T-} 逆方向 入力のしきい値 電圧		0.8V	0.1		0.6	0.1	0.6	V
		1.1V	0.26		0.65	0.26	0.65	
		1.4V	0.39		0.75	0.39	0.75	
		1.65V	0.47		0.84	0.47	0.84	
		2.3V	0.69		1.04	0.69	1.04	
		3V	0.88		1.24	0.88	1.24	
ΔV_T ヒステリシス (V_{T+} - V_{T-})		0.8V	0.07		0.5	0.07	0.5	V
		1.1V	0.08		0.46	0.08	0.46	
		1.4V	0.18		0.56	0.18	0.56	
		1.65V	0.27		0.66	0.27	0.66	
		2.3V	0.53		0.92	0.53	0.92	
		3V	0.79		1.31	0.79	1.31	
V_{OH}	I_{OH} = –20μA	0.8V ～ 3.6V	V_{CC} - 0.1			V_{CC} - 0.1		V
	I_{OH} = -1.1mA	1.1V	0.75 × V_{CC}			0.7 × V_{CC}		
	I_{OH} = -1.7mA	1.4V	1.11			1.03		
	I_{OH} = -1.9mA	1.65V	1.32			1.3		
	I_{OH} = -2.3mA	2.3V	2.05			1.97		
	I_{OH} = -3.1mA		1.9			1.85		
	I_{OH} = -2.7mA	3V	2.72			2.67		
	I_{OH} = -4mA		2.6			2.55		
V_{OL}	I_{OL} = 20μA	0.8V ～ 3.6V			0.1		0.1	V
	I_{OL} = 1.1mA	1.1V			0.3 × V_{CC}		0.3 × V_{CC}	
	I_{OL} = 1.7mA	1.4V			0.31		0.37	
	I_{OL} = 1.9mA	1.65V			0.31		0.35	
	I_{OL} = 2.3mA	2.3V			0.31		0.33	
	I_{OL} = 3.1mA				0.44		0.45	
	I_{OL} = 2.7mA	3V			0.31		0.33	
	I_{OL} = 4mA				0.44		0.45	
I_I A または B 入力	V_I = GND～3.6V	0V ～ 3.6V			0.1		0.5	μA
I_{off}	V_I または V_O = 0V～3.6V	0V			0.2		0.6	μA
ΔI_{off}	V_I または V_O = 0V～3.6V	0V ～ 0.2V			0.2		0.6	μA
I_{CC}	V_I = GND または (V_{CC} ～ 3.6V)、I_O = 0	0.8V ～ 3.6V			0.5		0.9	μA
ΔI_{CC}	V_I = V_{CC} – 0.6V(1)、I_O = 0	3.3V			40		50	μA
C_i	V_I = V_{CC} または GND	0V		1.5				pF
		3.6V		1.5				
C_O	V_O = GND	0V		3				pF

(1) 1 つの入力は V_{CC} - 0.6V、その他の入力は V_{CC} または GND

Copyright © 2025 Texas Instruments Incorporated

5.6 スイッチング特性

自由空気での推奨動作温度範囲を超えた場合、スイッチング特性を参照してください：C_L = 5pF（特に注記のない限り）（図 6-3 および図 6-4 を参照）

パラメータ	始点 (入力)	終点 (出力)	V_{CC}	T_A = 25℃			T_A = –40℃～85℃		単位
				最小値	標準値	最大値	最小値	最大値	
t_{pd}	A	Y	0.8V		18				ns
			1.2V ± 0.1V	2.6	7.3	12.8	2.1	15.6	
			1.5V ± 0.1V	1.4	5.2	8.7	0.9	10.3	
			1.8V ± 0.15V	1	4.2	6.6	0.5	8.2	
			2.5V ± 0.2V	1	3	4.4	0.5	5.5	
			3.3V ± 0.3V	1	2.4	3.5	0.5	4.3	

5.7 スイッチング特性

自由気流での推奨動作温度範囲を超えた場合、C_L = 10pF (特に注記のない限り) (図 6-3 および図 6-4 を参照)

パラメータ	始点 (入力)	終点 (出力)	V_{CC}	T_A = 25℃			T_A = –40℃～85℃		単位
				最小値	標準値	最大値	最小値	最大値	
t_{pd}	A	Y	0.8V		18.4				ns
			1.2V ± 0.1V	4.6	7.9	13.4	1.3	16.7	
			1.5V ± 0.1V	4	6	9.6	2.2	11.8	
			1.8V ± 0.15V	3.6	5	7.9	2.4	9.5	
			2.5V ± 0.2V	3.2	4	5.5	2.3	6.8	
			3.3V ± 0.3V	2.9	3.5	4.6	2.1	5.6	

5.8 スイッチング特性

自由気流での推奨動作温度範囲を超えた場合、C_L = 15pF (特に注記のない限り) (図 6-3 および図 6-4 を参照)

パラメータ	始点 (入力)	終点 (出力)	V_{CC}	T_A = 25℃			T_A = –40℃～85℃		単位
				最小値	標準値	最大値	最小値	最大値	
t_{pd}	A	Y	0.8V		24				ns
			1.2V ± 0.1V	3.6	9.9	16.3	3.1	19.9	
			1.5V ± 0.1V	2.3	7.2	11.1	1.8	13.2	
			1.8V ± 0.15V	1.6	5.8	8.7	1.1	10.6	
			2.5V ± 0.2V	1	4.3	5.9	0.5	7.3	
			3.3V ± 0.3V	1	3.4	4.8	0.5	5.9	

5.9 スイッチング特性

自由気流での推奨動作温度範囲を超えた場合、C_L = 30pF (特に注記のない限り) (図 6-3 および図 6-4 を参照)

パラメータ	始点 (入力)	終点 (出力)	V_{CC}	T_A = 25℃			T_A = –40℃～85℃		単位
				最小値	標準値	最大値	最小値	最大値	
t_{pd}	A	Y	0.8V		32.8				ns
			1.2V ± 0.1V	4.9	13.1	20.9	4.4	25.5	
			1.5V ± 0.1V	3.4	9.5	14.2	2.9	16.9	
			1.8V ± 0.15V	2.5	7.7	11	2	13.5	
			2.5V ± 0.2V	1.8	5.7	7.6	1.3	9.4	
			3.3V ± 0.3V	1.5	4.7	6.2	1	7.5	

Copyright © 2025 Texas Instruments Incorporated

5.10 動作特性

T_A = 25°C

パラメータ	テスト条件	V_{CC}	標準値	単位
C_{pd} 電力散逸容量	f = 10MHz	0.8V	4	pF
		1.2V ± 0.1V	4	
		1.5V ± 0.1V	4	
		1.8V ± 0.15V	4	
		2.5V ± 0.2V	4.1	
		3.3V ± 0.3V	4.3	

5.11 代表的特性

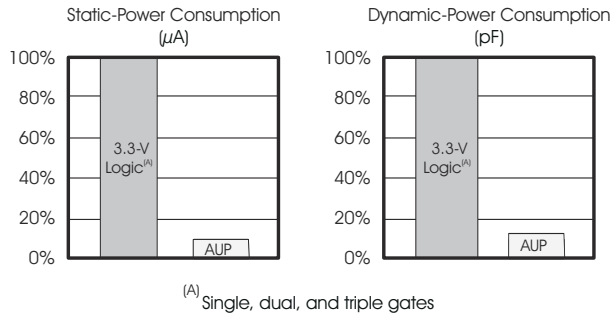


図 5-1. AUP – 最も低い消費電力のファミリ

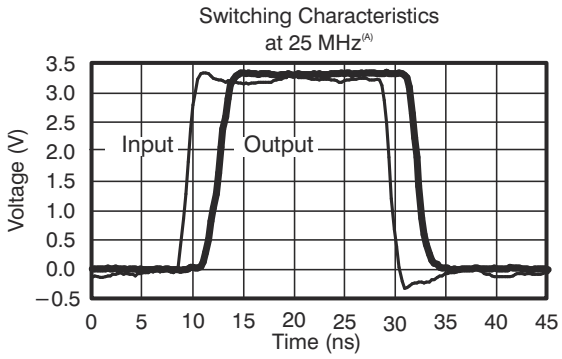
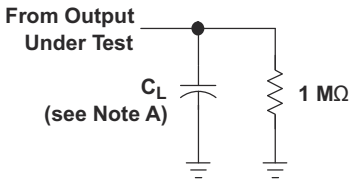


図 5-2. 優れたシグナル インテグリティ

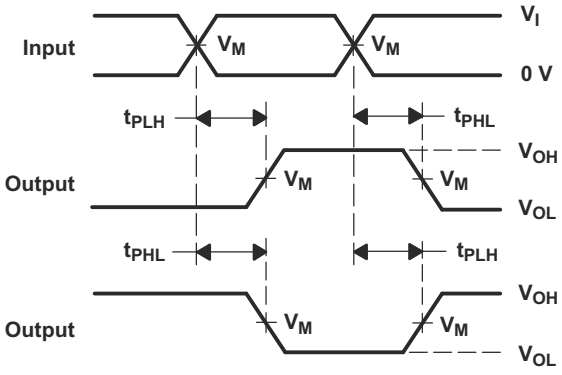
Copyright © 2025 Texas Instruments Incorporated

6 パラメータ測定情報

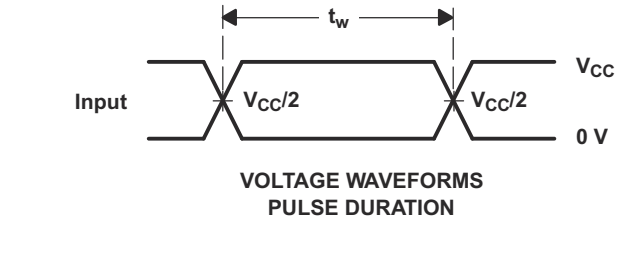


LOAD CIRCUIT

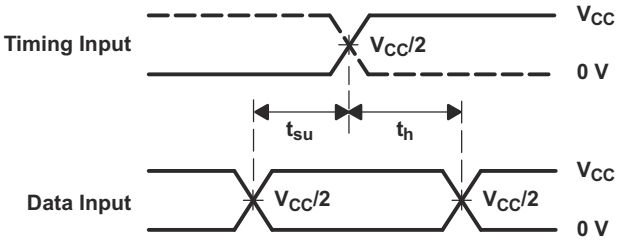
	V_{CC} = 0.8 V	V_{CC} = 1.2 V ± 0.1 V	V_{CC} = 1.5 V ± 0.1 V	V_{CC} = 1.8 V ± 0.15 V	V_{CC} = 2.5 V ± 0.2 V	V_{CC} = 3.3 V ± 0.3 V
C_L V_M V_I	5, 10, 15, 30 pF $V_{CC}/2$ V_{CC}	5, 10, 15, 30 pF $V_{CC}/2$ V_{CC}	5, 10, 15, 30 pF $V_{CC}/2$ V_{CC}	5, 10, 15, 30 pF $V_{CC}/2$ V_{CC}	5, 10, 15, 30 pF $V_{CC}/2$ V_{CC}	5, 10, 15, 30 pF $V_{CC}/2$ V_{CC}



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



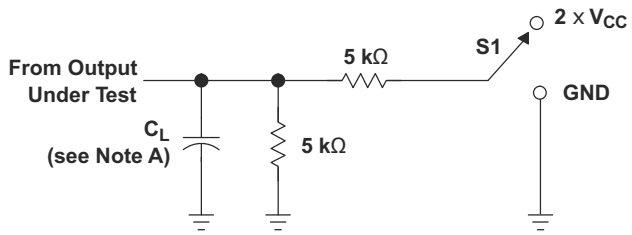
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES

A. C_L にはプローブと治具の容量が含まれます。
B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルになっている場合は除きます。波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルになっている場合は除きます。
C. すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≤ 10 MHz、Z_O = 50 Ω、伝搬遅延 t_r/t_f = 3ns の場合、セットアップ、ホールド時間およびパルス幅 t_r/t_f = 1.2ns の場合。
D. 出力は一度に 1 つずつ測定され、測定するたびに 1 回遷移します。
E. t_{PLH} と t_{PHL} は t_{pd} と同じです。
F. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

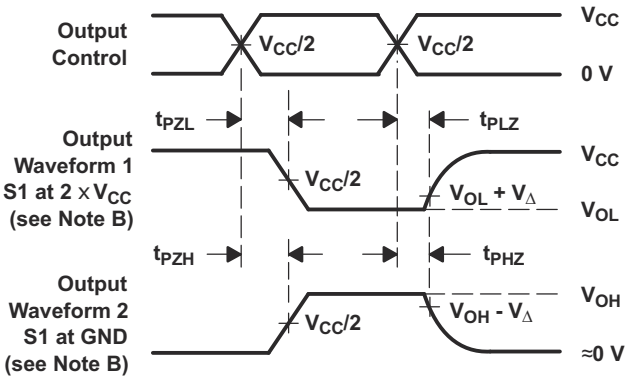
図 6-1. 負荷回路および電圧波形



TEST	S1
t_{PLZ}/t_{PZL} t_{PHZ}/t_{PZH}	2 × V_{CC} GND

LOAD CIRCUIT

	V_{CC} = 0.8 V	V_{CC} = 1.2 V ± 0.1 V	V_{CC} = 1.5 V ± 0.1 V	V_{CC} = 1.8 V ± 0.15 V	V_{CC} = 2.5 V ± 0.2 V	V_{CC} = 3.3 V ± 0.3 V
C_L	5, 10, 15, 30 pF	5, 10, 15, 30 pF	5, 10, 15, 30 pF	5, 10, 15, 30 pF	5, 10, 15, 30 pF	5, 10, 15, 30 pF
V_M	$V_{CC}/2$	$V_{CC}/2$	$V_{CC}/2$	$V_{CC}/2$	$V_{CC}/2$	$V_{CC}/2$
V_I	V_{CC}	V_{CC}	V_{CC}	V_{CC}	V_{CC}	V_{CC}
V_Δ	0.1 V	0.1 V	0.1 V	0.15 V	0.15 V	0.3 V



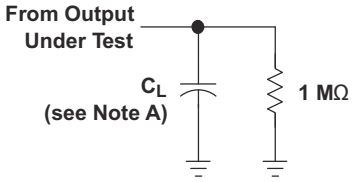
VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

A. C_L にはプローブと治具の容量が含まれます。
B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルになっている場合は除きます。波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルになっている場合は除きます。
C. すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≦ 10MHz、Z_O = 50Ω、t_r/t_f = 3ns。
D. 出力は一度に 1 つずつ測定され、測定するたびに 1 回遷移します。
E. t_{PLZ} と t_{PHZ} は t_{dis} と同じです。
F. t_{PLH} と t_{PHL} は t_{pd} と同じです。
G. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 6-2. 負荷回路および電圧波形

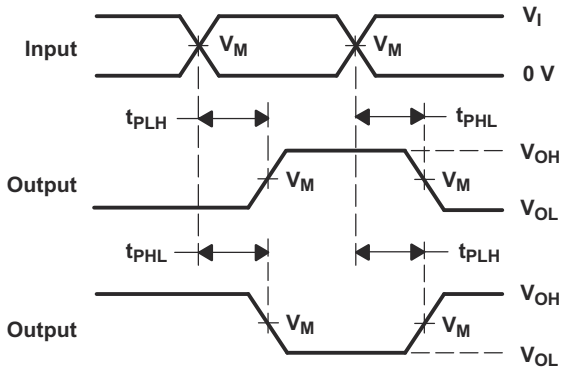
Copyright © 2025 Texas Instruments Incorporated

6.1 伝搬遅延、セットアップ時間とホールド時間、およびパルス幅

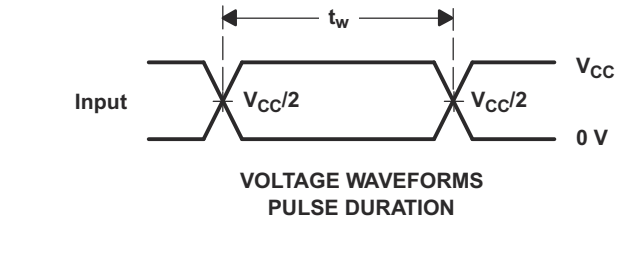


LOAD CIRCUIT

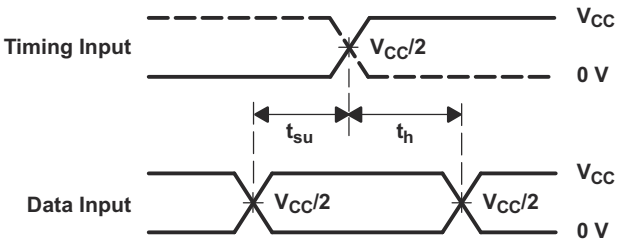
	V_{CC} = 0.8 V	V_{CC} = 1.2 V ± 0.1 V	V_{CC} = 1.5 V ± 0.1 V	V_{CC} = 1.8 V ± 0.15 V	V_{CC} = 2.5 V ± 0.2 V	V_{CC} = 3.3 V ± 0.3 V
C_L V_M V_I	5, 10, 15, 30 pF $V_{CC}/2$ V_{CC}	5, 10, 15, 30 pF $V_{CC}/2$ V_{CC}	5, 10, 15, 30 pF $V_{CC}/2$ V_{CC}	5, 10, 15, 30 pF $V_{CC}/2$ V_{CC}	5, 10, 15, 30 pF $V_{CC}/2$ V_{CC}	5, 10, 15, 30 pF $V_{CC}/2$ V_{CC}



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
PULSE DURATION



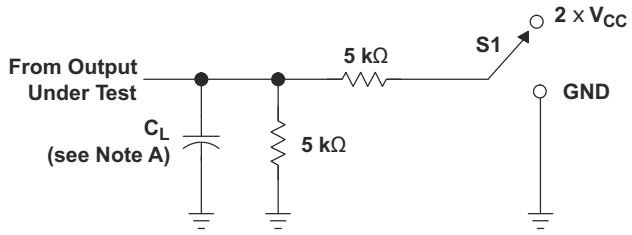
VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES

A. C_L にはプローブと治具の容量が含まれます。
B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルになっている場合は除きます。波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルになっている場合は除きます。
C. すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≤ 10 MHz、Z_O = 50 Ω、伝搬遅延 t_r/t_f = 3ns の場合、セットアップ、ホールド時間およびパルス幅 t_r/t_f = 1.2ns の場合。
D. 出力は一度に 1 つずつ測定され、測定するたびに 1 回遷移します。
E. t_{PLH} と t_{PHL} は t_{pd} と同じです。
F. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 6-3. 負荷回路および電圧波形

Copyright © 2025 Texas Instruments Incorporated

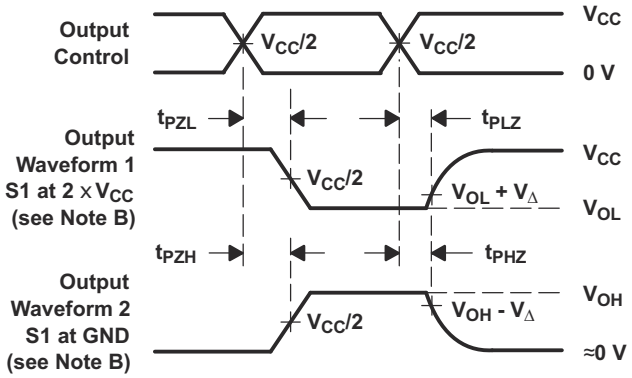
6.2 イネーブルおよびディセーブル時間



LOAD CIRCUIT

TEST	S1
t_{PLZ}/t_{PZL} t_{PHZ}/t_{PZH}	2 × V_{CC} GND

	V_{CC} = 0.8 V	V_{CC} = 1.2 V ± 0.1 V	V_{CC} = 1.5 V ± 0.1 V	V_{CC} = 1.8 V ± 0.15 V	V_{CC} = 2.5 V ± 0.2 V	V_{CC} = 3.3 V ± 0.3 V
C_L	5, 10, 15, 30 pF	5, 10, 15, 30 pF	5, 10, 15, 30 pF	5, 10, 15, 30 pF	5, 10, 15, 30 pF	5, 10, 15, 30 pF
V_M	$V_{CC}/2$	$V_{CC}/2$	$V_{CC}/2$	$V_{CC}/2$	$V_{CC}/2$	$V_{CC}/2$
V_I	V_{CC}	V_{CC}	V_{CC}	V_{CC}	V_{CC}	V_{CC}
V_Δ	0.1 V	0.1 V	0.1 V	0.15 V	0.15 V	0.3 V



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

A. C_L にはプローブと治具の容量が含まれます。
B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルになっている場合は除きます。波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルになっている場合は除きます。
C. すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≦ 10MHz、Z_O = 50 Ω、t_r/t_f ≦ 3 ns。
D. 出力は一度に 1 つずつ測定され、測定するたびに 1 回遷移します。
E. t_{PLZ} と t_{PHZ} は t_{dis} と同じです。
F. t_{PLH} と t_{PHL} は t_{pd} と同じです。
G. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 6-4. 負荷回路および電圧波形

Copyright © 2025 Texas Instruments Incorporated

7 詳細説明

7.1 概要

SN74AUP2G14 は、2 個のインバータを内蔵しており、ブール関数 Y = A を実行します。このデバイスは独立した 2 個のインバータとして機能しますが、シュミット動作が原因で、正方向の (VT+) 信号と負方向の (VT–)信号に対する入力しきい値 レベルが異なることがあります 。

このデバイスは、Ioff を使用する部分的パワーダウン アプリケーション用に完全に動作が規定されています。Ioff 回路で出力をディセーブルすることにより、電源がオフの時に電流が逆流してデバイスが損傷するの防ぎます。

7.2 機能ブロック図

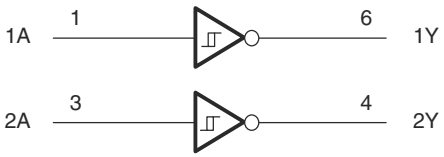


図 7-1. 論理図 (正論理)

7.3 機能説明

入力は 5.5V に耐性があるため、このデバイスは降圧変換器として使用できます。入力電圧が VT +(Max)を超えた場合、出力は VCC に追従し、入力電圧が VCC を超えている場合は降圧変換を実行します。

7.4 デバイスの機能モード

表 7-1 に、SN74AUP2G14 の機能モードを示します。

表 7-1. 機能表
(各インバータ)

入力 A	出力 Y
H	L
L	H

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

SN74AUP2G14 は、2 個のインバータを内蔵しており、ブール関数 Y = $\overline{A}$ を実行します。このデバイスは独立した 2 個のインバータとして機能しますが、シュミット動作が原因で、正方向の (V_{T+}) 信号と負方向の (V_{T-})信号に対する入力スレッショルド レベルが異なることがあります 。

8.2 代表的なアプリケーション

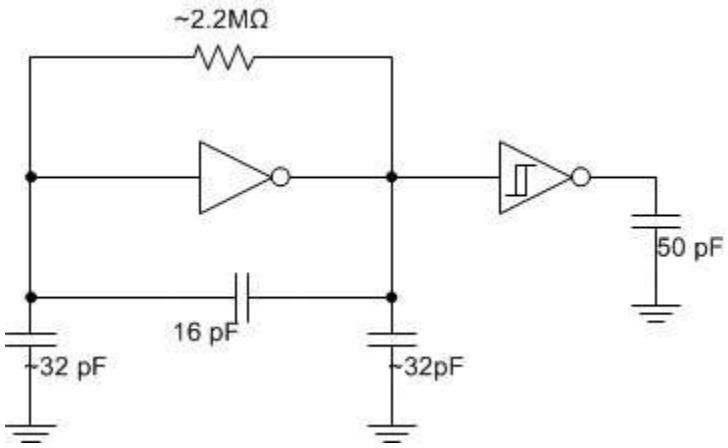


図 8-1. 代表的なアプリケーション回路図

8.2.1 設計要件

このデバイスは CMOS 技術を採用しており、平衡型出力ドライバを備えています。上限値を超える電流が流れる可能性があるため、バスが競合しないように注意が必要です。また、大きな駆動能力で軽負荷を駆動することでも高速なエッジが生じるため、配線と負荷の条件を検討してリンギングを防止してください。

8.2.2 詳細な設計手順

1. 推奨入力条件
   - 立ち上がり時間と立ち下がり時間の仕様。セクション 5.3 の表の (Δt/ΔV) を参照してください。
   - High レベルと Low レベルを規定。セクション 5.3 の表の (V_{IH} および V_{IL}) を参照してください。
   - 入力は過電圧耐性があり、*セクション 5.3* の表に記載された任意の有効な V_{CC} まで(最大 V_I) 対応できます。
2. 推奨出力条件
   - 出力ごとに I_O の最大値を超えないようにする必要があります。また、V_{CC} または GND に流れる連続電流は、本デバイスの最大総電流の仕様値を超えないようにする必要があります。これらの限界値は、*セクション 5.1* の表に記載されています。
   - 出力は、V_{CC} を超えてプルされないようにしてください。

Copyright © 2025 Texas Instruments Incorporated

8.3 電源に関する推奨事項

電源には、表に記載された定格電源電圧の最小値と最大値の間の任意の電圧を使用できます。電源の障害を防止するため、各 VCC ピンに適切なバイパス コンデンサを配置する必要があります。TI では、単電源のデバイスには、0.1µF のコンデンサを推奨しています。TI では、VVCC ピンが複数ある場合、各電源ピンに対して 0.01µF または 0.022µF のコンデンサを推奨しています。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することもできます。一般的に、0.1µF と 1µF のコンデンサは並列に使用されます。最良の結果を得るため、バイパス コンデンサは電源ピンのできるだけ近くに配置してください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

- バイパス コンデンサの配置
  - デバイスの正電源端子の近くに配置
  - 電気的に短いグランド帰還パスを提供
  - インピーダンスを最小化するため、広いパターンを使用
  - 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
  - 8mil～12mil のトレース幅
  - 伝送ラインの影響を最小化する 12cm 未満の長さ
  - 信号トレースの 90° のコーナーは避ける
  - 信号トレースの下に、途切れのないグランド プレーンを使用
  - 信号トレース周辺の領域をグランドでフラッド フィル
  - 平行配線は、3 倍以上の誘電体厚で分離する必要があります
  - 12cm を超えるパターン用
    - インピーダンス制御トレースを使用
    - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
    - 分岐を回避。個別に分岐が必要なバッファ信号

8.4.2 レイアウト例

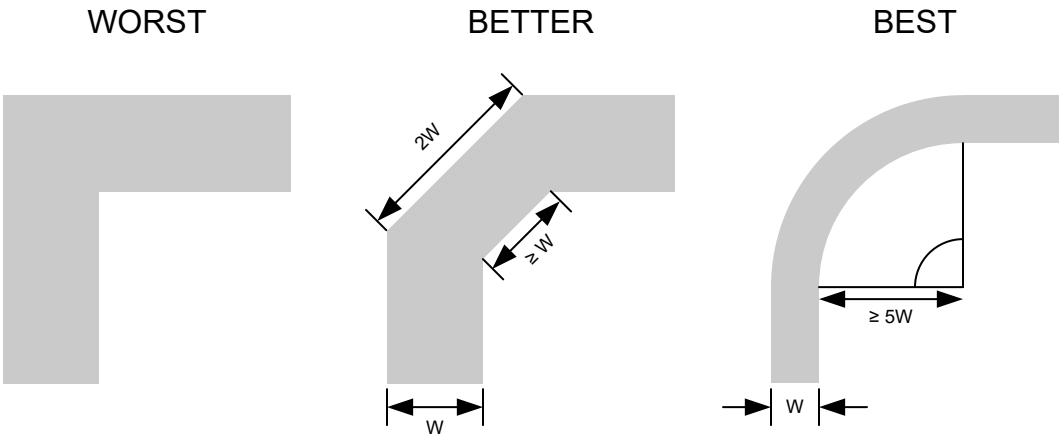


図 8-2. シグナル インテグリティ向上のためのサンプル パターンのコーナー

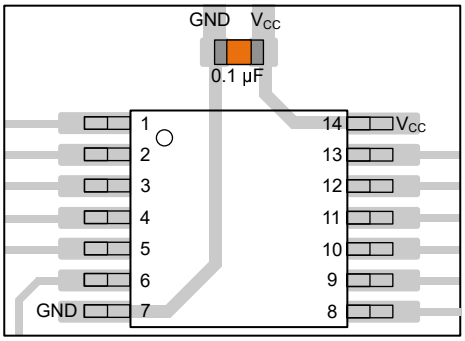


図 8-3. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

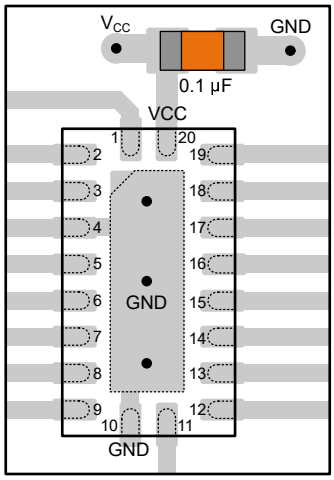


図 8-4. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

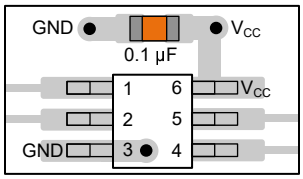


図 8-5. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

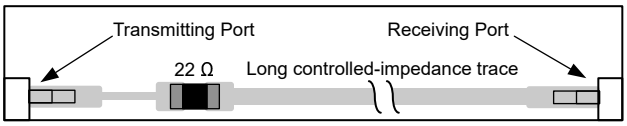


図 8-6. シグナル インテグリティ向上のためのダンピング抵抗の配置例

Copyright © 2025 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『CMOS の消費電力と C_{pd} の計算』アプリケーション・レポート
- テキサス・インスツルメンツ、『ロジックを使用した設計』アプリケーション・レポート
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション・レポート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

NanoStar™ is a trademark of Texas Instruments.
テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (February 2012) to Revision D (June 2025)	Page
• *パッケージ情報* の表、*ピンの機能* の表、*ESD 定格* の表、*熱に関する情報* の表、*デバイスの機能モード*、アプリケーションと実装セクション、*デバイスおよびドキュメントのサポート*セクション、*メカニカル、パッケージ、および注文情報*セクションを追加	1
• SN74HCT244 の動作温度を 125°C に更新、また、*電気的特性*の表、*推奨動作条件*の表、*スイッチング特性*の表のそれぞれの値を更新	1

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision B (March 2012) to Revision C (February 2012) **Page**

- 熱に関する情報の表を更新 1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74AUP2G14DCKR	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	NIPDAU | SN | NIPDAU	Level-1-260C-UNLIM	-40 to 125	(H65, H6F)
SN74AUP2G14DCKR.B	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	(H65, H6F)
SN74AUP2G14DCKRG4	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	NIPDAU | NIPDAU	Level-1-260C-UNLIM	-40 to 85	(H65, H6F)
SN74AUP2G14DCKRG4.B	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(H65, H6F)
SN74AUP2G14DRYR	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	H6
SN74AUP2G14DRYR.B	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	H6
SN74AUP2G14DRYRG4	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	H6
SN74AUP2G14DRYRG4.B	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	H6
SN74AUP2G14DSF2	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU | NIPDAU	Level-1-260C-UNLIM	-40 to 85	H6
SN74AUP2G14DSF2.B	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	H6
SN74AUP2G14DSFR	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU | NIPDAUAG | NIPDAU	Level-1-260C-UNLIM	-40 to 85	H6
SN74AUP2G14DSFR.B	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	H6
SN74AUP2G14DSFRG4	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	H6
SN74AUP2G14DSFRG4.B	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	H6
SN74AUP2G14YFPR	Active	Production	DSBGA (YFP) | 6	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	HFN
SN74AUP2G14YFPR.B	Active	Production	DSBGA (YFP) | 6	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	HFN

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

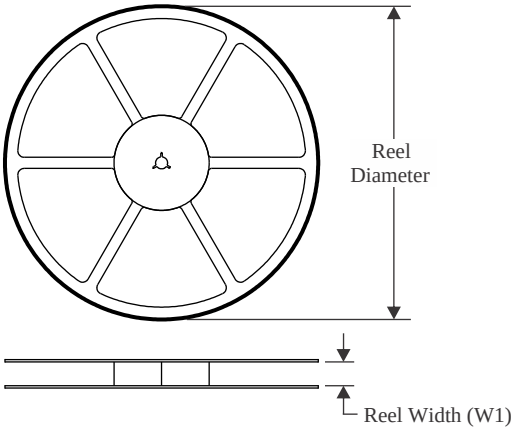
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

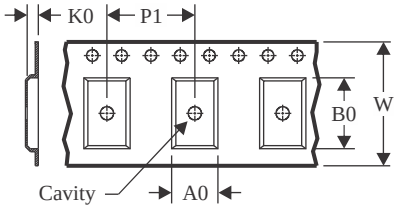
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

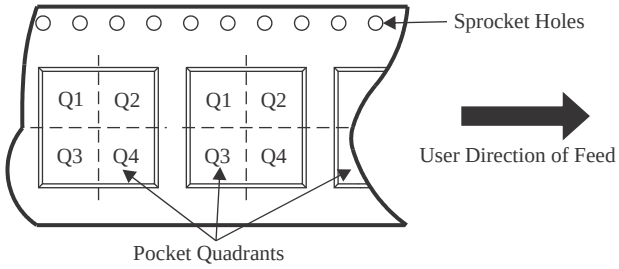


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

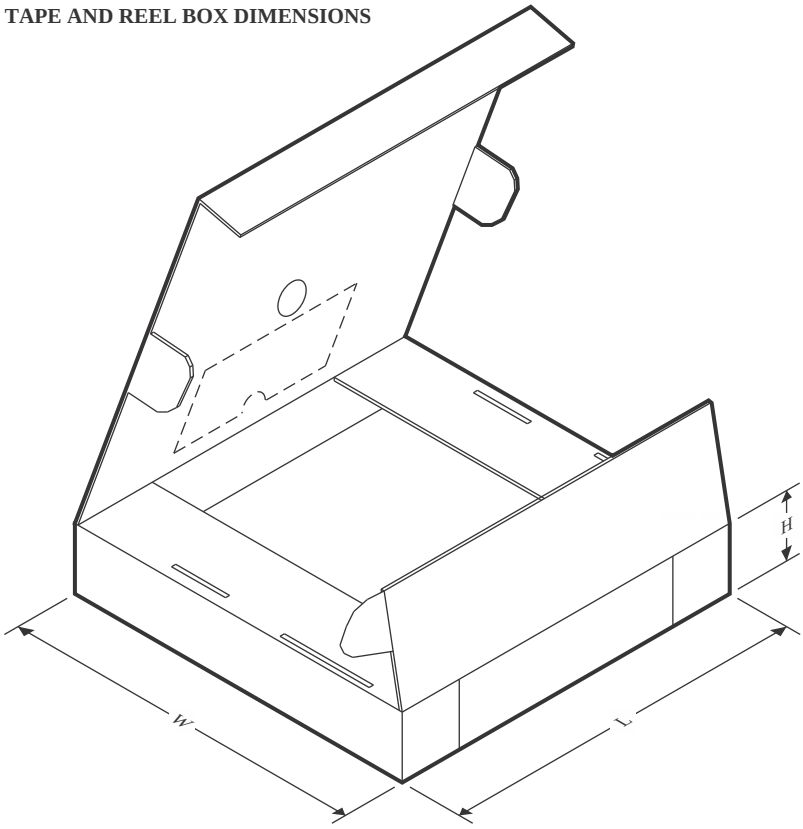
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AUP2G14DCKR	SC70	DCK	6	3000	180.0	8.4	2.3	2.5	1.2	4.0	8.0	Q3
SN74AUP2G14DCKRG4	SC70	DCK	6	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
SN74AUP2G14DRYR	SON	DRY	6	5000	180.0	9.5	1.15	1.6	0.75	4.0	8.0	Q1
SN74AUP2G14DRYRG4	SON	DRY	6	5000	180.0	9.5	1.15	1.6	0.75	4.0	8.0	Q1
SN74AUP2G14DSF2	SON	DSF	6	5000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q3
SN74AUP2G14DSFR	SON	DSF	6	5000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q2
SN74AUP2G14DSFRG4	SON	DSF	6	5000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q2
SN74AUP2G14YFPR	DSBGA	YFP	6	3000	178.0	9.2	0.89	1.29	0.62	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

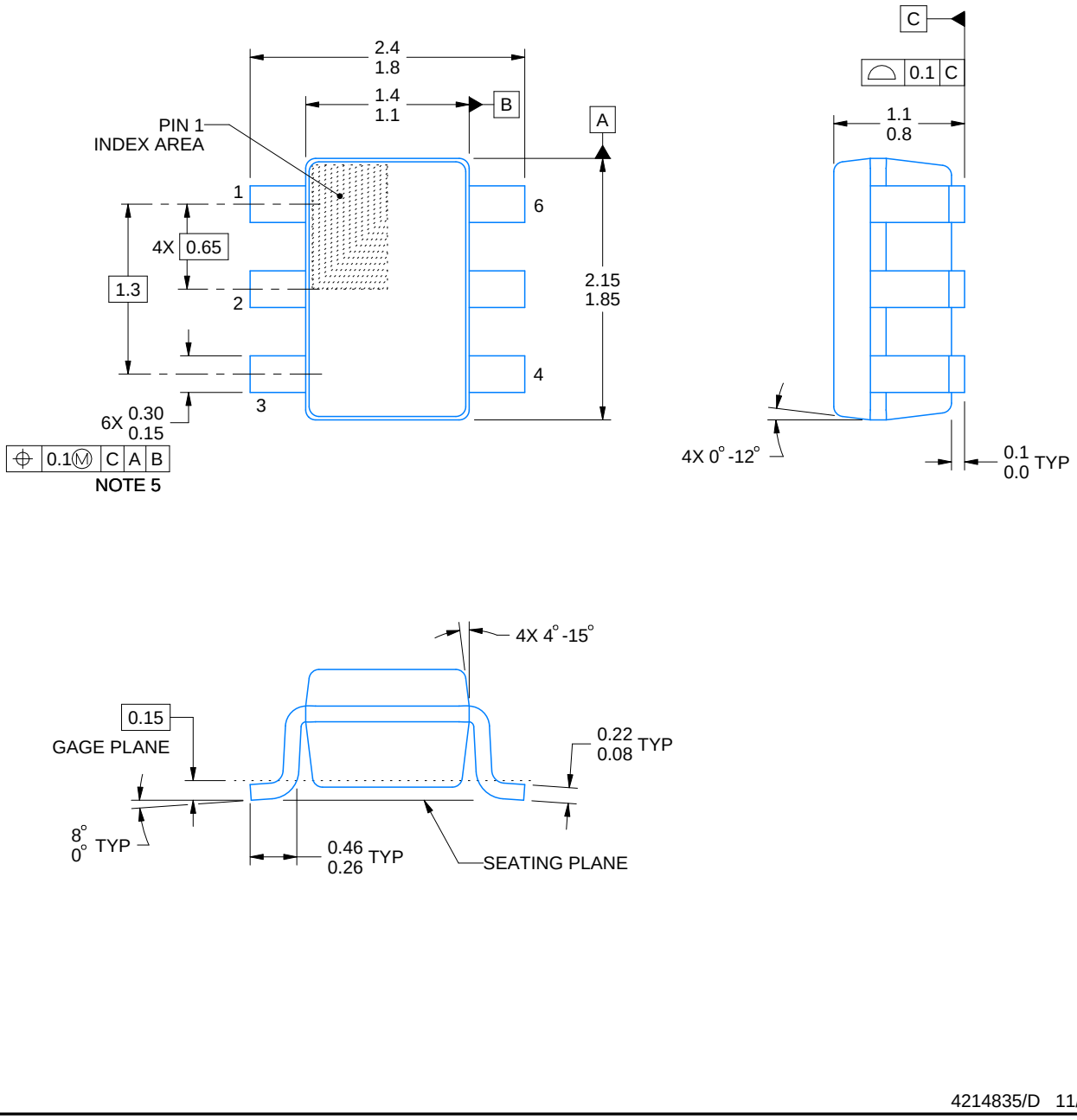
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AUP2G14DCKR	SC70	DCK	6	3000	210.0	185.0	35.0
SN74AUP2G14DCKRG4	SC70	DCK	6	3000	180.0	180.0	18.0
SN74AUP2G14DRYR	SON	DRY	6	5000	184.0	184.0	19.0
SN74AUP2G14DRYRG4	SON	DRY	6	5000	184.0	184.0	19.0
SN74AUP2G14DSF2	SON	DSF	6	5000	210.0	185.0	35.0
SN74AUP2G14DSFR	SON	DSF	6	5000	210.0	185.0	35.0
SN74AUP2G14DSFRG4	SON	DSF	6	5000	210.0	185.0	35.0
SN74AUP2G14YFPR	DSBGA	YFP	6	3000	220.0	220.0	35.0

PACKAGE OUTLINE

DCK0006A

SOT - 1.1 max height

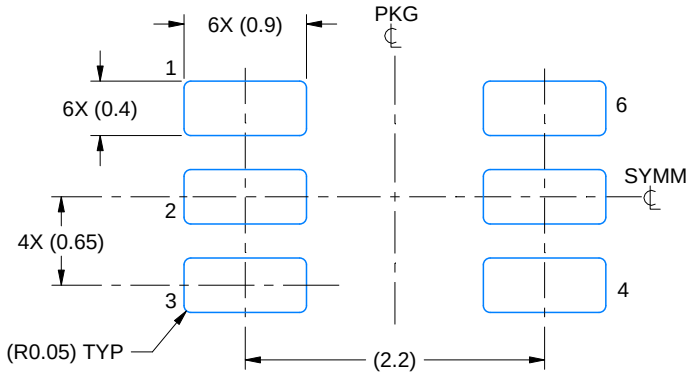
SMALL OUTLINE TRANSISTOR



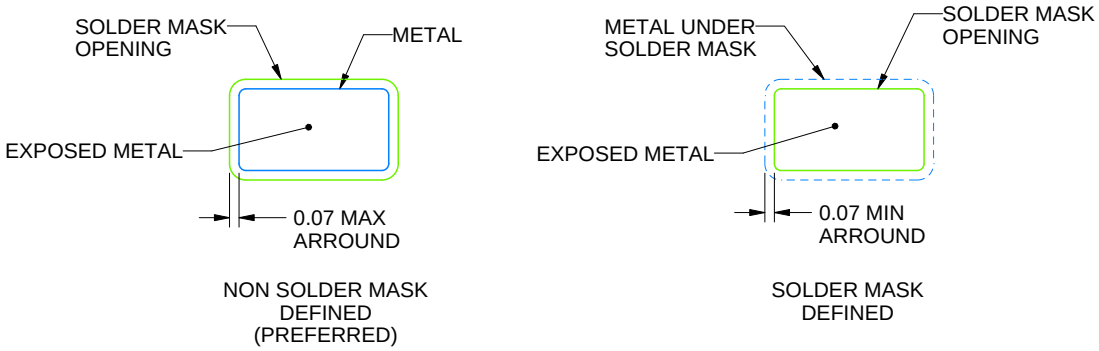
4214835/D 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
4. Falls within JEDEC MO-203 variation AB.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

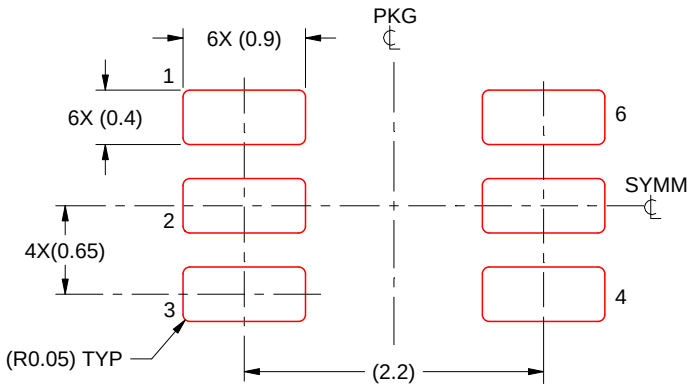


SOLDER MASK DETAILS

4214835/D 11/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214835/D 11/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

DRY 6 USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

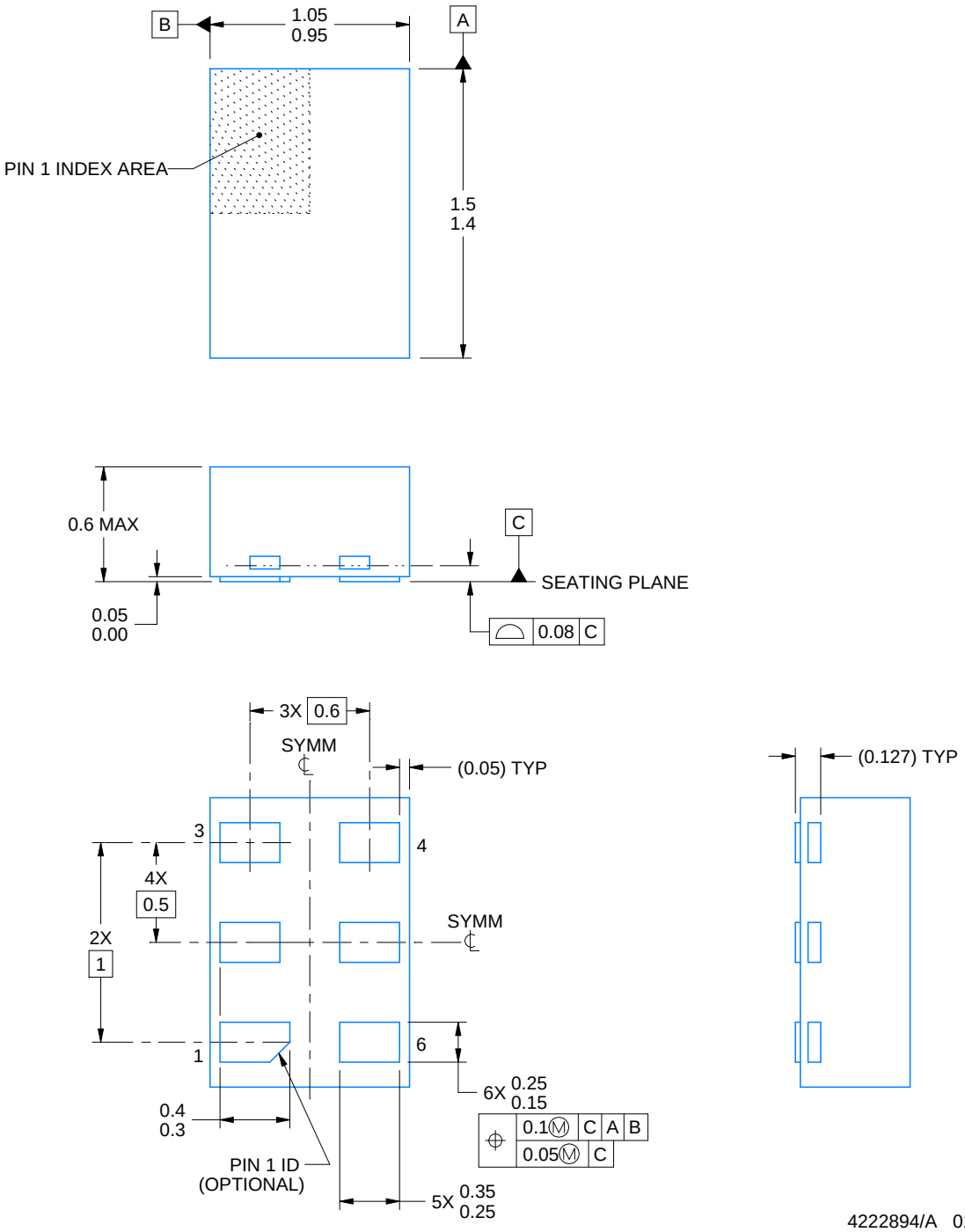
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

PACKAGE OUTLINE

DRY0006A

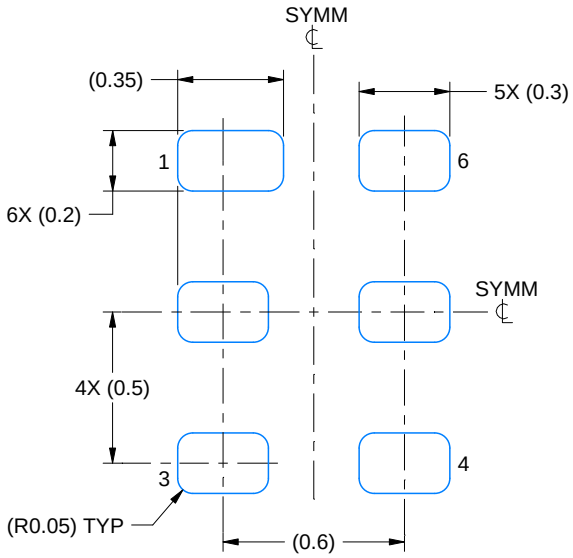
USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

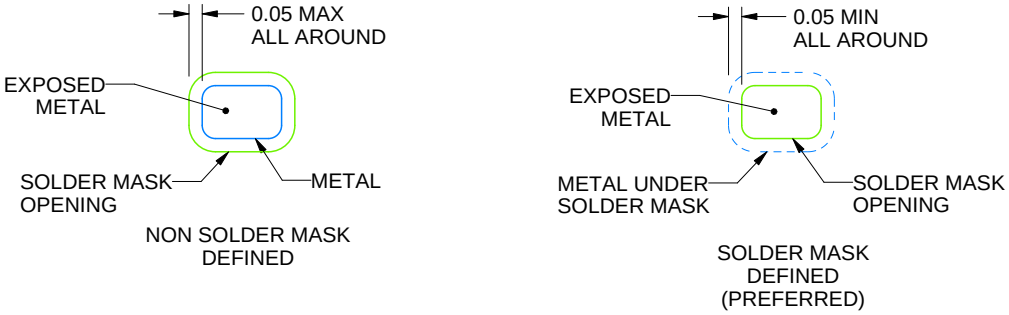


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
1:1 RATIO WITH PKG SOLDER PADS
EXPOSED METAL SHOWN
SCALE:40X



SOLDER MASK DETAILS

4222894/A 01/2018

NOTES: (continued)

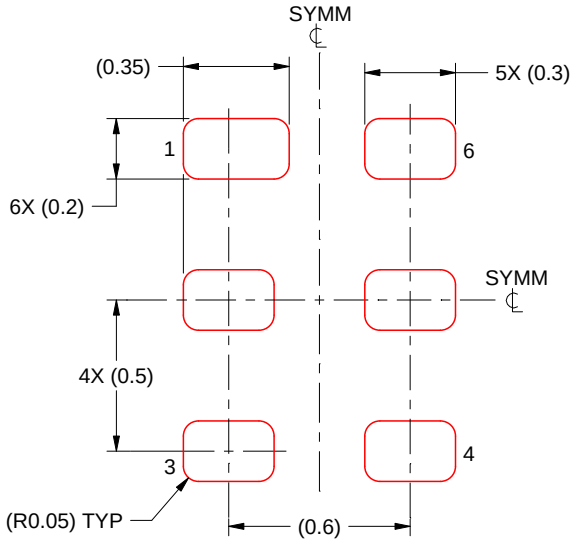
3. For more information, see QFN/SON PCB application report in literature No. SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DRY0006A

USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.075 - 0.1 mm THICK STENCIL
SCALE:40X

4222894/A 01/2018

NOTES: (continued)

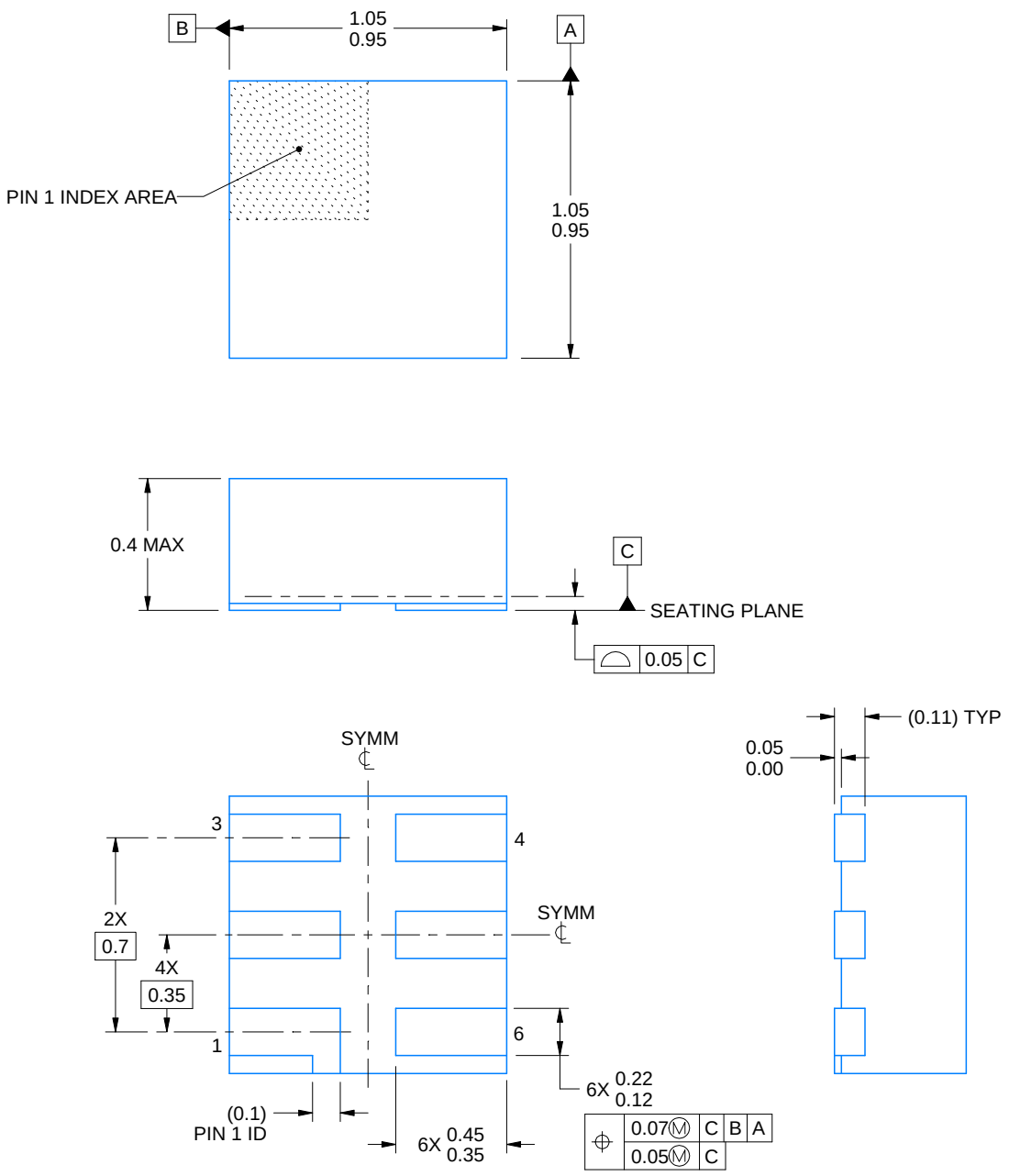
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DSF0006A

X2SON - 0.4 mm max height

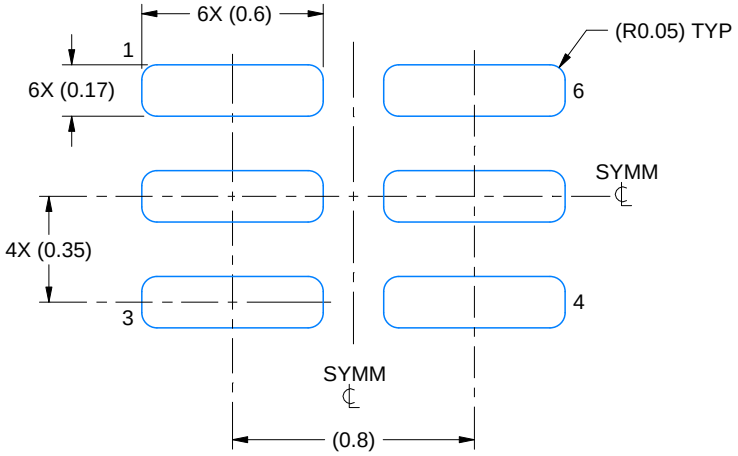
PLASTIC SMALL OUTLINE - NO LEAD



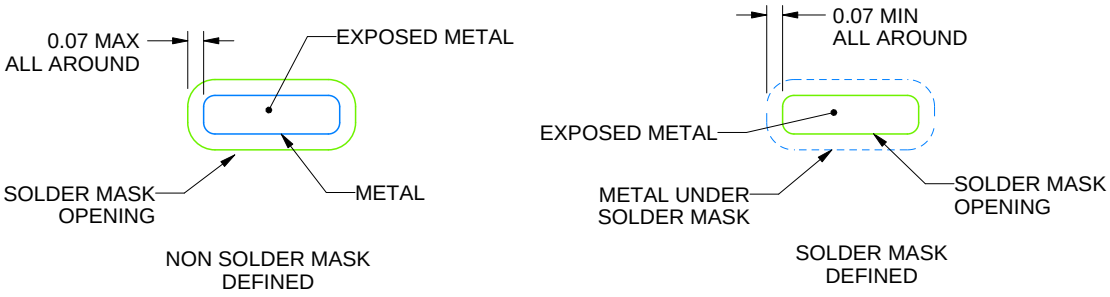
4220597/B 06/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MO-287, variation X2AAF.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:40X



SOLDER MASK DETAILS

4220597/B 06/2022

NOTES: (continued)

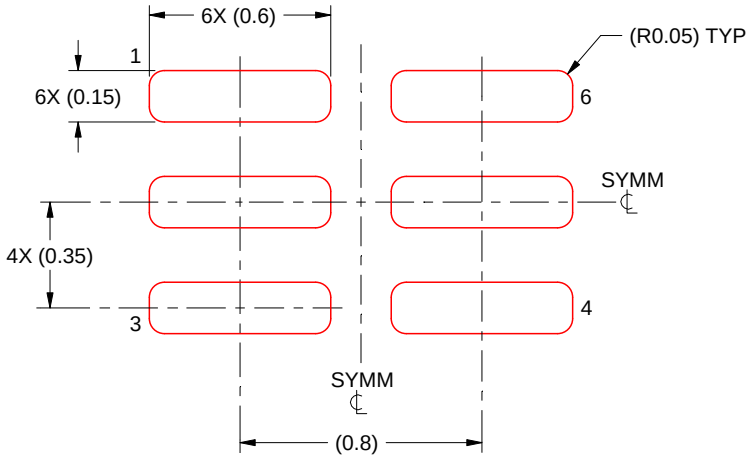
4. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DSF0006A

X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.09 mm THICK STENCIL

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:40X

4220597/B 06/2022

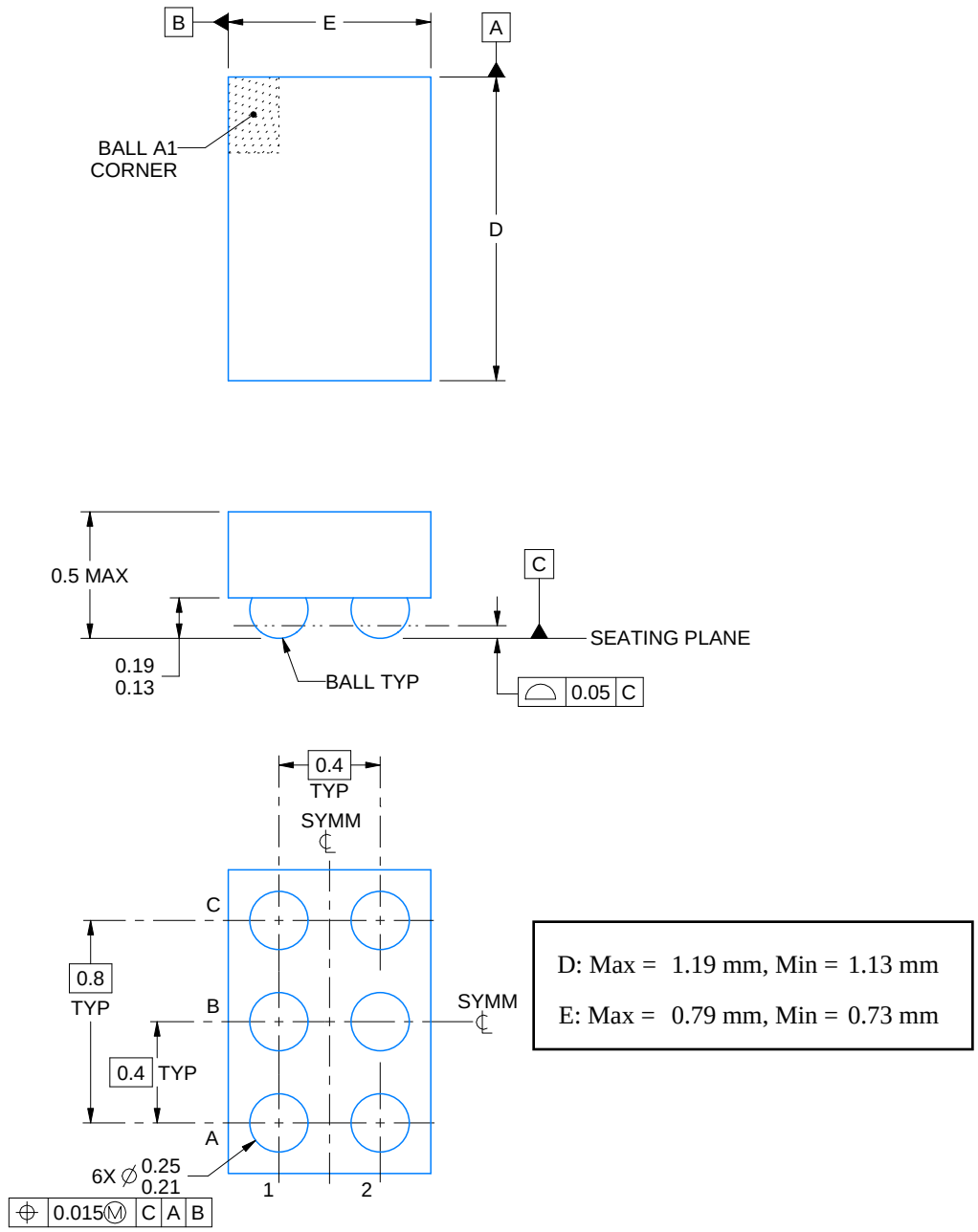
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

YFP0006

DSBGA - 0.5 mm max height

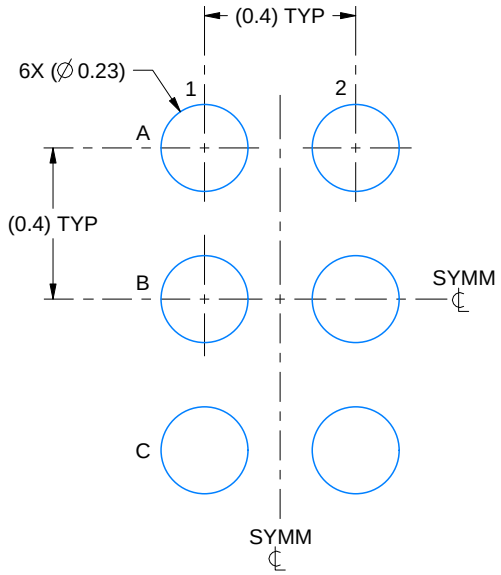
DIE SIZE BALL GRID ARRAY



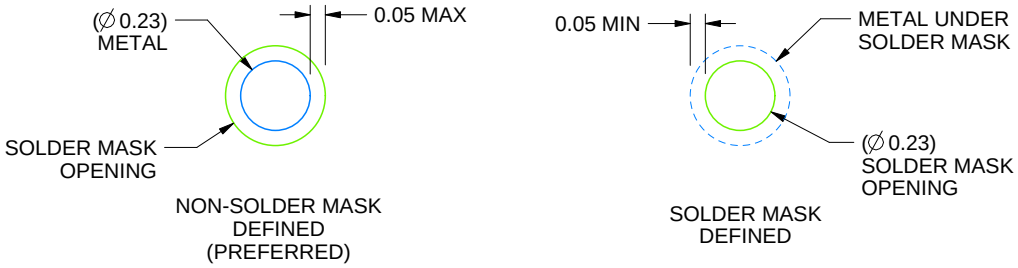
4223410/A 11/2016

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
SCALE:50X

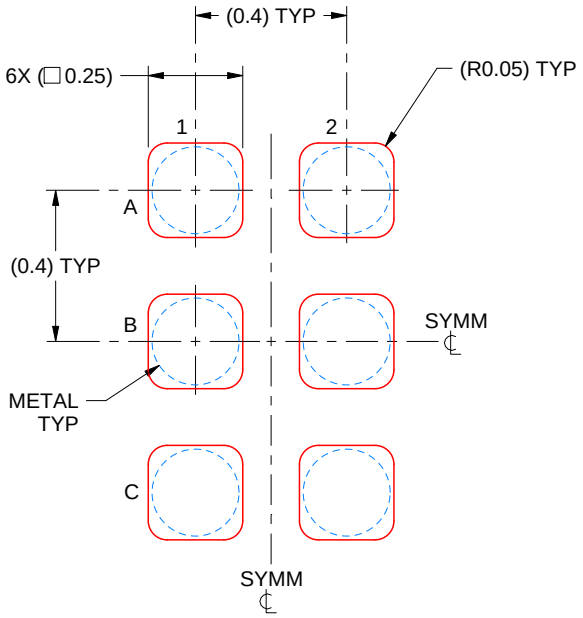


SOLDER MASK DETAILS
NOT TO SCALE

4223410/A 11/2016

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
   For more information, see Texas Instruments literature number SNVA009 (www.ti.com/lit/snva009).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:50X

4223410/A 11/2016

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、 テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated