

SN74AHCT595-Q1 車載用 3 ステート出力レジスタ搭載 8 ビットシフトレジ スタ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
 - デバイス温度グレード 1: -40°C ~ +125°C
 - デバイス HBM ESD 分類レベル 2
 - デバイス CDM ESD 分類レベル C4B
- ウェッタブル フランク QFN パッケージで供給
- 4.5V ~ 5.5V の V_{CC} で動作
- TTL 互換入力
- 短い遅延、6ns typ (25°C, 5V)
- JESD 17 準拠で
250mA 超のラッチアップ性能

2 アプリケーション

- ネットワーク スイッチ
- 電源インフラストラクチャ
- PC およびノートパソコン
- LED ディスプレイ
- サーバー

3 概要

SN74AHCT595-Q1 デバイスには、8 ビットのシリアル イン / パラレル アウトのシフトレジスタが内蔵されており、8 ビットの D タイプ ストレージ レジスタへデータを供給します。シフトレジスタ クロック (SRCLK) とストレージ レジスタ クロック (RCLK) はどちらもポジティブ エッジ リガです。

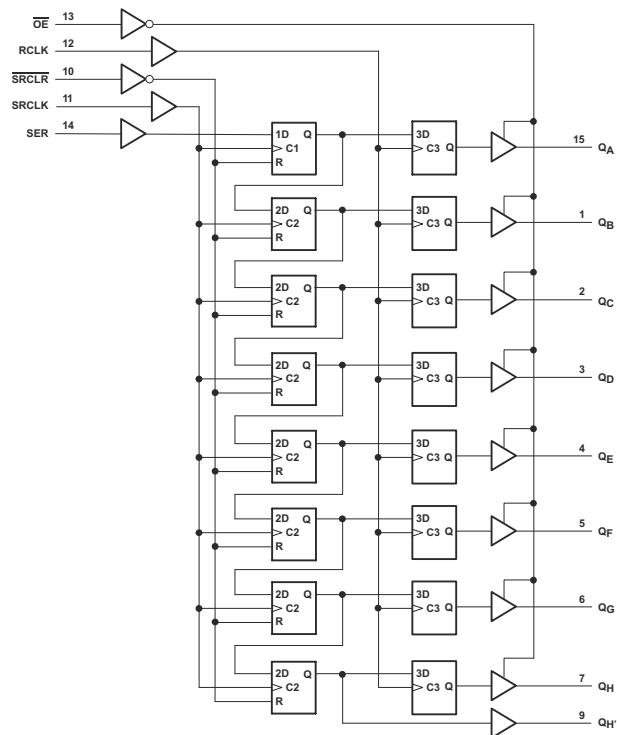
パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾	本体サイズ (公称) ⁽³⁾
SN74AHCT595-Q1	BQB (WQFN, 16)	3.5mm × 2.5mm	3.5mm × 2.5mm
	PW (TSSOP, 16)	5.0mm × 6.4mm	5.0mm × 4.4mm

(1) 詳細については、[セクション 11](#) を参照してください。

(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。

(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



ここに示すピン番号は、PW および BQB パッケージのものです。

概略回路図



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

English Data Sheet: [SCAS984](#)

目次

1 特長	1	7.2 機能ブロック図	9
2 アプリケーション	1	7.3 機能説明	10
3 概要	1	7.4 デバイスの機能モード	12
4 ピン構成および機能	3	8 アプリケーションと実装	13
5 仕様	4	8.1 アプリケーション情報	13
5.1 絶対最大定格	4	8.2 代表的なアプリケーション	13
5.2 ESD 定格	4	8.3 電源に関する推奨事項	14
5.3 推奨動作条件	4	8.4 レイアウト	14
5.4 熱に関する情報	4	9 デバイスおよびドキュメントのサポート	16
5.5 電気的特性	5	9.1 ドキュメントのサポート	16
5.6 タイミング特性	5	9.2 ドキュメントの更新通知を受け取る方法	16
5.7 スイッチング特性	6	9.3 サポート・リソース	16
5.8 ノイズ特性	6	9.4 商標	16
5.9 代表的特性	7	9.5 静電気放電に関する注意事項	16
6 パラメータ測定情報	8	9.6 用語集	16
7 詳細説明	9	10 改訂履歴	16
7.1 概要	9	11 メカニカル、パッケージ、および注文情報	16

4 ピン構成および機能

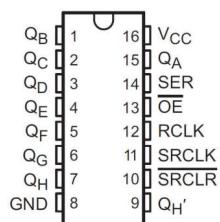


図 4-1.
SN74AHCT595-Q1 PW パッケージ (上面図)

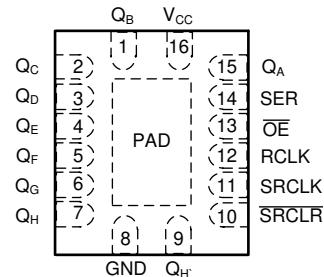


図 4-2. SN74AHCT595-Q1 BQB パッケージ、16 ピン
WQFN (上面図)

表 4-1. ピンの機能

ピン		種類 (1)	説明
名称	番号		
Q _B	1	O	Q _B 出力
Q _C	2	O	Q _C 出力
Q _D	3	O	Q _D 出力
Q _E	4	O	Q _E 出力
Q _F	5	O	Q _F 出力
Q _G	6	O	Q _G 出力
Q _H	7	O	Q _H 出力
GND	8	—	グランド ピン
Q _{H'}	9	O	Q _{H'} 出力
SRCLR	10	I	SRCLR 入力
SRCLK	11	I	SRCLK 入力
RCLK	12	I	RCLK 入力
OE	13	I	出力イネーブル
SER	14	I	SER 入力
Q _A	15	O	Q _A 出力
V _{CC}	16	—	パワー ピン
サーマル パッド(2)		—	サーマル パッドは GND に接続するか、フローティングのままにすることができます。他の信号や電源には接続しないでください。

(1) I = 入力、O = 出力

(2) BQB パッケージに限定

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	7	V
V_I	入力電圧範囲 ⁽²⁾		-0.5	7	V
V_O	高インピーダンスまたは電源オフ状態で出力に印加される電圧範囲 ⁽²⁾		-0.5	7	V
V_O	出力電圧範囲 ⁽²⁾		-0.5	$V_{CC} + 0.5$	V
I_{IK}	入力クランプ電流	$V_I < -0.5V$		-20	mA
I_{OK}	出力クランプ電流	$V_O < -0.5V$ または $V_O > V_{CC} + 0.5V$		± 20	mA
I_O	連続出力電流	$V_O = 0 \sim V_{CC}$		± 25	mA
	V_{CC} または GND を通過する連続出力電流			± 75	mA
T_J	接合部温度			150	°C
T_{stg}	保管温度		-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内で、一時的に「推奨動作条件」の範囲を超えた動作をさせる場合、必ずしもデバイスが損傷を受けるものではありませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
- (2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 HBM ESD 分類レベル 2 準拠 ⁽¹⁾	± 2000	V
		デバイス帶電モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4B 準拠	± 1000	

- (1) AEC Q100-002 には、HBM ストレス試験は ANSI/ESDA/JEDEC JS-001 仕様に従って実施することと規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

仕様	説明	条件	最小値	最大値	単位
V_{CC}	電源電圧		4.5	5.5	V
V_{IH}	High レベル入力電圧	$V_{CC} = 5V$	2		V
V_{IL}	Low レベル入力電圧	$V_{CC} = 5V$		0.8	V
V_I	入力電圧		0	5.5	V
V_O	出力電圧		0	V_{CC}	V
I_{OH}	High レベル出力電流	$V_{CC} = 5V \pm 0.5V$		-8	mA
I_{OL}	Low レベル出力電流	$V_{CC} = 5V \pm 0.5V$		8	mA
$\Delta t/\Delta v$	入力遷移の立ち上がりまたは立ち下がりレート	$V_{CC} = 5V \pm 0.5V$		20	ns/V
T_A	自由空気での動作温度		-40	125	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		WBQB (WQFN)	PW (TSSOP)	単位
		16 ピン	16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	105.6	135.9	°C/W

5.4 熱に関する情報 (続き)

熱評価基準 ⁽¹⁾		WBQB (WQFN)	PW (TSSOP)	単位
		16 ピン	16 ピン	
$R_{\theta JC(\text{top})}$	接合部からケース (上面) への熱抵抗	96.6	70.3	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	75.4	81.3	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	19.1	22.5	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	75.4	80.8	°C/W
$R_{\theta JC(\text{bot})}$	接合部からケース (底面) への熱抵抗	56.1	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	$T_A = 25^\circ\text{C}$			$-40^\circ\text{C} \sim 125^\circ\text{C}$			単位
			最小値	代表値	最大値	最小値	代表値	最大値	
V_{OH}	$I_{OH} = -50\mu\text{A}$	4.5V	4.4	4.5		4.4			V
	$I_{OH} = -8\text{mA}$	4.5V	3.94			3.8			
V_{OL}	$I_{OL} = 50\mu\text{A}$	4.5V		0.1			0.1		V
	$I_{OL} = 8\text{mA}$	4.5V		0.36			0.44		
I_I	$V_I = 5.5\text{V}$ または GND、 $V_{CC} = 0\text{V} \sim 5.5\text{V}$	0V ~ 5.5V		±0.1			±1		μA
I_{OZ}	$V_O = V_{CC}$ または GND、 $V_{CC} = 5.5\text{V}$	5.5V		±0.25			±2.5		μA
I_{CC}	$V_I = V_{CC}$ または GND、 $I_O = 0$ 、 $V_{CC} = 5.5\text{V}$	5.5V		4			40		μA
ΔI_{CC}	1 つの入力は 3.4V、他の入力は V_{CC} または GND	5V		1.35			1.5		mA
C_I	$V_I = V_{CC}$ または GND	5V		4	10		10		pF
C_O	$V_O = V_{CC}$ または GND	5V		5					pF
C_{PD}	無負荷、 $F = 1\text{MHz}$	5V		129					pF

5.6 タイミング特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	説明	条件	V_{CC}	$T_A = 25^\circ\text{C}$		$-40^\circ\text{C} \sim 125^\circ\text{C}$		単位
				最小値	最大値	最小値	最大値	
t_H	ホールド時間	SRCLK ↑ 後の SER	5V ± 0.5V	2		2		ns
t_{SU}	セットアップ時間	SRCLK ↑ の前の SER	5V ± 0.5V	3		3		ns
t_{SU}	セットアップ時間	RCLK ↑ 前の SRCLK ↑	5V ± 0.5V	5		5		ns
t_{SU}	セットアップ時間	SRCLK ↑ より前に \overline{SRCLR} が High (非アクティブ)	5V ± 0.5V	2.9		3.8		ns
t_{SU}	セットアップ時間	RCLK ↑ より前に \overline{SRCLR} が Low	5V ± 0.5V	5		5		ns
t_W	パルス幅	RCLK または SRCLK が High または Low	5V ± 0.5V	5		5.5		ns
t_W	パルス幅	SRCLR が Low	5V ± 0.5V	5		5.5		ns

5.7 スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)。「パラメータ測定情報」を参照

パラメータ	始点 (入力)	終点 (出力)	負荷容量	V _{CC}	T _A = 25°C			-40°C~125°C			単位
					最小値	代表値	最大値	最小値	代表値	最大値	
F _{MAX}	-	-	C _L = 15pF	5V ± 0.5V	135	175		115			MHz
t _{PZL}	OE	Q	C _L = 15pF	5V ± 0.5V		5.4	8.6		12		ns
t _{PZH}	OE	Q	C _L = 15pF	5V ± 0.5V		4.3	8.6		12		ns
t _{PLZ}	OE	Q	C _L = 15pF	5V ± 0.5V		3.8	8	1	10.5		ns
t _{PHZ}	OE	Q	C _L = 15pF	5V ± 0.5V		3.8	8	1	10.5		ns
t _{PLH}	RCLK	QA-QH	C _L = 15pF	5V ± 0.5V		4.3	7.4	1	9.5		ns
t _{PHL}	RCLK	QA-QH	C _L = 15pF	5V ± 0.5V		4.3	7.4	1	9.5		ns
t _{PLH}	SRCLK	QH'	C _L = 15pF	5V ± 0.5V		4.5	8.2	1	10.4		ns
t _{PHL}	SRCLK	QH'	C _L = 15pF	5V ± 0.5V		4.5	8.2	1	10.4		ns
t _{PLH}	SRCLR	QH'	C _L = 15pF	5V ± 0.5V		4.5	8	1	10.1		ns
F _{MAX}	-	-	C _L = 50pF	5V ± 0.5V	120	140		95			MHz
t _{PZL}	OE	Q	C _L = 50pF	5V ± 0.5V		6.8	10.6		14.4		ns
t _{PZH}	OE	Q	C _L = 50pF	5V ± 0.5V		5.7	10.6		14.4		ns
t _{PLZ}	OE	Q	C _L = 50pF	5V ± 0.5V		3.4	10.3		13.2		ns
t _{PHZ}	OE	Q	C _L = 50pF	5V ± 0.5V		3.5	10.3		13.2		ns
t _{PLH}	RCLK	QA-QH	C _L = 50pF	5V ± 0.5V		5.6	9.4	1	11.5		ns
t _{PHL}	RCLK	QA-QH	C _L = 50pF	5V ± 0.5V		5.6	9.4	1	11.5		ns
t _{PLH}	SRCLK	QH'	C _L = 50pF	5V ± 0.5V		6.4	10.2	1	12.4		ns
t _{PHL}	SRCLK	QH'	C _L = 50pF	5V ± 0.5V		6.4	10.2	1	12.4		ns
t _{PLH}	SRCLR	QH'	C _L = 50pF	5V ± 0.5V		6.4	10	1	12.1		ns

5.8 ノイズ特性

V_{CC} = 5V, C_L = 50pF, T_A = 25°C

パラメータ	説明	最小値	代表値	最大値	単位
V _{OL(P)}	低ノイズ出力、最大動的電圧 V _{OL}		0.2	0.8	V
V _{OL(V)}	低ノイズ出力、最小動的電圧 V _{OL}	-0.9	-0.2		V
V _{OH(V)}	低ノイズ出力、最小動的電圧 V _{OH}	4.4	4.7		V
V _{IH(D)}	High レベル動的入力電圧	2			V
V _{IL(D)}	Low レベル動的入力電圧			0.8	V

5.9 代表的特性

$T_A = 25^\circ\text{C}$ (特に記述のない限り)

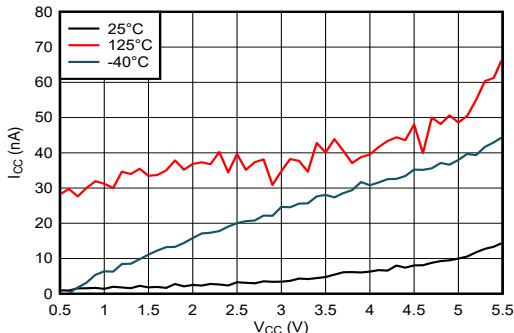


図 5-1. 電源電流と電源電圧との関係

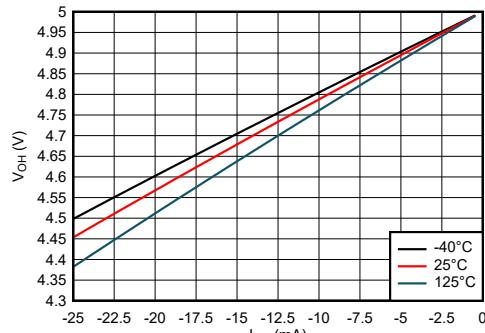


図 5-2. High 状態における出力電圧と電流との関係、5V 電源

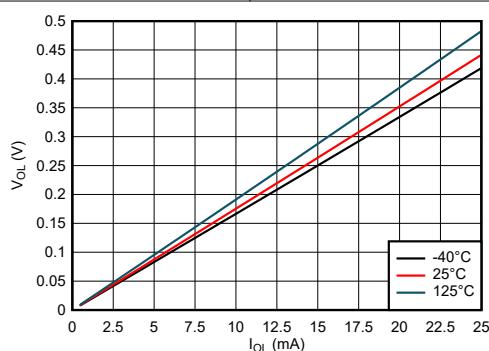


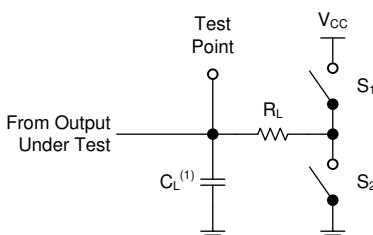
図 5-3. Low 状態における出力電圧と電流との関係、5V 電源

6 パラメータ測定情報

以下の表に示す例では、波形間の位相関係を任意に選択しました。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR $\leq 1\text{MHz}$, $Z_O = 50\Omega$, $t_f < 2.5\text{ns}$ 。

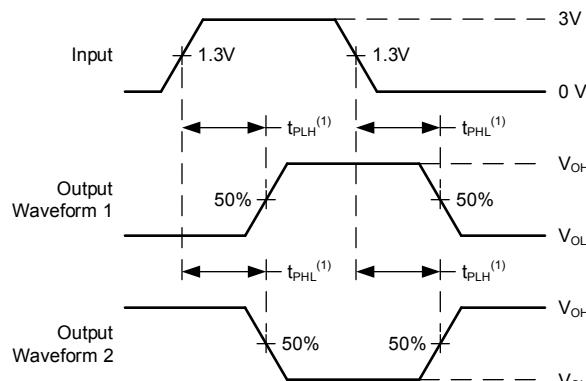
出力は個別に測定され、測定するたびに入力が 1 回遷移します。

TEST	S1	S2	R_L	C_L	ΔV	V_{cc}
t_{PLH}, t_{PHL}	オープン	オープン	—	15pF, 50pF	—	すべて
t_{PLZ}, t_{PZL}	クローズ	オープン	1k Ω	15pF, 50pF	0.15V	$\leq 2.5\text{V}$
t_{PHZ}, t_{PZH}	オープン	クローズ	1k Ω	15pF, 50pF	0.15V	$\leq 2.5\text{V}$
t_{PLZ}, t_{PZL}	クローズ	オープン	1k Ω	15pF, 50pF	0.3V	$> 2.5\text{V}$
t_{PHZ}, t_{PZH}	オープン	クローズ	1k Ω	15pF, 50pF	0.3V	$> 2.5\text{V}$



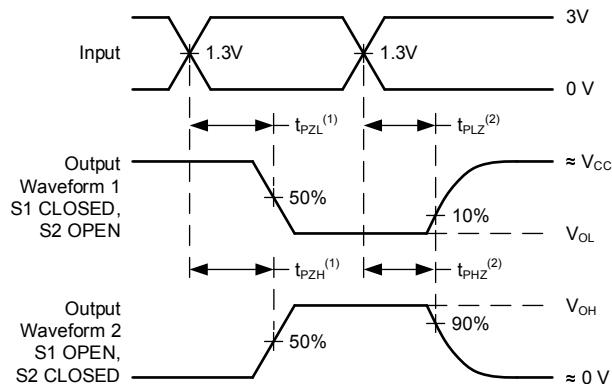
(1) C_L にはプローブとテスト装置の容量が含まれます。

図 6-1.3 ステート出力の負荷回路



(1) t_{PLH} と t_{PHL} の大きい方が t_{pd} に相当します。

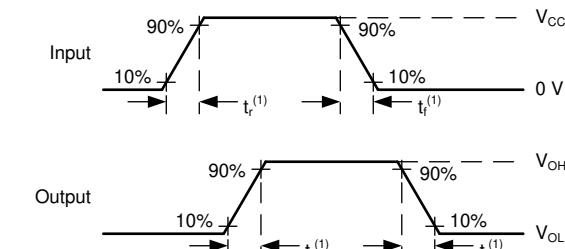
図 6-2. 電圧波形、伝搬遅延



(1) t_{PZL} と t_{PZH} の大きい方が t_{en} に相当します。

(2) t_{PLZ} と t_{PHZ} の大きい方が t_{dis} に相当します。

図 6-3. 電圧波形、伝搬遅延



(1) t_f と t_f の大きい方が t_f に相当します。

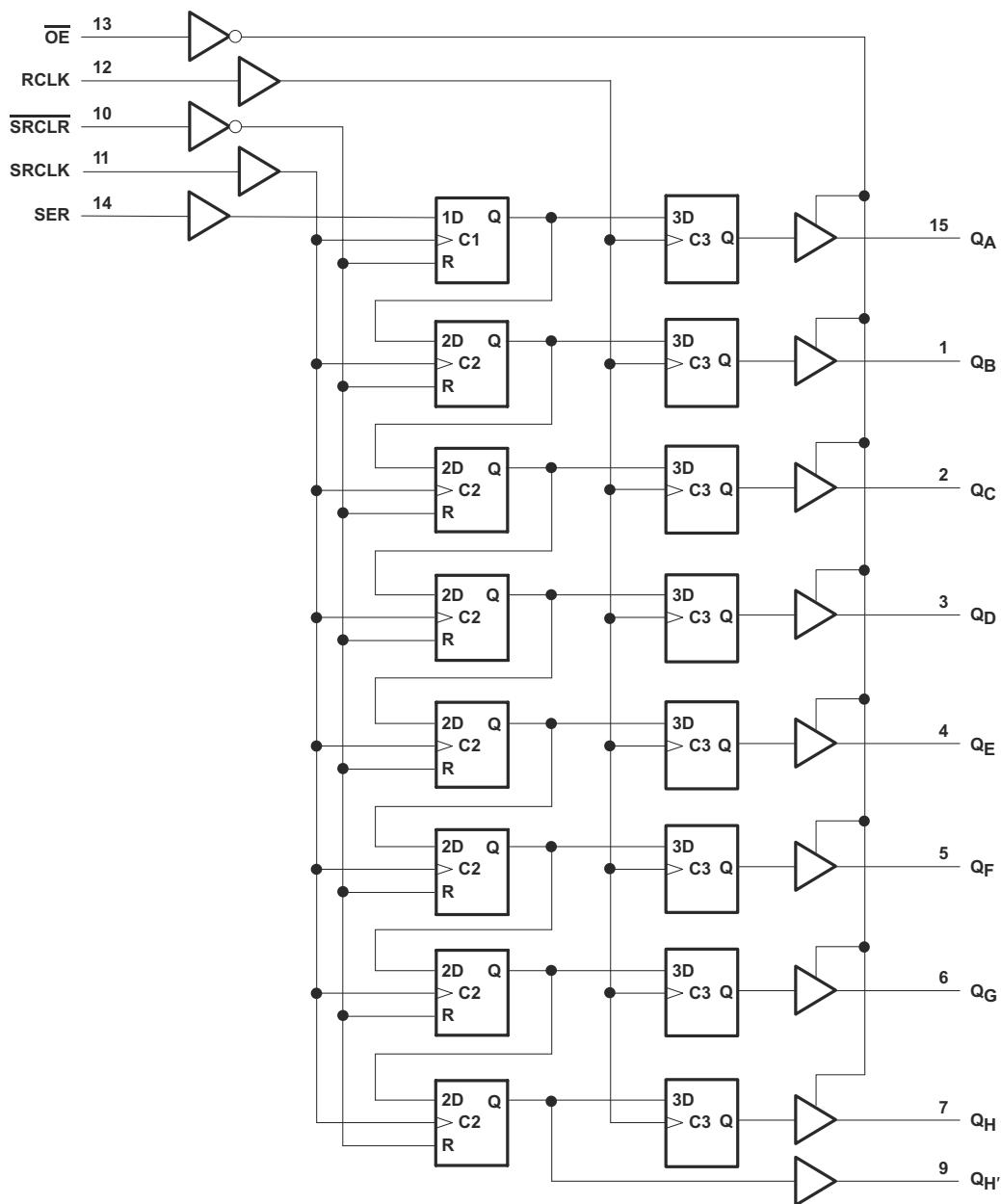
図 6-4. 電圧波形、入力および出力の遷移時間

7 詳細説明

7.1 概要

SN74AHCT595-Q1 デバイスには、8 ビットのシリアル イン / パラレル アウトのシフト レジスタが内蔵されており、8 ビットの D タイプ ストレージ レジスタへデータを供給します。ストレージ レジスタはパラレル 3 ステート出力を備えています。シフト レジスタとストレージ レジスタに、それぞれ独立したクロックが供給されます。シフト レジスタは、ダイレクト オーバーライディング クリア (SRCLR) 入力、シリアル (SER) 入力、カスケード接続用シリアル出力を備えています。出力イネーブル (OE) 入力が High のとき、出力は高インピーダンス状態になります。シフト レジスタ クロック (SRCLK) とストレージ レジスタ クロック (RCLK) はどちらもポジティブ エッジ トリガです。両方のクロックが一緒に接続されている場合、シフト レジスタはストレージ レジスタより常に 1 クロック パルス前になります。

7.2 機能ブロック図



ここに示すピン番号は、PW および BQB パッケージのものです。

7.3 機能説明

7.3.1 平衡化された CMOS 3 ステート出力

このデバイスには、平衡化された CMOS 3 ステート出力が内蔵されています。High、Low、高インピーダンスが、これらの出力が取り得る 3 つの状態です。平衡化という用語は、このデバイスが類似の電流に対するシンクとソースを行えることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

高インピーダンス状態に移行したとき、出力は電流のソースとシンクのどちらも行いません。ただし、「電気的特性」表に定義されている小さなリーキ電流は例外です。高インピーダンス状態では、出力電圧はデバイスによって制御されず、外部要因に依存します。ノードに他のドライバが接続されていない場合、これはフローティングノードと呼ばれ、電圧は不明です。出力にプルアップ抵抗またはプルダウン抵抗を接続することで、高インピーダンス状態の出力に既知の電圧を供給できます。抵抗の値は、寄生容量や消費電力の制限など複数の要因に依存します。通常、これらの要件を満たすために $10\text{k}\Omega$ の抵抗を使用できます。

未使用の 3 ステート CMOS 出力は、未接続のままにする必要があります。

7.3.2 ラッチ ロジック

このデバイスには、ラッチ論理回路が内蔵されています。ラッチ回路には一般に D タイプ ラッチと D タイプ フリップ フロップが含まれていますが、揮発性メモリとして機能するすべての論理回路が含まれています。

デバイスの電源がオンのとき、各ラッチの状態は不明です。スタートアップ時の各ラッチには、デフォルト状態はありません。

各ラッチ論理回路の出力状態は、「推奨動作条件」表に規定された電源電圧範囲内でデバイスに電力が供給されている限り、安定した状態を保ちます。

7.3.3 TTL 互換 CMOS 入力

このデバイスには、TTL 互換の CMOS 入力が搭載されています。これらの入力は、入力電圧スレッショルドを下げることで TTL ロジック デバイスと接続するように特に設計されています。

TTL 互換 CMOS 入力は高インピーダンスであり、通常は「電気的特性」に示されている入力容量と並列の抵抗としてモデル化されます。ワースト ケースの抵抗は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーキ電流からオームの法則 ($R = V \div I$) を使用して計算されます。

TTL 互換 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、『[低速またはフローティング CMOS 入力の影響](#)』アプリケーション レポートを参照してください。

動作中は、TTL 互換 CMOS 入力をフローティングのままにしないでください。未使用の入力は、 V_{CC} または GND に終端させる必要があります。システムが常に入力をアクティブに駆動していない場合は、プルアップまたはプルダウン抵抗を追加して、これらの時間中に有効な入力電圧を供給できます。抵抗値は複数の要因によって決まりますが、 $10\text{k}\Omega$ の抵抗を推奨します。通常はこれですべての要件を満たします。

7.3.4 ウェッタブル フランク

このデバイスには、少なくとも 1 つのパッケージのウェッタブル フランクが含まれています。この機能を搭載しているパッケージについては、データシートの先頭ページにある「特長」セクションを参照してください。

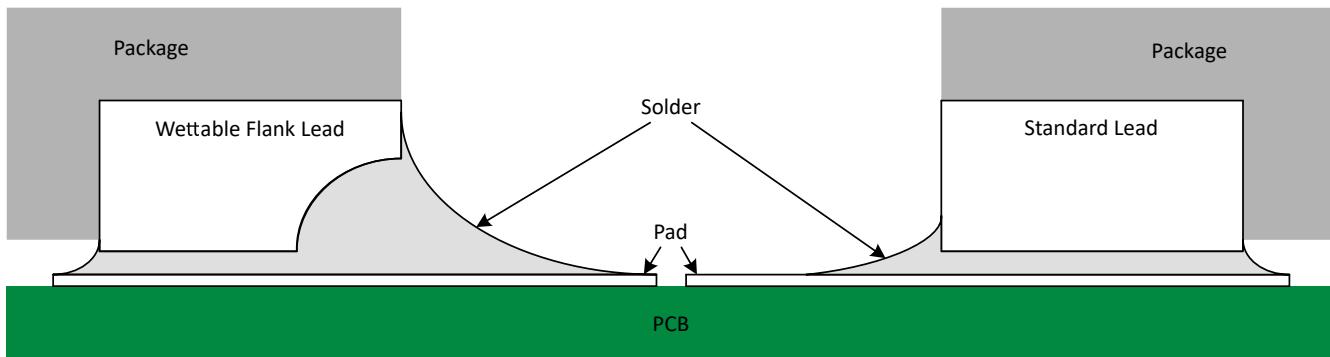


図 7-1. 半田付け後のウェッタブル フランク QFN パッケージと標準 QFN パッケージの概略断面図

ウェッタブル フランクは、半田付け後の側方のねじれ性を改善するのに役立ち、自動光学検査 (AOI) により QFN パッケージの検査が容易になります。ウェッタブル フランクは、図 7-1 に示すように、半田接着用の表面積を追加するために、ディンプル加工または段切りできます。これは、サイド フィレットを確実に作成するのに役立ちます。詳細については、メカニカルに関する図をご覧ください。

7.3.5 クランプ ダイオード構造

図 7-2 に示すように、このデバイスへの出力には正と負の両方のクランプ ダイオードがあり、このデバイスへの入力には負のクランプ ダイオードのみがあります。

注意

「絶対最大定格」表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。

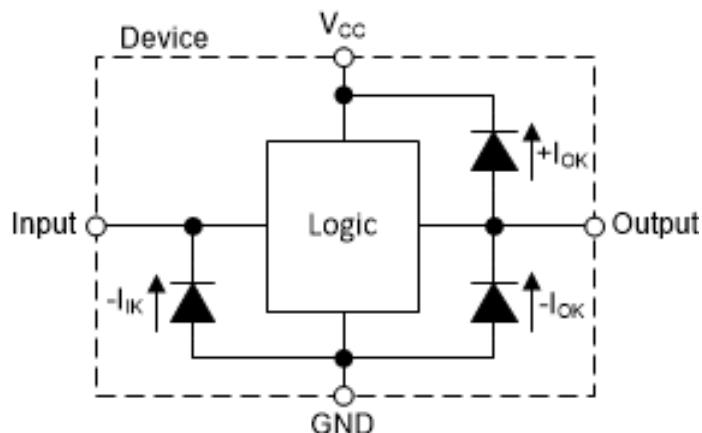


図 7-2. 各入力と出力に対するクランプ ダイオードの電気的配置

7.4 デバイスの機能モード

表 7-1. 機能表

入力					機能
SER	SRCLK	SRCLR	RCLK	OE	
X	X	X	X	H	出力 $Q_A \sim Q_H$ がディセーブルになります。
X	X	X	X	L	出力 $Q_A \sim Q_H$ がイネーブルになります。
X	X	L	X	X	シフトレジスタがクリアされます。
L	↑	H	X	X	シフトレジスタの最初のステージが Low になります。 他のステージでは、それぞれ前のステージのデータが保存されます。
H	↑	H	X	X	シフトレジスタの最初のステージが High になります。 他のステージでは、それぞれ前のステージのデータが保存されます。
X	X	X	↑	X	シフトレジスタのデータは、ストレージ レジスタに保存されます。

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

SN74AHCT595-Q1 は、出力リミングが懸念される多くのバスインターフェイスタイプのアプリケーションで使用できる低駆動能力の CMOS デバイスです。低駆動および低速エッジ レートにより、出力のオーバーシュートとアンダーシュートが最小限に抑えられます。 $V_{IL} = 0.8V$ および $V_{IH} = 2V$ の TTL 入力に対応するため、入力スイッチング レベルが下げられています。この機能により、本デバイスは 3.3V から 5V への変換に最適です。このタイプの変換を、図 8-1 に示します。

8.2 代表的なアプリケーション

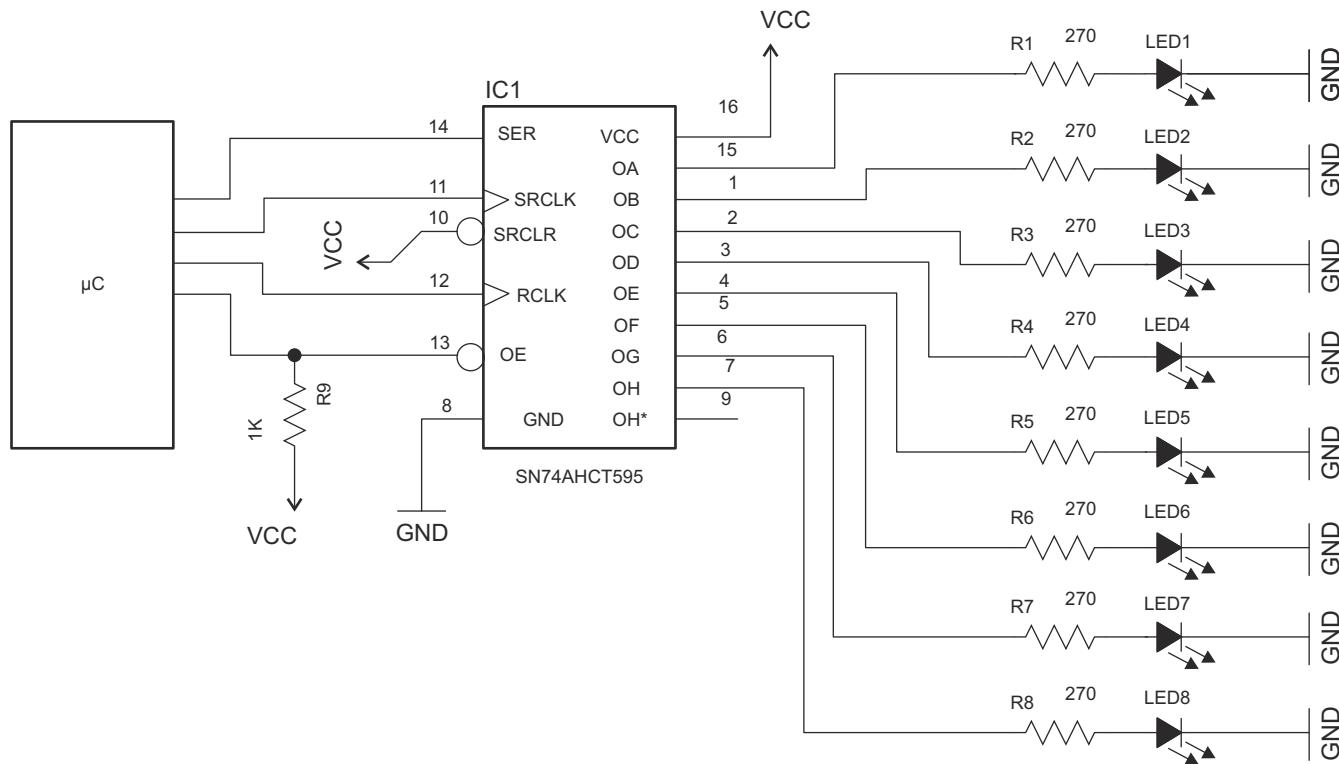


図 8-1. 具体的なアプリケーション回路図

8.2.1 設計要件

このデバイスは CMOS 技術を採用しており、平衡型出力ドライバを備えています。上限値を超える電流が流れる可能性があるため、バスが競合しないように注意します。また、大きな駆動能力で軽負荷を駆動することでも高速なエッジが生じるため、配線と負荷の条件を検討してリミングを防止してください。

8.2.2 詳細な設計手順

- 推奨入力条件
 - High レベルと Low レベルを規定。「[推奨動作条件](#)」表の (V_{IH} および V_{IL}) を参照してください。

- High レベルと Low レベルを規定。「[推奨動作条件](#)」表の (V_{IH} および V_{IL}) を参照してください。
- 入力は過電圧許容で、任意の有効な V_{CC} において最大 5.5V に対応できます。
- 推奨出力条件
 - 負荷電流は、出力あたりの 25mA および部品の合計 50mA を超えないようにする必要があります。
 - 出力は、 V_{CC} を超えてプルされないようにしてください。

8.2.3 アプリケーション曲線

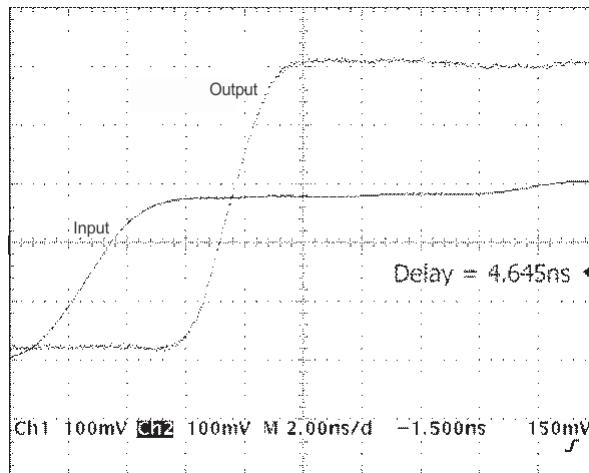


図 8-2. 代表的なアプリケーション曲線

8.3 電源に関する推奨事項

電源には、「[推奨動作条件](#)」表に記載されている最小電源電圧定格と最大電源電圧定格の間の任意の電圧を使用できます。

電源の障害を防止するため、各 V_{CC} ピンに適切なバイパスコンデンサを配置する必要があります。単一電源のデバイスの場合は、0.1 μ F を推奨します。複数の V_{CC} ピンがある場合は、各電源ピンに対して 0.01 μ F または 0.022 μ F を推奨します。複数のバイパスコンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1 μ F と 1 μ F のコンデンサを並列に使用します。最良の結果を得るため、バイパスコンデンサは電源ピンのできるだけ近くに配置してください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

多ビットロジックデバイスを使用する場合、入力をフローティングにしないでください。

多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用する場合や 4 つのバッファゲートのうちの 3 つのみを使用する場合)。このような入力ピンを未接続のままにしないでください。外部接続の電圧が未確定の場合、動作状態が不定になるためです。[図 8-3](#) の仕様は、あらゆる状況で遵守する必要があります。デジタルロジックデバイスの未使用の入力はすべて、フローティングにならないよう、High または Low バイアスに接続する必要があります。特定の未使用の入力に対して適用が必要となるロジックレベルは、デバイスの機能により異なります。一般に、GND または V_{CC} のうち、より適切であるかより利便性の高い方に接続されます。本部品がトランシーバでない限り、一般的に、出力をフローティングにすることが許容されます。トランシーバに出力イネーブルピンがある場合、アサートされると本部品の出力セクションがディセーブルになります。この場合、I/O の入力セクションはディセーブルされないため、ディセーブル時にもフローティングにできません。

8.4.2 レイアウト例

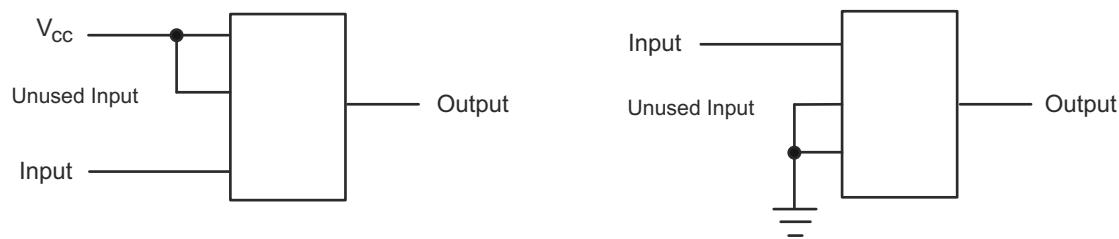


図 8-3. レイアウトの図

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- ・テキサス・インスツルメンツ、『CMOS の消費電力と Cpd の計算』
- ・テキサス・インスツルメンツ、『低速またはフローティング CMOS 入力の影響』
- ・テキサス・インスツルメンツ、『標準リニア / ロジック (SLL) パッケージおよびデバイスの熱特性』
- ・テキサス・インスツルメンツ、『シミュットリガについて』

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
2024 年 3 月	*	初版

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](#) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CAHCT595QWBQBRQ1	Active	Production	WQFN (BQB) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AT595Q
CAHCT595QWBQBRQ1.A	Active	Production	WQFN (BQB) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AT595Q
SN74AHCT595QPWRQ1	Active	Production	TSSOP (PW) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHT595Q
SN74AHCT595QPWRQ1.A	Active	Production	TSSOP (PW) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHT595Q
SN74AHCT595QPWRQ1.B	Active	Production	TSSOP (PW) 16	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

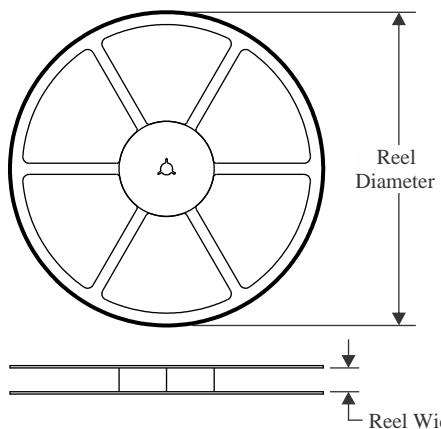
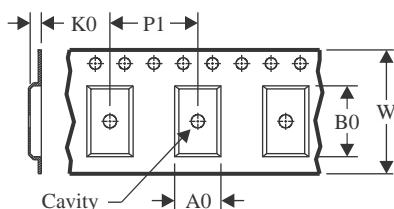
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74AHCT595-Q1 :

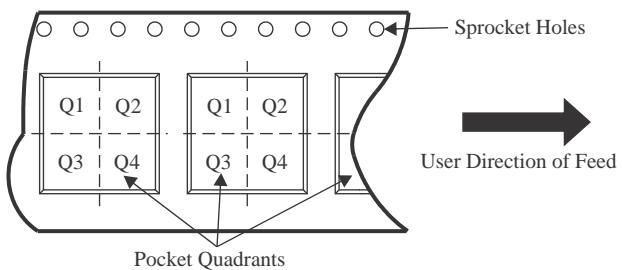
- Catalog : [SN74AHCT595](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

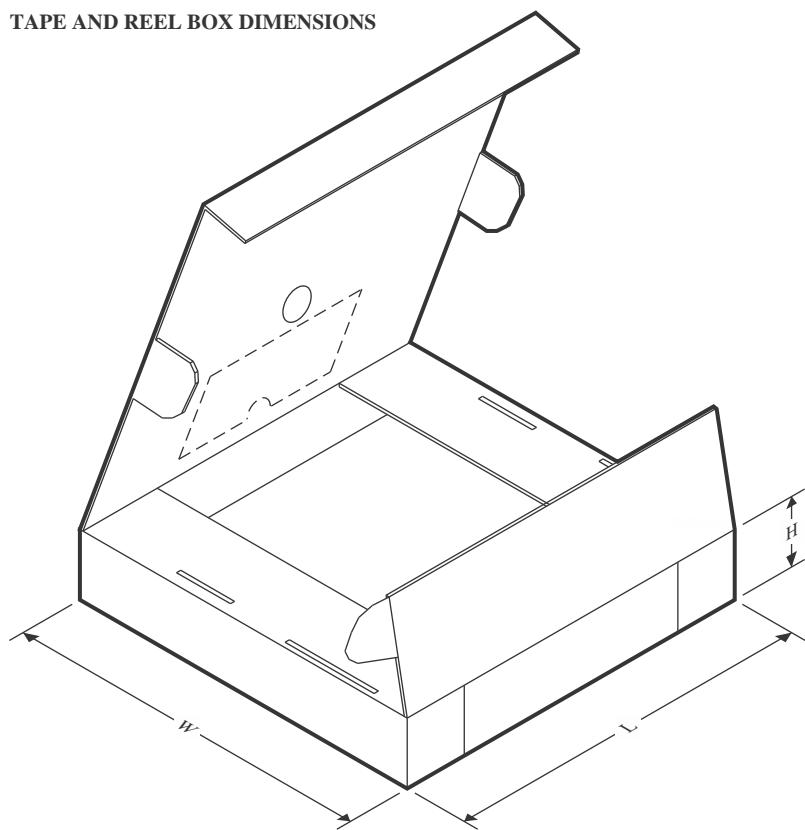
TAPE AND REEL INFORMATION
REEL DIMENSIONS

TAPE DIMENSIONS


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CAHCT595QWBQBRQ1	WQFN	BQB	16	3000	180.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
SN74AHCT595QPWRQ1	TSSOP	PW	16	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CAHCT595QWBQBRQ1	WQFN	BQB	16	3000	210.0	185.0	35.0
SN74AHCT595QPWRQ1	TSSOP	PW	16	3000	353.0	353.0	32.0

GENERIC PACKAGE VIEW

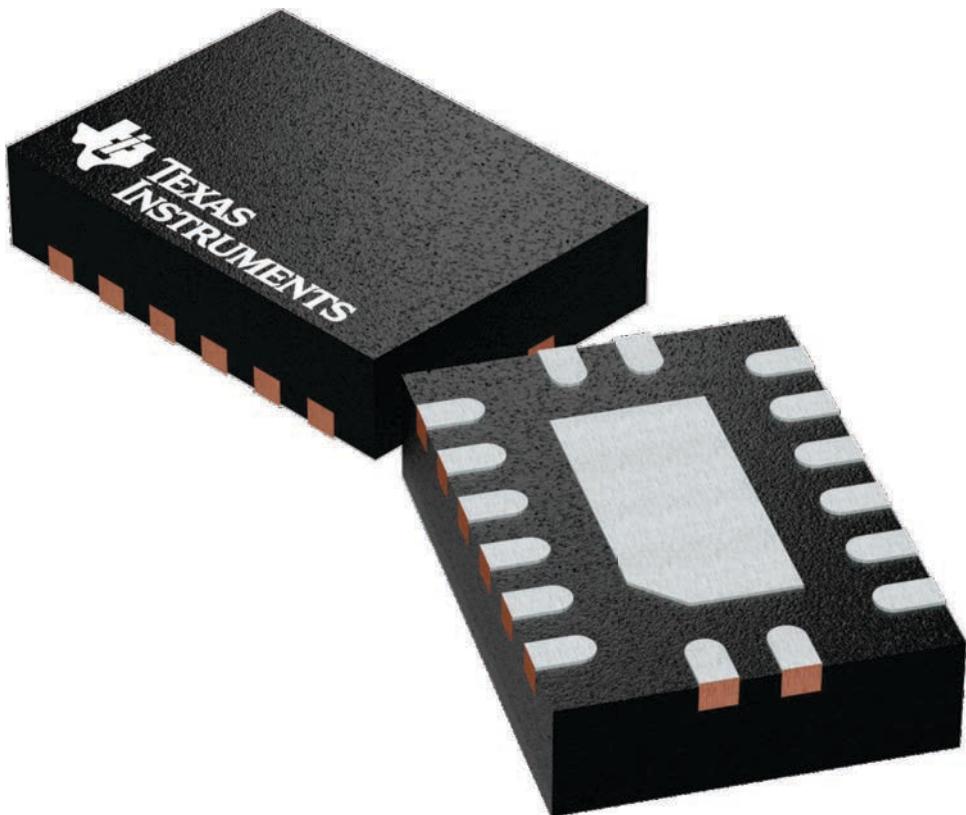
BQB 16

WQFN - 0.8 mm max height

2.5 x 3.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



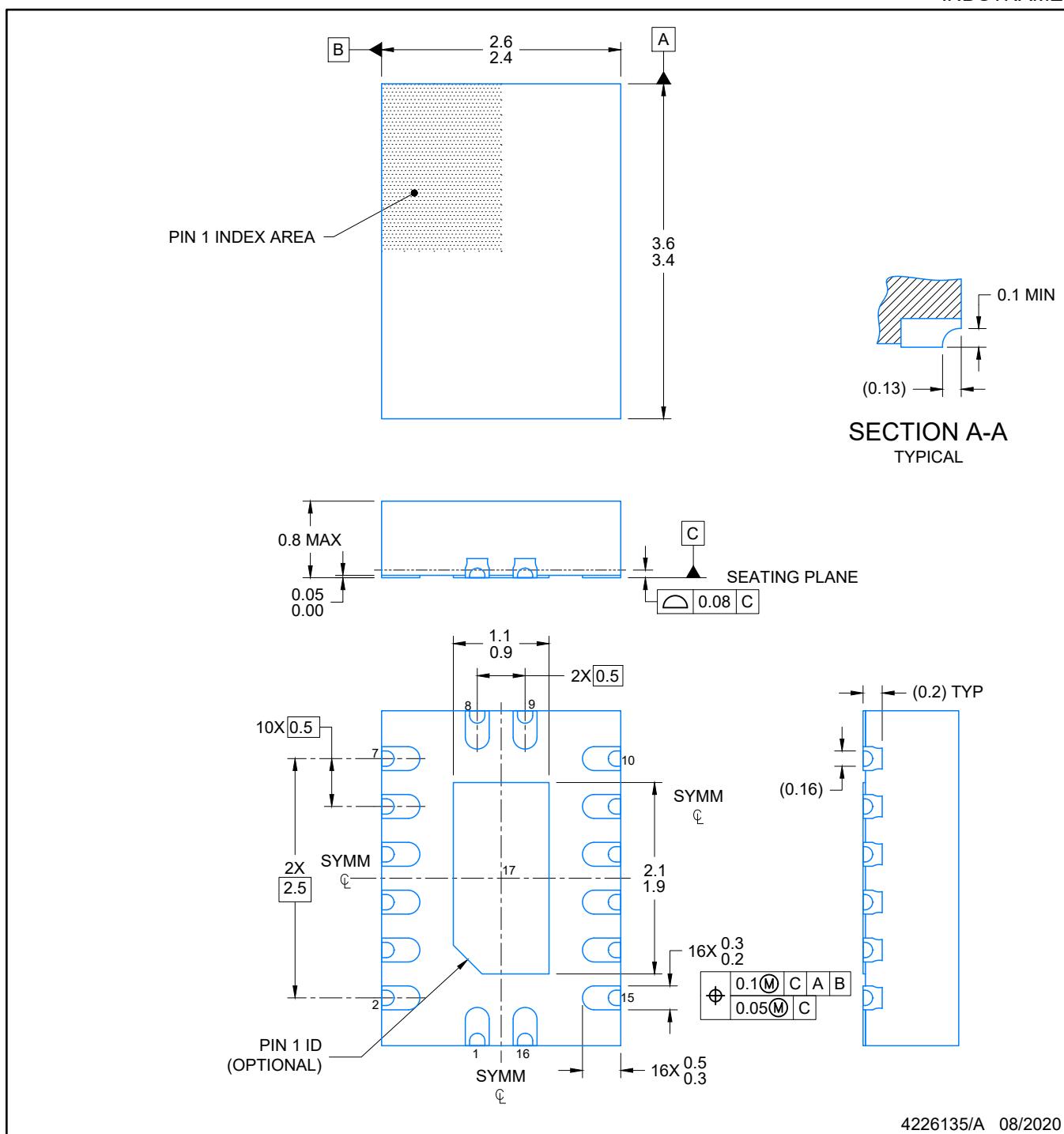
4226161/A

PACKAGE OUTLINE

WQFN - 0.8 mm max height

BQB0016B

INDSTNAME



4226135/A 08/2020

NOTES:

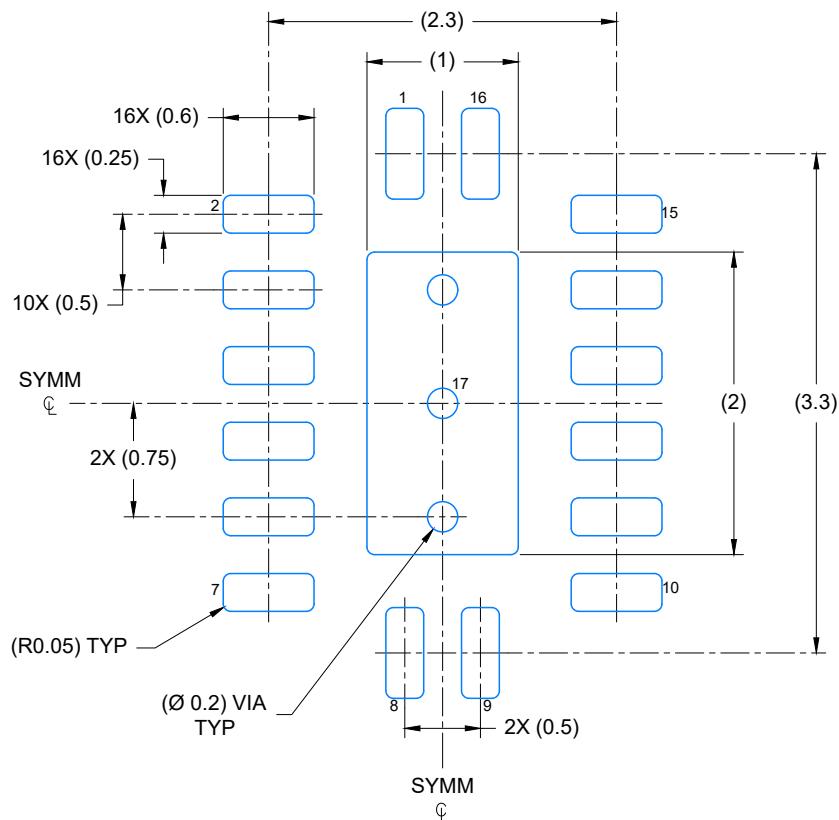
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

BQB0016B

WQFN - 0.8 mm max height

INDSTNAME



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

4226135/A 08/2020

NOTES: (continued)

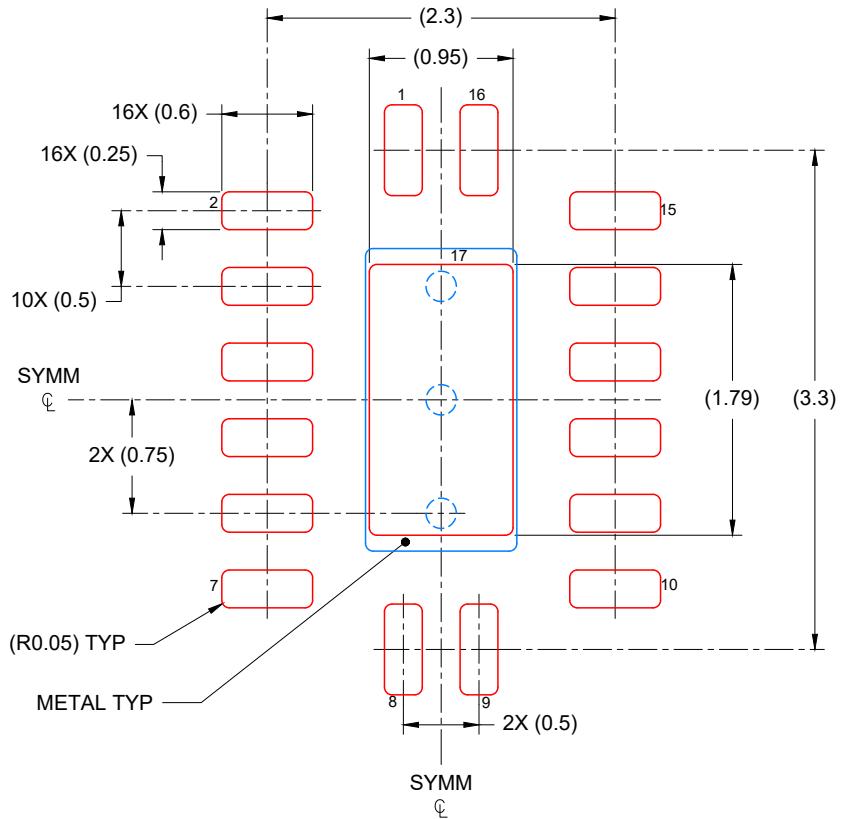
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
 5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

BQB0016B

WQFN - 0.8 mm max height

INDSTNAME



SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
85% PRINTED COVERAGE BY AREA
SCALE: 20X

4226135/A 08/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

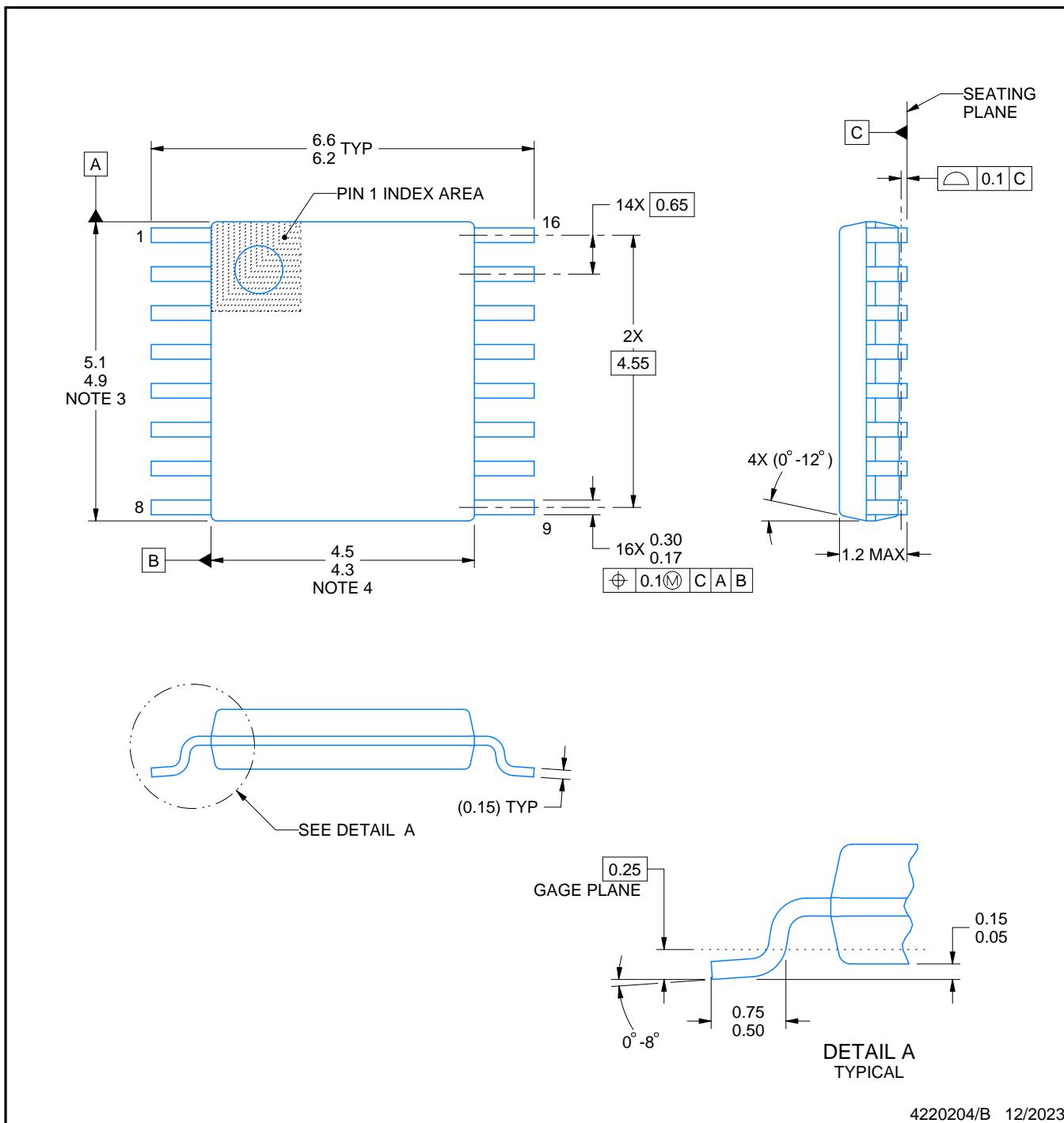
PACKAGE OUTLINE

PW0016A



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

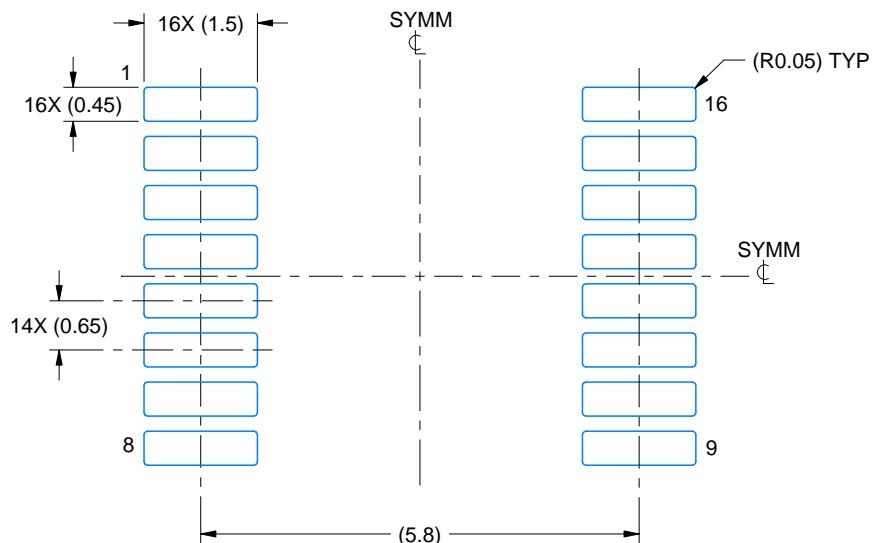
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

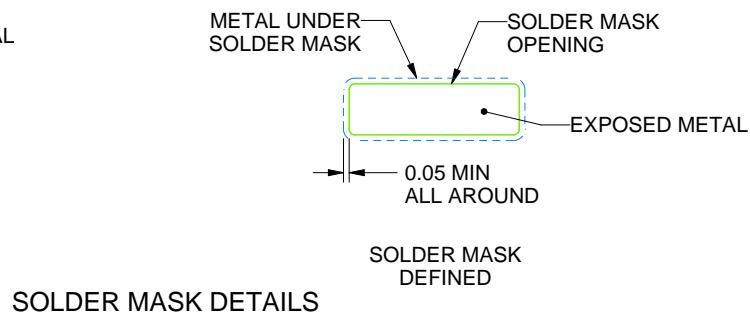
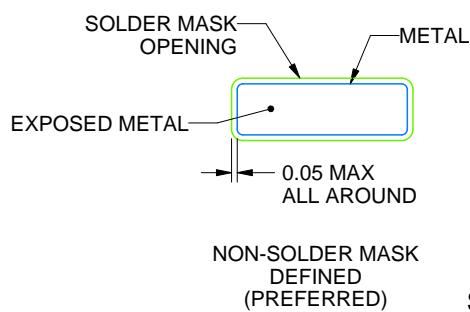
PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220204/B 12/2023

NOTES: (continued)

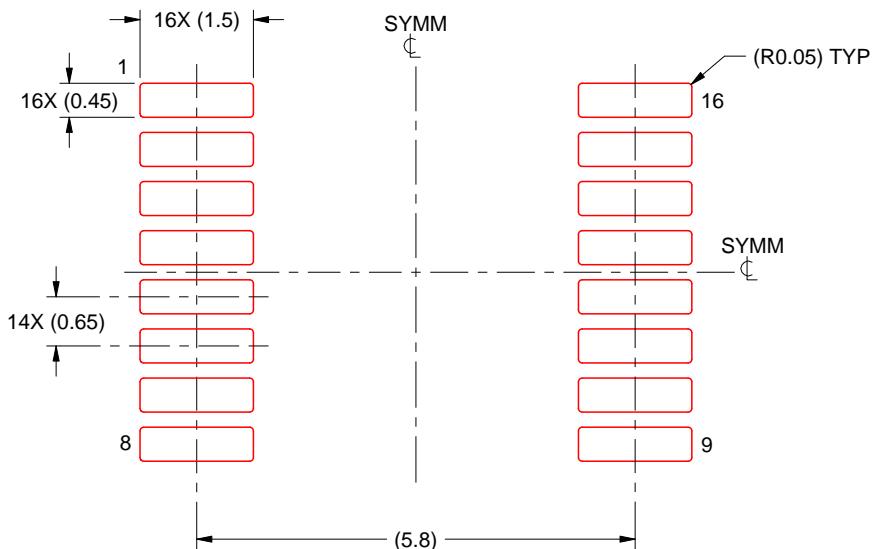
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月