

SN74AHCT245-Q1 車載用、3 ステート出力、オクタールバ ス トランシーバ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
 - 温度グレード 1: -40°C ~ +125°C, T_A
- 入力は TTL 電圧互換
- JESD 17 準拠で
250mA 超のラッチアップ性能

2 アプリケーション

- デジタル信号のイネーブルまたはディセーブル
- コントローラ・リセット時の信号保持
- スイッチのデバウンス

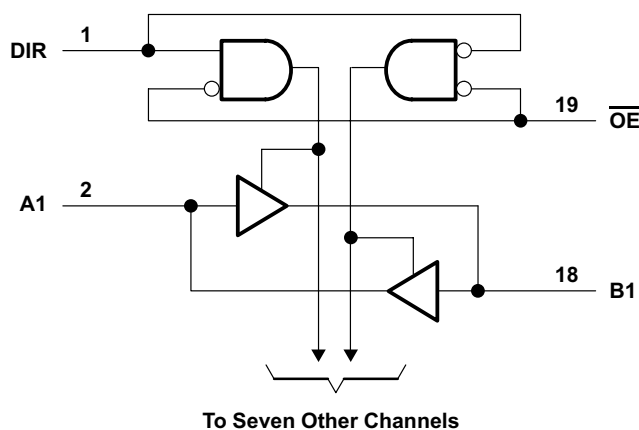
3 説明

SN74AHCT245-Q1 オクタールバ ス トランシーバは、データバス間の非同期双方向通信用に設計されています。これらの部品は、4.5V ~ 5.5V で動作します。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージサイズ ⁽²⁾	本体サイズ (公称) ⁽³⁾
SN74AHCT245-Q1	PW (TSSOP, 20)	6.5mm × 6.4mm	6.5mm × 4.4mm
	DGS (VSSOP, 20)	5.1mm × 4.9mm	5.1mm × 3mm

- 供給されているすべてのパッケージについては、[セクション 13](#) を参照してください。
- パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。
- 本体サイズ (長さ × 幅) は公称値であり、ピンは含まれません。



概略回路図



目次

1 特長	1	7.3 機能説明	9
2 アプリケーション	1	7.4 デバイスの機能モード	9
3 説明	1	8 アプリケーションと実装	10
4 ピン構成および機能	3	8.1 アプリケーション情報	10
5 仕様	4	8.2 代表的なアプリケーション	10
5.1 絶対最大定格.....	4	9 電源に関する推奨事項	11
5.2 ESD 定格.....	4	10 レイアウト	11
5.3 推奨動作条件.....	4	10.1 レイアウトのガイドライン.....	11
5.4 熱に関する情報.....	5	10.2 レイアウト例.....	11
5.5 電気的特性.....	5	11 デバイスおよびドキュメントのサポート	12
5.6 スイッチング特性.....	6	11.1 ドキュメントの更新通知を受け取る方法.....	12
5.7 ノイズ特性.....	6	11.2 サポート・リソース.....	12
5.8 動作特性.....	6	11.3 商標.....	12
5.9 代表的特性.....	7	11.4 静電気放電に関する注意事項.....	12
6 パラメータ測定情報	8	11.5 用語集.....	12
7 詳細説明	9	12 改訂履歴	12
7.1 概要.....	9	13 メカニカル、パッケージ、および注文情報	12
7.2 機能ブロック図.....	9		

4 ピン構成および機能

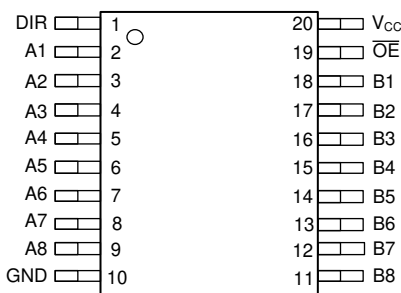


図 4-1. SN74AHCT245-Q1 : PW または DGS パッケージ、20 ピン TSSOP または VSSOP (上面図)

表 4-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
DIR	1	I	方向ピン
A1	2	I/O	A1 入出力
A2	3	I/O	A2 入出力
A3	4	I/O	A3 入出力
A4	5	I/O	A4 入出力
A5	6	I/O	A5 入出力
A6	7	I/O	A6 入出力
A7	8	I/O	A7 入出力
A8	9	I/O	A8 入出力
GND	10	G	グラウンド ピン
B8	11	I/O	B8 入出力
B7	12	I/O	B7 入出力
B6	13	I/O	B6 入出力
B5	14	I/O	B5 入出力
B4	15	I/O	B4 入出力
B3	16	I/O	B3 入出力
B2	17	I/O	B2 入出力
B1	18	I/O	B1 入出力
OE	19	I	出力イネーブル
VCC	20	P	パワー ピン

(1) I = 入力、O = 出力、P = 正の電源、G = グラウンド

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	7	V
V_I	入力電圧範囲 ⁽²⁾	制御入力	-0.5	7	V
V_O	出力電圧範囲 ⁽²⁾		-0.5	$V_{CC} + 0.5$	V
I_{IK}	入力クランプ電流	$V_I < 0$		-20	mA
I_{OK}	出力クランプ電流	$V_O < 0$ または $V_O > V_{CC}$		± 20	mA
I_O	連続出力電流	$V_O = 0 \sim V_{CC}$		± 25	mA
	V_{CC} または GND を通過する連続電流			± 75	mA
T_{stg}	保存温度		-65	150	°C

- (1) 「絶対最大定格」の範囲を超える動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 ESD 定格

			最小値	最大値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 HBM ESD 分類レベル 2 準拠 ⁽¹⁾		± 2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4B 準拠		± 1000	

- (1) AEC Q100-002 には、HBM ストレス試験は ANSI/ESDA/JEDEC JS-001 仕様に従って実施することと規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		SN74AHCT245-Q1		単位
		最小値	最大値	
V_{CC}	電源電圧	4.5	5.5	V
V_{IH}	High レベル入力電圧	2		V
V_{IL}	Low レベル入力電圧		0.8	V
V_I	入力電圧	0	5.5	V
V_O	出力電圧	0	V_{CC}	V
I_{OH}	High レベル出力電流		-8	mA
I_{OL}	Low レベル出力電流		8	mA
$\Delta t/\Delta v$	入力遷移の立ち上がりおよび立ち下がりレート		20	ns/V
T_A	自由空気での動作温度	-40	125	°C

- (1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、 V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーション レポート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		SN74AHCT245-Q1		単位
		PW	DGS	
		20 ピン	20 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	102.8	118.4	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	36.8	57.7	
$R_{\theta JB}$	接合部から基板への熱抵抗	53.8	73.1	
Ψ_{JT}	接合部から上面への特性パラメータ	2.5	5.7	
Ψ_{JB}	接合部から基板への特性パラメータ	53.3	72.7	
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	V_{CC}	$T_A = 25^\circ\text{C}$			$-40^\circ\text{C} \sim 125^\circ\text{C}$		単位
				最小値	標準値	最大値	最小値	最大値	
V_{OH}		$I_{OH} = -50\mu\text{A}$	4.5V	4.4	4.5		4.4		V
		$I_{OH} = -8\text{mA}$		3.94			3.7		
V_{OL}		$I_{OL} = 50\mu\text{A}$	4.5V			0.1		0.1	V
		$I_{OH} = 8\text{mA}$				0.36		0.44	
I_I	\overline{OE} または DIR	$V_I = 5.5\text{V}$ または GND	0 ~ 5.5V			± 0.1		± 1	μA
I_{OZ}	A または B 入力 ⁽¹⁾	$V_O = V_{CC}$ または GND	5.5V			± 0.25		± 2.5	μA
I_{CC}		$V_I = V_{CC}$ または GND、 $I_O = 0$	5.5V			4		40	μA
ΔI_{CC} ⁽²⁾		1 つの入力は 3.4V、 その他の入力は V_{CC} または GND	5.5V			1.35		1.5	mA
C_i	\overline{OE} または DIR	$V_I = V_{CC}$ または GND	5V		2.5	10			pF
C_{io}	A または B 入力	$V_I = V_{CC}$ または GND	5V		4				pF

(1) I/O ポートの場合、パラメータ I_{OZ} には入力リーク電流が含まれます。

(2) これは、0V や V_{CC} ではなく、規定された TTL 電圧レベルのいずれかにおける各入力の電源電流の増加量です。

5.6 スイッチング特性

自由気流での推奨動作温度範囲内、 $V_{CC} = 5V \pm 0.5V$ (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	負荷 容量	$T_A = 25^\circ\text{C}$		$-40^\circ\text{C} \sim 125^\circ\text{C}$		単位
				標準値	最大値	最小値	最大値	
t_{PLH}	A または B	B または A	$C_L = 15\text{pF}$	4.5	7.7	1	10	ns
t_{PHL}				4.5	7.7	1	10	
t_{PZH}	$\overline{\text{OE}}$	A または B	$C_L = 15\text{pF}$	8.9	13.8	1	16	ns
t_{PZL}				8.9	13.8	1	16	
t_{PHZ}	$\overline{\text{OE}}$	A または B	$C_L = 15\text{pF}$	9.2	14.4	1	16.5	ns
t_{PLZ}				9.2	14.4	1	16.5	
t_{PLH}	A または B	B または A	$C_L = 50\text{pF}$	5.3	8.7	1	11	ns
t_{PHL}				5.3	8.7	1	11	
t_{PZH}	$\overline{\text{OE}}$	A または B	$C_L = 50\text{pF}$	9.7	14.8	1	17	ns
t_{PZL}				9.7	14.8	1	17	
t_{PHZ}	$\overline{\text{OE}}$	A または B	$C_L = 50\text{pF}$	10	15.4	1	17.5	ns
t_{PLZ}				10	15.4	1	17.5	
$t_{sk(o)}$			$C_L = 50\text{pF}$		1			ns

5.7 ノイズ特性

$V_{CC} = 5\text{V}$ 、 $C_L = 50\text{pF}$ 、 $T_A = 25^\circ\text{C}$ ⁽¹⁾

パラメータ		SN74AHCT245-Q1			単位
		最小値	標準値	最大値	
$V_{OH(V)}$	低ノイズ出力、最小動的電圧 V_{OH}		4		V
$V_{IH(D)}$	High レベル動的入力電圧	2			V
$V_{IL(D)}$	Low レベル動的入力電圧			0.8	V

(1) 特性は表面実装パッケージのみが対象です。

5.8 動作特性

$V_{CC} = 5V$ 、 $T_A = 25^\circ\text{C}$

パラメータ		テスト条件		標準値	単位
C_{pd}	電力散逸容量	無負荷	$f = 1\text{MHz}$	13	pF

5.9 代表的特性

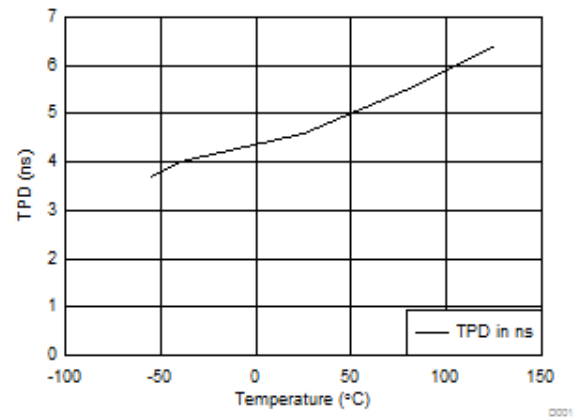
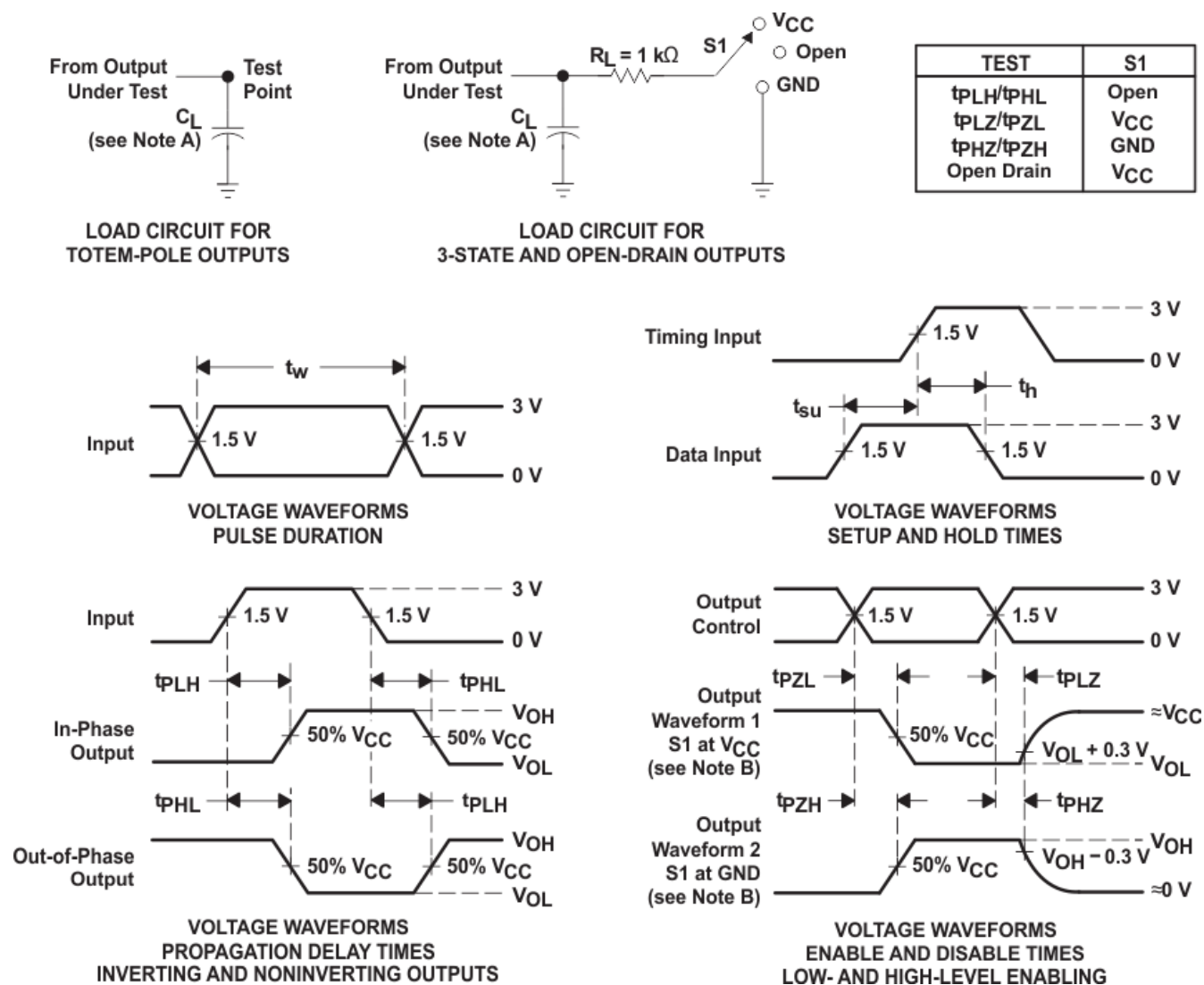


図 5-1. SN74AHCT245-Q1 TPD と温度との関係、15pF 負荷

6 パラメータ測定情報



- A. C_L にはプローブと治具の容量が含まれます。
- B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディスエーブルされている場合は除きます。
波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディスエーブルされている場合は除きます。
- C. すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR $\leq 1\text{ MHz}$ 、 $Z_O = 50\Omega$ 、 $t_r \leq 3\text{ ns}$ 、 $t_f \leq 3\text{ ns}$ 。
- D. 出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。
- E. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 6-1. 負荷回路および電圧波形

7 詳細説明

7.1 概要

SNx74AHC245 オクタル バストランシーバは、データ バス間の非同期双方向通信用に設計されています。制御機能を実装しているため、外部のタイミング要件は最小限です。SN74AHCT245-Q1 デバイスを使うと、方向制御 (DIR) 入力のロジック レベルに応じて、A バスから B バス、または B バスから A バスへデータを転送できます。出力イネーブル (\overline{OE}) 入力を使うと、本デバイスを無効化してバスを実質的に絶縁できます。電源投入または電源切断時に高インピーダンス状態を確保するため、 \overline{OE} はプルアップ抵抗経由で V_{CC} に接続する必要があります。この抵抗の最小値は、ドライバの電流シンク能力によって決定されます。

7.2 機能ブロック図

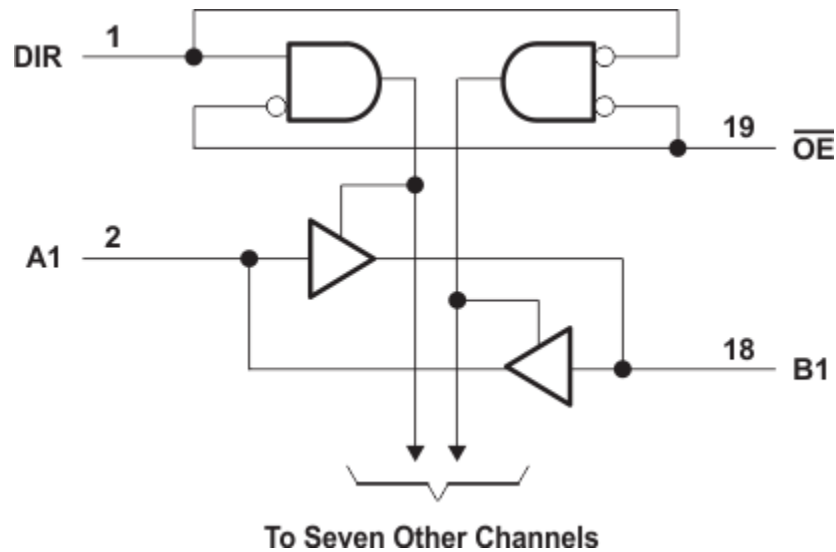


図 7-1. 論理図 (正論理)

7.3 機能説明

- V_{CC} は 5V に最適化
- 3.3V~5V の昇圧変換を許可
 - 入力 は 2V の V_{IH} レベルに対応
- 低エッジ レートにより出力リングングを最小化

7.4 デバイスの機能モード

表 7-1. 機能表
(各トランシーバ)

入力		動作
\overline{OE}	DIR	
L	L	B データを A バスへ
L	H	A データを B バスへ
H	X	絶縁

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証テストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

SN74AHCT245 は、出力リンギングが懸念される多くのバス インターフェイス タイプのアプリケーションで利用できる低駆動能力の CMOS デバイスです。低駆動および低速エッジ レートにより、出力のオーバーシュートとアンダーシュートが最小限に抑えられます。 $V_{IL} = 0.8V$ および $V_{IH} = 2V$ の TTL 入力に対応するため、入力スイッチング レベルが下げられています。この機能により、本デバイスは 3.3V から 5V への変換に理想的です。次の図は、このタイプの変換を示しています。

8.2 代表的なアプリケーション

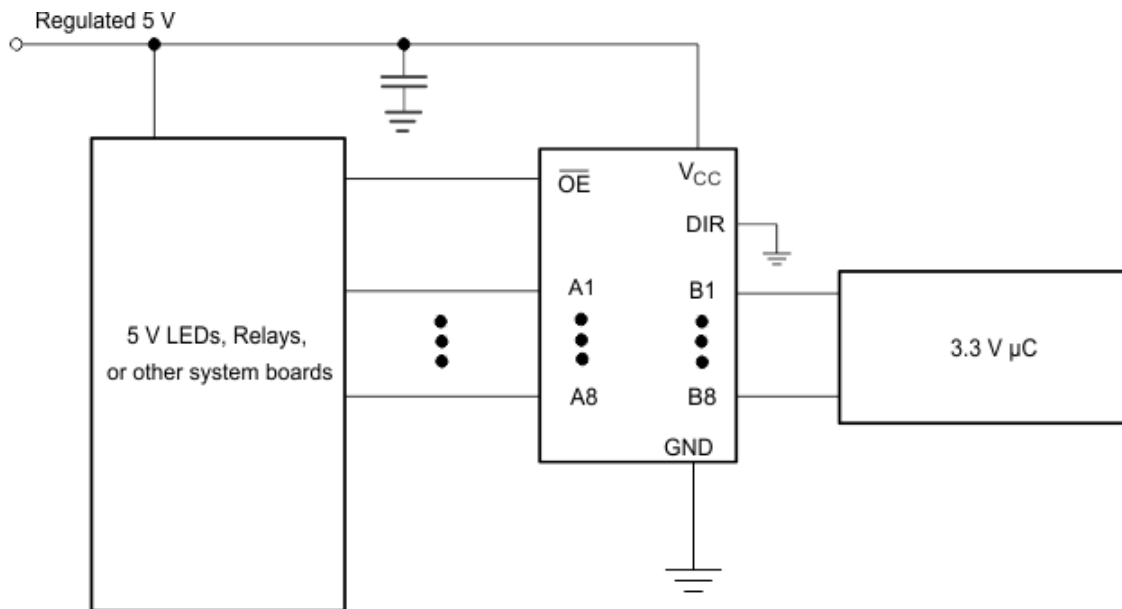


図 8-1. 代表的なアプリケーションの図

8.2.1 設計要件

このデバイスは CMOS 技術を採用しており、平衡型出力駆動を備えています。上限値を超える電流が流れる可能性があるため、バスが競合しないように注意します。また、大きな駆動能力で軽負荷を駆動することでも高速なエッジが生じるため、配線と負荷の条件を検討してリンギングを防止してください。

8.2.2 詳細な設計手順

- 推奨入力条件:
 - High レベルと Low レベルを規定。「推奨動作条件」表の (V_{IH} および V_{IL}) を参照してください。
 - High レベルと Low レベルを規定。「推奨動作条件」表の (V_{IH} および V_{IL}) を参照してください。
 - 入力は過電圧許容で、任意の有効な V_{CC} において最大 5.5V に対応できます。
- 推奨出力条件:
 - 負荷電流は、出力あたりの 25mA および部品の合計 50mA を超えないようにする必要があります。
 - 出力は、 V_{CC} を超えてプルされないようにしてください。

8.2.3 アプリケーション曲線

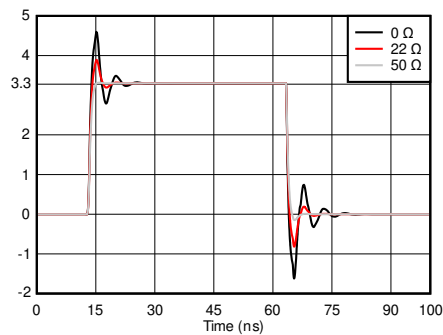


図 8-2. 代表的なアプリケーション曲線

9 電源に関する推奨事項

電源には、「[推奨動作条件](#)」表に記載されている最小電源電圧定格と最大電源電圧定格の間の任意の電圧を使用できます。

電源の障害を防止するため、各 VCC ピンに適切なバイパス コンデンサを配置する必要があります。単一電源のデバイスの場合は、0.1μF のコンデンサを推奨します。複数の VCC ピンがある場合は、各電源ピンに対して 0.01μF または 0.022μF のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。0.1μF と 1μF のコンデンサを並列に使用するのが一般的です。最良の結果を得るため、バイパス コンデンサは電源ピンのできるだけ近くに配置してください。

10 レイアウト

10.1 レイアウトのガイドライン

多ビット ロジック デバイスを使用する場合、入力をフローティングにしないでください。

多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、3 入力 AND ゲートの 2 つの入力のみを使用したり、4 つのバッファ ゲートのうち 3 つのみを使用したりする場合)。このような入力ピンを未接続のままにしないでください。外部接続の電圧が未確定の場合、動作状態が不定になるためです。[図 10-1](#) の仕様は、あらゆる状況で遵守する必要があります。デジタル ロジック デバイスの未使用の入力はすべて、フローティングにならないように、High または Low バイアスに接続する必要があります。特定の未使用の入力に対して適用が必要となるロジックレベルは、デバイスの機能により異なります。一般に、GND または VCC のうち、より適切であるかより利便性の高い方に接続されます。本部品がトランシーバでない限り、一般的に、出力をフローティングにすることが許容されます。トランシーバに出力イネーブル ピンがある場合、アサートされると本部品の出力セクションがディセーブルになります。この場合、I/O の入力セクションはディセーブルされないため、ディセーブル時にもフローティングにできません。

10.2 レイアウト例

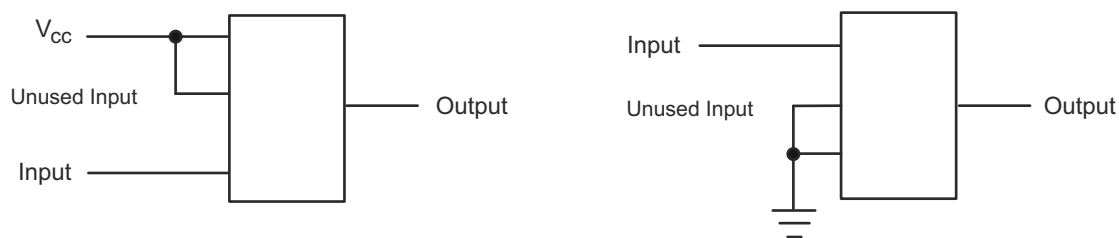


図 10-1. レイアウトの例

11 デバイスおよびドキュメントのサポート

11.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

11.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

11.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

11.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.5 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

12 改訂履歴

Changes from Revision * (April 2023) to Revision A (June 2025)

Page

• DGS パッケージを追加.....	1
---------------------	---

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74AHCT245QDGSRQ1	Active	Production	VSSOP (DGS) 20	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CT245Q
SN74AHCT245QPWRQ1	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHCT245Q
SN74AHCT245QPWRQ1.A	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHCT245Q

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74AHCT245-Q1 :

- Catalog : [SN74AHCT245](#)

- Enhanced Product : [SN74AHCT245-EP](#)

- Military : [SN54AHCT245](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AHCT245QDGSRQ1	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
SN74AHCT245QPWRQ1	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AHCT245QDGSRQ1	VSSOP	DGS	20	5000	353.0	353.0	32.0
SN74AHCT245QPWRQ1	TSSOP	PW	20	2000	353.0	353.0	32.0



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220206/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



4226367/A 10/2020

NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4226367/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月