SN54AHCT132、SN74AHCT132 クワッド正論理 NAND ゲート シュミット・トリガ入力搭載

1 特長

- 動作範囲:4.5V～5.5V
- 低消費電力、I_{CC} の最大値 10μA
- 5V で ±8mA の出力駆動能力
- 非常に低速な入力遷移からの動作
- 温度補償スレッショルド・レベル
- 優れたノイズ耐性
- AHCT00 と同じピン配置
- JESD 17 準拠で 250mA 超のラッチアップ性能

2 アプリケーション

- デジタル信号のイネーブルまたはディスエーブル
- インジケータ LED の制御
- 通信モジュールとシステム・コントローラ間の変換

3 概要

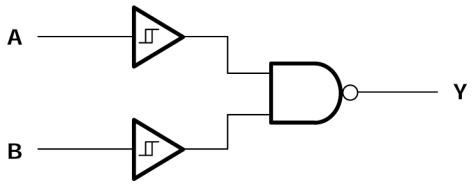
AHCT132 デバイスは、クワッド正論理 NAND ゲートです。これらのデバイスは、ブール関数 $Y = \overline{A \cdot B}$ または $Y = \overline{A} + \overline{B}$ を正論理で実行します。

各回路は NAND ゲートとして機能しますが、シュミット動作により、正方向と負方向の信号に対して異なる入力スレッショルド・レベルがあります。これらの回路は温度補償されており、最も遅い入力ランプからトリガすることができますが、クリーンなジッタのない出力信号を出力できます。

パッケージ情報 (1)

部品番号	パッケージ	パッケージ・サイズ	本体サイズ (公称)
SN74AHCT132	D (SOIC、14)	8.7mm × 6mm	8.7mm × 3.9mm
	DB (SSOP、14)	6.2mm × 7.8mm	6.2mm × 5.3mm
	DGV (TVSOP、14)	3.6mm × 6.4mm	3.6mm × 4.4mm
	N (PDIP、14)	19.3mm × 8mm	19.3mm × 6.3mm
	NS (SOP、14)	10.3mm × 7.8mm	10.3mm × 5.3mm
	PW (TSSOP、14)	5mm × 6.4mm	5mm × 4.4mm
	BQA (WQFN、14)	3mm × 2.5mm	3mm × 2.5mm
SN54AHCT132	J (CDIP、14)	21.3mm × 7.6mm	19.56mm × 6mm
	W (CFP、14)	9.9mm × 6.3mm	9.2mm × 6.3mm
	FK (LCCC、20)	8.9mm × 8.9mm	8.9mm × 8.9mm

(1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。



各ゲートの論理図 (正論理)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.... 1
2 アプリケーション.... 1
3 概要.... 1
4 改訂履歴.... 2
5 ピン構成と機能.... 3
6 仕様.... 5
6.1 絶対最大定格.... 5
6.2 ESD 定格.... 5
6.3 推奨動作条件.... 5
6.4 熱に関する情報.... 5
6.5 電気的特性.... 6
6.6 スイッチング特性.... 6
6.7 ノイズ特性.... 6
6.8 動作特性.... 7
6.9 代表的特性.... 7
7 パラメータ測定情報.... 8
8 詳細説明.... 9
8.1 概要.... 9
8.2 機能ブロック図.... 9
8.3 機能説明.... 9
8.4 デバイスの機能モード.... 10
9 アプリケーションと実装.... 11
9.1 アプリケーション情報.... 11
9.2 代表的なアプリケーション.... 11
9.3 電源に関する推奨事項.... 14
9.4 レイアウト.... 14
10 デバイスおよびドキュメントのサポート.... 15
10.1 ドキュメントの更新通知を受け取る方法.... 15
10.2 サポート・リソース.... 15
10.3 商標.... 15
10.4 静電気放電に関する注意事項.... 15
10.5 用語集.... 15
11 メカニカル、パッケージ、および注文情報.... 15

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision H (May 2023) to Revision I (October 2023)	Page
• RθJA の値を更新：D = 86～124.5、PW = 113～147.7、すべての値は℃/W 単位	5

Changes from Revision G (May 1997) to Revision H (May 2023)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• データシートに BQA パッケージ情報を追加	1

Copyright © 2023 Texas Instruments Incorporated

5 ピン構成と機能

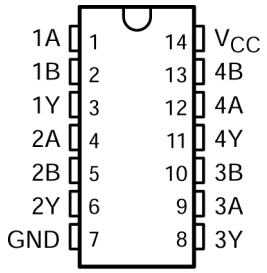
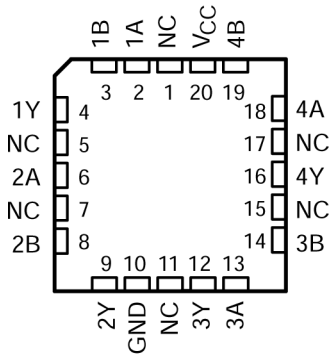


図 5-1. SN54AHCT132 J または W パッケージ SN74AHCT132 D、DB、DGV、N、NS、PW パッケージ (上面図)



NC – No internal connection

図 5-2. SN54AHCT132 FK パッケージ (上面図)

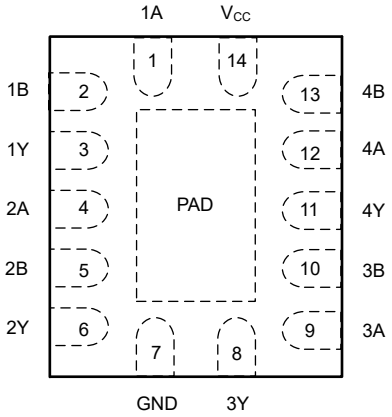


図 5-3. SN74AHCT132 BQA パッケージ (上面図)

表 5-1. ピンの機能

ピン					種類 (1)	説明
名称	SN74AHCT132		SN54AHCT132			
	D、DB、DGV、N、NS、PW	BQA	J、W	FK		
1A	1	1	1	2	I	1A 入力
1B	2	2	2	3	O	1Y 出力
1Y	3	3	3	4	I	2A 入力
2A	4	4	4	6	O	2Y 出力
2B	5	5	5	8	I	3A 入力
2Y	6	6	6	9	O	3Y 出力
3A	9	9	9	13	I	4A 入力
3B	10	8	8	14	O	4Y 出力
3Y	8	11	11	12	I	5A 入力
4A	12	10	10	18	I	5Y 出力
4B	13	13	13	19	I	6A 入力
4Y	11	12	12	16	O	6Y 出力
GND	7	7	7	—	—	グランド・ピン

表 5-1. ピンの機能 (続き)

ピン					種類 (1)	説明
名称	SN74AHCT132		SN54AHCT132			
	D、DB、DGV、N、NS、PW	BQA	J、W	FK		
NC	—	—	—	1、5、7、11、15、17	—	非接続
V_{CC}	14	14	14	20	—	パワー・ピン

(1) 信号タイプ : I = 入力、O = 出力、I/O = 入力または出力。

Copyright © 2023 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
V_{CC}	電源電圧		-0.5	7	V
V_I (2)	入力電圧		-0.5	7	V
V_O (2)	出力電圧		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流	(V_I < 0)		-20	mA
I_{OK}	出力クランプ電流	(V_O < 0 または V_O > V_{CC})		±20	mA
I_O	連続出力電流	(V_O = 0～V_{CC})		±25	mA
	V_{CC} または GND を通過する連続電流			±50	mA
T_{stg}	保管温度範囲		-65	150	℃

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1)	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠(2)	±1000	

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)(1)

		SN54AHCT132		SN74AHCT132		単位
		最小値	最大値	最小値	最大値	
V_{CC}	電源電圧	4.5	5.5	4.5	5.5	V
V_I	入力電圧	0	5.5	0	5.5	V
V_O	出力電圧	0	V_{CC}	0	V_{CC}	V
I_{OH}	High レベル出力電流		-8		-8	mA
I_{OL}	Low レベル出力電流		8		8	mA
T_A	自由気流での動作温度	-55	125	-40	85	℃

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーション・レポート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。

6.4 熱に関する情報

		SNx4AHCT132							単位
		D	DB	DGV	N	NS	PW	BQA	
熱評価基準 1		14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	124.5	96	127	80	76	147.7	88.3	℃/W

6.5 電気的特性

自由気流での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	T_A = 25℃			SN54AHCT132		SN74AHCT132		単位
			最小値	代表値	最大値	最小値	最大値	最小値	最大値	
V_{T+} 正方向入力のスレッショルド電圧		4.5V	0.9		1.9	0.9	1.9	0.9	1.9	V
		5.5V	1		2.1	1	2.1	1	2.1	
V_{T-} 負方向入力のスレッショルド電圧		4.5V	0.5		1.5	0.5	1.5	0.5	1.5	V
		5.5V	0.6		1.7	0.6	1.7	0.6	1.7	
ΔV_T ヒステリシス (V_{T+} - V_{T-})		4.5V	0.3		1.4	0.3	1.4	0.3	1.4	V
		5.5V	0.3		1.5	0.3	1.5	0.3	1.5	
V_{OH}	I_{OH} = -50μA	4.5V	4.4	4.5		4.4		4.4		V
	I_{OH} = -8mA		3.94			3.8		3.8		
V_{OL}	I_{OL} = 50μA	4.5V			0.1		0.1		0.1	V
	I_{OL} = 8mA				0.36		0.5		0.44	
I_I	V_I = 5.5V または GND	0V～5.5V			±0.1		±1(1)		±1	μA
I_{CC}	V_I = VCC または GND、I_O = 0	5.5V			2		20		20	μA
ΔI_{CC} (2)	1 つの入力は 3.4V、その他の入力は V_{CC} または GND	5.5V			1.35		1.5		1.5	mA
C_i	V_I = V_{CC} または GND	5V		2	10				10	pF

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、V_{CC} = 0V で出荷時のテストは行っていません。
(2) これは、0V や V_{CC} ではなく、規定された TTL 電圧レベルのいずれかにおける、各入力の電源電流の増加です。

6.6 スイッチング特性

自由気流での推奨動作温度範囲内、V_{CC} = 5V ± 0.5V (特に記述のない限り) (負荷回路および電圧波形を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T_A = 25℃			SN54AHCT132		SN74AHCT132		単位
				最小値	代表値	最大値	最小値	最大値	最小値	最大値	
t_{PLH}	A または B	Y	C_L = 15pF		5.5(1)	8(1)	1(1)	ς 9(1)	1	9	ns
t_{PHL}					4.5(1)	6(1)	1(1)	7(1)	1	7	
t_{PLH}	A または B	Y	C_L = 50pF		6.5	9	1	10	1	10	ns
t_{PHL}					5.5	7	1	8	1	8	

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、出荷時のテストは行っていません。

6.7 ノイズ特性

V_{CC} = 5V、C_L = 50pF、T_A = 25℃(1)

パラメータ		SN74AHCT132			単位
		最小値	代表値	最大値	
$V_{OL(P)}$	クワイエット出力、最大動的電圧 V_{OL}		0.5	0.8	V
$V_{OL(V)}$	クワイエット出力、最小動的電圧 V_{OL}		-0.28	-0.8	V
$V_{OH(V)}$	クワイエット出力、最小動的電圧 V_{OH}		5		V
$V_{IH(D)}$	High レベル動的入力電圧	2			V
$V_{IL(D)}$	Low レベル動的入力電圧			0.8	V

(1) 特性は表面実装パッケージのみが対象です。

Copyright © 2023 Texas Instruments Incorporated

6.8 動作特性

V_{CC} = 5V、T_A = 25℃

パラメータ		テスト条件		代表値	単位
C_{pd}	消費電力容量	無負荷	f = 1MHz	15	pF

6.9 代表的特性

T_A = 25℃ (特に記述のない限り)

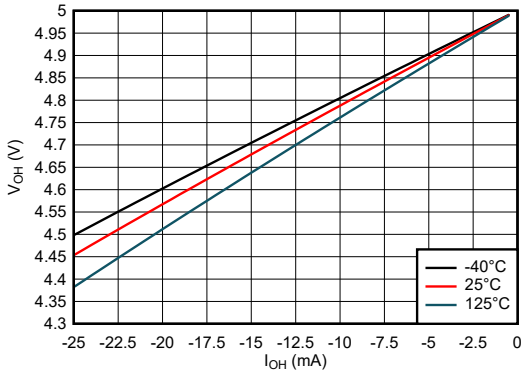


図 6-1. High 状態における出力電圧と電流との関係、5V 電源

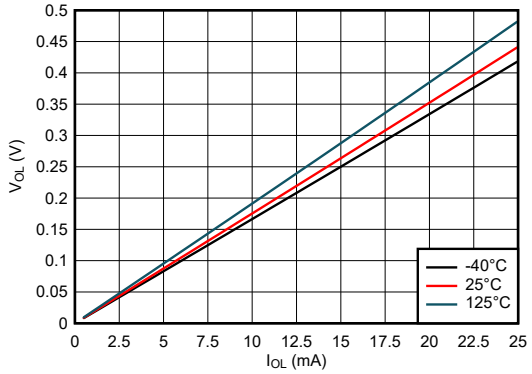
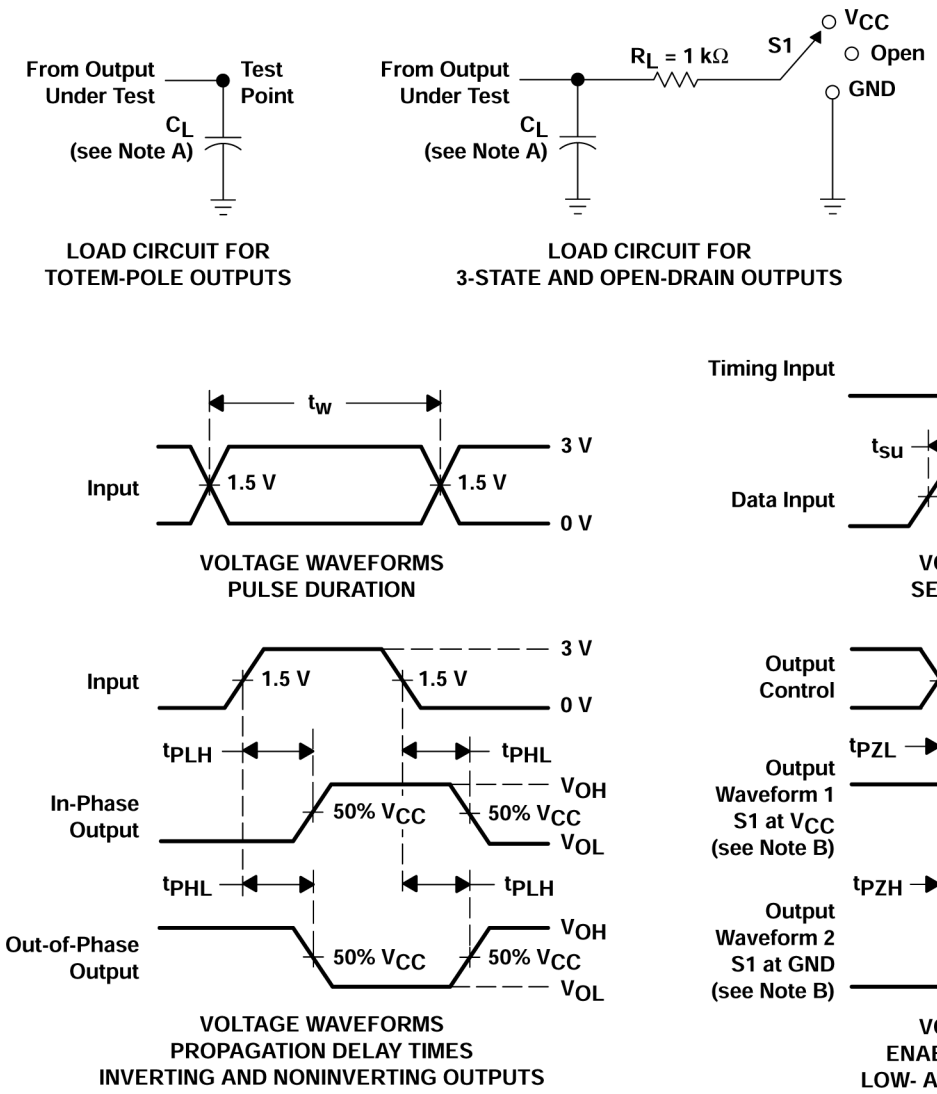


図 6-2. Low 状態における出力電圧と電流との関係、5V 電源

7 パラメータ測定情報



A. C_L にはプローブと治具の容量が含まれます。

B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルされている場合は除きます。波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルされている場合は除きます。

C. すべての入力パルスは、以下の特性を持つジェネレータから供給されます。PRR ≦ 1MHz、Z_O = 50Ω、t_r ≦ 3ns、t_f ≦ 3ns。

D. 出力は一度に 1 つずつ測定され、測定ごとに入力が 1 回遷移します。

図 7-1. 負荷回路および電圧波形

テスト	S1
t_{PLH}/t_{PHL}	オープン
t_{PLZ}/t_{PZL}	V_{CC}
t_{PHZ}/t_{PZH}	GND
オープン・ドレイン	V_{CC}

Copyright © 2023 Texas Instruments Incorporated

8 詳細説明

8.1 概要

AHCT132 デバイスは、クワッド正論理 NAND ゲートです。

これらのデバイスは、ブール関数 $Y = \overline{A \cdot B}$ または $Y = \overline{A} + \overline{B}$ を正論理で実行します。

各回路は NAND ゲートとして機能しますが、シュミット動作により、正方向と負方向の信号に対して異なる入力スレッショルド・レベルがあります。

これらの回路は温度補償されており、最も遅い入力ランプからトリガできますが、クリーンなジッタのない出力信号を出力できます。

8.2 機能ブロック図

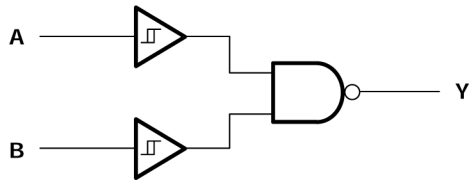


図 8-1.

8.3 機能説明

8.3.1 TTL 互換 シュミット・トリガー CMOS 入力

このデバイスの TTL 互換 CMOS 入力は、シュミット・トリガ回路を経由します。これらの入力は、入力電圧スレッショルドを下げることで TTL ロジック・デバイスと接続するように設計されています。

TTL 互換 シュミット・トリガー CMOS 入力はハイ・インピーダンスであり、通常は「電気的特性」に示されている入力容量と並列の抵抗としてモデル化されます。ワーストケースの抵抗は「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 (R = V ÷ I) を使用して計算します。

シュミット・トリガ回路の入力のヒステリシスは、「電気的特性」表の ΔV_T で定義されるため、このデバイスは低速またはノイズの多い入力に対する耐性が非常に優れています。入力は標準 CMOS 入力よりもはるかに低速で駆動できますが、未使用の入力を適切に終端することをお勧めします。入力を低速の遷移信号と共に駆動すると、デバイスの動的な電流消費が増加します。シュミット・トリガ入力の詳細については、『シュミット・トリガについて』を参照してください。

動作中は、TTL 互換 CMOS 入力をフローティングのままにしないでください。未使用の入力は、V_{CC} または GND で終端する必要があります。システムが常に入力をアクティブに駆動していない場合は、プルアップまたはプルダウン抵抗を追加して、これらの時間中に有効な入力電圧を供給できます。抵抗値は複数の要因で決まりますが、10kΩ の抵抗が推奨され、通常はすべての要件を満たします。

8.3.2 平衡な CMOS プッシュプル出力

このデバイスには、平衡な CMOS プッシュプル出力が内蔵されています。「平衡な」という用語 は、デバイスが同様の電流をシンクおよびソースできることを示します。 このデバイスは駆動能力を備えており、軽負荷に高速エッジが生成されるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにする必要があります。

8.3.3 クランプ・ダイオード構造

図 8-2 に示すように、このデバイスへの出力には正と負の両方のクランプ・ダイオードがあり、このデバイスへの入力には負のクランプ・ダイオードのみがあります。

> **注意**
> 「絶対最大定格」表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧の定格を超えることがあります。

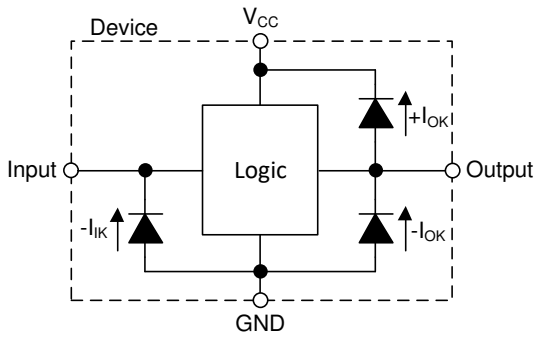


図 8-2. 各入力と出力に対するクランプ・ダイオードの電気的配置

8.4 デバイスの機能モード

表 8-1. 機能表 (各ゲート)

入力		出力 Y
A	B	
H	H	L
L	X	H
X	L	H

Copyright © 2023 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

このアプリケーションでは、「代表的なアプリケーション」に示すように、2 つの 2 入力 NAND ゲートを使用してアクティブ Low の SR ラッチを作成します。2 つの追加ゲートは、2 番目の SR ラッチに使用することも、入力を接地して両方のチャネルを未使用のままにすることもできます。

AHCT132 は、タンパ・インジケータ LED を駆動し、1 ビットのデータをシステム・コントローラに提供するために使用されます。タンパ・スイッチが Low を出力すると、出力 Q は High になります。この出力は、システム・コントローラがこのイベントに対処するまで High に維持され、$\overline{R}$ 入力に Low 信号を送信すると、Q 出力が Low に戻ります。

このアクティブ Low SR ラッチの入力は多くの場合、オープン・ドレイン出力で駆動でき、その結果、Low から高インピーダンスに遷移するときに低速の入力遷移レートが発生する可能性があります。AHCT132 はシュミット・トリガ入力を備えており、入力遷移レート要件がないため、この用途に理想的です。

9.2 代表的なアプリケーション

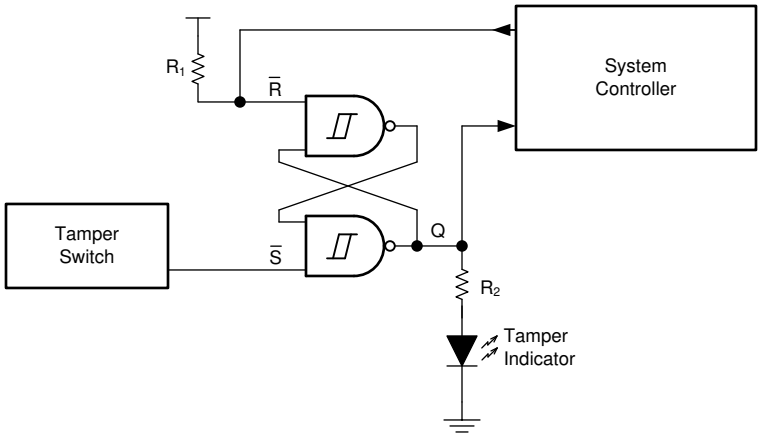


図 9-1. 代表的なアプリケーションのブロック図

9.2.1 設計要件

9.2.1.1 電源に関する考慮事項

目的の電源電圧が、「推奨動作条件」に規定された範囲に入っていることを確認します。「電気的特性」セクションに記載されているように、電源電圧はデバイスの電気的特性を設定します。

正電圧の電源は、SNx4AHCT132 のすべての出力によってソースされる総電流、「電気的特性」に記載された最大静的消費電流 (I_{CC})、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。論理デバイスは、正の電源から供給されるのと同じ電流のみをソースできます。「絶対最大定格」に記載された V_{CC} 経由の総電流の最大値を超えないようにしてください。

グランドは、SNx4AHCT132 のすべての出力によってシンクされる総電流、「電気的特性」に記載された最大消費電流 (I_{CC})、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。 論理デバイスは、グラ

ンド接続にシンク可能な電流量分のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

SNx4AHCT132 は、データシートの仕様をすべて満たしつつ、合計容量 50pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、50pF を超えることは推奨しません。

Copyright © 2023 Texas Instruments Incorporated

SNx4AHCT132 は「電気的特性」に従って動作します。High VCC で定義されている各出力電圧および電流に対応した $R_L \geq V_{CC}/I_O$ の V_{CC} での電源電圧が定義されます。

総消費電力は、『CMOS の消費電力と Cpd の計算』に記載されている情報を使用して計算できます。

熱上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』に記載されている情報を使用して計算できます。

> **注意**
> 「絶対最大定格」に記載された最大接合部温度 $T_{J(max)}$ は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限は、デバイスへの損傷を防ぐために規定されています。

9.2.1.2 入力に関する検討事項

入力信号は、$V_{t-(min)}$ と交差するとロジック Low と見なされ、$V_{t+(max)}$ と交差するとロジック High と見なされます。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、V_{CC} またはグランドに終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、SNx4AHCT132 へのリーク電流 (「電気的特性」で規定)、および必要な入力遷移レートによって抵抗のサイズが制限されます。 10kΩ の抵抗値は、こうした要因によりしばしば使用されます。

SNx4AHCT132 はシュミット・トリガ入力のため、入力信号の遷移速度に関する要件はありません。

シュミット・トリガ入力を採用するもう 1 つのメリットは、ノイズ除去性能です。振幅の大きなノイズの場合でも、問題が発生することがあります。問題を発生させる可能性があるノイズの大きさについては、「電気的特性」の $\Delta V_{T(min)}$ を参照してください。このヒステリシス値により、ピーク・ツー・ピーク制限が決まります。

標準 CMOS 入力で発生する場合と異なり、シュミット・トリガ入力は、電力消費を増大させることなく有効値で保持できます。V_{CC} でもグランドでもない値に入力を保持した場合に発生する追加の電流 (代表値) を、「代表的特性」のグラフに示します。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

9.2.1.3 出力に関する考慮事項

正の電源電圧を使用して、出力 High 電圧を生成します。出力から電流を引き出すと、「電気的特性」の V_{OH} 仕様で規定されたように出力電圧が低下します。グランド電圧を使用して、出力 Low 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

逆の状態になる可能性のあるプッシュプル出力は、非常に短い時間であっても、決して直接接続はしないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

同じ入力信号を持つ同一デバイス内の 2 つのチャネルを並列に接続することにより、出力駆動の強度を高めることができます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

9.2.2 詳細な設計手順

1. V_{CC} と GND の間にデカップリング・コンデンサを追加します。このコンデンサは物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷が 50pF 以下であることを確認します。これは厳密な制限ではありませんが、設計上、性能が最適化されます。これは、SNx4AHCT132 から 1 つまたは複数の受信デバイスまでの短い適切なサイズのトレースを提供することで実現できます。

3. 出力の抵抗性負荷が (V_{CC} / $I_{O(max)}$) Ω より大きいことを確認します。これを行うと、「絶対最大定格」の最大出力電流に違反するのを防ぐことができます。ほとんどの CMOS 入力には、MΩ で測定される抵抗性負荷があります。これは、前に計算した最小値よりもはるかに大きくなります。
4. 熱の問題がロジック・ゲートにとって問題となることはほとんどありません。ただし、消費電力と熱の上昇は、アプリケーション・レポート『CMOS 消費電力と CPD の計算』に記載されている手順を使用して計算できます。

9.2.3 アプリケーション曲線

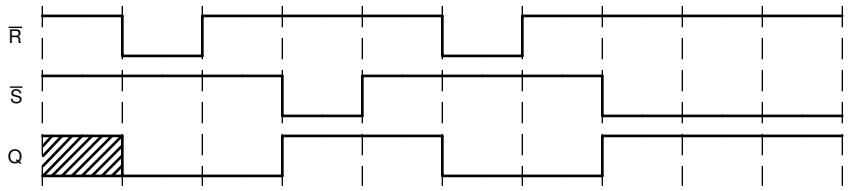


図 9-2. アプリケーションのタイミング図

9.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電力障害を防止するため、各 V_{CC} 端子に適切なバイパス・コンデンサを配置する必要があります。このデバイスには 0.1μF のコンデンサをお勧めします。複数のバイパス・コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1μF と 1μF のコンデンサは並列に使用されます。レイアウト例の画像に示すように、バイパス・コンデンサを電源端子のできるだけ近くに配置すると、最適な結果が得られます。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルの論理デバイスを使用する場合、入力をフローティングのままにしないでください。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用する場合や、4 つのバッファ・ゲートのうちの 3 つのみを使用する場合)。このような未使用の入力ピンを未接続のままにしないでください。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタル論理デバイスの未使用入力はすべて、フローティングにならないよう、入力電圧の仕様で定義されているようにロジック High かロジック Low の電圧に接続する必要があります。特定の未使用の入力に対して適用が必要となるロジック・レベルは、デバイスの機能により異なります。一般に入力は、GND または V_{CC} のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

9.4.2 レイアウト例

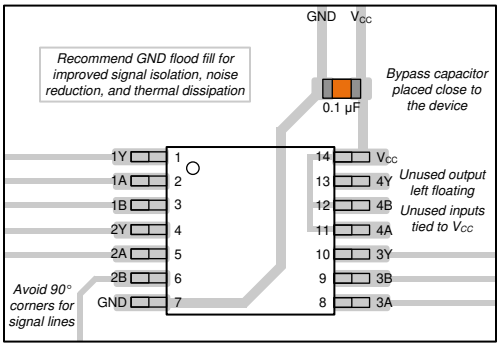


図 9-3. SN74AHCT132 のレイアウト例

Copyright © 2023 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

10.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

10.2 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

10.3 商標

TI E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.4 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは、予告なしに、またドキュメントの改訂なしに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74AHCT132BQAR	Active	Production	WQFN (BQA) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AHT132
SN74AHCT132BQAR.A	Active	Production	WQFN (BQA) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AHT132
SN74AHCT132D	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 85	AHCT132
SN74AHCT132DBR	Active	Production	SSOP (DB) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HB132
SN74AHCT132DBR.A	Active	Production	SSOP (DB) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HB132
SN74AHCT132DGVR	Active	Production	TVSOP (DGV) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HB132
SN74AHCT132DGVR.A	Active	Production	TVSOP (DGV) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HB132
SN74AHCT132DR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU | NIPDAU	Level-1-260C-UNLIM	-40 to 85	AHCT132
SN74AHCT132DR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AHCT132
SN74AHCT132DR1G4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU | NIPDAU	Level-1-260C-UNLIM	-40 to 85	AHCT132
SN74AHCT132DR1G4.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AHCT132
SN74AHCT132N	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74AHCT132N
SN74AHCT132N.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74AHCT132N
SN74AHCT132NSR	Active	Production	SOP (NS) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AHCT132
SN74AHCT132NSR.A	Active	Production	SOP (NS) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AHCT132
SN74AHCT132PWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	HB132
SN74AHCT132PWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HB132

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

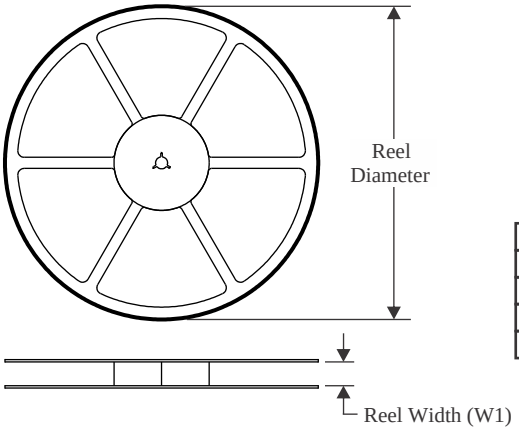
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

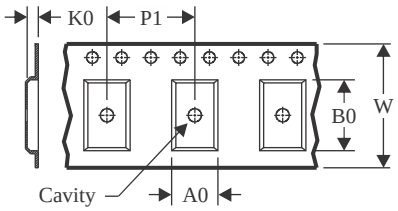
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

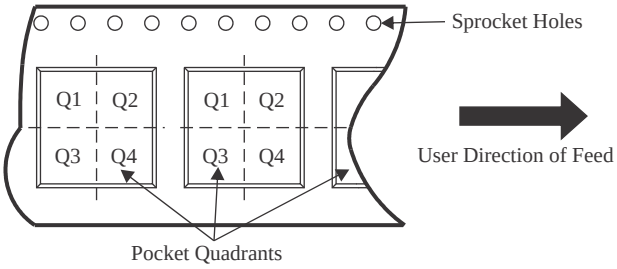


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

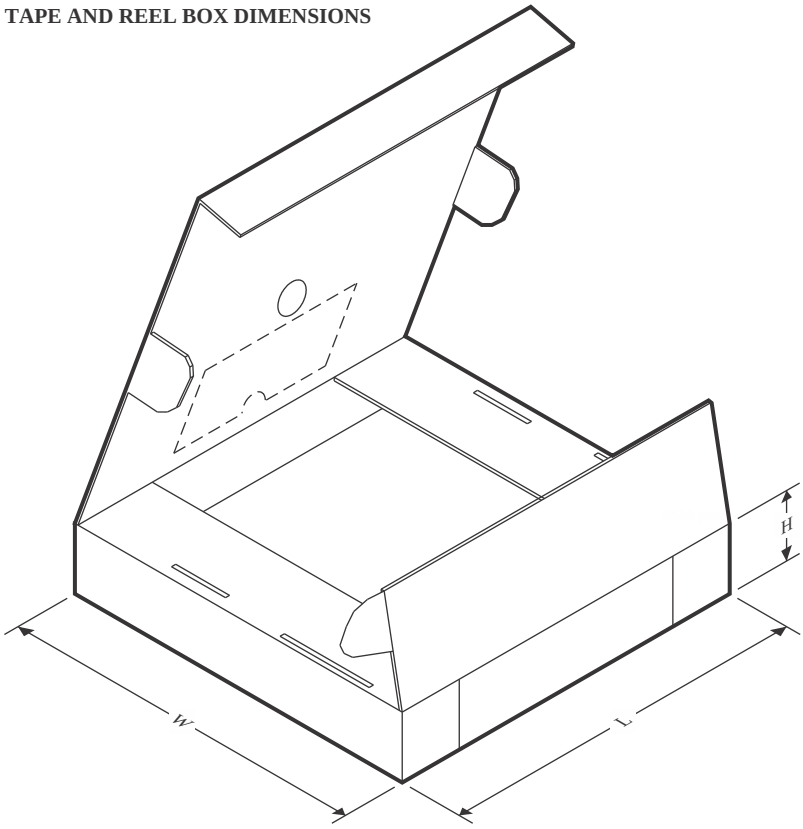
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AHCT132BQAR	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1
SN74AHCT132DBR	SSOP	DB	14	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74AHCT132DGVR	TVSOP	DGV	14	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74AHCT132DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74AHCT132DR1G4	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74AHCT132NSR	SOP	NS	14	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
SN74AHCT132PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

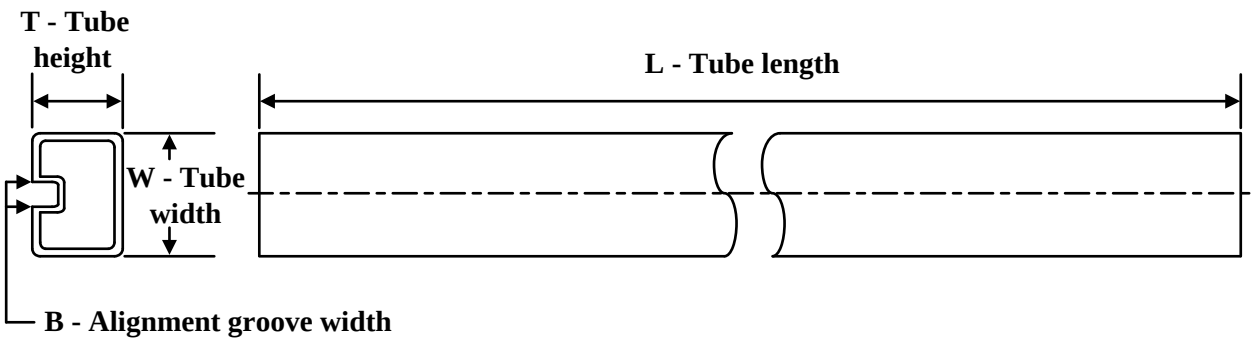
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AHCT132BQAR	WQFN	BQA	14	3000	210.0	185.0	35.0
SN74AHCT132DBR	SSOP	DB	14	2000	353.0	353.0	32.0
SN74AHCT132DGVR	TVSOP	DGV	14	2000	353.0	353.0	32.0
SN74AHCT132DR	SOIC	D	14	2500	353.0	353.0	32.0
SN74AHCT132DR1G4	SOIC	D	14	2500	353.0	353.0	32.0
SN74AHCT132NSR	SOP	NS	14	2000	353.0	353.0	32.0
SN74AHCT132PWR	TSSOP	PW	14	2000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
SN74AHCT132N	N	PDIP	14	25	506	13.97	11230	4.32
SN74AHCT132N.A	N	PDIP	14	25	506	13.97	11230	4.32

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated