SN74AHCT125-Q1 車載用クワッド・バス・バッファ・ゲート、3 ステート出力搭載

1 特長

- 入力は TTL 電圧互換
- JESD 17 準拠で 250mA 超のラッチアップ性能
- 機能安全対応
  - 安全システム設計に役立つ資料を利用可能

2 アプリケーション

- デジタル信号のイネーブルまたはディセーブル
- インジケータ LED の制御
- スイッチのデバウンス
- 低速またはノイズの多い入力信号の除去

3 概要

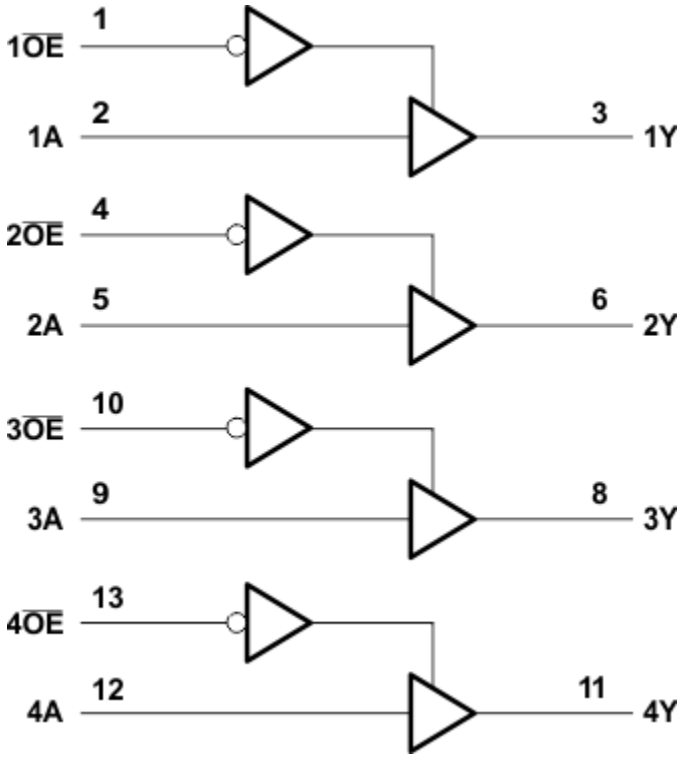
SN74AHCT125-Q1 デバイスはクワッド・バス・バッファ・ゲートで、3 ステート出力の独立したライン・ドライバを備えています。各出力は、対応する出力イネーブル ($\overline{OE}$) 入力が High のときディセーブルになります。$\overline{OE}$ が Low の場合、該当するゲートは A 入力からのデータをその Y 出力に渡します。

電源投入または電源切断時に高インピーダンス状態を確保するため、$\overline{OE}$ はプルアップ抵抗経由で V_{CC} に接続する必要があります。この抵抗の最小値は、ドライバの電流シンク能力によって決定されます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ・サイズ (2)
SN74AHCT125-Q1	D (SOIC、14)	8.65mm × 6mm
	PW (TSSOP、14)	5mm × 6.4mm
	BQA (TSSOP、14)	3mm × 2.5mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ・サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



論理図 (正論理)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 改訂履歴.....2
5 ピン構成および機能.....3
6 仕様.....4
6.1 絶対最大定格.....4
6.2 ESD 定格.....4
6.3 推奨動作条件.....4
6.4 熱に関する情報.....5
6.5 電気的特性.....5
6.6 スイッチング特性.....5
6.7 ノイズ特性(1).....6
6.8 動作特性.....6
6.9 代表的特性.....6
7 パラメータ測定情報.....7
8 詳細説明.....8
8.1 概要.....8
8.2 機能ブロック図.....8
8.3 機能説明.....8
8.4 デバイスの機能モード.....8
9 アプリケーションと実装.....9
9.1 アプリケーション情報.....9
9.2 代表的なアプリケーション.....9
9.3 電源に関する推奨事項.....10
9.4 レイアウト.....11
10 デバイスおよびドキュメントのサポート.....12
10.1 ドキュメントのサポート (アナログ).....12
10.2 ドキュメントの更新通知を受け取る方法.....12
10.3 サポート・リソース.....12
10.4 商標.....12
10.5 静電気放電に関する注意事項.....12
10.6 用語集.....12
11 メカニカル、パッケージ、および注文情報.....12

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (June 2023) to Revision C (October 2023)	Page
• RθJA の値を更新：PW = 113～147.7、値はすべて℃/W	5

Changes from Revision A (February 2008) to Revision B (June 2023)	Page
• 「アプリケーション」セクションを追加	1
• BQA パッケージを追加	1
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• 「ピンの機能」の表を更新	3
• 「ESD 定格」表を追加	4
• 「熱に関する情報」を追加	5

Copyright © 2023 Texas Instruments Incorporated

5 ピン構成および機能

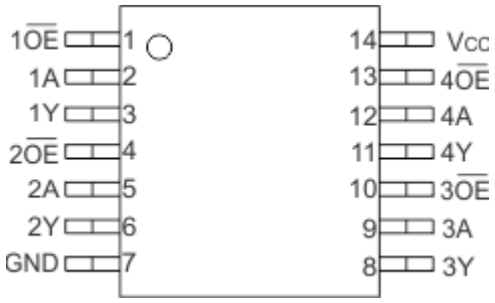


図 5-1. D または PW パッケージ、14 ピン SOIC または TSSOP (上面図)

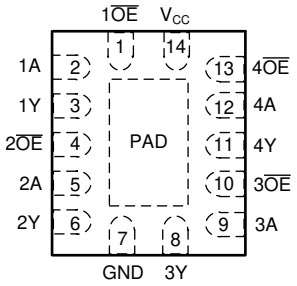


図 5-2. BQA パッケージ、14 ピン WQFN (上面図)

表 5-1. ピンの機能

ピン		種類 (1)	説明
名称	番号		
1 $\overline{OE}$	1	I	出力イネーブル
1A	2	I	入力
1Y	3	O	出力
2 $\overline{OE}$	4	I	出力イネーブル
2A	5	I	入力
2Y	6	O	出力
3 $\overline{OE}$	8	I	出力イネーブル
3A	9	I	入力
3Y	10	I	出力
4 $\overline{OE}$	13	I	出力イネーブル
4A	12	I	入力
4Y	11	O	出力
GND	7	–	グランド
V_{CC}	14	I	電源電圧

(1) I = 入力、O = 出力

6 仕様

6.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り) [(1)]

		最小値	最大値	単位
V_{CC}	電源電圧	–0.5	7.0	V
V_I	入力電圧[(2)]	-0.5	7.0	V
V_O	出力電圧[(2)]	-0.5	V_{CC} + 0.5V	V
I_{IK}	入力クランプ電流、(V_I < 0)		–20	mA
I_{OK}	出力クランプ電流、(V_O < 0 または V_O > V_{CC})		±20	mA
I_O	連続出力電流、(V_O = 0～V_{CC})		±25	mA
	V_{CC} または GND を通過する連続出力電流		±50	mA
T_{stg}	保存温度	-65	150	℃

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このような条件や、「推奨動作条件」に記載されている条件を超える条件でデバイスが機能するということを意味するわけではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、AEC Q100-002 準拠[(1)] HBM ESD 分類レベル	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠 CDM ESD 分類レベル	±1000	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) [(1)]

		SN74AHCT125-Q1		単位
		最小値	最大値	
V_{CC}	電源電圧	4.5	5.5	V
V_{IH}	High レベル入力電圧	2		V
V_{IL}	Low レベル入力電圧		0.8	V
V_I	入力電圧	0	5.5	V
V_O	出力電圧	0	V_{CC}	V
I_{OH}	High レベル出力電流		-8	mA
I_{OL}	Low レベル出力電流		8	mA
Δt/Δv	入力遷移の立ち上がりレートと立ち下がりレート		20	ns/V
T_A	自由気流での動作温度	–40	85	℃

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーション・レポート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。

Copyright © 2023 Texas Instruments Incorporated

6.4 熱に関する情報

熱評価基準		SN74AHCT125-Q1			単位
		D	PW	BQA	
		14	14	14	
$R_{\theta JA}$	パッケージの熱インピーダンス(1)	86	147.7	88.3	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

6.5 電気的特性

自由空気での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	T_A = 25℃			SN74AHCT125		単位
			最小値	代表値	最大値	最小値	最大値	
V_{OH}	I_{OH} = -50μA	4.5V	4.4	4.5		4.4		V
	I_{OH} = -8mA		3.94			3.8		
V_{OL}	I_{OL} = 50μA	4.5V			0.1		0.1	V
	I_{OL} = 8mA				0.36		0.44	
I_I	V_I = 5.5V または GND	0V～5.5V			±0.1		±1	μA
I_{OZ}	V_O = V_{CC} または GND	5.5V			±0.25		±2.5	μA
I_{CC}	V_I = V_{CC} または GND、 I_O = 0	5.5V			2		20	μA
ΔI_{CC} (1)	1 つの入力は 3.4V、その他の入力は V_{CC} または GND	5.5V			1.35		1.5	mA
C_i	V_I = V_{CC} または GND	5V		4	10		10	pF
C_O	V_O = V_{CC} または GND	5V		15				pF

(1) これは、0V や VCC ではなく、規定された TTL 電圧レベルのいずれかにおける各入力の電源電流の増加量です。

6.6 スイッチング特性

自由空気での動作温度範囲内 (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T_A = 25℃			SN74AHCT125		単位
				最小値	代表値	最大値	最小値	最大値	
t_{PLH}	A	Y	C_L = 15pF		3.8	5.5	1	6.5	ns
t_{PHL}					3.8	5.5	1	6.5	
t_{PZH}	$\overline{OE}$	Y	C_L = 15pF		3.6	5.1	1	6	ns
t_{PZL}					3.6	5.1	1	6	
t_{PHZ}	$\overline{OE}$	Y	C_L = 15pF		4.6	6.8	1	8	ns
t_{PLZ}					4.6	6.8	1	8	
t_{PLH}	A	Y	C_L = 50pF		5.3	7.5	1	8.5	ns
t_{PHL}					5.3	7.5	1	8.5	
t_{PZH}	$\overline{OE}$	Y	C_L = 50pF		5.1	7.1	1	8	ns
t_{PZL}					5.1	7.1	1	8	
t_{PHZ}	$\overline{OE}$	Y	C_L = 50pF		6.1	8.8	1	10	ns
t_{PLZ}					6.1	8.8	1	10	
$t_{sk(o)}$			C_L = 50pF			1		1	ns

Copyright © 2023 Texas Instruments Incorporated

6.7 ノイズ特性(1)

V_{CC} = 5V、C_L = 50pF、T_A = 25℃

パラメータ		SN74AHCT125		単位
		最小値	最大値	
$V_{OL(P)}$	低ノイズ出力、動的電圧 V_{OL} (最大値)		0.8	V
$V_{OL(V)}$	低ノイズ出力、動的電圧 V_{OL} (最小値)		-0.8	V
$V_{OH(V)}$	低ノイズ出力、動的電圧 V_{OH} (最小値)	4.4		V
$V_{IH(D)}$	High レベル動的入力電圧	2		V
$V_{IL(D)}$	Low レベル動的入力電圧		0.8	V

(1) 特性は表面実装パッケージのみが対象です。

6.8 動作特性

V_{CC} = 5V、T_A = 25℃

パラメータ		テスト条件		代表値	単位
C_{pd}	電力散逸容量	無負荷、	f = 1MHz	14	pF

6.9 代表的特性

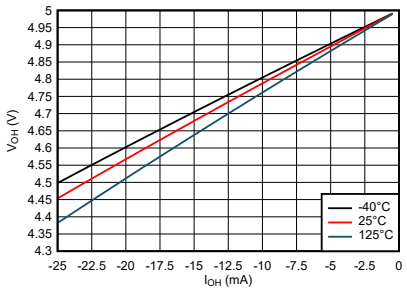


図 6-1. 出力電圧と High 状態の電流との関係

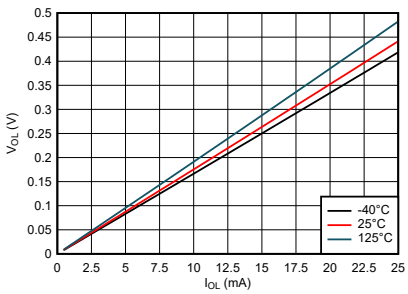
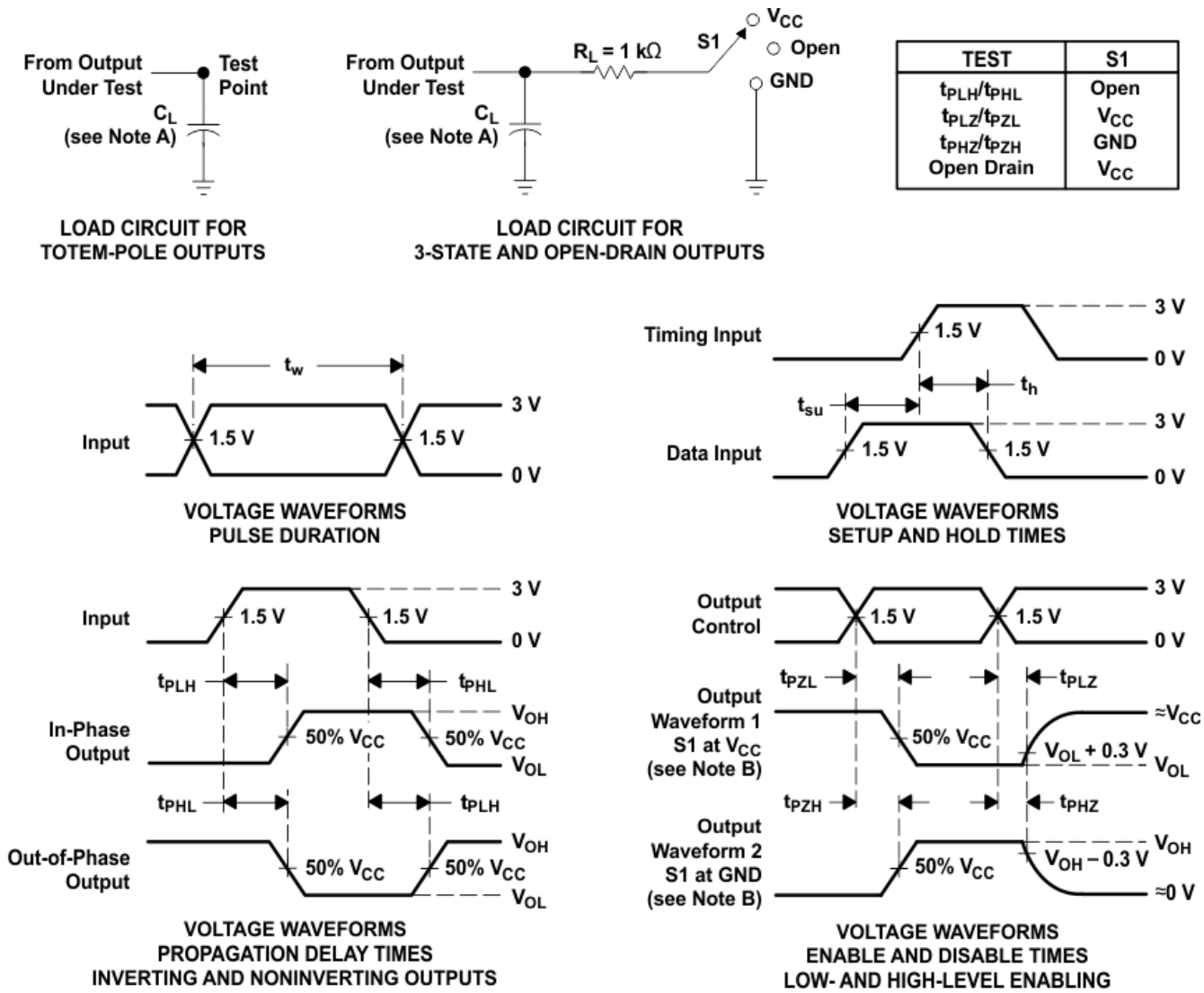


図 6-2. 出力電圧と Low 状態の電流との関係

Copyright © 2023 Texas Instruments Incorporated

7 パラメータ測定情報



TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{CC}
t_{PHZ}/t_{PZH}	GND
Open Drain	V_{CC}

NOTES: A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR ≤ 1 MHz, Z_O = 50 Ω, t_r ≤ 3 ns, t_f ≤ 3 ns.
D. The outputs are measured one at a time with one input transition per measurement.
E. All parameters and waveforms are not applicable to all devices.

図 7-1. 負荷回路および電圧波形

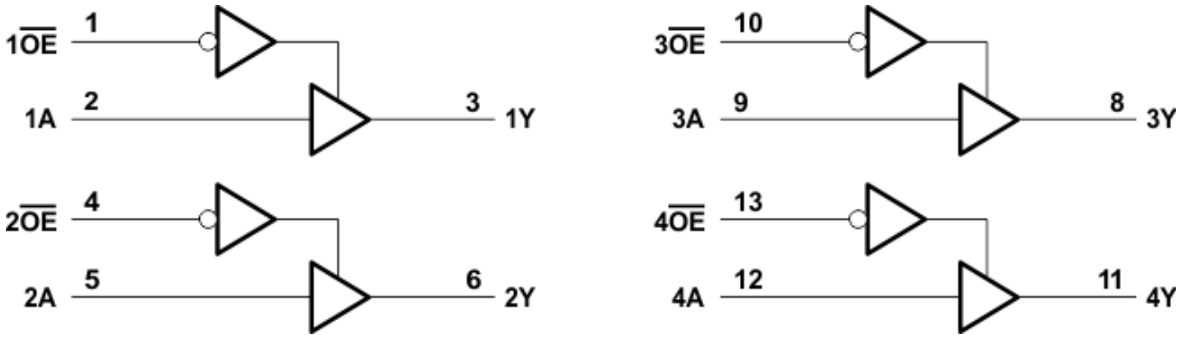
8 詳細説明

8.1 概要

SN74AHCT125-Q1 デバイスはクワッド・バス・バッファ・ゲートで、3 ステート出力の独立したライン・ドライバを備えています。各出力は、対応する出力イネーブル ($\overline{OE}$) 入力が High のときディセーブルになります。$\overline{OE}$ が Low の場合、該当するゲートは A 入力からのデータをその Y 出力に渡します。

電源投入または電源切断時に高インピーダンス状態を確保するため、$\overline{OE}$ はプルアップ抵抗経由で V_{CC} に接続する必要があります。この抵抗の最小値は、ドライバの電流シンク能力によって決定されます。

8.2 機能ブロック図



ここに示すピン番号は D、DB、DGV、J、N、NS、PW、RGY、W の各パッケージのものです。

8.3 機能説明

各バッファは、独自の出力イネーブルを備えています。これにより、各バッファを個別に制御できます。出力イネーブルが Low のとき、入力は出力に渡されます。出力イネーブルが High のとき、出力は高インピーダンスになります。この機能は、絶縁を必要とする可能性のあるアプリケーションでの使用に適しています。

8.4 デバイスの機能モード

表 8-1. 機能表 (各バッファ)

入力		出力
$\overline{OE}$	A	Y
L	H	H
L	L	L
H	X	Z

Copyright © 2023 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

このアプリケーションでは、図 9-1 に示すように、3 ステート出力のバッファを使用してデータ信号をディセーブルします。残りの 3 つのバッファは、システム内の別の場所の信号調整に使用することも、入力を接地してチャネルを未使用のままにすることもできます。

9.2 代表的なアプリケーション

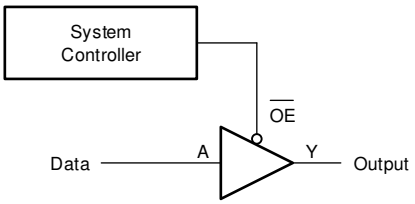


図 9-1. 代表的なアプリケーションのブロック図

9.2.1 設計要件

9.2.1.1 電源に関する考慮事項

目的の電源電圧が「推奨動作条件」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧はデバイスの電気的特性を設定します。

正の電圧電源は、「電気的特性」に示されている最大静的電源電流 I_{CC} に SN74AHCT125-Q1 のすべての出力がソースとする合計電流を加えた電流と、スイッチングに必要な過渡電流をソースできる必要があります。ロジック・デバイスは、正の電源から供給される電流量のみをソースできます。「絶対最大定格」に記載されている V_{CC} を流れる最大合計電流を超えないようにしてください。

グランドは、SN74AHCT125-Q1 のすべての出力によってシンクされる合計電流に「電気的特性」に記載されている最大電源電流 I_{CC} を加えた電流と、スイッチングに必要な過渡電流をシンクできる必要があります。ロジック・デバイスは、グランド接続にシンクできる電流量のみをシンクできます。「絶対最大定格」に記載されている GND を流れる最大合計電流を超えないようにしてください。

SN74AHCT125-Q1 は、データシートのすべての仕様を満たしながら、合計容量が 50pF 以下の負荷を駆動できます。より大きな容量性負荷を印加することもできますが、50pF を超えないようにすることを推奨します。

SN74AHCT125-Q1 は、「電気的特性」表に定義されている出力電圧および電流 (V_{OH} および V_{OL}) で、$R_L \geqq V_O / I_O$ で記述される合計抵抗の負荷を駆動できます。HIGH 状態で出力する場合、式の出力電圧は、測定された出力電圧と V_{CC} ピンの電源電圧との差として定義されます。

総消費電力は、『CMOS の消費電力と CPD の計算』に記載されている情報を使用して計算できます。

熱上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』に記載されている情報を使用して計算できます。

注意
「絶対最大定格」に記載されている最大接合部温度 $T_{J(max)}$ は、デバイスの損傷を防止するための追加の制限です。「絶対最大定格」に記載されている値を超えないようにしてください。これらの制限値は、デバイスの損傷を防止するために規定されています。

9.2.1.2 入力に関する考慮事項

入力信号がロジック LOW と見なされるには $V_{IL(max)}$ を下回る必要があり、ロジック HIGH と見なされるには $V_{IH(min)}$ を上回る必要があります。「絶対最大定格」に記載されている最大入力電圧範囲を超えないようにしてください。

未使用の入力は、V_{CC} またはグランドに終端する必要があります。入力がまったく使用されていない場合は、未使用の入力を直接終端できます。入力が時々使用される場合、または常には使用されない場合は、プルアップ抵抗またはプルダウン抵抗を使用して接続できます。デフォルト状態が HIGH の場合はプルアップ抵抗を使用し、デフォルト状態が LOW の場合はプルダウン抵抗を使用します。コントローラの駆動電流、SN74AHCT125-Q1 へのリーク電流 (「電気的特性」で規定)、および必要な入力遷移レートによって抵抗のサイズが制限されます。これらの要因により、多くの場合は 10kΩ の抵抗値が使用されます。

SN74AHCT125-Q1 には CMOS 入力があるため、正しく動作させるためには、「推奨動作条件」表に定義されているように、入力遷移が高速である必要があります。入力遷移が遅いと、発振が発生し、消費電力が増加して、デバイスの信頼性が低下する可能性があります。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

9.2.1.3 出力に関する考慮事項

正の電源電圧を使用して、出力 High 電圧を生成します。出力から電流を引き出すと、「電気的特性」の V_{OH} 仕様で規定されたように出力電圧が低下します。グランド電圧を使用して、出力 Low 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

逆の状態になる可能性のあるプッシュプル出力は、非常に短い時間であっても、決して直接接続はしないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

同じ入力信号を持つ同一デバイス内の 2 つのチャネルを並列に接続することにより、出力駆動の強度を高めることができます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

9.2.2 アプリケーション曲線

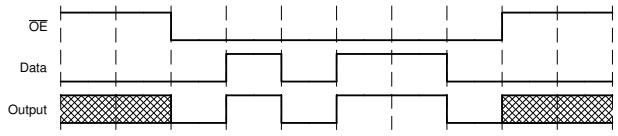


図 9-2. アプリケーションのタイミング図

9.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。 電力障害を防止するため、各 V_{CC} 端子に適切なバイパス・コンデンサを配置する必要があります。このデバイスには 0.1μF のコンデンサをお勧めします。複数のバイパス・コンデンサを並列に配置して、異なる周波数のノイズを除去することが可能です。一般的に、0.1μF と 1μF のコンデンサは並列に使用されます。以下のレイアウト例に示すように、バイパス・コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

Copyright © 2023 Texas Instruments Incorporated

9.4 レイアウト

9.4.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルのロジック・デバイスを使用する場合、入力をオープンのままにしてはいけません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 入力のみを使用したり、4 つのバッファ・ゲートのうち 3 つのみを使用する場合)。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタル論理デバイスの未使用入力はすべて、フローティングにならないよう、入力電圧の仕様で定義されているようにロジック High かロジック Low の電圧に接続する必要があります。特定の未使用の入力に対して適用が必要となるロジック・レベルは、デバイスの機能により異なります。一般に入力は、GND または V_{CC} のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

9.4.2 レイアウト例

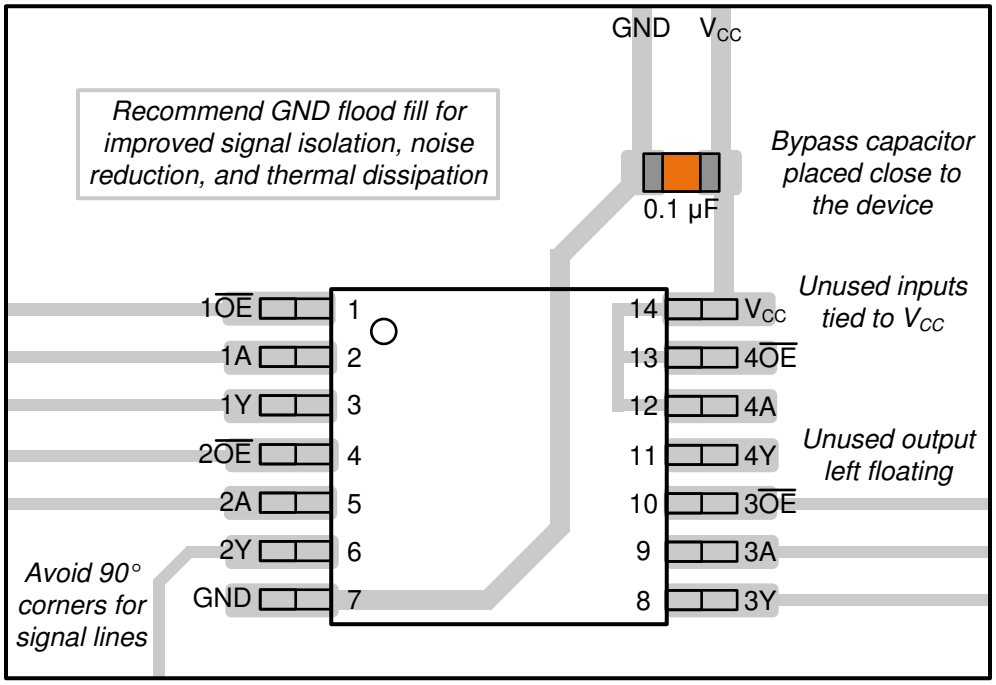


図 9-3. SN74AHCT125-Q1 のレイアウト例

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート (アナログ)

10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『CMOS の消費電力と Cpd の計算』アプリケーション・ノート
- テキサス・インスツルメンツ、『ロジック設計』アプリケーション・ノート
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション・ノート
- テキサス・インスツルメンツ、『低速またはフローティング CMOS 入力の影響』アプリケーション・ノート

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の [アラートを受け取る] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

10.4 商標

TI E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは、予告なしに、またドキュメントの改訂なしに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CAHCT125QPWRG4Q1	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB125Q
CAHCT125QPWRG4Q1.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB125Q
CAHCT125QWBQARQ1	Active	Production	WQFN (BQA) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AT125Q
CAHCT125QWBQARQ1.A	Active	Production	WQFN (BQA) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AT125Q
SN74AHCT125QDRG4Q1	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHCT125Q
SN74AHCT125QDRG4Q1.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHCT125Q
SN74AHCT125QDRQ1	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHCT125Q
SN74AHCT125QDRQ1.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHCT125Q
SN74AHCT125QPWRQ1	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB125Q
SN74AHCT125QPWRQ1.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB125Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74AHCT125-Q1 :

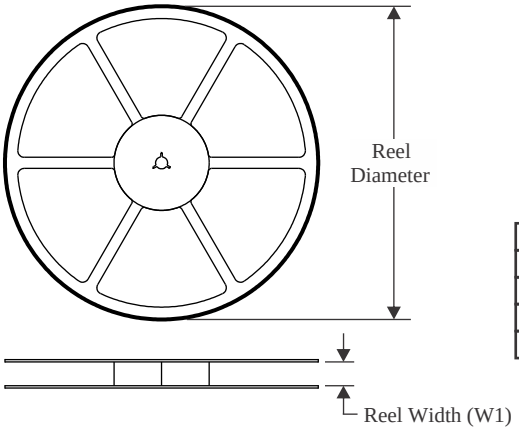
- Catalog : SN74AHCT125
- Enhanced Product : SN74AHCT125-EP
- Military : SN54AHCT125

NOTE: Qualified Version Definitions:

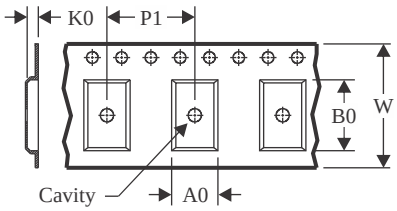
- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

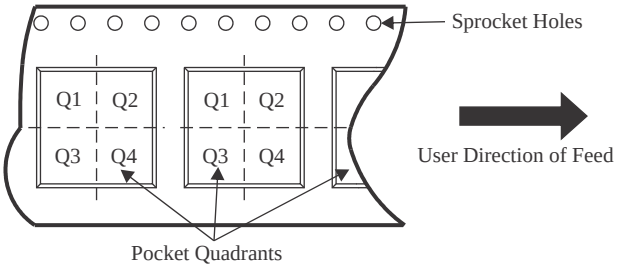


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

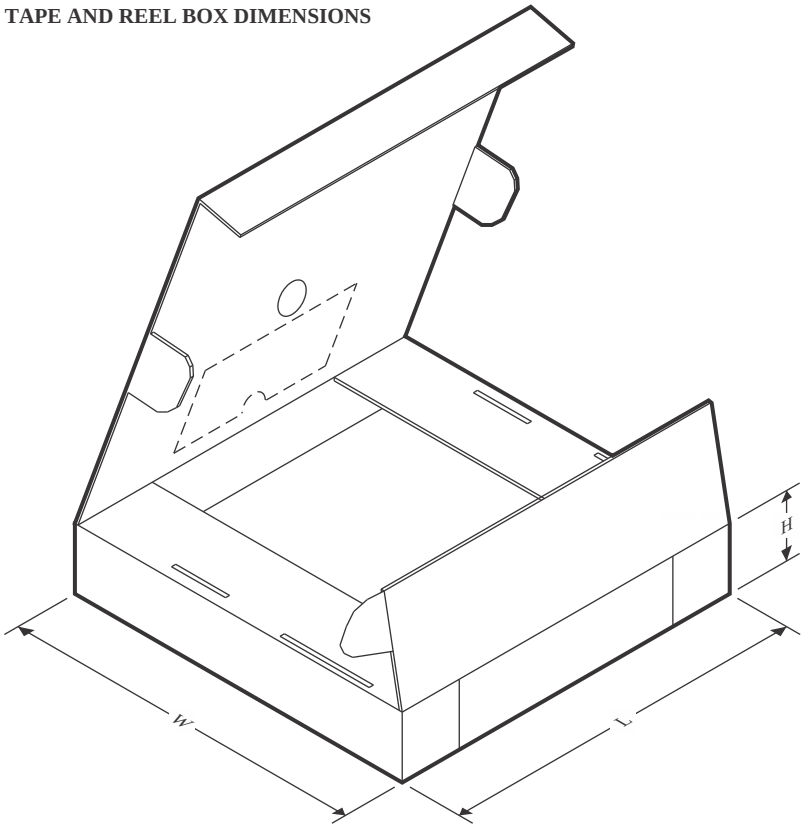
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CAHCT125QPWRG4Q1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CAHCT125QWBQARQ1	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1
SN74AHCT125QPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHCT125QPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

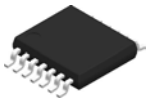
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CAHCT125QPWRG4Q1	TSSOP	PW	14	2000	353.0	353.0	32.0
CAHCT125QWBQARQ1	WQFN	BQA	14	3000	210.0	185.0	35.0
SN74AHCT125QPWRQ1	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74AHCT125QPWRQ1	TSSOP	PW	14	2000	353.0	353.0	32.0

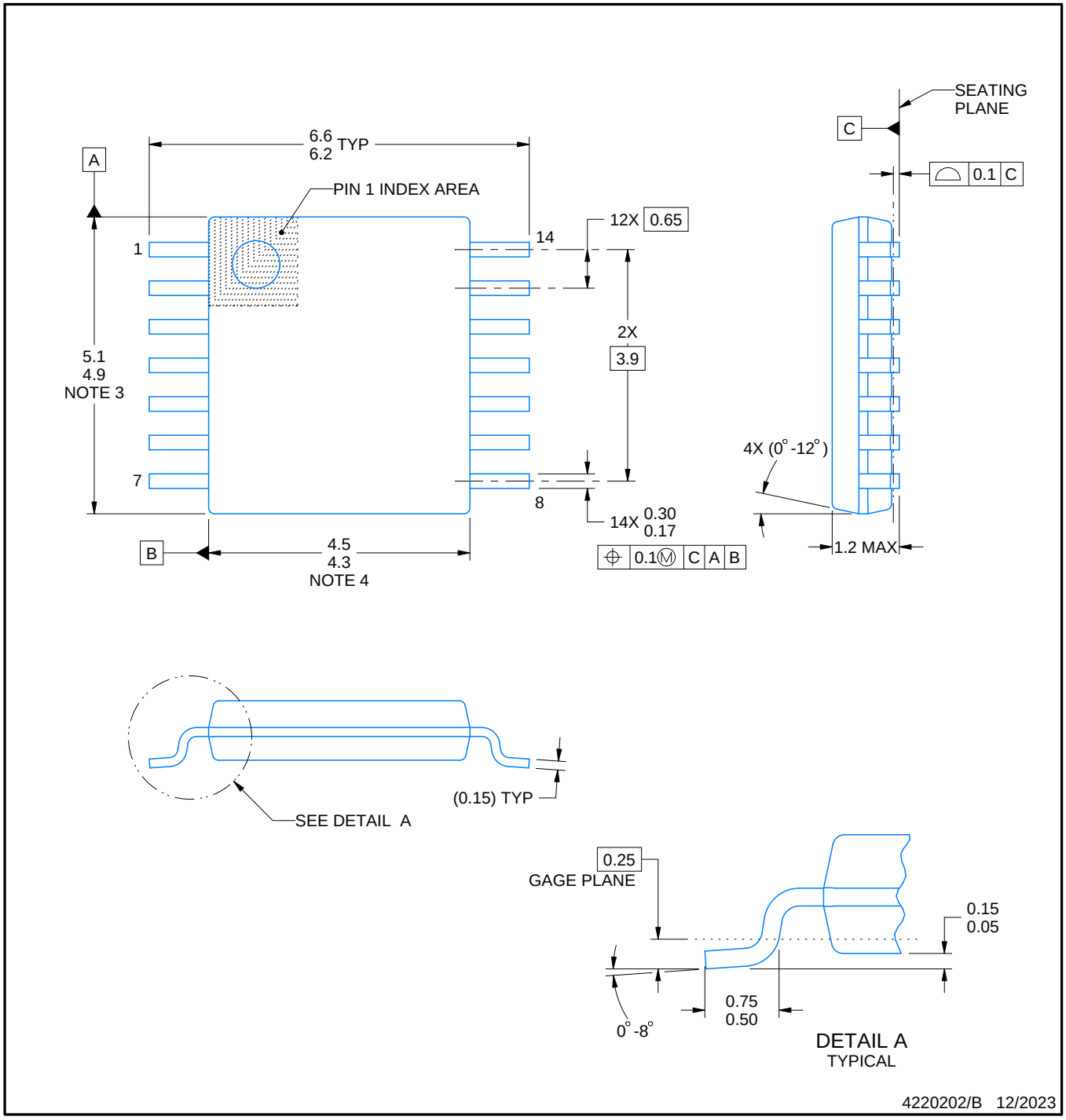
PW0014A



PACKAGE OUTLINE

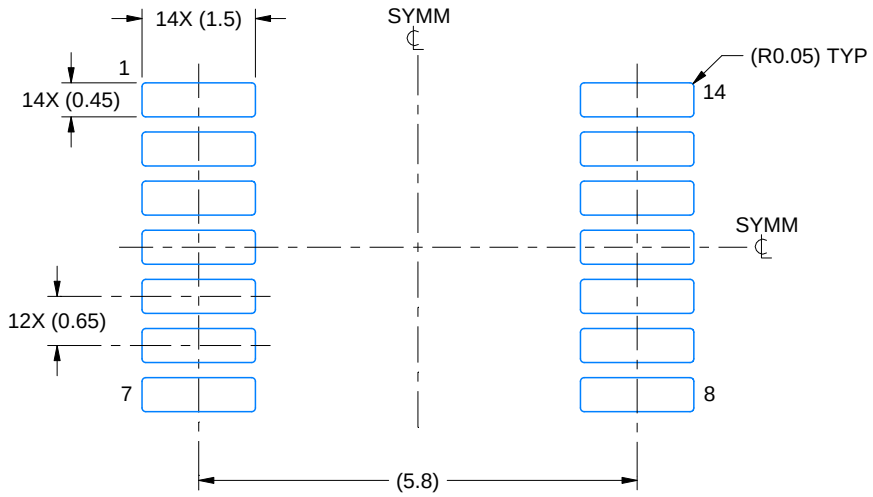
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

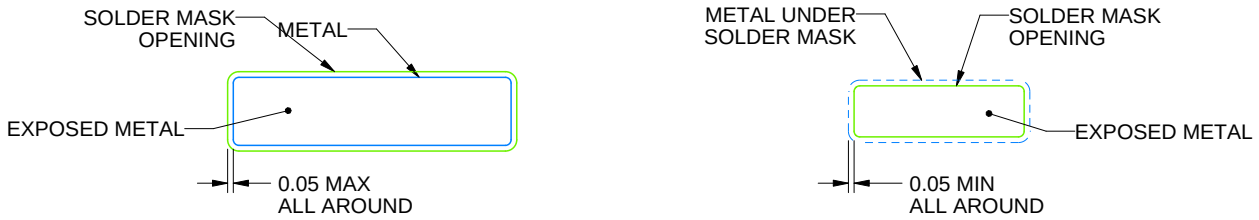


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



NON-SOLDER MASK DEFINED (PREFERRED)

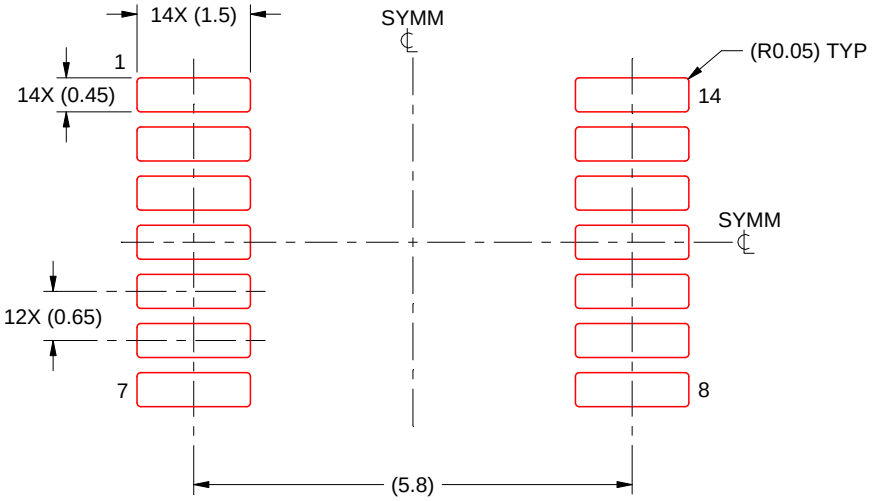
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

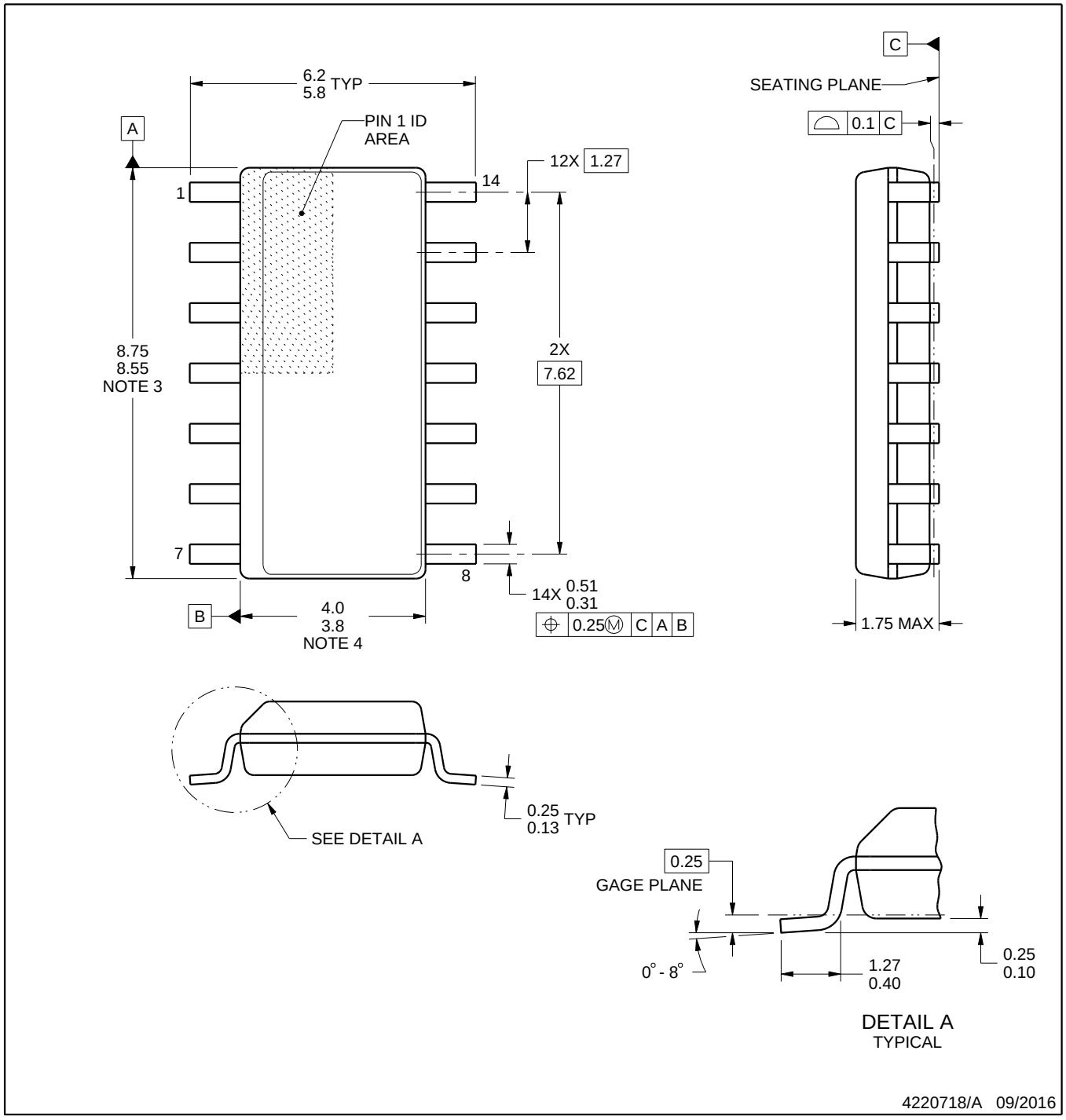


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

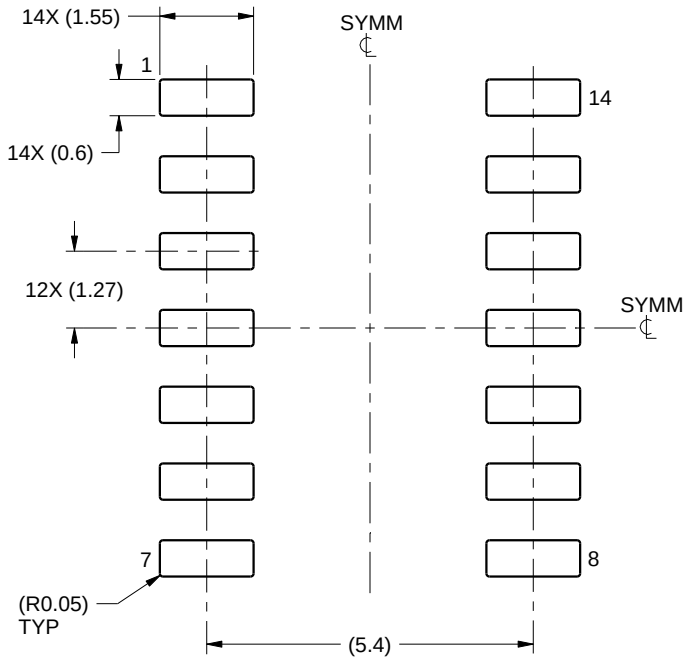
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

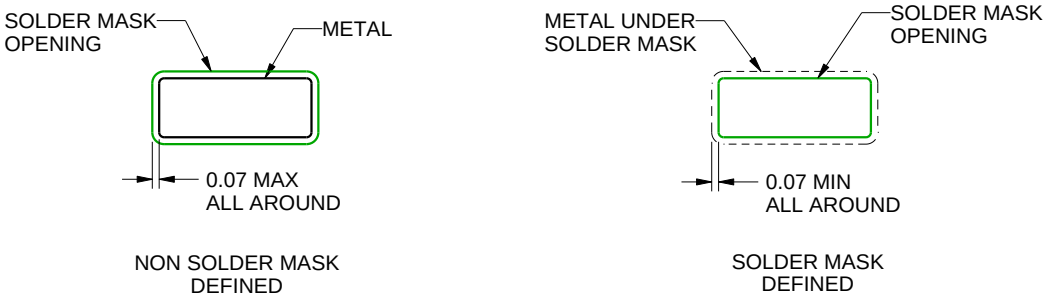


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X

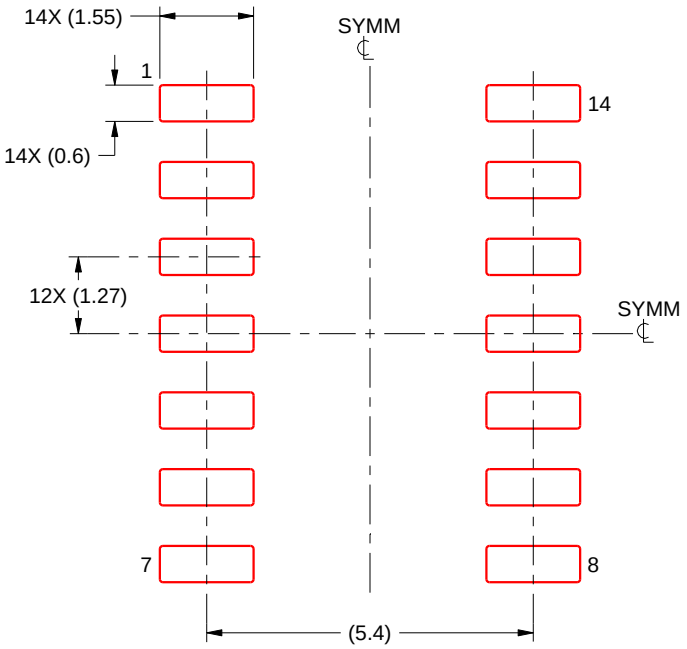


SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

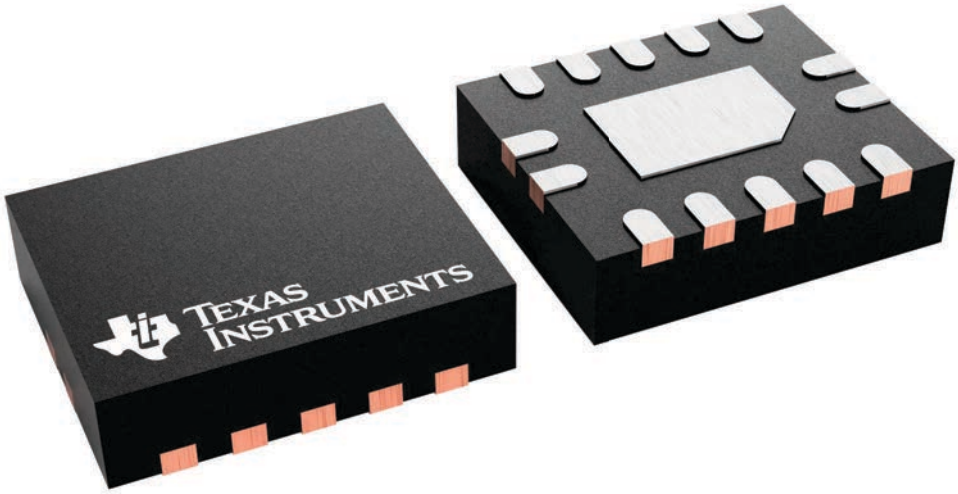
BQA 14

WQFN - 0.8 mm max height

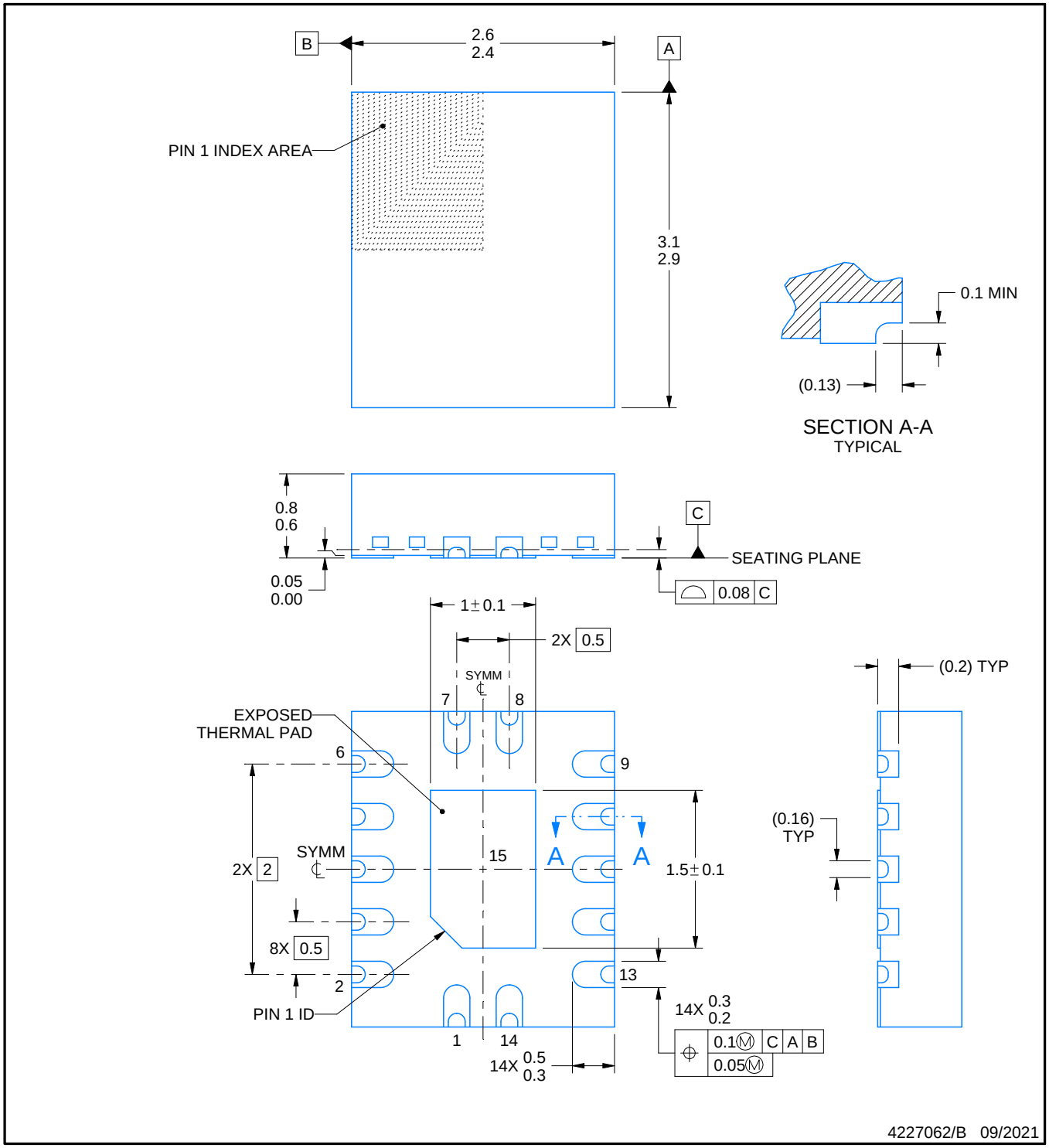
2.5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

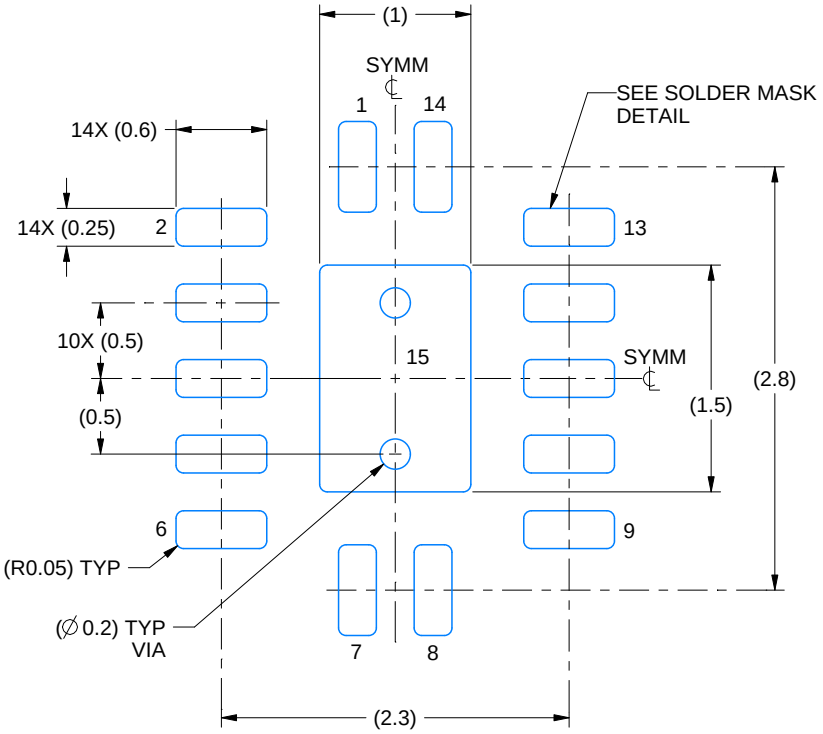


4227145/A

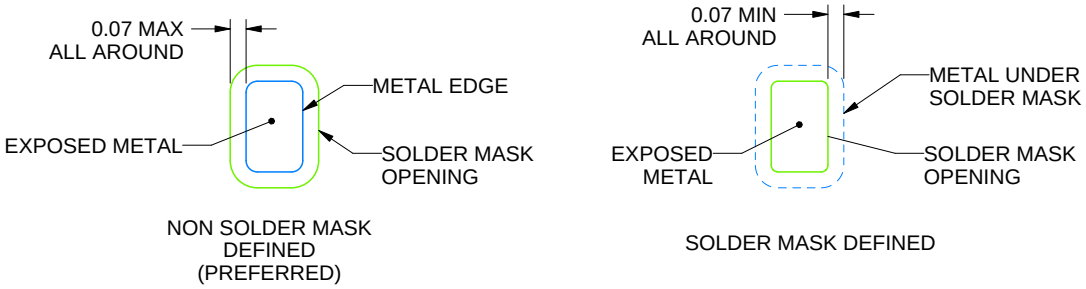


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

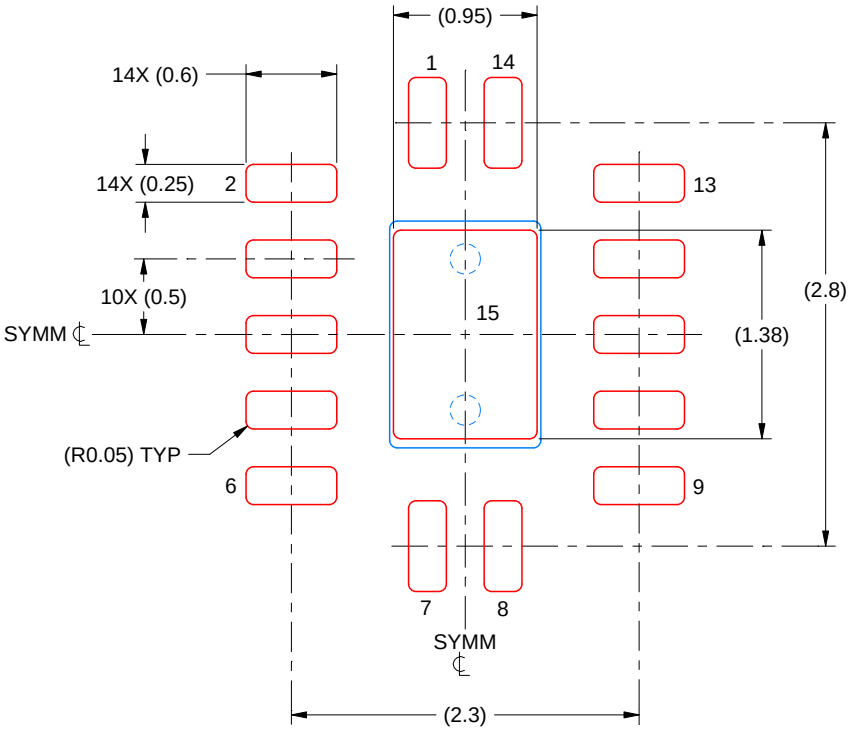


SOLDER MASK DETAILS

4227062/B 09/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 15
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4227062/B 09/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated