

SN74AHC165-Q1 3 ステート出力レジスタ付き車載 8 ビット シフトレジスタ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み :
 - デバイス温度グレード 1 : -40°C ~ +125°C
 - デバイス HBM ESD 分類レベル 2
 - デバイス CDM ESD 分類レベル C4B
- ウェットابل・フランク QFN (WBQA) パッケージで供給
- 動作範囲 : 2V ~ 5.5V V_{CC}
- 短い遅延、6 ns (25 °C, 5 V)
- JESD 17 準拠で 250mA 超のラッチアップ性能

2 アプリケーション

- ネットワーク・スイッチ
- 電源インフラストラクチャ
- LED ディスプレイ
- サーバー

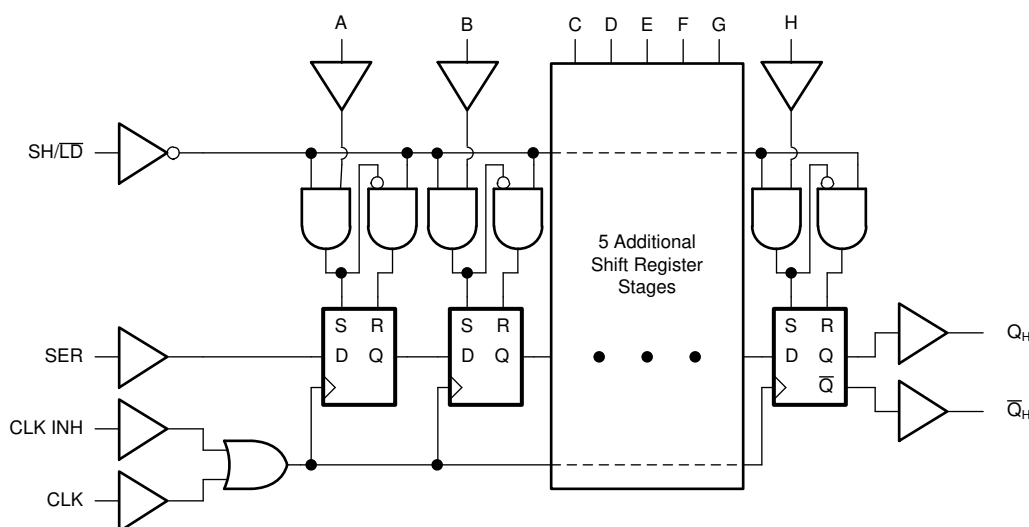
3 概要

SN74AHC165-Q1 デバイスには、8 ビットのシリアル イン、パラレルアウトのシフトレジスタが内蔵されており、8 ビットの D タイプ ストレージレジスタヘデータを供給します。ストレージレジスタはパラレル 3 ステート出力を備えています。シフトレジスタとストレージレジスタの両方に、それぞれ独立したクロックが供給されます。シフトレジスタは、ダイレクトオーバーライディングクリア (SRCLR) 入力、シリアル (SER) 入力、カスケード接続用シリアル出力を備えています。出力イネーブル (\overline{OE}) 入力が高レベルのとき、QH' を除くすべての出力が高インピーダンス状態になります。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ・サイズ ⁽²⁾	本体サイズ (公称) ⁽³⁾
SN74AHC165-Q1	BQB (WQFN, 16)	3.6mm × 2.6mm	3.6mm × 2.6mm
	PW (TSSOP, 16)	5mm × 6.4mm	5mm × 4.4mm

- 詳細については、[セクション 11](#) を参照してください。
- パッケージサイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。
- 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



論理図 (正論理)



目次

1 特長	1	7.2 機能ブロック図.....	10
2 アプリケーション	1	7.3 機能説明.....	10
3 概要	1	7.4 デバイスの機能モード.....	12
4 ピン構成および機能	3	8 アプリケーションと実装	13
5 仕様	4	8.1 アプリケーション情報.....	13
5.1 絶対最大定格.....	4	8.2 代表的なアプリケーション.....	13
5.2 ESD 定格.....	4	8.3 電源に関する推奨事項.....	16
5.3 推奨動作条件.....	4	8.4 レイアウト.....	16
5.4 熱に関する情報.....	5	9 デバイスおよびドキュメントのサポート	17
5.5 電気的特性.....	5	9.1 ドキュメントのサポート.....	17
5.6 ノイズ特性.....	5	9.2 ドキュメントの更新通知を受け取る方法.....	17
5.7 タイミング特性.....	6	9.3 サポート・リソース.....	17
5.8 スイッチング特性.....	6	9.4 商標.....	17
5.9 代表的特性.....	7	9.5 静電気放電に関する注意事項.....	17
6 パラメータ測定情報	9	9.6 用語集.....	17
7 詳細説明	10	10 改訂履歴	17
7.1 概要.....	10	11 メカニカル、パッケージ、および注文情報	17

4 ピン構成および機能

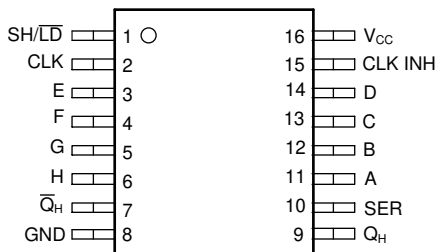


図 4-1. PW パッケージ、
16 ピン TSSOP
(上面図)

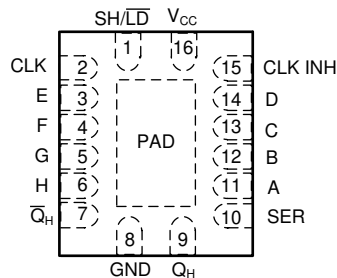


図 4-2. BQB パッケージ、
16 ピン WQFN
(透過上面図)

表 4-1. ピンの機能

ピン		種類 ⁽¹⁾	説明
名称	番号		
SH/LD	1	I	シフトまたはロード モードの選択
CLK	2	I	シフト レジスタ クロック
E	3	I	E レジスタ データ
F	4	I	F レジスタ データ
G	5	I	G レジスタ データ
H	6	I	H レジスタ データ
\overline{Q}_H	7	O	反転シフト レジスタ出力
GND	8	G	グラウンド
Q_H	9	O	シフト レジスタ出力
SER	10	I	シフト・レジスタ・クリア、アクティブ Low
A	11	I	A レジスタ データ
B	12	I	B レジスタ データ
C	13	I	C レジスタ データ
D	14	I	D レジスタ データ
CLK INH	15	I	クロック禁止
V _{CC}	16	P	正電源
放熱パッド ⁽²⁾		—	サーマル・パッドは GND に接続するか、オープンのままにすることができます。他の信号や電源には接続しないでください。

(1) I = 入力、O = 出力、P = 電源、G = グラウンド

(2) BQB パッケージのみ

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
V_{CC}	電源電圧範囲	-0.5	7	V
V_I	入力電圧範囲 ⁽²⁾	-0.5	7	V
V_O	出力電圧範囲 ⁽²⁾	-0.5	$V_{CC} + 0.5$	V
I_{IK}	入力クランプ電流	$V_I < -0.5V$		-20 mA
I_{OK}	出力クランプ電流	$V_O < -0.5V$ または $V_O > V_{CC} + 0.5V$		±20 mA
I_O	連続出力電流	$V_O = 0 \sim V_{CC}$		±25 mA
	V_{CC} または GND を通過する連続出力電流			±75 mA
T_J	接合部温度		150	°C
T_{stg}	保管温度	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内で、一時的に「推奨動作条件」の範囲を超えた動作をさせる場合、必ずしもデバイスが損傷を受けるものではありませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
- (2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 ESD 定格

		値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 HBM ESD 分類レベル 2 準拠 ⁽¹⁾	±2000
		デバイス帯電モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4B 準拠	±1000

- (1) AEC Q100-002 には、HBM ストレス試験は ANSI/ESDA/JEDEC JS-001 仕様に従って実施することと規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

仕様	概要	条件	最小値	最大値	単位
V_{CC}	電源電圧		2	5.5	V
V_{IH}	High レベル入力電圧	$V_{CC} = 2V$	1.5	V	V
		$V_{CC} = 3V$	2.1		
		$V_{CC} = 5.5V$	3.85		
V_{IL}	Low レベル入力電圧	$V_{CC} = 2V$		0.5	V
		$V_{CC} = 3V$		0.9	
		$V_{CC} = 5.5V$		1.65	
V_I	入力電圧		0	5.5	V
V_O	出力電圧		0	V_{CC}	V
I_{OH}	High レベル出力電流	$V_{CC} = 2V$		-50	μA
		$V_{CC} = 3.3V \pm 0.3V$		-4	mA
		$V_{CC} = 5V \pm 0.5V$		-8	mA
I_{OL}	Low レベル出力電流	$V_{CC} = 2V$		50	μA
		$V_{CC} = 3.3V \pm 0.3V$		4	mA
		$V_{CC} = 5V \pm 0.5V$		8	mA
$\Delta t/\Delta v$	入力遷移の立ち上がりまたは立ち下がりレート	$V_{CC} = 3.3V \pm 0.3V$		100	ns/V
		$V_{CC} = 5V \pm 0.5V$		20	ns/V

5.3 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

仕様	概要	条件	最小値	最大値	単位
T _A	自由気流での動作温度		-40	125	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		BQB (WQFN)	PW (TSSOP)	単位
		16 ピン	16 ピン	
R _{θJA}	接合部から周囲への熱抵抗	105.6	135.9	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	96.6	70.3	°C/W
R _{θJB}	接合部から基板への熱抵抗	75.4	81.3	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	19.1	22.5	°C/W
Y _{JB}	接合部から基板への特性パラメータ	75.4	80.8	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	56.1	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション・レポートを参照してください。

5.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V _{CC}	T _A = 25°C			-40°C ~ 125°C			単位
			最小値	標準値	最大値	最小値	標準値	最大値	
V _{OH}	I _{OH} = -50μA	2V ~ 5.5V	V _{CC} - 0.1	V _{CC}		V _{CC} - 0.1	V _{CC}		V
	I _{OH} = -4mA	3V	2.58			2.48			
	I _{OH} = -8mA	4.5V	3.94			3.8			
V _{OL}	I _{OL} = 50μA	2V ~ 5.5V			0.1			0.1	V
	I _{OL} = 4mA	3V			0.36			0.44	
	I _{OL} = 8mA	4.5V			0.36			0.44	
I _I	V _I = 5.5V または GND、V _{CC} = 0V ~ 5.5V	0V ~ 5.5V			±0.1			±1	μA
I _{OZ}	V _O = V _{CC} または GND、V _{CC} = 5.5V	5.5V			±0.25			±5	μA
I _{CC}	V _I = V _{CC} または GND、I _O = 0、V _{CC} = 5.5V	5.5V			4			40	μA
C _I	V _I = V _{CC} または GND	5V		2					pF
C _O	V _O = V _{CC} または GND	5V		5					pF
C _{PD}	無負荷、F = 1MHz	5V		41					pF

5.6 ノイズ特性

V_{CC} = 5V、CL = 50pF、T_A = 25°C

パラメータ	概要	最小値	標準値	最大値	単位
V _{OL(P)}	クワイエット出力、最大動的電圧 V _{OL}		0.2	0.8	V
V _{OL(V)}	クワイエット出力、最小動的電圧 V _{OL}	-0.9	-0.2		V
V _{OH(V)}	クワイエット出力、最小動的電圧 V _{OH}	4.4	4.7		V
V _{IH(D)}	High レベル動的入力電圧	3.5			V
V _{IL(D)}	Low レベル動的入力電圧			1.5	V

5.7 タイミング特性

自由気流での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	概要	条件	V _{CC}	T _A = 25°C		-40°C ~ 125°C		単位
				最小値	最大値	最小値	最大値	
t _W	パルス幅	SH/LD Low	3.3V ± 0.3V	6		7		ns
t _W	パルス幅	CLK が High または Low	3.3V ± 0.3V	7.5		9		ns
t _{SU}	セットアップ時間	CLK↑ の前の SH/LD が High	3.3V ± 0.3V	5		6		ns
t _{SU}	セットアップ時間	CLK↑ の前の SER	3.3V ± 0.3V	5		6		ns
t _{SU}	セットアップ時間	CLK↑ の前の CLK INH が Low	3.3V ± 0.3V	5		5		ns
t _{SU}	セットアップ時間	CLK↑ の前の CLK INH が High	3.3V ± 0.3V	5		5		ns
t _{SU}	セットアップ時間	SH/LD↓ より前のデータ	3.3V ± 0.3V	7.5		8.5		ns
t _H	ホールド時間	CLK↑ より後の SER データ	3.3V ± 0.3V	0		0		ns
t _H	ホールド時間	SH/LD↓ より後の PAR データ	3.3V ± 0.3V	0.5		0.5		ns
t _W	パルス幅	SH/LD Low	5V ± 0.5V	4		4		ns
t _W	パルス幅	CLK が High または Low	5V ± 0.5V	5		6		ns
t _{SU}	セットアップ時間	CLK↑ の前の SH/LD が High	5V ± 0.5V	4		4		ns
t _{SU}	セットアップ時間	CLK↑ の前の SER	5V ± 0.5V	4		4		ns
t _{SU}	セットアップ時間	CLK↑ の前の CLK INH が Low	5V ± 0.5V	3.5		3.5		ns
t _{SU}	セットアップ時間	CLK↑ の前の CLK INH が High	5V ± 0.5V	3.5		3.5		ns
t _{SU}	セットアップ時間	SH/LD↓ より前のデータ	5V ± 0.5V	5		5		ns
t _H	ホールド時間	CLK↑ より後の SER データ	5V ± 0.5V	0.5		0.5		ns
t _H	ホールド時間	SH/LD↓ より後の PAR データ	5V ± 0.5V	1		1		ns

5.8 スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)。「パラメータ測定情報」を参照

パラメータ	始点 (入力)	終点 (出力)	負荷容量	V _{CC}	T _A = 25°C			-40°C ~ 125°C			単位
					最小値	標準値	最大値	最小値	標準値	最大値	
F _{MAX}	-	-	C _L = 15pF	3.3V ± 0.3V	136.8			124.8			MHz
t _{PLH}	CLK	Q _H または Q̄ _H	C _L = 15pF	3.3V ± 0.3V	5.9	10.2		5.4	11.9		ns
t _{PHL}	CLK	Q _H または Q̄ _H	C _L = 15pF	3.3V ± 0.3V	4.9	10.1		4.4	12.1		ns
t _{PLH}	H	Q _H または Q̄ _H	C _L = 15pF	3.3V ± 0.3V	6.8	12.8		6.1	15.5		ns
t _{PHL}	H	Q _H または Q̄ _H	C _L = 15pF	3.3V ± 0.3V	5.8	12.4		5.1	15.5		ns
t _{PLH}	SH/LD	Q _H または Q̄ _H	C _L = 15pF	3.3V ± 0.3V	6.6	12.8		5.9	15.5		ns
t _{PHL}	SH/LD	Q _H または Q̄ _H	C _L = 15pF	3.3V ± 0.3V	5.7	12.5		4.9	15.5		ns
F _{MAX}	-	-	C _L = 50pF	3.3V ± 0.3V	88.1			86.2			MHz
t _{PLH}	CLK	Q _H または Q̄ _H	C _L = 50pF	3.3V ± 0.3V	7	12.4		6.3	14.5		ns
t _{PHL}	CLK	Q _H または Q̄ _H	C _L = 50pF	3.3V ± 0.3V	6.7	13.4		6.1	15.6		ns
t _{PLH}	H	Q _H または Q̄ _H	C _L = 50pF	3.3V ± 0.3V	7.9	15.1		7.1	18.2		ns
t _{PHL}	H	Q _H または Q̄ _H	C _L = 50pF	3.3V ± 0.3V	7.7	15.8		6.9	19		ns
t _{PLH}	SH/LD	Q _H または Q̄ _H	C _L = 50pF	3.3V ± 0.3V	7.7	15		6.8	18		ns
t _{PHL}	SH/LD	Q _H または Q̄ _H	C _L = 50pF	3.3V ± 0.3V	7.5	16		6.8	19		ns
F _{MAX}	-	-	C _L = 15pF	5V ± 0.5V	224.3			214.5			MHz
t _{PLH}	CLK	Q _H または Q̄ _H	C _L = 15pF	5V ± 0.5V	5	7.8		4.6	9		ns

自由気流での動作温度範囲内 (特に記述のない限り)。「パラメータ測定情報」を参照

パラメータ	始点 (入力)	終点 (出力)	負荷容量	V_{CC}	$T_A = 25^\circ\text{C}$			$-40^\circ\text{C} \sim 125^\circ\text{C}$			単位
					最小値	標準値	最大値	最小値	標準値	最大値	
t_{PHL}	CLK	Q_H または \bar{Q}_H	$C_L = 15\text{pF}$	$5V \pm 0.5V$	3.7		6.5	3.3		8	ns
t_{PLH}	H	Q_H または \bar{Q}_H	$C_L = 15\text{pF}$	$5V \pm 0.5V$	5.8		9.6	5.3		11.4	ns
t_{PHL}	H	Q_H または \bar{Q}_H	$C_L = 15\text{pF}$	$5V \pm 0.5V$	4.5		8.3	3.9		10.4	ns
t_{PLH}	SH/ \bar{LD}	Q_H または \bar{Q}_H	$C_L = 15\text{pF}$	$5V \pm 0.5V$	5.6		9.6	5.1		11.3	ns
t_{PHL}	SH/ \bar{LD}	Q_H または \bar{Q}_H	$C_L = 15\text{pF}$	$5V \pm 0.5V$	4.2		8.3	3.8		10.4	ns
F_{MAX}	-	-	$C_L = 50\text{pF}$	$5V \pm 0.5V$	132.9			121.6			MHz
t_{PLH}	CLK	Q_H または \bar{Q}_H	$C_L = 50\text{pF}$	$5V \pm 0.5V$	5.9		9.4	5.4		10.8	ns
t_{PHL}	CLK	Q_H または \bar{Q}_H	$C_L = 50\text{pF}$	$5V \pm 0.5V$	5.2		9.2	4.7		10.8	ns
t_{PLH}	H	Q_H または \bar{Q}_H	$C_L = 50\text{pF}$	$5V \pm 0.5V$	6.7		11.1	6.1		13.2	ns
t_{PHL}	H	Q_H または \bar{Q}_H	$C_L = 50\text{pF}$	$5V \pm 0.5V$	6		10.9	5.4		13.2	ns
t_{PLH}	SH/ \bar{LD}	Q_H または \bar{Q}_H	$C_L = 50\text{pF}$	$5V \pm 0.5V$	6.5		11.2	6		13.2	ns
t_{PHL}	SH/ \bar{LD}	Q_H または \bar{Q}_H	$C_L = 50\text{pF}$	$5V \pm 0.5V$	5.8		10.9	5.2		13	ns

5.9 代表的特性

$T_A = 25^\circ\text{C}$ (特に記述のない限り)

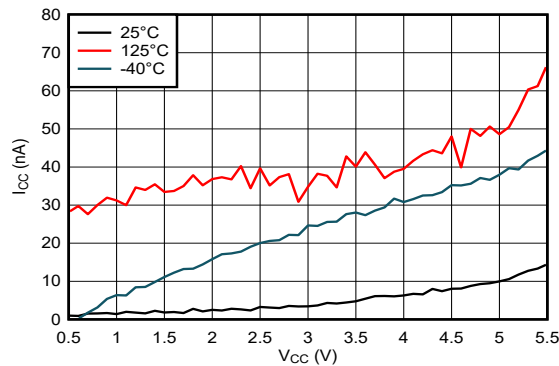


図 5-1. 電源電流と電源電圧との関係

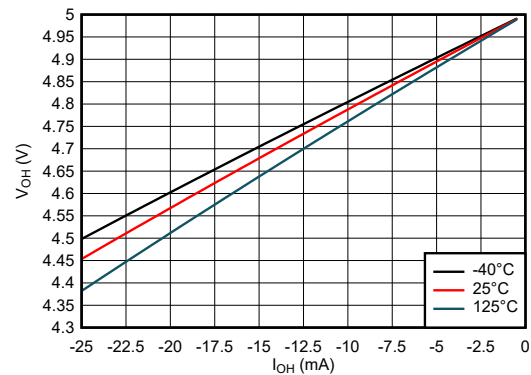


図 5-2. 出力電圧と High 状態の電流との関係 (5V 電源)

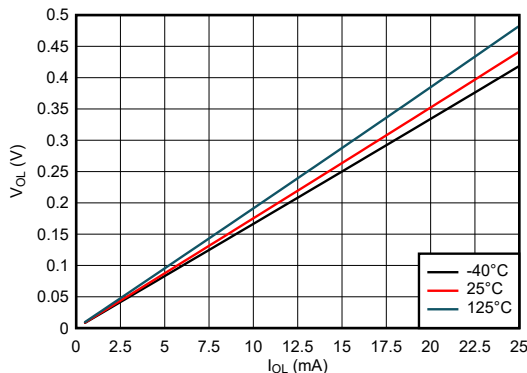


図 5-3. 出力電圧と Low 状態の電流との関係 (5V 電源)

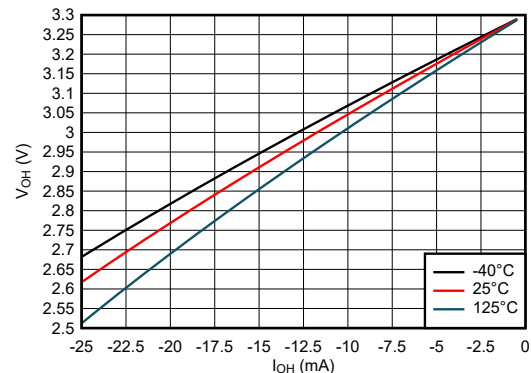


図 5-4. 出力電圧と High 状態の電流との関係 (3.3V 電源)

5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ (特に記述のない限り)

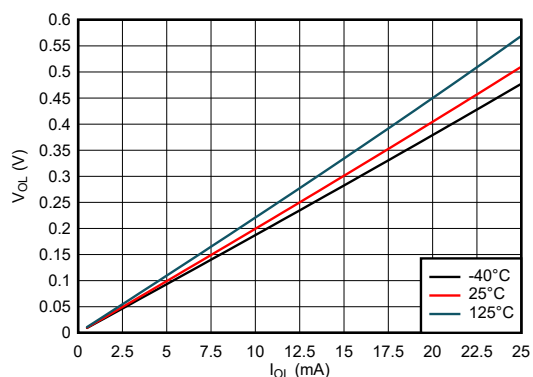


図 5-5. 出力電圧と Low 状態の電流との関係 (3.3V 電源)

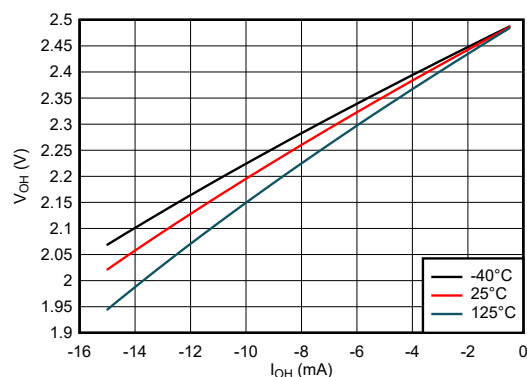


図 5-6. 出力電圧と High 状態の電流との関係 (2.5V 電源)

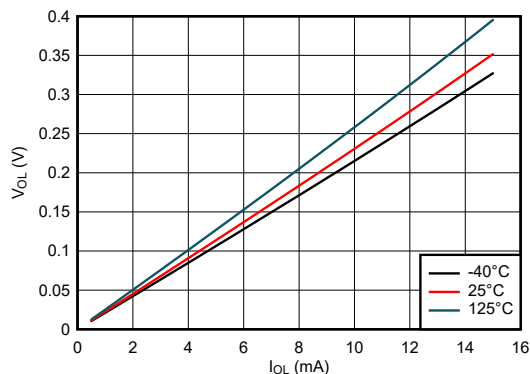


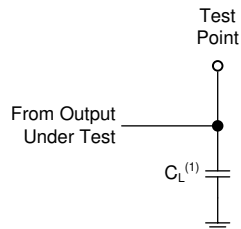
図 5-7. 出力電圧と Low 状態の電流との関係 (2.5V 電源)

6 パラメータ測定情報

以下の表に示す例では、波形間の位相関係を任意に選択しています。すべての入力パルスは、以下の特性を持つジェネレータで供給されます。PRR ≤ 1MHz、 $Z_O = 50\Omega$ 、 $t_f < 2\text{ ns}$ 。

クロック入力の場合、入力デューティ・サイクルが 50% のときに f_{max} が測定されます。

出力は個別に測定され、測定するたびに入力が 1 回遷移します。



(1) C_L にはプローブとテスト装置の容量が含まれます。

図 6-1. プッシュプル出力の負荷回路

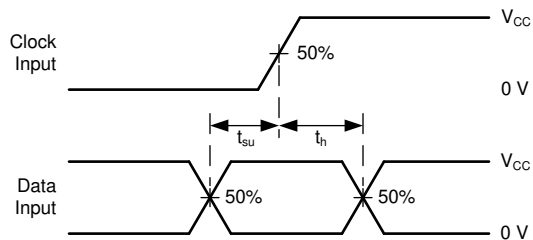


図 6-3. 電圧波形、セットアップ時間およびホールド時間

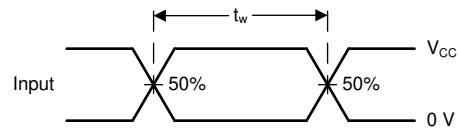
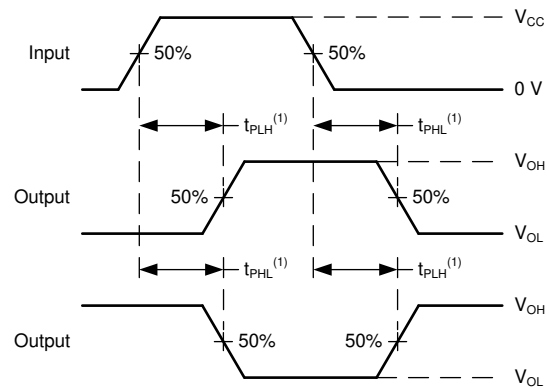
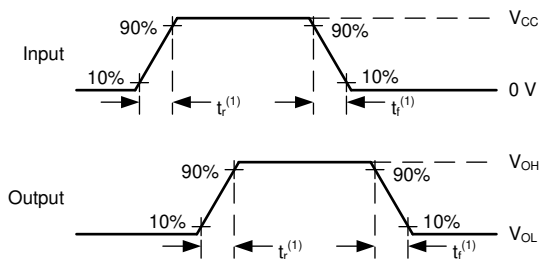


図 6-2. 電圧波形、パルス幅



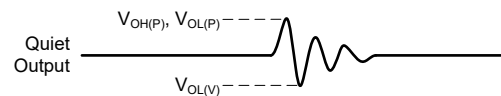
(1) t_{PLH} と t_{PHL} の大きいほうは、 t_{pd} と等しくなります。

図 6-4. 電圧波形の伝搬遅延



(1) t_r と t_f の大きいほうは、 t_t と等しくなります。

図 6-5. 電圧波形、入力および出力の遷移時間



他のすべての出力を同時にスイッチングして測定されたノイズ値。

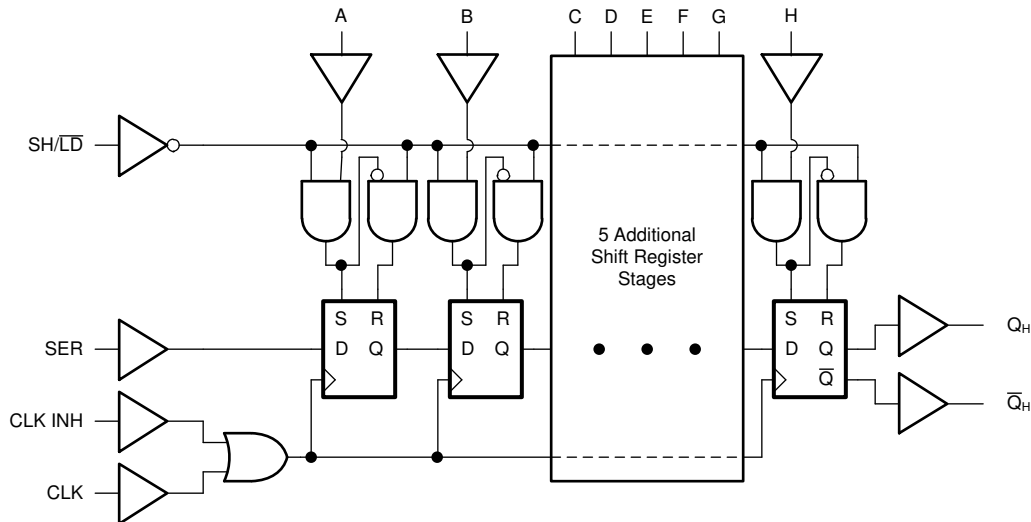
図 6-6. 電圧波形、ノイズ

7 詳細説明

7.1 概要

この SN74AHC165-Q1 デバイスは、8 ビット パラレル ロード シフト レジスタです。シフトまたはロード入力 (SH/LD) は、レジスタ データ入力 (A-H) の値を内部メモリ レジスタに非同期にロードするために使用されます。このデバイスはシリアル データ入力 (SER) を備えているため、複数のシフト レジスタ デバイスをデジタイズチェーン接続することができます。

7.2 機能ブロック図



7.3 機能説明

7.3.1 平衡化された CMOS プッシュプル出力

このデバイスには、平衡化された CMOS プッシュプル出力が内蔵されています。「平衡化」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リングングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにする必要があります。

7.3.2 ラッチ・ロジック

このデバイスには、ラッチ論理回路が内蔵されています。ラッチ回路には一般に D タイプ・ラッチと D タイプ・フリップ・フロップが含まれていますが、揮発性メモリとして機能するすべての論理回路が含まれていません。

デバイスの電源がオンのとき、各ラッチの状態は不明です。スタートアップ時の各ラッチには、デフォルト状態はありません。

各ラッチ論理回路の出力状態は、「推奨動作条件」表に規定された電源電圧範囲内でデバイスに電力が供給されている限り、安定した状態を保ちます。

7.3.3 標準 CMOS 入力

このデバイスには、標準 CMOS 入力 that 搭載されています。標準 CMOS 入力は高インピーダンスであり、通常は「電気的特性」に示されている入力容量と並列の抵抗としてモデル化されます。最悪条件下の抵抗は「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 ($R = V \div I$) を使用して計算します。

標準 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、『[低速またはフローティング CMOS 入力の影響](#)』を参照してください。

動作中は、標準 CMOS 入力をフローティングのままにしないでください。未使用の入力は、 V_{CC} または GND で終端する必要があります。システムが入力を常にアクティブに駆動している訳ではない場合、システムが入力をアクティブに駆動していないときに有効な入力電圧を与えるため、プルアップまたはプルダウン抵抗を追加できます。抵抗値は複数の要因に依存しますが、10kΩ の抵抗を推奨します。通常はこれですべての要件を満たします。

7.3.4 ウェッタブル・フランク

このデバイスには、少なくとも 1 つのパッケージのウェッタブル・フランクが含まれています。この機能を搭載しているパッケージについては、データシートの先頭ページにある「特長」セクションを参照してください。

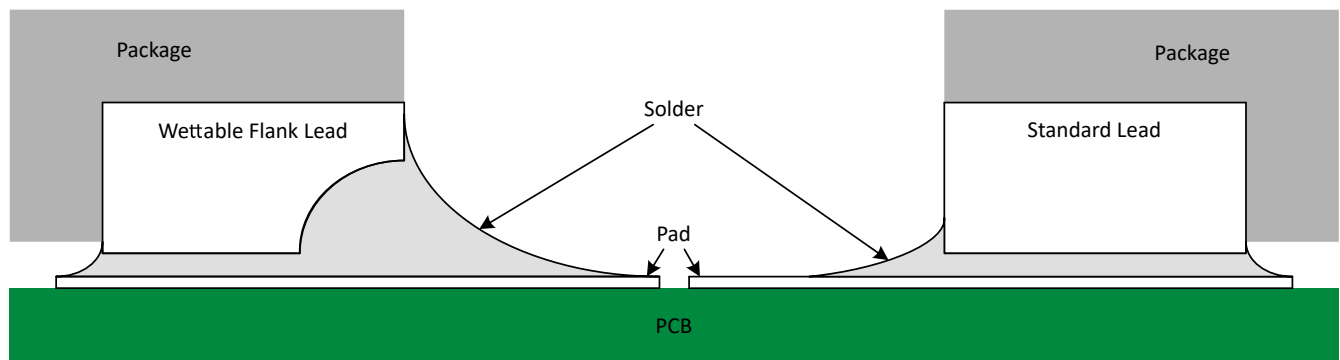


図 7-1. 半田付け後のウェッタブル・フランク QFN パッケージと標準 QFN パッケージの概略断面図

ウェッタブル・フランクは、半田付け後の側方のぬれ性を改善するのに役立ち、自動光学検査 (AOI) により QFN パッケージの検査が容易になります。図 7-1 に示すように、ウェッタブル・フランクは、半田接着用の表面積を増やすために、ディンプル加工または段切りできます。これは、サイド・フィレットを確実に作成するのに役立ちます。詳細については、メカニカルに関する図をご覧ください。

7.3.5 クランプ・ダイオード構造

図 7-2 に示すように、このデバイスへの出力には正と負の両方のクランプ・ダイオードがあり、このデバイスへの入力には負のクランプ・ダイオードのみがあります。

注意

「絶対最大定格」表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧の定格を超えることがあります。

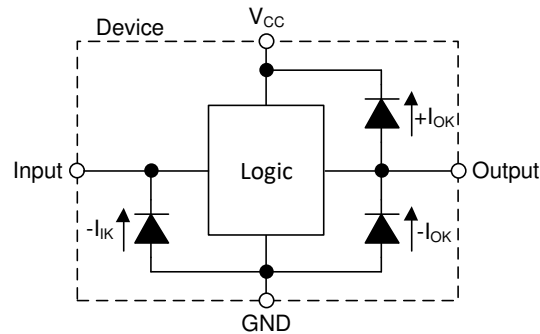


図 7-2. 各入力と出力に対するクランプ・ダイオードの電氣的配置

7.4 デバイスの機能モード

SN74AHC165-Q1 の機能モードを、表 7-1 および 表 7-1 に示します。

表 7-1. 動作モード表

入力 ⁽¹⁾			機能
SH/LD	CLK	CLK INH	
L	X	X	パラレル負荷
H	H	X	変更なし
H	X	H	変更なし
H	L	↑	シフト ⁽²⁾
H	↑	L	シフト ⁽²⁾

- (1) H = High 電圧レベル、L = Low 電圧レベル、X = ドント・ケア、↑ = Low から High への遷移
 (2) シフト各内部レジスタの内容は、シリアル出力 Q_H にシフトします。SER のデータは最初のレジスタにシフトされます。

表 7-2. 出力機能表

内部レジスタ ^{(1) (2)}		出力 ⁽²⁾	
A — G	H	Q	\bar{Q}
X	L	L	H
X	H	H	L

- (1) 内部レジスタとは、デバイス内部のシフト・レジスタを指します。これらの値は、パラレル入力からデータをロードするか、シリアル入力からデータを送信することで設定されます。
 (2) H = High 電圧レベル、L = Low 電圧レベル、X = ドント・ケア

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

SN74AHC165-Q1 はパラレル入カシフト レジスタで、一部のアプリケーションではシステム コントローラの必要な入力数を大幅に減らすために使用できます。パラレル・データがシフト・レジスタにロードされ、シフト・レジスタにクロックが入力すると、保存されたデータはシステム・コントローラのシリアル入力にロードできます。

複数のシフト・レジスタをカスケード接続することで、システム・コントローラへのシリアル入力を 1 つのみ使用しながら、より多くのデータを入力できます。このプロセスは主に、「タイミング特性」および「スイッチング特性」表に定義されているように、選択したシフト・レジスタに必要なデータ入力レートとタイミング特性によって制限されます。

「代表的なアプリケーションのブロック図」に、単一のシフト レジスタを使用するブロック図の例を示します。

8.2 代表的なアプリケーション

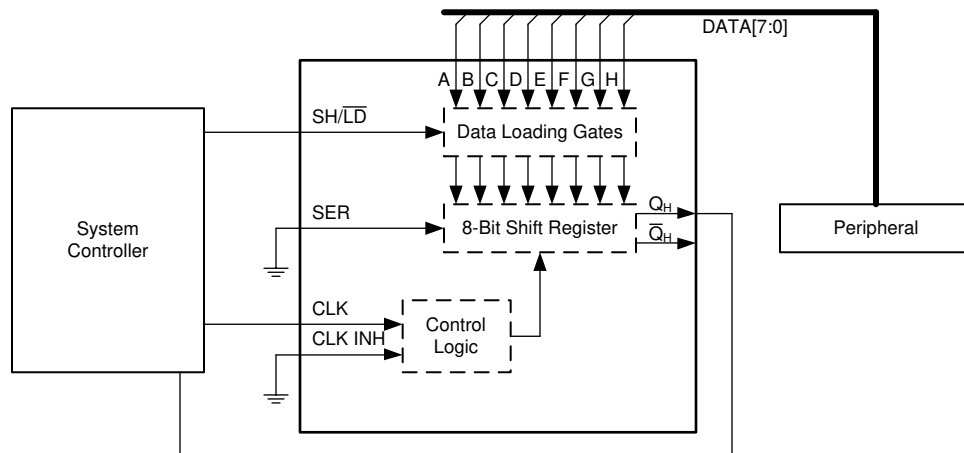


図 8-1. 代表的なアプリケーションのブロック図

8.2.1 設計要件

8.2.1.1 電源に関する考慮事項

目的の電源電圧が「推奨動作条件」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧はデバイスの電気的特性を設定します。

正の電圧電源は、「電気的特性」に示されている最大静的電源電流 I_{CC} に SN74AHC165-Q1 のすべての出力がソースとする合計電流を加えた電流と、スイッチングに必要な過渡電流をソースできる必要があります。ロジック・デバイスは、正の電源から供給される電流量のみをソースできます。「絶対最大定格」に記載されている V_{CC} を流れる最大合計電流を超えないようにしてください。

グランドは、SN74AHC165-Q1 のすべての出力によってシンクされる合計電流に「電気的特性」に記載されている最大電源電流 I_{CC} を加えた電流と、スイッチングに必要な過渡電流をシンクできる必要があります。ロジック・デバイスは、グランド接続にシンクできる電流量のみをシンクできます。「絶対最大定格」に記載されている GND を流れる最大合計電流を超えないようにしてください。

SN74AHC165-Q1 は、データシートのすべての仕様を満たしながら、合計容量が 50pF 以下の負荷を駆動できます。より大きな容量性負荷を印加することもできますが、50pF を超えないようにすることを推奨します。

SN74AHC165-Q1 は、「電気的特性」表に定義されている出力電圧および電流 (V_{OH} および V_{OL}) で、 $R_L \geq V_O / I_O$ で記述される合計抵抗の負荷を駆動できます。HIGH 状態で出力する場合、式の出力電圧は、測定された出力電圧と V_{CC} ピンの電源電圧との差として定義されます。

総消費電力は、『CMOS の消費電力と CPD の計算』に記載されている情報を使用して計算できます。

熱上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』に記載されている情報を使用して計算できます。

注意

「絶対最大定格」に記載されている最大接合部温度 $T_{J(max)}$ は、デバイスの損傷を防止するための追加の制限です。「絶対最大定格」に記載されている値を超えないようにしてください。これらの制限値は、デバイスの損傷を防止するために規定されています。

8.2.1.2 入力に関する考慮事項

入力信号がロジック LOW と見なされるには $V_{IL(max)}$ を下回る必要があり、ロジック HIGH と見なされるには $V_{IH(min)}$ を上回る必要があります。「絶対最大定格」に記載されている最大入力電圧範囲を超えないようにしてください。

未使用の入力は、 V_{CC} またはグランドに終端する必要があります。入力がまったく使用されていない場合は、未使用の入力を直接終端できます。入力が時々使用される場合、または常には使用されない場合は、プルアップ抵抗またはプルダウン抵抗を使用して接続できます。デフォルト状態が HIGH の場合はプルアップ抵抗を使用し、デフォルト状態が LOW の場合はプルダウン抵抗を使用します。コントローラの駆動電流、SN74AHC165-Q1 へのリーク電流（「電気的特性」で規定）、および必要な入力遷移レートによって抵抗のサイズが制限されます。これらの要因により、多くの場合は 10kΩ の抵抗値が使用されます。

SN74AHC165-Q1 には CMOS 入力があるため、正しく動作させるためには、「推奨動作条件」表に定義されているように、入力遷移が高速である必要があります。入力遷移が遅いと、発振が発生し、消費電力が増加して、デバイスの信頼性が低下する可能性があります。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

8.2.1.3 出力に関する考慮事項

出力 HIGH 電圧は、正の電源電圧を使用して生成します。「電気的特性」の V_{OH} 仕様に規定されているように、出力から電流を引き込むと出力電圧が低下します。出力 LOW 電圧は、グランド電圧を使用して生成します。「電気的特性」の V_{OL} 仕様に規定されているように、出力に電流をシンクすると出力電圧が上昇します。

非常に短い期間であっても、逆の状態になる可能性があるプッシュプル出力同士は、直接接続しないでください。これにより過電流が発生し、デバイスが損傷する可能性があります。

同じデバイス内で、同じ入力信号を持つ 2 つのチャネルを並列に接続すると、出力駆動能力を高めることができます。

未使用の出力はフローティングのままにできます。出力を直接 V_{CC} またはグランドに接続しないでください。

このデバイスの出力の詳細については、「機能説明」セクションを参照してください。

8.2.2 詳細な設計手順

1. V_{CC} から GND の間にデカップリング・コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電氣的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷は、必ず 50pF 以下になるようにします。これは厳密な制限ではありませんが、設計上、性能が最適化されます。これは、SN74AHC165-Q1 から 1 つ以上の受信デバイスへのトレースを短い適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を $(V_{CC}/I_{O(max)})\Omega$ より大きくします。これを行うと、「絶対最大定格」の最大出力電流に違反するのを防ぐことができます。ほとんどの CMOS 入力には抵抗性負荷 (測定単位は $M\Omega$) があります。これは、前述の計算された最小値よりもはるかに大きな値になります。
4. 熱の問題がロジック・ゲートで懸念されることはほとんどありませんが、消費電力と温度上昇は、アプリケーション・レポート『[CMOS 消費電力と Cpd の計算](#)』に記載された手順を使って計算できます。

8.2.3 アプリケーション曲線

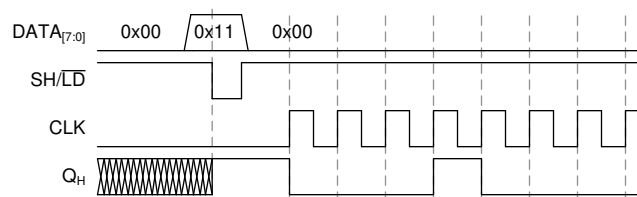


図 8-2. アプリケーションのタイミング図

8.3 電源に関する推奨事項

電源には、「[推奨動作条件](#)」表に記載されている最小電源電圧定格と最大電源電圧定格の間の任意の電圧を使用できます。

電源の障害を防止するため、各 V_{CC} ピンに適切なバイパス コンデンサを配置する必要があります。単一電源のデバイスの場合は、 $0.1\mu\text{F}$ のコンデンサを推奨します。複数の V_{CC} ピンがある場合は、各電源ピンに対して $0.01\mu\text{F}$ または $0.022\mu\text{F}$ のコンデンサを推奨します。複数のバイパス・コンデンサを並列に配置して、異なる周波数のノイズを除去することが可能です。一般的に、 $0.1\mu\text{F}$ と $1\mu\text{F}$ のコンデンサは並列に使用されます。最良の結果を得るため、バイパス コンデンサは電源ピンのできるだけ近くに配置する必要があります。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルのロジック・デバイスを使用する場合、入力をフローティングのままにしておきません。多くの場合、デジタル・ロジック・デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用する場合や 4 つのバッファ・ゲートのうちの 3 つのみを使用する場合)。このような未使用の入力ピンを未接続のままにしないでください。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタル・ロジック・デバイスの未使用の入力は、入力電圧の仕様が定義されるロジック High またはロジック Low の電圧に接続し、いずれもフローティングにならないようにする必要があります。特定の未使用の入力に対して適用が必要となるロジック・レベルは、デバイスの機能により異なります。一般に、GND または V_{CC} のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

8.4.2 レイアウト例

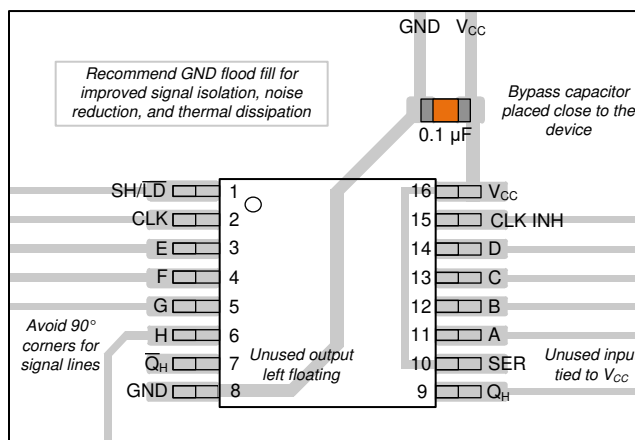


図 8-3. レイアウトの例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

『低速またはフローティング CMOS 入力の影響』、[SCBA004](#)

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。
[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

日付	改訂	注
2023 年 11 月	*	初版

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74AHC165QPWRQ1	Active	Production	TSSOP (PW) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC165Q
SN74AHC165QPWRQ1.A	Active	Production	TSSOP (PW) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC165Q
SN74AHC165QWBQBRQ1	Active	Production	WQFN (BQB) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AH165Q
SN74AHC165QWBQBRQ1.A	Active	Production	WQFN (BQB) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AH165Q

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74AHC165-Q1 :

- Catalog : [SN74AHC165](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AHC165QPWRQ1	TSSOP	PW	16	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHC165QWBQRQ1	WQFN	BQB	16	3000	180.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AHC165QPWRQ1	TSSOP	PW	16	3000	353.0	353.0	32.0
SN74AHC165QWBQBRQ1	WQFN	BQB	16	3000	210.0	185.0	35.0

GENERIC PACKAGE VIEW

BQB 16

WQFN - 0.8 mm max height

2.5 x 3.5, 0.5 mm pitch

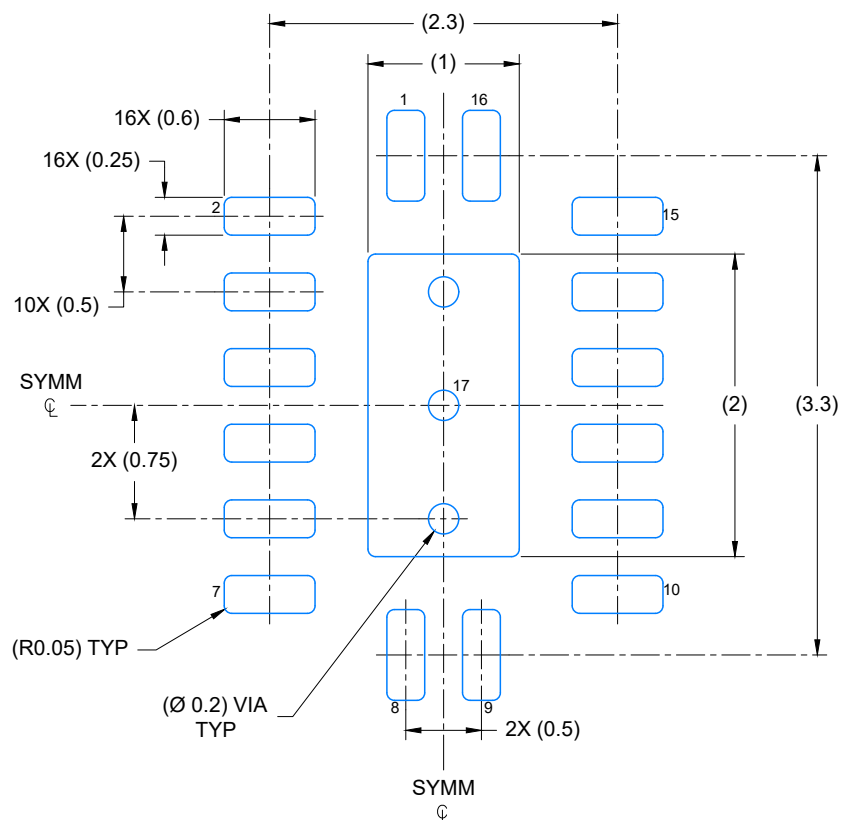
PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4226161/A

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

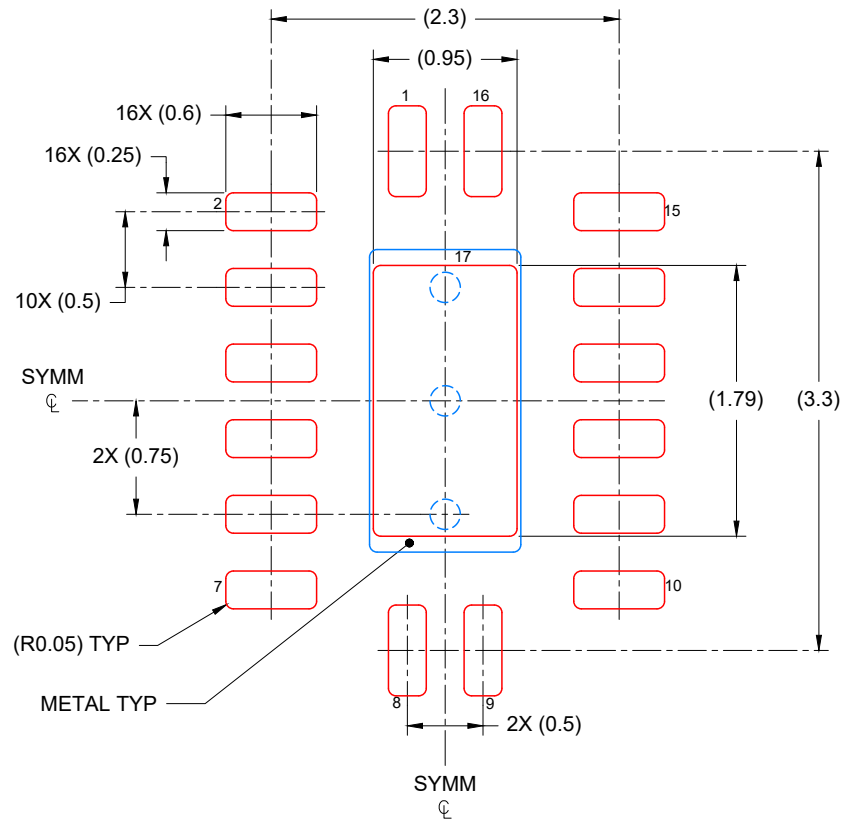


LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

4226135/A 08/2020

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
 85% PRINTED COVERAGE BY AREA
 SCALE: 20X

4226135/A 08/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月