

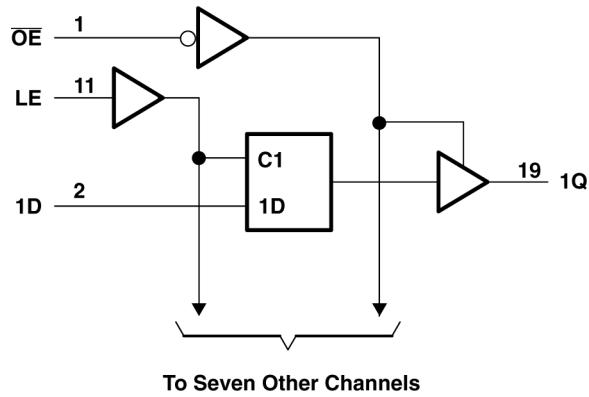
SN74AC573-Q13 ステート出力搭載、車載用、オクタル、トランスペアレント D タイプ ラッチ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
 - デバイス温度グレード 1: $40^{\circ}\text{C} \sim +125^{\circ}\text{C}$
 - デバイス HBM ESD 分類レベル 2
 - デバイス CDM ESD 分類レベル C4B
- 幅広い動作範囲: $1.5\text{V} \sim 6\text{V}$
- 6V までの入力電圧に対応
- 連続 $\pm 24\text{mA}$ 出力駆動 (5V 時)
- 短いバーストで最大 $\pm 75\text{mA}$ の出力駆動 (5V 時) に対応
- 50Ω 伝送ラインを駆動
- 5V 、 50pF 負荷時の最大値で $t_{pd} = 7.9\text{ns}$

2 アプリケーション

- パラレルデータストレージ
- デジタルバスバッファ



論理図 (正論理)

3 概要

SN74AC573-Q1 は、共有 3 ステート出力とラッチ制御を備えた 8 つのトランスペアレント D タイプ ラッチを内蔵しています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージサイズ ⁽²⁾	本体サイズ ⁽³⁾
SN74AC573-Q1	DGS (VSSOP, 20)	5.10 mm × 4.9mm	5.10 mm × 3mm
	PW (TSSOP, 20)	6.5mm × 6.4mm	6.50 mm × 4.40mm
	RKS (WQFN, 20)	4.5mm × 2.5mm	4.5mm × 2.5mm

- (1) 詳細については、[セクション 10](#) を参照してください。
 (2) パッケージサイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。
 (3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

English Data Sheet: [SCAS959](#)

目次

1 特長	1	7 アプリケーションと実装	12
2 アプリケーション	1	7.1 アプリケーション情報	12
3 概要	1	7.2 代表的なアプリケーション	12
4 ピン構成および機能	3	7.3 設計要件	13
5 仕様	4	7.4 詳細な設計手順	15
5.1 絶対最大定格	4	7.5 アプリケーション曲線	15
5.2 ESD 定格	4	7.6 電源に関する推奨事項	15
5.3 推奨動作条件	4	7.7 レイアウト	15
5.4 熱に関する情報	5	8 デバイスおよびドキュメントのサポート	17
5.5 電気的特性	5	8.1 ドキュメントのサポート	17
5.6 タイミング特性	6	8.2 ドキュメントの更新通知を受け取る方法	17
5.7 スイッチング特性	8	8.3 サポート・リソース	17
6 詳細説明	10	8.4 商標	17
6.1 概要	10	8.5 静電気放電に関する注意事項	17
6.2 機能ブロック図	10	8.6 用語集	17
6.3 機能説明	10	9 改訂履歴	17
6.4 デバイスの機能モード	11	10 メカニカル、パッケージ、および注文情報	17

4 ピン構成および機能

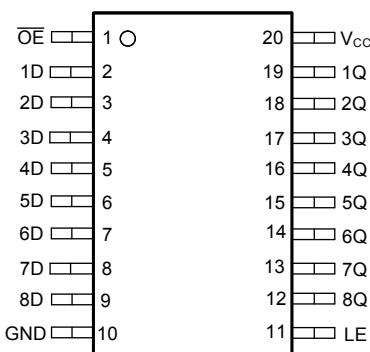


図 4-1. SN74AC573-Q1 DGS または PW パッケージ、
20 ピン VSSOP または TSSOP (上面図)

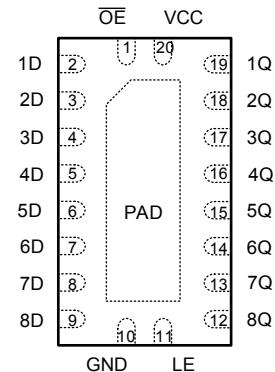


図 4-2. RKS パッケージ、20 ピン VQFN (上面図)

表 4-1. ピンの機能

ピン		種類 ⁽¹⁾	説明
名称	番号		
OE	1	I	出力イネーブル
1D	2	I	1D 入力
2D	3	I	2D 入力
3D	4	I	3D 入力
4D	5	I	4D 入力
5D	6	I	5D 入力
6D	7	I	6D 入力
7D	8	I	7D 入力
8D	9	I	8D 入力
GND	10	G	グランド
LE	11	I	ラッチイネーブル入力
8Q	12	O	8Q 出力
7Q	13	O	7Q 出力
6Q	14	O	6Q 出力
5Q	15	O	5Q 出力
4Q	16	O	4Q 出力
3Q	17	O	3Q 出力
2Q	18	O	2Q 出力
1Q	19	O	1Q 出力
V _{cc}	20	P	正電源
放熱パッド ⁽²⁾		—	サーマルパッドは GND に接続するか、フローティングのままにすることができます。他の信号や電源には接続しないでください。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

(2) RKS パッケージのみ。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	7	V
V_I	入力電圧範囲 ⁽²⁾		-0.5	$V_{CC} + 0.5$ V	V
V_O	出力電圧範囲 ⁽²⁾		-0.5	$V_{CC} + 0.5$ V	V
I_{IK}	入力クランプ電流	$V_I < -0.5$ V または $V_I > V_{CC} + 0.5$ V		± 20	mA
I_{OK}	出力クランプ電流	$V_O < -0.5$ V または $V_O > V_{CC} + 0.5$ V		± 50	mA
I_O	連続出力電流	$V_O = 0 \sim V_{CC}$		± 50	mA
	V_{CC} または GND を通過する連続出力電流			± 200	mA
T_{stg}	保管温度		-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内で、一時的に「推奨動作条件」の範囲を超えた動作をさせる場合、必ずしもデバイスが損傷を受けるものではありませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
- (2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 HBM ESD 分類レベル 2 準拠 ⁽¹⁾	± 2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4B 準拠	± 1000	

- (1) AEC Q100-002 には、HBM ストレス試験は ANSI/ESDA/JEDEC JS-001 仕様に従って実施することと規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

仕様	概要	条件	最小値	最大値	単位
V_{CC}	電源電圧		1.5	6	V
V_{IH}	High レベル入力電圧	$V_{CC} = 1.5$ V	1.2		V
		$V_{CC} = 1.8$ V	1.26		
		$V_{CC} = 2.5$ V	1.75		
		$V_{CC} = 3$ V	2.1		
		$V_{CC} = 4.5$ V	3.15		
		$V_{CC} = 5.5$ V	3.85		
V_{IL}	Low レベル入力電圧	$V_{CC} = 1.5$ V	0.3		V
		$V_{CC} = 1.8$ V	0.54		
		$V_{CC} = 2.5$ V	0.75		
		$V_{CC} = 3$ V	0.9		
		$V_{CC} = 4.5$ V	1.35		
		$V_{CC} = 5.5$ V	1.65		
V_I ⁽¹⁾	入力電圧		0	V_{CC}	V
V_O	出力電圧		0	V_{CC}	V

5.3 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

仕様	概要	条件	最小値	最大値	単位
I_{OH}	High レベル出力電流	$V_{CC} = 1.8V$		-1	mA
		$V_{CC} = 2.5V$		-2	
		$V_{CC} = 3.3V$		-12	
		$V_{CC} = 5V$		-24	
I_{OL}	Low レベル出力電流	$V_{CC} = 1.8V$		1	mA
		$V_{CC} = 2.5V$		2	
		$V_{CC} = 3.3V$		12	
		$V_{CC} = 5V$		24	
$\Delta t/\Delta v$	入力遷移の立ち上がりまたは立ち下がりレート	$1.5V \leq V_{CC} \leq 3V$		50	ns/V
		$3V < V_{CC} \leq 5.5V$		20	
T_A	自由空気での動作温度		-40	125	°C

- (1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、VCC または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーションレポート『[低速またはフローティング CMOS 入力の影響](#)』を参照してください。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		DGS	PW (TSSOP)	RKS (VQFN)	単位
		20 ピン	20 ピン	20 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	123.6	126.2	72.9	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	62.2	68.7	77.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	78.7	77.3	45.6	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	7.8	22.3	13.2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	78.0	76.9	45.6	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	29.4	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーションレポートを参照してください。

5.5 電気的特性

自由空気での動作温度範囲内、 $T_A = 25°C$ で測定した代表値 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	最小値	代表値	最大値	単位
V_{OH}	$I_{OH} = -50\mu A$	1.5V		1.4	1.49	V
		1.8V		1.7	1.79	
		2.5V		2.4	2.49	
		3V		2.9	2.99	
		4.5V		4.4	4.49	
		5.5V		5.4	5.49	
	$I_{OH} = -1mA$	1.8V		1.44		
		2.5V		2		
		3V		2.4		
		3V		2.4		
		4.5V		3.7		
		5.5V		4.7		
		5.5V				
		5.5V		3.85		

5.5 電気的特性 (続き)

自由空気での動作温度範囲内、 $T_A = 25^\circ\text{C}$ で測定した代表値 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	最小値	代表値	最大値	単位
V_{OL}	$I_{OL} = 50\mu\text{A}$	1.5 V	0.01	0.1		
		1.8 V	0.01	0.1		
		2.5 V	0.01	0.1		
		3 V	0.01	0.1		
		4.5 V	0.01	0.1		
	$I_{OL} = 1\text{mA}$	5.5 V	0.01	0.1		
		1.8 V			0.36	V
		2.5 V			0.5	
		3 V			0.5	
		3 V			0.5	
I_I	$V_I = 5.5\text{ V}$ または GND	0 V~5.5 V		± 1	μA	
I_{OZ}	$V_O = V_{CC}$ または GND	5.5 V		± 5	μA	
I_{CC}	$V_I = V_{CC}$ または GND, $I_O = 0$	5.5 V		20	μA	
C_I	$V_I = V_{CC}$ または GND	5 V		9	pF	
C_O	$V_O = V_{CC}$ または GND	5 V		15	pF	
C_{PD} (1) (2)	$F = 1\text{MHz}$	5 V		60	pF	

(1) C_{PD} は、チャネルごとのダイナミック消費電力を決定するために使用されます

(2) $P_D = V_{CC}^2 \times F_I \times (C_{PD} + C_L)$ 、ここで F_I = 入力周波数、 C_L = 出力負荷容量、 V_{CC} = 電源電圧

5.6 タイミング特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	説明	条件	V_{CC}	$T_A = 25^\circ\text{C}$		$-40^\circ\text{C} \sim 85^\circ\text{C}$		$-40^\circ\text{C} \sim 125^\circ\text{C}$		
				最小値	最大値	最小値	最大値	最小値	最大値	
t_{clock}	クロック周波数		1.5 V		15		11		10	MHz
t_W	パルス幅	LE が High	1.5 V	44		44		50		ns
t_W	パルス幅	CLK が High または Low	1.5 V	44		44		50		ns
t_W	パルス幅	CLR が Low	1.5 V	35		55		63		ns
t_{SU}	セットアップ時間	LE ↓ 前のデータ	1.5 V	2		2		2		ns
t_{SU}	セットアップ時間	CLR 非アクティブ	1.5 V	2		2		2		ns
t_{SU}	セットアップ時間	CLK ↑ 前のデータ	1.5 V	2		2		2		ns
t_H	ホールド時間	CLK ↑ 後のデータ	1.5 V	2		2		2		ns
t_H	ホールド時間	LE ↓ 後のデータ	1.5 V	15		33		38		ns
f_{clock}	クロック周波数		1.8 V		55		45		44	MHz
t_W	パルス幅	LE が High	1.8 V	7.2				11.4		ns
t_W	パルス幅	CLK が High または Low	1.8 V	8.6				12.6		ns
t_W	パルス幅	CLR が Low	1.8 V	6.5				10.9		ns

5.6 タイミング特性 (続き)

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	説明	条件	V _{CC}	T _A = 25°C		-40°C~85°C		-40°C~125°C		単位
				最小値	最大値	最小値	最大値	最小値	最大値	
t _{SU}	セットアップ時間	LE ↓ 前のデータ	1.8 V	5.1				5.6		ns
t _{SU}	セットアップ時間	CLR 非アクティブ	1.8 V	5.3				5.4		ns
t _{SU}	セットアップ時間	CLK↑ 前のデータ	1.8 V	8.3				9.5		ns
t _H	ホールド時間	CLK↑ 後のデータ	1.8 V	2				2		ns
t _H	ホールド時間	LE ↓ 後のデータ	1.8 V	2				2		ns
f _{CLOCK}	クロック周波数		2.5 V		90		78		65	MHz
t _W	パルス幅	LE が High	2.5 V	6				6		ns
t _W	パルス幅	CLK が High または Low	2.5 V	7.3				7.3		ns
t _W	パルス幅	CLR が Low	2.5 V	6				6		ns
t _{SU}	セットアップ時間	LE ↓ 前のデータ	2.5 V	2.4				2.8		ns
t _{SU}	セットアップ時間	CLR 非アクティブ	2.5 V	2.5				2.8		ns
t _{SU}	セットアップ時間	CLK↑ 前のデータ	2.5 V	3.9				7.5		ns
t _H	ホールド時間	CLK↑ 後のデータ	2.5 V	1				1		ns
t _H	ホールド時間	LE ↓ 後のデータ	2.5 V	2				2.3		ns
f _{CLOCK}	クロック周波数		3.3 V		101		89		75	MHz
t _W	パルス幅	LE が High	3.3 V	5.5		4.9		5.6		ns
t _W	パルス幅	CLK が High または Low	3.3 V	5		4.9		5.6		ns
t _W	パルス幅	CLR が Low	3.3 V			6.1		7		ns
t _{SU}	セットアップ時間	LE ↓ 前のデータ	3.3 V	3.5		2		2		ns
t _{SU}	セットアップ時間	CLR 非アクティブ	3.3 V			2		2		ns
t _{SU}	セットアップ時間	CLK↑ 前のデータ	3.3 V	2.5		2		2		ns
t _H	ホールド時間	CLK↑ 後のデータ	3.3 V	1		1		1		ns
t _H	ホールド時間	LE ↓ 後のデータ	3.3 V	2		2		4.2		ns
f _{CLOCK}	クロック周波数		5 V		150		143		125	MHz
t _W	パルス幅	LE が High	5 V	4		3.5		4		ns
t _W	パルス幅	CLK が High または Low	5 V	3.5		3.5		4		ns
t _W	パルス幅	CLR が Low	5 V			4.4		5		ns
t _{SU}	セットアップ時間	LE ↓ 前のデータ	5 V	3		2		2		ns
t _{SU}	セットアップ時間	CLR 非アクティブ	5 V			2		2		ns
t _{SU}	セットアップ時間	CLK↑ 前のデータ	5 V	1.5		2		2		ns
t _H	ホールド時間	CLK↑ 後のデータ	5 V	1		1.5		2		ns
t _H	ホールド時間	LE ↓ 後のデータ	5 V	1		1		1		ns

5.7 スイッチング特性

$C_L = 50\text{pF}$ 、自由気流での動作温度範囲内、 $T_A = 25^\circ\text{C}$ で測定された標準値(特に記述のない限り)「パラメータ測定情報」を参照

パラメータ	始点(入力)	終点(出力)	V_{CC}	$T_A = 25^\circ\text{C}$			$-40^\circ\text{C} \sim 85^\circ\text{C}$			$-40^\circ\text{C} \sim 125^\circ\text{C}$			単位
				最小値	代表値	最大値	最小値	代表値	最大値	最小値	代表値	最大値	
t_{PLH}	D	Q	1.5 V	18.2	31.9	33.4	34.1	ns					
t_{PHL}	D	Q	1.5 V	19.5	32.6	34	34.4	ns					
t_{PLH}	LE	Q	1.5 V	21.9	38.2	39.8	40.6	ns					
t_{PHL}	LE	Q	1.5 V	22.1	37.6	39.2	39.7	ns					
t_{PZH}	\overline{OE}	Q	1.5 V	17.4	29.3	30.6	31.3	ns					
t_{PZL}	\overline{OE}	Q	1.5 V	18.3	30.7	31.6	31.9	ns					
t_{PHZ}	\overline{OE}	Q	1.5 V	22.6	32.2	33.2	33.7	ns					
t_{PLZ}	\overline{OE}	Q	1.5 V	14.2	21.2	21.6	21.7	ns					
t_{PLH}	CLK	Q	1.5 V	21.8	44	45.9	46.5	ns					
t_{PHL}	CLK	Q	1.5 V	22.2	41.8	43.6	44.5	ns					
t_{PHL}	CLR	Q	1.5 V	21.5	35.1	36.5	37	ns					
t_{PLH}	D	Q	1.8 V	12.6	20.1	22	23	ns					
t_{PHL}	D	Q	1.8 V	14	21.7	23.4	24.4	ns					
t_{PLH}	LE	Q	1.8 V	15.5	24.6	26.7	27.8	ns					
t_{PHL}	LE	Q	1.8 V	16	25	26.9	28.1	ns					
t_{PZH}	\overline{OE}	Q	1.8 V	12.5	19.3	20.9	21.9	ns					
t_{PZL}	\overline{OE}	Q	1.8 V	13.6	20.9	22.2	22.9	ns					
t_{PHZ}	\overline{OE}	Q	1.8 V	17.9	23.9	25.6	26.4	ns					
t_{PLZ}	\overline{OE}	Q	1.8 V	10.9	14.8	15.3	15.6	ns					
t_{PLH}	CLK	Q	1.8 V	15.4	28.1	30.5	31.8	ns					
t_{PHL}	CLK	Q	1.8 V	16	27.4	29.8	31.1	ns					
t_{PHL}	CLR	Q	1.8 V	15.7	23.7	25.5	26.4	ns					
t_{PLH}	D	Q	2.5 V	7.8	11.3	12.8	13.8	ns					
t_{PHL}	D	Q	2.5 V	8.8	12.6	13.9	14.7	ns					
t_{PLH}	LE	Q	2.5 V	9.6	14.2	16	17.1	ns					
t_{PHL}	LE	Q	2.5 V	10	14.4	16	16.9	ns					
t_{PZH}	\overline{OE}	Q	2.5 V	8.1	11.6	13	13.9	ns					
t_{PZL}	\overline{OE}	Q	2.5 V	9.2	13.4	14.5	15.2	ns					
t_{PHZ}	\overline{OE}	Q	2.5 V	7.8	10.3	11.3	11.7	ns					
t_{PLZ}	\overline{OE}	Q	2.5 V	5.7	7.6	8.4	8.8	ns					
t_{PLH}	CLK	Q	2.5 V	9.6	16.1	18	19.2	ns					
t_{PHL}	CLK	Q	2.5 V	9.9	15.7	17.5	18.5	ns					
t_{PHL}	CLR	Q	2.5 V	10	13.8	15.2	16	ns					
t_{PLH}	D	Q	3.3 V	6.4	9	10.3	11.1	ns					
t_{PHL}	D	Q	3.3 V	7.4	10.2	11.3	12.1	ns					
t_{PLH}	LE	Q	3.3 V	8	11.3	12.8	13.8	ns					
t_{PHL}	LE	Q	3.3 V	8.4	11.7	13	13.8	ns					
t_{PZH}	\overline{OE}	Q	3.3 V	6.9	9.5	10.6	11.4	ns					
t_{PZL}	\overline{OE}	Q	3.3 V	7.6	10.9	11.9	12.5	ns					
t_{PHZ}	\overline{OE}	Q	3.3 V	6.4	8.4	9.2	9.7	ns					
t_{PLZ}	\overline{OE}	Q	3.3 V	4.9	6.5	7	7.5	ns					

5.7 スイッチング特性 (続き)

$C_L = 50\text{pF}$ 、自由気流での動作温度範囲内、 $T_A = 25^\circ\text{C}$ で測定された標準値 (特に記述のない限り)「パラメータ測定情報」を参照

パラメータ	始点 (入力)	終点 (出力)	V_{cc}	$T_A = 25^\circ\text{C}$			$-40^\circ\text{C} \sim 85^\circ\text{C}$			$-40^\circ\text{C} \sim 125^\circ\text{C}$			単位
				最小値	代表値	最大値	最小値	代表値	最大値	最小値	代表値	最大値	
t_{PLH}	CLK	Q	3.3 V		8	12.6		14.3		15.4		ns	
t_{PHL}	CLK	Q	3.3 V		8.3	12.6		14.3		15.2		ns	
t_{PHL}	CLR	Q	3.3 V		8.4	11.3		12.4		13.3		ns	
t_{PLH}	D	Q	5 V		4.8	6.2		7.1		7.7		ns	
t_{PHL}	D	Q	5 V		5.4	7.1		7.9		8.4		ns	
t_{PLH}	LE	Q	5 V		6	7.9		8.9		9.6		ns	
t_{PHL}	LE	Q	5 V		6.2	8.2		9.1		9.7		ns	
t_{PZH}	\overline{OE}	Q	5 V		5.3	6.9		7.7		8.3		ns	
t_{PZL}	\overline{OE}	Q	5 V		5.5	7.5		8.2		8.7		ns	
t_{PHZ}	\overline{OE}	Q	5 V		5.1	6.4		6.9		7.3		ns	
t_{PLZ}	\overline{OE}	Q	5 V		3.6	4.5		5.1		5.4		ns	
t_{PLH}	CLK	Q	5 V		6	8.7		9.8		10.6		ns	
t_{PHL}	CLK	Q	5 V		6.2	8.8		9.9		10.6		ns	
t_{PHL}	CLR	Q	5 V		6.4	8		8.8		9.4		ns	

6 詳細説明

6.1 概要

8つのラッチは D タイプのトランスペアレントラッチです。ラッチ・イネーブル (LE) 入力が HIGH の場合、Q 出力はデータ (D) 入力に従います。LE を Low にすると、D 入力で設定されたロジックレベルで Q 出力がラッチされます。

バッファ付きの出力イネーブル (\overline{OE}) 入力を使用して、8つの出力を通常のロジック状態 (High または Low ロジック レベル) または高インピーダンス状態のいずれかにできます。高インピーダンス状態では、出力によってバス ラインに大きな負荷がかかったり、駆動されたりしません。高インピーダンス状態と駆動性能の向上によって、インターフェイスまたはプルアップ コンポーネントなしでバス ラインの駆動が可能になります。

\overline{OE} は、ラッチの内部動作に影響しません。出力が高インピーダンス状態にある間に、古いデータを保持することも新しいデータを入力することもできます。

6.2 機能ブロック図

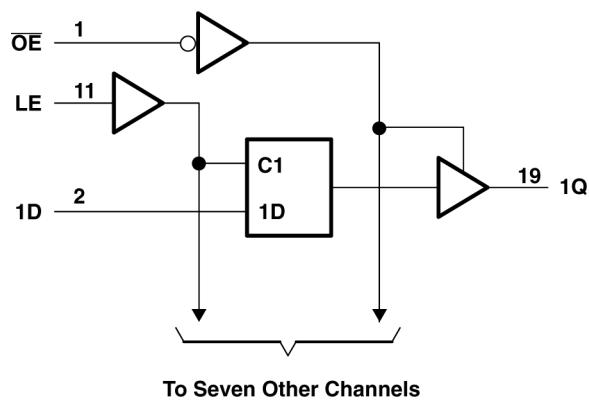


図 6-1. 論理図 (正論理)

6.3 機能説明

6.3.1 平衡化された CMOS 3 ステート出力

このデバイスには、平衡化された CMOS 3 ステート出力が内蔵されています。High、Low、高インピーダンスが、これらの出力が取り得る 3 つの状態です。平衡化という用語は、このデバイスが類似の電流に対するシンクとソースを行えることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンクギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

高インピーダンス状態に移行したとき、出力は電流のソースとシンクのどちらも行いません。ただし、「電気的特性」表に定義されている小さなリーキ電流は例外です。高インピーダンス状態では、出力電圧はデバイスによって制御されず、外部要因に依存します。ノードに他のドライバが接続されていない場合、これはフローティング ノードと呼ばれ、電圧は不明です。出力にプルアップ抵抗またはプルダウン抵抗を接続することで、高インピーダンス状態の出力に既知の電圧を供給できます。抵抗の値は、寄生容量や消費電力の制限など複数の要因に依存します。通常、これらの要件を満たすために $10\text{k}\Omega$ の抵抗を使用できます。

未使用の 3 ステート CMOS 出力は、未接続のままにする必要があります。

6.3.2 ラッチ ロジック

このデバイスには、ラッチ論理回路が内蔵されています。ラッチ回路には一般に D タイプ ラッチと D タイプ フリップ フロップが含まれていますが、揮発性メモリとして機能するすべての論理回路が含まれています。

デバイスの電源がオンのとき、各ラッチの状態は不明です。スタートアップ時の各ラッチには、デフォルト状態はありません。

各ラッチ論理回路の出力状態は、推奨動作条件の表に規定された電源電圧範囲内でデバイスに電力が供給されている限り、安定した状態を保ちます。

6.3.3 標準 CMOS 入力

このデバイスには、標準 CMOS 入力が搭載されています。標準 CMOS 入力は高インピーダンスであり、通常は電気的特性に示されている入力容量と並列の抵抗としてモデル化されます。ワーストケースの抵抗は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーコンデンスからオームの法則 ($R = V / I$) を使用して計算されます。

標準 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、『低速またはフローティング CMOS 入力の影響』を参照してください。

動作中は、標準 CMOS 入力をフローティングのままにしないでください。未使用の入力は、 V_{CC} または GND に終端させる必要があります。システムが入力を常にアクティブに駆動している訳ではない場合、システムが入力をアクティブに駆動していないときに有効な入力電圧を与えるため、プルアップまたはプルダウン抵抗を追加できます。抵抗値は複数の要因で決まりますが、 $10k\Omega$ の抵抗を推奨します。通常はこれですべての要件を満たします。

6.3.4 クランプダイオード構造

図 6-2 に示すように、このデバイスの入力と出力には正と負の両方のクランプダイオードがあります。

注意

絶対最大定格の表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。

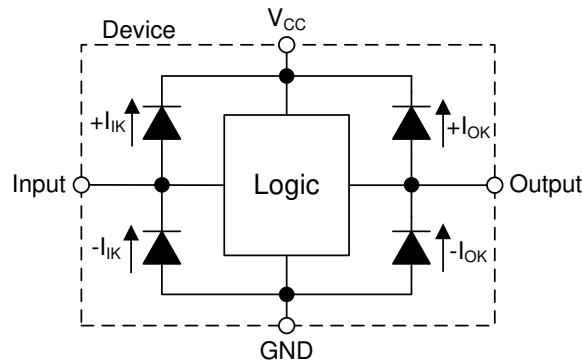


図 6-2. 各入力と出力に対するクランプダイオードの電気的配置

6.4 デバイスの機能モード

表 6-1. 機能表 (各ラッチ)

入力 (1)			出力 (2) Q
OE	LE	D	
L	H	H	H
L	H	L	L
L	L	X	Q_0
H	X	X	Z

(1) H = High 電圧レベル、L = Low 電圧レベル、X = High または Low 電圧レベル

(2) H = High に駆動、L = Low に駆動、 Q_0 = 直前の High または Low 状態に駆動、Z = 高インピーダンス

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インストルメンツの製品仕様に含まれるものではなく、テキサス・インストルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

SN74AC573-Q1 は、比較的長いパターンや伝送線路で信号を駆動するために使用できます。トランスマッタの出力と直列に配置した直列ダンピング抵抗を使用すると、ドライバ、伝送線路、レシーバの間のインピーダンスの不整合に起因するリンクギングを低減できます。「アプリケーション曲線」セクションの図は、3 つの個別の抵抗値を持つ受信信号を示しています。この種のアプリケーションでは、わずかな量の抵抗だけで信号整合性に大きな影響を及ぼす可能性があります。

7.2 代表的なアプリケーション

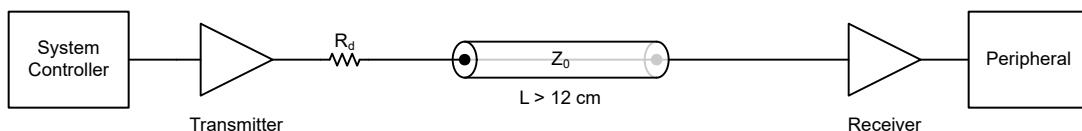


図 7-1. 代表的なアプリケーションのブロック図

7.3 設計要件

7.3.1 電源に関する考慮事項

目的の電源電圧が「推奨動作条件」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧は本デバイスの電気的特性を決定づけます。

正電圧の電源は、SN74AC573-Q1 のすべての出力によってソースされる総電流、「電気的特性」に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。ロジックデバイスは、正の電源から供給される電流のみをソースできます。「絶対最大定格」に記載された V_{CC} 総電流の最大値を超えないようにしてください。

グランドは、SN74AC573-Q1 のすべての出力によってシンクされる総電流、「電気的特性」に記載された消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。ロジックデバイスは、グランド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

SN74AC573-Q1 は、データシートの仕様をすべて満たしつつ、合計容量 50pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することができますが、50pF を超えることは推奨しません。

SN74AC573-Q1 は、「電気的特性」表に定義されている出力電圧および電流 (V_{OH} および V_{OL}) で、 $R_L \geq V_O / I_O$ で記述される合計抵抗の負荷を駆動できます。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

総消費電力は、『CMOS の消費電力と Cpd の計算』に記載されている情報を使用して計算できます。

熱上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』に記載されている情報を使用して計算できます。

注意

「絶対最大定格」に記載された最大接合部温度 ($T_{J(max)}$) は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

7.3.2 入力に関する考慮事項

入力信号は、 $V_{IL(max)}$ を超えるとロジック Low と見なされ、 $V_{IH(min)}$ を超えるとロジック High と見なされます。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、 V_{CC} またはグランドに終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、SN74AC573-Q1 へのリーク電流（「電気的特性」で規定）、および必要な入力遷移レートによって抵抗のサイズが制限されます。こうした要因により $10\text{k}\Omega$ の抵抗値がしばしば使用されます。

SN74AC573-Q1 は CMOS 入力を備えているため、正しく動作するには、「推奨動作条件」表で定義されているように、入力が素早く遷移する必要があります。入力遷移が遅いと発振が発生し、消費電力の増大やデバイスの信頼性の低下を招くことがあります。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

7.3.3 出力に関する考慮事項

正の電源電圧を使用して、出力 High 電圧を生成します。出力から電流を引き出すと、「電気的特性」の V_{OH} 仕様で規定されたように出力電圧が低下します。グランド電圧を使用して、出力 Low 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

非常に短い期間であっても、逆の状態になる可能性があるプッシュプル出力は、互いに直接接続しないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

同じ入力信号を持つ同一デバイス内の 2 つのチャネルを並列に接続することにより、出力駆動の強度を高めることができます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

7.4 詳細な設計手順

1. V_{CC} と GND の間にデカップリング コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷は、必ず 50pF 以下になるようにします。これは厳密な制限ではありませんが、設計上、性能が最適化されます。これは、SN74AC573-Q1 から 1 つまたは複数の受信デバイスまでのトレースを短い適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を $(V_{CC}/I_{O(\text{max})})\Omega$ より大きくします。これを行うと、「絶対最大定格」の最大出力電流に違反するのを防ぐことができます。ほとんどの CMOS 入力は、 $\text{M}\Omega$ 単位で測定される抵抗性負荷を備えています。これは、上記で計算される最小値よりはるかに大きい値です。
4. 熱の問題がロジック ゲートにとって問題となることはほとんどありません。ただし、消費電力と熱の上昇は、アプリケーション レポート『CMOS 消費電力と CPD の計算』に記載されている手順を使用して計算できます。

7.5 アプリケーション曲線

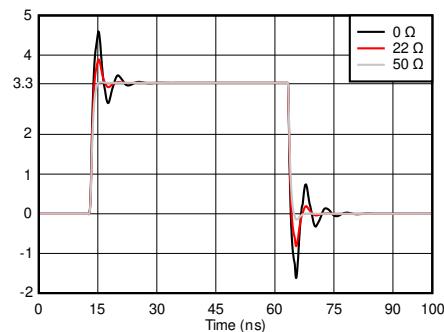


図 7-2. 異なるダンピング抵抗 (R_d) 値を使用してレシーバでの信号の整合性をシミュレート

7.6 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。このデバイスには $0.1\mu\text{F}$ のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、 $0.1\mu\text{F}$ と $1\mu\text{F}$ のコンデンサは並列に使用されます。バイパス コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

7.7 レイアウト

7.7.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルのロジック デバイスを使用する場合、入力をフローティングのままにしてはいけません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用する場合や 4 つのバッファ ゲートのうちの 3 つのみを使用する場合)。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタルロジック デバイスの未使用入力はすべて、入力電圧の仕様で定義されるロジック High またはロジック Low 電圧に接続して、それらがフローティングにならないようにする必要があります。特定の未使用入力に適用する必要があるロジックレベルは、デバイスの機能によって異なります。一般に入力は、GND または V_{CC} のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

7.7.2 レイアウト例

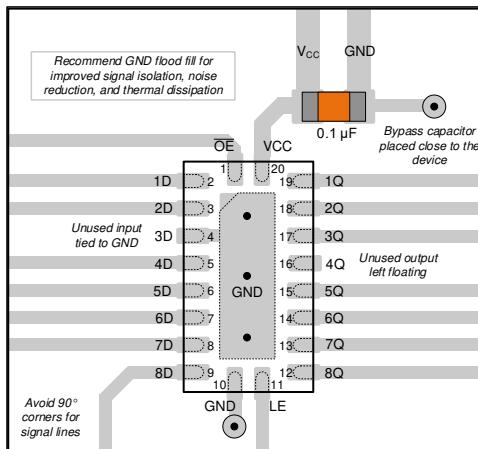


図 7-3. RKS パッケージに封止した SN74AC573-Q1 のレイアウト例

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『CMOS の消費電力と C_{pd} の計算』SCAA035
- テキサス・インスツルメンツ、『低速またはフローティング CMOS 入力の影響』
- テキサス・インスツルメンツ、『標準リニア/ロジック (SLL) パッケージおよびデバイスの熱特性』SCZA005

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

Changes from Revision A (March 2024) to Revision B (December 2024)	Page
• 「パッケージ情報」表、「ピン構成および機能」セクション、および「熱に関する情報」表に DGS パッケージを追加	1

Changes from Revision * (November 2023) to Revision A (March 2024)	Page
• 「製品情報」表、「ピン構成および機能」セクション、および「熱に関する情報」表に PW パッケージを追加	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74AC573QDGSRQ1	Active	Production	VSSOP (DGS) 20	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AC573Q
SN74AC573QDGSRQ1.A	Active	Production	VSSOP (DGS) 20	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AC573Q
SN74AC573QPWRQ1	Active	Production	TSSOP (PW) 20	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AC573Q
SN74AC573QPWRQ1.A	Active	Production	TSSOP (PW) 20	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AC573Q
SN74AC573QWRKSRQ1	Active	Production	VQFN (RKS) 20	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AC573Q
SN74AC573QWRKSRQ1.A	Active	Production	VQFN (RKS) 20	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AC573Q

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

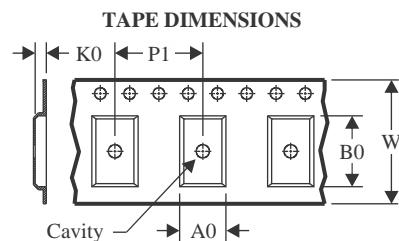
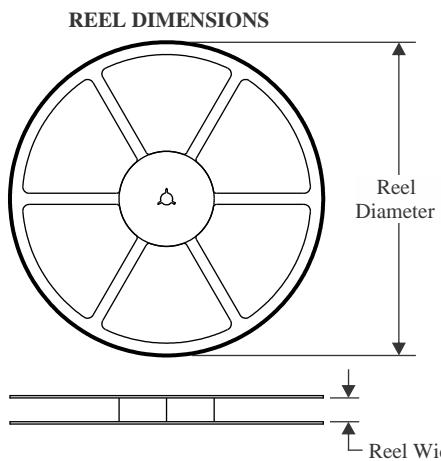
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74AC573-Q1 :

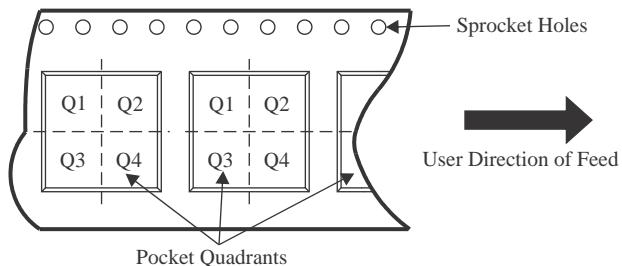
- Catalog : [SN74AC573](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

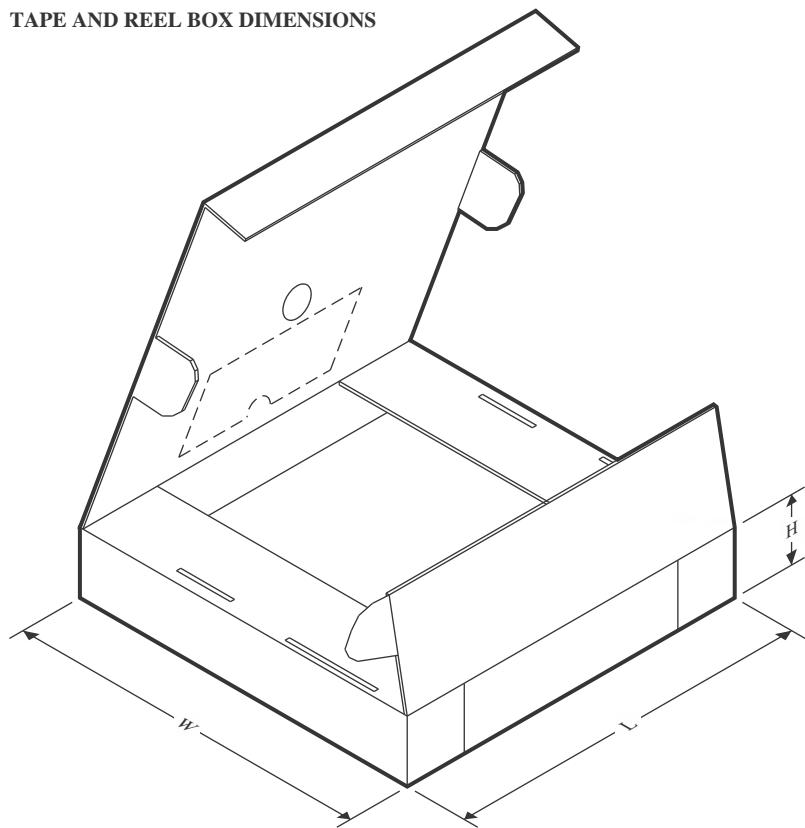
TAPE AND REEL INFORMATION


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AC573QDGSRQ1	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
SN74AC573QPWRQ1	TSSOP	PW	20	3000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74AC573QWRKSRQ1	VQFN	RKS	20	3000	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AC573QDGSRQ1	VSSOP	DGS	20	5000	353.0	353.0	32.0
SN74AC573QPWRQ1	TSSOP	PW	20	3000	353.0	353.0	32.0
SN74AC573QWRKSRQ1	VQFN	RKS	20	3000	210.0	185.0	35.0

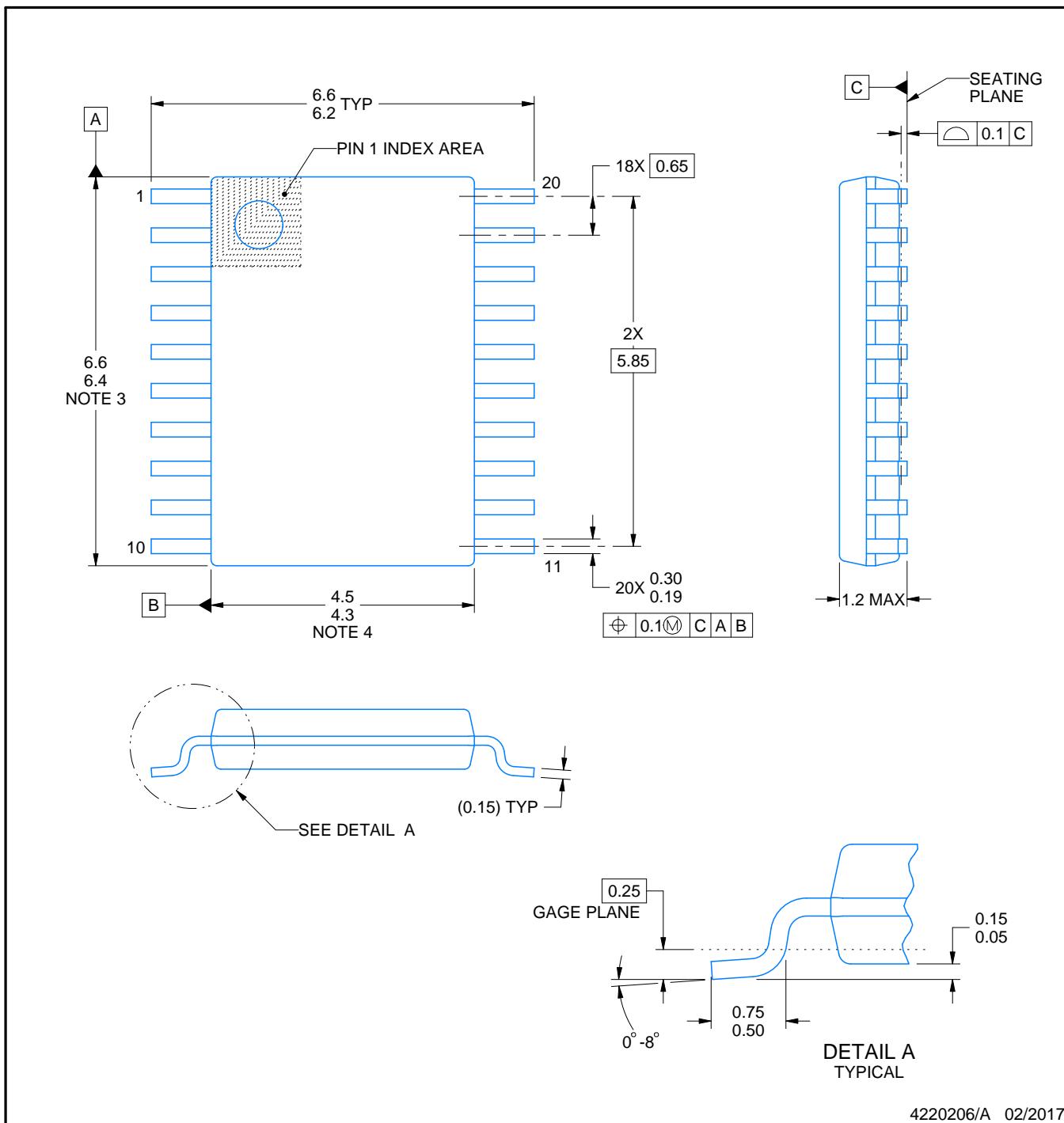
PACKAGE OUTLINE

PW0020A



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

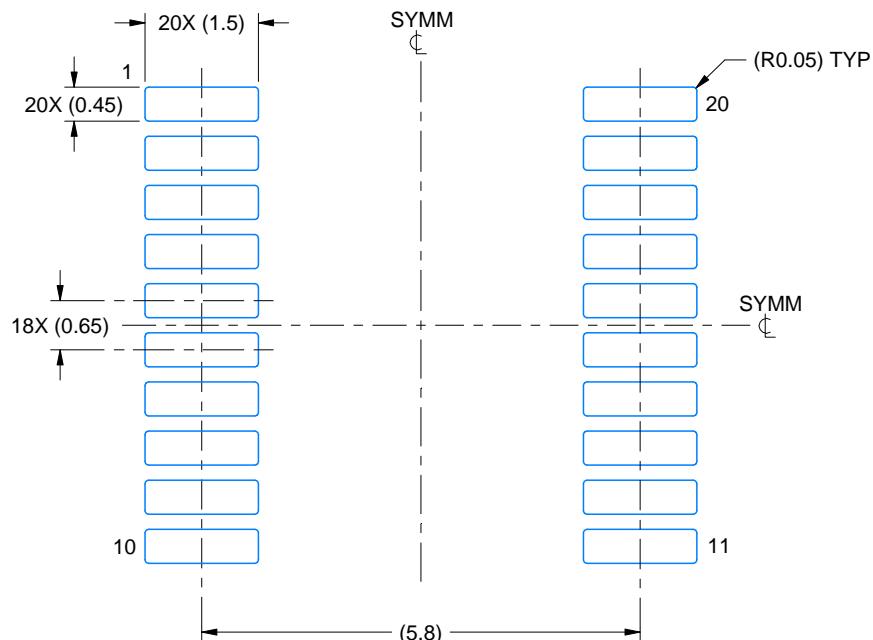
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
 4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
 5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

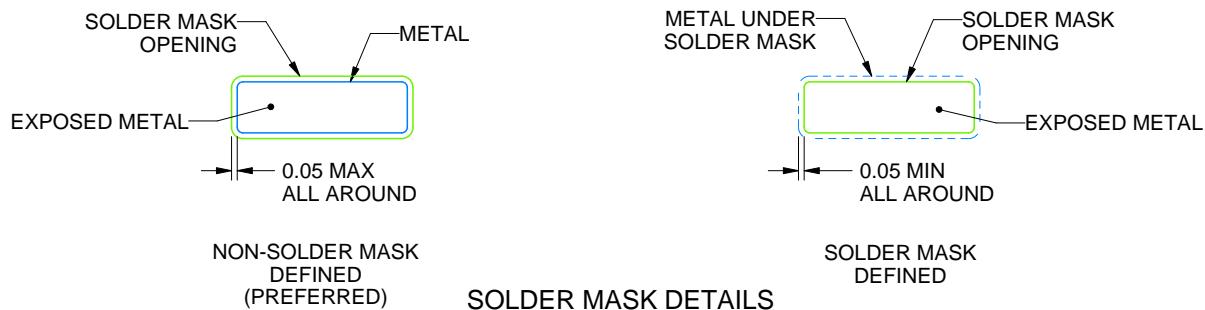
PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220206/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

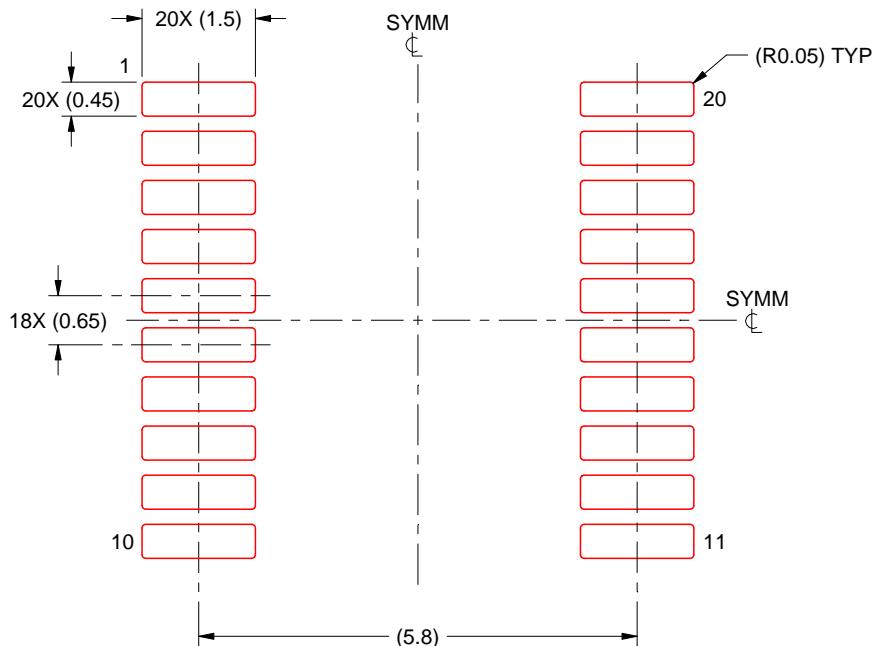
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

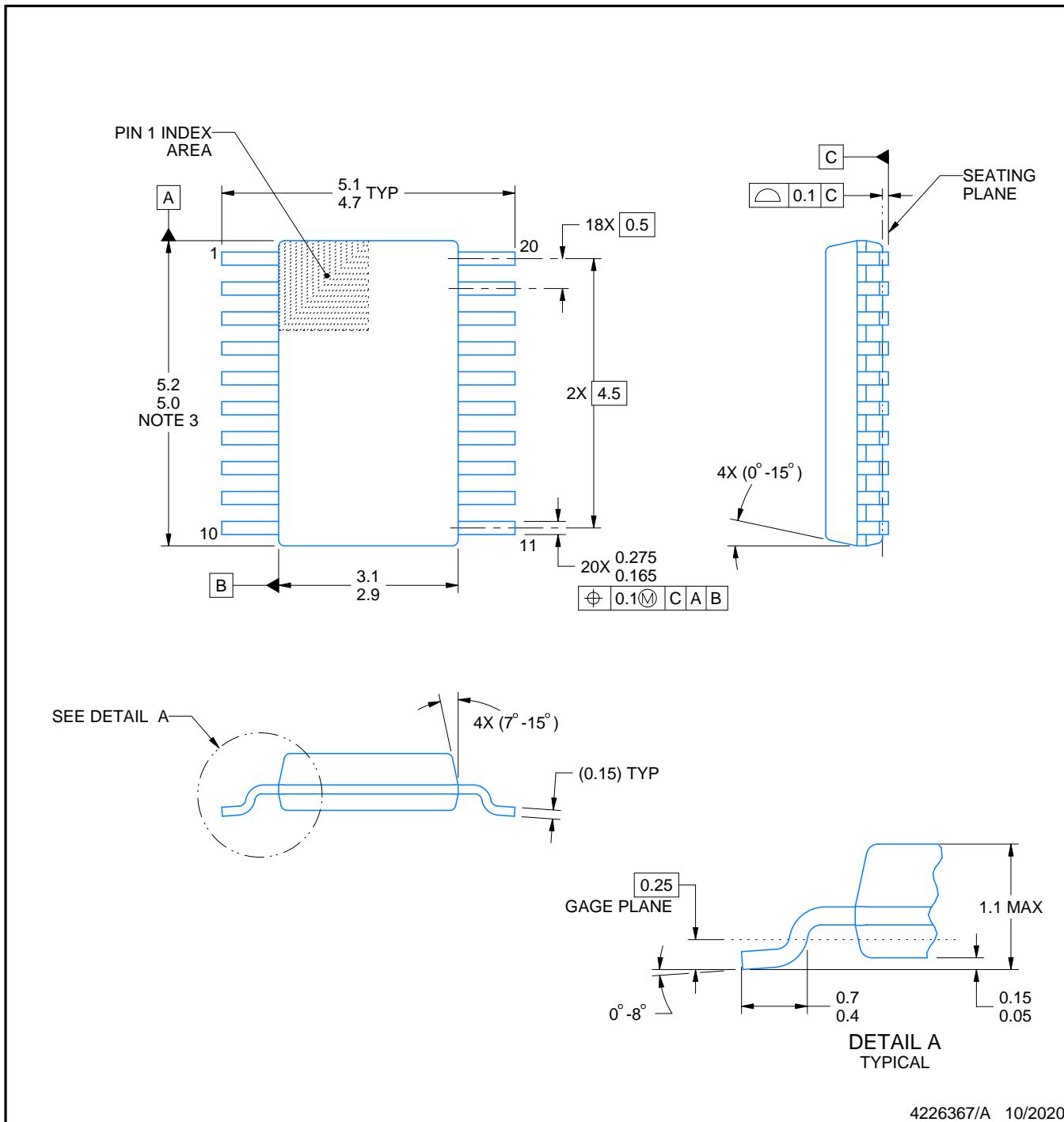
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES:

PowerPAD is a trademark of Texas Instruments.

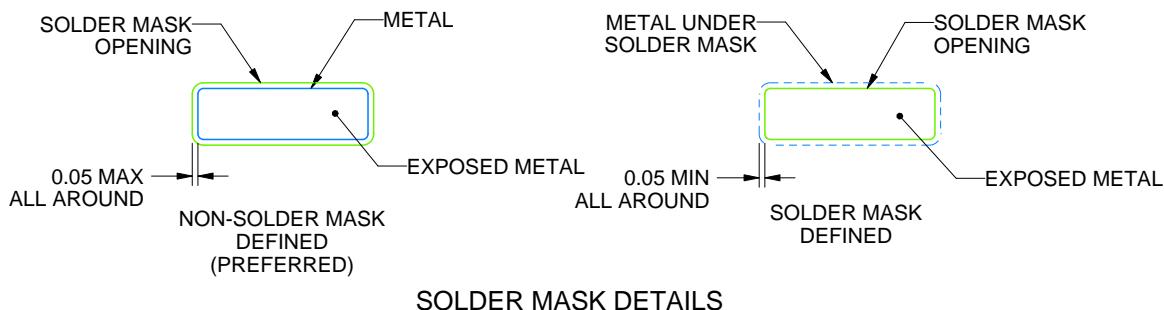
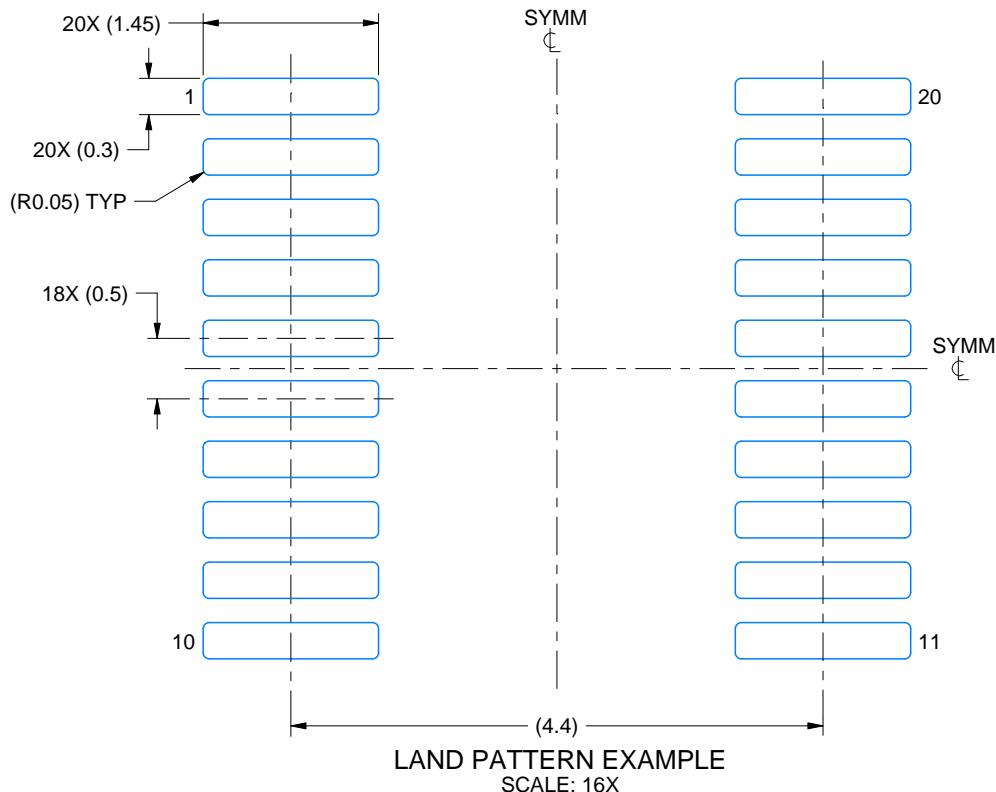
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4226367/A 10/2020

NOTES: (continued)

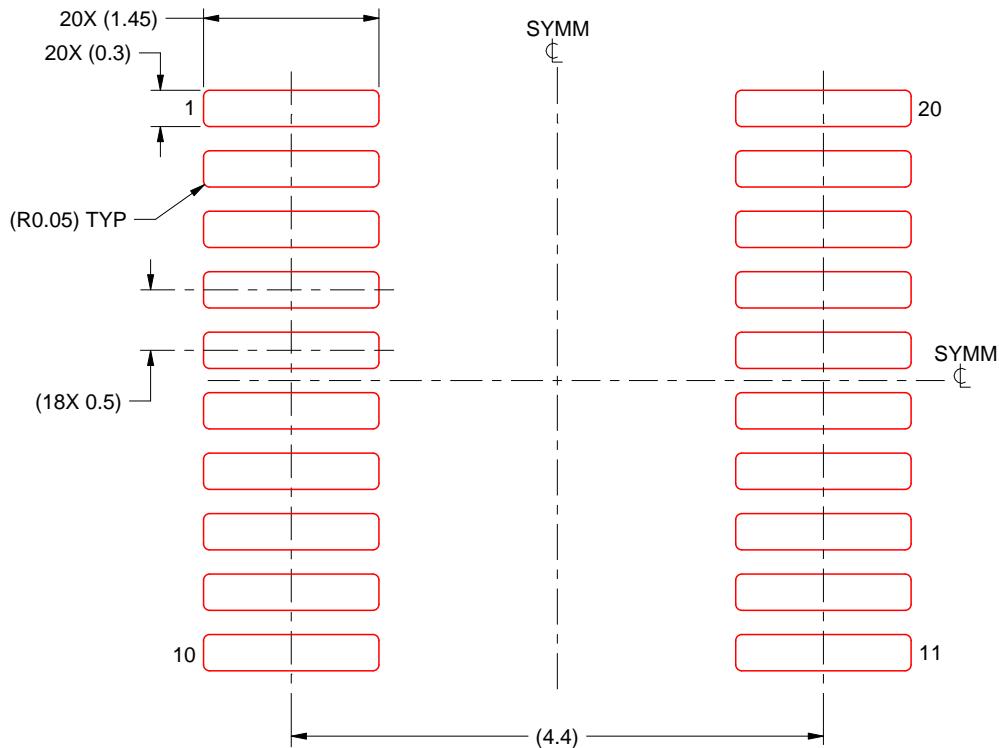
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

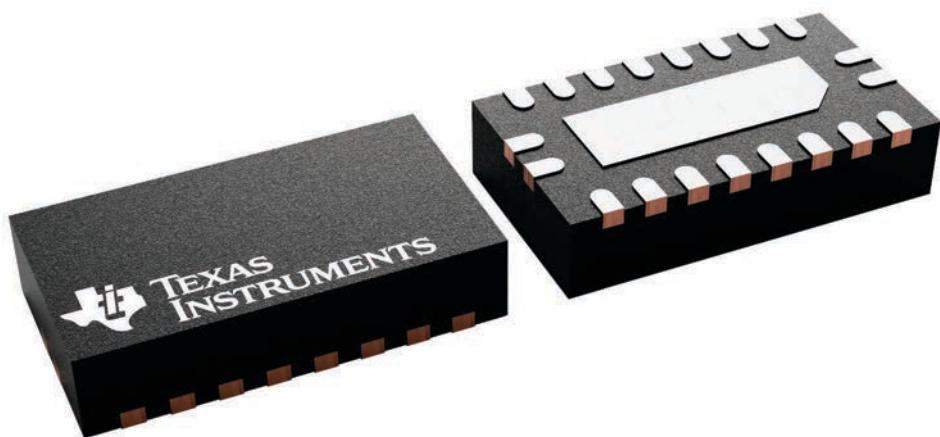
RKS 20

VQFN - 1 mm max height

2.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4226872/A

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月