SN74AC165-Q1 車載用、8 ビット、パラレル入力シフト レジスタ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - デバイス温度グレード 1:-40℃～+125℃
  - デバイス HBM ESD 分類レベル 2
  - デバイス CDM ESD 分類レベル C4B
- ウェッタブル フランク QFN パッケージで供給セクション 7.3.4
- 幅広い動作範囲:1.5V～6V
- 6V までの入力電圧に対応
- 連続 ±24mA 出力駆動 (5V 時)
- 短いバーストで最大 ±75mA の出力駆動 (5V 時) に対応
- 50Ω 伝送ラインを駆動
- 5V、50pF 負荷時の最大値で t_{pd} = 10.1ns

2 アプリケーション

- マイクロコントローラの入力数拡張
- ボード リビジョンの読み込み

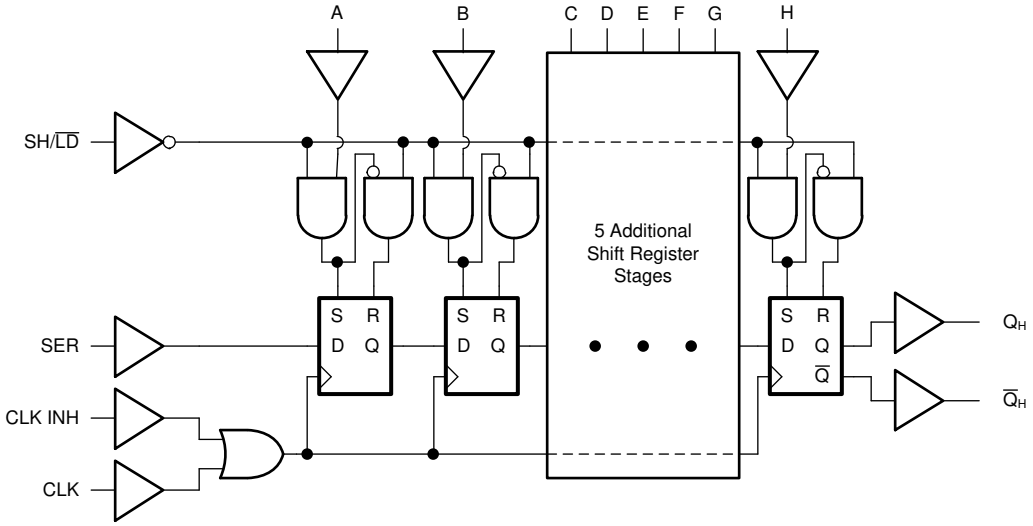
3 概要

SN74AC165-Q1 は、シリアル データ入力 (SER)、標準および反転シリアル出力 (Q_H、$\overline{Q}_H$)、クロック禁止入力 (CLK INH) を備えた 8 ビット パラレル ロード シフト レジスタです。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)	本体サイズ (3)
SN74AC165-Q1	BQB (WQFN、16)	3.6mm × 2.6 mm	3.6mm × 2.6 mm

(1) 詳細については、を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます
(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



論理図 (正論理)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....5
5.5 電気的特性.....5
5.6 スイッチング特性.....5
5.7 スイッチング特性.....7
5.8 代表的特性.....8
6 パラメータ測定情報.....11
7 詳細説明.....12
7.1 概要.....12
7.2 機能ブロック図.....12
7.3 機能説明.....12
7.4 デバイスの機能モード.....15
8 アプリケーションと実装.....16
8.1 アプリケーション情報.....16
8.2 代表的なアプリケーション.....16
8.3 電源に関する推奨事項.....19
8.4 レイアウト.....19
9 デバイスおよびドキュメントのサポート.....21
9.1 ドキュメントの更新通知を受け取る方法.....21
9.2 サポート・リソース.....21
9.3 商標.....21
9.4 静電気放電に関する注意事項.....21
9.5 用語集.....21
10 改訂履歴.....21
11 メカニカル、パッケージ、および注文情報.....21

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

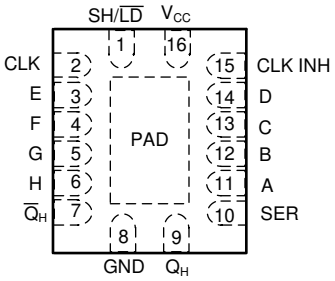


図 4-1. BQB パッケージ、16 ピン WQFN (透過上面図)

表 4-1. ピンの機能

ピン		種類 (1)	説明
名称	番号		
SH/$\overline{LD}$	1	I	シフトまたはロード モードの選択
CLK	2	I	シフト レジスタ クロック
E	3	I	E レジスタ データ
F	4	I	F レジスタ データ
G	5	I	G レジスタ データ
H	6	I	H レジスタ データ
$\overline{Q}_H$	7	O	反転シフト レジスタ出力
GND	8	G	グランド
Q_H	9	O	シフト レジスタ出力
SER	10	I	シリアル データ入力
A	11	I	A レジスタ データ
B	12	I	B レジスタ データ
C	13	I	C レジスタ データ
D	14	I	D レジスタ データ
CLK INH	15	I	クロック禁止
V_{CC}	16	P	正電源
放熱パッド(2)		—	サーマル パッドは GND に接続するか、フローティングのままにすることができます。他の信号や電源には接続しないでください。

(1) I = 入力、O = 出力、P = 電源、G = グランド
(2) BQB パッケージのみ

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	7	V
V_I	入力電圧範囲(2)		-0.5	V_{CC} + 0.5	V
V_O	出力電圧範囲(2)		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流	V_I < -0.5V または V_I > V_{CC} + 0.5V		±20	mA
I_{OK}	出力クランプ電流	V_O < -0.5V または V_O > V_{CC} + 0.5V		±50	mA
I_O	連続出力電流	V_O = 0～V_{CC}		±50	mA
	V_{CC} または GND を通過する連続出力電流			±200	mA
T_J	接合部温度			150	℃
T_{stg}	保管温度		-65	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内で、一時的に「推奨動作条件」の範囲を超えた動作をさせる場合、必ずしもデバイスが損傷を受けるものではありませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。

(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 HBM ESD 分類レベル 2 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4B 準拠	±1000	

(1) AEC Q100-002 には、HBM ストレス試験は ANSI/ESDA/JEDEC JS-001 仕様に従って実施することと規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
V_{CC}	電源電圧		1.5	6	V
V_I	入力電圧		0	V_{CC}	V
V_O	出力電圧		0	V_{CC}	V
I_{OH}	High レベル出力電流	V_{CC} = 1.8V		-1	mA
		V_{CC} = 2.5V		-2	
		V_{CC} = 3V		-12	
		V_{CC} = 4.5V～6V		-24	
I_{OL}	Low レベル出力電流	V_{CC} = 1.8V		1	mA
		V_{CC} = 2.5V		2	
		V_{CC} = 3V		12	
		V_{CC} = 4.5V～6V		24	
T_A	自由空気での動作温度		-40	125	℃

Copyright © 2025 Texas Instruments Incorporated

5.4 熱に関する情報

パッケージ	ピン	熱評価基準[1]						単位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
BQB (WQFN)	16	91.2	95.1	61.4	18.0	61.2	38.0	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	最小値	標準値	最大値	単位
V_{OH}	I_{OH} = -50μA	1.5 V	1.4	1.49		V
		1.8 V	1.7	1.79		
		2.5 V	2.4	2.49		
		3 V	2.9	2.99		
		4.5 V	4.4	4.49		
		6 V	5.4	5.99		
	I_{OH} = -1mA	1.8 V	1.44			
	I_{OH} = -2mA	2.5 V	2			
	I_{OH} = -12mA	3 V	2.4			
	I_{OH} = -24mA	4.5 V	3.7			
	I_{OH} = -24mA	6 V	4.7			
	I_{OH} = -75mA	6 V	3.85			
V_{OL}	I_{OL} = 50μA	1.5 V		0.01	0.1	V
		1.8 V		0.01	0.1	
		2.5 V		0.01	0.1	
		3 V		0.01	0.1	
		4.5 V		0.01	0.1	
		6 V		0.01	0.1	
	I_{OL} = 1mA	1.8 V			0.36	
	I_{OL} = 2mA	2.5 V			0.5	
	I_{OL} = 12mA	3 V			0.5	
	I_{OL} = 24mA	4.5 V			0.5	
	I_{OL} = 24mA	6 V			0.5	
	I_{OL} = 75mA	6 V			1.65	
I_I	V_I = 6 V または GND	0V～6V			±1	μA
I_{CC}	V_I = V_{CC} または GND、I_O = 0	6 V			20	μA
C_I	V_I = V_{CC} または GND	5 V		2		pF

5.6 スイッチング特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	説明	条件	V_{CC}	-40℃～125℃		単位
				最小値	最大値	
f_{clock}	クロック周波数		1.5 V		40	MHz
			3.3V ± 0.3V		125	MHz
			5V ± 0.5V		175	MHz
			6 V		195	MHz

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	説明	条件	V_{CC}	-40℃～125℃ 最小値	-40℃～125℃ 最大値	単位
t_W	パルス幅	SH/$\overline{LD}$ Low	1.5 V	50		ns
			3.3V ± 0.3V	10		ns
			5V ± 0.5V	8		ns
			6 V	6		ns
		CLK が High または Low	1.5 V	50		ns
			3.3V ± 0.3V	10		ns
			5V ± 0.5V	8		ns
			6 V	6		ns
t_{SU}	セットアップ時間	CLK↑ の前の SH/$\overline{LD}$ が High	1.5 V	50		ns
			3.3V ± 0.3V	10		ns
			5V ± 0.5V	8		ns
			6 V	6		ns
		CLK↑ の前の SER	1.5 V	50		ns
			3.3V ± 0.3V	10		ns
			5V ± 0.5V	8		ns
			6 V	6		ns
		CLK↑ の前の CLK INH	1.5 V	50		ns
			3.3V ± 0.3V	10		ns
			5V ± 0.5V	8		ns
			6 V	6		ns
		SH/$\overline{LD}$↓ の前のデータ (A～H)	1.5 V	50		ns
			3.3V ± 0.3V	10		ns
			5V ± 0.5V	8		ns
			6 V	6		ns
t_H	ホールド時間	CLK↑ の後の SH/$\overline{LD}$ High	1.5 V	50		ns
			3.3V ± 0.3V	10		ns
			5V ± 0.5V	8		ns
			6 V	6		ns
		CLK↑ より後の SER データ	1.5 V	50		ns
			3.3V ± 0.3V	10		ns
			5V ± 0.5V	8		ns
			6 V	6		ns
		CLK↑ の後の CLK INH	1.5 V	50		ns
			3.3V ± 0.3V	10		ns
			5V ± 0.5V	8		ns
			6 V	6		ns
		SH/$\overline{LD}$↓ の後のデータ (A～H)	1.5 V	50		ns
			3.3V ± 0.3V	10		ns
			5V ± 0.5V	8		ns
			6 V	6		ns

Copyright © 2025 Texas Instruments Incorporated

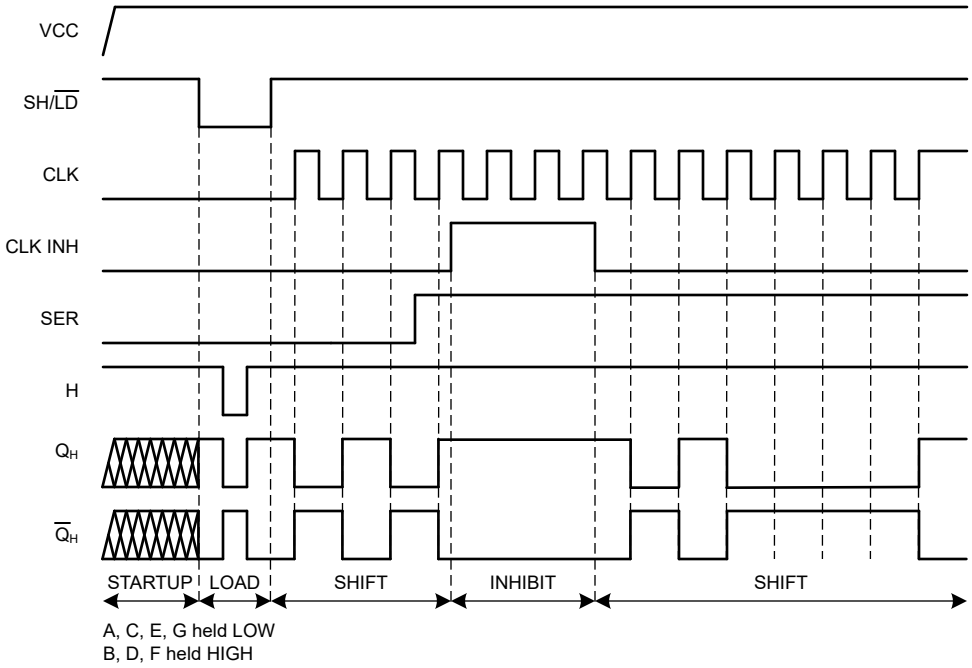


図 5-1. タイミング図

5.7 スイッチング特性

自由空気での動作温度範囲内、C_L = 50pF、T_A = 25℃で測定した代表値 (特に記述のない限り)。「パラメータ測定情報」を参照

パラメータ	始点 (入力)	終点 (出力)	V_{CC}	-40℃～125℃			単位
				最小値	標準値	最大値	
t_{pd}	CLK または CLK INH	Q_H または $\overline{Q}_H$	1.5 V			43.8	ns
			3.3V ± 0.3V			14.6	ns
			5V ± 0.5V			10.1	ns
			6 V			8.4	ns
	SH/$\overline{LD}$	Q_H または $\overline{Q}_H$	1.5 V			57.5	ns
			3.3V ± 0.3V			18.6	ns
			5V ± 0.5V			12.7	ns
			6 V			10.4	ns
	H	Q_H または $\overline{Q}_H$	1.5 V			49.2	ns
			3.3V ± 0.3V			16.1	ns
			5V ± 0.5V			11.1	ns
			6 V			9.1	ns
C_{PD} (1)	CLK または CLK INH	Q_H	5 V		120		pF

(1) C_L = 50pF、F = 1MHz で測定した電力散逸容量

5.8 代表的特性

T_A = 25℃ (特に記述のない限り)

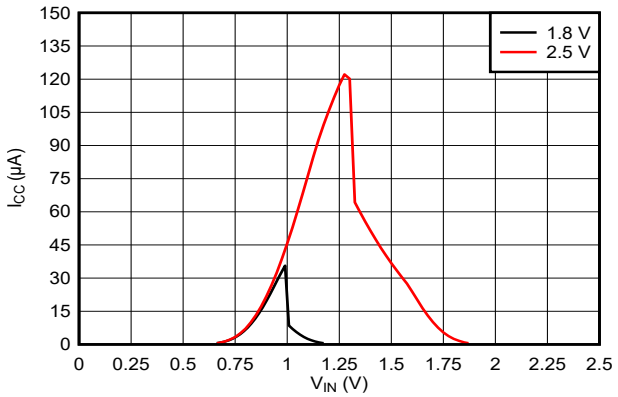


図 5-2. 入力電圧に対する電源電流、1.8V および 2.5V 電源

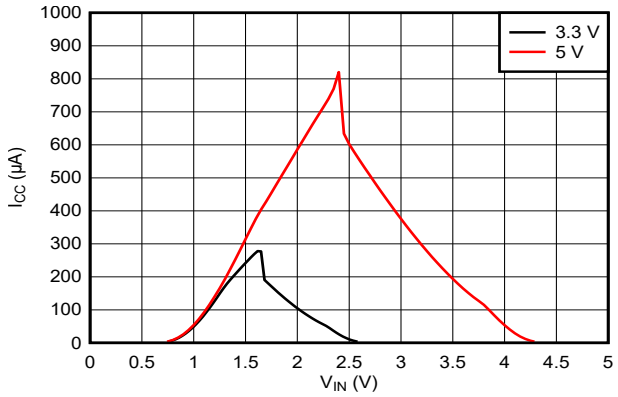


図 5-3. 入力電圧に対する電源電流、3.3V および 5.0V 電源

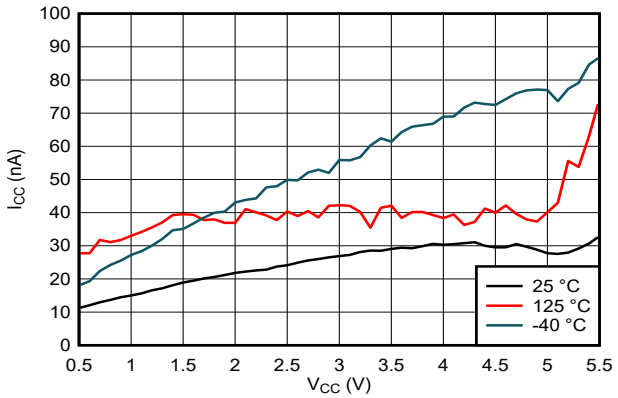


図 5-4. 電源電流と電源電圧との関係

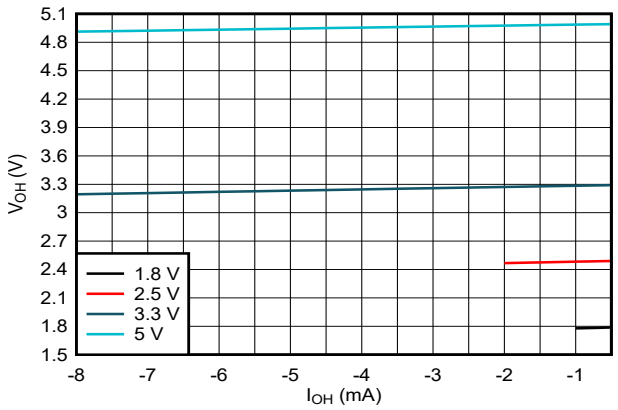


図 5-5. High 状態における出力電圧と電流との関係

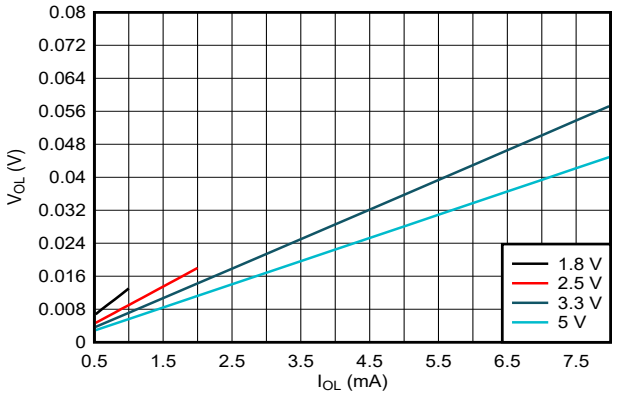


図 5-6. Low 状態における出力電圧と電流との関係

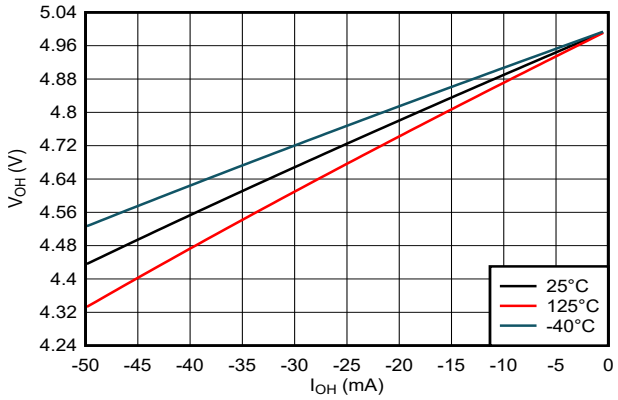


図 5-7. High 状態における出力電圧と電流との関係、5V 電源

Copyright © 2025 Texas Instruments Incorporated

5.8 代表的特性 (続き)

T_A = 25℃ (特に記述のない限り)

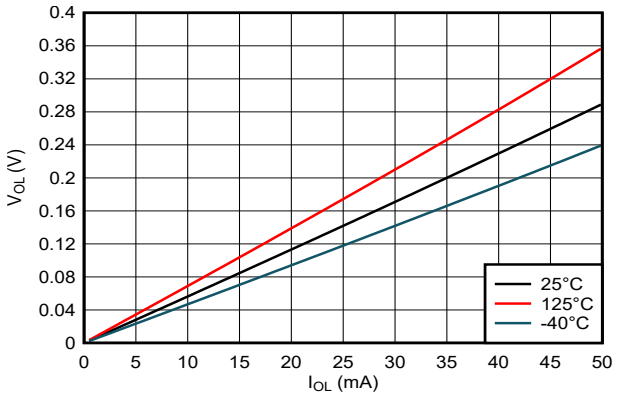


図 5-8. Low 状態における出力電圧と電流との関係、5V 電源

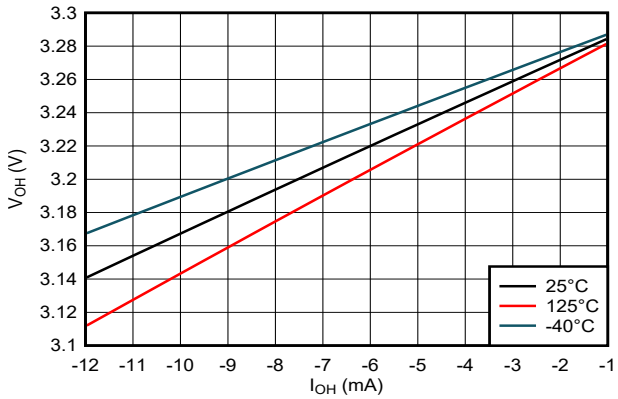


図 5-9. High 状態における出力電圧と電流との関係、3.3V 電源

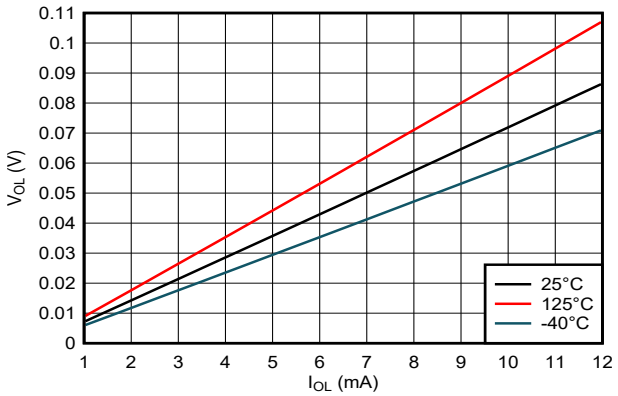


図 5-10. Low 状態における出力電圧と電流との関係、3.3V 電源

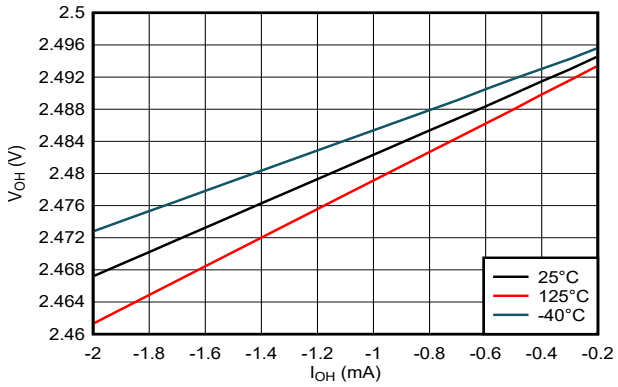


図 5-11. High 状態における出力電圧と電流との関係、2.5V 電源

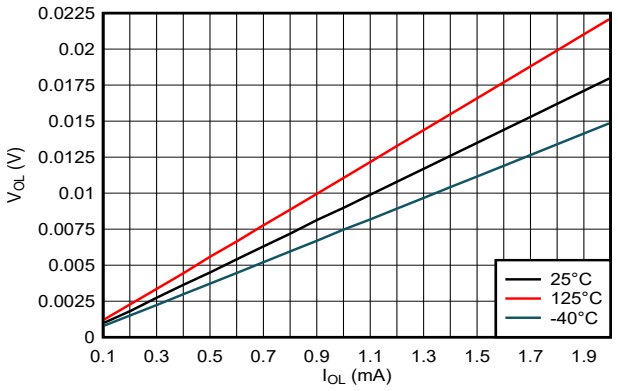


図 5-12. Low 状態における出力電圧と電流との関係、2.5V 電源

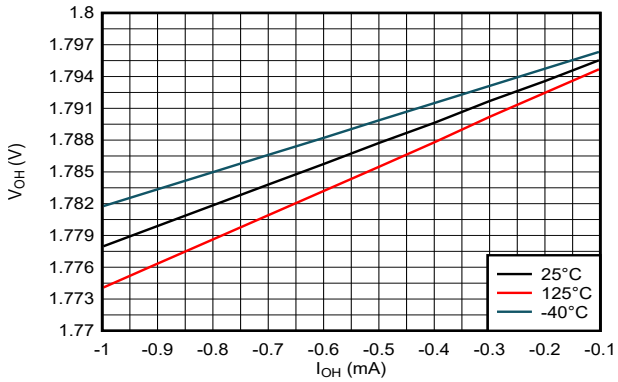


図 5-13. High 状態における出力電圧と電流との関係、1.8V 電源

5.8 代表的特性 (続き)

T_A = 25℃ (特に記述のない限り)

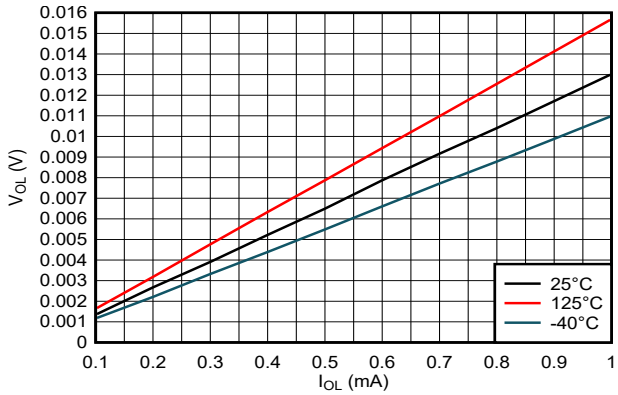


図 5-14. Low 状態における出力電圧と電流との関係、1.8V 電源

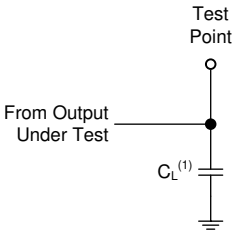
Copyright © 2025 Texas Instruments Incorporated

6 パラメータ測定情報

以下の表に示す例では、波形間の位相関係を任意に選択しました。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≤ 1MHz、Z_O = 50Ω、t_t < 2.5ns。

クロック入力の f_{max} は、入力デューティ サイクルが 50% のときの測定値です。

出力は個別に測定され、測定するたびに入力が 1 回遷移します。



(1) C_L にはプローブとテスト装置の容量が含まれます。

図 6-1. プッシュプル出力のための負荷回路

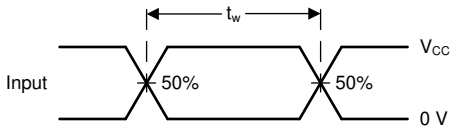


図 6-2. 電圧波形、パルス幅

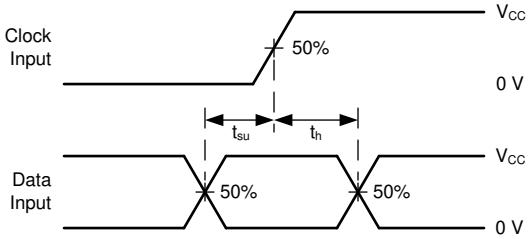
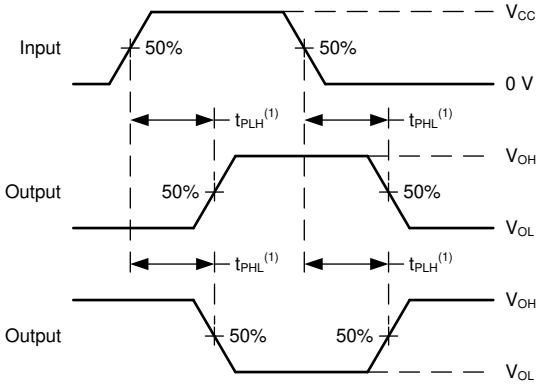
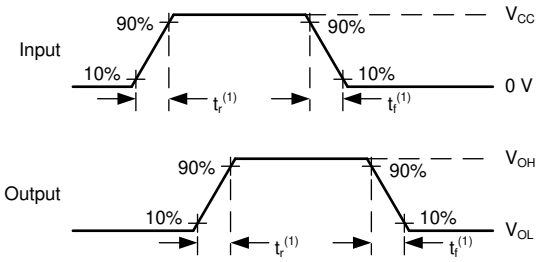


図 6-3. 電圧波形、セットアップ時間およびホールド時間



(1) t_{PLH} と t_{PHL} の大きい方が t_{pd} に相当します。

図 6-4. 電圧波形、伝搬遅延



(1) t_r と t_f の大きい方が t_t に相当します。

図 6-5. 電圧波形、入力および出力の遷移時間

7 詳細説明

7.1 概要

SN74AC165-Q1 デバイスは、クロッキングされるとシリアル (Q_H) 出力にデータをシフトする 8 ビット パラレル ロード シフト レジスタです。各段へのパラレル入力アクセスは、シフト / ロード (SH/$\overline{LD}$) 入力を Low レベルにすると有効化される 8 つの個別の直接データ (A～H) 入力によって行われます。SN74AC165-Q1 デバイスは、クロック禁止 (CLK INH) 機能と相補シリアル ($\overline{Q}_H$) 出力も備えています。

クロッキングは、SH/$\overline{LD}$ が High に保持され、CLK INH が Low に保持されている間に、クロック (CLK) 入力が Low から High に遷移することで行われます。CLK と CLK INH の機能は交換可能です。CLK が Low で、CLK INH が Low から High に遷移してもクロッキングが行われるため、CLK が High の間のみ、CLK INH を High レベルに変更する必要があります。SH/$\overline{LD}$ が High に保持されると、パラレル ロードは禁止されます。SH/$\overline{LD}$ が Low の間、レジスタへのパラレル入力は、CLK、CLK INH、SER 入力のレベルに関係なく可能です。

7.2 機能ブロック図

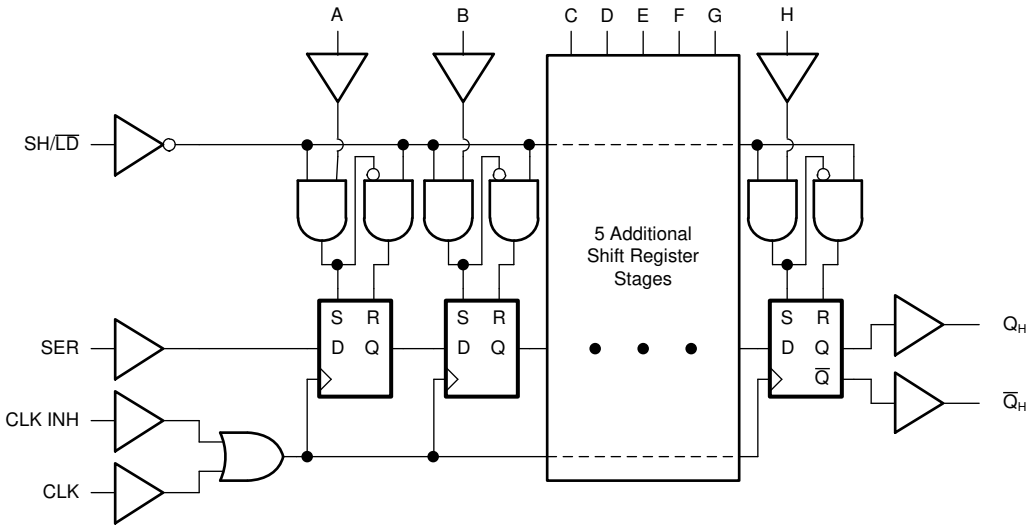


図 7-1. SN74AC165-Q1 の論理図 (正論理)

7.3 機能説明

7.3.1 平衡化された CMOS プッシュプル出力

このデバイスには、平衡化された CMOS プッシュプル出力が内蔵されています。「平衡化」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにしておく必要があります。

7.3.2 ラッチ ロジック

このデバイスには、ラッチ論理回路が内蔵されています。ラッチ回路には一般に D タイプ ラッチと D タイプ フリップ フロップが含まれていますが、揮発性メモリとして機能するすべての論理回路が含まれています。

デバイスの電源がオンのとき、各ラッチの状態は不明です。スタートアップ時の各ラッチには、デフォルト状態はありません。

各ラッチ論理回路の出力状態は、推奨動作条件の表に規定された電源電圧範囲内でデバイスに電力が供給されている限り、安定した状態を保ちます。

Copyright © 2025 Texas Instruments Incorporated

7.3.3 標準 CMOS 入力

このデバイスには、標準 CMOS 入力が搭載されています。標準 CMOS 入力は高インピーダンスであり、通常は*電気的特性*に示されている入力容量と並列の抵抗としてモデル化されます。ワースト ケースの抵抗は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 (R = V ÷ I) を使用して計算されます。

標準 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、『低速またはフローティング CMOS 入力の影響』を参照してください。

動作中は、標準 CMOS 入力をフローティングのままにしないでください。未使用の入力は、V_{CC} または GND に終端させる必要があります。システムが入力を常にアクティブに駆動している訳ではない場合、システムが入力をアクティブに駆動していないときに有効な入力電圧を与えるため、プルアップまたはプルダウン抵抗を追加できます。抵抗値は複数の要因で決まりますが、10kΩ の抵抗を推奨します。通常はこれですべての要件を満たします。

7.3.4 ウェッタブル フランク

このデバイスには、少なくとも 1 つのパッケージのウェッタブル フランクが含まれています。この機能を搭載しているパッケージについては、データシートの先頭ページにある「特長」セクションを参照してください。

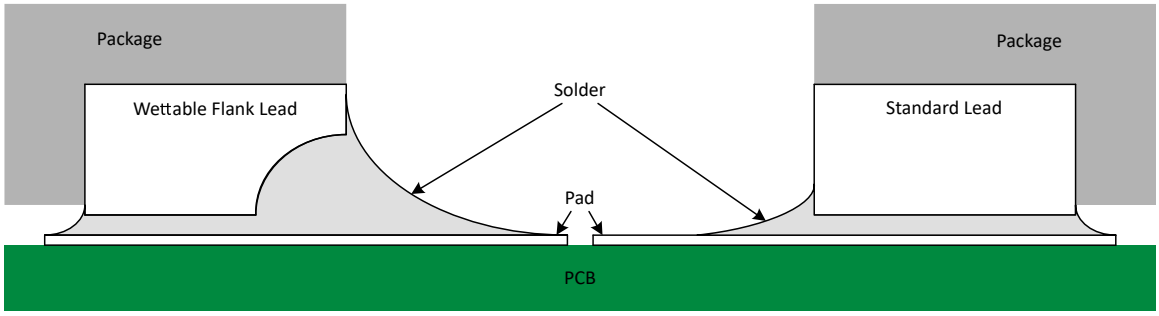


図 7-2. 半田付け後のウェッタブル フランク QFN パッケージと標準 QFN パッケージの概略断面図

ウェッタブル フランクは、半田付け後の側方のぬれ性を改善するのに役立ち、自動光学検査 (AOI) により QFN パッケージの検査が容易になります。ウェッタブル フランクは、図 7-2 に示すように、半田接着用の表面積を追加するために、ディンプル加工または段切りできます。これは、サイド フィレットを確実に作成するのに役立ちます。詳細については、メカニカルに関する図をご覧ください。

7.3.5 クランプ ダイオード構造

図 7-3 に示すように、このデバイスの入力と出力には正と負の両方のクランプ ダイオードがあります。

> **注意**
>
> 絶対最大定格の表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。

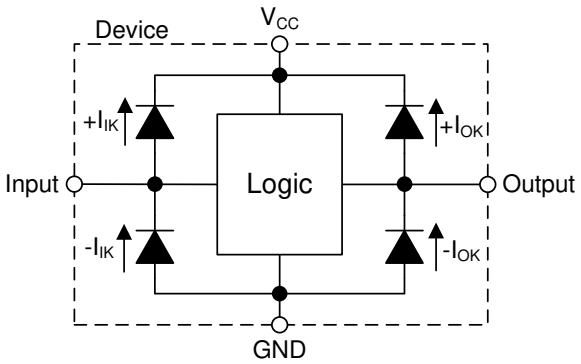


図 7-3. 各入力と出力に対するクランプ ダイオードの電気的配置

Copyright © 2025 Texas Instruments Incorporated

7.4 デバイスの機能モード

SN74AC165-Q1 の機能モードを、表 7-1 および 表 7-2 に示します。

表 7-1. 動作モード表

入力(1)			機能
SH/$\overline{LD}$	CLK	CLK INH	
L	X	X	パラレル ロード (2)
H	H	X	変更なし
H	X	H	変更なし
H	L	↑	シフト (3)
H	↑	L	シフト (3)

(1) H = High 電圧レベル、L = Low 電圧レベル、X = ドント ケア、↑ = Low から High への遷移
(2) パラレル ロード: 入力 A～H の値は各内部レジスタに読み込まれます。
(3) シフト各内部レジスタの内容は、シリアル出力 Q_H にシフトします。SER のデータは最初のレジスタにシフトされます。

表 7-2. 出力機能表

内部レジスタ (1) (2)		出力(3)	
A — G	H	Q	$\overline{Q}$
X	L	L	H
X	H	H	L

(1) 内部レジスタとは、デバイス内部のシフト レジスタを指します。これらの値は、パラレル入力からデータをロードするか、シリアル入力からデータを送信することで設定されます。
(2) H = High 電圧レベル、L = Low 電圧レベル、X = ドントケア
(3) H = High に駆動、L = Low に駆動

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

SN74AC165-Q1 はパラレル入力シフト レジスタであり、一部のアプリケーションでシステム コントローラの必要な入力数を大幅に減らすことができます。パラレル データがシフト レジスタにロードされ、シフト レジスタにクロックが入力すると、保存されたデータはシステム コントローラのシリアル入力にロードできます。

複数のシフト レジスタをカスケード接続することで、システム コントローラへのシリアル入力を 1 つのみ使用しながら、より多くのデータを入力できます。このプロセスは主に、「タイミング特性」および「スイッチング特性」表に定義されているように、選択したシフト レジスタに必要なデータ入力レートとタイミング特性によって制限されます。

「代表的なアプリケーションのブロック図」に、単一のシフト レジスタを使用するブロック図の例を示します。

8.2 代表的なアプリケーション

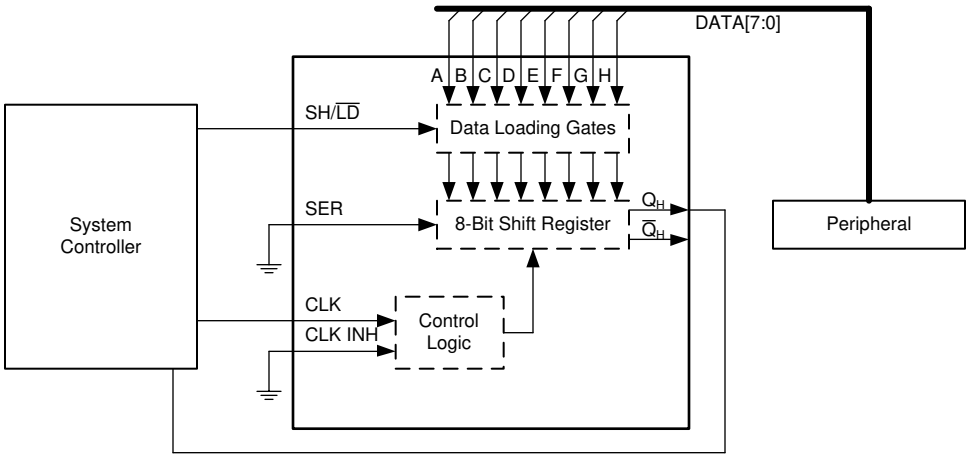


図 8-1. 代表的なアプリケーションのブロック図

Copyright © 2025 Texas Instruments Incorporated

8.2.1 設計要件

8.2.1.1 電源に関する考慮事項

目的の電源電圧が「推奨動作条件」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧は本デバイスの電気的特性を決定づけます。

正電圧の電源は、SN74AC165-Q1 のすべての出力によってソースされる総電流、「電気的特性」に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。ロジック デバイスは、正の電源から供給される電流のみをソースできます。「絶対最大定格」に記載された V_{CC} 総電流の最大値を超えないようにしてください。

グランドは、SN74AC165-Q1 のすべての出力によってシンクされる総電流、「電気的特性」に記載された消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。ロジック デバイスは、グランド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

SN74AC165-Q1 は、データシートの仕様をすべて満たしつつ、合計容量 50pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、50pF を超えることは推奨しません。

SN74AC165-Q1 は、「電気的特性」表に定義されている出力電圧および電流 (V_{OH} および V_{OL}) で、$R_L \geqq V_O / I_O$ で記述される合計抵抗の負荷を駆動できます。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

総消費電力は、『CMOS の消費電力と Cpd の計算』に記載されている情報を使用して計算できます。

熱上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』に記載されている情報を使用して計算できます。

> **注意**
> 「絶対最大定格」に記載された最大接合部温度 ($T_{J(max)}$) は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

8.2.1.2 入力に関する考慮事項

入力信号は、$V_{IL(max)}$ を超えるとロジック Low と見なされ、$V_{IH(min)}$ を超えるとロジック High と見なされます。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、V_{CC} またはグランドに終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、SN74AC165-Q1 へのリーク電流 (「電気的特性」で規定)、および必要な入力遷移レートによって抵抗のサイズが制限されます。こうした要因により 10kΩ の抵抗値がしばしば使用されます。

SN74AC165-Q1 は CMOS 入力を備えているため、正しく動作するには、「推奨動作条件」表で定義されているように、入力が素早く遷移する必要があります。入力遷移が遅いと発振が発生し、消費電力の増大やデバイスの信頼性の低下を招くことがあります。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

8.2.1.3 出力に関する考慮事項

正の電源電圧を使用して、出力 High 電圧を生成します。出力から電流を引き出すと、「電気的特性」の V_{OH} 仕様で規定されたように出力電圧が低下します。グランド電圧を使用して、出力 Low 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

非常に短い期間であっても、逆の状態になる可能性があるプッシュプル出力は、互いに直接接続しないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

同じ入力信号を持つ同一デバイス内の 2 つのチャネルを並列に接続することにより、出力駆動の強度を高めることができます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

8.2.2 詳細な設計手順

1. V_{CC} と GND の間にデカップリング コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷は、必ず 50pF 以下になるようにします。これは厳密な制限ではありませんが、設計上、性能が最適化されます。これは、SN74AC165-Q1 から 1 つまたは複数の受信デバイスまでのトレースを短い適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を $(V_{CC}/I_{O(max)})\Omega$ より大きくします。これを行うと、「絶対最大定格」の最大出力電流に違反するのを防ぐことができます。ほとんどの CMOS 入力は、MΩ 単位で測定される抵抗性負荷を備えています。これは、上記で計算される最小値よりはるかに大きい値です。
4. 熱の問題がロジック ゲートにとって問題となることはほとんどありません。ただし、消費電力と熱の上昇は、アプリケーション レポート『CMOS 消費電力と CPD の計算』に記載されている手順を使用して計算できます。

8.2.3 アプリケーション曲線

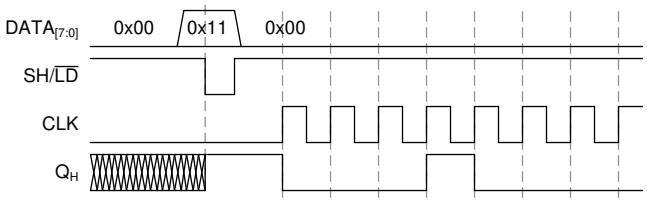


図 8-2. アプリケーション タイミング図

8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。このデバイスには 0.1μF のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1μF と 1μF のコンデンサは並列に使用されます。バイパス コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

- バイパス コンデンサの配置
  - デバイスの正電源端子の近くに配置
  - 電気的に短いグランド帰還パスを提供
  - インピーダンスを最小化するため、広いパターンを使用
  - 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
  - 8mil～12mil のトレース幅
  - 伝送ラインの影響を最小化する 12cm 未満の長さ
  - 信号トレースの 90° のコーナーは避ける
  - 信号トレースの下に、途切れのないグランド プレーンを使用
  - 信号トレース周辺の領域をグランドでフラッド フィル
  - 12cm を超えるパターン用
    - インピーダンス制御トレースを使用
    - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
    - 分岐を回避。個別に分岐が必要なバッファ信号

8.4.2 レイアウト例

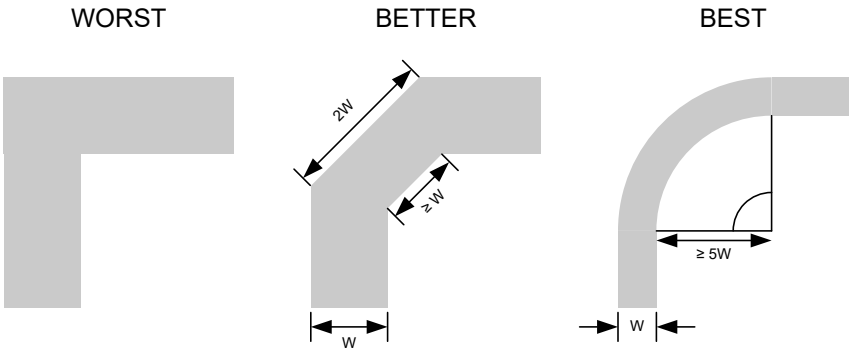


図 8-3. シグナル インテグリティ向上のためのサンプル パターンのコーナー

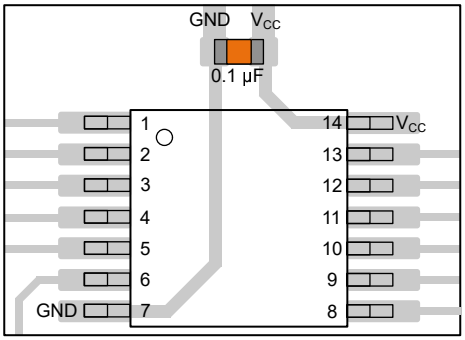


図 8-4. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

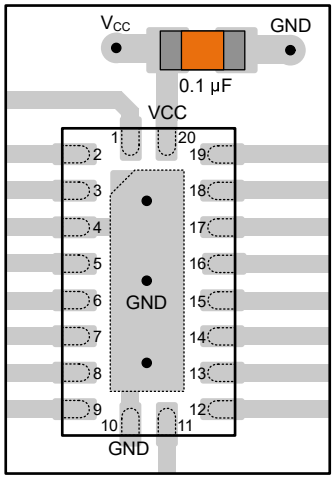


図 8-5. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

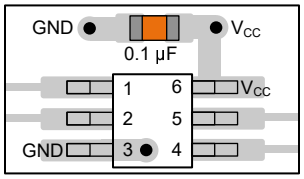


図 8-6. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

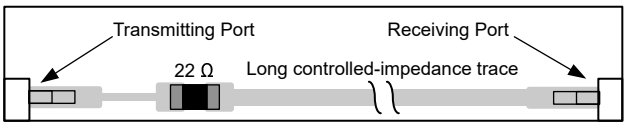


図 8-7. シグナル インテグリティ向上のためのダンピング抵抗の配置例

Copyright © 2025 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

日付	改訂	注
2024 年 12 月	*	初版

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報はそのデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74AC165WBQBRQ1	Active	Production	WQFN (BQB) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AC165Q
SN74AC165WBQBRQ1.A	Active	Production	WQFN (BQB) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AC165Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74AC165-Q1 :

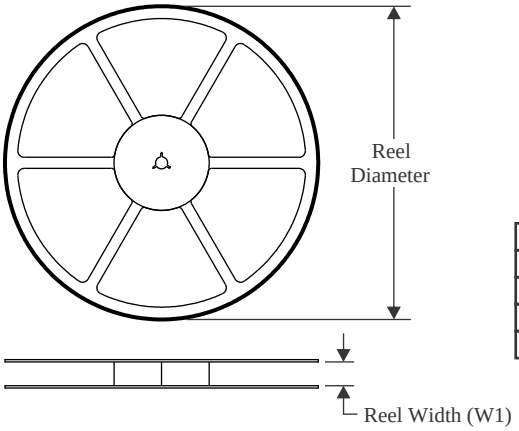
- Catalog : SN74AC165

NOTE: Qualified Version Definitions:

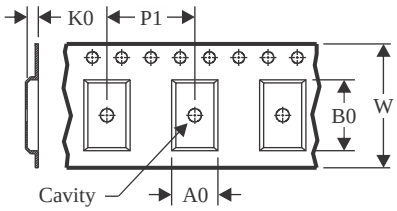
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

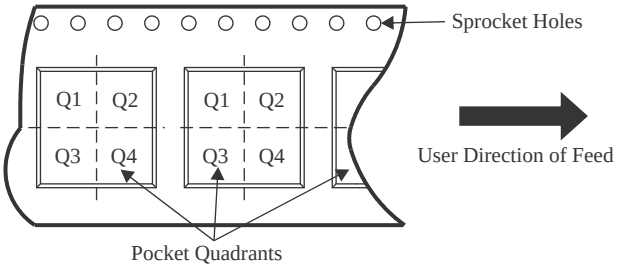


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

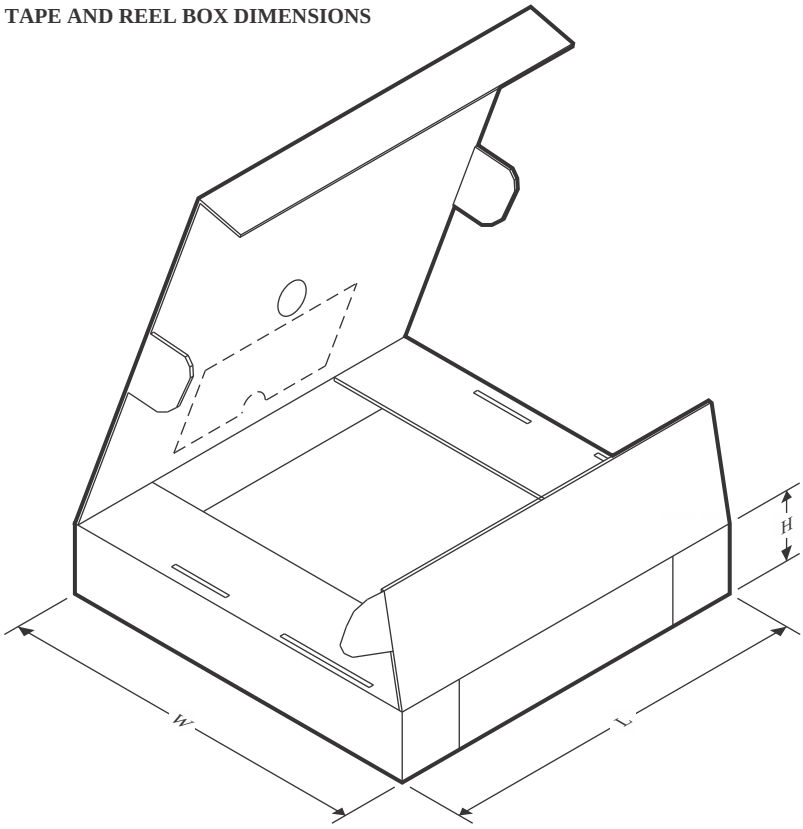
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AC165WBQBRQ1	WQFN	BQB	16	3000	180.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AC165WBQBRQ1	WQFN	BQB	16	3000	210.0	185.0	35.0

GENERIC PACKAGE VIEW

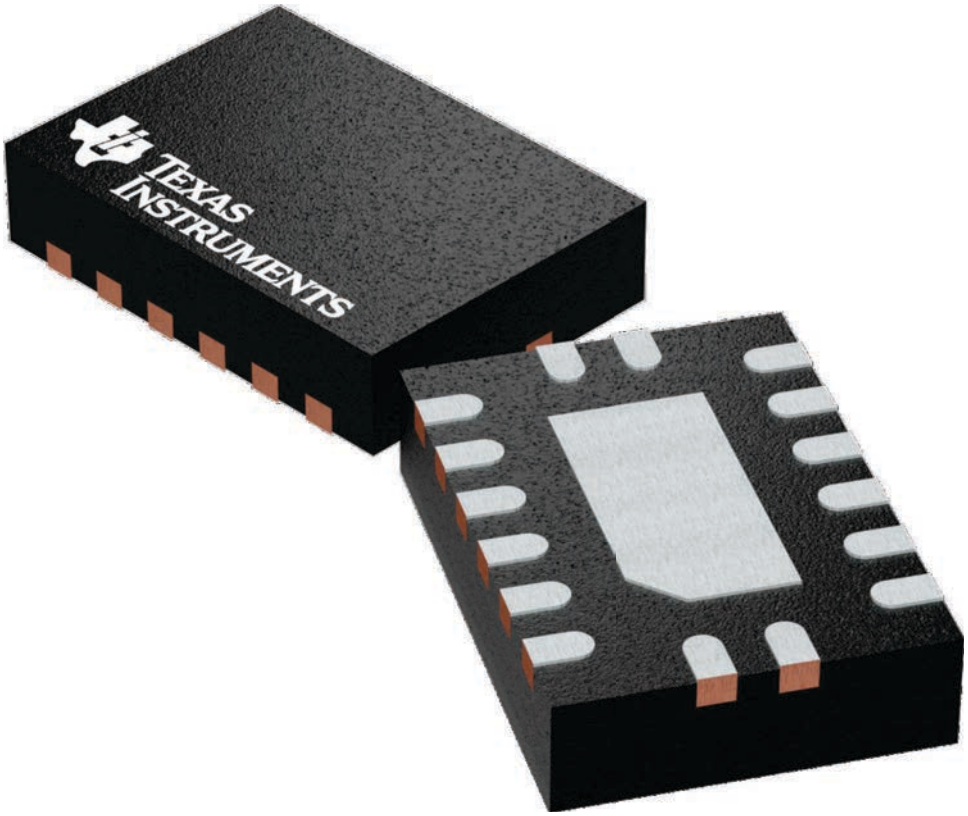
BQB 16

WQFN - 0.8 mm max height

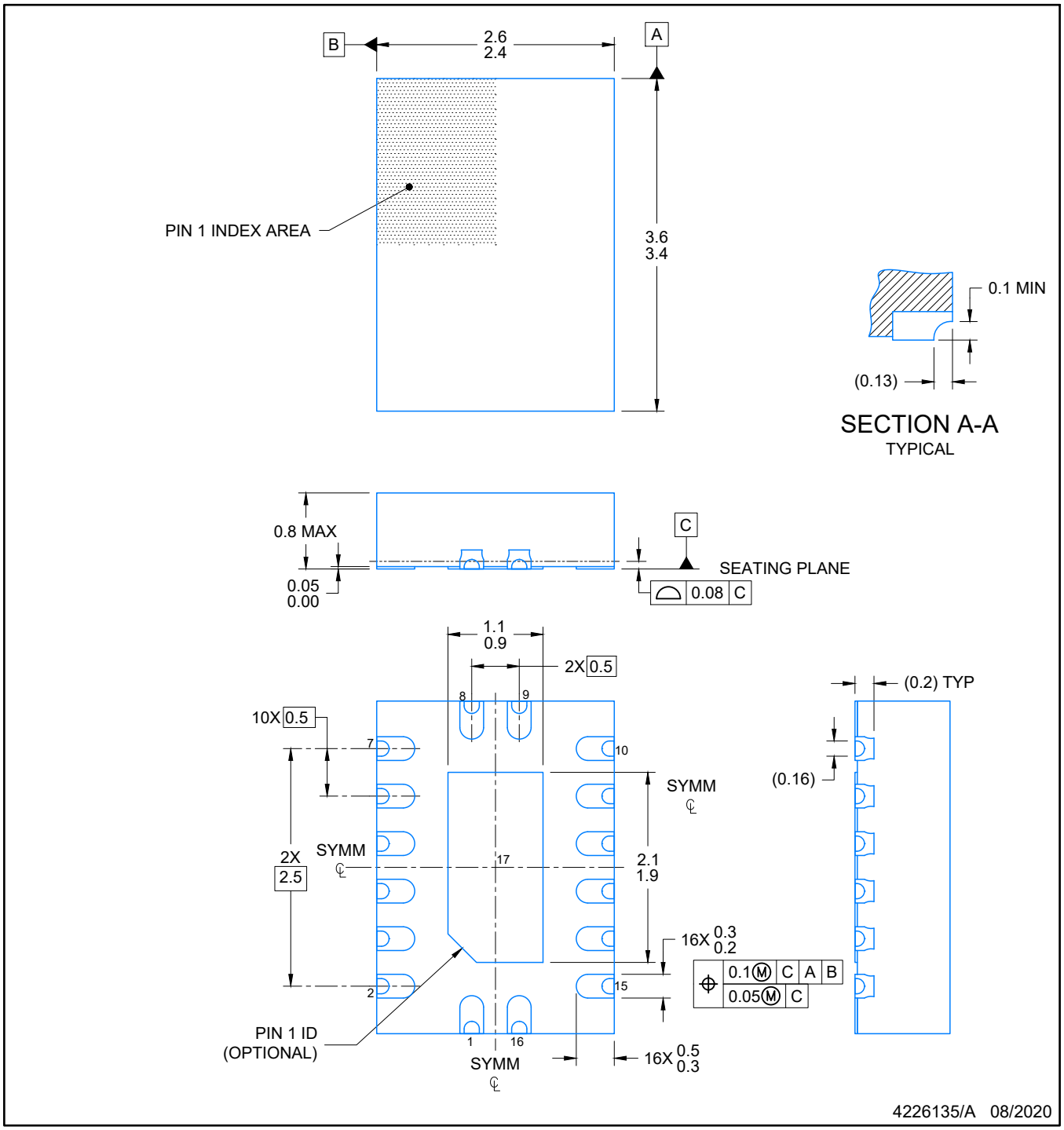
2.5 x 3.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

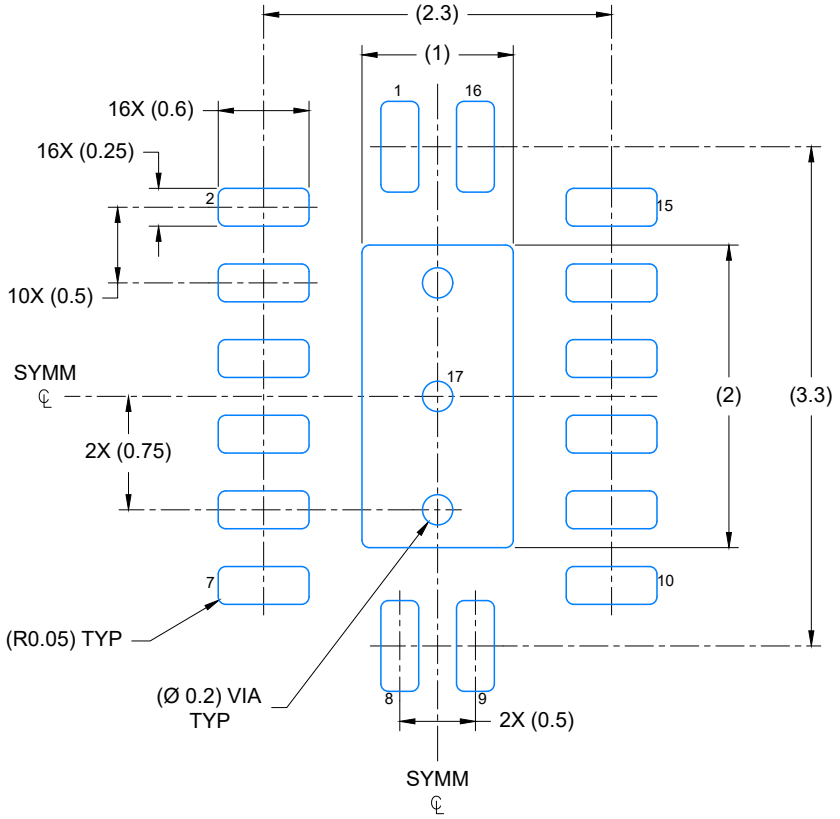


4226161/A



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

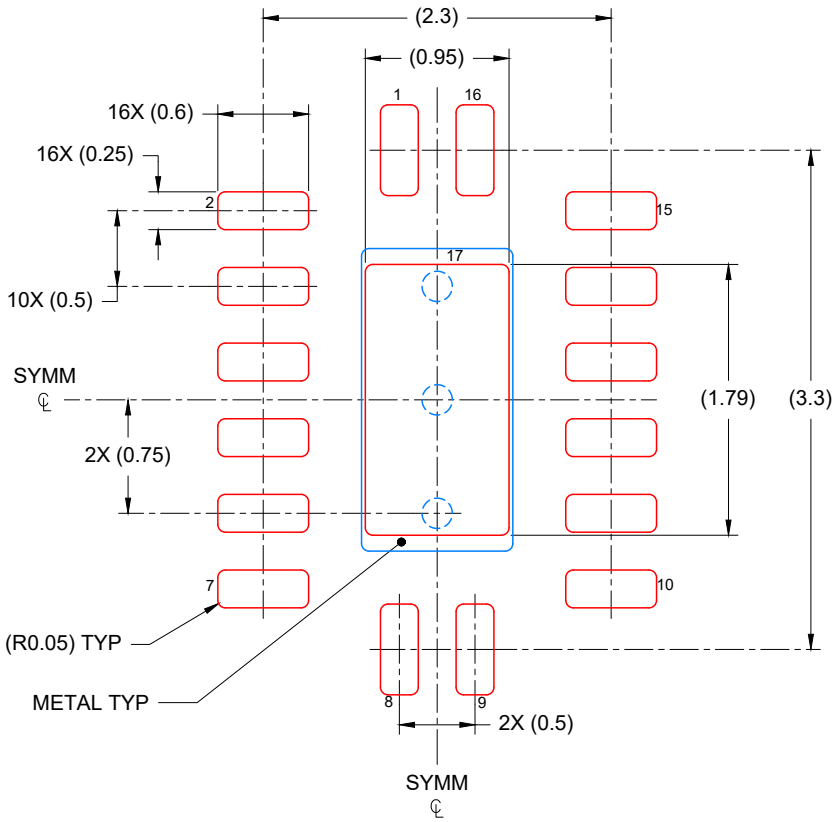


LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

4226135/A 08/2020

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
85% PRINTED COVERAGE BY AREA
SCALE: 20X

4226135/A 08/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated