

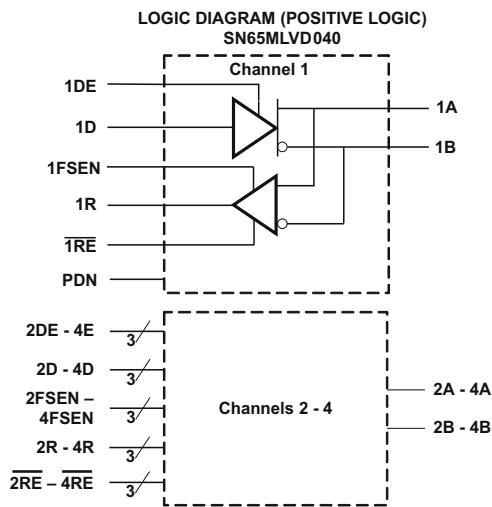
SN65MLVD040 4 チャネル、半二重 M-LVDS ライントランシーバ

1 特長

- 低電圧の差動 $3\Omega \sim 55\Omega$ ラインドライバおよびレシーバにより最高 250Mbps までの信号速度に対応⁽¹⁾。最高 125MHz のクロック周波数
- マルチポイントデータ交換について M-LVDS 標準 TIA/EIA-899 準拠またはこれを上回る
- ドライバ出力電圧の遷移時間制御による信号品質の向上
- $-1\text{V} \sim 3.4\text{V}$ の同相電圧範囲により、 2V のグランドノイズでデータ転送が可能
- ドライバディセーブル時または $V_{CC} \leq 1.5\text{V}$ 時にバスピンが高インピーダンス
- ドライバおよびレシーバごとに独立のイネーブル
- 強化 ESD 保護機能:すべてのピンで 7kV HBM
- 48 ピン $7 \times 7 \text{ QFN (RGZ)}$
- M-LVDS バスの電源オン/オフ時のグリッチフリー

2 アプリケーション

- バックプレーンとケーブルを介した並列マルチポイントデータおよびクロック伝送
- 低消費電力、高速、短距離での TIA/EIA-485 の代替
- 携帯電話の基地局
- 基地局用スイッチ
- ネットワークスイッチおよびルータ



- A. ラインの信号レートとは、1秒あたりの電圧遷移回数を bps (ビット/秒) 単位で表したものです。

3 概要

SN65MLVD040 は、TIA/EIA-899 (M-LVDS) 規格に完全準拠してマルチポイント低電圧差動信号を送受信するための 4 つの半二重トランシーバを備えており、最高 250Mbps の信号速度で動作するよう最適化されています。ドライバ出力は、最小 30Ω の負荷を供給するマルチポイントバスをサポートするように設計されており、バックプレーンの伝送ラインからスタブをオフにできるように、制御された遷移時間が組み込まれています。

M-LVDS 規格では、Type-1 および Type-2 という 2 種類のレシーバが定義されています。Type-1 レシーバは、ゼロを中心とするスレッショルドで、 25mV のヒステリシスを設けて、入力が失われた場合の出力発振を防止します。Type-2 レシーバは、オフセットスレッショルドを使用してフェイルセーフを実装しています。xFSEN ピンを使用して、各チャネルの Type-1 および Type-2 レシーバを選択します。さらに、ドライバの立ち上がり時間と立ち下がり時間は $1\text{ns} \sim 2\text{ns}$ であり、M-LVDS 規格に準拠して 250Mbps での動作を実現すると同時に、バス上にスタブも備えています。レシーバ出力はスルーレート制御されているため、大きな電流サージに伴う EMI およびクロストークの影響を低減できます。M-LVDS 規格ではバス上に 32 のノードを接続でき、低い同相モードを許容できる場合や、より速い信号速度が必要な場合に、RS-485 の高速な代替となります。

ドライバロジック入力とレシーバロジック出力は、一部のトランシーバデザインのように互いに接続されるのではなく、個別のピンに配置されています。ドライバには個別のイネーブル (DE) があり、レシーバ (\overline{RE}) も同様です。このようにロジック入力、ロジック出力、イネーブルピンを個別に配置することで、listen-while-talking 動作が可能になります。これらのデバイスは、 $-40^\circ\text{C} \sim 85^\circ\text{C}$ での動作が規定されています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ
SN65MLVD040RGZR	VQFN (RGZ)	$7 \times 7, 0.5\text{mm}$ ピッチ
SN65MLVD040RGZT	VQFN (RGZ)	$7 \times 7, 0.5\text{mm}$ ピッチ

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

目次

1 特長	1	5.11 代表的特性	10
2 アプリケーション	1	6 パラメータ測定情報	16
3 概要	1	6.1 等価な入力および出力回路図	22
4 ピン構成および機能	2	7 アプリケーションと実装	23
5 仕様	4	7.1 アプリケーション情報	23
5.1 絶対最大定格	4	8 デバイスおよびドキュメントのサポート	26
5.2 推奨動作条件	4	8.1 ドキュメントのサポート	26
5.3 熱特性	4	8.2 ドキュメントの更新通知を受け取る方法	26
5.4 パッケージ定格消費電力	4	8.3 サポート・リソース	26
5.5 デバイスの電気的特性	5	8.4 商標	26
5.6 ドライバの電気的特性	5	8.5 静電気放電に関する注意事項	26
5.7 レシーバの電気的特性	6	8.6 用語集	26
5.8 バス入力および出力の電気的特性	6	9 改訂履歴	26
5.9 ドライバスイッチング特性	8	10 メカニカル、パッケージ、および注文情報	26
5.10 レシーバのスイッチング特性	9		

4 ピン構成および機能

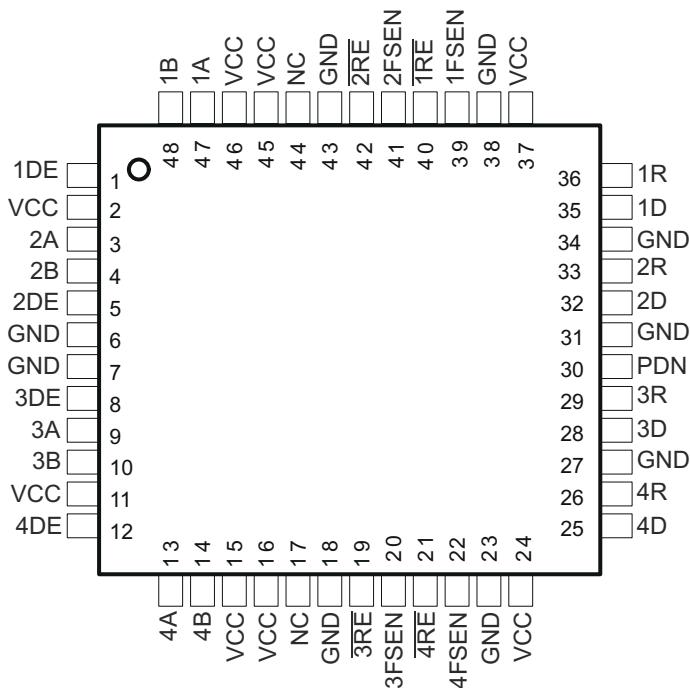


図 4-1. RGZ パッケージ (上面図)

表 4-1. ピンの機能

ピン	I/O	説明
名称	番号	
1D–4D	35, 32, 28, 25	I ドライバ用データ入力
1R–4R	36, 33, 29, 26	O レシーバ用データ出力
1A–4A	47, 3, 9, 13	バス I/O M-LVDS バスの非反転入出力
1B–4B	48, 4, 10, 14	バス I/O M-LVDS バスの反転入出力

表 4-1. ピンの機能(続き)

ピン		I/O	説明
名称	番号		
GND	6、7、18、23、27、31、34、38、43		回路グランド。すべての GND ピンは、グランドに接続する必要があります。
V _{CC}	2、11、15、16、24、37、45、46		電源電圧。すべての V _{CC} ピンは、電源に接続する必要があります。
TRE–4RE	40、42、19、21	I	レシーバイネーブル、アクティブ Low、個別のレシーバをイネーブル。このピンをフローティングのままにすると、内部でこのピンは論理 High にプルアップされます。
1DE–4DE	1、5、8、12	I	ドライバイネーブル、アクティブ High、個別にドライバをイネーブル。このピンをフローティングのままにすると、内部でこのピンは論理 Low にプルダウンされます。
1FSEN–4FSEN	39、41、20、22	I	フェイルセーフイネーブルピン。このピンをフローティングのままにすると、内部でこのピンは論理 High にプルアップされます。 このピンにより、それぞれのチャネルの Type 2 レシーバがイネーブルになります。 xFSEN = L → Type 1 レシーバ入力 xFSEN = H → Type 2 レシーバ入力
PDN	30	I	パワーダウンピン。このピンをフローティングのままにすると、内部でこのピンは論理 Low にプルダウンされます。 PDN が High のとき、デバイスは電源オンになります。 PDN が Low のとき、デバイスは他のすべての制御を無効にし、電源オフになります。 すべての出力は Hi-Z です。
NC	17		接続なし
NC	44		接続なし。TI 内部テストピン。このピンは未接続にしておかなくてはなりません。
PowerPAD™	–		GND に接続

表 4-2. デバイス機能表

レシーバ						ドライバ			
入力 ⁽¹⁾				レシーバのタイプ	出力 ⁽¹⁾	入力 ⁽¹⁾		出力 ⁽¹⁾	
V _{ID} = V _A – V _B	PDN	FSEN	RE		R	D	DE	A	B
V _{ID} > 35mV	H	L	L	タイプ 1	H	L	H	L	H
-35mV ≤ V _{ID} ≤ 35mV	H	L	L	タイプ 1	?	H	H	H	L
V _{ID} < 35 mV	H	L	L	タイプ 1	L	オープン	H	L	H
<hr/>									
V _{ID} > 135 mV	H	H	L	タイプ 2	H	X	オープン	Z	Z
65 mV ≤ V _{ID} ≤ 135 mV	H	H	L	タイプ 2	?	X	L	Z	Z
V _{ID} < 65 mV	H	H	L	タイプ 2	L				
開路	H	L	L	タイプ 1	?				
開路	H	H	L	タイプ 2	L				
X	H	X	H	X	Z				
X	H	X	オープン	X	Z				
X	L	X	X	X	Z				

(1) H = High レベル、L = Low レベル、Z = 高インピーダンス、X = ドントケア、? = 不定

5 仕様

5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)⁽¹⁾

			SN65MLVD040
電源電圧範囲 ⁽²⁾ 、V _{CC}			-0.5 V ~ 4 V
入力電圧範囲	D, DE, R _E , FSEN		-0.5 V ~ 4 V
	A, B		-1.8 V ~ 4 V
出力電圧範囲	R		-0.3 V ~ 4 V
	A または B		-1.8 V ~ 4 V
静電気放電	人体モデル ⁽³⁾	すべてのピン	±7 kV
	デバイス帯電モデル ⁽⁴⁾	すべてのピン	±1500 V
保管温度範囲			-65°C~150°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値と等しい、またはそれを超える条件で本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 差動 I/O バス電圧を除くすべての電圧値は、ネットワークグランド端子を基準にしています。
- (3) JEDEC 規格 22、テスト方法 A114-E に従ってテスト済み。GND と V_{CC} の共通接続に対してバスピンにストレスを印加
- (4) JEDEC 規格 22、テスト方法 C101-D に従ってテスト済み。

5.2 推奨動作条件

		最小値	公称値	最大値	単位
V _{CC}	電源電圧	3	3.3	3.6	V
V _{IH}	High レベル入力電圧	2		V _{CC}	V
V _{IL}	Low レベル入力電圧		GND	0.8	V
	任意のバス端子での電圧 V _A または V _B	-1.4		3.8	V
V _{ID}	差動入力電圧の大きさ	0.05		V _{CC}	V
T _A	自由空気での動作温度	-40		85	°C
	最大接合部温度			140	°C

5.3 熱特性

パラメータ	テスト条件	最小値	代表値	最大値	単位
R _{θJB}	接合部から基板への熱抵抗		9		°C/W
R _{θJC}	接合部からケースへの熱抵抗		20		°C/W
R _{θJP}	接合部からパッドへの熱抵抗		1.37		°C/W
P _D	デバイスの電力散逸 (詳細については「代表的な曲線」を参照)	0V で R _E 、0V で DE、C _L = 15 pF、V _{ID} = 400 mW、125 MHz、その他はすべてオープン		382	mW

5.4 パッケージ定格消費電力

パッケージ	PCB JEDEC 規格	T _A ≤ 25°C の 電力定格	T _A = 25°C を 超える場合のディレーティング係数 ⁽¹⁾	T _A ≤ 85°C の 電力定格
RGZ	Low-K ⁽²⁾	1298 mW	12.98 mW/°C	519 mW
RGZ	High-K ⁽³⁾	3448 mW	34.48 mW/°C	1379 mW

(1) これは、ボードに取り付けられ、エアフローがないときの、接合部から周囲への熱抵抗の逆数です。

(2) EIA/JESD51-3 の Low-K 熱評価基準の定義に従います。

(3) EIA/JESD51-7 の High-K 熱評価基準の定義に従います。

5.5 デバイスの電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値 ⁽¹⁾	最大値	単位
I _{CC}	ドライバのみ	V _{CC} で RE および DE、R _L = 50Ω, 125MHz、その他はすべてオープン		76		mA
	両方ディセーブル	V _{CC} で RE, 0V で DE, R _L = 無負荷、125MHz、その他はすべてオープン		10		
	両方がイネーブル	0V で RE, V _{CC} で DE, R _L = 50Ω, C _L = 15pF、その他はすべてオープン、125MHz、外部 RX スティミュラスなし		165		
	レシーバのみ	0V で RE, 0V で DE, C _L = 15pF, V _{ID} = 400mV, 125MHz、その他はすべてオープン		100		
パワー ダウン (Power down)	PDN = L				5	mA

(1) 標準値はすべて 25°C で、3.3V の電源電圧を使用します。

5.6 ドライバの電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値 ⁽¹⁾	標準値 ⁽²⁾	最大値	単位
V _{AB}	差動出力電圧の大きさ (A, B)	図 6-2 を参照	480		650	mV
Δ V _{AB}	ロジック状態間の差動出力電圧の大きさの変化 (A, B)		-50		50	mV
V _{OS(ss)}	定常同相モード出力電圧 (A, B)	図 6-3 を参照	0.7		1.1	V
ΔV _{OS(ss)}	ロジック状態間での定常同相モード出力電圧の変化 (A, B)		-50		50	mV
V _{OS(pp)}	ピークツーピークの同相モード出力電圧 (A, B)				150	mV
V _{A(OC)}	最大定常断線出力電圧 (A, B)	図 6-7 を参照	0		2.4	V
V _{B(OC)}	最大定常断線出力電圧 (A, B)		0		2.4	V
V _{P(H)}	電圧オーバーシュート、Low レベルから High レベルへの出力 (A, B)	図 6-5 を参照			1.2 V _{SS}	V
V _{P(L)}	電圧オーバーシュート、High レベルから Low レベルへの出力 (A, B)		-0.2 V _{SS}			V
I _{IH}	High レベル入力電流 (D, DE)	V _{IH} = 2V~V _{CC}			10	μA
I _{IL}	Low レベル入力電流 (D, DE)	V _{IL} = GND~0.8V			10	μA
I _{os}	差動短絡出力電流の大きさ (A, B)	図 6-4 を参照			24	mA
C _I	入力容量 (D, DE)	V _I = 0.4 sin(30E6πt) + 0.5 V ⁽³⁾		5		pF

(1) このデータシートでは、最も小さい正 (最も大きな負) の制限を最小として指定する代数的規約を使用します。

(2) 標準値はすべて 25°C で、3.3V の電源電圧を使用します。

(3) HP4194A インピーダンス アナライザ (または同等のもの)

5.7 レシーバの電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値 ⁽¹⁾	最大値	単位	
V_{IT+}	正方向の差動入力電圧スレッショルド (A, B)	タイプ 1	表 6-1 および 表 6-2 を参照	35	mV		
		タイプ 2		135			
V_{IT-}	負方向の差動入力電圧スレッショルド (A, B)	タイプ 1		-35	mV		
		タイプ 2		65			
V_{HYS}	差動入力電圧ヒステリシス ($V_{IT+} - V_{IT-}$) (A, B)	タイプ 1		25	mV		
		タイプ 2		0			
V_{OH}	High レベル出力電圧 (R)	$I_{OH} = -8 \text{ mA}$	2.4		V		
V_{OL}	Low レベル出力電圧 (R)	$I_{OL} = 8 \text{ mA}$	0.4		V		
I_{IH}	High レベル入力電流 (\overline{RE})	$V_{IH} = 2\text{V} \sim V_{CC}$	-10		μA		
I_{IL}	Low レベル入力電流 (\overline{RE})	$V_{IL} = \text{GND} \sim 0.8\text{V}$	-10		μA		
I_{OZ}	高インピーダンス出力電流 (R)	$V_O = 0\text{V}$ または V_{CC}	-10		15	μA	

(1) 標準値はすべて 25°C で、 3.3V の電源電圧を使用します。

5.8 パス入力および出力の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値 ⁽¹⁾	最大値	単位
I_A	$V_A = 3.8\text{V}, V_B = 1.2\text{V}$	32		μA	
	$V_A = -1.4 \text{ V}, V_B = 1.2\text{V}$	-32			
I_B	$V_B = 3.8 \text{ V}, V_A = 1.2\text{V}$	32		μA	
	$V_B = -1.4 \text{ V}, V_A = 1.2\text{V}$	-32			
I_{AB}	$V_A = V_B, 1.4 \leq V_A \leq 3.8\text{V}$	-4	4	μA	
$I_{A(OFF)}$	$V_A = 3.8\text{V}, V_B = 1.2\text{V}, 0\text{V} \leq V_{CC} \leq 1.5\text{V}$	32		μA	
	$V_A = -1.4 \text{ V}, V_B = 1.2\text{V}, 0\text{V} \leq V_{CC} \leq 1.5\text{V}$	-32			
$I_{B(OFF)}$	$V_B = 3.8 \text{ V}, V_A = 1.2 \text{ V}, 0 \text{V} \leq V_{CC} \leq 1.5 \text{ V}$	32		μA	
	$V_B = -1.4 \text{ V}, V_A = 1.2 \text{ V}, 0 \text{V} \leq V_{CC} \leq 1.5 \text{ V}$	-32			
$I_{AB(OFF)}$	$V_A = V_B, 0 \text{V} \leq V_{CC} \leq 1.5 \text{ V}, -1.4 \leq V_A \leq 3.8 \text{ V}$	-4	4	μA	
C_A	$V_A = 0.4 \sin(30E6\pi t) + 0.5V^{(2)}, V_B = 1.2\text{V}$	5		pF	
C_B	$V_B = 0.4 \sin(30E6\pi t) + 0.5V^{(2)}, V_A = 1.2\text{V}$	5		pF	
C_{AB}	$V_{AB} = 0.4 \sin(30E6\pi t)V^{(2)}$	3		pF	
$C_{A/B}$	ドライバの入力容量バランスがディセーブルされたトランシーバ、 (C_A/C_B)	0.99	1.01		

(1) 標準値はすべて 25°C で、 3.3V の電源電圧を使用します。

(2) HP4194A インピーダンス アナライザ (または同等のもの)

5.9 ドライバスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値 ⁽¹⁾	最大値	単位
t_{PLH}	図 6-5 を参照	1.3	1.9	2.4	ns
t_{PHL}		1.3	1.9	2.4	ns
t_r		0.9	2	ns	
t_f		0.9	2.2	ns	
$t_{sk(o)}$		200	ps		
$t_{sk(p)}$		150	ps		
$t_{sk(pp)}$		300	ps		
$t_{jit(per)}$		2	ps		
$t_{jit(c-c)}$		9	ps		
$t_{jit(det)}$		290	ps		
$t_{jit(r)}$	図 6-6 を参照	4	ps		
t_{PZH}		7	ns		
t_{PZL}		7	ns		
t_{PHZ}		7	ns		
t_{PLZ}		7	ns		

(1) 標準値はすべて 25°Cで、3.3V の電源電圧を使用します。

(2) $t_{sk(pp)}$ は、2 つのデバイスが同じ電源電圧、同じ温度で動作し、パッケージとテスト回路が同一である場合の、両方のデバイスの指定された任意の端子間の伝搬遅延時間の差です。

(3) ジッタは、設計と特性によって保証されています。ステイミュラスのジッタがこの数値から減算されました。

(4) $t_r = t_f = 0.5\text{ns}$ (10% to 90%)

5.10 レシーバのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値 ⁽¹⁾	最大値	単位
t_{PLH}	伝搬遅延時間、出力立ち上がり	2.5	4.5	6	ns
t_{PHL}	伝搬遅延時間、出力立ち下がり	2.5	4.5	6	ns
t_r	出力信号の立ち上がり時間	1.4		2.35	ns
t_f	出力信号の立ち下がり時間	1.4		2.35	ns
$t_{sk(o)}$	出力スキュー		350		ps
$t_{sk(p)}$	パルス スキュー ($ t_{PHL} - t_{PLH} $)	タイプ 1	35	210	ps
		タイプ 2	150	470	
$t_{sk(pp)}$	部品間スキュー ⁽²⁾		800		ps
$t_{jit(per)}$	周期ジッタ、rms (1 標準偏差) ⁽³⁾	すべてのチャネルのスイッチング、125MHz クロック入力 ⁽⁴⁾ 、図 6-10 を参照		6	ps
$t_{jit(c-c)}$	サイクル間ジッタ、rms ⁽³⁾			13	ps
$t_{jit(det)}$	確定的ジッタ ⁽³⁾	タイプ 1		800	ps
		タイプ 2		945	ps
$t_{jit(r)}$	ランダム ジッタ ⁽³⁾	タイプ 1		9	ps
		タイプ 2		8	ps
t_{PZH}	イネーブル時間、高インピーダンスから High レベルへの出力			15	ns
t_{PZL}	イネーブル時間、高インピーダンスから Low レベルへの出力			15	ns
t_{PHZ}	ディセーブル時間、High レベルから高インピーダンスへの出力	$C_L = 15\text{pF}$ 、図 6-11 を参照		10	ns
t_{PLZ}	ディセーブル時間、Low レベルから高インピーダンスへの出力			10	ns

(1) 標準値はすべて 25°Cで、3.3V の電源電圧を使用します。

(2) $t_{sk(pp)}$ は、2 つのデバイスが同じ電源電圧、同じ温度で動作し、パッケージとテスト回路が同一である場合の、両方のデバイスの指定された任意の端子間の伝搬遅延時間の時間差です。

(3) ジッタは、設計と特性によって保証されています。ステイミュラスのジッタがこの数値から減算されました。

(4) $t_r = t_f = 0.5\text{ns}$ (10%~90%)

5.11 代表的特性

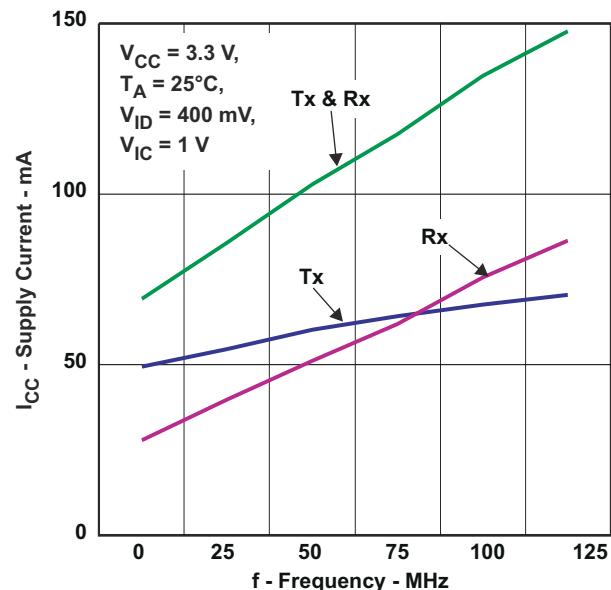


図 5-1. 電源電流と周波数との関係

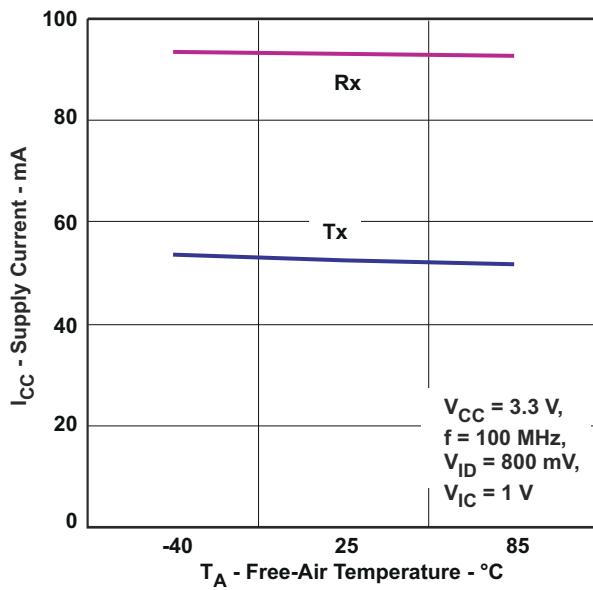


図 5-2. 電源電流と自由気流温度との関係

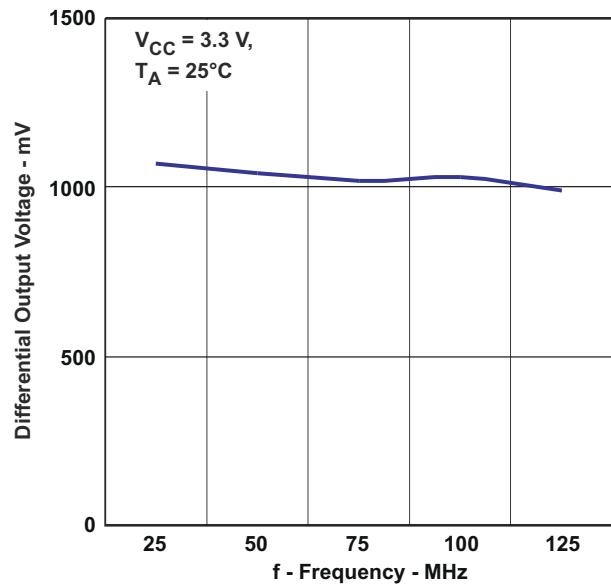


図 5-3. 差動出力電圧と周波数との関係

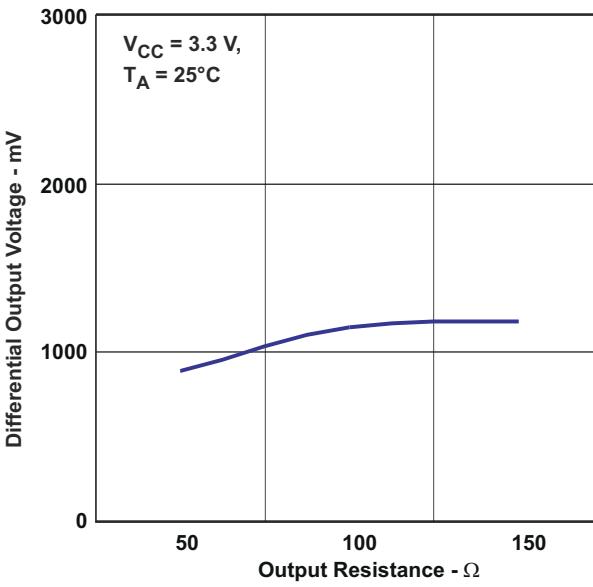


図 5-4. 差動出力電圧と周波数との関係

5.11 代表的特性 (続き)

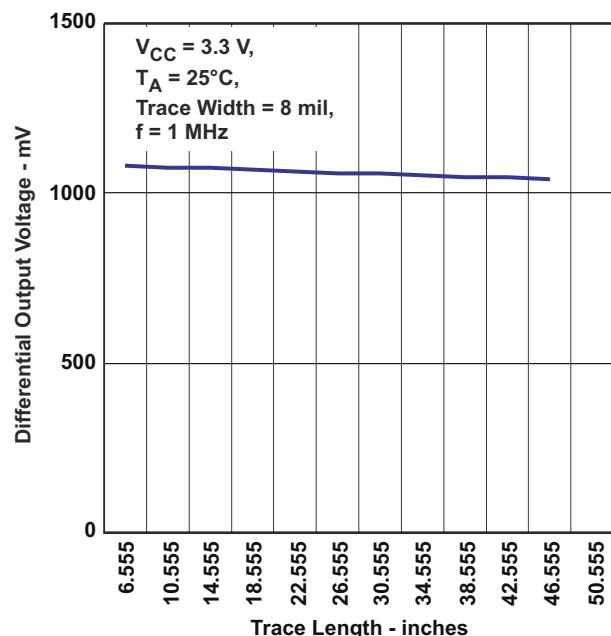


図 5-5. 差動出力電圧とパターン長との関係

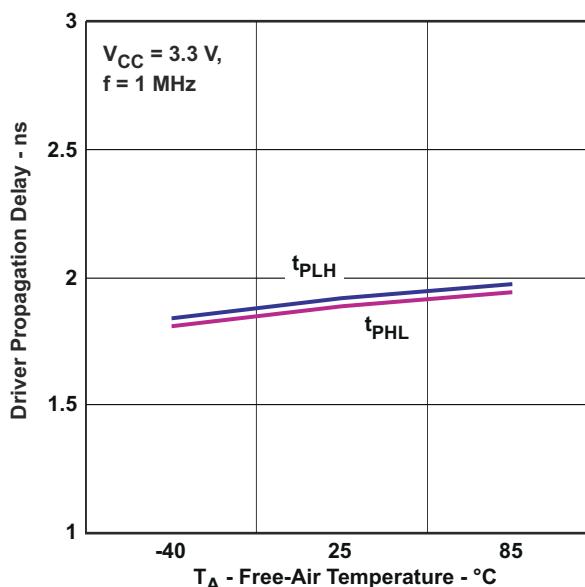


図 5-6. ドライバ伝搬遅延と自由気流温度との関係

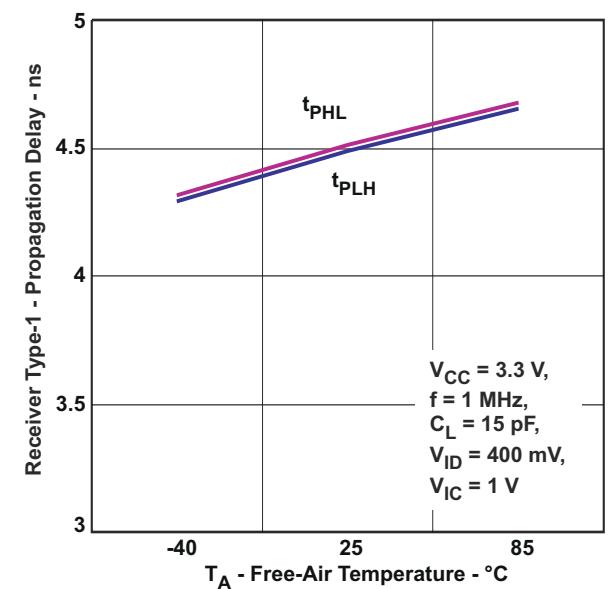


図 5-7. レシーバタイプ 1 の伝搬遅延と自由気流温度との関係

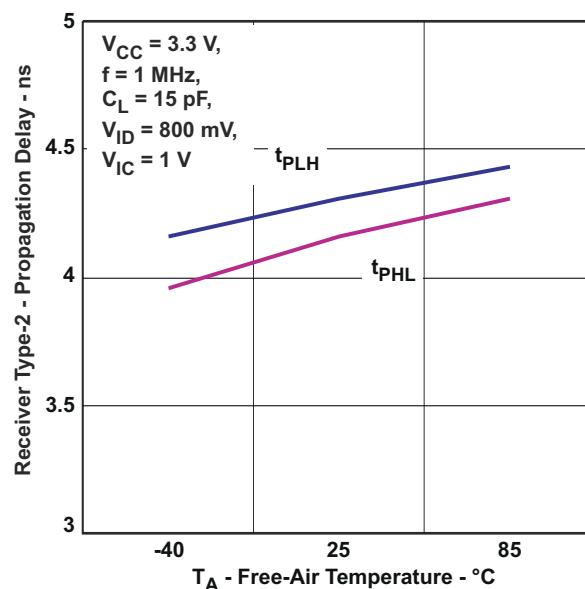


図 5-8. レシーバタイプ 2 の伝搬遅延と自由気流温度との関係

5.11 代表的特性 (続き)

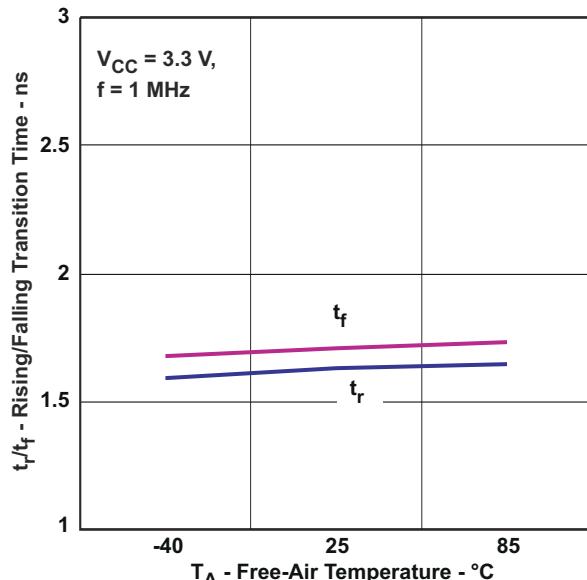


図 5-9. ドライバ遷移時間と自由気流温度との関係

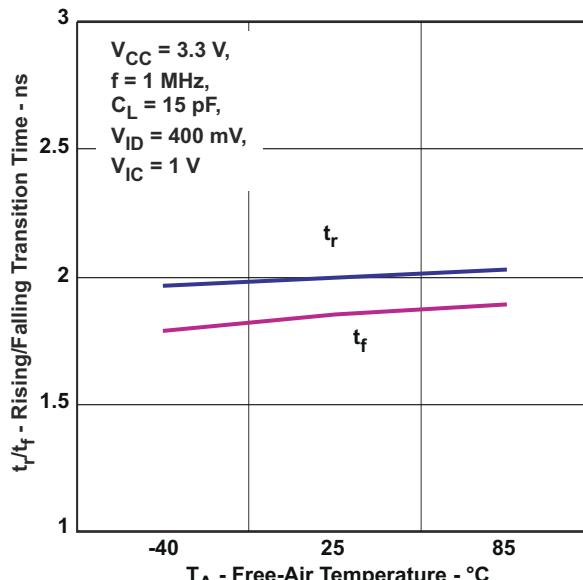


図 5-10. タイプ 1 レシーバの遷移時間と自由気流温度との関係

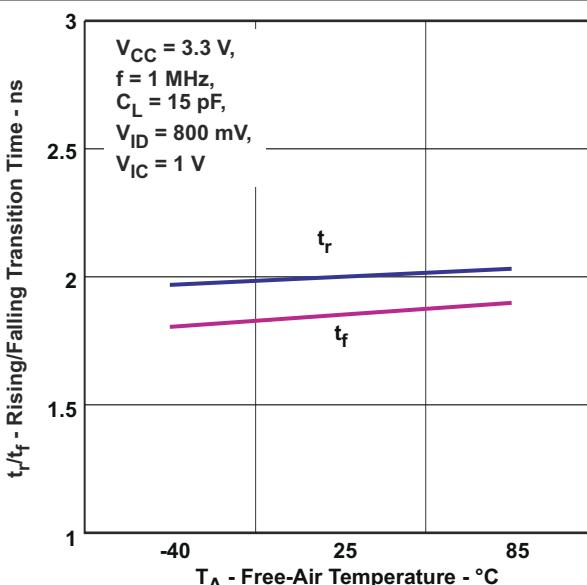


図 5-11. タイプ 2 レシーバの遷移時間と自由気流温度との関係

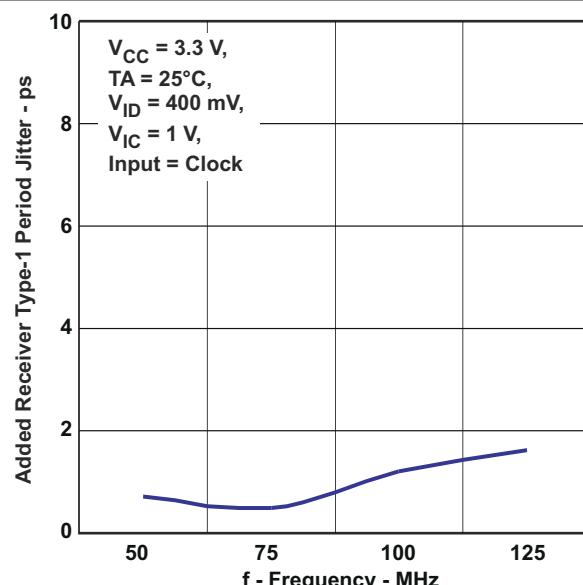


図 5-12. レシーバ タイプ 1 の周期ジッタと周波数との関係を追加

5.11 代表的特性 (続き)

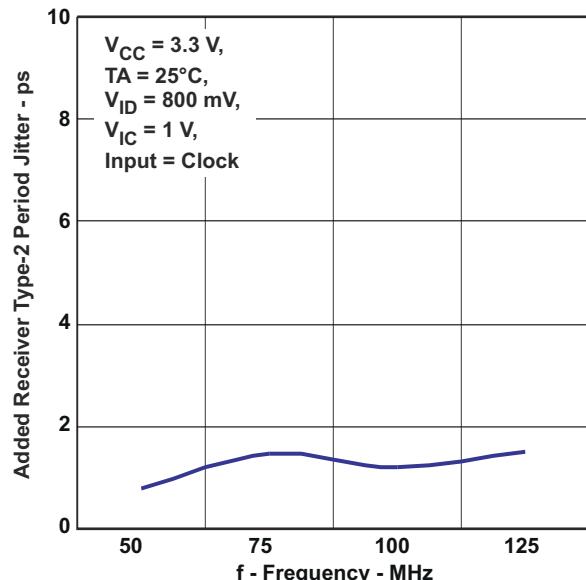


図 5-13. レシーバ タイプ 2 の周期ジッタと周波数との関係を追加

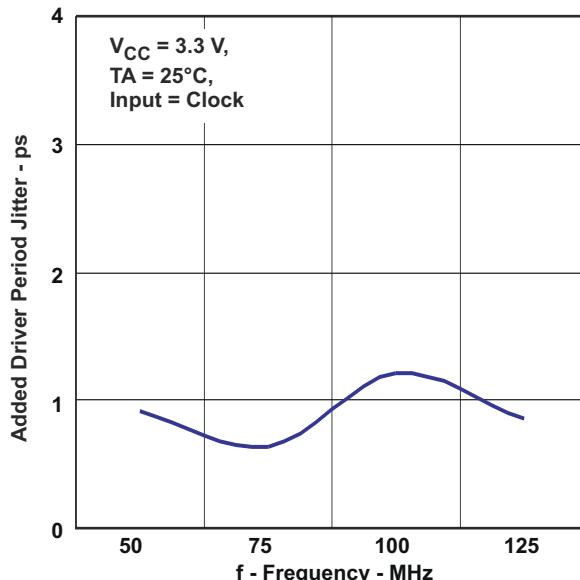


図 5-14. 周期ドライバのジッタと周波数との関係を追加

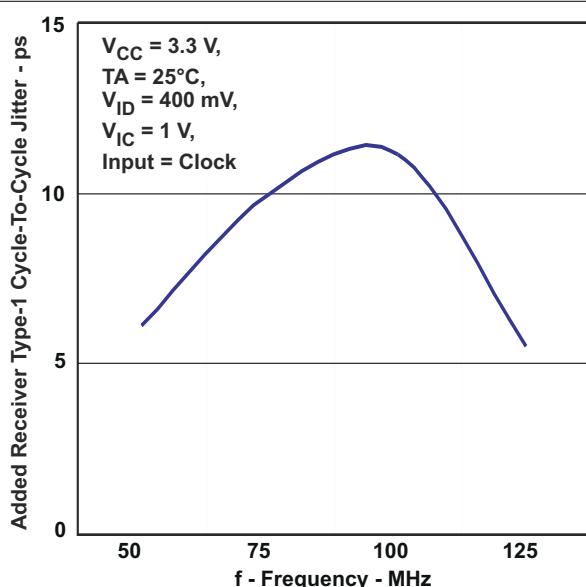


図 5-15. レシーバ タイプ 1 のサイクル間ジッタと周波数との関係を追加

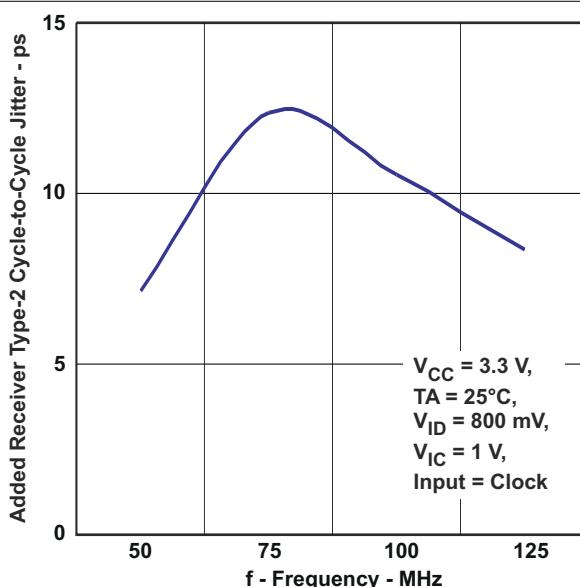


図 5-16. レシーバ タイプ 2 のサイクル間ジッタと周波数との関係を追加

5.11 代表的特性 (続き)

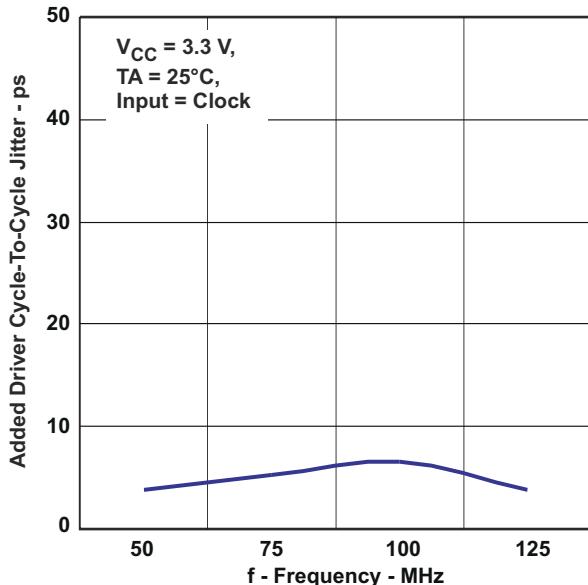


図 5-17. ドライバのサイクル間ジッタと周波数との関係を追加

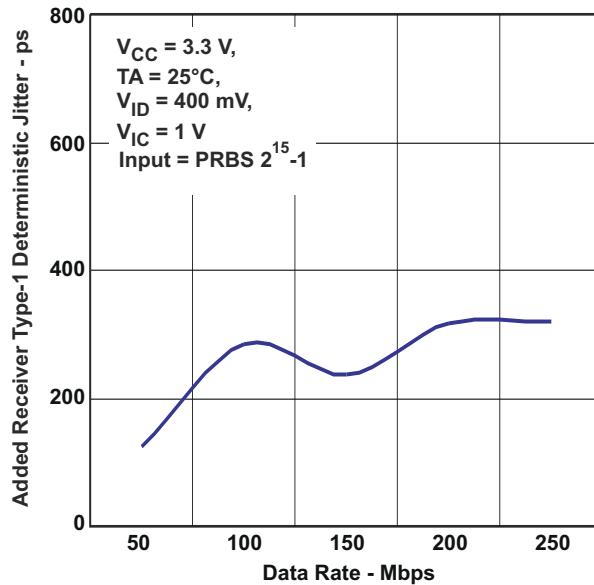


図 5-18. レシーバタイプ1の決定論的ジッタとデータレートとの関係を追加

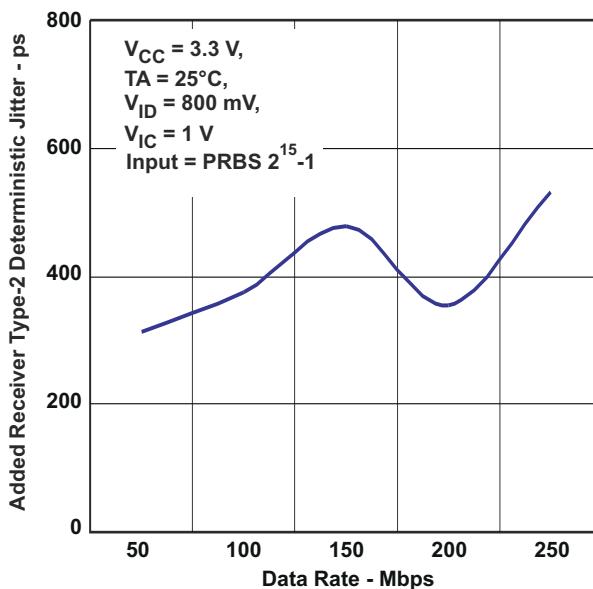


図 5-19. レシーバタイプ1の決定論的ジッタとデータレートとの関係を追加

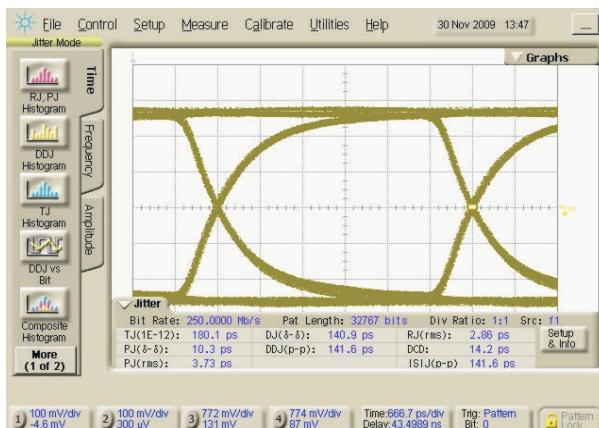


図 5-20. ドライバ出力アイパターン 250Mbps、2¹⁵-1 PRBS、V_{CC} = 3.3V

5.11 代表的特性 (続き)

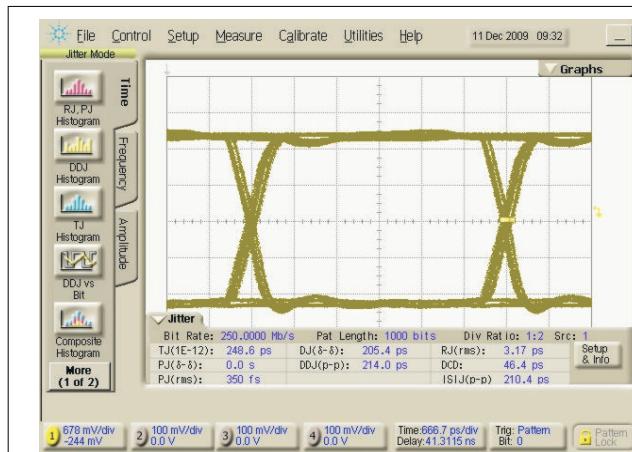


図 5-21. レシーバ出力アイ パターン 250Mbps、 $2^{15}-1$ PRBS、 $V_{CC} = 3.3V$ $|V_{ID}| = 400mV_{PP}$ 、 $V_{IC} = 1V$

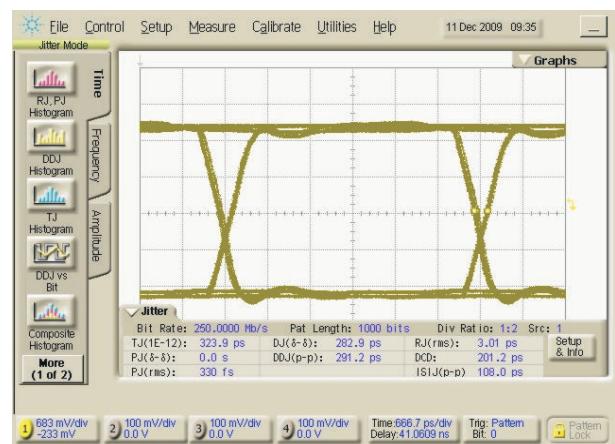


図 5-22. レシーバ出力アイ パターン 250Mbps、 $2^{15}-1$ PRBS、 $V_{CC} = 3.3V$ $|V_{ID}| = 800 mV_{PP}$ 、 $V_{IC} = 1V$

6 パラメータ測定情報

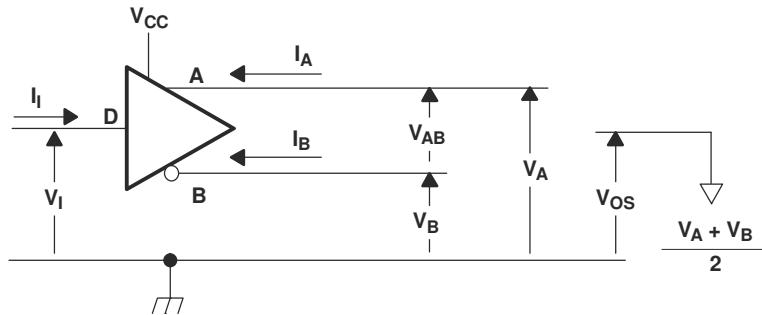
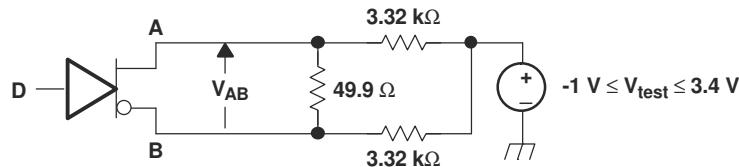
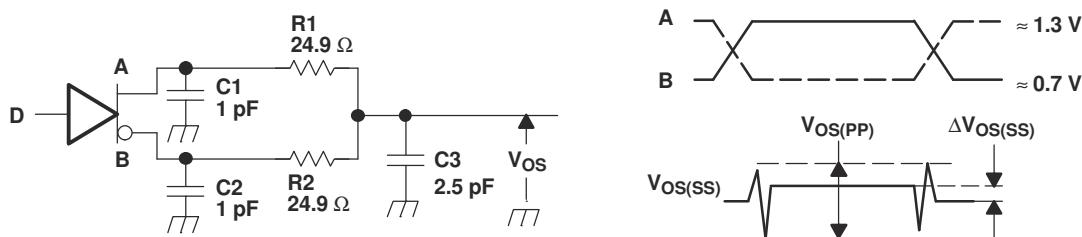


図 6-1. ドライバ電圧および電流の定義



すべての抵抗の公差は 1% です。

図 6-2. 差動出力電圧テスト回路



- すべての入力パルスは、 t_r または $t_f \leq 1\text{ns}$ 、パルス周波数 = 1 MHz、デューティサイクル = $50 \pm 5\%$ の特性を持つジェネレータから供給されます。
- C1、C2、C3 には D.U.T. から 2cm 以内の計測機器および治具の容量が含まれ、公差は $\pm 20\%$ です。
- R1 および R2 は金属皮膜、表面実装、公差 $\pm 1\%$ で、D.U.T. から 2cm 以内に配置されています。
- $V_{OS(PP)}$ の測定は、-3dB 帯域幅が 1GHz 以上のテスト機器で行います。

図 6-3. ドライバの同相モード出力電圧のテスト回路と定義

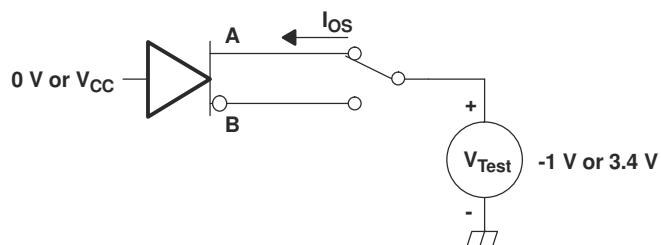
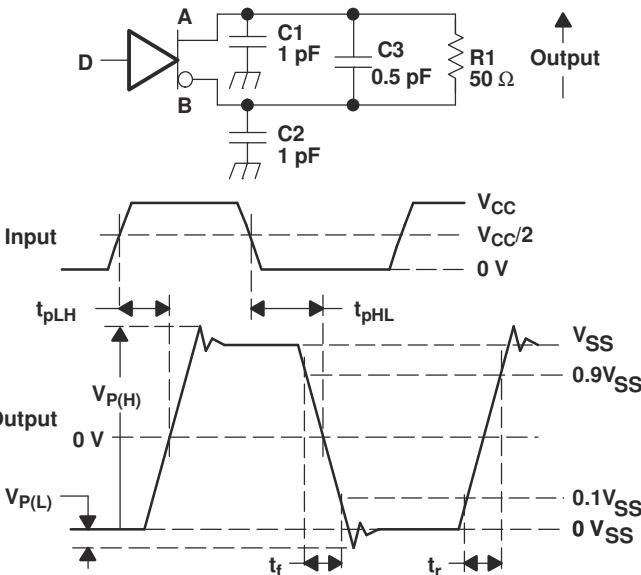
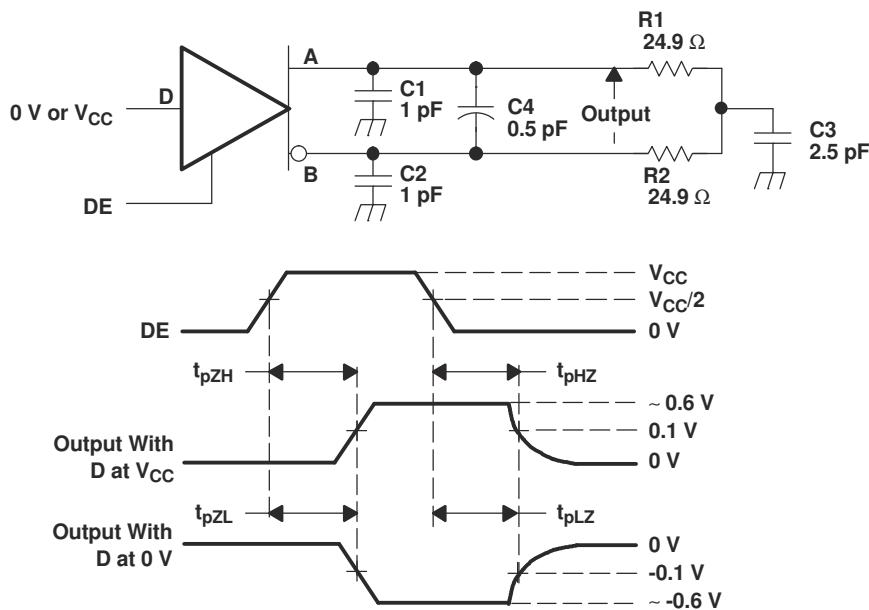


図 6-4. ドライバ短絡テスト回路



- A. すべての入力パルスは、 $t_f \leq 1\text{ns}$ 、周波数 1MHz、デューティサイクル $50 \pm 5\%$ の特性を持つジェネレータから供給されます。
- B. C1, C2, C3 には D.U.T. から 2cm 以内の計測機器および治具の容量が含まれ、公差は $\pm 20\%$ です。
- C. R1 は金属皮膜、表面実装、1% 公差で、D.U.T. から 2cm 以内に配置されています。
- D. 測定は、-3dB 帯域幅が 1GHz 以上のテスト機器で行います。

図 6-5. 差動出力信号のドライバ テスト回路、タイミング、電圧の定義



- A. すべての入力パルスは、 $t_f \leq 1\text{ns}$ 、周波数 1MHz、デューティサイクル $50 \pm 5\%$ の特性を持つジェネレータから供給されます。
- B. C1, C2, C3, C4 には、D.U.T. から 2cm 以内の計測機器および治具の容量が含まれ、公差は $\pm 20\%$ です。
- C. R1 および R2 は金属皮膜、表面実装、1% 公差で、D.U.T. から 2cm 以内に配置されています。
- D. 測定は、-3dB 帯域幅が 1GHz 以上のテスト機器で行います。

図 6-6. ドライバのイネーブル / ディセーブル時間回路と定義

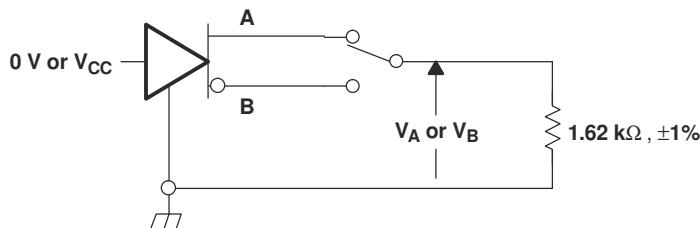
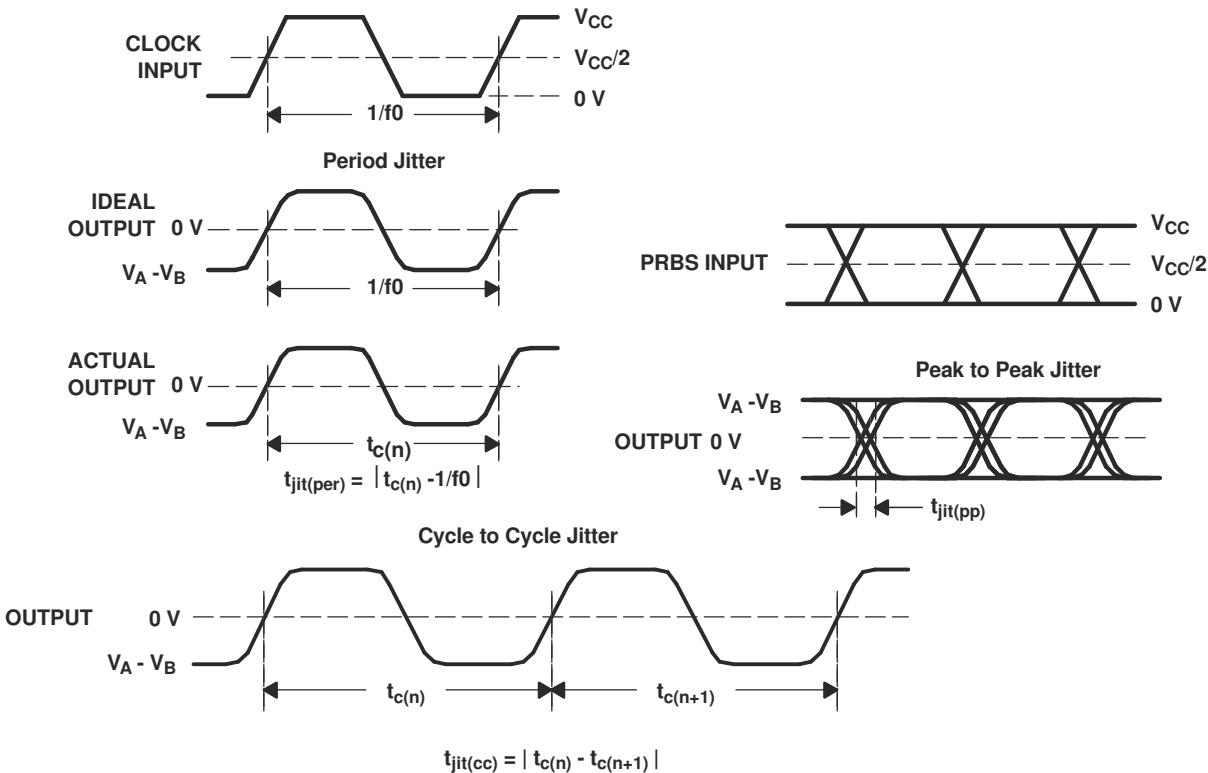


図 6-7. 最大定常状態出力電圧



- すべての入力パルスは、プラグイン E4832A を備えた Agilent 81250 Parallel BERT Stimulus System から供給されます。
- サイクル間測定は、TDSJIT3 アプリケーション ソフトウェアを実行している TEK TDS6604 で行います。
- 他のすべてのジッタ測定は、Agilent Infiniium DCA-J 86100C Digital Communications Analyzer で行います。
- 周期ジッタとサイクル間ジッタは、125MHz 50 ±1% デューティ サイクルのクロック入力を使用して測定します。75K を超えるサンプルで測定。
- 確定的ジッタとランダム ジッタは、250Mbps 2¹⁵–1 PRBS 入力を使用して測定します。BER = 10⁻¹² 超で測定

図 6-8. ドライバのジッタ測定波形

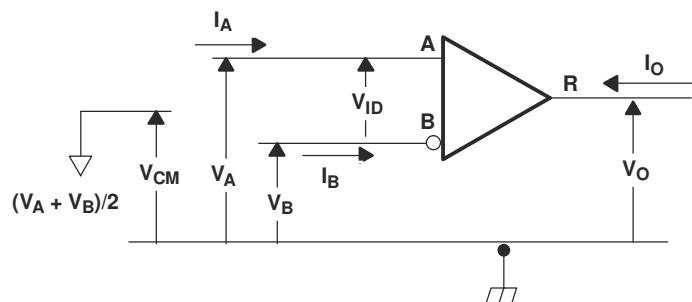


図 6-9. レシーバの電圧および電流の定義

表 6-1. Type-1 レシーバの入力スレッショルド テスト電圧

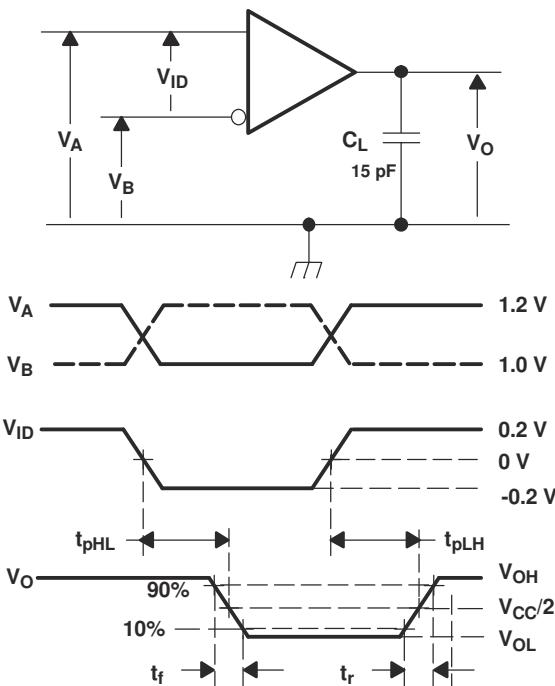
印加電圧		結果として生じる差動 入力電圧	結果として生じる同相 モード入力電圧	レシーバ 出力 ⁽¹⁾
V_{IA}	V_{IB}	V_{ID}	V_{IC}	
2.400	0.000	2.400	1.200	H
0.000	2.400	-2.400	1.200	L
3.400	3.365	0.035	3.3825	H
3.365	3.400	-0.035	3.3825	L
-0.965	-1	0.035	-0.9825	H
-1	-0.965	-0.035	-0.9825	L

(1) H = High レベル、L = Low レベル、出力状態はレシーバがイネーブルであると仮定 ($\overline{RE} = L$)

表 6-2. Type-2 レシーバの入力スレッショルド テスト電圧

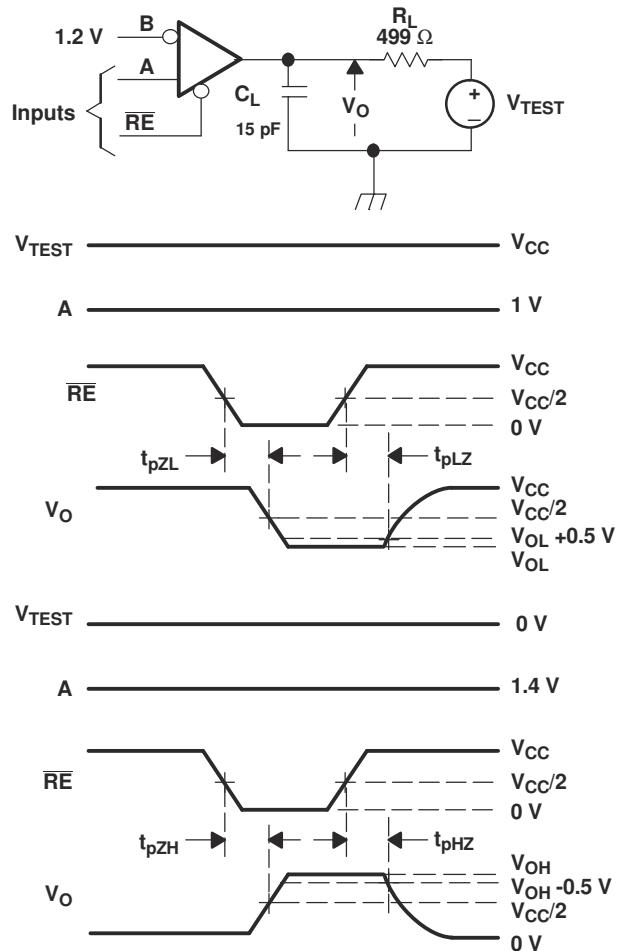
印加電圧		結果として生じる差動 入力電圧	結果として生じる同相 モード入力電圧	レシーバ 出力 ⁽¹⁾
V_{IA}	V_{IB}	V_{ID}	V_{IC}	
2.400	0.000	2.400	1.200	H
0.000	2.400	-2.400	1.200	L
3.400	3.265	0.135	3.3325	H
3.4000	3.335	0.065	3.3675	L
-0.865	-1	0.135	-0.9325	H
-0.935	-1	0.065	-0.9675	L

(1) H = High レベル、L = Low レベル、出力状態はレシーバがイネーブルであると仮定 ($\overline{RE} = L$)



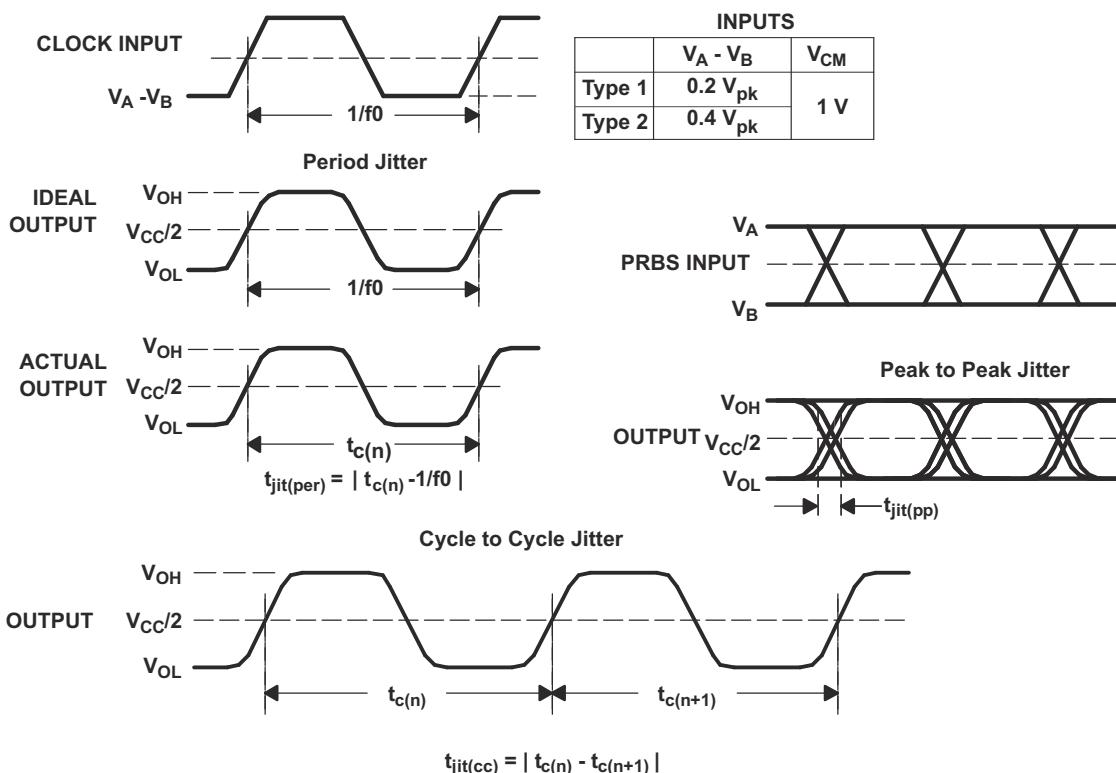
- A. すべての入力パルスは、 t_f または $t_f \leq 1\text{ns}$ 、周波数 1MHz、デューティサイクル $50 \pm 5\%$ の特性を持つジェネレータから供給されます。C_L は、公差 20% の低損失セラミック表面実装コンデンサと、D.U.T. から 2cm 以内の治具容量を組み合わせたものです。
- B. 測定は、-3dB 帯域幅が 1GHz 以上のテスト機器で行います。

図 6-10. レシーバのタイミング テスト回路と波形



- A. すべての入力パルスは、 $t_f \leq 1\text{ ns}$ 、周波数 = 1 MHz、デューティ サイクル = $50 \pm 5\%$ の特性を持つジェネレータによって供給されます。
- B. R_L は公差 1%、金属皮膜、表面実装で、D.U.T. から 2cm 以内に配置されています。
- C. C_L は、DUT から 2cm 以内の計測機器および治具の容量で、 $\pm 20\%$ です。測定は、-3dB 帯域幅が 1GHz 以上のテスト機器で行います。

図 6-11. レシーバのイネーブル / ディセーブル時間テ스트回路と波形

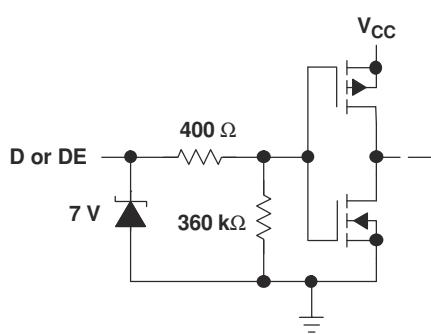


- A. すべての入力パルスは、プラグイン E4832A を備えた Agilent 81250 Parallel BERT Stimulus System から供給されます。
- B. サイクル間測定は、TDSJIT3 アプリケーション ソフトウェアを実行している TEK TDS6604 で行います。
- C. 他のすべてのジッタ測定は、Agilent Infinium DCA-J 86100C Digital Communications Analyzer で行います。
- D. 周期ジッタとサイクル間ジッタは、125MHz 50 ±1% デューティ サイクルのクロック入力を使用して測定します。75K を超えるサンプルで測定。
- E. 確定的ジッタとランダム ジッタは、250Mbps $2^{15}-1$ PRBS 入力を使用して測定します。BER = 10^{-12} 超で測定

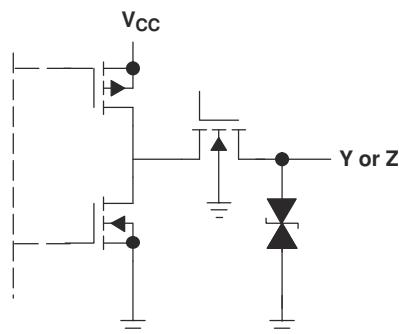
図 6-12. レシーバのジッタ測定波形

6.1 等価な入力および出力回路図

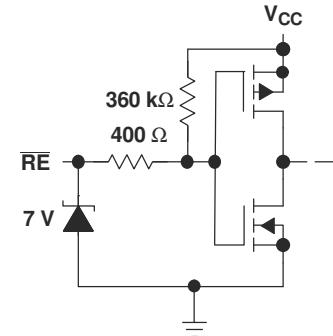
DRIVER INPUT AND DRIVER ENABLE



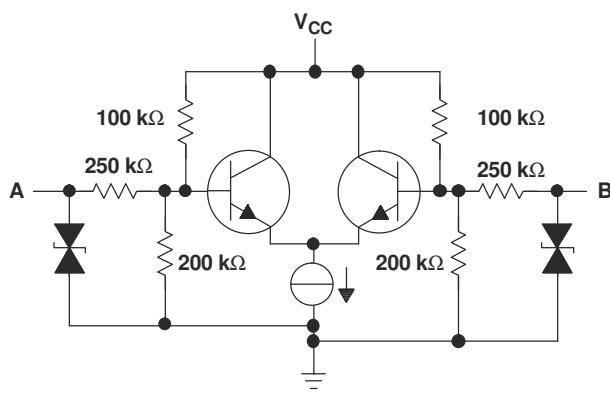
DRIVER OUTPUT



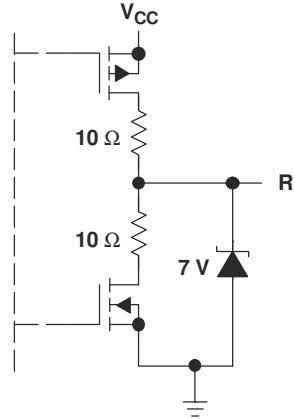
RECEIVER ENABLE



RECEIVER INPUT



RECEIVER OUTPUT



7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

7.1.1 ソース同期システム クロック (SSSC)

同期システムでデータを送信するには、集中型同期システム クロック (CSSC) とソース同期システム クロック (SSSC) の 2 つの方法があります。CSSC システムは、中央のソースからのクロック信号を使用して、異なるモジュール間でのデータ転送を同期します。CSSC システムの主要な要件は、データの送受信が 1 クロック サイクルで完了することです。最大動作周波数は、有効なデータの送受信が保証される最短クロック サイクルの逆数です。SSSC システムは、クロック信号とデータ信号と一緒に送信して、伝送メディア、バックプレーン、またはケーブルでのフライタイムを削減することで、より高い動作周波数を実現します。SSSC システムでは、最大動作周波数は、クロックとデータの間に存在する場合がある累積スキューによって制限されます。CSSC とは異なり、バックプレーン上のデータのフライタイムの絶対値が動作周波数を制限することはありません。

SN65MLVD082 は、ソース同期システム クロック (SSSC) 動作をサポートするために、データとクロックとのインターフェイスを実現するよう設計できます。最大 250Mbps のデータ転送と、最大 125MHz のクロック周波数の転送が規定されています。図 7-1 に、M-LVDS ランシーバでサポートされる SSSC アーキテクチャの例を示します。SN65MLVD206 はシングル チャネル ランシーバであり、モジュール間でメイン システム クロックを送信します。その後、リタイミング ユニットがイン システム クロックに適用され、サブシステムの同期処理用のローカル クロックを生成します。システム動作データ (または制御) とサブシステム クロック信号は、モジュール 1 上のマイクロプロセッサ、FPGA、ASIC などのデータ処理ユニットから生成され、SN65MLVD082 経由でスレーブ モジュールに送信されます。このような設計構成は、バックプレーンを経由し、より高い SSSC サブシステム クロック周波数でパラレル制御データを送信する際には一般的です。サブシステムのクロック周波数を、データ処理ユニットの動作周波数と整合させて、複数のユニット間でデータ転送を同期させます。

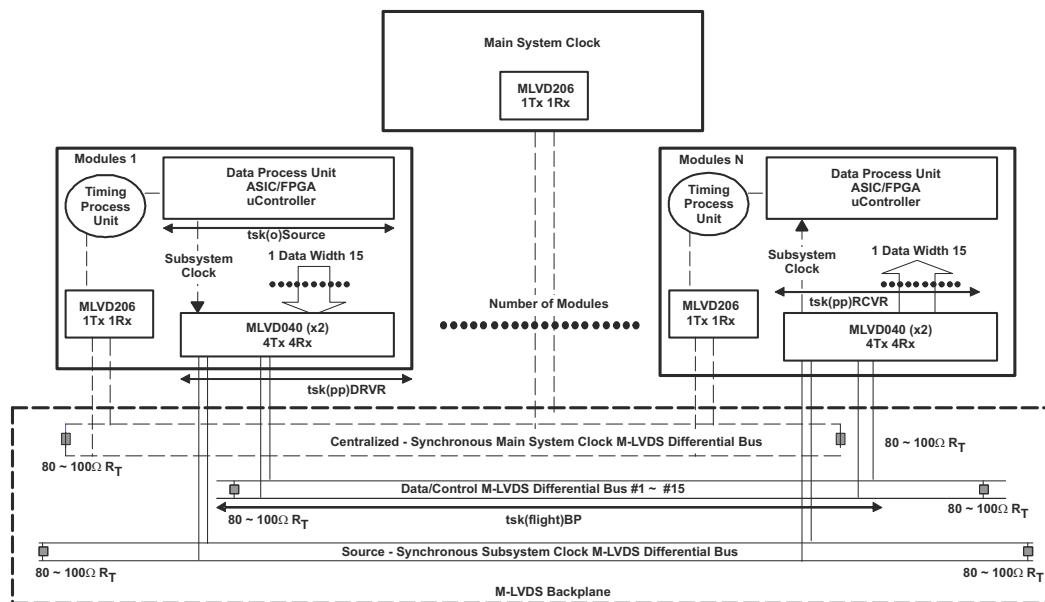


図 7-1. 差動 M-LVDS を使用したソース同期システム クロック分配の実行

透過モードでの最大 SSSC 周波数は、式 1 で計算できます。

$$f_{\max(\text{clk})} < 1 / [t_{\text{sk}(o)\text{Source}} + t_{\text{sk}(pp)\text{DRV}} + t_{\text{sk}(\text{flight})\text{BP}} + t_{\text{sk}(pp)\text{RCVR}}] \quad (1)$$

この例では、レシーバ側のセットアップ時間とホールド時間は、データ処理ユニット、FPGA、または ASIC によって決定されます。データがトランシーバのみを通過することを考慮すると、以下のデータを使用した場合、一般的な計算結果は 238 MHz となります。

$t_{\text{sk}(o)\text{Source}} = 2\text{ns}$ – データ処理ユニットの出力スキー、データビットまたはクロックおよびデータビット間の任意のスキー

$t_{\text{sk}(pp)\text{DRV}} = 0.6\text{ns}$ – SN65MLVD040 のドライバ部品間スキー

$t_{\text{sk}(\text{flight})\text{BP}} = 0.4\text{ns}$ – データとクロックとの間のバックプレーン伝搬遅延のスキー

$t_{\text{sk}(pp)\text{RCVR}} = 1\text{ns}$ – SN65MLVD040 のレシーバ部品間スキー

上記で計算した最大動作速度 238MHz は、データとクロックのスキーのみに基づいて決定されています。最大動作速度を計算するときのもう 1 つの重要な考慮事項は、出力遷移時間です。遷移時間制限された動作速度は 式 2 で計算されます。

$$f = 45\% \times \frac{1}{2 \times t_{\text{transition}}} \quad (2)$$

SN65MLVD040 の標準遷移時間である 1.4ns を使用すると、遷移時間制限された動作周波数 170 MHz をサポートできます。

SN65MLVD040 は、SSSC の高い動作周波数を保証できることに加えて、他の M-LVDS バストランシーバが実現できる利点も提供します。

- 低電圧差動レシーバを使用した同相ノイズ キャンセル機能による、堅牢なシステム動作
- 差動信号に起因する EMI 放射ノイズが小さく、バックプレーン経由のシグナル インテグリティが向上
- シングル終端の伝送ラインは、設計と実装が容易
- アクティブ モードとアイドル モードの両方で消費電力が低いため、各モジュールの熱の問題を最小限に抑えることが可能

高密度バックプレーン設計では、システム全体の性能を向上させるうえで、これらの利点が重要になります。

7.1.1.1 活線挿抜 / グリッチのない電源オン / オフ

テキサス・インスツルメンツが提供する SN65MLVD040 ファミリ製品は、電源オンまたは電源オフ時にデバイスの M-LVDS 出力がオンになるのを防止するグリッチ フリーの電源オン / オフ機能を備えています。デバイスが M-LVDS マルチポイントバスに物理的に接続され、 V_{CC} が上昇している場合、活線挿抜アプリケーションではこれは特に重要です。

これらのデバイスの M-LVDS インターフェイスは電源オン / オフ時にグリッチがありませんが、レシーバの出力構造はそうではありません。[図 7-2](#) に、 V_{CC} (チャネル 1) が上昇したときのレシーバ出力ピン R (チャネル 2) の性能を示します。

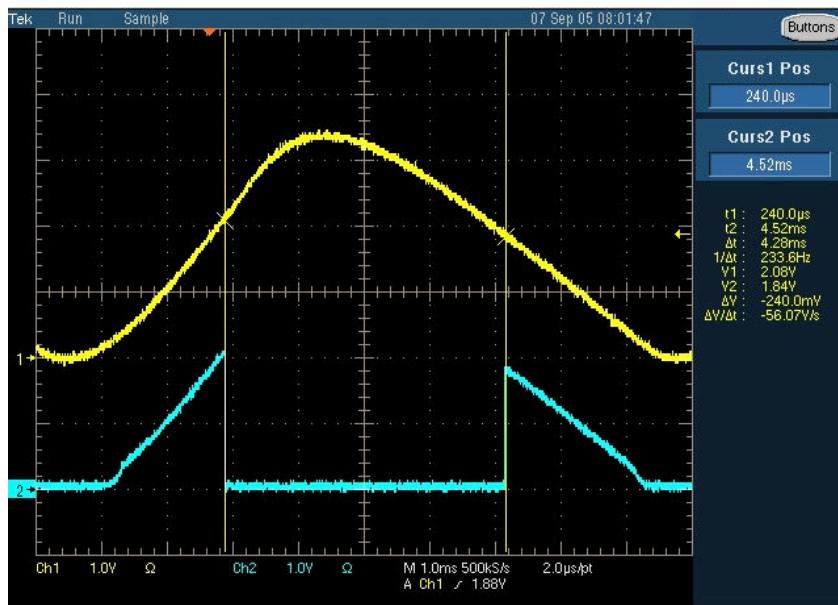


図 7-2. M-LVDS レシーバ出力 : V_{CC} (チャネル 1)、R ピン (チャネル 2)

R ピンのグリッチは、 \overline{RE} 電圧に依存しません。このグリッチによるあらゆる複雑な現象や問題は、電源シーケンスまたは V_{CC} が定常状態値に達するまで動作を中断するシステム要件で解消します。

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

8.1 ドキュメントのサポート

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 商標

PowerPAD™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (February 2010) to Revision A (March 2024)

Page

- | | |
|--|---|
| • ドキュメント全体にわたって表、図、相互参照の採番方法を更新。 | 1 |
|--|---|

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報はそのデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN65MLVD040RGZR	Active	Production	VQFN (RGZ) 48	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	MLVD040
SN65MLVD040RGZR.B	Active	Production	VQFN (RGZ) 48	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	MLVD040
SN65MLVD040RGZT	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	MLVD040
SN65MLVD040RGZT.B	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	MLVD040
SN65MLVD040RGZTG4	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	MLVD040
SN65MLVD040RGZTG4.B	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	MLVD040

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

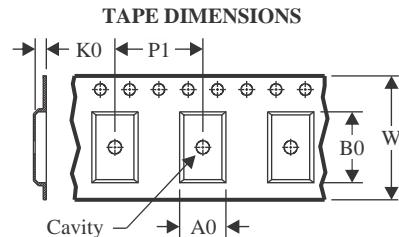
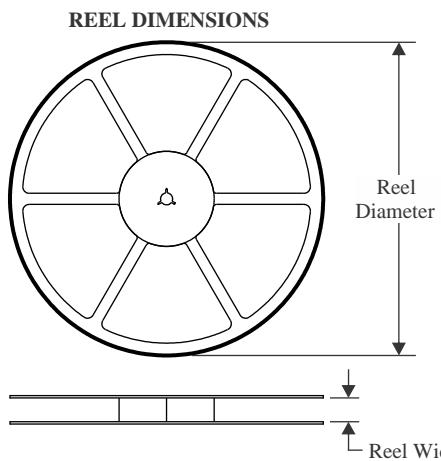
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

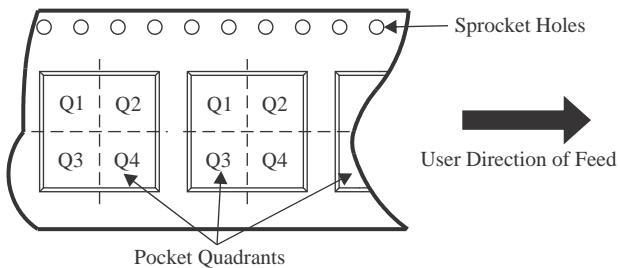
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



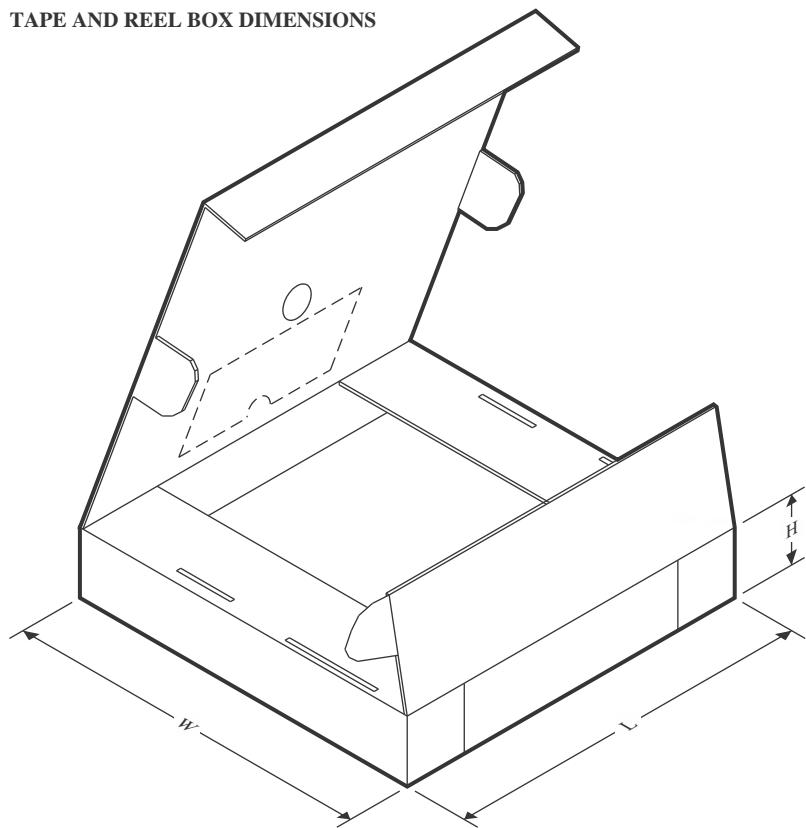
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN65MLVD040RGZR	VQFN	RGZ	48	2500	330.0	16.4	7.3	7.3	1.5	12.0	16.0	Q2
SN65MLVD040RGZT	VQFN	RGZ	48	250	180.0	16.4	7.3	7.3	1.5	12.0	16.0	Q2
SN65MLVD040RGZTG4	VQFN	RGZ	48	250	180.0	16.4	7.3	7.3	1.5	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN65MLVD040RGZR	VQFN	RGZ	48	2500	353.0	353.0	32.0
SN65MLVD040RGZT	VQFN	RGZ	48	250	213.0	191.0	35.0
SN65MLVD040RGZTG4	VQFN	RGZ	48	250	213.0	191.0	35.0

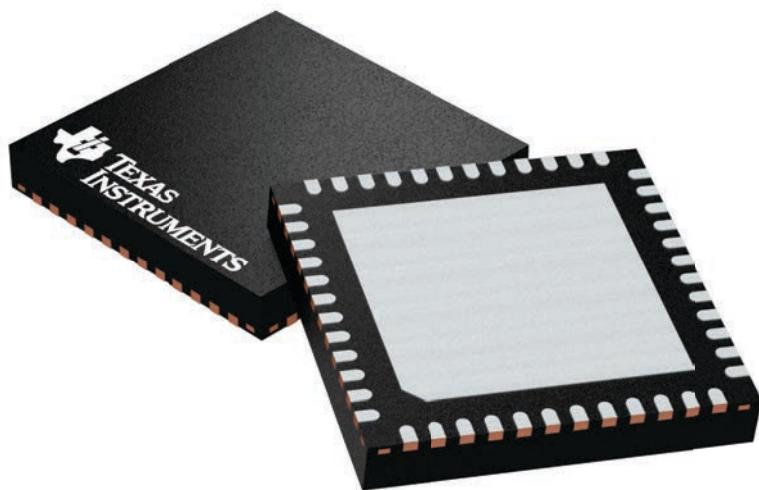
GENERIC PACKAGE VIEW

RGZ 48

VQFN - 1 mm max height

7 x 7, 0.5 mm pitch

PLASTIC QUADFLAT PACK- NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224671/A

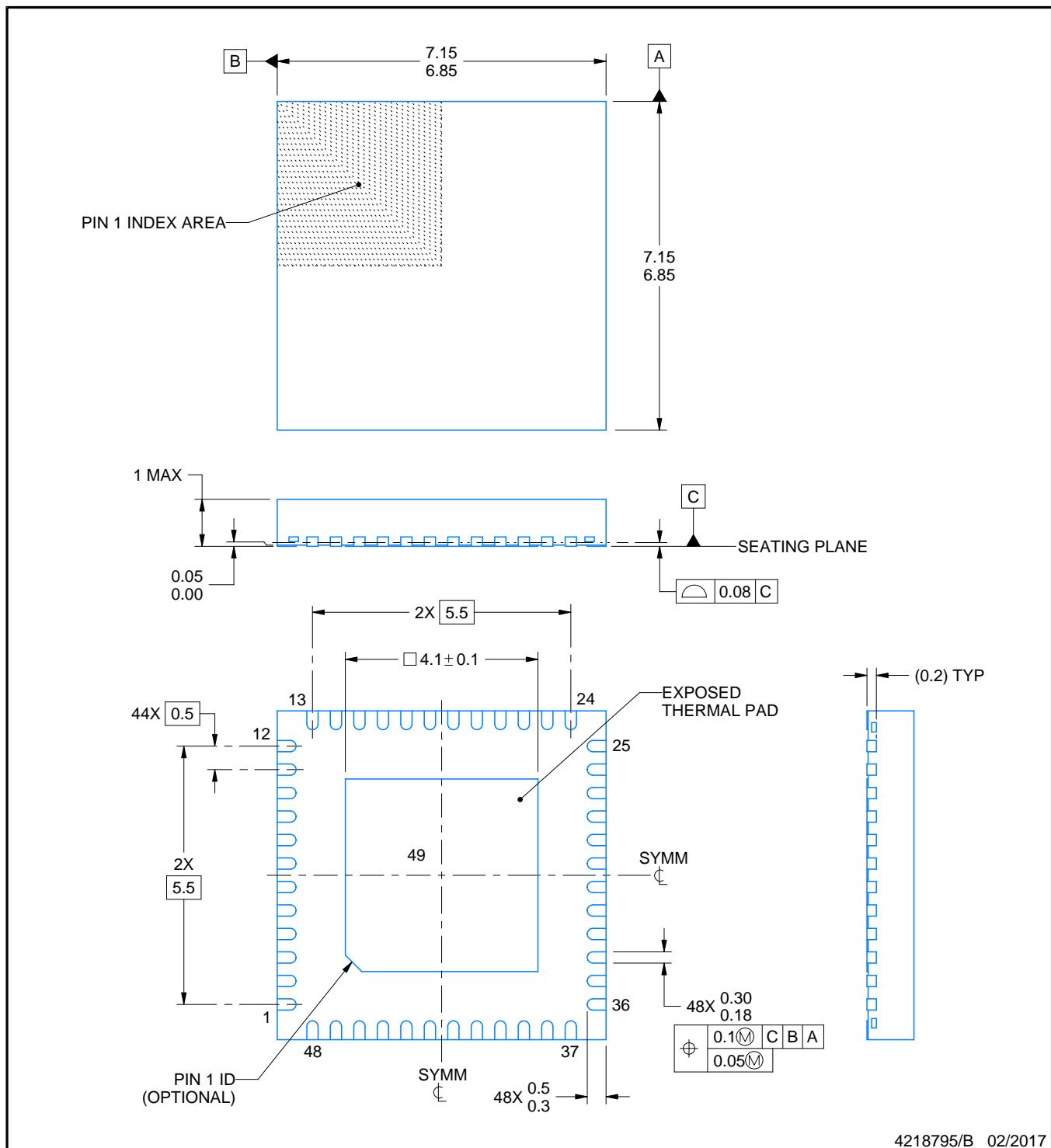
RGZ0048B



PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

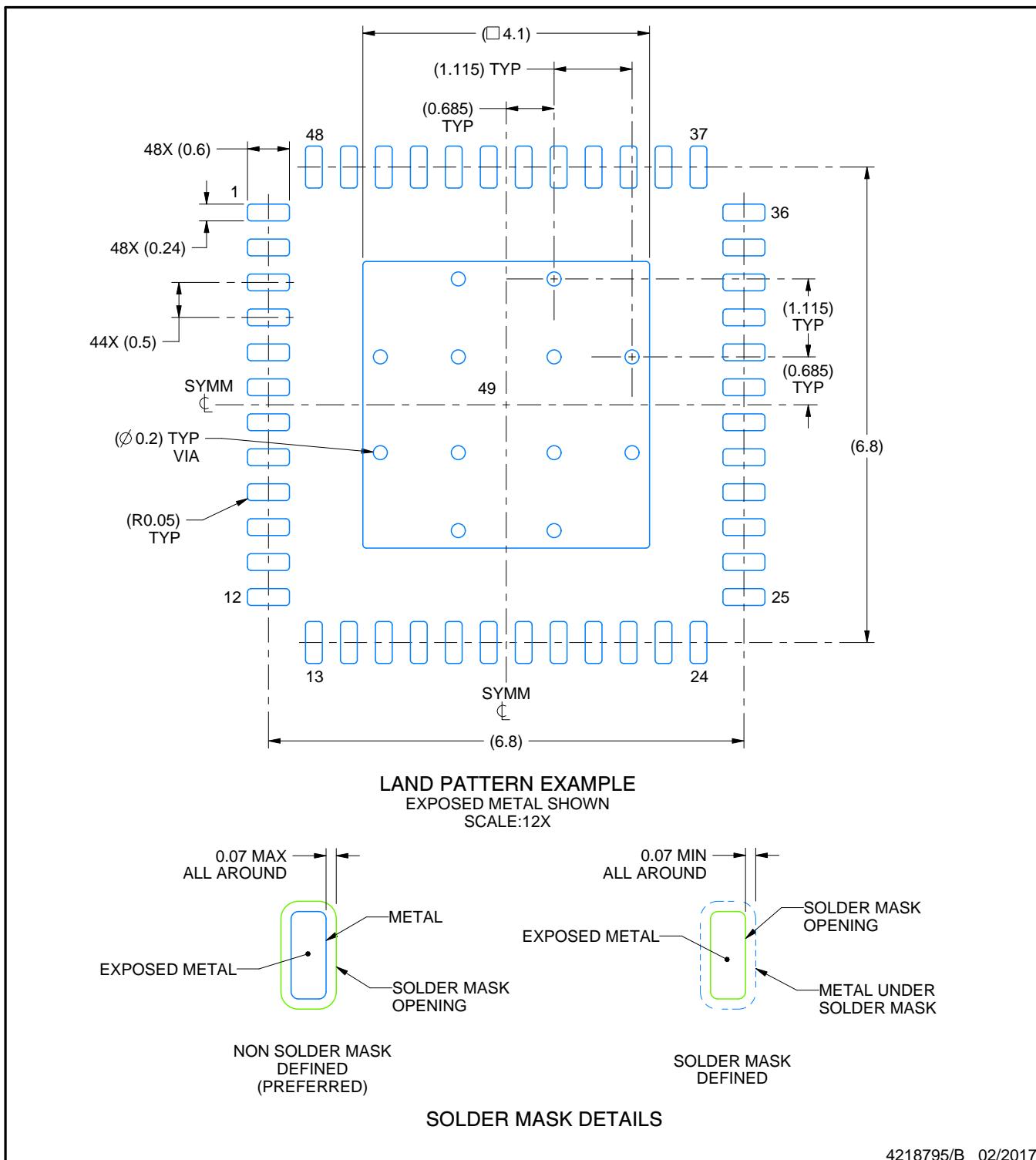
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RGZ0048B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

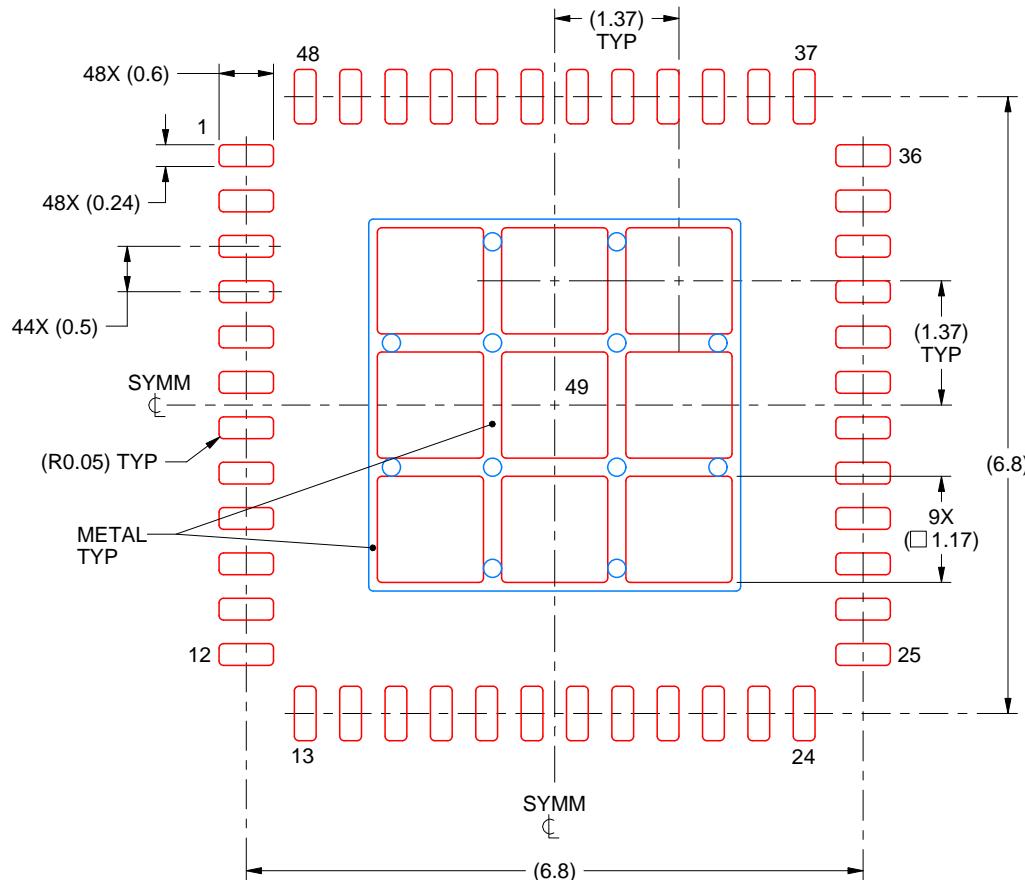
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGZ0048B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 49
73% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:12X

4218795/B 02/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適したTI製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているTI製品を使用するアプリケーションの開発の目的でのみ、TIはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TIや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TIおよびその代理人を完全に補償するものとし、TIは一切の責任を拒否します。

TIの製品は、[TIの販売条件](#)、[TIの総合的な品質ガイドライン](#)、[ti.com](#)またはTI製品などに関連して提供される他の適用条件に従い提供されます。TIがこれらのリソースを提供することは、適用されるTIの保証または他の保証の放棄の拡大や変更を意味するものではありません。TIがカスタム、またはカスタマー仕様として明示的に指定していない限り、TIの製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TIはそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025年10月