SN55LVTA4-SEP 耐放射線特性クワッド チャネル高速差動ライン ドライバ

1 特長

- VID V62/25605-01XE
- 総吸収線量(TID)特性:30krad(Si)
  - ウェハー ロットごとに 30krad (Si) までの累積線量耐性放射線ロット受け入れ試験 (TID RLAT)
- シングル イベント効果 (SEE) 特性:
  - シングル イベント ラッチアップ (SEL) 耐性:線エネルギー付与 (LET) = 50MeV-cm2/mg
  - シングル イベント過渡 (SET) 特性:50MeV-cm^2/mg。
- ANSI TIA/EIA-644 標準の要件を満たす、または超える性能
- 低電圧差動信号処理で、標準出力電圧は 350mV、負荷は 100Ω です
- 標準出力電圧の立ち上がり/立ち下がり時間は 500ps (400Mbps) です
- 伝搬遅延時間の標準値は 1.7ns です
- 3.3V 単一電源で動作
- ドライバごとに 200MHz で標準 25mW の消費電力
- ディセーブル時、または V_{CC} = 0 の場合、ドライバは高インピーダンス
- 8kV を超えるバス端子 ESD 保護
- 低電圧 TTL (LVTTL) ロジック入力レベル
- 冗長性を必要とする宇宙および高信頼性アプリケーション用のコールド スペアリング
- 宇宙向け強化プラスチック (SEP)
  - 管理されたベースライン
  - 金 ワイヤ、NiPdAu リード仕上げ
  - 1 つのアセンブリ / テスト拠点と 1 つの製造拠点
  - 長期にわたる製品ライフ サイクル
  - 軍用温度範囲:-55℃～125℃
  - 製品のトレーサビリティ
  - NASA ASTM E595 アウトガス仕様に適合

2 アプリケーション

- 低軌道 (LEO) 衛星システム
- コマンドとデータの処理 (C&DH)
- 通信ペイロード
- 光学画像処理ペイロード
- レーダー画像処理ペイロード

3 説明

SN55LVTA4-SEP は、3.3V 電源を使用した低電圧差動信号 (LVDS) の電気的特性を実装した差動ラインドライバです。このデバイスは、イネーブル時に 100Ω の負荷に対して 247mV の最小差動出力電圧振幅を供給します。

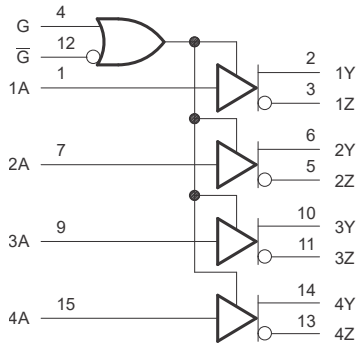
このデバイスと信号処理手法の意図するアプリケーションは、約 100Ω の制御インピーダンス メディアを介した、ポイント ツー ポイントおよびマルチドロップ (1 つのドライバと複数のレシーバ) データ転送の両方です。伝送媒体にはプリント基板のトレース、バックプレーン、ケーブルを使用できます。データ転送の最高速度および最大距離は、メディアの減衰特性と周囲からのノイズに依存します。

SN55LVTA4-SEP は、-55℃～125℃の温度範囲の動作で特徴づけられています。

パッケージ情報

部品番号	パッケージ(1)	パッケージ サイズ(2)
SN55LVTA4-SEP	D (SOIC、16)	9.9mm × 6mm

(1) 詳細については、セクション 16 を参照してください。
(2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



SN55LVTA4-SEP 概略論理図 (正論理)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....4
5.5 電気的特性.....5
5.6 スイッチング特性.....6
5.7 代表的特性.....7
6 パラメータ測定情報.....8
7 詳細説明.....10
7.1 概要.....10
7.2 機能ブロック図.....10
7.3 機能説明.....10
7.4 デバイスの機能モード.....11
8 アプリケーションと実装.....12
8.1 アプリケーション情報.....12
9 デバイスおよびドキュメントのサポート.....19
9.1 関連資料.....19
10 ドキュメントの更新通知を受け取る方法.....19
11 サポート・リソース.....19
12 商標.....19
13 静電気放電に関する注意事項.....19
14 用語集.....19
15 改訂履歴.....19
16 メカニカル、パッケージ、および注文情報.....21

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

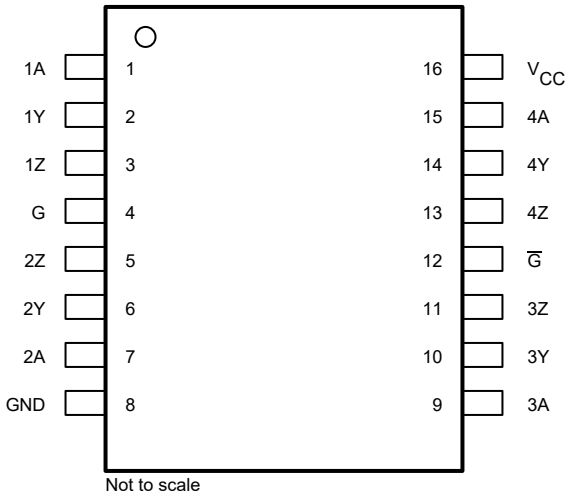


図 4-1. D パッケージ、16 ピン SOIC (上面図)

表 4-1. ピンの機能

ピン		種類[(1)]	説明
名称	番号		
1A	1	I	LVTTL 入力信号、300kΩ 内部プルダウン
1Y	2	O	差動 (LVDS) 非反転出力
1Z	3	O	差動 (LVDS) 反転出力
G	4	I	イネーブル (HI =イネーブル) (フローティング状態のままにしてはいけません)
2Z	5	O	差動 (LVDS) 反転出力
2Y	6	O	差動 (LVDS) 非反転出力
2A	7	I	LVTTL 入力信号、300kΩ 内部プルダウン
GND	8	G	グランド
3A	9	I	LVTTL 入力信号、300kΩ 内部プルダウン
3Y	10	O	差動 (LVDS) 非反転出力
3Z	11	O	差動 (LVDS) 反転出力
$\overline{G}$	12	I	イネーブル (LO =イネーブル) (フローティング状態のままにしてはいけません)
4Z	13	O	差動 (LVDS) 反転出力
4Y	14	O	差動 (LVDS) 非反転出力
4A	15	I	LVTTL 入力信号、300kΩ 内部プルダウン
V_{CC}	16	P	電源電圧

(1) 信号タイプ:I:入力、O:出力、I/O:入力または出力、P:電源、G: グランド

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) [(1)]

		最小値	最大値	単位
電源電圧	V_{CC}	-0.5	4	V
入力電圧	V_I	-0.5	V_{CC} + 0.5	V
リード温度	ケースから 1.6mm (1/16 インチ) 離れた点で 10 秒間		260	℃
接合部温度、T_J		-55	140	℃
保管温度、T_{stg}		-65	150	℃

(1) *絶対最大定格*を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、「*推奨動作条件*」に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

5.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[(1)]	バス端子および GND	±8,000	V
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[(1)]	バス端子と GND を除くすべてのピン	±4,000	V
$V_{(ESD)}$	静電放電	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠[(2)]		±1,000	V

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{CC}	電源電圧		3	3.3	3.6	V
V_{IH}	High レベル入力電圧		2			V
V_{IL}	Low レベル入力電圧				0.8	V
T_A	動作時の周囲温度		-55		125	℃
TPCB	PCB 温度	デバイスから 1mm 離れています	-55		128	℃
T_J	接合部温度		-55		135	℃

5.4 熱に関する情報

熱評価基準[(1)]		D (SOIC) 16 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	84.8	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	46.0	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	41.8	℃/W
ψ_{JT}	接合部から上面への特性パラメータ	11.1	℃/W

Copyright © 2025 Texas Instruments Incorporated

5.4 熱に関する情報 (続き)

熱評価基準[1]		D (SOIC) 16 ピン	単位
ψ_{JB}	接合部から基板への特性パラメータ	41.5	°C/W

(1) 従来および最新の熱評価基準の詳細については、『*半導体および IC パッケージの熱評価基準*』アプリケーション レポートを参照してください。

5.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件			最小値	標準値	最大値	単位
ドライバ								
V_{OD}	ドライバの差動出力電圧	R_L = 100 Ω			247	340	454	mV
$\Delta\|V_{OD}\|$	ロジック状態間の差動出力電圧の変化	R_L = 100 Ω			-50		50	mV
$V_{OC(SS)}$	定常同相出力電圧	R_L = 100 Ω			1.125	1.2	1.375	V
$\Delta V_{OC(SS)}$	定常同相出力電圧の変化	R_L = 100 Ω			-50		50	mV
$V_{OC(PP)}$	ピーク ツー ピークの同相出力電圧	R_L = 100 Ω				50		mV
I_O(OFF)	出力電流、電源がオフ	V_{CC} = 0、V_O = 2.4V			-4		4	µA
I_{OZ}	高インピーダンス状態の出力電流	V_O = 0 または 2.4V, G = 0.8V および $\overline{G}$ = 2V			-1		1	µA
I_{OS}	短絡出力電流、Y または Z	V_O = 0V				-4	-24	mA
I_{OS}	短絡出力電流、Y と Z	V_{OD} = 0 V			-12		12	mA
入力								
V_{IH}	High レベル入力電圧 (G、$\overline{G}$、A)	V_{CC} = 3V～3.6V			2			V
V_{IL}	Low レベル入力電圧 (G、$\overline{G}$、A)	V_{CC} = 3V～3.6V					0.8	V
I_{IH}	High レベル入力電流 ($\overline{G}$)	V_{IH} = 3.6V、V_{CC} = 0V または 3.6V				4	20	µA
I_{IL}	Low レベル入力電流 ($\overline{G}$)	V_{IL} = 0V、V_{CC} = 0V または 3.6V				0.1	10	µA
I_{IH}	High レベル入力電流 (G)	V_{IH} = 3.6V、V_{CC} = 0V または 3.6V				4	20	µA
I_{IL}	Low レベル入力電流 (G)	V_{IL} = 0V、V_{CC} = 0V または 3.6V				0.1	10	µA
I_{IH}	High レベル入力電流 (G)	V_{IH} = 3.6V、V_{CC} = 0V または 3.6V				4	20	µA
I_{IL}	Low レベル入力電流 (A)	V_{IL} = 0V、V_{CC} = 0V または 3.6V				0.1	10	µA
C_I	グランドに対する入力容量 (G、$\overline{G}$、A)	V_{CC} = 0V～3.6V				5		pF
電源								
I_{CC}	電源電流	V_I = V_{CC} または GND、無負荷、イネーブル	-55°C < T_A < 125°C			9	20	mA
		V_I = V_{CC} または GND、R_L = 100Ω、イネーブル	-55°C < T_A < 125°C			25	35	mA
I_{CC}	電源電流 (静止時)	V_I = V_{CC} または GND、無負荷、ディスエーブル	-55°C < T_A < 125°C			0.25	1	mA

5.6 スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
ドライバ							
t_r	差動出力立ち上がり時間 (20% ～ 80%)	R_L = 100Ω、C_L = 10pF 入力 t_r、t_f= 1ns、200MHz クロックパターン、入力 V_{IL} = 0.8V V_{IH} = V	V_{CC} = 3V～3.6V	0.4	0.5	1	ns
t_f	差動出力立ち下がり時間 (80% ～ 20%)		V_{CC} = 3V～3.6V	0.4	0.5	1	ns
t_{PHL}	伝搬遅延時間、出力立ち下がり	R_L = 100Ω、C_L= 10pF 入力 t_r、t_f= 1ns、200MHz クロックパターン、入力 V_{IL}=0.8V V_{IH}=2V	V_{CC} = 3V～3.6V	0.5	1.7	4.5	ns
t_{PLH}	伝搬遅延時間、出力立ち上がり	R_L = 100Ω、C_L= 10pF 入力 t_r、t_f= 1ns、200MHz クロックパターン、入力 V_{IL}=0.8V V_{IH}=2V	V_{CC} = 3V～3.6V	1	1.4	4	ns
$t_{SK (P)}$	パルス スキュー、$\|t_{PHL} – t_{PLH}\|$	R_L = 100Ω、C_L= 10pF 入力 t_r、t_f= 1ns、200MHz クロックパターン、入力 V_{IL}=0.8V V_{IH}=2V	V_{CC} = 3V～3.6V		0.3	0.6	ns
$t_{SK(O)}$	チャネル間の出力スキュー、$\|t_{PHL}$ ～ $t_{PHL}\|$ または $\|t_{PLH}$ ～ $t_{PLH}\|$	R_L = 100Ω、C_L= 10pF 入力 t_r、t_f= 1ns、200MHz クロックパターン、入力 V_{IL}=0.8V V_{IH}=2V	V_{CC} = 3V～3.6V		0.3	0.6	ns
$F_{(max)}$	最大動作周波数	R_L = 100Ω、C_L= 10pF 入力 t_r、t_f= 1ns、200MHz クロックパターン、入力 V_{IL}=0.8V V_{IH}=2V	V_{CC} = 3V～3.6V	200			MHz
t_{PHZ}	ディセーブル時間、1.4V 入力から 50% 出力	R_L = 100Ω、C_L= 10pF 入力 t_r、t_f= 1ns、イネーブル時の 1MHz クロック パターン、入力 V_{IL}=0.8V V_{IH}=2V	V_{CC} = 3V～3.6V		8.1	17	ns
t_{PLZ}	ディセーブル時間、1.4V 入力から 50% 出力	R_L = 100Ω、C_L= 10pF 入力 t_r、t_f= 1ns、イネーブル時の 1MHz クロック パターン、入力 V_{IL}=0.8V V_{IH}=2V			7.3	15	ns
t_{PZH}	イネーブル時間、1.4V 入力から 50% 出力	R_L = 100Ω、C_L= 10pF 入力 t_r、t_f= 1ns、イネーブル時の 1MHz クロック パターン、入力 V_{IL}=0.8V V_{IH}=2V			5.4	15	ns
t_{PZL}	イネーブル時間、1.4V 入力から 50% 出力	R_L = 100Ω、C_L= 10pF 入力 t_r、t_f= 1ns、イネーブル時の 1MHz クロック パターン、入力 V_{IL}=0.8V V_{IH}=2V			2.5	15	ns

Copyright © 2025 Texas Instruments Incorporated

5.7 代表的特性

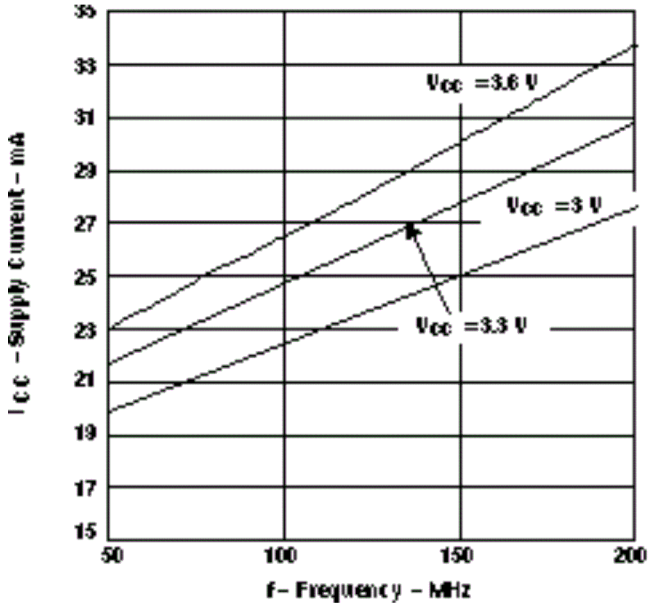


図 5-1. 電源電流と周波数との関係

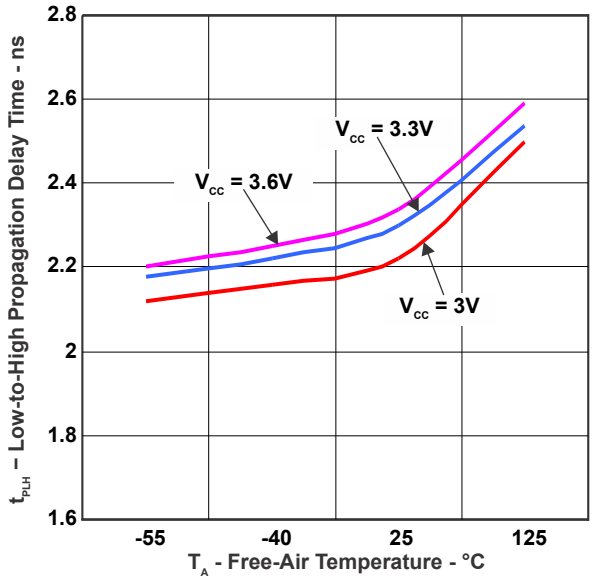


図 5-2. Low から High への伝搬遅延時間と周囲温度との関係

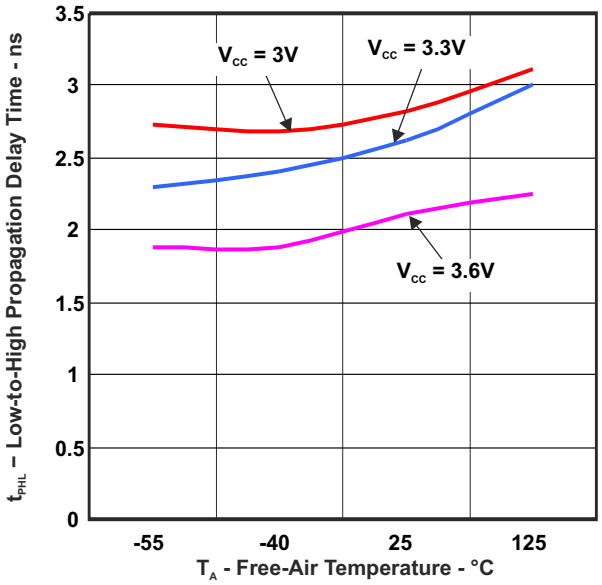


図 5-3. High から Low への伝搬遅延時間と周囲温度との関係

6 パラメータ測定情報

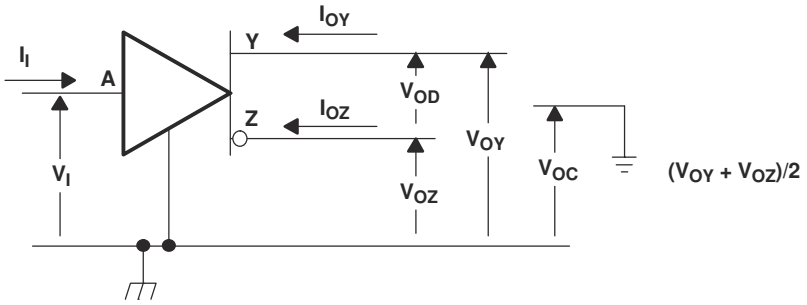
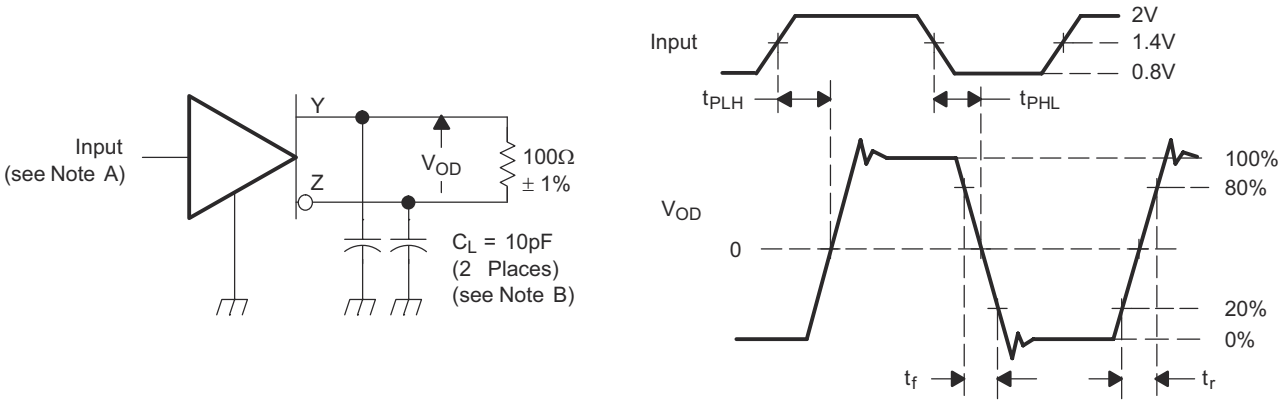


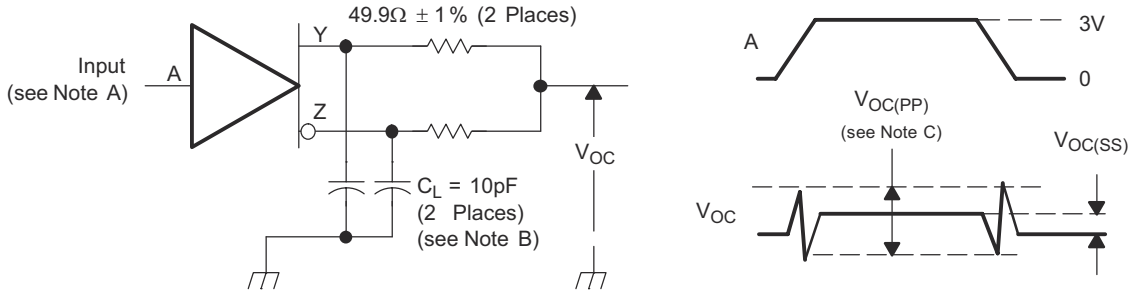
図 6-1. 電圧および電流の定義



A. すべての入力パルスは、tr または tf 3 1ns、パルス反復レート (PRR) = 50Mpps、パルス幅 = 10 ± 0.2ns の特性を持つジェネレータから供給されます。

B. C_L には、D.U.T から 6mm 以内の計測機器および治具の容量が含まれます。

図 6-2. 出力信号のドライバ テスト回路、タイミング、電圧の定義



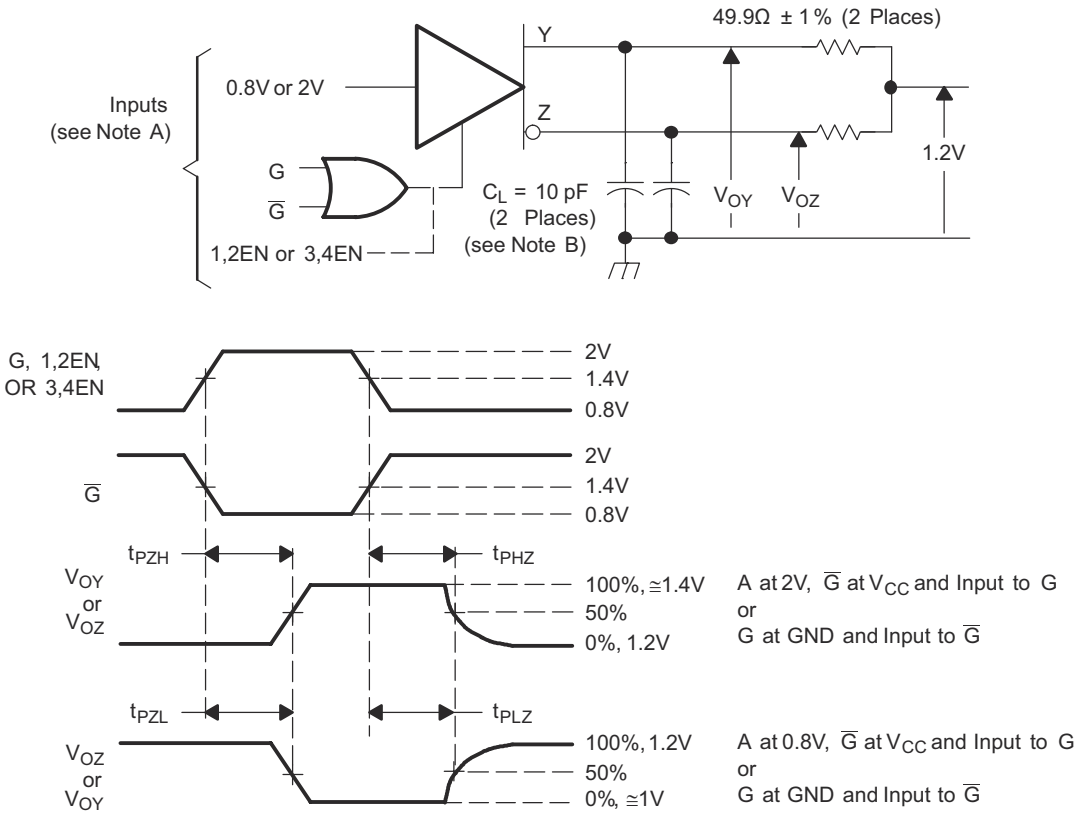
A. すべての入力パルスは、tr または tf 3 1ns、パルス反復レート (PRR) = 50Mpps、パルス幅 = 10 ± 0.2ns の特性を持つジェネレータから供給されます。

B. C_L には、D.U.T から 6mm 以内の計測機器および治具の容量が含まれます。

C. $V_{OC(PP)}$ の測定は、300 MHz 以上の -3dB 帯域幅を持つ試験装置で行います

図 6-3. ドライバの同相モード出力電圧のテスト回路と定義

Copyright © 2025 Texas Instruments Incorporated



A. すべての入力パルスは、tr または tf ≤ 1ns、パルス反復レート (PRR) = 0.5Mpps、パルス幅 = 500 ± 10ns の特性を持つジェネレータから供給されます。

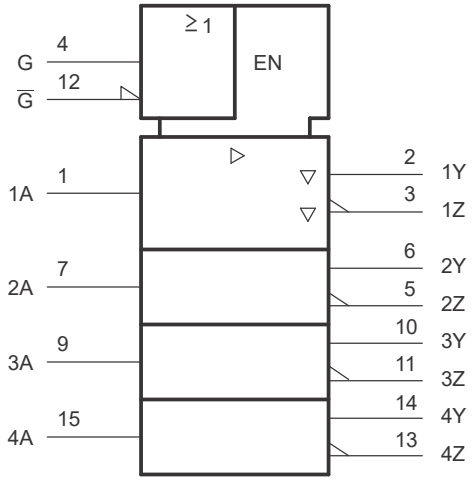
B. C_L には、D.U.T から 6mm 以内の計測機器および治具の容量が含まれます。

図 6-4. イネーブル / ディセーブル時間回路と定義

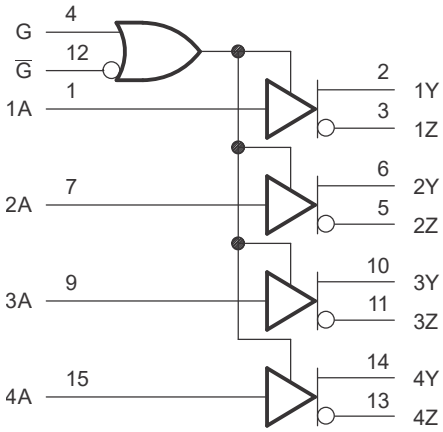
7 詳細説明

7.1 概要

7.2 機能ブロック図



This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.



7.3 機能説明

7.3.1 使用しないイネーブル ピン

使用しないイネーブル ピンは、必要に応じて V_{CC} または GND に接続する必要があります。

7.3.2 ドライバ ディスエーブル出力

ドライバがディセーブルされたとき、またはデバイスから電源が切断されたとき、ドライバ出力は高インピーダンスになります。

7.3.3 ドライバの等価回路図

ドライバの入力は、7V のツェナー ダイオードを使用した CMOS インバータ段で表されます。入力段は高インピーダンスで、グランドへの内部プルダウンを備えています。ドライバ入力がオープンのままの場合、ドライバ入力はドライバ回路の他の部分に Low レベル信号を供給し、Low レベル信号がドライバ出力ピンに出力されます。ツェナー ダイオードは ESD 保護を実現します。ドライバの出力段は差動ペアで、その半分を 図 7-1 に示します。入力段と同様に、ドライバの出力には ESD 保護のためのツェナー ダイオードを搭載しています。この回路図には、入力段信号に基づいて出力負荷回路に接続された一連の電流源 (公称 3.5mA) を含む出力段が示されています。出力段は、1 次では定電流源として動作します。

Copyright © 2025 Texas Instruments Incorporated

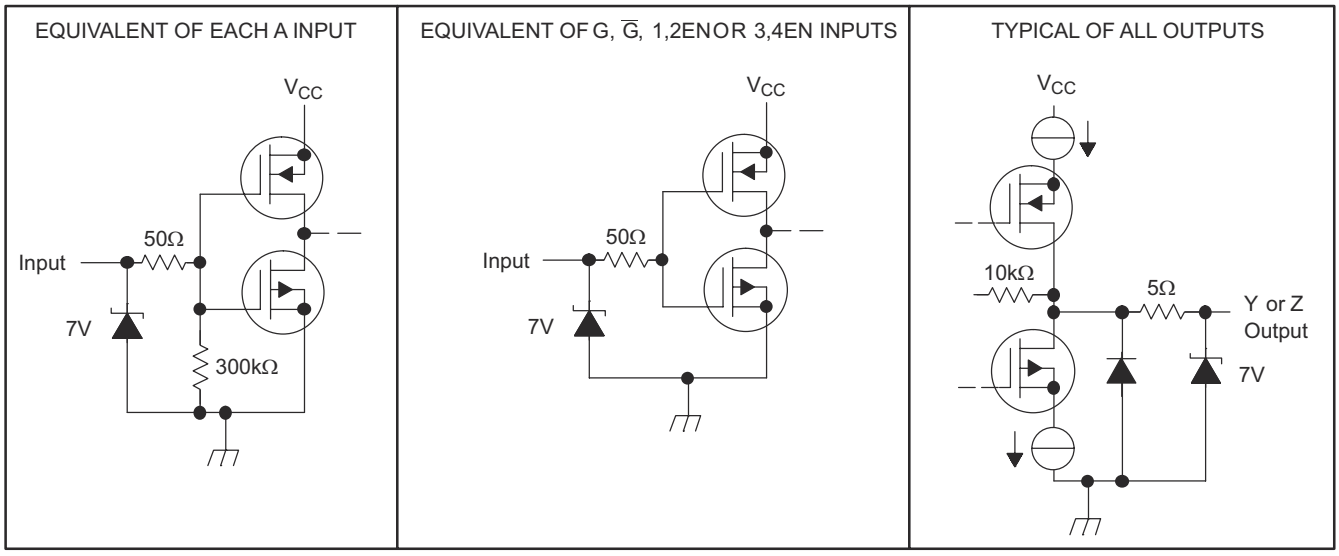


図 7-1. 等価な入力および出力回路図

7.4 デバイスの機能モード

表 7-1. SN55LVTA4-SEP 機能表 (1)

入力	有効		出力	
A	G	$\overline{G}$	Y	Z
H	H	X	H	L
L	H	X	L	H
H	X	L	H	L
L	X	L	L	H
X	L	H	Z	Z
オープン	H	X	L	H
オープン	X	L	L	H

(1) H = High レベル、L = Low レベル、X = 無関係、Z = 高インピーダンス (オフ)

8 アプリケーションと実装

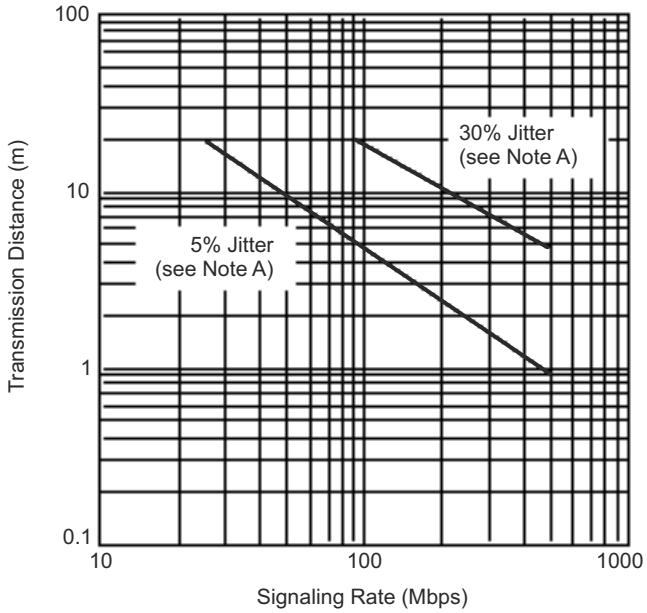
注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

8.1.1 代表的なアプリケーション

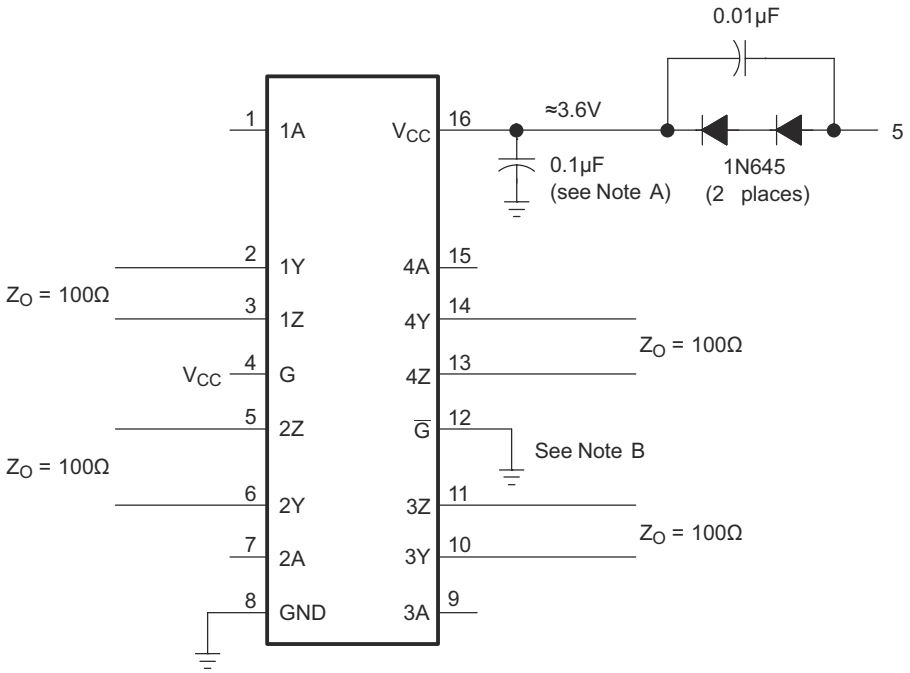
SN55LVTA4-SEP は一般に、グランドの差が 1V 未満の高速ポイント ツー ポイント データ転送のビルディング ブロックとして使用されます。SN55LVTA4-SEP は、RS-422、PECL、IEEE-P1596 と相互動作します。ドライバ/レシーバは、消費電力とデュアル電源の要件を必要とせずに、ECL 速度にアプローチします。



A. このパラメータは、擬似ランダムデータパターンを使用したユニット間隔 (UI) の歪みの割合です。

図 8-1. 標準的な伝送距離と信号速度との関係

Copyright © 2025 Texas Instruments Incorporated



A. 0.1µF Z5U セラミック、マイカ、またはポリスチレン誘電体 0805 サイズ) のチップコンデンサを V_{CC} とグランド プレーンの間に配置します。このコンデンサは、できる限りデバイス端子に近づけて配置する必要があります。

B. 使用しないイネーブル入力は、必要に応じて V_{CC} または GND に接続する必要があります。

図 8-2. 5V の電源で動作

8.1.1.1 詳細な設計手順

8.1.1.1.1 メディアの相互接続

ドライバとレシーバの間の物理的な通信チャネルには、LVDS 規格の要件を満たす、任意の平衡状態の金属導体ペアを使用できます。このメディアには、ツイスト ペア、Twinax、フラットリボン ケーブル、または PCB パターンを使用できます。相互接続の公称特性インピーダンスは 標準で 100Ω で、変動が 10% を超えないようにする必要があります (90Ω～110Ω)。

8.1.1.2 設計要件

設計パラメータ	数値の例
ドライバ電源電圧 (V_{CCD})	3.0 ～ 3.6V
ドライバの入力電圧	0.8 ～ 3.3V
ドライバの信号速度	DC から 400Mbps へ
相互接続特性インピーダンス	100Ω
終端抵抗	100Ω
レシーバ ノード数	1
レシーバ電源電圧 (V_{CCR})	3.0 ～ 3.6V
レシーバの入力電圧	0 ～ 2.4V
レシーバ信号速度	DC から 400Mbps へ
ドライバとレシーバの間のグランド シフト	±1V

8.1.1.3 アプリケーション曲線

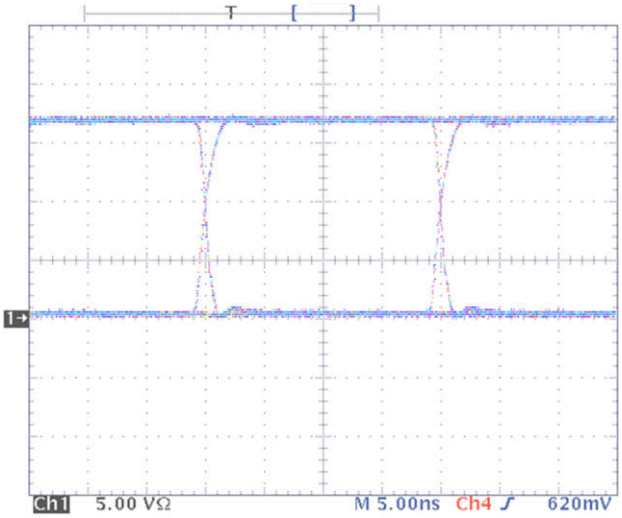


図 8-3. ポイント ツー ポイント システムの代表的なドライバ出力アイ パターン

8.1.2 コールド スペア

コールド スペアリングを使用するシステムには、電源を供給せずに電気的に接続された冗長装置があります。この構成をサポートするには、スペアがシステムに高入力インピーダンスを提供して、十分な電力を消費しないようにする必要があります。コールド スペアリングでは、デバイスの電源投入前とその際に、I/O に電圧を印加することがあります。デバイスの電源がオフのとき、V_{CC} はグランドにクランプされ、印加される I/O 電圧は指定された推奨動作条件の範囲内である必要があります。

8.1.3 電源に関する推奨事項

8.1.3.1 電源バイパス容量

バイパス コンデンサは、パワー ディストリビューション回路で重要な役割を果たします。特に、バイパス コンデンサは値に応じて、特定の周波数で電源とグランドの間に低インピーダンスの経路を作成します。低周波数では、電圧レギュレータによって端子とグランドの間に低インピーダンスのパスが提供されます。ただし、より高い周波数の電流が電源パターンを伝搬するため、電源でグランドへの低インピーダンス パスを維持できないことがよくあります。この欠点に対処するために、バイパス コンデンサを使用します。通常、ボード レベルで大容量のバイパス コンデンサ (10μF から 1000μF) を使用すると、kHz レンジまでの範囲で良好な成果を達成できます。リード線のサイズと長さの関係で、大容量コンデンサは、最新のデジタル回路のスイッチング周波数で大きなインダクタンス値を持つ傾向があります。この問題を解決するには、より小型のコンデンサ (nF ～ μF) を IC の隣にローカルに取り付けることができます。

積層セラミック チップまたは表面実装コンデンサ (サイズ 0603 または 0805) は、バイパス コンデンサのリード インダクタンスが約 1nH であるため、高速環境でのバイパス コンデンサのリード インダクタンスを最小限に抑えます。たとえば、リードがある標準的なコンデンサのリード インダクタンスは約 5nH です。

LVDS チップでローカルで使用するバイパス コンデンサの値は、式 1～式 2 の式で決定できます。200ps の控えめな立ち上がり時間と、1A のワーストケースの消費電流変化に、テキサス インスツルメンツが提供するすべての LVDS デバイスが対応しています。この例では、最大許容電源ノイズは 200mV ですが、この値は設計で利用可能なノイズ バジェットによって異なります。

$$C_{chip} = \left(\frac{\Delta I_{Maximum\ Step\ Change\ Supply\ Current}}{\Delta V_{Maximum\ Power\ Supply\ Noise}}\right) \times T_{Rise\ Time} \quad (1)$$

$$C_{LVDS} = \left(\frac{1A}{0.2V}\right) \times 200\,ps = 0.001\,\mu F \quad (2)$$

Copyright © 2025 Texas Instruments Incorporated

以下の例では、リード インダクタンスを低減し、基板レベルのコンデンサ (>10μF) と上記の容量値 (0.001μF) との間の中間周波数をカバーしています。最小の容量をチップにできる限り近づけて配置する必要があります。

図 8-4. 推奨される LVDS バイパス コンデンサのレイアウト

8.1.4 レイアウト

8.1.4.1 レイアウトのガイドライン

8.1.4.1.1 マイクロストリップとストリップラインのトポロジ

『LVDS アプリケーションおよびデータ ハンドブック』に従い、プリント基板には通常、2 つの伝送ラインのオプションが用意されています。マイクロストリップとストリップラインです。マイクロストリップは、図 8-5 に示すように、PCB の外層のパターンです。

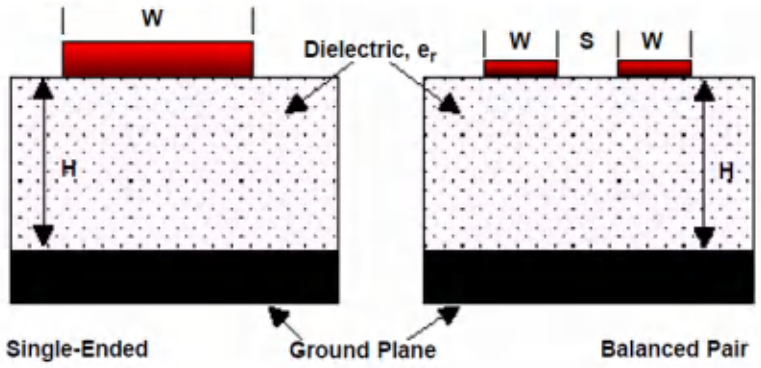


図 8-5. マイクロストリップのトポロジ

また、ストリップラインは 2 つのグランド プレーン間のパターンです。ストリップラインは、基準プレーンが埋め込まれたパターンを効果的にシールドするため、放射と外部からの影響に関する問題を受けにくくなります。ただし、高速伝送を考えると、2 つのプレーンを並べて使用すると、静電容量が増加します。可能であれば、LVDS 信号がマイクロストリップ伝送ラインを通るようにすることを推奨します。PCB パターンを使用すると、全体のノイズ バジェットと反射許容量に基づいて、Z_O に必要な公差を指定できます。

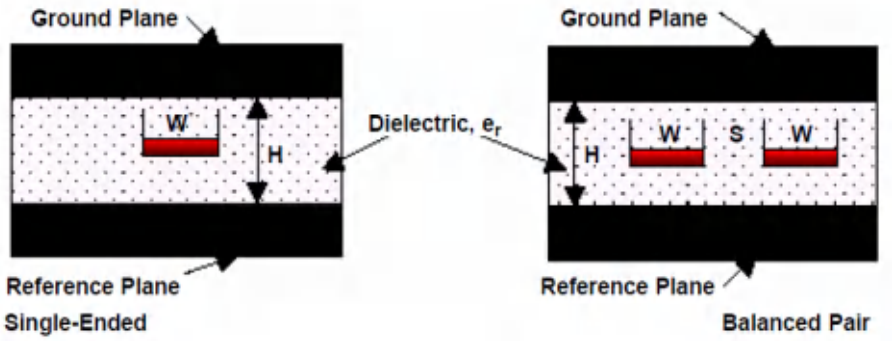


図 8-6. ストリップラインのトポロジ

8.1.4.1.2 誘電体の種類と基板構造

ボードを伝搬する信号の速度によって誘電体の選択が決まります。FR-4 または同等の製品は、通常、LVDS 信号で使用するのに十分な性能を発揮します。TTL/CMOS 信号の立ち上がり / 立ち下がり時間が 500ps 未満であれば、Rogers™ 4350 や Nelco N4000-13 のような誘電率が 3.4 に近い材料の方がより適していることが経験的に分かっています。設計者が誘電体を選択しても、性能に影響を及ぼす可能性のある、基板構造に関連する複数のパラメータが存在します。以下に示す一連のガイドラインは、LVDS デバイスを使用するいくつかの設計により、実験的に策定されたものです。

- 銅の重量:15g または 1/2 オンスからメッキを開始し、30g または 1 オンスにする
- 露出した回路はすべて、7.62µm または 0.0003 インチ (最小値) の半田メッキ (60/40) を行う必要があります。
- スルーホールの銅めっきは 25.4µm または 0.001 インチ (最小値) である必要があります。
- 高温エア レベリングによるベア銅箔上の半田マスク

8.1.4.1.3 推奨されるスタック レイアウト

選択した誘電体と設計仕様に従って、ユーザーはスタックで使用するレベルの数を決定する必要があります。TTL/CMOS から LVDS へのクロストークを低減するには、図 8-7 に示すように、少なくとも 2 つの独立した信号プレーンを用意することを推奨します。

Layer 1: Routed Plane (LVDS Signals)
Layer 2: Ground Plane
Layer 3: Power Plane
Layer 4: Routed Plane (TTL/CMOS Signals)

図 8-7. 4 層 PCB 基板

注

2 層と 3 層の間隔は 127µm (0.005 インチ) である必要があります。電源プレーンとグランド プレーンの緊密な結合を維持することで、増加した容量は過渡信号に対するバイパスとして機能します。

最も一般的なスタック構成の 1 つは、図 8-8 に示す 6 層基板です。

Layer 1: Routed Plane (LVDS Signals)
Layer 2: Ground Plane
Layer 3: Power Plane
Layer 4: Ground Plane
Layer 5: Ground Plane
Layer 6: Routed Plane (TTL Signals)

図 8-8. 6 層 PCB 基板

この具体的な構成では、少なくとも 1 つのグランド プレーンを使用して、各信号層を電源プレーンから絶縁できます。その結果、シグナル インテグリティは向上しますが、製造にはコストがかかります。レイアウト設計者が信号層 1 および 6 のグランド プレーンへのリファレンスを確保できることに加えて、信号層と基準プレーンの間の距離を柔軟に変更できるため、6 層基板の使用が推奨されます。

8.1.4.1.4 パターン間の分離

パターンの間隔はいくつかの要因に依存しますが、通常は許容される結合の量によって実際の間隔が決まります。低ノイズ結合では、電磁場の打ち消しを活用するために、LVDS リンクの差動ペアが密接に結合していることが必要です。これらのパターンは 100Ω 差動で、この要件に最も適した方法で結合する必要があります。さらに、差動ペアはペア間の平衡を保つために同じ電気的長さを持つ必要があり、これにより、スキューと信号反射の問題を最小限に抑えることができます。

Copyright © 2025 Texas Instruments Incorporated

隣接するシングルエンド パターンが 2 つある場合、3W のルールを使用する必要があります。このルールでは、2 つのパターン間の距離は、単一パターンの幅の 2 倍、またはパターンの中心からパターンの中心まで測定した幅の 3 倍を超える必要があります。このように分離を増やすことで、クロストークの可能性が実質的に減少します。隣接する LVDS 差動ペア間の分離にも、パターンがエッジ結合かブロードサイド結合かにかかわらず、同じルールを適用する必要があります。

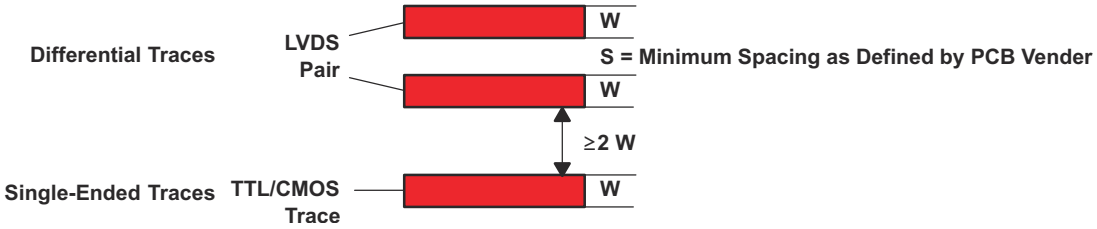


図 8-9. シングルエンドおよび差動パターンの 3W ルール (上面図)

オートルータを使用する場合は、オートルータがクロストークや信号反射に影響するすべての要因を考慮しているとは限らないため、ユーザーは注意が必要です。たとえば、信号路の不連続性を防ぐために、90° の急な角を避けることが最善です。45° の角を連続して使用すると、反射を最小限に抑える傾向があります。

8.1.4.1.5 クロストークおよびグランド バウンスの最小化

クロストークを低減するには、高周波電流の帰路を、発生元のパターンにできるだけ近い場所に配置することが重要です。通常、グランド プレーンでこれを実現できます。リターン電流は常に最小のインダクタンスのパスを選択するため、元のパターンのすぐ下に戻る可能性が最も高く、クロストークを最小化できます。電流ループの面積を小さくすると、クロストークの可能性も低くなります。パターンをできる限り短くし、その下に連続したグランド プレーンを配置することで、放射される電磁界強度を最小化できます。グランド プレーンが不連続だと帰路のインダクタンスが増加するため、回避する必要があります。

8.1.4.2 レイアウト例

クロストークの可能性を最小限に抑えるため、個々のパターンの幅の少なくとも 2 倍または 3 倍の間隔で、シングルエンドのパターンと差動ペアを分離する必要があります。立ち上がり時間または立ち下がり時間の波長より短い間隔で並列に配線されるシングルエンドのパターンでは、通常、クロストークは無視できるほど小さくなります。クロストークを低減するため、長い並列配線の場合は信号路間の間隔を増やします。図 8-10 に示すように、基板の面積が限られている場合、配線パターン レイアウトを交互に配置することにはメリットがあります。

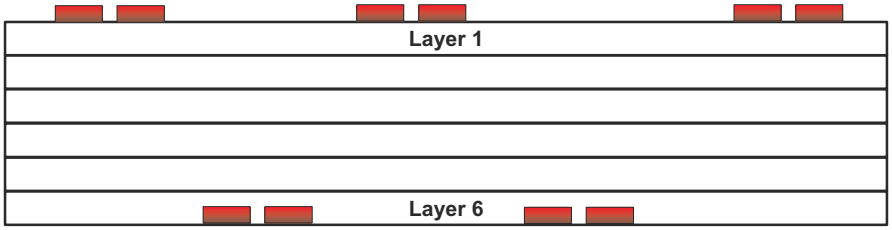


図 8-10. 交互パターンのレイアウト

この構成では、異なる層に交互の信号パターンが配置されるため、パターン間の水平間隔は個々のパターンの幅の 2 倍または 3 倍未満にできます。グランド信号路の連続性を確保するため、図 8-11 に示すように、すべての信号ビアに隣接するグランド ビアを配置することを推奨します。ビアを使用すると追加の容量が発生することに注意してください。たとえば、代表的なビアには、FR4 で 0.5pF ～ 1pF の容量増加効果があります。

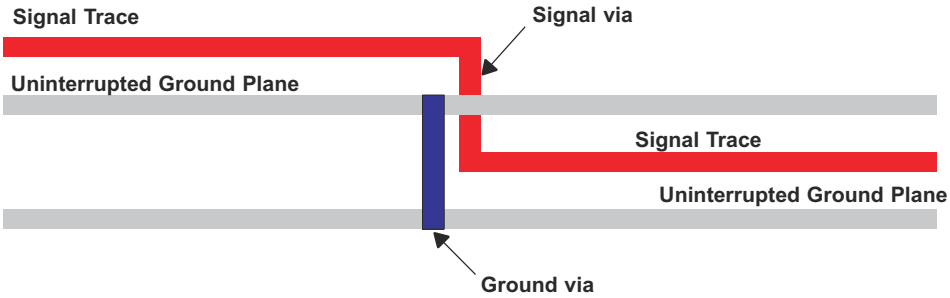


図 8-11. グランド ビアの位置 (側面図)

デバイスのグランド ピンを PCB のグランド プレーンに短く低インピーダンスで接続すると、グランド バウンスが低減されます。グランド プレーンの穴や切り欠きがリターン電流のループ面積を増やすような不連続性を形成する場合、電流のリターン パスに悪影響を及ぼす可能性があります。

EMI の問題を最小限に抑えるため、パターンの下に不連続が生じることを避け (穴、スリットなど)、パターンをできるだけ短くすることを推奨します。機能を混在させるのではなく、類似の機能を同じ領域にすべて配置してボードを適切にゾーニングすることは、外部からの影響の受けやすさに関する問題を低減するのに役立ちます。

Copyright © 2025 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 関連資料

このデバイスでは IBIS モデリングを利用できます。詳細については、お近くの TI 販売代理店にお問い合わせるか、TI のウェブサイトをご覧下さい。

アプリケーションのガイドラインの詳細については、以下のドキュメントを参照してください。

- テキサス インスツルメンツ、『*低電圧差動信号伝送設計ノート*』
- テキサス インスツルメンツ、『*TIA/EIA-644* (LVDS) *用のインターフェイス回路*』
- テキサス インスツルメンツ、『*LVDS による EMI の低減*』
- テキサス インスツルメンツ、『*LVDS 回路の スルーレート制御*』
- テキサス インスツルメンツ、『*RS-422 データでの LVDS レシーバの使用*』

10 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

11 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

12 商標

Rogers™ is a trademark of Rogers Corporation.
テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

13 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

14 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

15 改訂履歴

Changes from Revision * (April 2025) to Revision A (June 2025) — **Page**

- ドキュメントのステータスを「事前情報」から「量産データ」に変更 1
- *「特長」*に VID 番号を追加 1
- SET を 43MeV-cm2/mg から*「特長」*の 50MeV-cm^2 /mg に変更 1

• *「電気的特性」*の標準値 C_I を 3pF から 5pF に変更.....5

Copyright © 2025 Texas Instruments Incorporated

16 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PSN55LVTA4MDTSEP	Active	Preproduction	SOIC (D) | 16	250 | SMALL T&R	-	Call TI	Call TI	-55 to 125	
SN55LVTA4MDTSEP	Active	Production	SOIC (D) | 16	1 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	LVTA4SEP

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

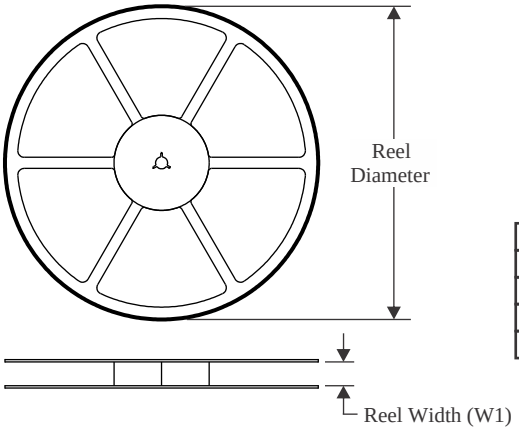
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

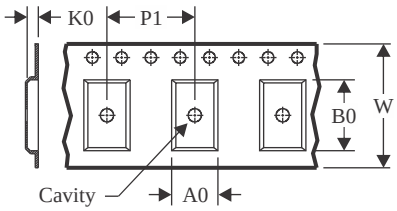
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

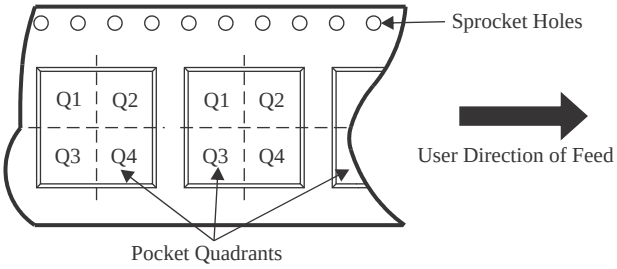


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

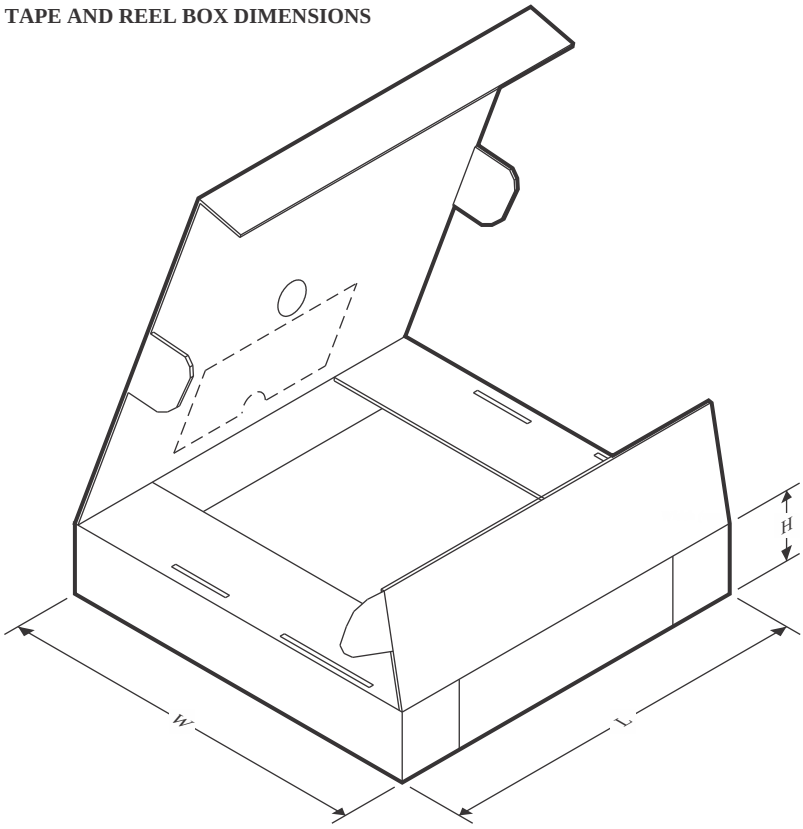
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN55LVTA4MDTSEP	SOIC	D	16	1	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

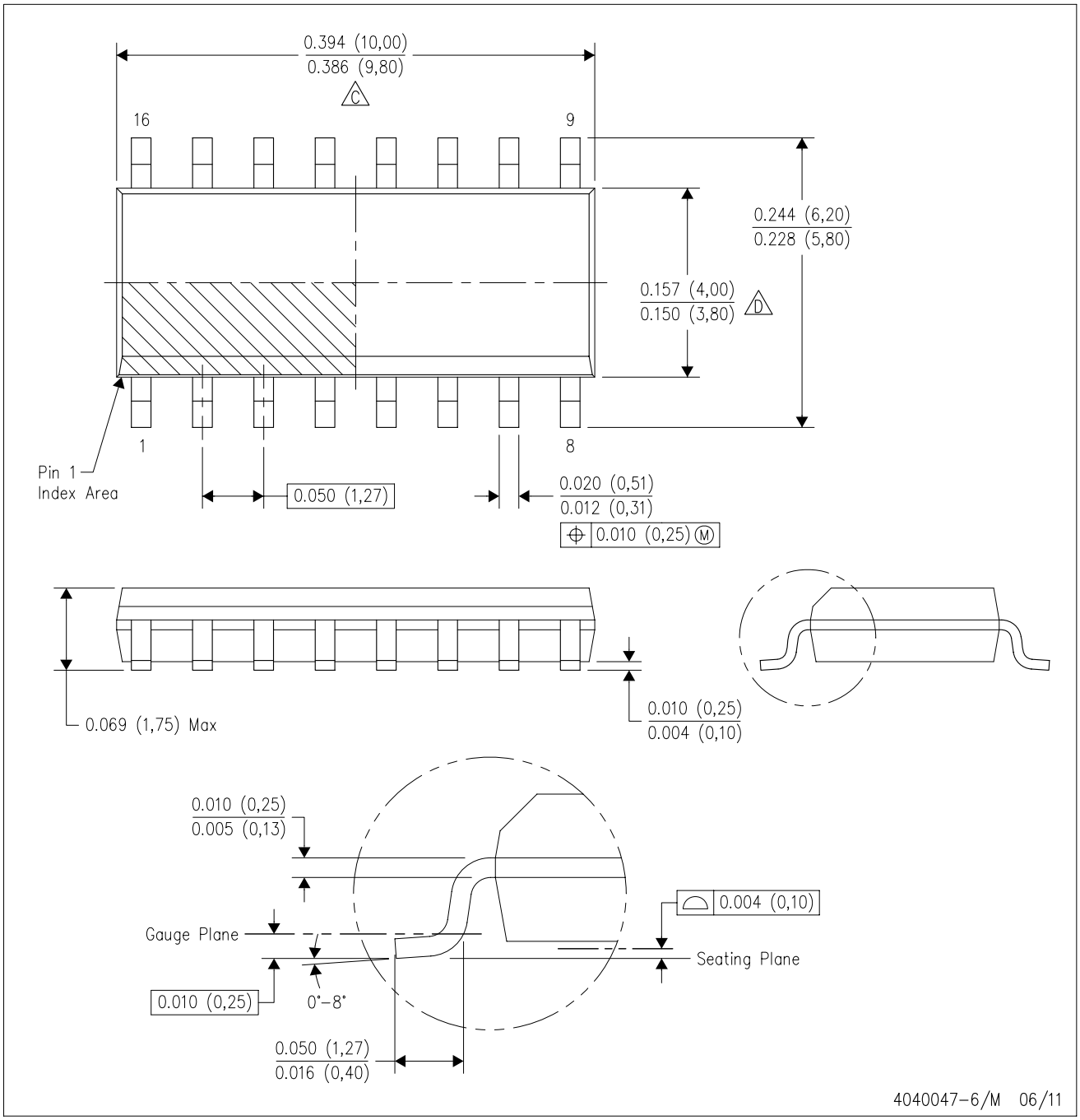
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN55LVTA4MDTSEP	SOIC	D	16	1	353.0	353.0	32.0

D (R–PDSO–G16) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated