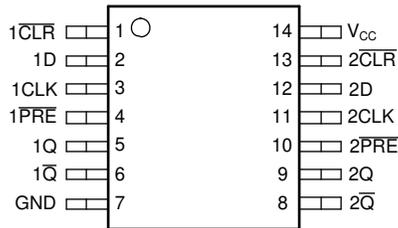




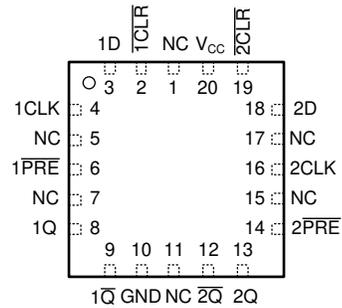
## 目次

1 特長.....	1	6.2 機能ブロック図.....	8
2 説明.....	1	6.3 デバイスの機能モード.....	8
3 ピン構成および機能.....	3	7 アプリケーションと実装.....	9
4 仕様.....	4	7.1 電源に関する推奨事項.....	9
4.1 絶対最大定格.....	4	7.2 レイアウト.....	9
4.2 推奨動作条件.....	4	8 デバイスおよびドキュメントのサポート.....	10
4.3 熱に関する情報.....	4	8.1 ドキュメントのサポート (アナログ).....	10
4.4 電気的特性.....	5	8.2 ドキュメントの更新通知を受け取る方法.....	10
4.5 タイミング要件.....	5	8.3 サポート・リソース.....	10
4.6 スイッチング特性.....	5	8.4 商標.....	10
4.7 動作特性.....	6	8.5 静電気放電に関する注意事項.....	10
5 パラメータ測定情報.....	7	8.6 用語集.....	10
6 詳細説明.....	8	9 改訂履歴.....	10
6.1 概要.....	8	10 メカニカル、パッケージ、および注文情報.....	11

### 3 ピン構成および機能



SN54ACT74 J または W パッケージ、SN74ACT74 D、DB、N、NS、PW (上面図)



SN54ACT74 FK パッケージ (上面図)

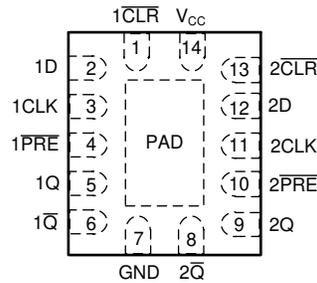


図 3-1. SN54ACT74 BQA パッケージ (上面図)

ピン		種類 <sup>(1)</sup>	説明
名称	番号		
1 CLR	1	入力	チャンネル 1、クリア入力、アクティブ Low
1D	2	入力	チャンネル 1、データ入力
1CLK	3	入力	チャンネル 1、ポジティブ エッジトリガ クロック入力
1 PRE	4	入力	チャンネル 1、プリセット入力、アクティブ Low
1Q	5	出力	チャンネル 1、出力
1 Q̄	6	出力	チャンネル 1、反転出力
GND	7	—	グラウンド
2 Q̄	8	出力	チャンネル 2、反転出力
2Q	9	出力	チャンネル 2、出力
2 PRE	10	入力	チャンネル 2、プリセット入力、アクティブ Low
2CLK	11	入力	チャンネル 2、ポジティブ エッジトリガ クロック入力
2D	12	入力	チャンネル 2、データ入力
2 CLR	13	入力	チャンネル 2、クリア入力、アクティブ Low
V <sub>CC</sub>	14	—	正の電源

(1) 信号タイプ: I = 入力、O = 出力、I/O = 入力または出力

## 4 仕様

### 4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

		最小値	最大値	単位
V <sub>CC</sub>	電源電圧範囲	-0.5	7	V
V <sub>I</sub>	入力電圧 <sup>(2)</sup>	-0.5	V <sub>CC</sub> + 0.5	V
V <sub>O</sub>	高インピーダンスまたは電源オフ状態で出力に印加される電圧範囲 <sup>(2)</sup>	-0.5	V <sub>CC</sub> + 0.5	V
I <sub>IK</sub>	入力クランプ電流	(V <sub>I</sub> < 0 または V <sub>I</sub> > V <sub>CC</sub> )		±20 mA
I <sub>OK</sub>	出力クランプ電流	(V <sub>O</sub> < 0 または V <sub>O</sub> > V <sub>CC</sub> )		±20 mA
I <sub>O</sub>	連続出力電流	(V <sub>O</sub> = 0 ~ V <sub>CC</sub> )		±50 mA
V <sub>CC</sub> または GND を通過する連続電流				±200 mA
T <sub>stg</sub>	保管温度範囲	-65	150	°C

### 4.2 推奨動作条件

自由空気での推奨動作温度範囲内 (特に記述のない限り)

	SN54ACT74		SN74ACT74		単位	
	最小値	最大値	最小値	最大値		
V <sub>CC</sub>	電源電圧	4.5	5.5	4.5	5.5	V
V <sub>IH</sub>	High レベル入力電圧	2		2		V
V <sub>IL</sub>	Low レベル入力電圧		0.8		0.8	V
V <sub>I</sub>	入力電圧	0	V <sub>CC</sub>	0	V <sub>CC</sub>	V
V <sub>O</sub>	出力電圧	0	V <sub>CC</sub>	0	V <sub>CC</sub>	V
I <sub>OH</sub>	High レベル出力電流		-24		-24	mA
I <sub>OL</sub>	Low レベル出力電流		24		24	mA
Δt/Δv	入力遷移の立ち上がりおよび立ち下がりレート	8		8		ns/V
T <sub>A</sub>	自由空気での動作温度	-55	125	-40	85	°C

### 4.3 熱に関する情報

熱評価基準 <sup>(1)</sup>	SN74ACT74						単位	
	BQA (WQFN)	D (SOIC)	DB (SSOP)	N (PDIP)	NS (SOP)	PW (TSSOP)		
	14 ピン							
R <sub>θJA</sub>	接合部から周囲への熱抵抗	91.3	119.9	96	80	76	145.7	°C/W
R <sub>θJC(top)</sub>	接合部からケース(上面)への熱抵抗	99.4	—	—	—	—	—	°C/W
R <sub>θJB</sub>	接合部から基板への熱抵抗	60.1	—	—	—	—	—	°C/W
Ψ <sub>JT</sub>	接合部から上面への特性パラメータ	14.5	—	—	—	—	—	°C/W
Ψ <sub>JB</sub>	接合部から基板への特性パラメータ	60.8	—	—	—	—	—	°C/W
R <sub>θJC(bot)</sub>	接合部からケース(底面)への熱抵抗	37.0	—	—	—	—	—	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーションレポートを参照してください。

#### 4.4 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V <sub>CC</sub>	T <sub>A</sub> = 25°C			SN54ACT74		SN74ACT74		単位
			最小値	標準値	最大値	最小値	最大値	最小値	最大値	
V <sub>OH</sub>	I <sub>OH</sub> = -50μA	4.5V	4.4	4.49	4.4		4.4		V	
		5.5V	5.4	5.49	5.4		5.4			
	I <sub>OH</sub> = -24mA	4.5V	3.86		3.7		3.76			
		5.5V	4.86		4.7		4.76			
	I <sub>OH</sub> = -50mA† <sup>(1)</sup>	5.5V			3.86					
I <sub>OH</sub> = -75mA† <sup>(1)</sup>	5.5V					3.85				
V <sub>OL</sub>	I <sub>OL</sub> = 50μA	4.5V		0.001	0.1		0.1	0.1	V	
		5.5V		0.001	0.1		0.1	0.1		
	I <sub>OL</sub> = 24mA	4.5V			0.36		0.5	0.44		
		5.5V			0.36		0.5	0.44		
	I <sub>OL</sub> = 50mA† <sup>(1)</sup>	5.5V					1.65			
I <sub>OL</sub> = 75mA† <sup>(1)</sup>	5.5V						1.65			
I <sub>I</sub>	V <sub>I</sub> = V <sub>CC</sub> または GND	5.5V			±0.1		±1	±1	μA	
I <sub>CC</sub>	V <sub>I</sub> = V <sub>CC</sub> または GND、I <sub>O</sub> = 0	5.5V			2		40	20	μA	
ΔI <sub>CC†</sub> <sup>(2)</sup>	1つの入力は 3.4V、 他の入力は GND または V <sub>CC</sub>	5.5V		0.6			1.6	1.5	mA	
C <sub>i</sub>	V <sub>I</sub> = V <sub>CC</sub> または GND	5V		3					pF	

(1) 一度に複数の出力をテストすることはできません。また、テスト期間は 2ms を超えないようにしてください。

(2) これは、0V や V<sub>CC</sub> ではなく、規定された TTL 電圧レベルのいずれかにおける各入力の電源電流の増加量です。

#### 4.5 タイミング要件

自由気流での推奨動作温度範囲内 (特に記述のない限り) (「負荷回路および電圧波形」を参照)

			T <sub>A</sub> = 25°C		SN54ACT74		SN74ACT74		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
f <sub>clock</sub>	クロック周波数			145		85		125	MHz
t <sub>w</sub>	パルス幅	PRE または CLR が Low	5		7		6		ns
		CLK	5		7		6		
t <sub>su</sub>	セットアップ時間、CLK ↑ 前のデータ	データ	3		4		3.5		ns
			0		0.5		0		
t <sub>h</sub>	ホールド時間、CLK ↑ 後のデータ	PRE または CLR が非アクティブ	1		1		1		ns

#### 4.6 スイッチング特性

自由気流での推奨動作温度範囲内 (特に記述のない限り) (「負荷回路および電圧波形」を参照)

パラメータ	始点 (入力)	終点 (出力)	SN54ACT74				SN74ACT74				単位		
			T <sub>A</sub> = 25°C			最小値	最大値	T <sub>A</sub> = 25°C				最小値	最大値
			最小値	標準値	最大値			最小値	標準値	最大値			
f <sub>max</sub>			145	210		85		145	210		125		MHz
t <sub>PLH</sub>	PRE または CLR	Q または $\bar{Q}$	1	5.5	9.5	1	11.5	3	5.5	9.5	2.5	10.5	ns
t <sub>PHL</sub>			1	6	10	1	12.5	3	6	10	3	11.5	

**SN54ACT74, SN74ACT74**

JAJSV30J – AUGUST 1995 – REVISED APRIL 2025

自由気流での推奨動作温度範囲内 (特に記述のない限り) (「負荷回路および電圧波形」を参照)

パラメータ	始点 (入力)	終点 (出力)	SN54ACT74				SN74ACT74				単位		
			T <sub>A</sub> = 25°C			最小値	最大値	T <sub>A</sub> = 25°C				最小値	最大値
			最小値	標準値	最大値			最小値	標準値	最大値			
t <sub>PLH</sub>	CLK	Q または $\bar{Q}$	1	7.5	11	1	14	4	7.5	11	4	13	ns
t <sub>PHL</sub>			1	6	10	1	12	3.5	6	10	3	11.5	

#### 4.7 動作特性

 V<sub>CC</sub> = 5V、T<sub>A</sub> = 25°C

パラメータ	テスト条件	標準値	単位
C <sub>pd</sub> 電力散逸容量	C <sub>L</sub> = 50pF、 f = 1MHz	45	pF

## 5 パラメータ測定情報

$C_L$  にはプローブと治具の容量が含まれます。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR  $\leq$  1MHz、 $Z_O = 50\Omega$ 、 $t_r \leq 2.5ns$ 、 $t_f \leq 2.5ns$ 。出力は一度に1つずつ測定され、測定するたびに入力が1回遷移します。

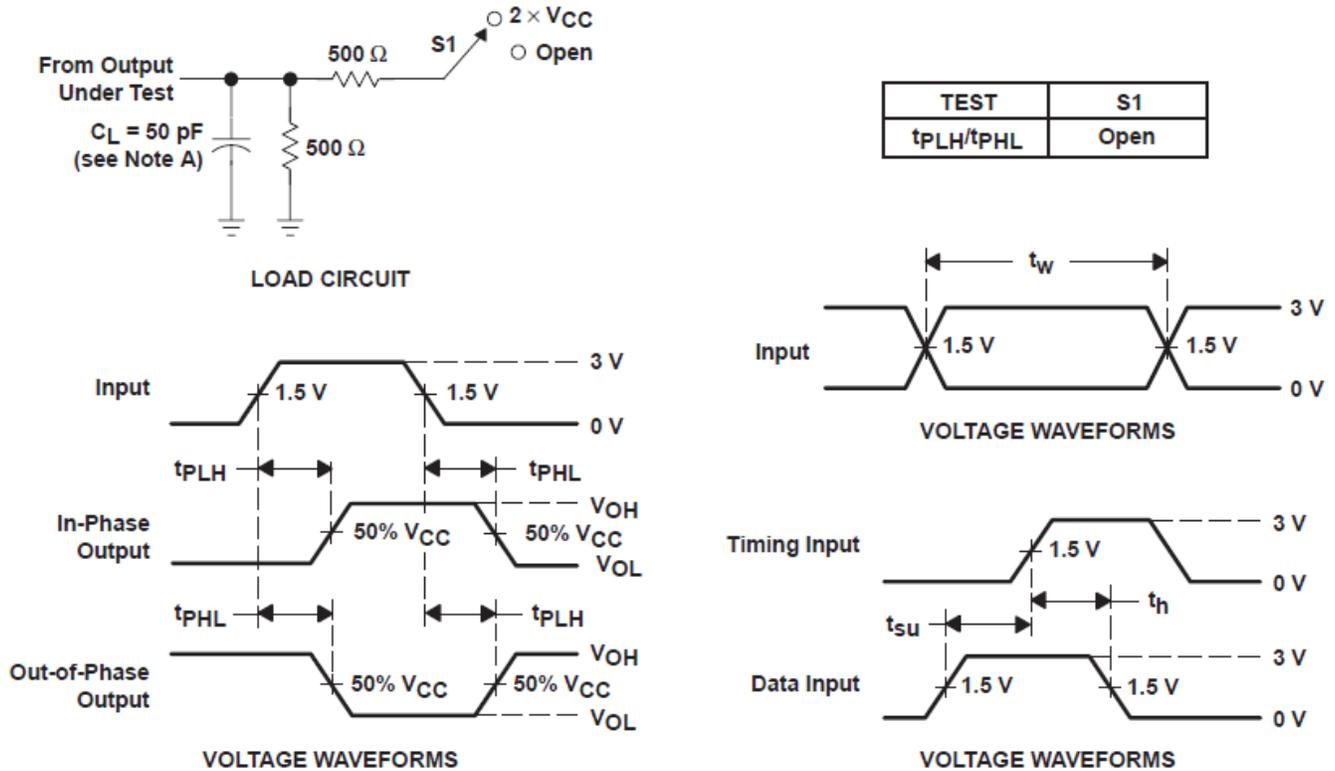


図 5-1. 負荷回路および電圧波形

### 注

- A.  $C_L$  にはプローブと治具の容量が含まれます。
- B. すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR  $\leq$  1MHz、 $Z_O = 50\Omega$ 、 $t_r \leq 2.5ns$ 、 $t_f \leq 2.5ns$ 。
- C. 出力は一度に1つずつ測定され、測定ごとに1つの入力が遷移します。

## 6 詳細説明

### 6.1 概要

プリセット ( $\overline{PRE}$ ) またはクリア ( $\overline{CLR}$ ) 入力が Low レベルの場合、他の入力のレベルに関係なく、出力をセットまたはリセットします。 $\overline{PRE}$  と  $\overline{CLR}$  が非アクティブ (high) の場合、セットアップ時間の要件を満たすデータ (D) 入力のデータは、クロックパルスの正方向エッジで出力に転送されます。クロックのトリガは電圧レベルで発生し、クロックパルスの立ち上がり時間とは直接関係しません。ホールド時間が経過した後、D でのデータの変更は出力のレベルに影響を与えません。

### 6.2 機能ブロック図

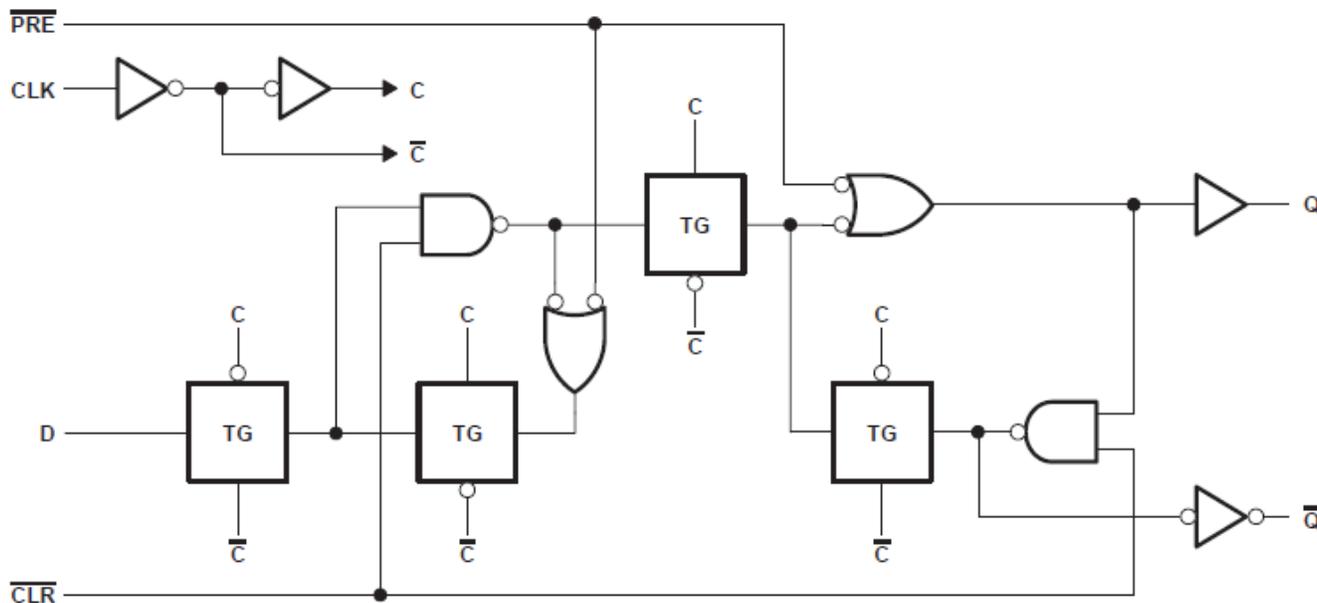


図 6-1. 論理図 (正論理)

### 6.3 デバイスの機能モード

表 6-1. 機能表 (各フリップフロップ)

入力			出力		
PRE	CLR	CLK	D	Q	$\overline{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H1	H1
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	$Q_0$	$\overline{Q}_0$

- この構成は不安定です。つまり、PRE または CLR のいずれかが非アクティブ (High) レベルに戻ったときに持続しません。

## 7 アプリケーションと実装

### 注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 7.1 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各  $V_{CC}$  端子に適切なバイパスコンデンサを配置する必要があります。このデバイスには  $0.1\mu\text{F}$  のコンデンサを推奨します。複数のバイパスコンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、 $0.1\mu\text{F}$  と  $1\mu\text{F}$  のコンデンサは並列に使用されます。図 7-1 に示すように、バイパスコンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

### 7.2 レイアウト

#### 7.2.1 レイアウトのガイドライン

多ビットロジックデバイスを使用する場合、入力をフローティングにしないでください。

多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、3 入力 AND ゲートの 2 つの入力のみを使用したり、4 つのバッファゲートのうち 3 つのみを使用したりする場合)。このような入力ピンを未接続のままにしないでください。外部接続の電圧が未確定の場合、動作状態が不定になるためです。以下に規定された規則は、あらゆる状況で遵守する必要があります。デジタルロジックデバイスの未使用の入力はすべて、フローティングにならないように、High または Low バイアスに接続する必要があります。特定の未使用の入力に対して適用が必要となるロジックレベルは、デバイスの機能により異なります。一般に、GND または  $V_{CC}$  のうち、より適切であるかより利便性の高い方に接続されます。本部品がトランシーバでない限り、フローティング出力は一般的に許容されます。トランシーバに出カインネブルピンがある場合、アサートされると本部品の出力セクションがディセーブルになります。これによって I.O の入力セクションはディセーブルされないため、ディセーブル時にもフローティングにできません。

#### 7.2.2 レイアウト例

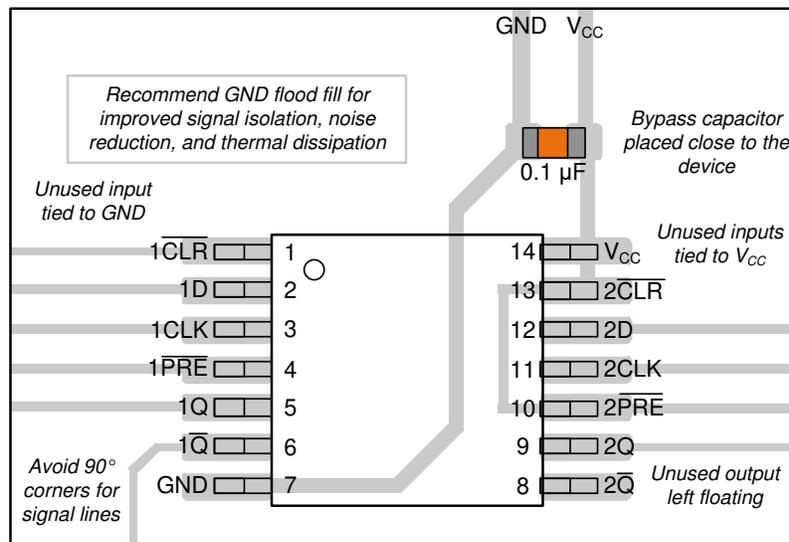


図 7-1. SNx4ACT74 パッケージのレイアウト例

## 8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介합니다。

### 8.1 ドキュメントのサポート (アナログ)

#### 8.1.1 関連資料

次の表に、クイック アクセス リンクを示します。カテゴリには、技術資料、サポートおよびコミュニティリソース、ツールとソフトウェア、およびサンプル注文またはご購入へのクイック アクセスが含まれます。

表 8-1. 関連リンク

製品	プロダクト フォルダ	サンプルとご購入	技術資料	ツールとソフトウェア	サポートとコミュニティ
SN54ACT74	<a href="#">こちらをクリック</a>				
SN74ACT74	<a href="#">こちらをクリック</a>				

### 8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision I (July 2024) to Revision J (April 2025)	Page
• BQA パッケージを追加.....	3
• BQA の熱に関する情報を追加.....	4

**Changes from Revision H (October 2003) to Revision I (July 2024)**

**Page**

• 製品情報の表、ピンの機能の表、熱に関する情報の表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加 .....	1
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• RθJA の値を更新:D = 86~119.9、PW = 113~145.7、値はすべて°C/W.....	4

**10 メカニカル、パッケージ、および注文情報**

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

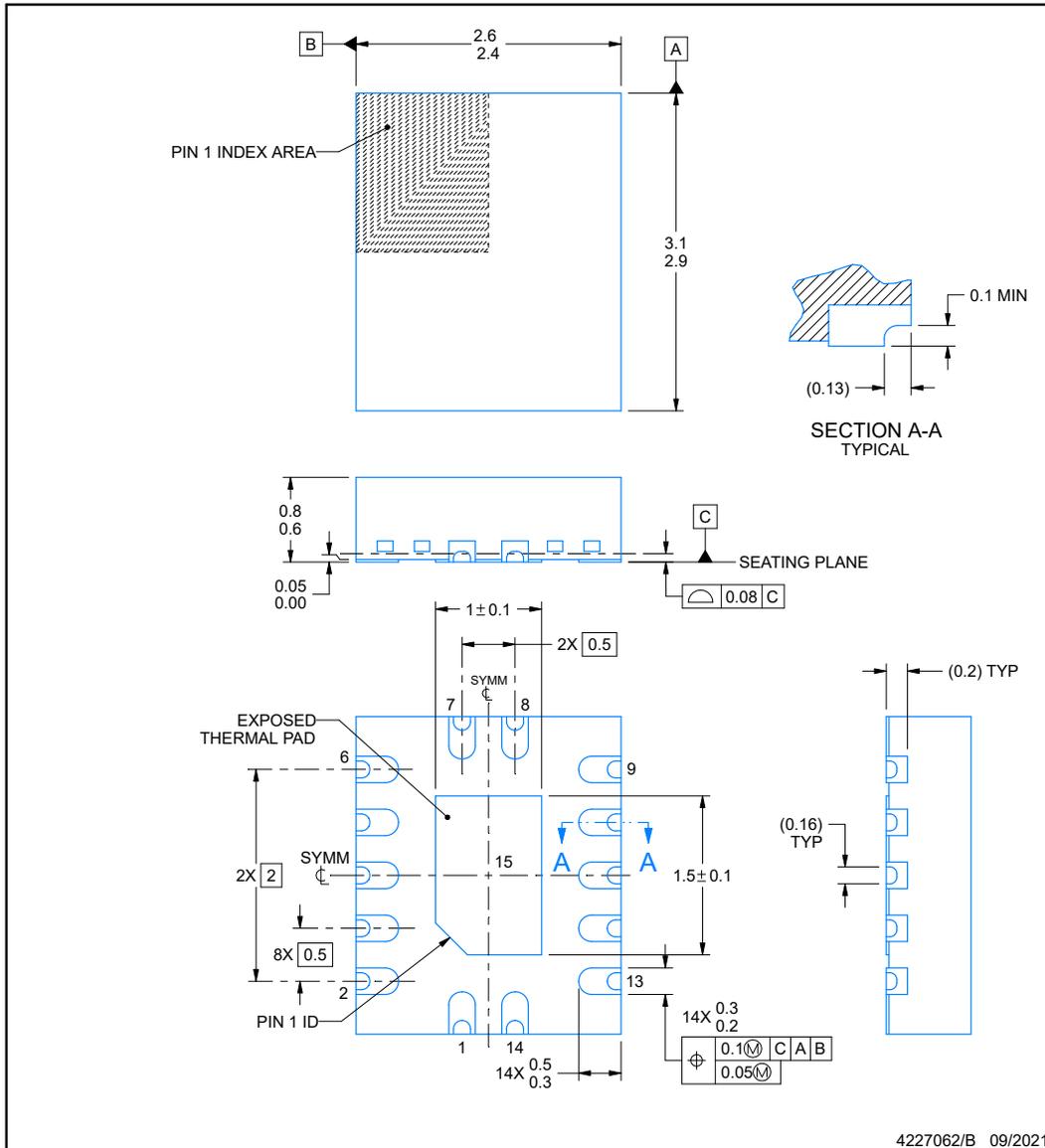


**PACKAGE OUTLINE**

**BQA0014B**

**WQFN - 0.8 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



**NOTES:**

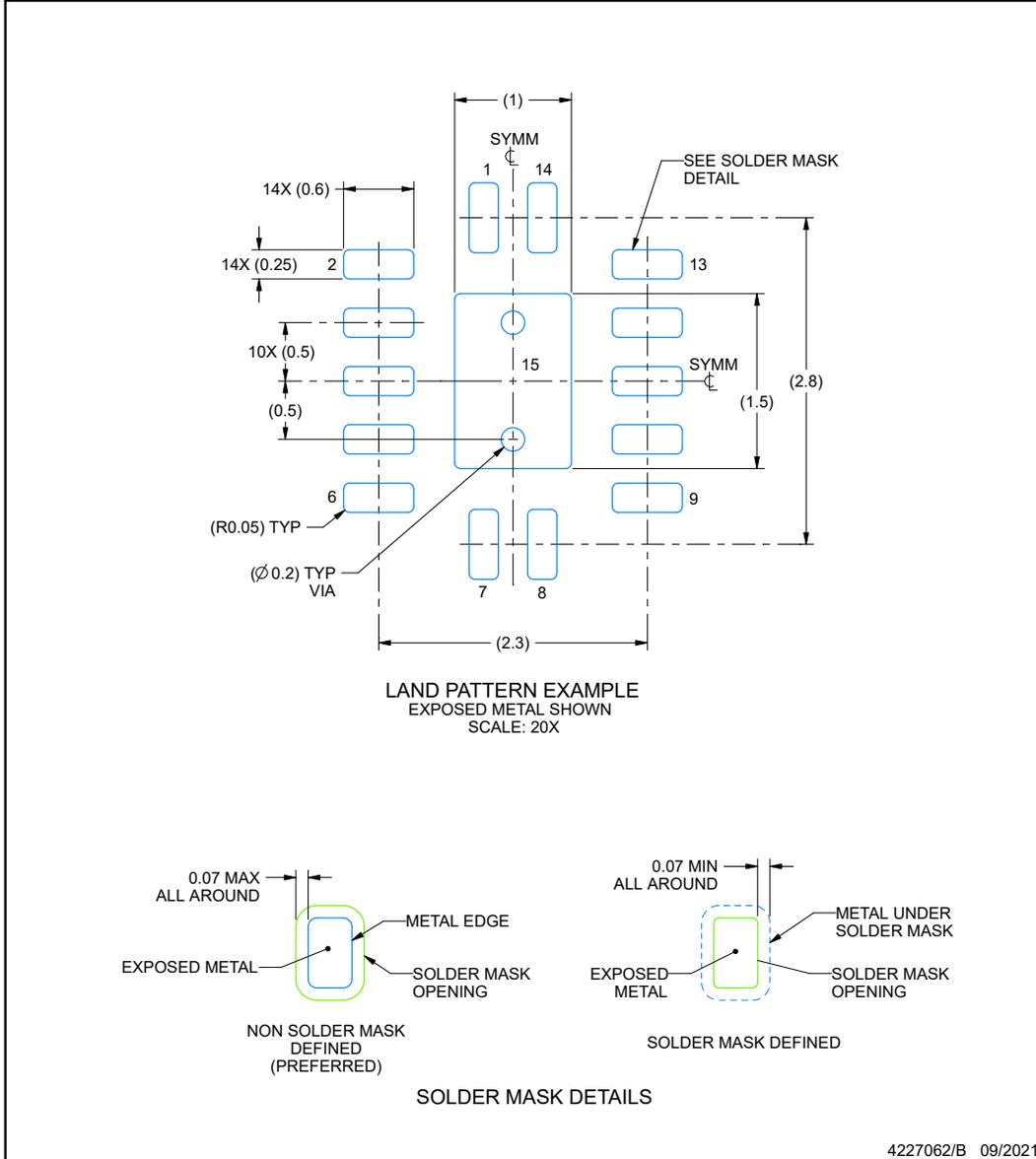
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

## EXAMPLE BOARD LAYOUT

**BQA0014B**

**WQFN - 0.8 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

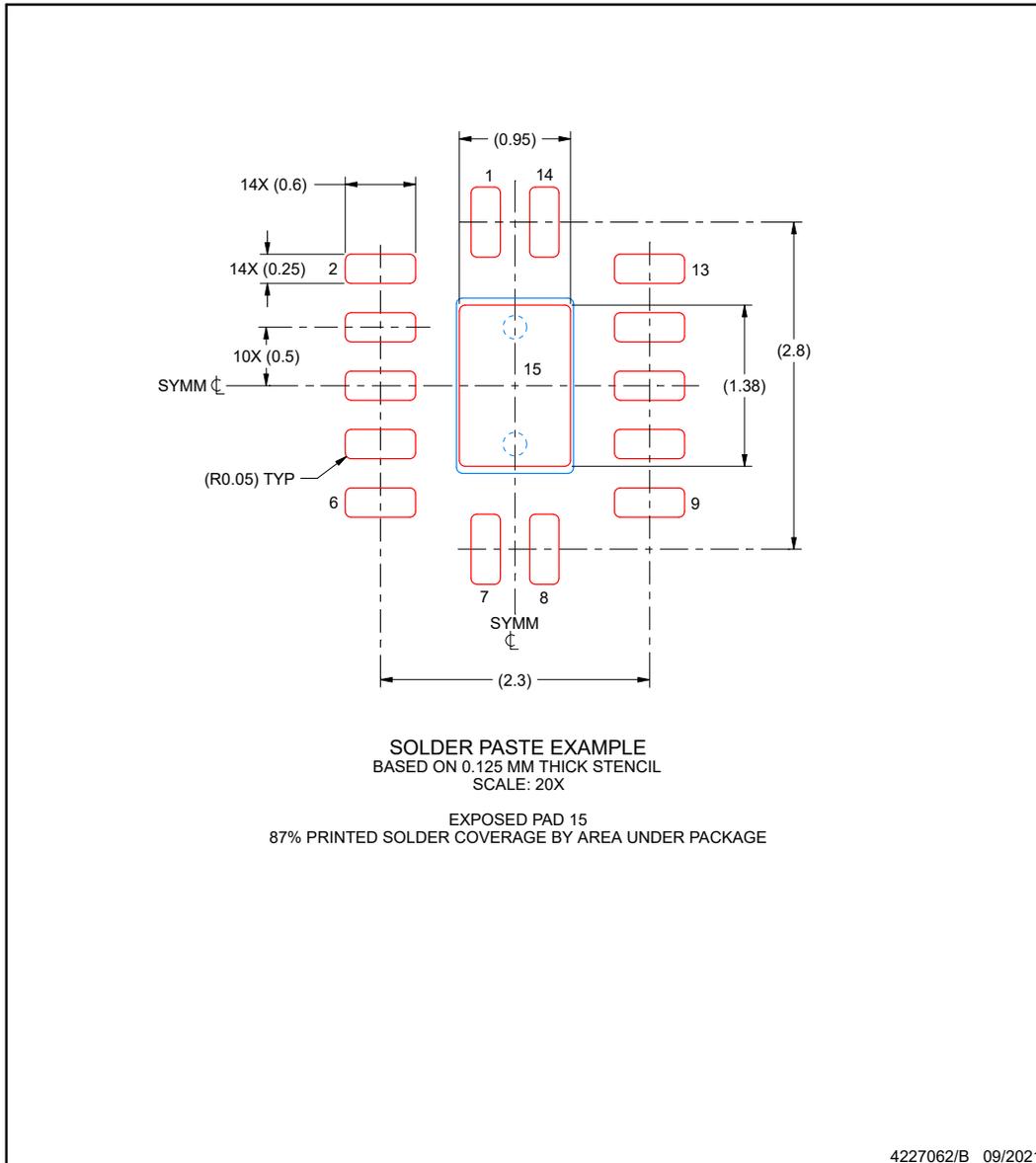
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

**EXAMPLE STENCIL DESIGN**

**BQA0014B**

**WQFN - 0.8 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

## PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">5962-8752501M2A</a>	Active	Production	LCCC (FK)   20	55   TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962- 8752501M2A SNJ54ACT 74FK
<a href="#">5962-8752501MCA</a>	Active	Production	CDIP (J)   14	25   TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8752501MC A SNJ54ACT74J
<a href="#">5962-8752501MDA</a>	Active	Production	CFP (W)   14	25   TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8752501MD A SNJ54ACT74W
<a href="#">SN74ACT74BQAR</a>	Active	Production	WQFN (BQA)   14	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AD74
<a href="#">SN74ACT74D</a>	Obsolete	Production	SOIC (D)   14	-	-	Call TI	Call TI	-40 to 85	ACT74
<a href="#">SN74ACT74DBR</a>	Active	Production	SSOP (DB)   14	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AD74
SN74ACT74DBR.A	Active	Production	SSOP (DB)   14	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AD74
<a href="#">SN74ACT74DR</a>	Active	Production	SOIC (D)   14	2500   LARGE T&R	Yes	NIPDAU   NIPDAU	Level-1-260C-UNLIM	-40 to 85	ACT74
SN74ACT74DR.A	Active	Production	SOIC (D)   14	2500   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ACT74
SN74ACT74DR1G4.A	Active	Production	SOIC (D)   14	2500   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ACT74
<a href="#">SN74ACT74N</a>	Active	Production	PDIP (N)   14	25   TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74ACT74N
SN74ACT74N.A	Active	Production	PDIP (N)   14	25   TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74ACT74N
SN74ACT74NE4	Active	Production	PDIP (N)   14	25   TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74ACT74N
<a href="#">SN74ACT74NSR</a>	Active	Production	SOP (NS)   14	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ACT74
SN74ACT74NSR.A	Active	Production	SOP (NS)   14	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ACT74
<a href="#">SN74ACT74PW</a>	Obsolete	Production	TSSOP (PW)   14	-	-	Call TI	Call TI	-40 to 85	AD74
<a href="#">SN74ACT74PWR</a>	Active	Production	TSSOP (PW)   14	2000   LARGE T&R	Yes	NIPDAU   SN	Level-1-260C-UNLIM	-40 to 85	AD74
SN74ACT74PWR.A	Active	Production	TSSOP (PW)   14	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AD74
<a href="#">SN74ACT74PWRG4</a>	Active	Production	TSSOP (PW)   14	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AD74
SN74ACT74PWRG4.A	Active	Production	TSSOP (PW)   14	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AD74
<a href="#">SNJ54ACT74FK</a>	Active	Production	LCCC (FK)   20	55   TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962- 8752501M2A SNJ54ACT 74FK

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SNJ54ACT74FK.A	Active	Production	LCCC (FK)   20	55   TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8752501M2A SNJ54ACT 74FK
<a href="#">SNJ54ACT74J</a>	Active	Production	CDIP (J)   14	25   TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8752501MC A SNJ54ACT74J
SNJ54ACT74J.A	Active	Production	CDIP (J)   14	25   TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8752501MC A SNJ54ACT74J
<a href="#">SNJ54ACT74W</a>	Active	Production	CFP (W)   14	25   TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8752501MD A SNJ54ACT74W
SNJ54ACT74W.A	Active	Production	CFP (W)   14	25   TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8752501MD A SNJ54ACT74W

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

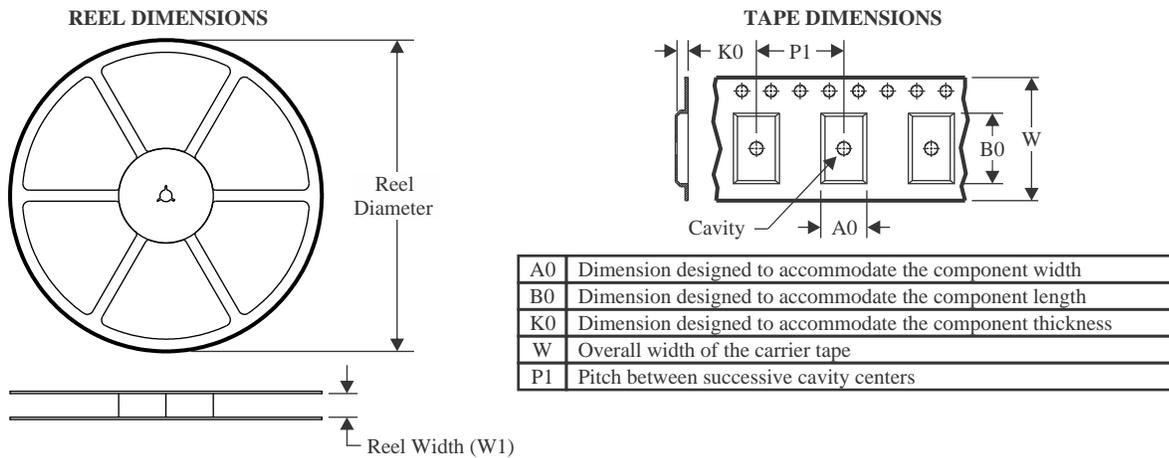
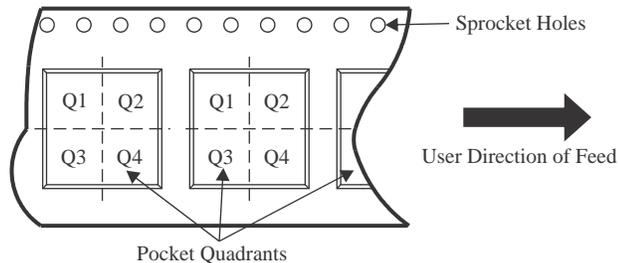
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF SN54ACT74, SN74ACT74 :**

- Catalog : [SN74ACT74](#)
  
- Automotive : [SN74ACT74-Q1](#), [SN74ACT74-Q1](#)
  
- Enhanced Product : [SN74ACT74-EP](#), [SN74ACT74-EP](#)
  
- Military : [SN54ACT74](#)

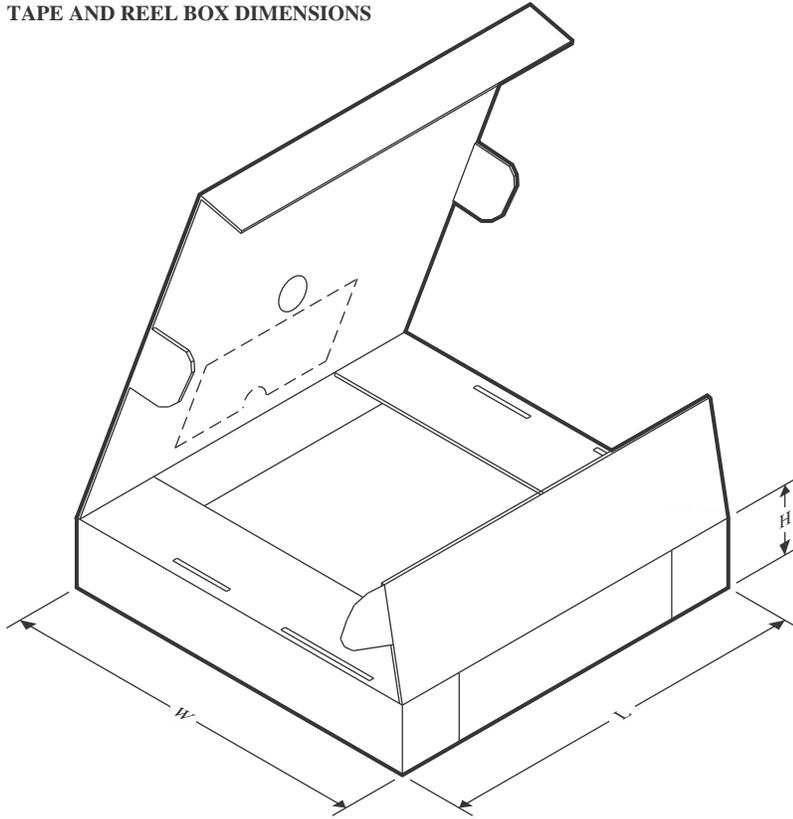
NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
  
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
  
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
  
- Military - QML certified for Military and Defense Applications

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


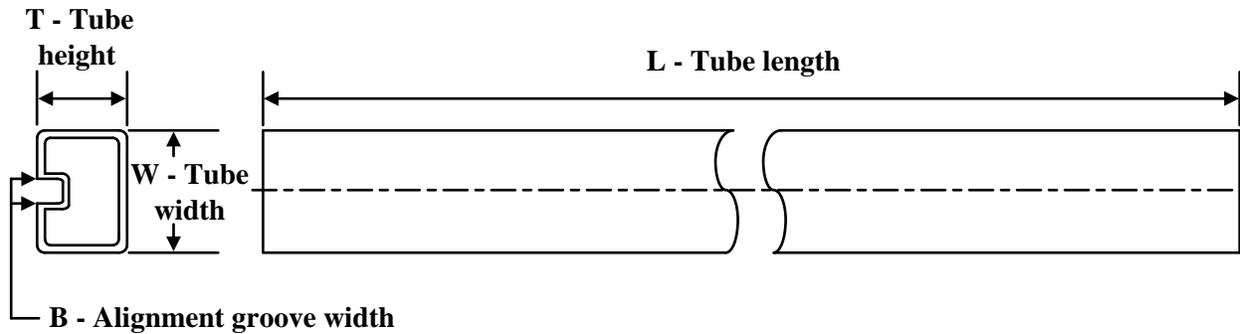
\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74ACT74BQAR	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1
SN74ACT74DBR	SSOP	DB	14	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74ACT74DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74ACT74DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74ACT74NSR	SOP	NS	14	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
SN74ACT74PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74ACT74PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74ACT74PWRG4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74ACT74PWRG4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74ACT74BQAR	WQFN	BQA	14	3000	210.0	185.0	35.0
SN74ACT74DBR	SSOP	DB	14	2000	356.0	356.0	35.0
SN74ACT74DR	SOIC	D	14	2500	356.0	356.0	35.0
SN74ACT74DR	SOIC	D	14	2500	353.0	353.0	32.0
SN74ACT74NSR	SOP	NS	14	2000	356.0	356.0	35.0
SN74ACT74PWR	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74ACT74PWR	TSSOP	PW	14	2000	356.0	356.0	35.0
SN74ACT74PWRG4	TSSOP	PW	14	2000	356.0	356.0	35.0
SN74ACT74PWRG4	TSSOP	PW	14	2000	353.0	353.0	32.0

**TUBE**


\*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
5962-8752501M2A	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-8752501MDA	W	CFP	14	25	506.98	26.16	6220	NA
SN74ACT74N	N	PDIP	14	25	506	13.97	11230	4.32
SN74ACT74N	N	PDIP	14	25	506	13.97	11230	4.32
SN74ACT74N.A	N	PDIP	14	25	506	13.97	11230	4.32
SN74ACT74N.A	N	PDIP	14	25	506	13.97	11230	4.32
SN74ACT74NE4	N	PDIP	14	25	506	13.97	11230	4.32
SN74ACT74NE4	N	PDIP	14	25	506	13.97	11230	4.32
SNJ54ACT74FK	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54ACT74FK.A	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54ACT74W	W	CFP	14	25	506.98	26.16	6220	NA
SNJ54ACT74W.A	W	CFP	14	25	506.98	26.16	6220	NA

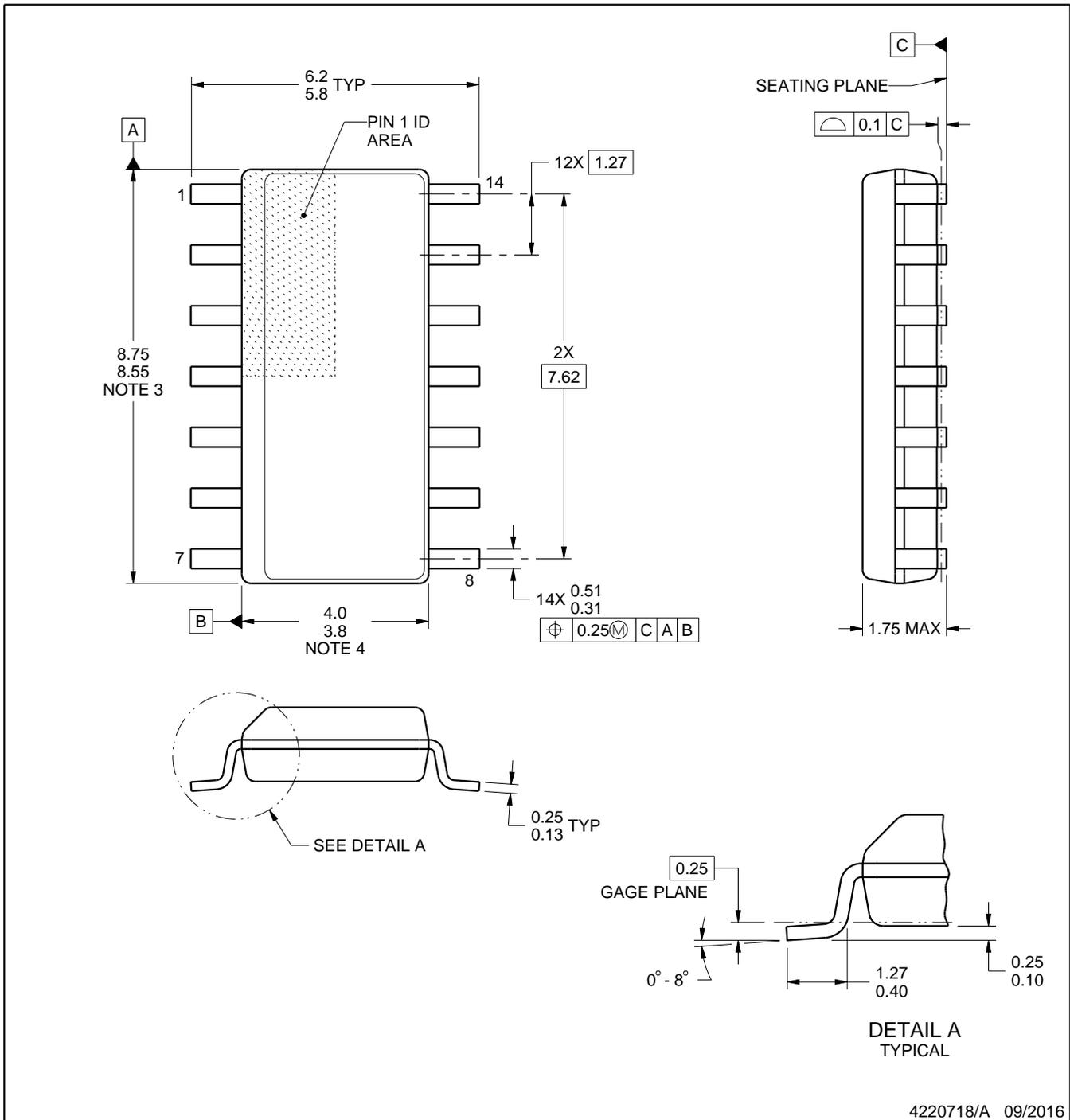
D0014A



# PACKAGE OUTLINE

## SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

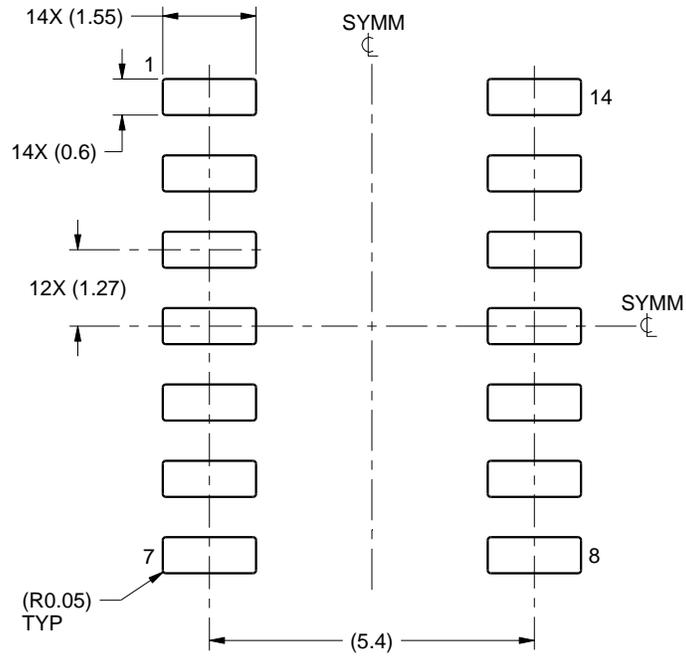
- All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
- Reference JEDEC registration MS-012, variation AB.

# EXAMPLE BOARD LAYOUT

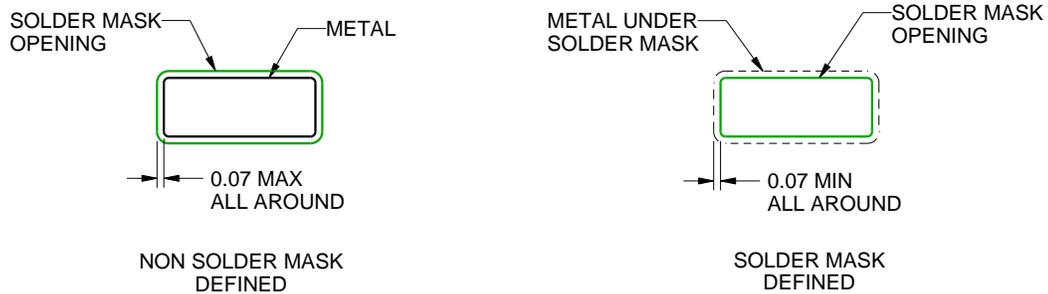
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE  
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

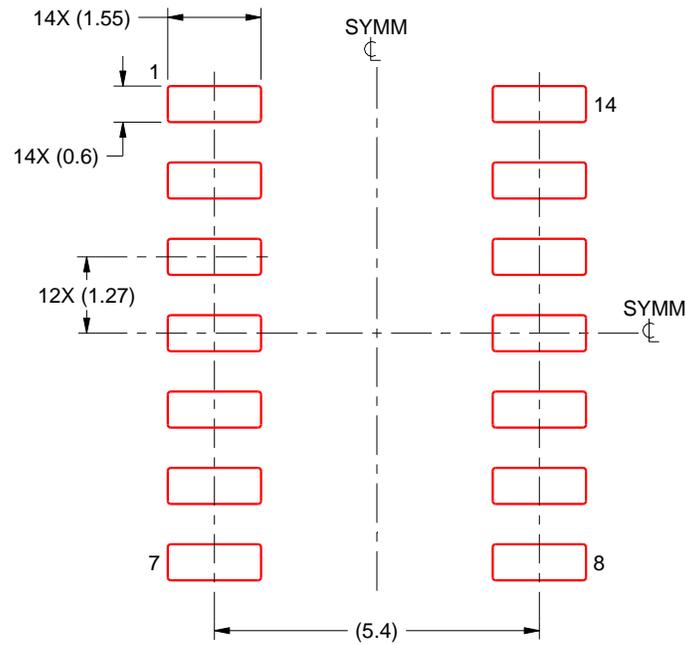
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## GENERIC PACKAGE VIEW

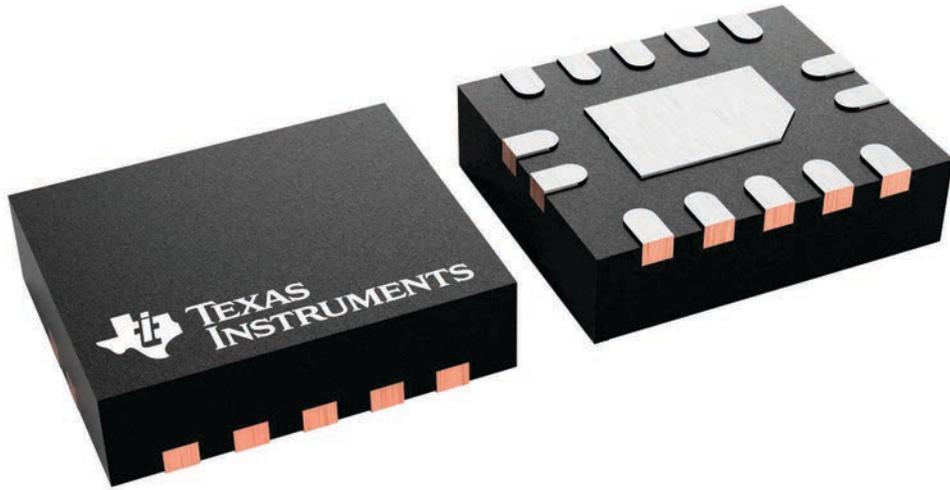
**BQA 14**

**WQFN - 0.8 mm max height**

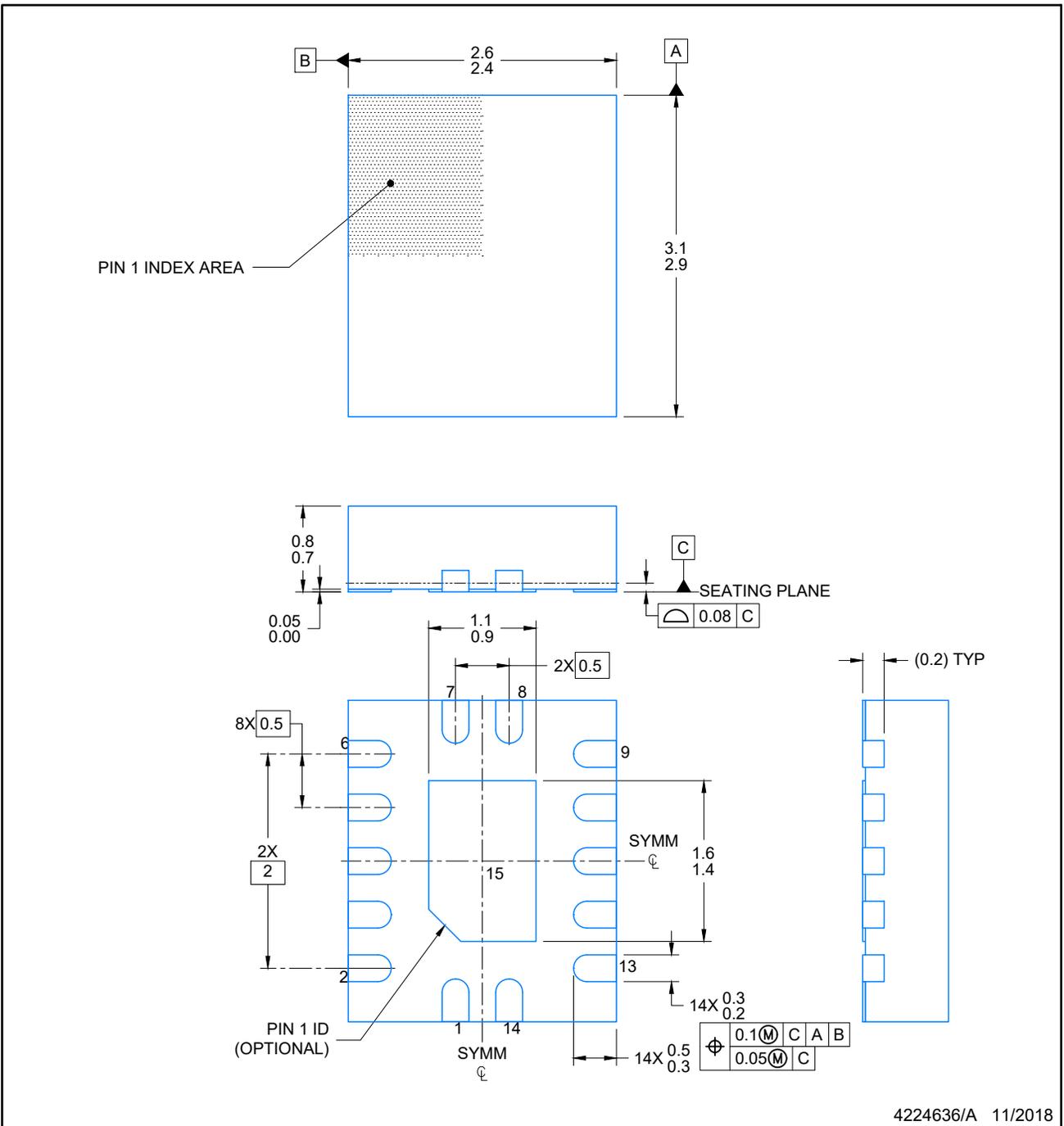
2.5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4227145/A



4224636/A 11/2018

**NOTES:**

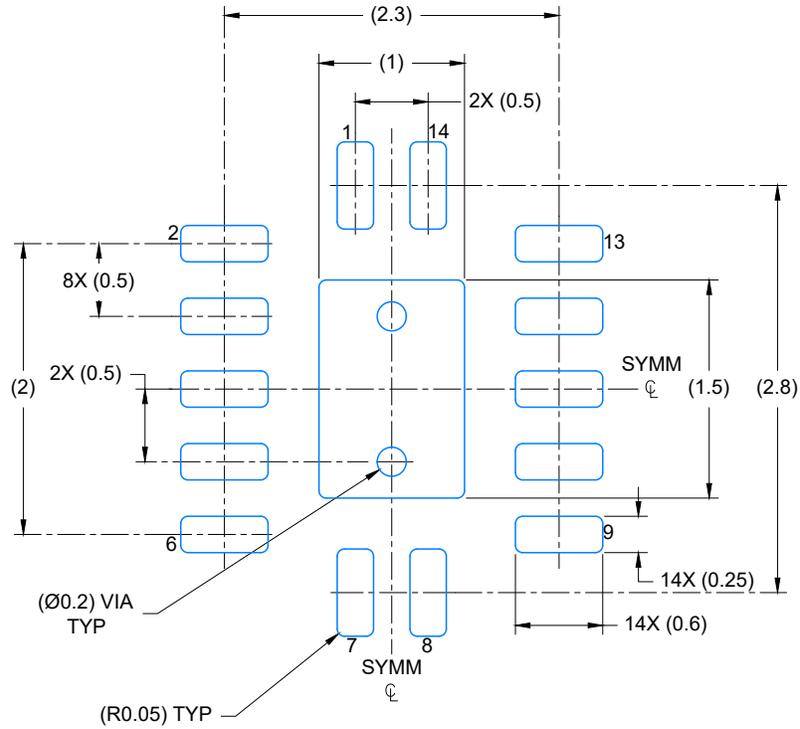
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

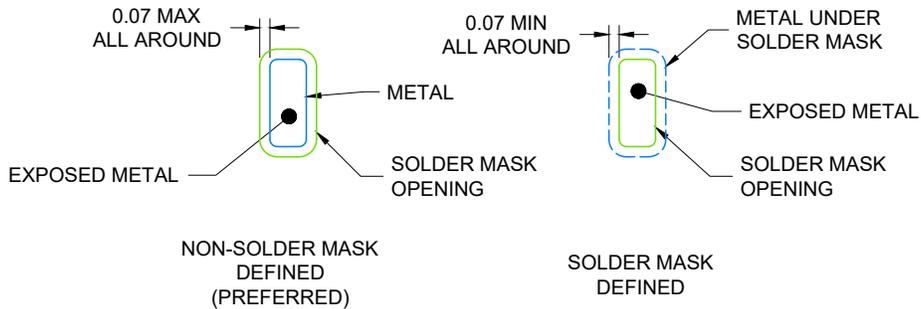
WQFN - 0.8 mm max height

BQA0014A

PLASTIC QUAD FLAT PACK-NO LEAD



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 20X



4224636/A 11/2018

NOTES: (continued)

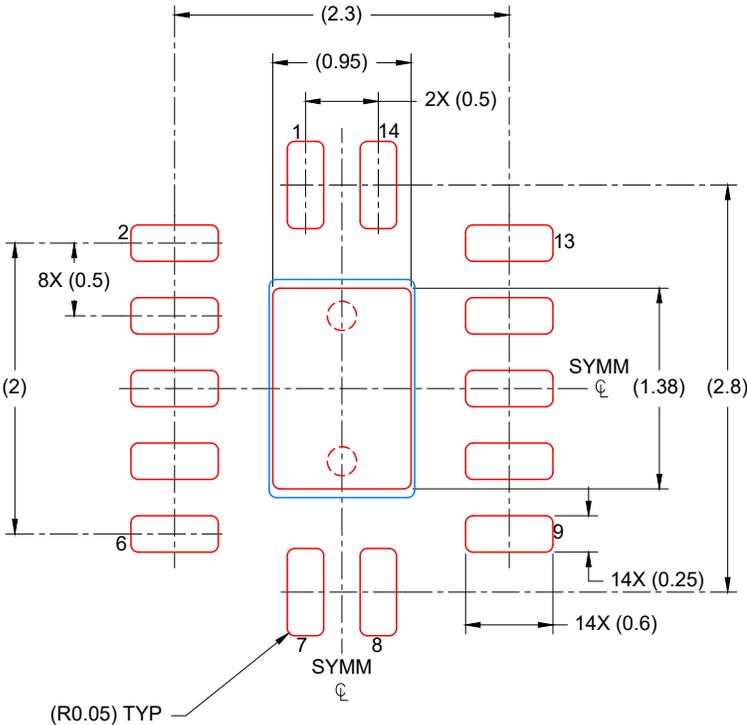
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

BQA0014A

WQFN - 0.8 mm max height

PLASTIC QUAD FLAT PACK-NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD  
88% PRINTED COVERAGE BY AREA  
SCALE: 20X

4224636/A 11/2018

NOTES: (continued)

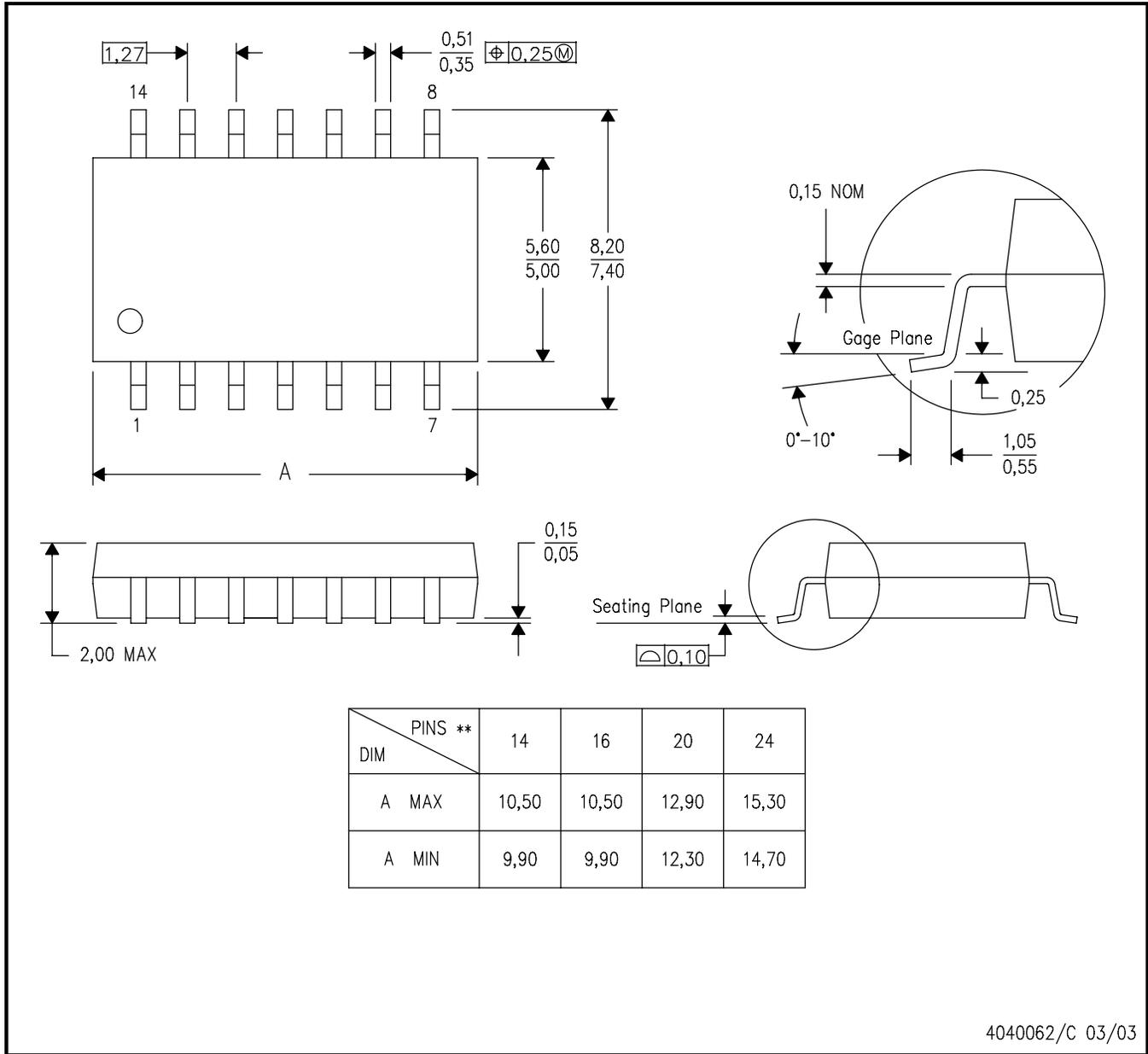
- 6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

# MECHANICAL DATA

NS (R-PDSO-G\*\*)

PLASTIC SMALL-OUTLINE PACKAGE

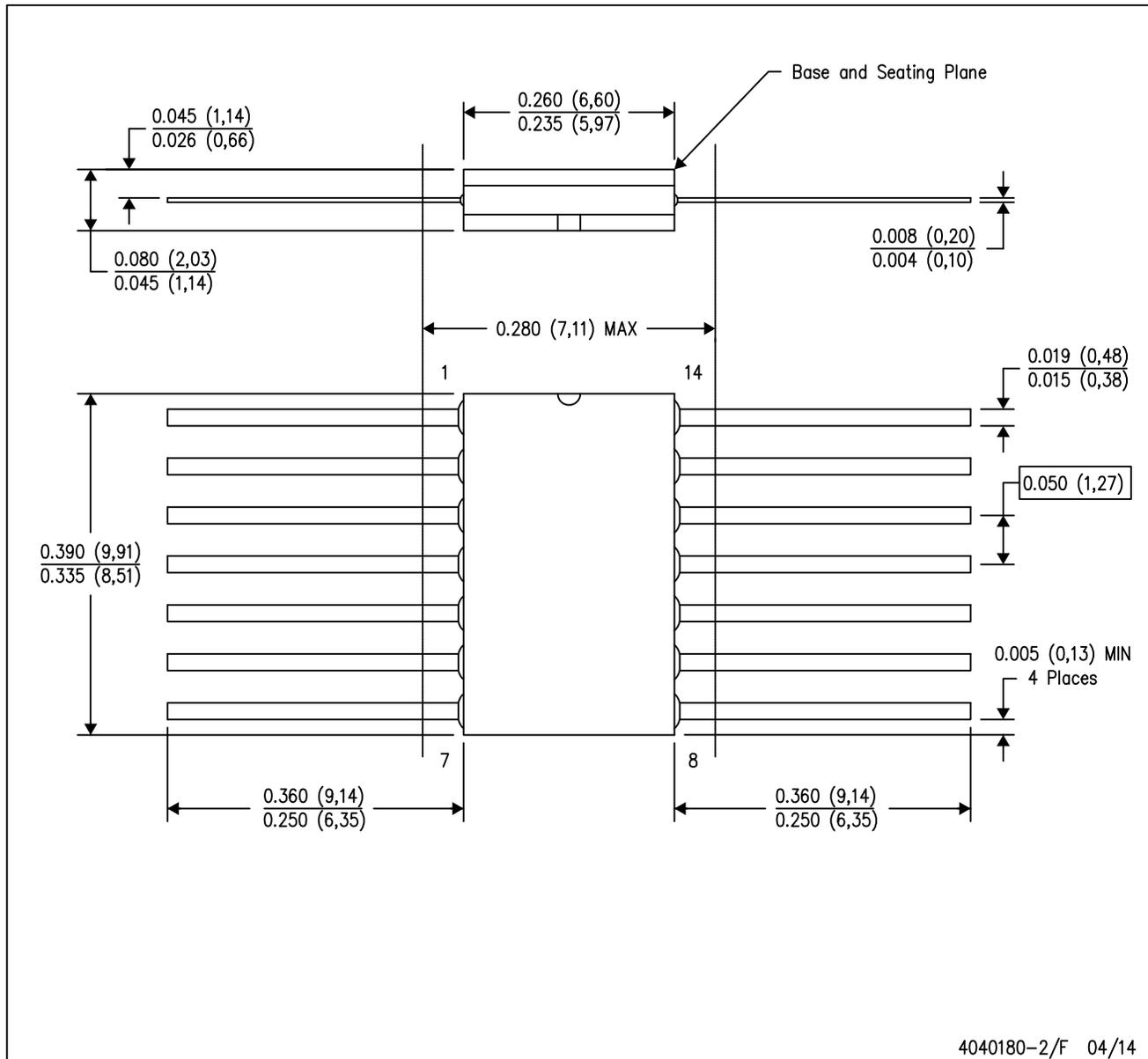
14-PINS SHOWN



- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

W (R-GDFP-F14)

CERAMIC DUAL FLATPACK



- NOTES:
- A. All linear dimensions are in inches (millimeters).
  - B. This drawing is subject to change without notice.
  - C. This package can be hermetically sealed with a ceramic lid using glass frit.
  - D. Index point is provided on cap for terminal identification only.
  - E. Falls within MIL STD 1835 GDFP1-F14

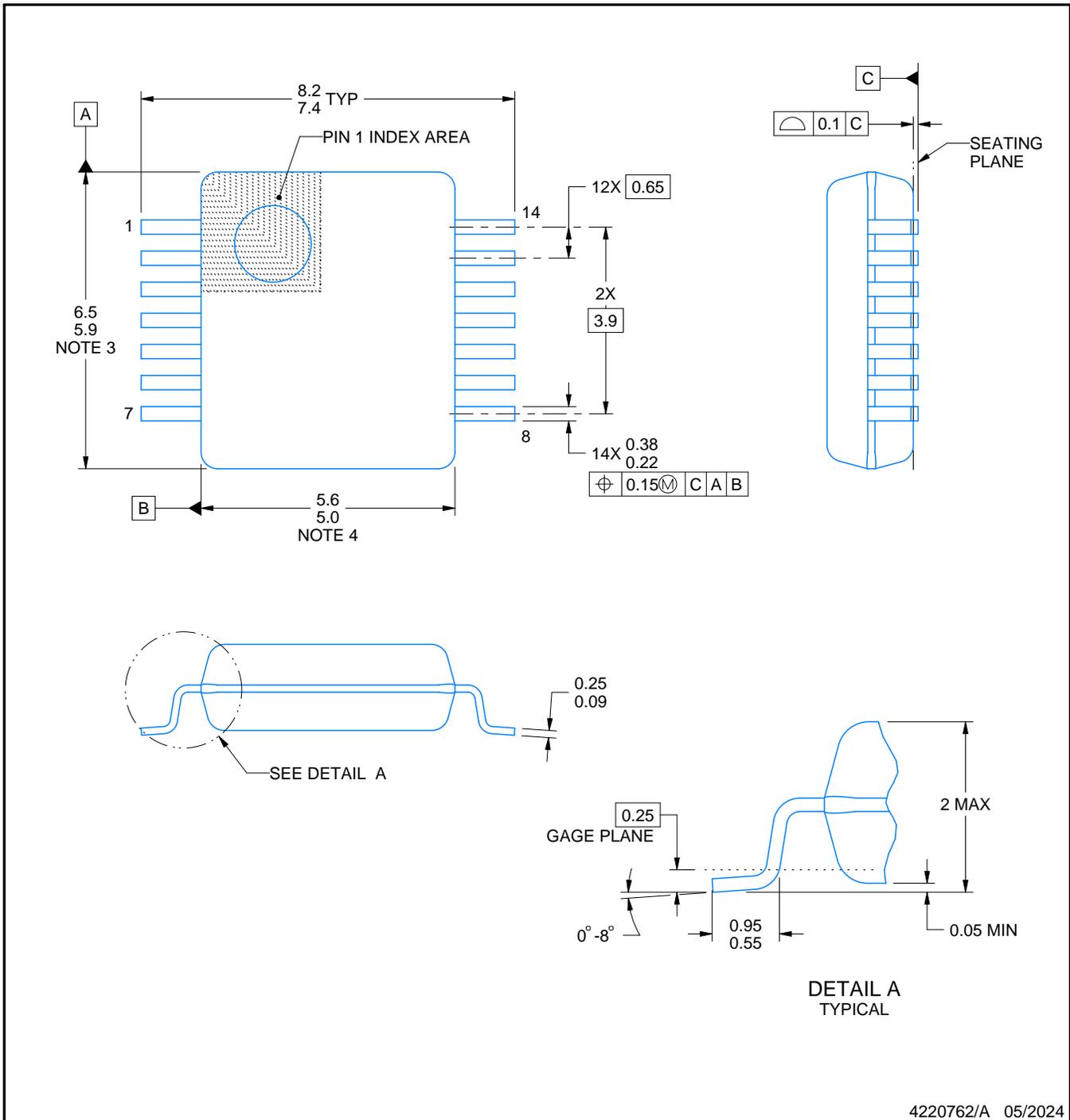
# DB0014A



# PACKAGE OUTLINE

## SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



### NOTES:

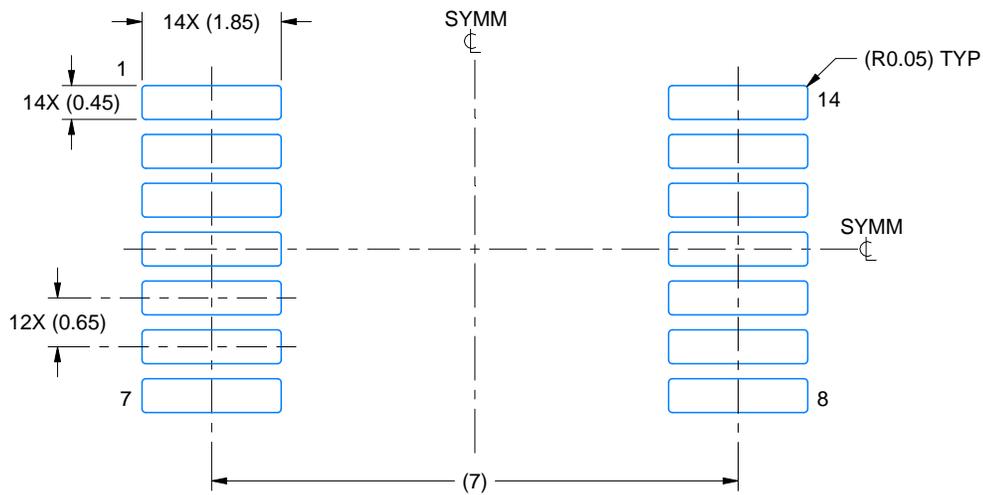
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.

# EXAMPLE BOARD LAYOUT

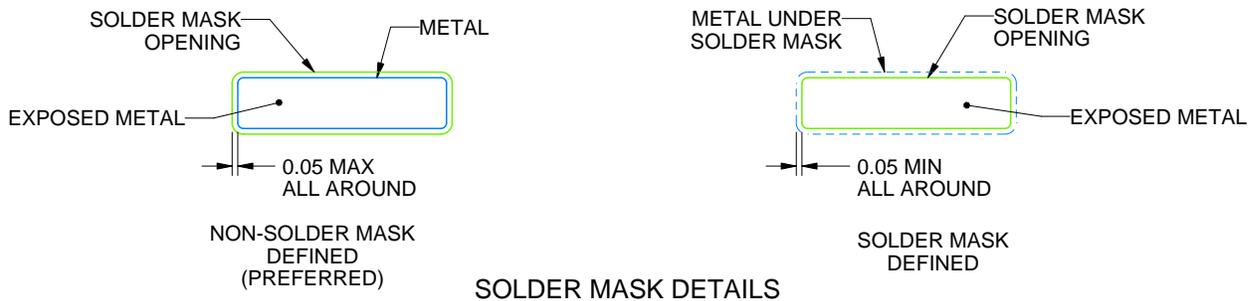
DB0014A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



4220762/A 05/2024

NOTES: (continued)

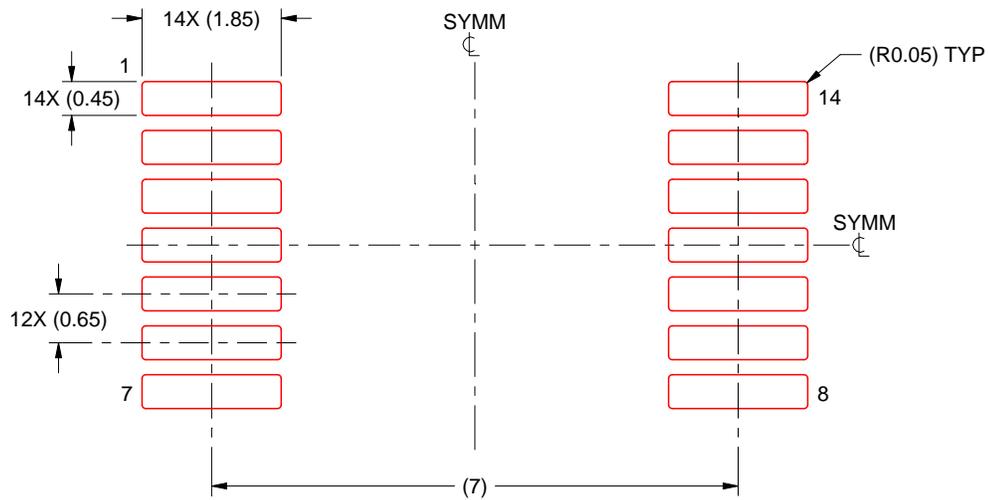
- 5. Publication IPC-7351 may have alternate designs.
- 6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

DB0014A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 10X

4220762/A 05/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

## GENERIC PACKAGE VIEW

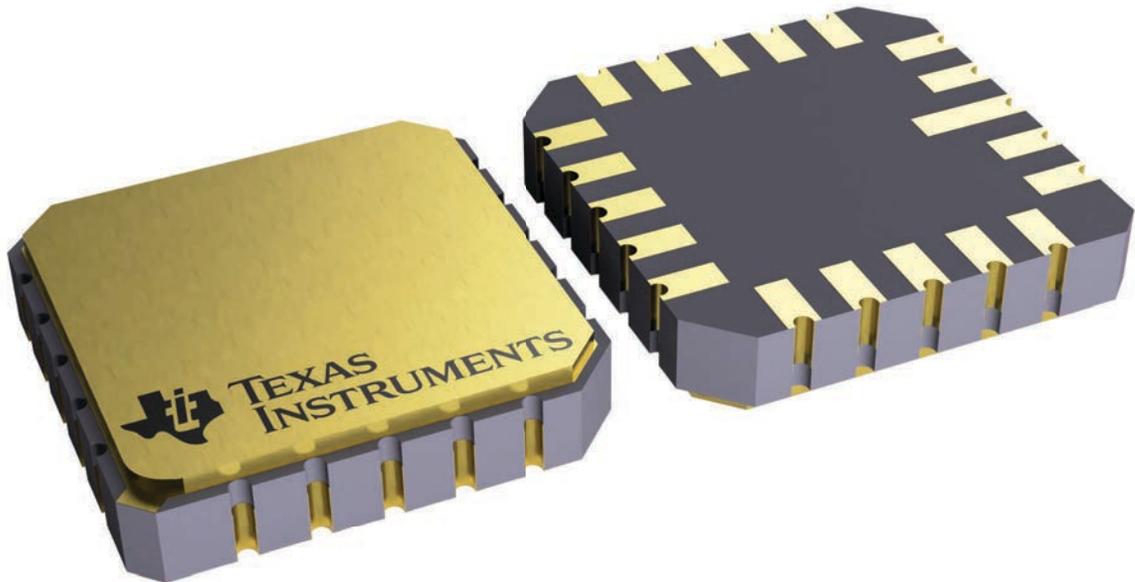
**FK 20**

**LCCC - 2.03 mm max height**

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

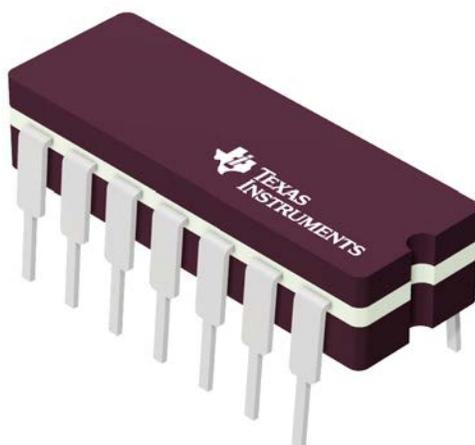
This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4229370VA\

J 14

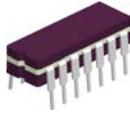
**GENERIC PACKAGE VIEW**  
**CDIP - 5.08 mm max height**  
CERAMIC DUAL IN LINE PACKAGE



Images above are just a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

4040083-5/G

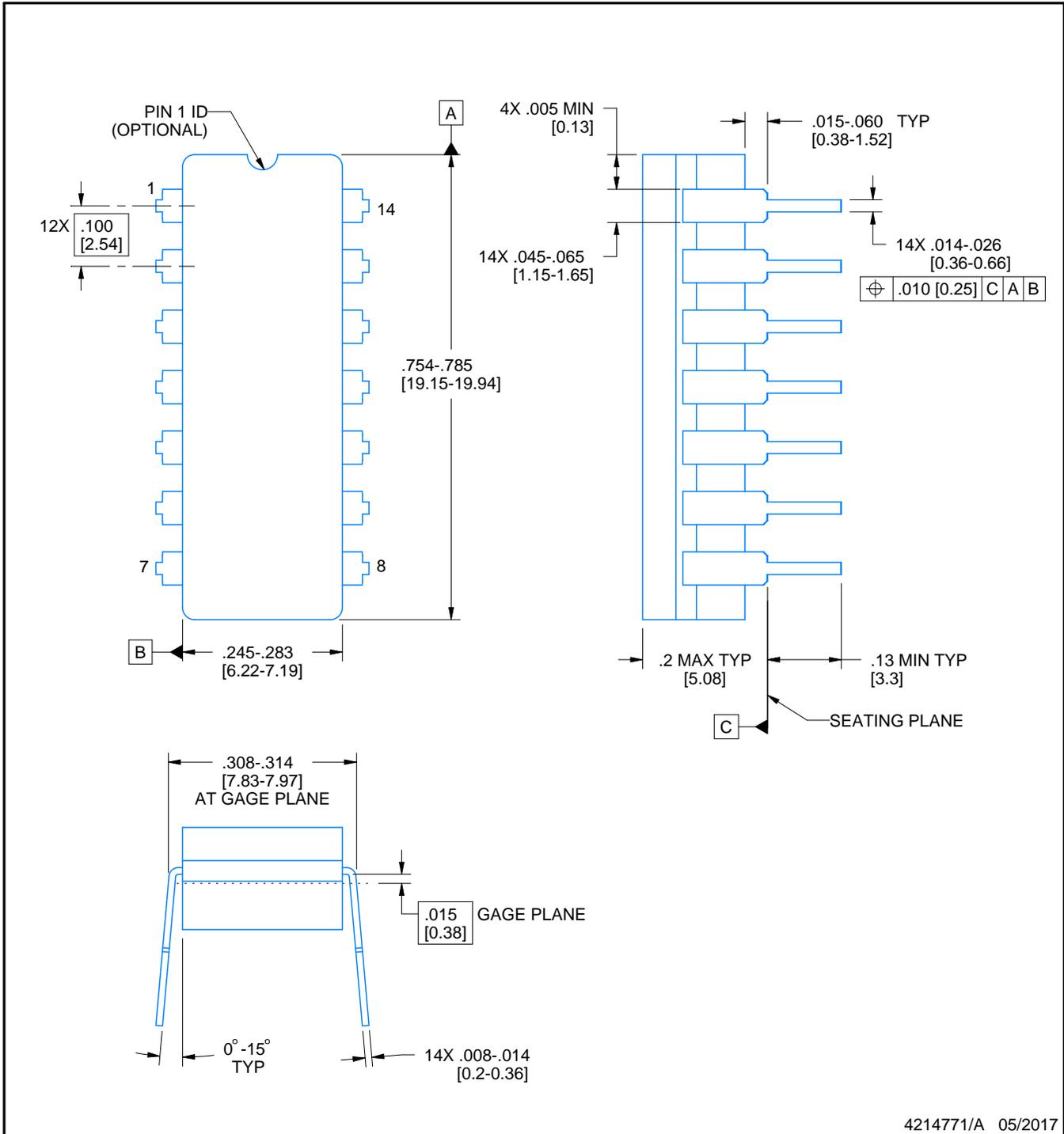
J0014A



# PACKAGE OUTLINE

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



4214771/A 05/2017

NOTES:

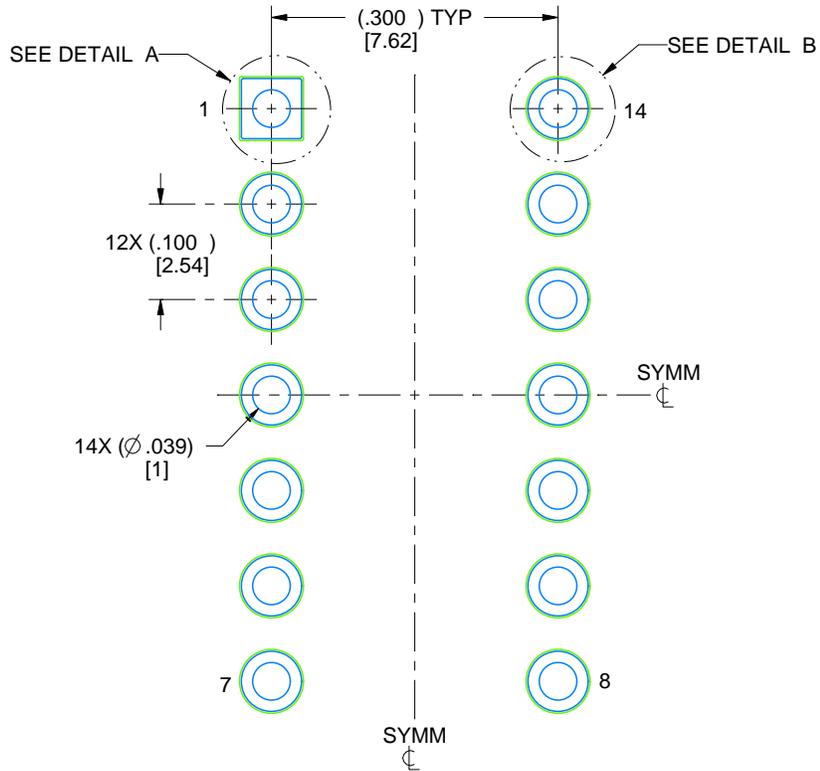
1. All controlling linear dimensions are in inches. Dimensions in brackets are in millimeters. Any dimension in brackets or parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermetically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification only and on press ceramic glass frit seal only.
5. Falls within MIL-STD-1835 and GDIP1-T14.

# EXAMPLE BOARD LAYOUT

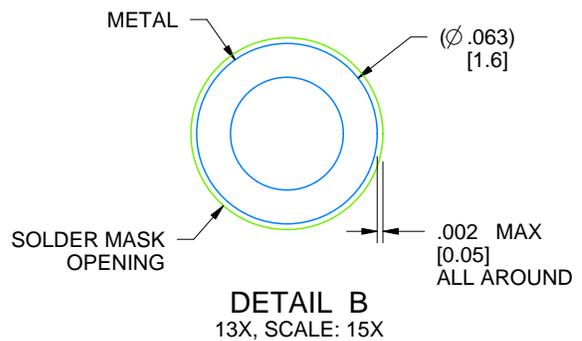
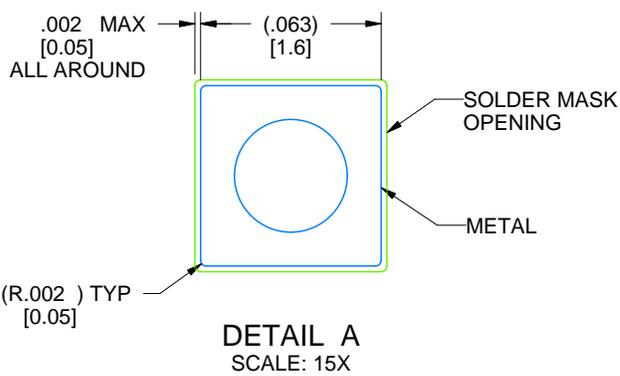
J0014A

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



LAND PATTERN EXAMPLE  
NON-SOLDER MASK DEFINED  
SCALE: 5X

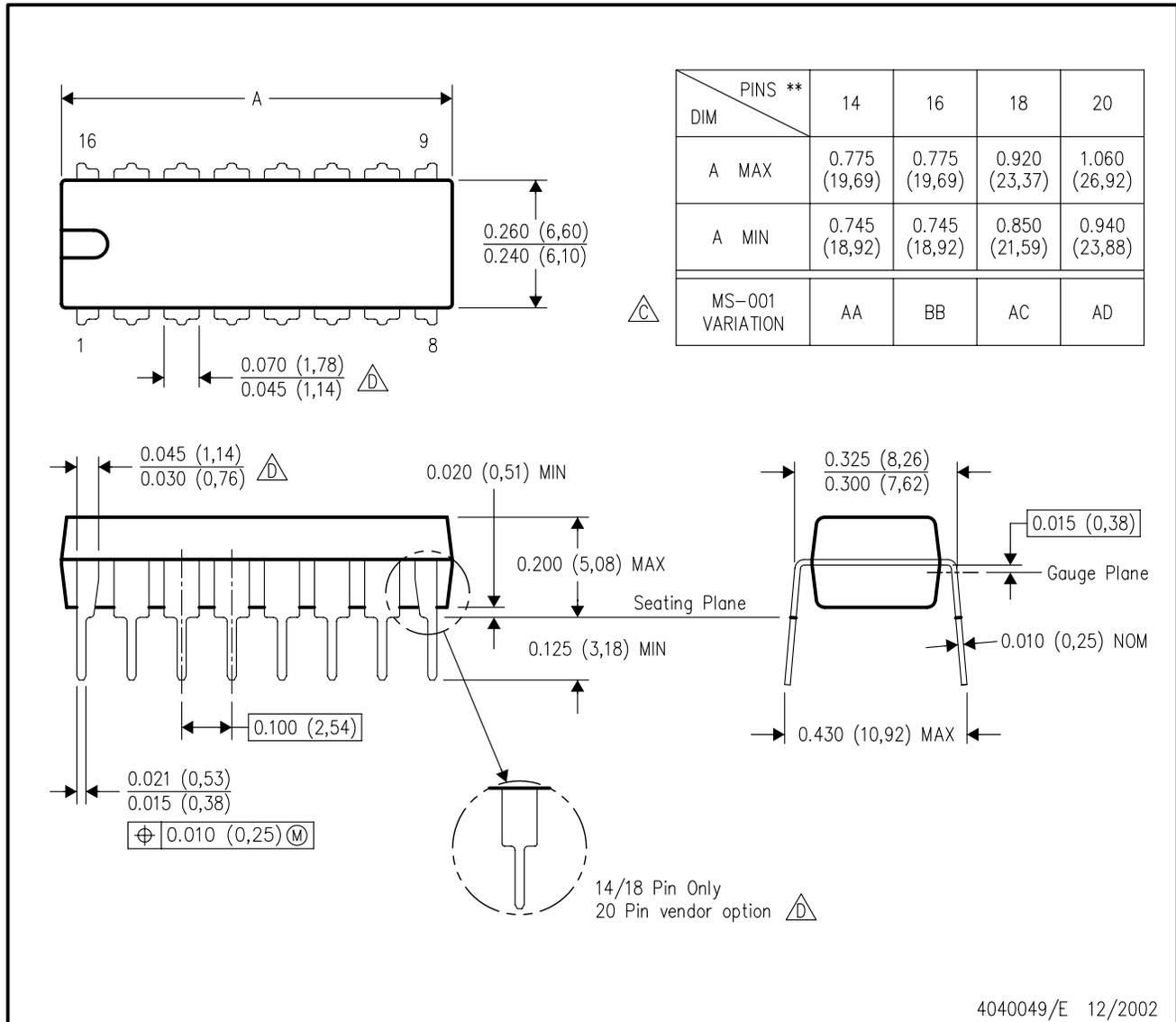


4214771/A 05/2017

N (R-PDIP-T\*\*)

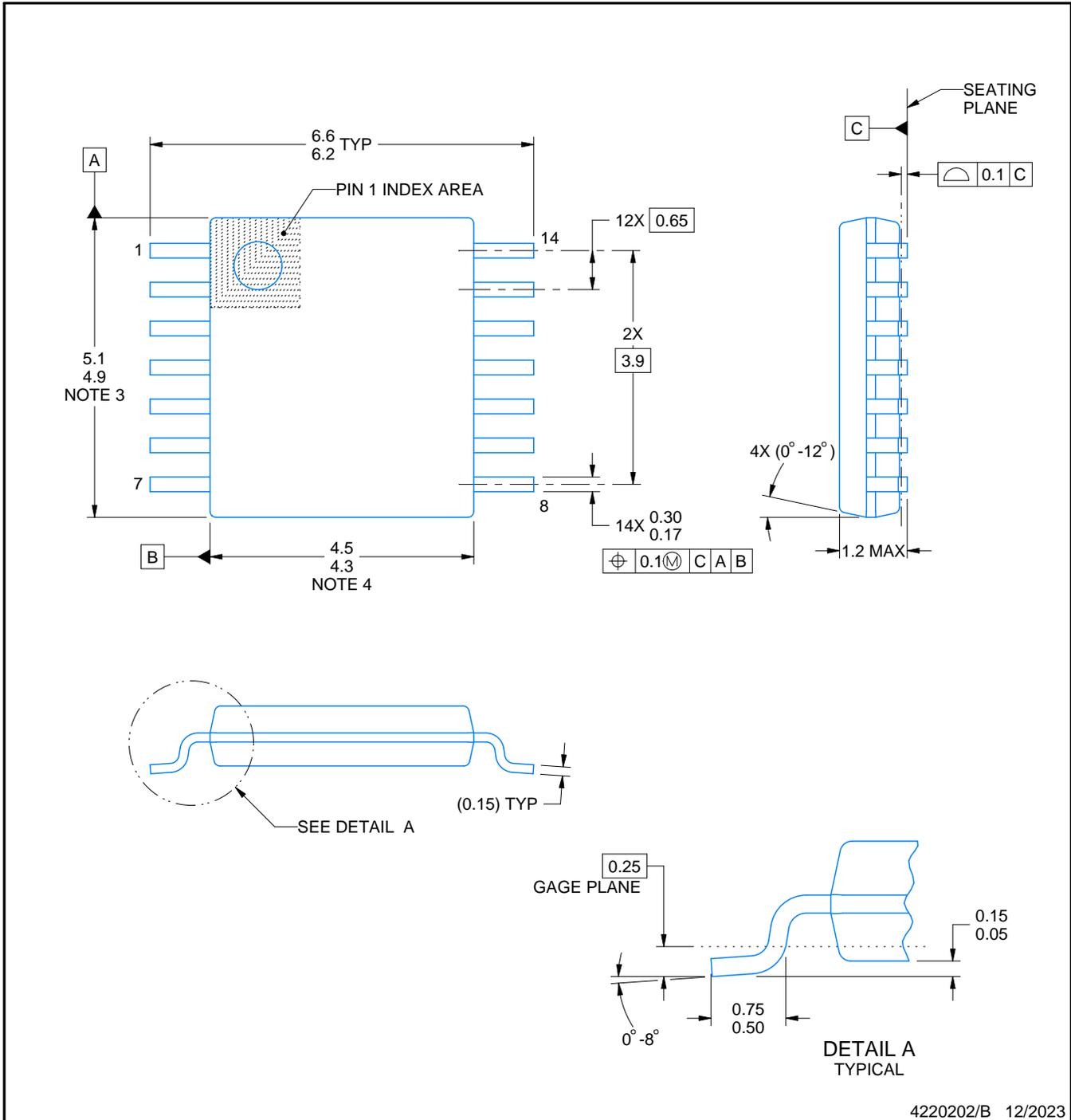
PLASTIC DUAL-IN-LINE PACKAGE

16 PINS SHOWN



4040049/E 12/2002

- NOTES:
- A. All linear dimensions are in inches (millimeters).
  - B. This drawing is subject to change without notice.
  - (C) Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
  - (D) The 20 pin end lead shoulder width is a vendor option, either half or full width.



NOTES:

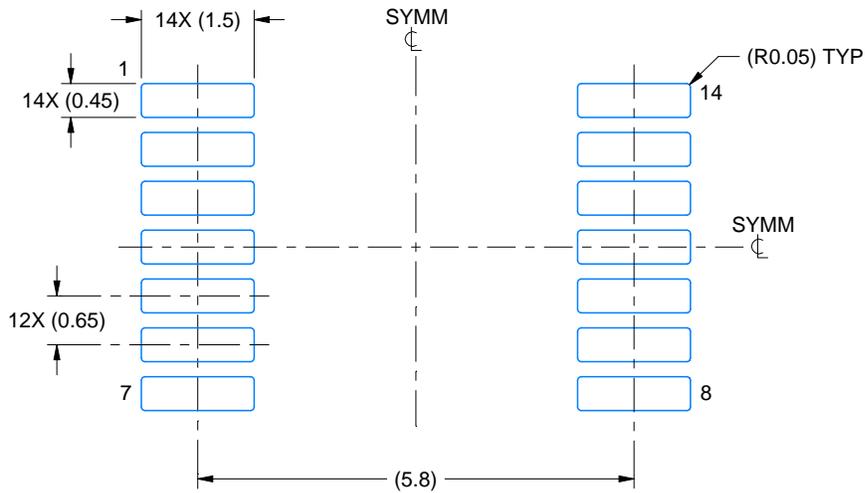
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

# EXAMPLE BOARD LAYOUT

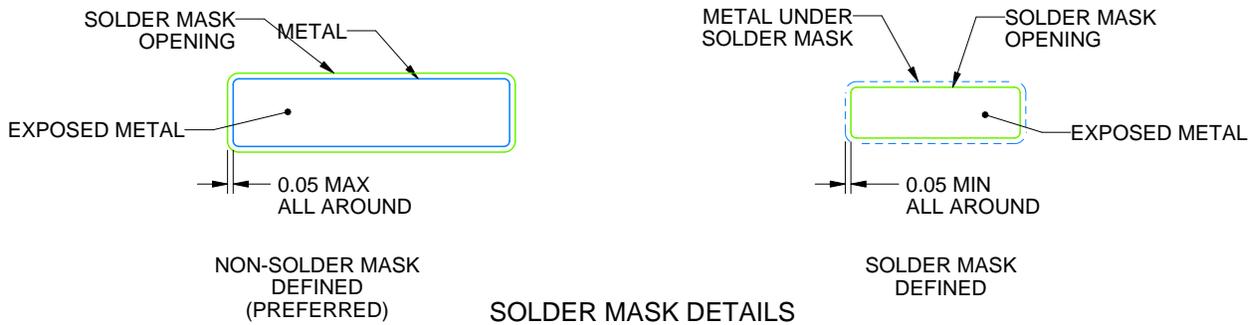
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

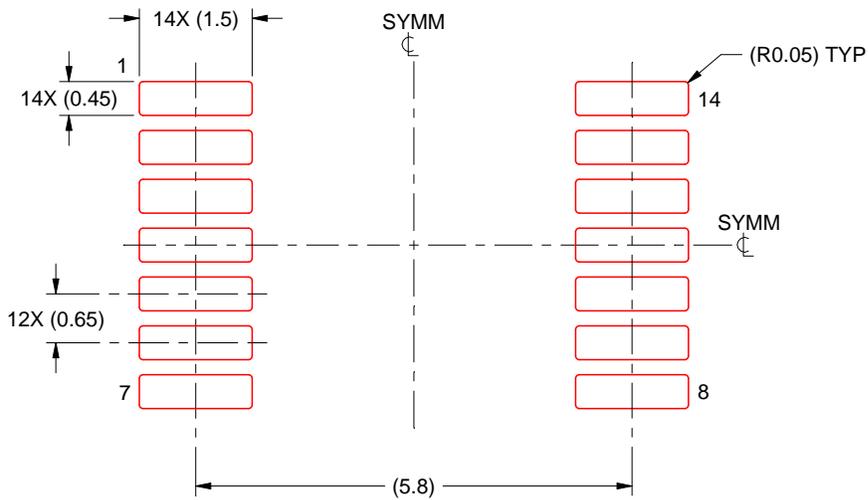
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2025, Texas Instruments Incorporated