

SNx4AC32 クワッド 2 入力正論理 OR ゲート

1 特長

- 2V~6V の V_{CC} で動作
- 6V までの入力電圧に対応
- 7.5ns の最大 t_{pd} (5V 時)

2 説明

'AC32 デバイスは、クワッド 2 入力正論理 OR ゲートです。デバイスは、ブール関数 $Y = A + B$ つまり、 $Y = \overline{A} \times \overline{B}$ を正論理で実行します。

製品情報

部品番号	パッケージ ⁽¹⁾	パッケージサイズ ⁽²⁾	本体サイズ ⁽³⁾
SNx4AC32	DB (SSOP, 14)	6.2mm × 7.8mm	6.2mm × 5.3mm
	D (SOIC, 14)	8.65mm × 6mm	8.65mm × 3.9mm
	N (PDIP, 14)	19.3mm × 9.4mm	19.3mm × 6.35mm
	NS (SO, 14)	10.2mm × 7.8mm	10.3mm × 5.3mm
	PW (TSSOP, 14)	5mm × 6.4mm	5mm × 4.4mm
	BQA (WQFN)	3mm × 2.5mm	3mm × 2.5mm

- (1) 詳細については、[セクション 10](#) を参照してください。
- (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
- (3) 本体サイズ (長さ × 幅) は公称値であり、ピンは含まれません。



各ゲートの論理図 (正論理)



目次

1 特長.....	1	6.2 デバイスの機能モード.....	9
2 説明.....	1	7 アプリケーションと実装.....	10
3 ピン構成および機能.....	3	7.1 電源に関する推奨事項.....	10
4 仕様.....	5	7.2 レイアウト.....	10
4.1 絶対最大定格.....	5	8 デバイスおよびドキュメントのサポート.....	11
4.2 推奨動作条件.....	5	8.1 ドキュメントのサポート.....	11
4.3 熱に関する情報.....	6	8.2 ドキュメントの更新通知を受け取る方法.....	11
4.4 電気的特性.....	6	8.3 サポート・リソース.....	11
4.5 スイッチング特性、 $V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$	7	8.4 商標.....	11
4.6 スイッチング特性、 $V_{CC} = 5\text{ V} \pm 0.5\text{ V}$	7	8.5 静電気放電に関する注意事項.....	11
4.7 動作特性.....	7	8.6 用語集.....	11
5 パラメータ測定情報.....	8	9 改訂履歴.....	11
6 詳細説明.....	9	10 メカニカル、パッケージ、および注文情報.....	12
6.1 機能ブロック図.....	9		

3 ピン構成および機能

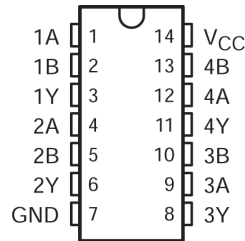
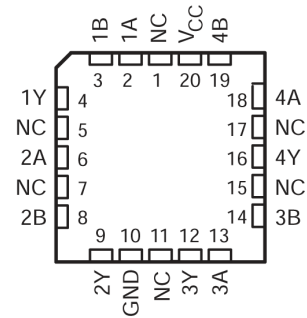


図 3-1. SN54AC32 J または W パッケージ、
14-ピン CDIP または CFP ;

SN74AC32 D、DB、N、NS、または PW パッケージ ;
14-ピン SOIC、SSOP、PDIP、SOP、または TSSOP
(上面図)



NC – No internal connection

図 3-2. SN54AC32 FK パッケージ、
14-ピン LCCC (上面図)

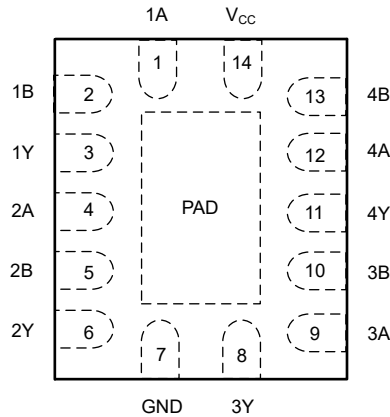


図 3-3. SN74AC32 BQA パッケージ、
14-ピン WQFN (上面図)

表 3-1. ピンの機能

ピン				種類 ⁽¹⁾	説明
名称	SN74AC32	SN54AC32			
	D、DB、DGV、N、NS、PW、RGY、BQA	J、W	FK		
1A	1	1	2	I	1A 入力
1B	2	2	3	I	1B 入力
1Y	3	3	4	O	1Y 出力
2A	4	4	6	I	2A 入力
2B	5	5	8	I	2B 入力
2Y	6	6	9	O	2Y 出力
3A	9	9	13	I	3A 入力
3B	10	10	14	I	3B 入力
3Y	8	8	12	O	3Y 出力
4A	12	12	18	I	4A 入力
4B	13	13	19	I	4B 入力

表 3-1. ピンの機能 (続き)

ピン				種類 ⁽¹⁾	説明
名称	SN74AC32	SN54AC32			
	D、DB、DGV、N、NS、PW、RGY、BQA	J、W	FK		
4Y	11	11	16	O	4Y 出力
GND	7	7	10	—	グラウンド ピン
NC	—	—	1、5、7、11、15、17	—	非接続
V _{CC}	14	14	20	—	パワー ピン
サーマル パッド ⁽²⁾				-	サーマル パッドは GND に接続するか、フローティングのままにすることができます。他の信号や電源には接続しないでください。

(1) 信号タイプ:I = 入力、O = 出力、I/O = 入力または出力。

(2) BQA パッケージに限定

4 仕様

4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V_{CC}	電源電圧範囲	-0.5	7	V
V_I ⁽²⁾	入力電圧範囲	-0.5	$V_{CC} + 0.5$	V
V_O ⁽²⁾	出力電圧範囲	-0.5	$V_{CC} + 0.5$	V
I_{IK}	入力クランプ電流	$(V_I < 0 \text{ または } V_I > V_{CC})$		±20 mA
I_{OK}	出力クランプ電流	$(V_O < 0 \text{ または } V_O > V_{CC})$		±20 mA
I_O	連続出力電流	$(V_O = 0 \sim V_{CC})$		±50 mA
I_O	V_{CC} または GND を通過する連続電流			±200 mA
T_{stg}	保管温度範囲	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

4.2 推奨動作条件

自由空気での推奨動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		SN54AC32		SN74AC32		単位
		最小値	最大値	最小値	最大値	
V_{CC}	電源電圧	2	6	2	6	V
V_{IH}	High レベル入力電圧	$V_{CC} = 3 \text{ V}$	2.1	2.1		V
		$V_{CC} = 4.5 \text{ V}$	3.15	3.15		
		$V_{CC} = 5.5 \text{ V}$	3.85	3.85		
V_{IL}	Low レベル入力電圧	$V_{CC} = 3 \text{ V}$	0.9	0.9		V
		$V_{CC} = 4.5 \text{ V}$	1.35	1.35		
		$V_{CC} = 5.5 \text{ V}$	1.65	1.65		
V_I	入力電圧	0	V_{CC}	0	V_{CC}	V
V_O	出力電圧	0	V_{CC}	0	V_{CC}	V
I_{OH}	High レベル出力電流	$V_{CC} = 3 \text{ V}$	-12	-12		mA
		$V_{CC} = 4.5 \text{ V}$	-24	-24		
		$V_{CC} = 5.5 \text{ V}$	-24	-24		
I_{OL}	Low レベル出力電流	$V_{CC} = 3 \text{ V}$	12	12		mA
		$V_{CC} = 4.5 \text{ V}$	24	24		
		$V_{CC} = 5.5 \text{ V}$	24	24		
$\Delta t/\Delta v$	入力遷移の立ち上がりまたは立ち下がりレート	8		8		ns/V
T_A	自由空気での動作温度	-55	125	-55	125	°C

- (1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、 V_{CC} または GND に固定する必要があります。低速またはフローティング CMOS 入力の影響アプリケーション レポートを参照してください。

4.3 熱に関する情報

熱評価基準 ⁽¹⁾		SNx4AC32						単位
		BQA (WQFN)	D (SOIC)	DB (SSOP)	N (PDIP)	NS (SOP)	PW (TSSOP)	
		14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	
R _{θJA}	接合部から周囲への熱抵抗	91.3	119.9	96	80	76	145.7	°C/W
R _{θJC(top)}	接合部からケース(上面)への熱抵抗	99.4	—	—	—	—	—	°C/W
R _{θJB}	接合部から基板への熱抵抗	61.0	—	—	—	—	—	°C/W
ψ _{JT}	接合部から上面への特性パラメータ	14.5	—	—	—	—	—	°C/W
ψ _{JB}	接合部から基板への特性パラメータ	60.8	—	—	—	—	—	°C/W
R _{θJC(bot)}	接合部からケース(底面)への熱抵抗	37.0	—	—	—	—	—	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

4.4 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	V _{CC}	T _A = 25°C		SN54AC32		SN74AC32		単位
				最小値	標準値	最大値	最小値	最大値	最小値	
V _{OH}	I _{OH} = -50μA	3V	2.9		2.9		2.9	V		
		4.5V	4.4		4.4		4.4			
		5.5V	5.4		5.4		5.4			
	I _{OH} = -12mA	3V	2.56		2.4		2.4			
	I _{OH} = -24mA	4.5V	3.86		3.7		3.7			
		5.5V	4.86		4.7		4.7			
	I _{OH} = -50mA ⁽¹⁾	5.5V			3.85		3.85			
I _{OH} = -75mA ⁽¹⁾	5.5V									
V _{OL}	I _{OL} = 50μA	3V	0.002	0.1		0.1		0.1	V	
		4.5V	0.001	0.1		0.1		0.1		
		5.5V	0.001	0.1		0.1		0.1		
	I _{OL} = 12mA	3V		0.36		0.5		0.5		
	I _{OL} = 24mA	4.5V		0.36		0.5		0.5		
		5.5V		0.36		0.5		0.5		
	I _{OL} = 50mA ⁽¹⁾	5.5V				1.65		1.65		
	I _{OL} = 75mA ⁽¹⁾	5.5V								
I _I	A または B ポート	V _I = V _{CC} または GND	5.5V		±0.1		±1		±1	μA
I _{CC}		V _I = V _{CC} または GND、 I _O = 0	5.5V		2		40		40	μA
C _i		V _I = V _{CC} または GND	5V		2.6					pF

(1) 一度に複数の出力をテストすることはできません。また、テスト期間は 2ms を超えないようにしてください。

4.5 スイッチング特性、 $V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$

自由気流での推奨動作温度範囲内、 $V_{CC} = 3.3\text{V} \pm 0.3\text{V}$ (特に記述のない限り) (負荷回路および電圧波形を参照)

パラメータ	始点 (入力)	終点 (出力)	$T_A = 25^\circ\text{C}$			SN54AC32		SN74AC32		単位
			最小値	標準値	最大値	最小値	最大値	最小値	最大値	
t_{PLH}	A または B	Y	1.5	7	9	1	12	1	12	ns
t_{PHL}			1.5	7	8.5	1	11.5	1	11.5	

4.6 スイッチング特性、 $V_{CC} = 5\text{ V} \pm 0.5\text{ V}$

自由気流での推奨動作温度範囲内、 $V_{CC} = 5\text{V} \pm 0.5\text{V}$ (特に記述のない限り) (負荷回路および電圧波形を参照)

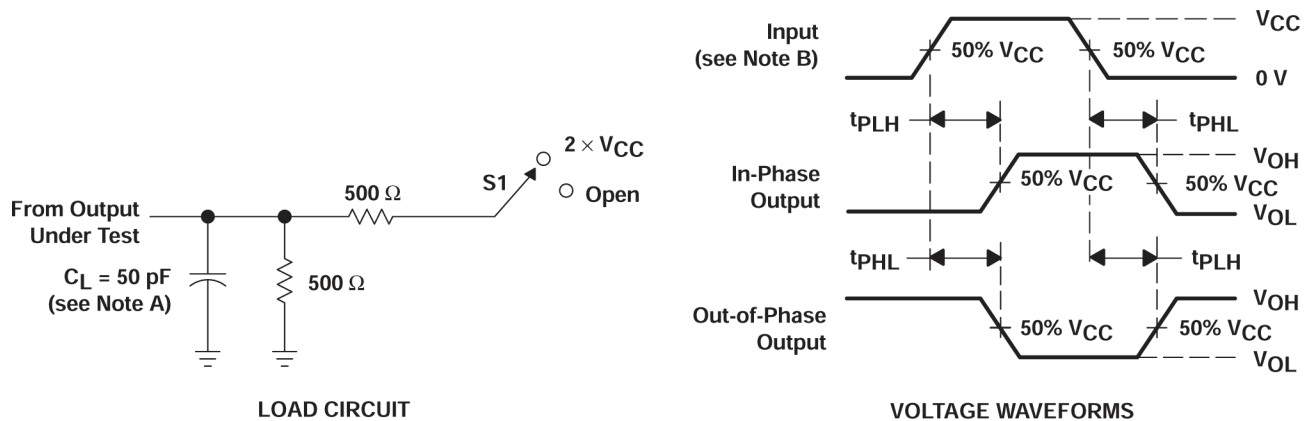
パラメータ	始点 (入力)	終点 (出力)	$T_A = 25^\circ\text{C}$			SN54AC32		SN74AC32		単位
			最小値	標準値	最大値	最小値	最大値	最小値	最大値	
t_{PLH}	A または B	Y	1.5	5.5	7.5	1	9	1	9	ns
t_{PHL}			1.5	5	7	1	8.5	1	8.5	

4.7 動作特性

$V_{CC} = 5\text{V}$, $T_A = 25^\circ\text{C}$

パラメータ		テスト条件		標準値	単位
C_{pd}	電力散逸容量	$C_L = 50\text{pF}$ 、	$f = 1\text{MHz}$	40	pF

5 パラメータ測定情報



- A. C_L にはプローブと治具の容量が含まれます。
- B. すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR $\leq 1\text{MHz}$ 、 $Z_O = 50\Omega$ 、 $t_r \leq 2.5\text{ns}$ 、 $t_f \leq 2.5\text{ns}$ 。
- C. 出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。

図 5-1. 負荷回路および電圧波形

TEST	S1
t_{PLH}/t_{PHL}	オープン

6 詳細説明

6.1 機能ブロック図



図 6-1. 各ゲートの論理図 (正論理)

6.2 デバイスの機能モード

表 6-1. 機能表 (各ゲート)

入力		出力 Y
A	B	
H	X	H
X	H	H
L	L	L

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 電源に関する推奨事項

電源には、「[推奨動作条件](#)」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。このデバイスには $0.1\mu\text{F}$ のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、 $0.1\mu\text{F}$ と $1\mu\text{F}$ のコンデンサは並列に使用されます。[図 7-1](#) に示すように、バイパス コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

7.2 レイアウト

7.2.1 レイアウトのガイドライン

多ビット ロジック デバイスを使用する場合、入力をフローティングにしないでください。

多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、3 入力 AND ゲートの 2 つの入力のみを使用したり、4 つのバッファ ゲートのうち 3 つのみを使用したりする場合)。このような入力ピンを未接続のままにしないでください。外部接続の電圧が未確定の場合、動作状態が不定になるためです。以下に規定された規則は、あらゆる状況で遵守する必要があります。デジタル ロジック デバイスの未使用の入力はすべて、フローティングにならないように、High または Low バイアスに接続する必要があります。特定の未使用の入力に対して適用が必要となるロジックレベルは、デバイスの機能により異なります。一般に、GND または V_{CC} のうち、より適切であるかより利便性の高い方に接続されます。本部品がトランシーバでない限り、フローティング出力は一般的に許容されます。トランシーバに出力イネーブル ピンがある場合、アサートされると本部品の出力セクションがディセーブルになります。これによって I/O の入力セクションはディセーブルされないため、ディセーブル時にもフローティングにできません。

7.2.2 レイアウト例

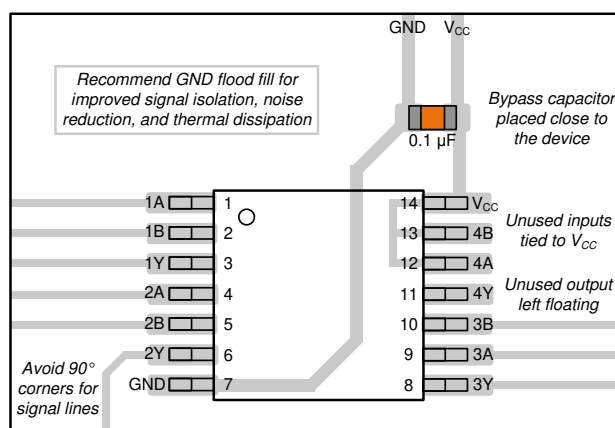


図 7-1. SNx4AC32 のレイアウト例

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

8.1 ドキュメントのサポート

8.1.1 関連資料

次の表に、クイック アクセス リンクを示します。カテゴリには、技術資料、サポートおよびコミュニティリソース、ツールとソフトウェア、およびサンプル注文またはご購入へのクイック アクセスが含まれます。

表 8-1. 関連リンク

製品	プロダクト フォルダ	サンプルとご購入	技術資料	ツールとソフトウェア	サポートとコミュニティ
SN54AC32	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
SN74AC32	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision G (February 2025) to Revision H (April 2025)	Page
• BQA パッケージを追加.....	3
• BQA の熱に関する情報を追加.....	6

Changes from Revision F (December 2024) to Revision G (February 2025)	Page
• SN74AC32 の動作温度を 125°C に更新、また、「推奨動作条件」表のそれぞれの値を更新.....	5
• SN74AC32 の動作温度を 125°C に更新、また「電気的特性」表のそれぞれの値を更新.....	6
• SN74AC32 の動作温度を 125°C に更新、また「スイッチング特性」表のそれぞれの値を更新.....	7

Changes from Revision E (July 2024) to Revision F (December 2024)	Page
• 「推奨動作条件」表の V_{IH} の値を訂正.....	5

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-87614012A	Active	Production	LCCC (FK) 20	55 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962- 87614012A SNJ54AC 32FK
5962-8761401CA	Active	Production	CDIP (J) 14	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8761401CA SNJ54AC32J
5962-8761401DA	Active	Production	CFP (W) 14	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8761401DA SNJ54AC32W
SN74AC32BQAR	Active	Production	WQFN (BQA) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC32
SN74AC32BQAR.A	Active	Production	WQFN (BQA) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC32
SN74AC32D	Obsolete	Production	SOIC (D) 14	-	-	Call TI	Call TI	-40 to 85	AC32
SN74AC32DBR	Active	Production	SSOP (DB) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC32
SN74AC32DBR.A	Active	Production	SSOP (DB) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC32
SN74AC32DR	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC32
SN74AC32DR.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC32
SN74AC32N	Active	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74AC32N
SN74AC32N.A	Active	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74AC32N
SN74AC32NSR	Active	Production	SOP (NS) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC32
SN74AC32NSR.A	Active	Production	SOP (NS) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC32
SN74AC32PW	Obsolete	Production	TSSOP (PW) 14	-	-	Call TI	Call TI	-40 to 85	AC32
SN74AC32PWR	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 85	AC32
SN74AC32PWR.A	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC32
SN74AC32PWRG4	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC32
SN74AC32PWRG4.A	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC32
SNJ54AC32FK	Active	Production	LCCC (FK) 20	55 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962- 87614012A SNJ54AC 32FK
SNJ54AC32FK.A	Active	Production	LCCC (FK) 20	55 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962- 87614012A SNJ54AC 32FK

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SNJ54AC32J	Active	Production	CDIP (J) 14	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8761401CA SNJ54AC32J
SNJ54AC32J.A	Active	Production	CDIP (J) 14	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8761401CA SNJ54AC32J
SNJ54AC32W	Active	Production	CFP (W) 14	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8761401DA SNJ54AC32W
SNJ54AC32W.A	Active	Production	CFP (W) 14	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8761401DA SNJ54AC32W

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN54AC32, SN74AC32 :

- Catalog : [SN74AC32](#)
- Automotive : [SN74AC32-Q1](#), [SN74AC32-Q1](#)
- Enhanced Product : [SN74AC32-EP](#), [SN74AC32-EP](#)
- Military : [SN54AC32](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AC32BQAR	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1
SN74AC32DBR	SSOP	DB	14	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74AC32DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74AC32DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74AC32NSR	SOP	NS	14	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
SN74AC32PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AC32PWRG4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AC32BQAR	WQFN	BQA	14	3000	210.0	185.0	35.0
SN74AC32DBR	SSOP	DB	14	2000	353.0	353.0	32.0
SN74AC32DR	SOIC	D	14	2500	353.0	353.0	32.0
SN74AC32DR	SOIC	D	14	2500	353.0	353.0	32.0
SN74AC32NSR	SOP	NS	14	2000	353.0	353.0	32.0
SN74AC32PWR	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74AC32PWRG4	TSSOP	PW	14	2000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
5962-87614012A	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-8761401DA	W	CFP	14	25	506.98	26.16	6220	NA
SN74AC32N	N	PDIP	14	25	506	13.97	11230	4.32
SN74AC32N	N	PDIP	14	25	506	13.97	11230	4.32
SN74AC32N.A	N	PDIP	14	25	506	13.97	11230	4.32
SN74AC32N.A	N	PDIP	14	25	506	13.97	11230	4.32
SNJ54AC32FK	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54AC32FK.A	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54AC32W	W	CFP	14	25	506.98	26.16	6220	NA
SNJ54AC32W.A	W	CFP	14	25	506.98	26.16	6220	NA

D0014A**PACKAGE OUTLINE****SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

BQA 14

WQFN - 0.8 mm max height

2.5 x 3, 0.5 mm pitch

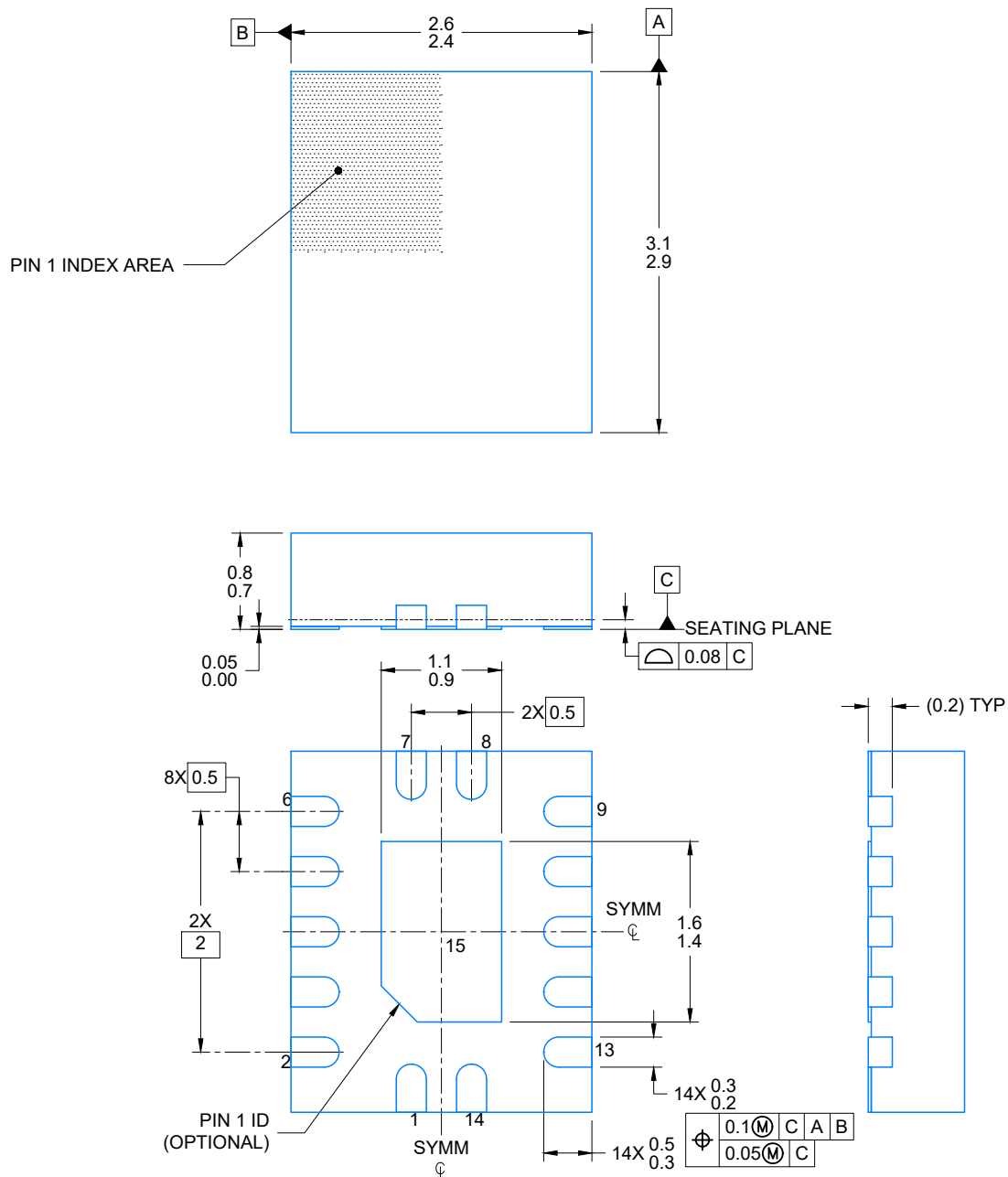
PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4227145/A

PLASTIC QUAD FLAT PACK-NO LEAD



4224636/A 11/2018

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN

SCALE: 20X



4224636/A 11/2018

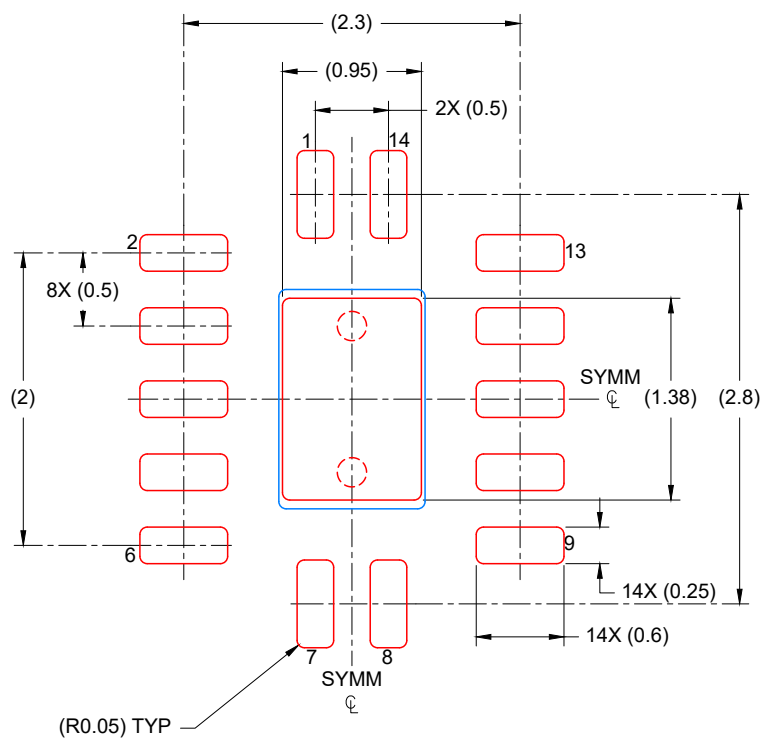
NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

BQA0014A

WQFN - 0.8 mm max height

PLASTIC QUAD FLAT PACK-NO LEAD



SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
88% PRINTED COVERAGE BY AREA
SCALE: 20X

4224636/A 11/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

MECHANICAL DATA

NS (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

14-PINS SHOWN



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

GENERIC PACKAGE VIEW

FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



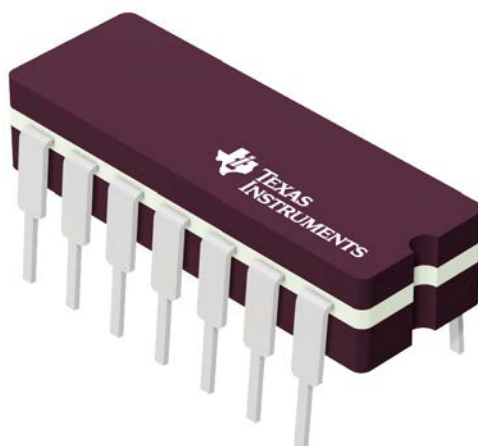
4229370VA\

J 14

GENERIC PACKAGE VIEW

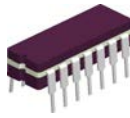
CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE

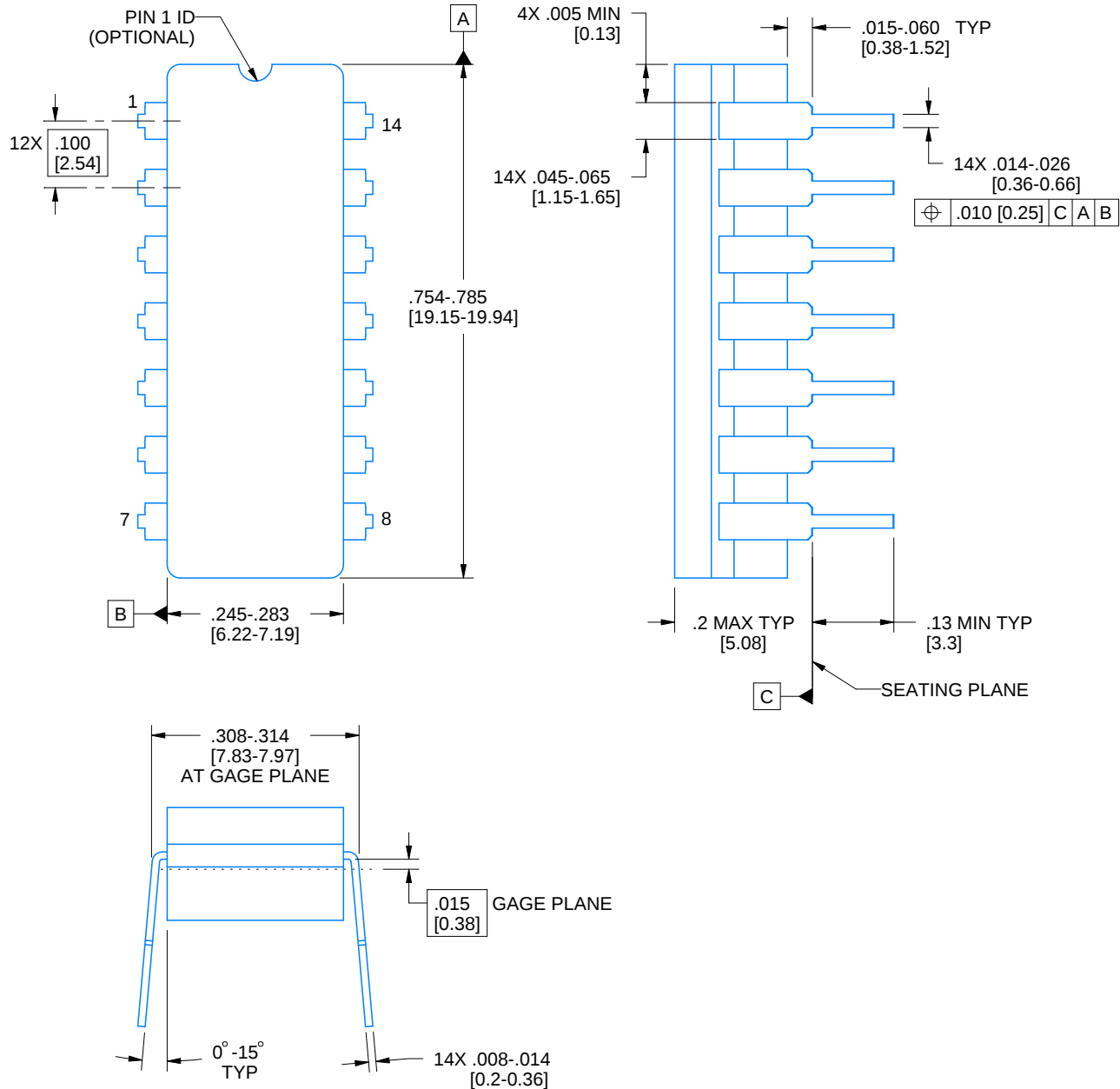


Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4040083-5/G

J0014A**PACKAGE OUTLINE****CDIP - 5.08 mm max height**

CERAMIC DUAL IN LINE PACKAGE



4214771/A 05/2017

NOTES:

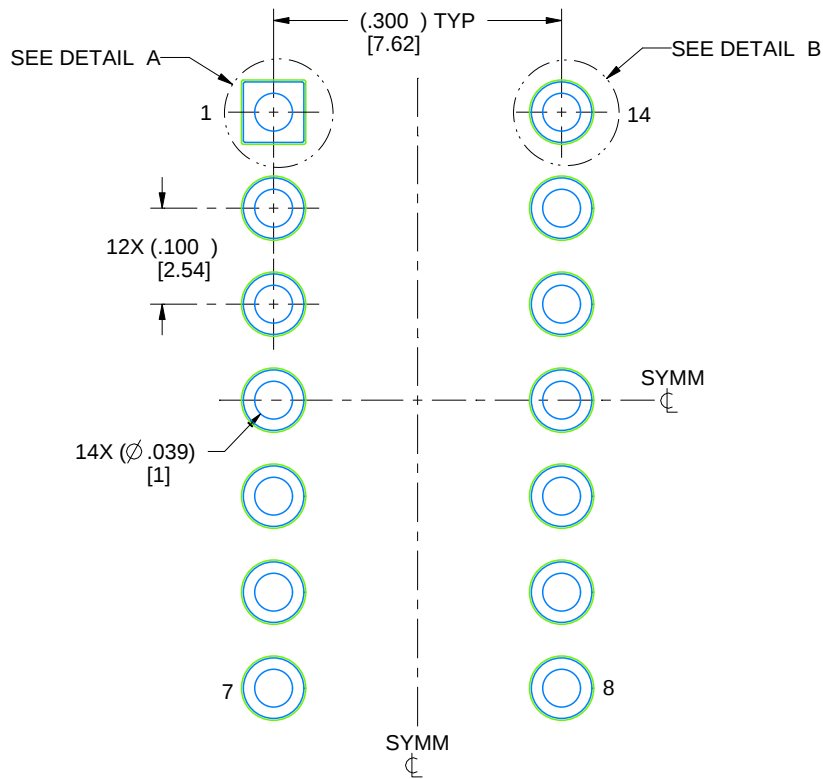
1. All controlling linear dimensions are in inches. Dimensions in brackets are in millimeters. Any dimension in brackets or parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermetically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification only and on press ceramic glass frit seal only.
5. Falls within MIL-STD-1835 and GDIP1-T14.

EXAMPLE BOARD LAYOUT

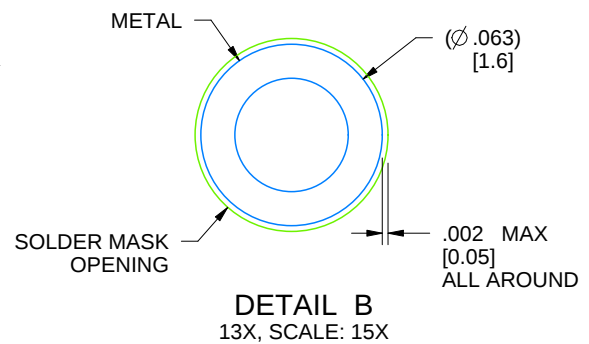
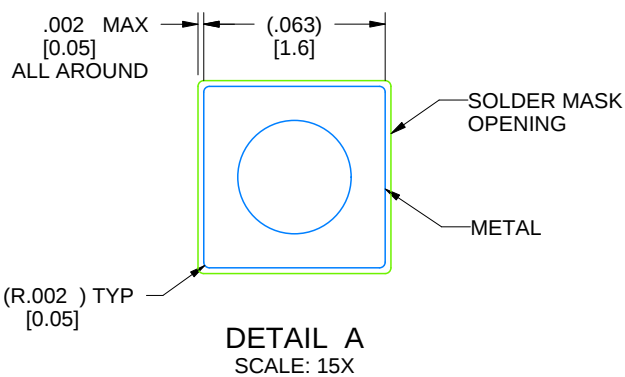
J0014A

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



LAND PATTERN EXAMPLE
NON-SOLDER MASK DEFINED
SCALE: 5X

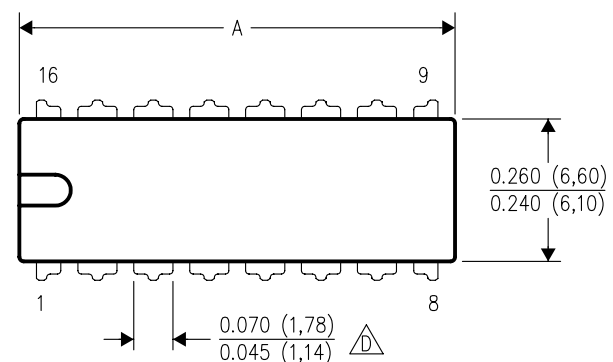


4214771/A 05/2017

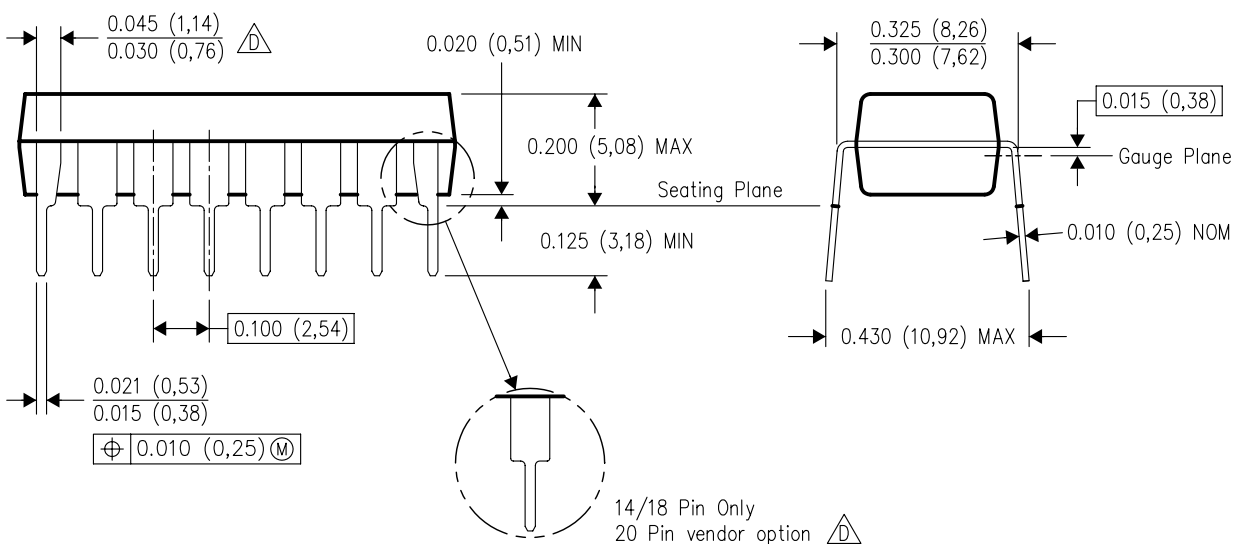
N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



PINS ** DIM	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS-001 VARIATION	AA	BB	AC	AD



4040049/E 12/2002

NOTES:

- A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
-  Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 The 20 pin end lead shoulder width is a vendor option, either half or full width.

PW0014A

PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

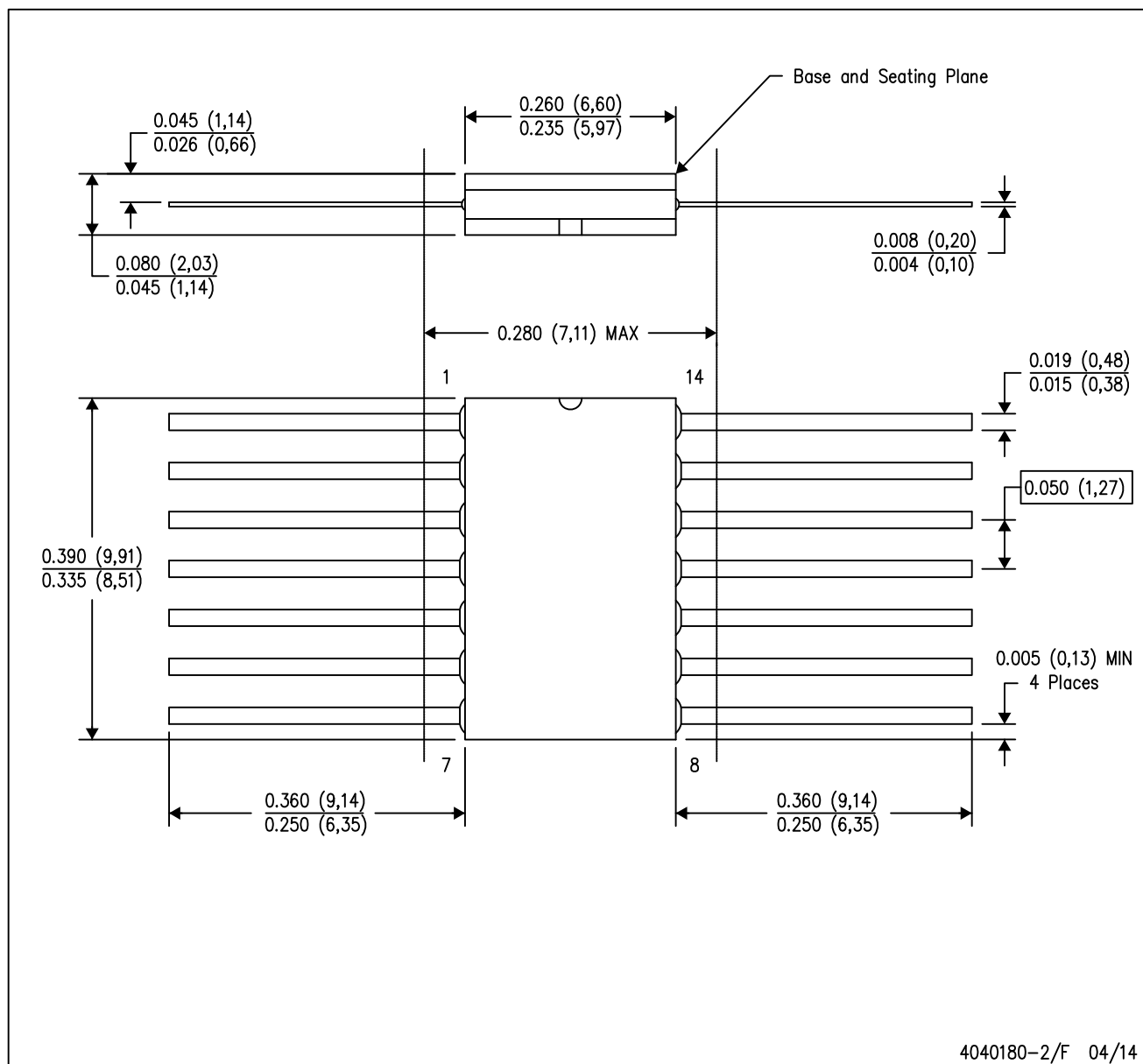
4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

W (R-GDFP-F14)

CERAMIC DUAL FLATPACK



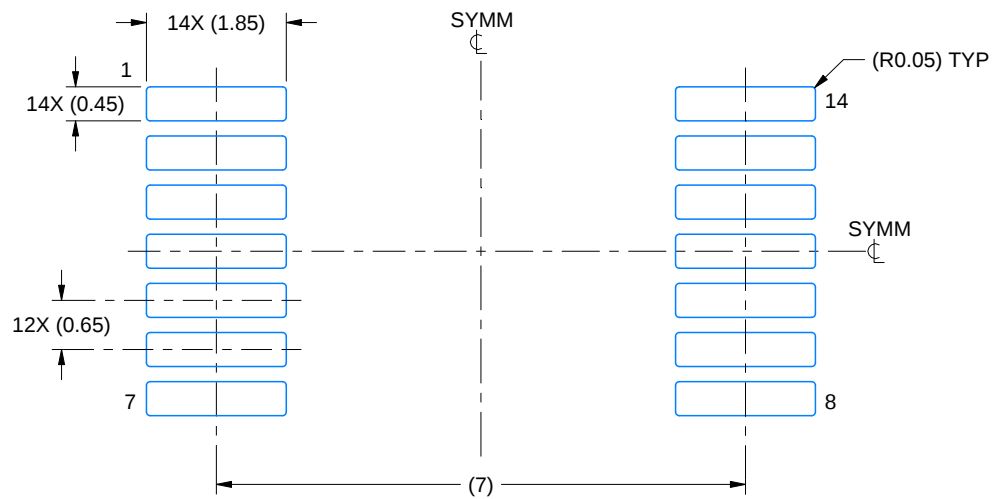
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.

EXAMPLE BOARD LAYOUT

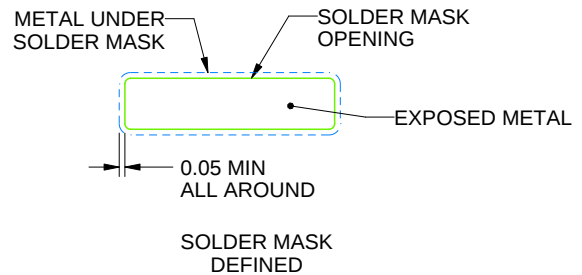
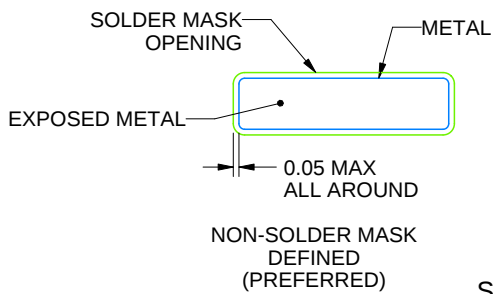
DB0014A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220762/A 05/2024

NOTES: (continued)

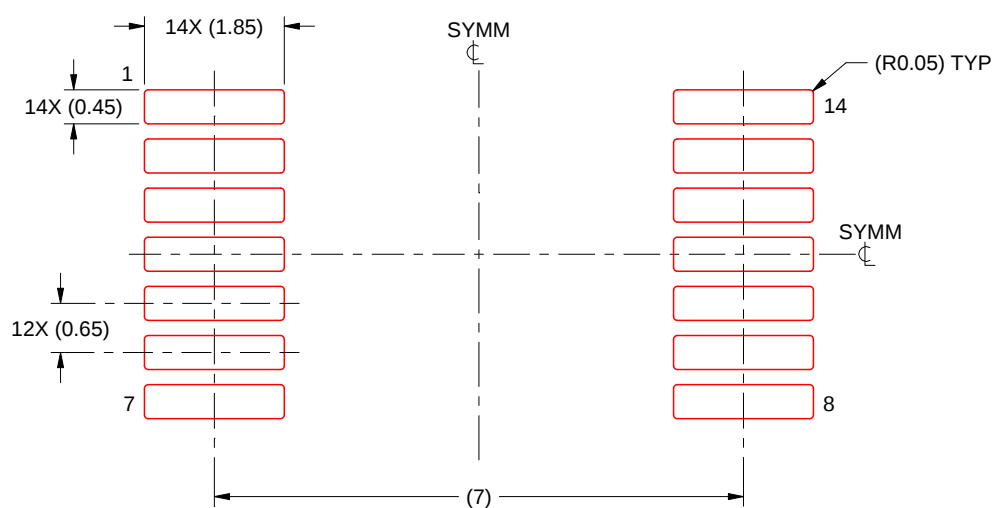
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DB0014A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220762/A 05/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated