

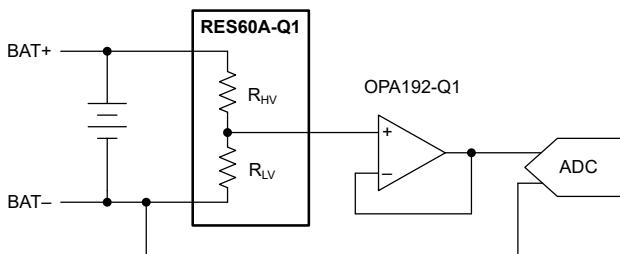
RES60A-Q1 車載対応、1400V_{DC}、高精度抵抗分割器

1 特長

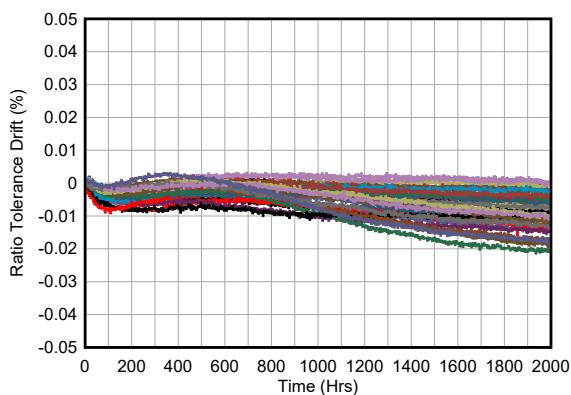
- 車載アプリケーション用に AEC-Q200 認定済み:
 - 温度グレード 1: -40°C ~ +125°C
- 高い電圧定格:
 - 4000V_{DC} (60 秒) で 3 回以上の HiPOT 試験に合格
 - HVIN と LVIN の間で 1700V_{DC} の沿面距離および空間距離をサポート (IEC-61010 PD 2)
- 低いシフトおよびドリフトで高い DC 精度を実現:
 - 初期比率マッチング精度: ±0.1% (最大値)
 - 低いドリフト: ±1ppm/°C (標準値)
 - 長い時間が経過しても全温度範囲にわたって ±0.2% の精度
- 低熱ノイズ薄膜抵抗

2 アプリケーション

- 高電圧バスおよびバッテリ電圧監視
 - HEV/EV のバッテリ管理システム (BMS)
 - HEV/EV の DC/DC コンバータ
 - HEV/EV のオンボードチャージャ (OBC)
 - HEV/EV のインバータおよびモータ制御
- 非絶縁型、同一のグランド、常時オンの分割器
- 広同相範囲アンプ



代表的な回路図



3 説明

RES60A-Q1 は、マッチングされた抵抗分割器で、テキサス・インスツルメンツの最新の高性能アナログ ウエハ プロセスで薄膜 SiCr に実装されています。高品質の SiO₂ 絶縁層は抵抗器をカプセル化し、継続的動作で最大 1400V_{DC}、HiPOT テスト (60 秒) で最大 4000V_{DC} という非常に高い電圧で使用できるようにします。このデバイスは、公称入力抵抗 R_{HV} = 12.5MΩ であり、幅広いシステムの要求を満たすため、いくつかの公称比率で供給されます。

RES60A-Q1 シリーズは高い比率マッチング精度を特長としており、各分割器の測定比率は公称値の ±0.1% (最大) 以内です。この精度は、仕様温度範囲全体で維持され時間が経過しても、累積ドリフトはわずか ±0.2% (最大) です。したがって、キャリブレーションなしの RES60A-Q1 の生涯耐性は、±0.3% (max) 内に収まります。

RES60A-Q1 は、AEC-Q200 温度グレード 1 で車載認定済みで、-40°C ~ 125°C の仕様温度範囲を満たしています。このデバイスは、8 ピン SOIC パッケージで供給され、公称本体サイズが 7.5mm × 5.85mm で、高電圧ピンと低電圧ピンの間の沿面距離と空間距離が 8.5mm 以上あります。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
RES60A-Q1	DWV (SOIC, 8)	5.85mm × 11.5mm

(1) 詳細については、[セクション 10](#) を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

製品情報

部品番号	公称比 (R _{HV} :R _{LV})
RES60A145-Q1	145:1
RES60A210-Q1	210:1
RES60A315-Q1	315:1
RES60A410-Q1	410:1
RES60A500-Q1	500:1
RES60A610-Q1	610:1
RES60A100-Q1	1000:1



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあります。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	7 アプリケーションと実装	10
2 アプリケーション	1	7.1 アプリケーション情報	10
3 説明	1	7.2 代表的なアプリケーション	13
4 ピン構成および機能	2	7.3 電源に関する推奨事項	14
5 仕様	3	7.4 レイアウト	15
5.1 絶対最大定格	3	8 デバイスおよびドキュメントのサポート	17
5.2 ESD 定格	3	8.1 デバイス サポート	17
5.3 推奨動作条件	4	8.2 ドキュメントのサポート	18
5.4 熱に関する情報	4	8.3 ドキュメントの更新通知を受け取る方法	18
5.5 電気的特性	5	8.4 サポート・リソース	18
5.6 代表的特性	7	8.5 商標	18
6 詳細説明	8	8.6 静電気放電に関する注意事項	18
6.1 概要	8	8.7 用語集	18
6.2 機能ブロック図	8	9 改訂履歴	18
6.3 機能説明	8	10 メカニカル、パッケージ、および注文情報	19
6.4 デバイスの機能モード	9		

4 ピン構成および機能

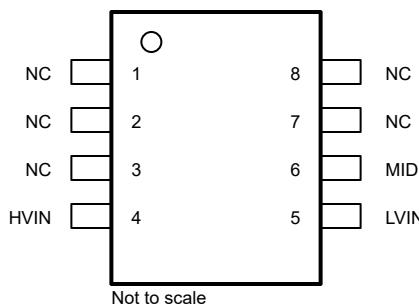


図 4-1. DWV パッケージ、8 ピン SOIC (上面図)

表 4-1. ピンの機能

ピン		タイプ	説明
名称	番号		
HVIN	4	入力	分圧器の高電圧入力
LVIN	5	入力	分圧器の低電圧入力
MID	6	出力	分圧器のセンター タップ
NC	1、2、3	—	高電圧側の内部接続されていないピン。基板レベルで最高の信頼性を得るために、PCB に半田付けします。これらのピンの露出した金属領域は、沿面距離および空間距離の計算の一部と考慮する必要があります。
NC	7、8	—	低電圧側の内部接続されていないピン。基板レベルで最高の信頼性を得るために、PCB に半田付けします。これらのピンの露出した金属領域は、沿面距離および空間距離の計算の一部と考慮する必要があります。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

			最小値	最大値	単位
分圧器ごとの最大短期過負荷電圧、 $V_D = V_{HVIN} - V_{LVIN}$ (100ms, $T_A = 25^\circ\text{C}$) ^{(2) (3)}		RES60A145	-2700	2700	V
		RES60A210	-2700	2700	
		RES60A315	-2700	2700	
		RES60A410	-2700	2700	
		RES60A500	-2700	2700	
		RES60A610	-2700	2700	
		RES60A100	-2700	2700	
過渡高電位電圧、ac (50Hz, $T_A = 25^\circ\text{C}$) ^{(4) (5)}		RES60A145	-3000	3000	V_{RMS}
		RES60A210	-3000	3000	
		RES60A315	-3000	3000	
		RES60A410	-3000	3000	
		RES60A500	-3000	3000	
		RES60A610	-3000	3000	
		RES60A100	-3000	3000	
過渡高電位電圧、dc ($T_A = 25^\circ\text{C}$) ^{(4) (5)}		RES60A145	-4000	4000	V_{DC}
		RES60A210	-4000	4000	
		RES60A315	-4000	4000	
		RES60A410	-4000	4000	
		RES60A500	-4000	4000	
		RES60A610	-4000	4000	
		RES60A100	-4000	4000	
T_A	周囲温度		-55	150	°C
T_J	接合部温度		-55	150	°C
T_{stg}	保存温度		-55	175	°C

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) 性能の低下なしに過渡条件下で許容される最大短期電圧。特に自己発熱によって T_J が 150°C を超える場合は、これらの電圧レベル以上での継続的な動作は避けてください。
- (3) 量産時にテスト済み、各デバイスの 100ms にわたって $\pm 2.7\text{kV}$ のストレス。
- (4) パッケージの高電圧ドメイン (ピン 1 ~ 4) から低電圧ドメイン (ピン 5 ~ 8) への差動電圧。
- (5) 総ストレス持続時間は 180 秒、デューティサイクルが 20% 以下で、寿命全体にわたって 60 秒以下の増分で累積されます。たとえば、連続的なストレスが 60 秒続いた後、デバイスの温度が安定するまで 240 秒待機してから、ストレスを繰り返します。過渡高電位電圧テストを繰り返すと、性能の低下やデバイスの損傷につながる可能性があります。

5.2 ESD 定格

			値	単位
$V_{(\text{ESD})}$	静電放電	人体モデル (HBM)、AEC Q200-002 に準拠、5 と 6 を除くすべてのピン	± 4000	V
		人体モデル (HBM)、AEC Q200-002 に準拠、ピン 5 と 6	± 2000	
		荷電デバイスモデル (CDM)、AEC Q100-011 準拠	± 1500	

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
分圧器あたりの最大持続 dc 電圧 (HVIN ピンから LVIN ピン、 $T_A = 25^\circ\text{C}$ で 10 年間) ⁽¹⁾	RES60A145	-1400	1400		V_{DC}
	RES60A210	-1400	1400		
	RES60A315	-1400	1400		
	RES60A410	-1400	1400		
	RES60A500	-1400	1400		
	RES60A610	-1400	1400		
	RES60A100	-1400	1400		
分圧器あたりの最大持続 50Hz ac 電圧 (HVIN ピンから LVIN ピン、 $T_A = 25^\circ\text{C}$ で 10 年間) ⁽¹⁾	RES60A145	-550	550		V_{RMS}
	RES60A210	-550	550		
	RES60A315	-550	550		
	RES60A410	-550	550		
	RES60A500	-550	550		
	RES60A610	-550	550		
	RES60A100	-550	550		
T_A	周囲温度	-40	125	$^\circ\text{C}$	

(1) $R_{\theta JA} = 110.4^\circ\text{C}/\text{W}$ を想定。

5.4 热に関する情報

热評価基準 ⁽¹⁾		RES60A-Q1	単位
		DWV (SOIC)	
		8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	110.4	$^\circ\text{C}/\text{W}$
$R_{\theta JC(\text{top})}$	接合部からケース (上面) への熱抵抗	55.3	$^\circ\text{C}/\text{W}$
$R_{\theta JB}$	接合部から基板への熱抵抗	53.0	$^\circ\text{C}/\text{W}$
Ψ_{JT}	接合部から上面への特性パラメータ	41.2	$^\circ\text{C}/\text{W}$
Ψ_{JB}	接合部から基板への特性パラメータ	51.6	$^\circ\text{C}/\text{W}$
$R_{\theta JC(\text{bot})}$	接合部からケース (底面) への熱抵抗	該当なし	$^\circ\text{C}/\text{W}$

(1) 従来および最新の热評価基準の詳細については、『半導体および IC パッケージの热評価基準』アプリケーション レポートを参照してください。

5.5 電気的特性

$V_D = 1000V$ の場合、 $T_A = 25^\circ C$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
初期抵抗						
R_{HV}	入力抵抗		12.5			$M\Omega$
R_{LV}	比に依存する抵抗 ⁽¹⁾	RES60A145	86.2			$k\Omega$
		RES60A210	59.5			
		RES60A315	39.7			
		RES60A410	30.5			
		RES60A500	25.0			
		RES60A610	20.5			
		RES60A100	12.5			
G_{nom}	公称比	R_{HV}/R_{LV}	RES60A145	145		
			RES60A210	210		
			RES60A315	315		
			RES60A410	410		
			RES60A500	500		
			RES60A610	610		
			RES60A100	1000		
t_D	初期比許容誤差 ⁽²⁾	$V_D = 250V \sim V_D = 1000V, (R_{HV}/R_{LV})/G_{nom} - 1$ ⁽³⁾	RES60A145	± 0.02	± 0.1	$\%$
			RES60A210	± 0.02	± 0.1	
			RES60A315	± 0.02	± 0.1	
			RES60A410	± 0.02	± 0.1	
			RES60A500	± 0.02	± 0.1	
			RES60A610	± 0.02	± 0.1	
			RES60A100	± 0.02	± 0.1	
t_{abs}	絶対許容誤差 (抵抗あたり) ⁽⁵⁾	$(R_x/R_{xnom}) - 1$ ⁽³⁾			± 15	%
抵抗ドリフト						
	動作寿命全体にわたる比許容誤差ドリフト ⁽⁴⁾	10 年間連続、 $T_A = -40^\circ C \sim +85^\circ C$ 、 $V_D = 1000V, (G_{INITIAL} - G_{FINAL})/G_{INITIAL}$ ⁽³⁾			± 0.2	%
TCR_{abs}	抵抗の絶対温度係数 (抵抗あたり) ⁽⁵⁾ ⁽⁶⁾	$(\Delta R_x/R_{x(25^\circ C)})/\Delta T_A, T_A = -40^\circ C \sim +125^\circ C$			± 23	$ppm/{^\circ C}$
TCR_{ratio}	分圧器の抵抗温度係数 (分周器ごと) ⁽²⁾ ⁽⁶⁾	$\Delta t_D / \Delta T_A, T_A = -40^\circ C \sim +85^\circ C$			± 1	± 5
		$\Delta t_D / \Delta T_A, T_A = -40^\circ C \sim +125^\circ C$			± 1	± 5
VCR_{abs}	抵抗の絶対電圧係数 (抵抗あたり) ⁽⁵⁾ ⁽⁶⁾	$\Delta R_x/\Delta V_{Rx}, V_D = 100V \sim V_D = 1000V$	R_{HV}		± 3.7	Ω/V
			R_{LV}		± 2.9	
VCR_{ratio}	分圧抵抗の電圧係数 (分周器ごと) ⁽²⁾ ⁽⁶⁾	$\Delta t_D/\Delta V_D, V_D = 100V \sim V_D = 1000V$			± 0.3	ppm/V

5.5 電気的特性 (続き)

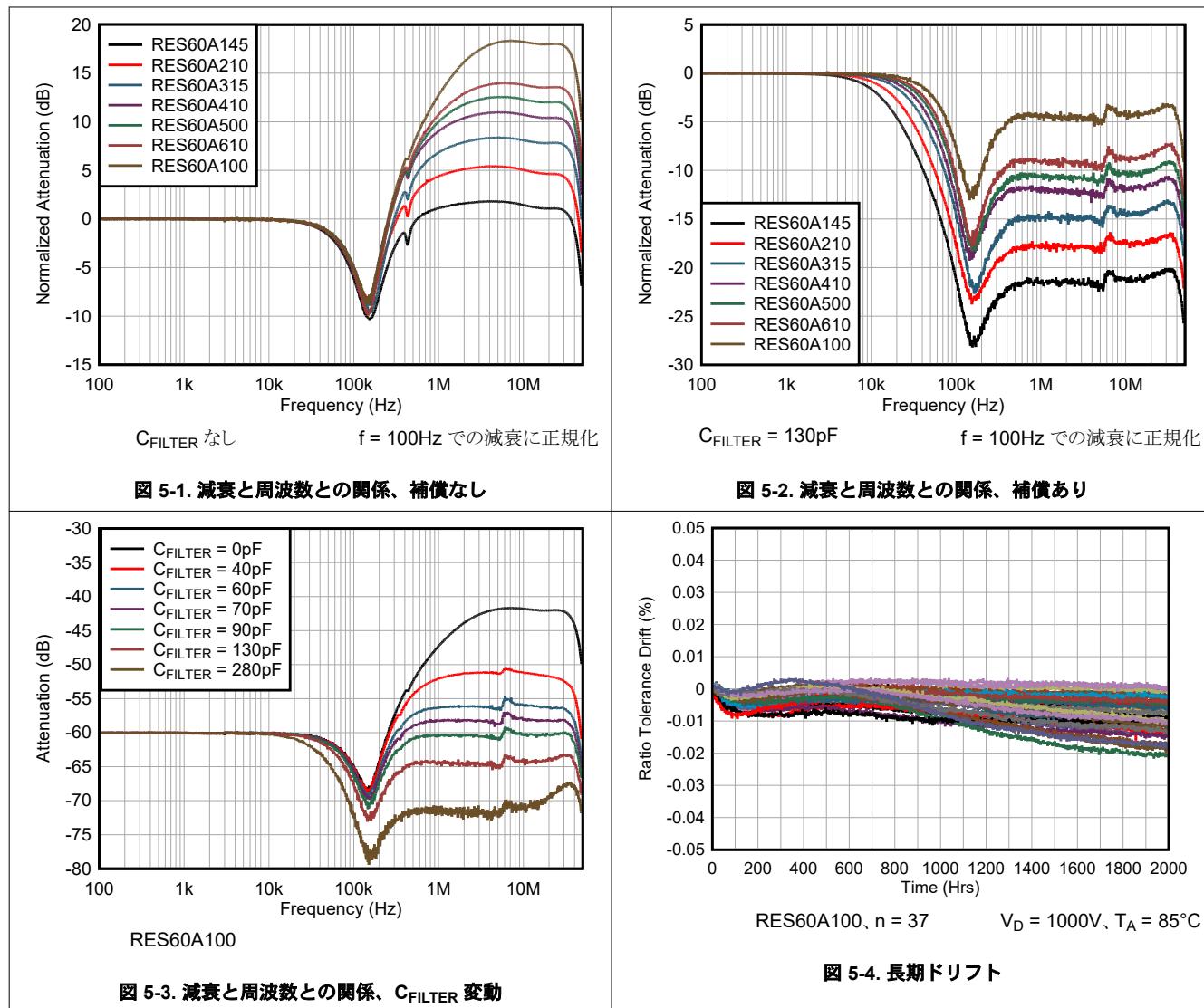
$V_D = 1000V$ の場合、 $T_A = 25^\circ\text{C}$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
インピーダンス						
C_{IN}	ピン容量 ^{(6) (7)}	HVIN, $V_{LVIN} = V_{MID} = 0V$	1.69	pF		
		MID, $V_{LVIN} = V_{HIN} = 0V$	1.12			
		LVIN, $V_{MID} = V_{HIN} = 0V$	2.66			
	-3dB 帯域幅 ^{(6) (8)}	$f = 100\text{Hz}$ での減衰に正規化、 C_{FILTER} なし	RES60A145	68.5	kHz	
			RES60A210	72.9		
			RES60A315	77.3		
			RES60A410	71.7		
			RES60A500	74.9		
			RES60A610	73.8		
			RES60A100	73.7		
t_s	セトリング タイム ⁽⁶⁾	1% まで、10V ステップ	RES60A145	未定	μs	
			RES60A210	未定		
			RES60A315	未定		
			RES60A410	未定		
			RES60A500	未定		
			RES60A610	未定		
			RES60A100	未定		
		0.1% まで、10V ステップ	RES60A145	未定	μs	
			RES60A210	未定		
			RES60A315	未定		
			RES60A410	未定		
			RES60A500	未定		
			RES60A610	未定		
			RES60A100	未定		
e_N	熱ノイズ密度 ⁽⁷⁾	$f = 1\text{kHz}$	RES60A145	36	$\text{nV}/\sqrt{\text{Hz}}$	
			RES60A210	30		
			RES60A315	25		
			RES60A410	22		
			RES60A500	20		
			RES60A610	18		
			RES60A100	14		

- (1) 入力抵抗 (R_{HV}) と公称比 (G_{nom}) は、 R_{LV} の値を決定する制御仕様です。 R_{LV} の公称値には、便宜上 3 つの重要な数値が報告されています。
- (2) R_{HV}/R_{LV} と公称比との関係。
- (3) この仕様値は、この式の計算結果を百分率 (100% を掛けた値) で示したものです
- (4) 設計および加速認定試験により規定されています。
- (5) R_{HV} および R_{LV} と公称値との関係。
- (6) 特性評価によって仕様規定されています。
- (7) 設計により規定されています。
- (8) 特定のデバイスおよびアプリケーションの -3dB 帯域幅は、デバイスレベルおよび基板レベルの寄生容量に大きく影響されます。フィードフォワード容量により、高い周波数で減衰が公称値より低くなり、ゲインのピークが発生します。ゲイン シェーピングのため、 R_{LV} と並列にフィルタコンデンサを使用して、周波数全体の減衰が回路と設計目標を満たしていることを確認します。このコンデンサの値は、最適な決定を下し、実験的に検証されたものです。詳細については、「代表的特性」および「レイアウトのガイドライン」を参照してください。

5.6 代表的特性

$T_A = 25^\circ\text{C}$ (特に記述のない限り)

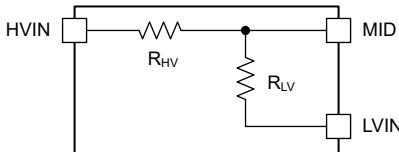


6 詳細説明

6.1 概要

RES60A-Q1 は、2 つの高精度薄膜 SiCr 抵抗で構成され、マッチングされたデバイダを形成し、絶縁 SiO_2 層によってカプセル化されます。このデバイスには、公称 $12.5\text{M}\Omega$ の「入力」抵抗 R_{HV} が含まれています。このデバイスには、RES60A-Q1 の公称比 ($R_{\text{HV}}/R_{\text{LV}}$) に応じて値が決まる「ゲイン」抵抗 R_{LV} も組み込まれています。

6.2 機能ブロック図



6.3 機能説明

6.3.1 絶対公差およびレシオメトリック公差

RES60A-Q1 の抵抗は、以下の式で表されます：

$$R_{\text{HV}} = R_{\text{HVnom}} \times (1 \pm t_{\text{absRHV}}) = R_{\text{HVnom}} \times (1 \pm t_{\text{RHV}}) \times (1 \pm t_{\text{SiCr}}) \quad (1)$$

$$R_{\text{LV}} = R_{\text{LVnom}} \times (1 \pm t_{\text{absRLV}}) = R_{\text{LVnom}} \times (1 \pm t_{\text{RLV}}) \times (1 \pm t_{\text{SiCr}}) \quad (2)$$

R_{HVnom} と R_{LVnom} は各抵抗の公称値です。パラメータ t_{abs} は、 $|t_{\text{abs}}| \leq 15\%$ など、対象となる RES60A-Q1 抵抗の絶対許容誤差を表す誤差項です。たとえば、 $t_{\text{abs}} = 5\%$ の公称 $12.5\text{M}\Omega$ 抵抗は、実際には $13.125\text{M}\Omega$ を測定します。この誤差は、ほとんどの単一素子抵抗の規定絶対許容誤差、またはより特化した分圧抵抗のエンドツー エンドの許容誤差に相当します。

注

RES60A-Q1 はレーザでトリムされたデバイスではありません。RES60A-Q1 の各比率には、その比率に最適化された専用ダイが採用されており、極めて低いドリフトを実現するために必要な高精度のマッチングと一貫した熱特性を備えています。

絶対公差は、主に SiCr の抵抗率変動 (t_{SiCr}) によって支配されます。特定の RES60A-Q1 に含まれる 2 つの抵抗はインターデジタル構造で形成され、同一ウェハ上の同一領域から作られているため、部品間では t_{SiCr} にばらつきがあるものの、同一デバイス内の 2 つの抵抗については実質的に同じ t_{SiCr} となります。

次の例に示すように、分圧器を比率的に考える場合、 t_{SiCr} の誤差項は打ち消されます。パラメータ t_{Rx} は、ユニバーサル t_{SiCr} を考慮した後の RES60A-Q1 デバイスの各抵抗の残りの実効許容誤差を表す残留誤差項です。

$$\frac{R_{\text{HV}}}{R_{\text{LV}}} = \frac{R_{\text{HVnom}} \times (1 \pm t_{\text{RHV}}) \times (1 \pm t_{\text{SiCr}})}{R_{\text{LVnom}} \times (1 \pm t_{\text{RLV}}) \times (1 \pm t_{\text{SiCr}})} = \frac{R_{\text{HVnom}} \times (1 \pm t_{\text{RHV}})}{R_{\text{LVnom}} \times (1 \pm t_{\text{RLV}})} = G_{\text{nom}} \times \frac{(1 \pm t_{\text{RHV}})}{(1 \pm t_{\text{RLV}})} = G \quad (3)$$

$$\begin{aligned} \frac{R_{\text{HV}}}{R_{\text{LV}} + R_{\text{HV}}} &= \frac{R_{\text{HVnom}} \times (1 \pm t_{\text{RHV}}) \times (1 \pm t_{\text{SiCr}})}{R_{\text{LVnom}} \times (1 \pm t_{\text{RLV}}) \times (1 \pm t_{\text{SiCr}}) + R_{\text{HVnom}} \times (1 \pm t_{\text{RHV}}) \times (1 \pm t_{\text{SiCr}})} \\ &= \frac{R_{\text{HVnom}} \times (1 \pm t_{\text{RHV}})}{R_{\text{LVnom}} \times (1 \pm t_{\text{RLV}}) + R_{\text{HVnom}} \times (1 \pm t_{\text{RHV}})} \end{aligned} \quad (4)$$

t_{RHV} および t_{RLV} の個別の値は、各抵抗の許容誤差を表していますが、ガウス分布の意味では独立した変数ではありません。代わりに、これらの値を（設計上）互いに一致させることで、抵抗間で非常に安定したレシオメトリック関係を実現し、実効比率を得て誤差が非常に小さくなります。

RES60A-Q1 は最大分圧初期比の許容誤差が 0.1% で規定されています。これは、特定の分圧器の実際の分圧器比 G と公称比 G_{nom} の関係を以下で表すことを意味します。

$$G = \frac{R_{HV}}{R_{LV}} = G_{nom} \times (1 \pm t_D) \quad (5)$$

この場合、 $t_D \leq 0.1\%$ になります。RES60A-Q1 の t_D の制限は、分圧器電圧を $V_D = 250V$ から $V_D = 1000V$ まで掃引して、製造時に精密なパラメトリック テストを行うことによって強制されます。単一素子抵抗は t_D に等価ではありません。これは、部品間のマッチングがグレードアウト制限以外とみなされることはないといたします。他の分周器データシートでは、 t_D に相当する値は多くの場合、「比許容誤差」と呼ばれます。

これらの基準を満たさないデバイスは最終テストで除外されるため、この式を前の式と併用して、特定の比率の t_{RHV} と t_{RLV} の実効値を証明できます。そのため、絶対許容誤差の範囲は $\pm 15\%$ と広いにもかかわらず、最悪の場合の t_{RHV} と t_{RLV} の初期絶対誤差許容誤差は「互いに」約 $\pm 0.115\%$ 以内です。

6.3.2 超低ノイズ

抵抗におけるノイズは、低周波フリッカ ノイズと広帯域熱雑音の 2 つの領域に分けて評価できます。100Hz 未満の周波数で信号ゲインを必要とするシステムでは、フリッカ ($1/f$ ノイズ) は非常に重要です。RES60A-Q1 を含む薄膜抵抗のフリッカ ノイズは、厚膜抵抗プロセスのフリッカ ノイズより小さくなります。熱ノイズは通常 1kHz を超える領域で支配的となり、抵抗値が大きくなるにつれて増加します。ノイズは、抵抗と直列の電圧源としてモデル化されます。

RES60A-Q1 などの抵抗分圧器では、2 つの抵抗 R_{HV} および R_{LV} のセンター タップで測定された熱ノイズは、 $R_{HV} \parallel R_{LV}$ の値を持つ抵抗の熱ノイズと等価です。

$$e_N = \sqrt{(4k_B T R)} \quad (6)$$

ここで

- e_N : 热ノイズ密度 (nV/√Hz)
- T : 絶対温度 (単位: ケルビン (K))
- k_B : ボルツマン定数、 1.381×10^{-23} J/K
- $R = R_{HV} \parallel R_{LV}$

$R_{HV} \gg R_{LV}$ であるため、 $R \approx R_{LV}$ 。たとえば、RES60A610-Q1 の場合:

$$e_N = \sqrt{(4 \times 1.38E^{-23} \frac{J}{K} \times 278K \times (12.5M\Omega \parallel 20.49k\Omega)}) = 18nV/\sqrt{Hz} \quad (7)$$

6.4 デバイスの機能モード

RES60A-Q1 には、HVIN ピン用の 1 つのパッドと、MID ピンおよび LVIN ピン用の 2 つのパッドが備わっており、その他のパッドとピンは電気的にフローティング状態になっています。MID ピンと LVIN ピンの両方を、それぞれマイコン ADC 入力とシャーシ グランドなどのシステムの「低電圧ドメイン」に接続します。HVIN ピンは、測定システムの高電位 (バッテリースタックのハイサイドなど) にバイアスします。

HVIN と LVIN を使用して、バッテリのハイサイドとローサイドの間の直接測定が可能です。しかし、過電圧状態を回避するため、MID で駆動される下流回路がローサイド (LVIN) を適切に基準としていることを確認してください。

7 アプリケーションと実装

注

以下のアプリケーション セクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

7.1.1 バッテリースタック測定

RES60A-Q1 は、OPA192-Q1 などの車載高精度アンプと組み合わせて使用することで、固定電位を基準として EV バッテリのハイサイド (BAT+) のシングルエンド測定を行うことができます。図 7-1 (a) に示されているように、BAT- と GND が同等であるシステムには、図 7-2 に示されている構成が適用されます。図 7-3 に示されているように、別の方針としては、BAT+ から BAT- へのバッテリ両端を直接測定するアプローチがあります。図 7-1 (b) に示されているように、この方法はバッテリのローサイド BAT- を基準とするシステムに有用です。

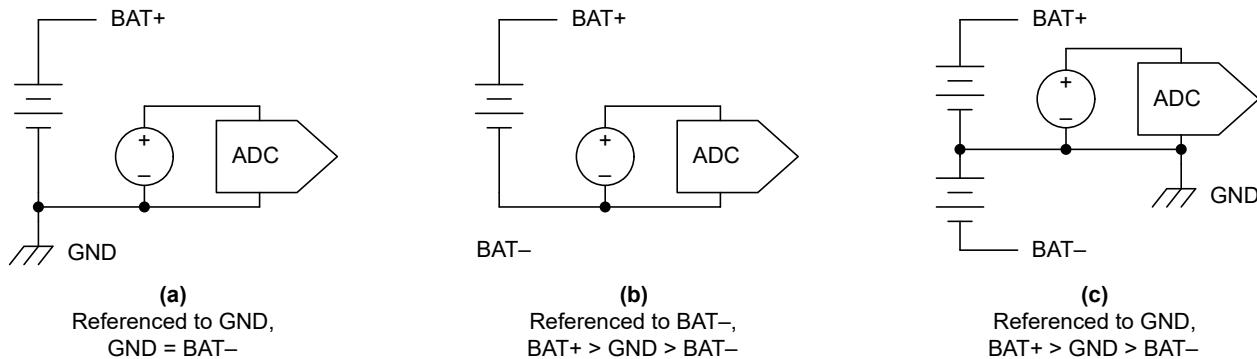


図 7-1. 一般的なバッテリとシステムの構成

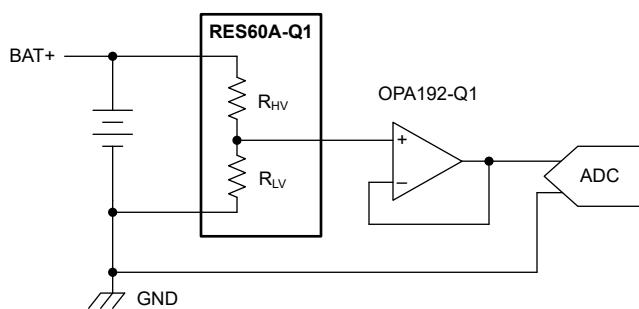


図 7-2. シングルエンド測定、BAT+ から GND

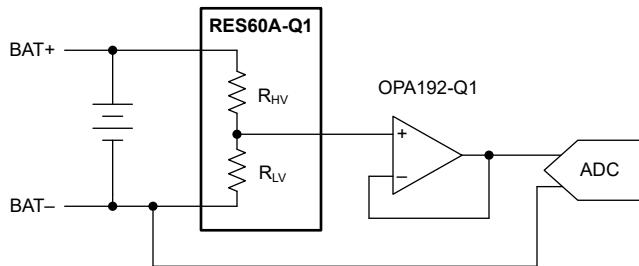


図 7-3. シングルエンド測定、BAT+ から BAT-

一部のシステムアーキテクチャでは、**BAT-** はシャーシ GND を基準としてフローティングします。図 7-1 (c) も参照してください。たとえば、シャーシ グランドを基準とするマイコンでバッテリ スタック全体の電圧を測定する必要がある場合、2 つの RES60A-Q1 デバイスと OPA192-Q1 デバイスを使用して差動アンプを構築できます。図 7-4 に、このアプローチを示します。2 つの ADC チャネルが利用可能な場合は、2 つの RES60A-Q1 デバイスと 1 つの OPA2192-Q1 を使用して 2 つのシングルエンド測定を実行できます。

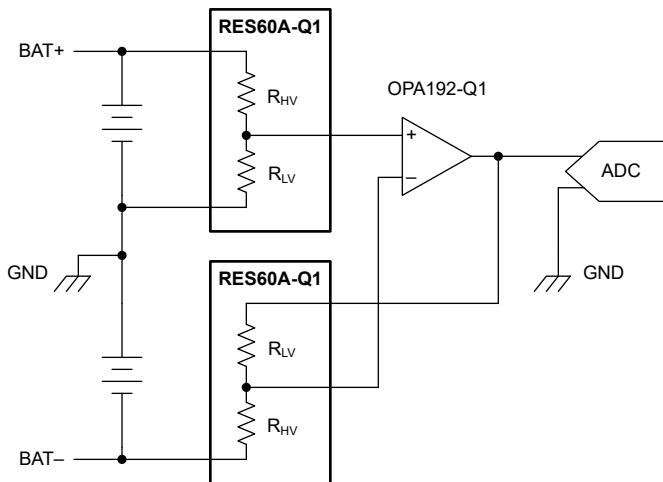


図 7-4. 差動測定、**BAT+** から **BAT-**

システム内のリーケージとアンプ入力からの静止電流により、測定の精度を低減できます。場合によっては、ガード バッファを使用してリーク電流を低減できます。基板の汚染とリーケージを低減するために、ベストプラクティスに従ってください。800V のシングルエンド バッテリ測定 (図 7-2 も参照) については、分圧器を流れる静的電流は次のようにになります。

$$I_{STATIC} = \frac{V_{BATT}}{(R_{HV} + R_{LV})} = \frac{800V}{(12.5M\Omega + 20.49k\Omega)} = 63.9\mu A \quad (8)$$

したがって、使用するバッファ アンプは、 $I_B \ll I_{STATIC}$ なるようにバイアス電流を小さくする必要があります。OPA192-Q1 は低バイアス電流 (25°C で標準値 5pA, -40°C ~ 125°C で最大 5nA) を備えているため、この役割に最適です。

7.1.2 RES11A-Q1 を使用した RES60A-Q1 のゲインスケーリング

複数の RES60A-Q1 比が利用可能ですが、低オフセット バッファアンプと RES11A-Q1 などの低電圧マッチング分圧器回路を使用して分圧器の出力を微調整することで、さらに実効比率を実現します。RES11A-Q1 の低いレシオメトリック誤差は、シグナル チェーンへの追加のゲイン誤差の寄与を最小限に抑えながら、下流 ADC の入力フルスケール レンジ (FSR) を最大化します。

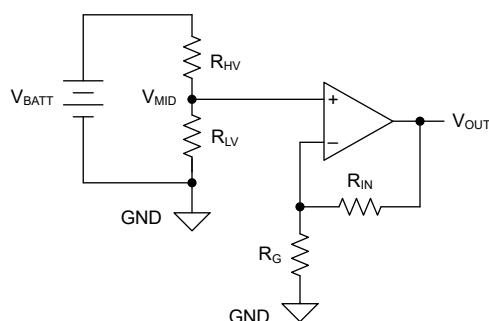


図 7-5. RES60A-Q1 と RES11A-Q1 を使用したバッテリ パック測定

$$V_{MID} = V_{BATT} \times \frac{R_{LV}}{R_{HV} + R_{LV}} = \frac{V_{BATT}}{G_{R60} + 1} \quad (9)$$

$$V_{OUT} = V_{MID} \left(\frac{R_{IN}}{R_G} + 1 \right) = V_{MID} \left(\frac{1}{G_{R11}} + 1 \right) = V_{BATT} \left(\frac{1 + G_{R11}}{G_{R11} \times (G_{R60} + 1)} \right) \quad (10)$$

簡単にするため、RES60A-Q1、RES11A-Q1、アンプ回路の実効伝達関数は G_{SF} と要約します。

$$G_{SF} = \frac{G_{R11} \times (G_{R60} + 1)}{1 + G_{R11}} \quad (11)$$

$$V_{OUT} = V_{BATT} \times \left(\frac{1}{G_{SF}} \right) \quad (12)$$

表 7-1 に、さまざまな RES60A-Q1 と RES11A-Q1 の組み合わせに関する実効分圧器スケーリング係数 G_{SF} を示します。

表 7-1. RES60A-Q1 と RES11A-Q1 の組み合わせの実効スケーリング係数 G_{SF}

G_{R60}	145	210	315	410	500	610	1000
G_{R11}	有効なスケーリング係数 G_{SF}						
なし	146.00	211.00	316.00	411.00	501.00	611.00	1001.00
1	73.00	105.50	158.00	205.50	250.50	305.50	500.50
1.5	87.60	126.60	189.60	246.60	300.60	366.60	600.60
1.6667	91.26	131.88	197.51	256.89	313.15	381.90	625.67
2	97.33	140.67	210.67	274.00	334.00	407.33	667.33
2.5	104.29	150.71	225.71	293.57	357.86	436.43	715.00
3	109.50	158.25	237.00	308.25	375.75	458.25	750.75
4	116.80	168.80	252.80	328.80	400.80	488.80	800.80
5	121.67	175.83	263.33	342.50	417.50	509.17	834.17
9	131.40	189.90	284.40	369.90	450.90	549.90	900.90
10	132.73	191.82	287.27	373.64	455.45	555.45	910.00

7.2 代表的なアプリケーション

RES60A-Q1 は、AMC1311B-Q1 などの絶縁型アンプを使用して構成し、強化絶縁を必要とする測定を行うことができます。図 7-6 に、RES60A-Q1 が入力電圧を減衰させ、AMC1311B-Q1 が絶縁バリアと交差するというようなアプリケーションの回路構成例を示します。RES11A-Q1 と OPA388-Q1 を用いたディスクリート差動アンプを使用して、AMC1311B-Q1 の差動出力電圧をシングルエンド 5V ADC で使用します。

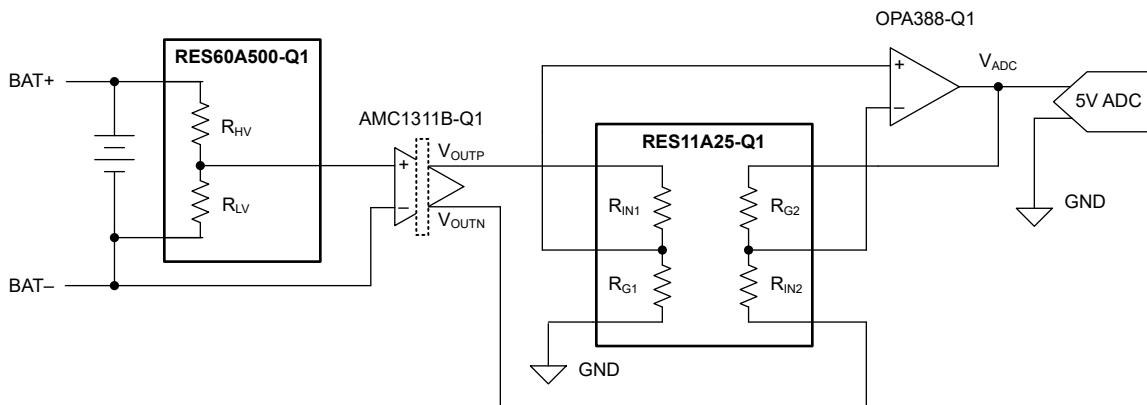


図 7-6. RES60A-Q1 と AMC1311B-Q1 を使用した DC バス測定

7.2.1 設計要件

パラメータ	設計目標
DC バス電圧入力範囲	0V ~ 1000V
出力 (V_{ADC}) のフルスケール レンジ	0V ~ 5V
減衰 (公称比)	500:1
キャリブレーションなしの初期測定誤差	$\pm 0.5\%$ FSR

7.2.2 詳細な設計手順

この設計では、AMC1311B-Q1 の線形入力範囲内になるレベルまで、バスの高い同相電圧を減衰させます。以下に、いくつかの重要な回路誤差ソースを考慮します。

- AMC1311B-Q1 の入力バイアス電流は 3.5nA (標準値) です。 $R_{LV} = 25k\Omega$ の場合、この入力バイアス電流は MID で $88\mu V$ のオフセット誤差として現れます。このオフセットを AMC1311B-Q1 の入力オフセット電圧 (標準値 $400\mu V$) を使って二乗和平方根で計算すると、 $410\mu V$ のオフセットが結果として得られます。このオフセットは 2V フルスケールレンジの 0.0205% を表しており、通常は支配的な要素になる誤差係数ではありません。
- AMC1311B-Q1 のゲイン誤差と積分非直線性誤差は、絶縁型アンプ電圧検出 Excel カリキュレータを使用して概算できます。この例では、標準 FSR 誤差は 0.06% と計算されます。
- RES60A500-Q1 の標準的な初期レシオメトリック ゲインの許容誤差は 0.02% です。これは、前述の AMC1311B-Q1 の誤差と二乗和平方根で計算して合計することで、合計の標準 FSR 誤差は 0.066% となります。
- レベルシフト回路は、付加的な誤差を引き起こし、前述の誤差にゲイン係数を適用します。しかし、OPA388-Q1 のオフセットは小さく、RES11A-Q1 の高精度から、これらの誤差 ($0.012\% FSR$) は十分小さく、最終的な標準的な誤差に大きな影響を及ぼすことはありません。

FSR 誤差が 0.068% (標準値) の最終的な計算結果は 1σ の値を表しているため、 $\pm 6\sigma$ を使用すると、FSR 誤差は $\pm 0.41\%$ と算出されます。これらの結果は、回路がマージンを確保して $\pm 0.5\%$ の FSR アプリケーション要件を満たしていることを示しています。

7.2.3 アプリケーション曲線

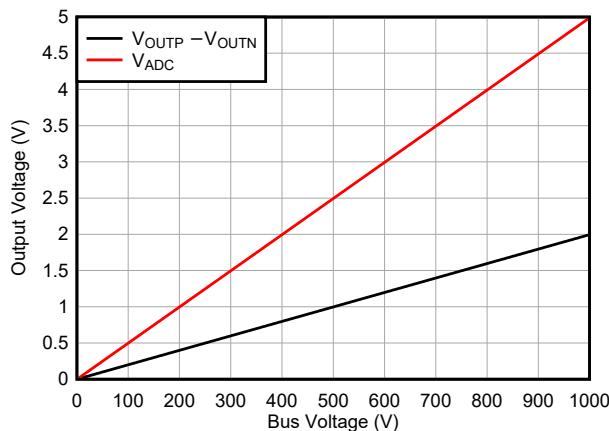


図 7-7. 伝達関数

7.3 電源に関する推奨事項

RES60A-Q1 は、アクティブ回路や保護ダイオードを備えた高電圧抵抗デバイスです。「絶対最大定格」と「推奨動作条件」に記載された制限を考慮する以外の特定の電源接続要件はありません。高エッジレートの過渡イベントに対する保護を強化するため、デバイスの入力に高電圧コンデンサを使用します。入力容量を追加すると、ステップ応答のセッティングタイムが長くなることに注意してください。MID ピンに TVS ダイオードを接続すると、必要に応じて、下流の低電圧回路の高速過渡に対する保護を強化できます。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するため、以下のような優れたプリント基板 (PCB) レイアウト手法を使用してください。

- MID 接続などの感度の高いトレースを、電源トレースや出力トレースからできるだけ離して配置することで、寄生結合を低減します。これらのトレースを離して配置できない場合、感度の高いトレースをノイズの多いトレースと平行にするのではなく、垂直に交差させる方がはるかに効果的です。
- 入力トレースは、できる限り短くします。入力トレースは、回路の中でも最も影響を受けやすい部分であることに常に注意してください。
- 電源電圧が適切にフィルタリングされていることを確認します。
- RES60A-Q1 で消費される電力により、接合部温度が上昇します。信頼性の高い動作のために、接合部温度を 150°C 以下に制限する必要があります。接合部温度を低く保つと、信頼性が向上します。
 - パッケージの熱抵抗 $R_{\theta JA}$ は、実装手法と環境の影響を受けます。空気の循環が不十分な場合、周囲環境に対する熱抵抗が大幅に増加する可能性があります。RES60A-Q1 を広いプリント基板に半田付けすることで、特に LVIN 接続で優れた熱性能を実現し、デバイスのリード線を通してより大きな導通が可能になります。
- 最高の性能を得るために、基板組み立ての後で PCB をクリーニングします。
- 高精度の集積回路では、プラスチック パッケージへの水分の侵入により性能が変化する場合があります。PCB を水で洗浄した後で、PCB アセンブリをベーキングして、洗浄中にデバイスのパッケージに取り込まれた水分を除去します。
 - ほとんどの場合、洗浄後に 85°C で 30 分間の低温ベーキングを行えば十分です。
- RES60A-Q1 の周囲の汚染度を下げるには、コンフォーマル コーティングまたはポップティングを使用して、組み立てられた PCB に絶縁ポリマーまたはその他の材料層を堆積させます。このプロセスにより、汚染物質の影響を除去または低減することで、沿面距離と空間距離の要件を低減できます。
- PCB の沿面距離を短くするには、溝切削を使用します。1mm より広い溝の場合、実効沿面距離は、既存の沿面距離に溝の幅を加えた値、溝の深さの 2 倍になります。この合計は、必要な沿面距離以上である必要があります。機械的なテスト要件を満たすために、溝が基板を弱めではありません。溝の下のすべての層に、最大沿面距離を維持するため、トレース、ビア、パッドが存在しない必要があります。
- LVIN ピンと MID ピンの間にコンデンサを接続することで、フィルタ コンデンサ C_{FILTER} を R_{LV} と並列に配置します。このコンデンサの値は実験的に決定され、意図した帯域幅や減衰量の平坦性特性などのアプリケーション要件に依存します。回路の寄生容量がデバイスの寄生容量と相互作用してインピーダンス分圧器を形成するため、高い周波数での減衰が、dc での想定される減衰よりも小さくなる可能性があります。スイッチング イベントによって発生するような予測される高周波過渡に耐えるのに十分に高い電圧定格のコンデンサを使用します。

7.4.2 レイアウト例

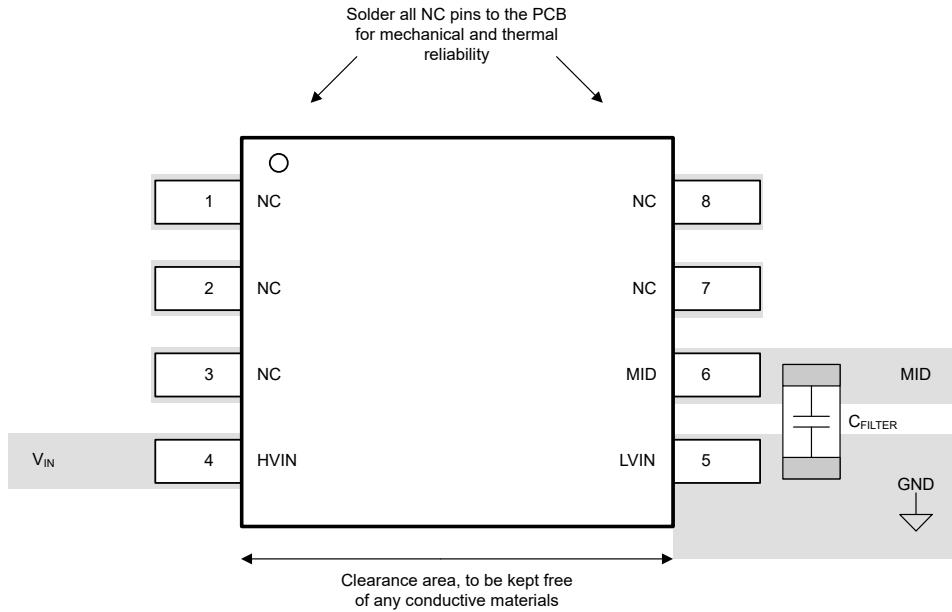


図 7-8. レイアウト例

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

8.1.1.1 PSpice® for TI

PSpice® for TI は、アナログ回路の性能評価に役立つ設計およびシミュレーション環境です。レイアウトと製造に移る前に、サブシステムの設計とプロトタイプの設計を作成することで、開発コストを削減し、市場投入までの期間を短縮できます。

8.1.1.2 TINA-TI™ シミュレーション ソフトウェア (無償ダウンロード)

TINA-TI™ シミュレーション ソフトウェアは、SPICE エンジンをベースにした単純かつ強力な、使いやすい回路シミュレーション プログラムです。TINA-TI シミュレーション ソフトウェアは、TINA™ ソフトウェアのすべての機能を持つ無償バージョンで、パッシブ モデルとアクティブ モデルに加えて、マクロモデルのライブラリがプリロードされています。TINA-TI シミュレーション ソフトウェアには、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

TINA-TI シミュレーション ソフトウェアは [設計およびシミュレーション ツール Web](#) ページから [無料でダウンロード](#) でき、ユーザーが結果をさまざまな形式で処理できる、広範な後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプローブして、動的なクイック スタートツールを作成できます。

注

これらのファイルを使用するには、TINA ソフトウェアまたは TINA-TI ソフトウェアがインストールされている必要があります。[TINA-TI™ ソフトウェア フォルダ](#) から、無償の TINA-TI シミュレーション ソフトウェアをダウンロードしてください。

8.1.1.3 TI のリファレンス デザイン

TI のリファレンス デザインは、TI の高精度アナログ アプリケーション専門家により作成されたアナログ設計です。TI のリファレンス デザインは、動作原理、部品の選択、シミュレーション、完全な PCB 回路図およびレイアウト、部品表、測定済みの性能を提供します。TI のリファレンス デザインは、<http://www.ti.com/ww/en/analog/precision-designs/> からオンラインで入手できます。

8.1.1.4 Analog Filter Designer

Analog Filter Designer は、[設計およびシミュレーション ツール Web](#) ページから Web ベースのツールとして利用でき、包括的な複数段アクティブ フィルタの設計、最適化、シミュレーションをわずか数分で行えます。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- ・テキサス インスツルメンツ、『沿面距離および空間距離について』TI プレゼンション ラボ ビデオ
- ・テキサス インスツルメンツ、[RES11A-Q1 車載用、低ノイズ、高精度、マッチング済み、薄膜抵抗ペアデータシート](#)
- ・テキサス インスツルメンツ、『[RES60EVM 評価基板](#)』

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

TINA-TI™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

TINA™ is a trademark of DesignSoft, Inc.

PSpice® is a registered trademark of Cadence Design Systems, Inc.

すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (September 2024) to Revision A (October 2025)	Page
・ドキュメント全体を通して、RES60A310 (310:1 比) を削除し、RES60A315 (315:1 比) に置き換え、RES60A145 (145:1 比) を追加.....	1
・「絶対最大定格」および「推奨動作条件」の最小および最大電圧仕様のフォーマットを更新.....	3
・「絶対最大定格」の短期過負荷電圧と過渡高電位電圧を説明する脚注を更新.....	3
・「推奨動作条件」の分圧器の仕様ごとに最大持続 50Hz ac 電圧を更新.....	4
・「熱に関する情報」の値を最終的なシリコン特性を反映するように更新.....	4
・「電気的特性」の標準値を更新.....	5
・ $V_D = 250V \sim V_D = 1000V$ に適用されるように初期比許容誤差の仕様を変更.....	5
・誤字を訂正するため、動作寿命全体の仕様全体にわたる比許容誤差ドリフトを特性評価により規定から設計および加速認定試験で規定しているものに変更.....	5

• 抵抗の絶対電圧係数 (抵抗あたり) 仕様を追加.....	5
• ピン容量と -3dB 帯域幅の説明、および標準値を更新.....	5
• セトリング タイムのテスト条件を更新.....	5
• 「代表的特性」を追加.....	7
• レシオメトリック マッチングを更新し、「絶対およびレシオメトリック許容誤差」に名前を変更.....	8
• 「使用上の注意」に RES60A-Q1 と RES11A-Q1 のゲイン スケーリングを追加.....	11
• 低電圧フィルタリング容量 C_{FILTER} に関する説明を「レイアウト ガイドライン」に追加.....	15

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
XRES60A100QDWVRQ1	Active	Preproduction	SOIC (DWV) 8	1000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
XRES60A100QDWVRQ1.B	Active	Preproduction	SOIC (DWV) 8	1000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
XRES60A410QDWVRQ1	Active	Preproduction	SOIC (DWV) 8	1000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
XRES60A410QDWVRQ1.B	Active	Preproduction	SOIC (DWV) 8	1000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
XRES60A500QDWVRQ1	Active	Preproduction	SOIC (DWV) 8	1000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
XRES60A500QDWVRQ1.B	Active	Preproduction	SOIC (DWV) 8	1000 LARGE T&R	-	Call TI	Call TI	-40 to 125	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

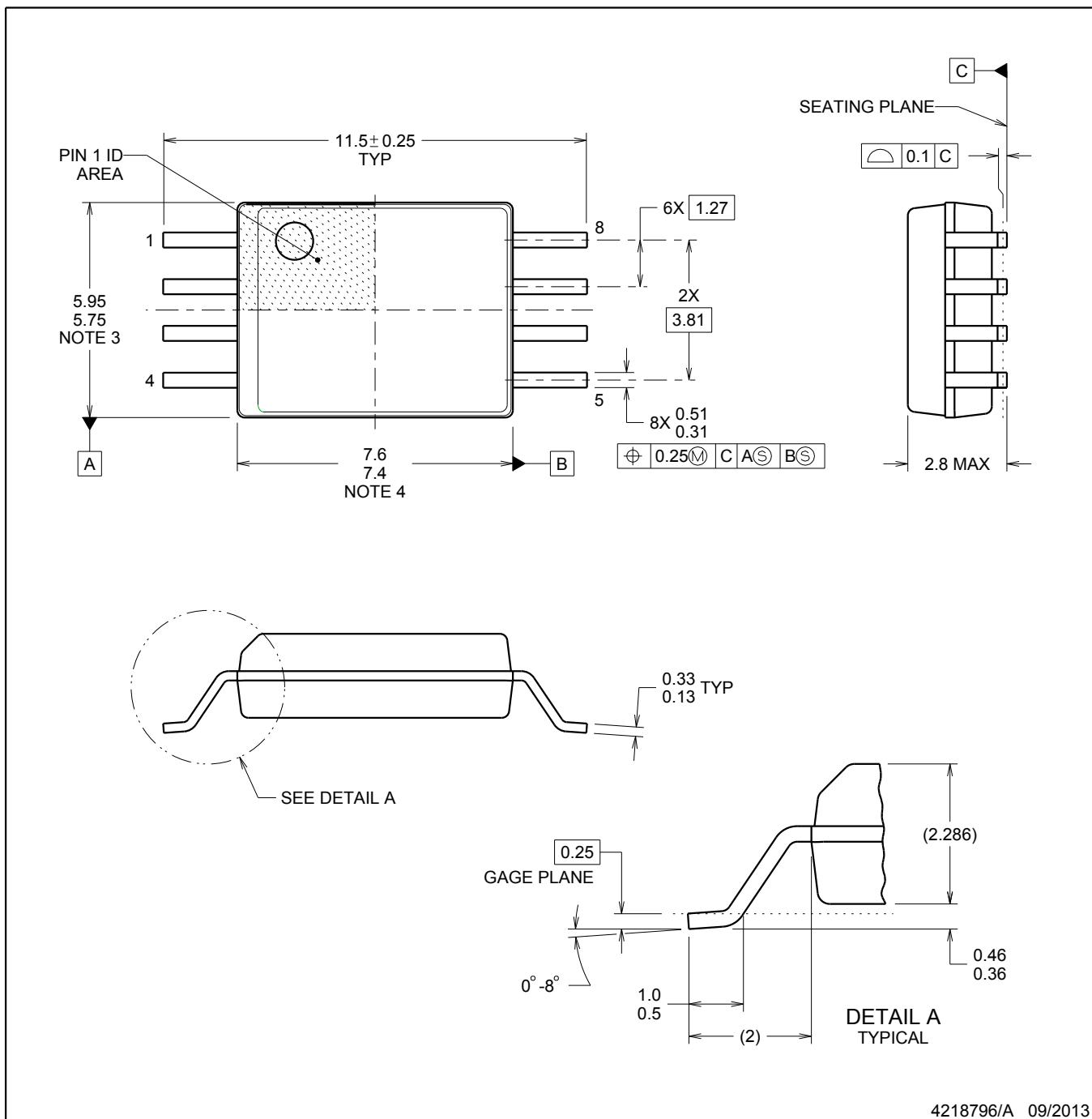
PACKAGE OUTLINE

DWV0008A



SOIC - 2.8 mm max height

SOIC



4218796/A 09/2013

NOTES:

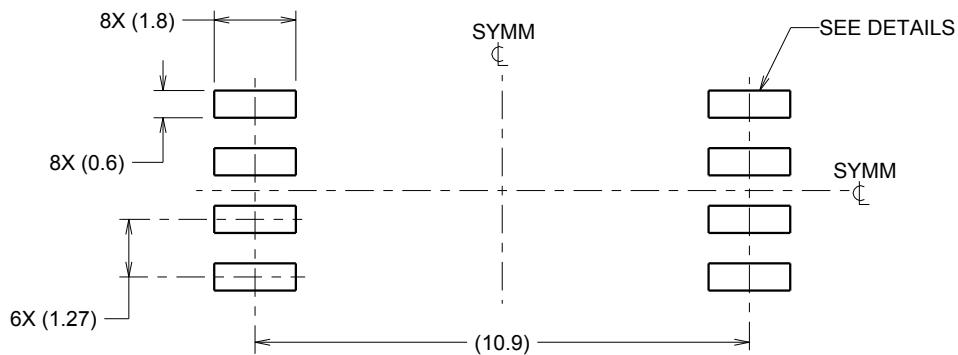
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.

EXAMPLE BOARD LAYOUT

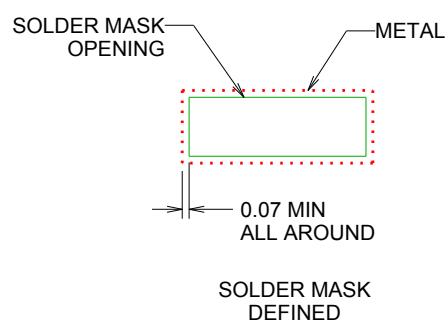
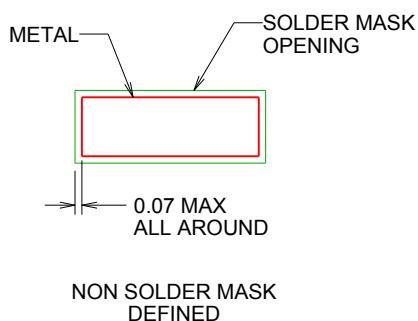
DWV0008A

SOIC - 2.8 mm max height

SOIC



LAND PATTERN EXAMPLE
9.1 mm NOMINAL CLEARANCE/CREEPAGE
SCALE:6X



SOLDER MASK DETAILS

4218796/A 09/2013

NOTES: (continued)

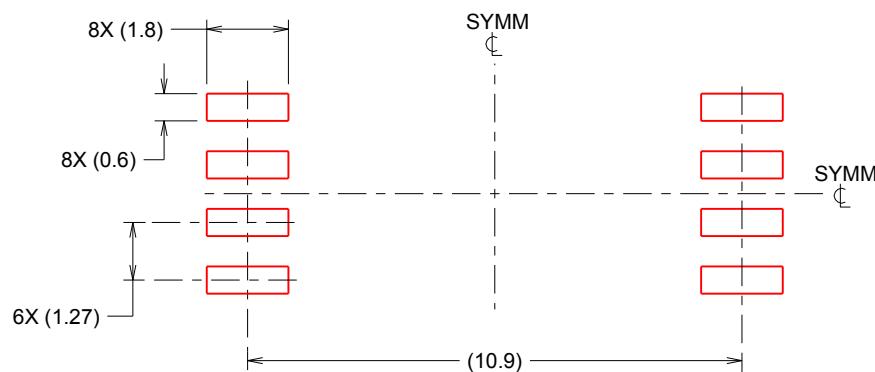
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DWV0008A

SOIC - 2.8 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4218796/A 09/2013

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適したTI製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているTI製品を使用するアプリケーションの開発の目的でのみ、TIはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TIや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TIおよびその代理人を完全に補償するものとし、TIは一切の責任を拒否します。

TIの製品は、[TIの販売条件](#)、[TIの総合的な品質ガイドライン](#)、[ti.com](#)またはTI製品などに関連して提供される他の適用条件に従い提供されます。TIがこれらのリソースを提供することは、適用されるTIの保証または他の保証の放棄の拡大や変更を意味するものではありません。TIがカスタム、またはカスタマー仕様として明示的に指定していない限り、TIの製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TIはそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025年10月