

PGA460-Q1 車載用超音波信号プロセッサおよびトランスデューサ・ドライバ

1 特長

- 超音波センシング用の完全に統合されたソリューション
- 下記内容で AEC-Q100 認定済み:
 - デバイス温度グレード 2: -40°C ~ +105°C の動作時周囲温度範囲
 - デバイス HBM ESD 分類レベル 2
 - デバイス CDM ESD 分類レベル C4B
- 電流制限を設定可能な相補的なローサイド・ドライバ、トランス・ベースおよび直接駆動トポロジのトランスデューサ励起をサポート
- 単一のトランスデューサでバースト / リスンの両方を行うか、または、トランスデューサのペアを使用し、1 つをバースト、もう 1 つをリスン動作に使用
- 低ノイズのレシーバ、6 ポイントの時変ゲイン (32 ~ 90dB) をプログラム可能で、エコー・エンベロープ検出用の DSP (BPF、復調) を内蔵
- 物体検出のための 12 ポイントの時変スレッショルドについて 2 つのプリセット
- タイマにより複数のエコー距離と期間を測定
- 温度センサ内蔵
- 時間記録による 11m までの物体検出
- 128 バイトの RAM によるエコー記録
- 42 バイトのユーザー EEPROM に構成を保存して高速に初期化
- 1 線式高電圧の時間コマンド・インターフェイスまたは USART 非同期インターフェイス
- CMOS レベル USART インターフェイス
- センサ診断 (減衰周波数および時間、励起電圧)、電源、およびトランシーバ診断

2 アプリケーション

- 超音波レーダー
- 自動車の駐車支援
- 車線逸脱および衝突警告
- 物体の距離と位置の検出
- 存在および近接検出
- ドローンおよびロボットの着地補助および障害物検出
- 車載用および産業用のドア開放検出
- 侵入検出アラームのための車載用モーション・センサ
- 人感センサおよびモーション・センサ

3 概要

PGA460-Q1 デバイスは、高度に統合されたシステム・オンチップの超音波トランスデューサ・ドライバおよび信号コンディショナで、高度な DSP コアが搭載されています。このデバイスには相補的なローサイド・ドライバ・ペアが搭載されており、昇圧型トランスを使用するトランス・ベースのトポロジ、または外付けのハイサイド FET を使用する直接駆動トポロジでトランスデューサを駆動できます。このデバイスは、反射されたエコー信号を受信してコンディショニングし、信頼性の高い物体検出を行えます。この機能はアナログ・フロントエンド (AFE) を使用して実現されており、低ノイズのアンプと、ADC へ信号を供給する後続のプログラム可能な時変ゲイン段から構成されています。デジタル化された信号は DSP コアで処理され、時変スレッショルドを使用して近距離と遠距離の物体検出が行われます。

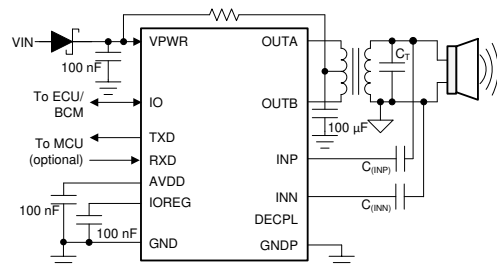
外部コントローラとの主な通信は、IO ピン上の時間コマンド・インターフェイス (TCI) または 1 線式の USART 非同期インターフェイス、または RXD および TXD ピン上の CMOS レベル USART インターフェイスにより行われます。PGA460-Q1 を使用しないときは、静止電流が非常に低い低消費電力モードに移行でき、通信インターフェイス上のコマンドでウェークアップ可能です。

また、PGA460-Q1 にはオンチップのシステム診断機能が内蔵されており、バースト時のトランスデューサ電圧、トランスデューサの周波数と減衰時間を監視して、励起の整合性についての情報を取得し、電源側およびトランシーバ側の過電圧、低電圧、過電流、短絡状況の診断を行います。

パッケージ情報 (1)

部品番号	パッケージ	本体サイズ (公称)
PGA460-Q1	TSSOP (16)	5.00mm × 4.40mm

- (1) 利用可能なすべてのパッケージについては、このデータシートの末尾にある注文情報を参照してください。



代表的なアプリケーション図 (トランス駆動)



目次

1 特長.....	1	6.16 代表的な特性.....	9
2 アプリケーション.....	1	7 詳細説明.....	10
3 概要.....	1	7.1 概要.....	10
4 改訂履歴.....	2	7.2 機能ブロック図.....	11
5 ピン構成および機能.....	4	7.3 機能説明.....	11
6 仕様.....	5	7.4 デバイスの機能モード.....	50
6.1 絶対最大定格.....	5	7.5 プログラミング.....	50
6.2 ESD 定格.....	5	7.6 レジスタ・マップ.....	53
6.3 推奨動作条件.....	5	8 アプリケーションと実装.....	103
6.4 熱に関する情報.....	6	8.1 アプリケーション情報.....	103
6.5 内部電源レギュレータの特性.....	6	8.2 代表的なアプリケーション.....	103
6.6 トランスデューサ・ドライバ特性.....	6	8.3 電源に関する推奨事項.....	109
6.7 トランスデューサ・レシーバ特性.....	7	8.4 レイアウト.....	110
6.8 A/D コンバータの特性.....	7	9 デバイスおよびドキュメントのサポート.....	111
6.9 デジタル信号処理特性.....	7	9.1 ドキュメントのサポート.....	111
6.10 温度センサの特性.....	7	9.2 ドキュメントの更新通知を受け取る方法.....	111
6.11 高電圧 I/O 特性.....	8	9.3 サポート・リソース.....	111
6.12 デジタル I/O 特性.....	8	9.4 商標.....	111
6.13 EEPROM の特性.....	8	9.5 静電気放電に関する注意事項.....	111
6.14 タイミング要件.....	8	9.6 用語集.....	111
6.15 スイッチング特性.....	9	10 メカニカル、パッケージ、および注文情報.....	111

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (January 2019) to Revision C (February 2023)	Page
・ 文書全体にわたって表、図、相互参照の採番方法を更新.....	1
・ SPI に言及している場合、すべての旧式の用語をコントローラおよびペリフェラルに変更。.....	1
・ 表のタイトルを「デバイス情報」から「パッケージ情報」に変更。.....	1
・ 「電源に関する推奨事項」および「レイアウト」セクションを「アプリケーションと実装」セクションに移動.....	109

Changes from Revision A (August 2017) to Revision B (January 2019)	Page
・ 出力ドライバを正しく接地するための機能ブロック図の GND および GNPD ピンの記号を変更。.....	11
・ 表 7-3 の注を更新.....	34
・ 以下の文を追加。USART 同期モードは、チップセレクトなしのシリアル・ペリフェラル・インターフェイス (SPI) と同じです。アドレス指定は 3 ビットの UART_ADDR 値によって処理され、1 つのバスで最大 8 つのデバイスをイネーブルにできるからです。.....	39
・ 注を追加。温度測定のサンプルおよび変換時間には、温度測定コマンドを発行してから少なくとも 100us が必要です。温度の値を適切に更新できるように、この期間中は他のコマンドを送信しないでください。.....	47

Changes from Revision * (February 2017) to Revision A (August 2017)	Page
・ 「構成 / ステータス・コマンド」セクションにゼロ・パディング情報を追加.....	27
・ UART インターフェイスのパラメータ・テキストを「1 ストップ・ビット」から「2 ストップ・ビット」に変更.....	31
・ フィールド間待機時間のテキストを「オプション」から「1 ストップ・ビットで必須」に変更.....	31
・ 文を追加。SYNC フィールド (0x55) は、チェックサム計算の対象に含まれていません。.....	34
・ コンテンツを更新し、表 7-3 に注を追加.....	34
・ 文を追加。診断フィールドは、ペリフェラルによって生成されるチェックサム計算に含まれます。.....	38
・ サブセクション「USART 同期モードによるダイレクト・データ・バースト」を追加.....	43
・ 式 8 を追加.....	47

• 文を追加。これには、すべてのスレッショルド・タイミングとレベル値が含まれます。.....	50
• 「 <i>UART</i> および <i>USART</i> 通信の例」のコンテンツを更新.....	53
• 表 8-2 のコンテンツを更新.....	104
• 「アプリケーション曲線」にコンテンツを追加.....	107
• 「直接駆動 (トランスレス) 方式」に内容を追加し、 $XDCR_{Negative}$ および C_{INN} に GND ノードが存在するように 図 8-6 を変更.....	108
• 「概要」のテキストを TDK EPCOS B78416A2232A03 トランス、muRata MA40H1S-R トランスデューサから Fairchild FDC6506P p-チャネル MOSFET、muRata MA40H1S-R トランスデューサに変更。.....	109

5 ピン構成および機能

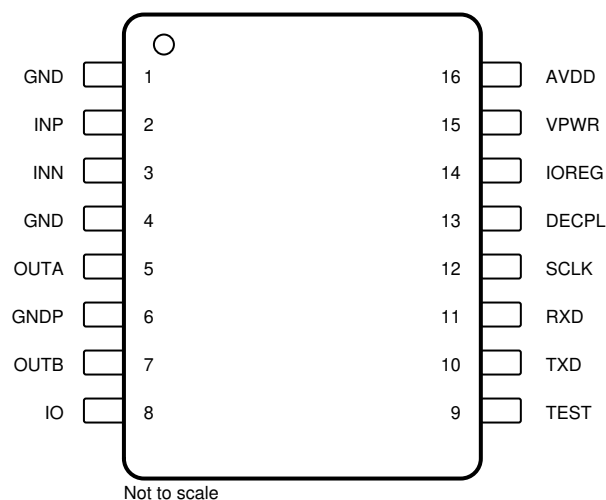


図 5-1. PW パッケージ 16 ピン TSSOP 上面図

表 5-1. ピン機能

ピン		タイプ ⁽¹⁾	説明
番号	名称		
1	GND	P	グランド
2	INP	I	正のトランスデューサ受信
3	INN	I	負のトランスデューサ受信
4	GND	P	グランド
5	OUTA	O	トランスデューサ・ドライバ出力 A
6	GNDP	P	電源グランド
7	OUTB	O	トランスデューサ・ドライバ出力 B
8	IO	I/O	時間コマンド・インターフェイスのデータ入力および出力
9	TEST	I/O	テスト出力ピン
10	TXD	O	USART インターフェイス送信
11	RXD	I	USART インターフェイス受信
12	SCLK	I	USART 同期モード・クロック入力
13	DECPL	O	デカップリング・トランジスタのゲート・ドライブ
14	IOREG	P	I/O バッファ電圧レギュレータ・コンデンサ
15	VPWR	P	電源電圧
16	AVDD	P	アナログ電圧レギュレータ・コンデンサ

(1) I = 入力、O = 出力、I/O = 入力および出力、P = 電源

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
入力電圧	VPWR	-0.3	30	V
	IO	-0.3	30	
	INP, INN	-0.3	2	V
	TEST, SCLK, RXD	-0.3	5.5	V
出力電圧	AVDD	-0.3	2	V
	IOREG, DECPL, TEST, TXD	-0.3	5.5	
	OUTA, OUTB	-0.3	30	
グランド電圧	GNDP, GND	-0.3	0.3	V
シンク電流	OUTA, OUTB		500	mA
動作時接合部温度		-40	125	°C
保存温度、T _{stg}		-40	125	°C

- (1) 絶対最大定格の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用了場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
V _(ESD) 静電気放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾		±2000	V
	デバイス帯電モデル (CDM)、AEC Q100-011 準拠	コーナー・ピン (1, 8, 9, 16)	±750	
		その他すべてのピン	±500	
	IEC 61000-4-2 接触放電	IO ピン	±8000	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)。

			最小値	最大値	単位	
V _{VPWR_XF}	トランス・トポロジの電源入力		6	15	V	
V _{VPWR_DD}	直接駆動トポロジの電源入力		6	28	V	
V _{IO}	IO ピン	IO	-0.1	V _{PWR}	V	
V _{INx}	トランスデューサ受信入力		INP、INN	-0.1	0.9	V
V _{DIG_IO}	デジタル I/O 電源ピン		RXD、TEST、SCLK	-0.1	V _{IOREG}	V
V _{GND}	グランド・ピン		GNDP、GND	-0.1	0.1	V
I _{LPM}	V _{PWR} 入力電流	ロー・パワー・モード・イネーブル		500	μA	
I _{BURST}		超音波バースト時		500	mA	
T _A	自由気流での動作温度		-40	105	°C	
T _J	動作時接合部温度		-40	125	°C	

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		PGA460-Q1	単位
		PW (TSSOP)	
		16 ピン	
R _{θJA}	接合部から周囲への熱抵抗	96.1	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	24.6	°C/W
R _{θJB}	接合部から基板への熱抵抗	42	°C/W
Ψ _{JT}	接合部から上面への熱特性パラメータ	0.8	°C/W
Ψ _{JB}	接合部から基板への特性評価パラメータ	41.3	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション・レポートを参照してください。

6.5 内部電源レギュレータの特性

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{AVDD}	内部アナログ電源電圧	I _{AVDD} = 5mA	1.74	1.8	1.9	V
I _{VPWR_RX_ONLY}	リスン・オンリー・モード時の VPWR ピンからの供給電流。	V _{VPWR} = 14V、バーストなし、リスン・オンリーがアクティブ		12		mA
V _{IOREG_33}	デジタル IO 電源電圧	電源投入時 V _{TEST} = 0V、I _{IOREG} = 2mA	2.95	3.3	3.65	V
V _{IOREG_50}		電源投入時 V _{TEST} ≥ 2V、I _{IOREG} = 2mA、V _{VPWR} > 7.5V	4.45	5	5.65	
I _{LIM_AVDD}	AVDD 電流制限	AVDD はグラウンドへ短絡	40		150	mA
I _{LIM_IOREG}	IOREG 電流制限	IOREG はグラウンドへ短絡	10		50	mA
V _{OV_AVDD}	AVDD 過電圧スレッシュホールド		1.95		2.3	V
V _{UV_AVDD}	AVDD 低電圧スレッシュホールド		1.29		1.53	V
V _{OV_IOREG_33}	IOREG 過電圧スレッシュホールド	電源投入時 V _{TEST} = 0V	3.6		4.6	V
V _{UV_IOREG_33}	IOREG 低電圧スレッシュホールド	電源投入時 V _{TEST} = 0V	2.57		2.9	V
V _{UV_IOREG_50}		電源投入時 V _{TEST} ≥ 2V	3.8		4.5	
V _{OV_VPWR}	VPWR 過電圧スレッシュホールド	VPWR_OV_TH = 0x0	11	12.3	15	V
		VPWR_OV_TH = 0x1	16	17.7	21	
		VPWR_OV_TH = 0x2	21.5	22.8	27	
		VPWR_OV_TH = 0x3	27	28.3	31	
V _{UV_VPWR}	VPWR 低電圧スレッシュホールド		5.25		6	V
t _{ON_REG}	AVDD および IOREG パワーアップ時間	V _{VPWR} = 6V			10	ms

6.6 トランスデューサ・ドライバ特性

パラメータ	テスト条件	最小値	標準値	最大値	単位
V _{CLAMP_DRV}	ドライバのクランプ電圧	ドライバはオフ 30			V
I _{PULSE_MAX_DRV}	最大ドライバ・パルス電流	V _{OUTA} 、V _{OUTB} = 6V : f _{SW} = 30kHz、T _A = 105°C 500			mA
RDSON _{DRV}	MOSFET オン抵抗	I _{DRAIN} = 500mA : T _A = 105°C、DIS_CL = 1 4.8 8			Ω
E _{DIS_BURST}	バースト中に消費されるエネルギー	6.4			mJ
I _{LEAK_DRV}	リーク電流	V _{OUTA} 、V _{OUTB} = 14V -1 1			μA
I _{CLAMP_DRV_0}	最小コード設定の電流クランプ範囲	V _{VPWR} > 7V、 CURR_LIM1 = CURR_LIM2 = 0 15 50 75			mA

パラメータ	テスト条件	最小値	標準値	最大値	単位
I _{CLAMP_DRV_63}	最大コード設定からの電流クランプ範囲 V _{VPWR} > 7V、 CURR_LIM1 = CURR_LIM2= 63	450	500	570	mA
I _{STEP_SIZE_CLAMP_DRV}	ステップ・サイズ (前のステップの電流値 からの変化)	5.2	7.2	9.2	mA
f _{SW_LOW}	設定可能スイッチング周波数	FREQ_SHIFT = 0	30	80	kHz
f _{SW_HIGH}		FREQ_SHIFT = 1	180	480	

6.7 トランスデューサ・レシーバ特性

パラメータ	テスト条件	最小値	標準値	最大値	単位
GAIN _{RNG_TOT_RCV}	レシーバの合計増幅ゲイン範囲 F _{SW} = F _{SW_LOW} 、 F _{SW_HIGH} 、T _A = -40°C ~ +105°C	32		90	dB
GAIN _{RNG_RCV}	AFE_GAIN_RNG = 0x03	32		64	
	AFE_GAIN_RNG = 0x02	46		78	
	AFE_GAIN_RNG = 0x01	52		84	
	AFE_GAIN_RNG = 0x00	58		90	
GAIN _{NSTEP_RCV}	ゲイン調整ステップ		64		
GAIN _{STEP_SIZE_RCV}	ゲイン調整ステップ・サイズ	0.2	0.5	0.8	dB
GAIN _{THRM_DRFT_RCV}	ゲイン温度ドリフト F _{SW} = 30kHz、T _A = -40°C ~+105°C、ゲイン = 58.5dB	-3.5%		3.5%	
Z _{INP_RCV}	入力インピーダンス F _{SW} = 80kHz	300			kΩ
N _{RCV}	ノイズ・フロア F _{SW} = 58kHz、T _A = 105°C、BW = 4kHz		7		nV/sqrt(Hz)

6.8 A/D コンバータの特性

パラメータ	テスト条件	最小値	標準値	最大値	単位
V _{INP_ADC}	入力電圧範囲	0		V _{AVDD}	V
V _{REF_ADC}	電圧リファレンス		V _{AVDD}		
N _{ADC}	分解能		12		ビット
t _{CONV}	変換時間		1		μs

6.9 デジタル信号処理特性

パラメータ	テスト条件	最小値	標準値	最大値	単位
FREQ _{CENTER_BPF}	バンドパス・フィルタの中心周波数 ドライバ周波数に正規化		1		
BW _{BPF}	バンドパス・フィルタの帯域幅	2		8	kHz
N _{BPF}	バンドパス・フィルタの調整可能なステップ		4		
FREQ _{STEP_SIZE_BPF}	バンドパス・フィルタのステップ・サイズ		2		kHz
FREQ _{CUTOFF_LPF}	ローパス・フィルタのカットオフ周波数	1		4	kHz
N _{LPF}	ローパス・フィルタの調整可能なステップ		4		
FREQ _{STEP_SIZE_LPF}	ローパス・フィルタのステップ・サイズ		1		kHz

6.10 温度センサの特性

パラメータ	テスト条件	最小値	標準値	最大値	単位
T _{RANGE_SENSE}	温度センサの範囲	-40		125	°C

パラメータ	テスト条件	最小値	標準値	最大値	単位
T _{ACC_SENSE} 距離の精度	VPWR = 12V、 TEMP_GAIN = 0、 TEMP_OFF = 0		5		°C

6.11 高電圧 I/O 特性

パラメータ	テスト条件	最小値	標準値	最大値	単位
V _{IH_IO} 高電圧 IO 入力 HIGH レベル	IO ピン	0.6 × V _{VPWR}			V
V _{IL_IO} 高電圧 IO 入力 LOW レベル	IO ピン			0.4 × V _{VPWR}	V
V _{HYS_IO} 高電圧入力ヒステリシス	IO ピン	0.05 × VPWR		0.175 × VPWR	V
V _{OL_IO} 高電圧 IO 出力 LOW レベル	IO ピン、I _{IO} = 10mA			2	V
R _{PU_IO} 高電圧 IO プルアップ抵抗	IO ピン	4	10	16	kΩ
I _{LIM_IO} 高電圧 IO の電流制限	VPWR への短絡	40		250	mA

6.12 デジタル I/O 特性

パラメータ	テスト条件	最小値	標準値	最大値	単位
V _{IH_DIGIO} デジタル入力 HIGH レベル	RX および SCLK ピン、 V _{IOREG} = V _{IOREG_33} /V _{IOREG_50}	0.7 × V _{IOREG}			V
V _{IL_DIGIO} デジタル入力 LOW レベル	RX および SCLK ピン、 V _{IOREG} = V _{IOREG_33} /V _{IOREG_50}			0.3 × V _{IOREG}	V
V _{HYS_DIGIO} デジタル入力ヒステリシス	RX および SCLK ピン	100			mV
V _{OH_DIGIO} デジタル出力 HIGH レベル	DECPL および TX ピン、I _{DECPL} /I _{TX} = – 2mA、V _{IOREG} = V _{IOREG_33} /V _{IOREG_50}	V _{IOREG} – 0.2			V
V _{OL_DIGIO} デジタル出力 LOW レベル	DECPL および TX ピン、I _{DECPL} /I _{TX} = 2mA			0.2	V
R _{PU_DIGIO_RX} IOREG に対するデジタル入力プルアップ抵抗	RX ピン	90	100	160	kΩ
R _{PU_DIGIO_SCLK} デジタル入力プルダウン抵抗	SCLK ピン	80	100	130	kΩ

6.13 EEPROM の特性

パラメータ	テスト条件	最小値	標準値	最大値	単位
Bytes _{EE} EEPROM メモリのサイズ	アプリケーションおよびデバイス内部		64		バイト
t _{RET_EE} EEPROM データ保持期間	T _A = 105°C			10	年
Cycl _{BURN_EE} EEPROM の書き込み回数				1000	回
t _{PROG_EE} EEPROM のプログラム時間			600		ms

6.14 タイミング要件

	最小	公称値	最大値	単位
時間コマンド・インターフェイス				
t _{BIT_TCI} ビット周期	225	300	375	μs
t _{BIT0_TCI} 論理 0 ビット長	150	200	250	μs
t _{BIT1_TCI} 論理 1 ビット長	75	100	125	μs
t _{BLP1_TCI} バースト / リスン (プリセット 1) コマンド期間	328	400	472	μs
t _{BLP2_TCI} バースト / リスン (プリセット 2) コマンド期間	920	1010	1100	μs

		最小	公称値	最大値	単位
t_{LP1_TCI}	リスン・オンリー (プリセット 1) コマンド期間	697	780	863	μs
t_{LP2_TCI}	リスン・オンリー (プリセット 2) コマンド期間	503	580	657	μs
t_{CFG_TCI}	デバイス構成コマンド期間	1170	1270	1370	μs
t_{TEMP_TCI}	温度測定コマンド期間	1440	1550	1660	μs
t_{NOISE_TCI}	ノイズ・レベル測定コマンド期間	2070	2200	2340	μs
T_{DT_TCI}	コマンド処理デッドタイム	75	100	125	μs
USART 非同期インターフェイス					
t_{BIT_UART}	19.2kbps での論理ビット長	45.5	52.08	58.6	μs
t_{BITF_UART}	115.2kbps での論理ビット長	7.6	8.68	9.76	μs
USART 同期インターフェイス					
t_{BIT_USART}	8Mbps での論理ビット長	55	125		ns

6.15 スイッチング特性

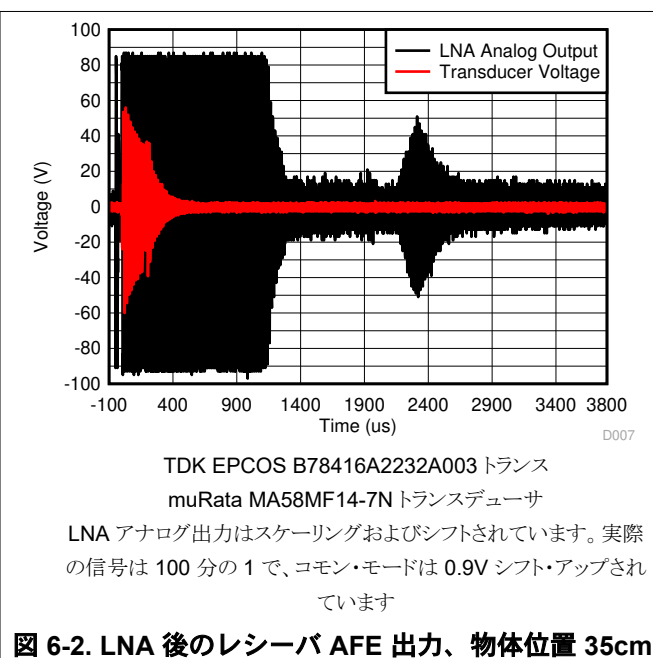
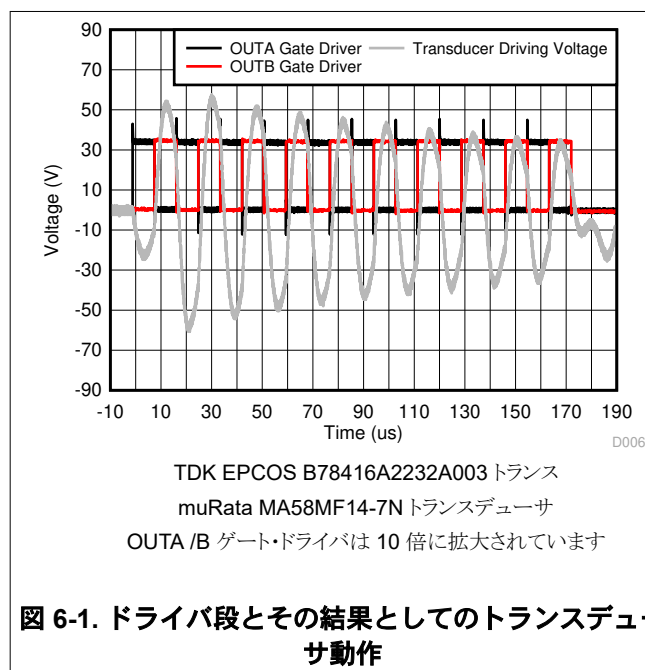
パラメータ	テスト条件	最小値	標準値	最大値	単位
f_{CORE_CLK}	コア周波数 ⁽¹⁾	15.5	16	16.5	MHz
ACC_{CORE_CLK}	コア周波数の精度 ⁽²⁾	-4%		4%	
Baud _{UART}	USART 非同期インターフェイスのボーレート	2.4	19.2	131.5	kbps
Baud _{USART}	USART インターフェイス同期モードのボーレート			8	Mbps

(1) 室温 (25°C)

(2) 動作温度範囲内 (-40°C~105°C)

6.16 代表的な特性

10 パルス、400mA の電流制限、58.6kHz の駆動周波数



7 詳細説明

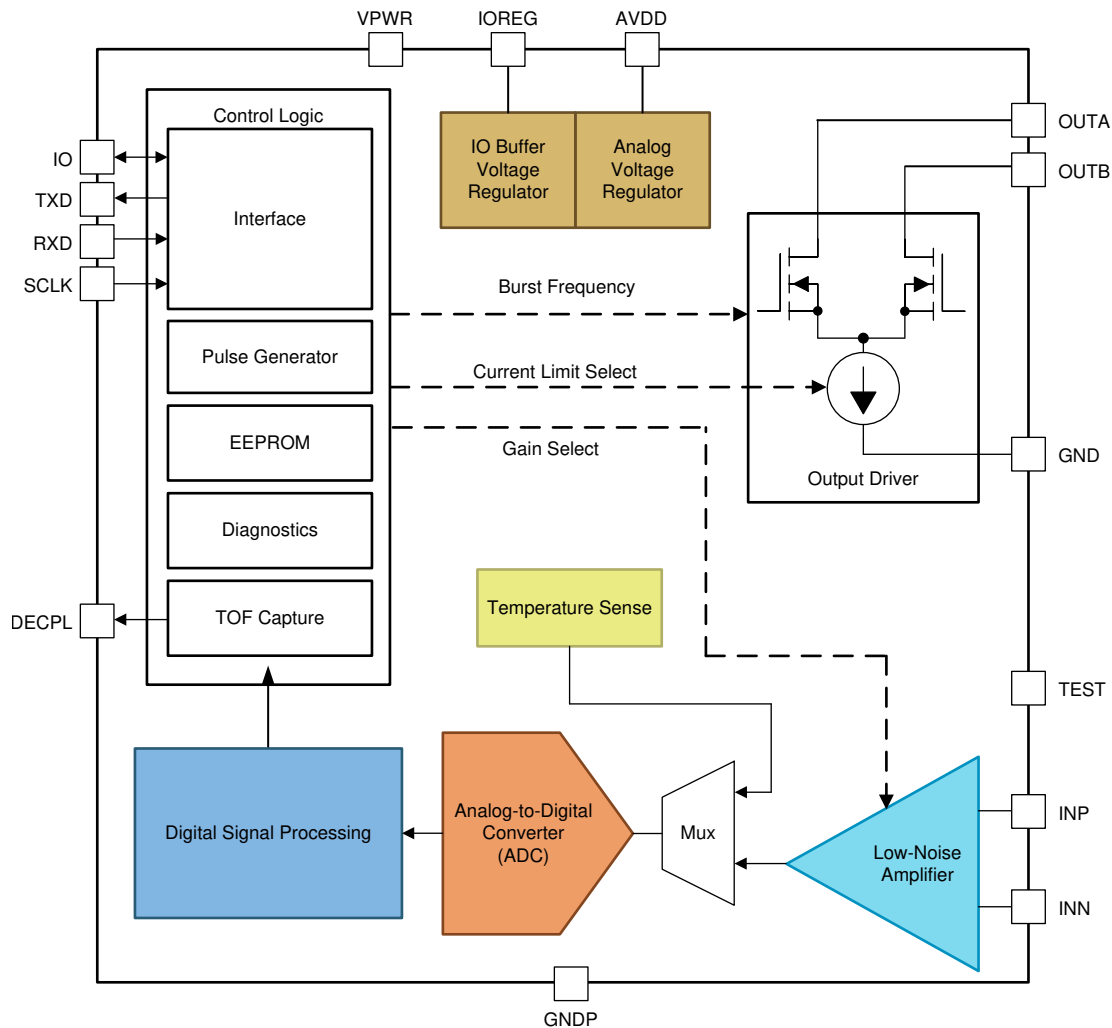
7.1 概要

PGA460-Q1 デバイスは、物体または距離センシング用の超音波センシング用のシグナル・コンディショニングおよびトランスデューサ・ドライバ・デバイスです。出力ドライバは、センター・タップ・トランスを駆動して超音波トランスデューサに対して大きい励起電圧を生成できる相補的なローサイド・ドライバで構成されており、その結果、目的の音圧レベル (SPL) が生成されます。出力ドライバは、外部 FET を使って、トランスなしで直接駆動モードで使用するよう構成することもできます。出力ドライバには、トランスを効率的に駆動するために、設定可能な電流制限が実装されています。また、さまざまなトランスデューサに対応できるように、バースト周波数およびバースト長を設定できます。

アナログ・フロントエンド (AFE) は、トランスデューサから受信したエコーを検出し、それを増幅して正しい物体検出を行うことができます。AFE には低ノイズ・アンプが実装されており、それに続いて時変ゲイン・アンプが実装されているため、さまざまな距離にある物体からの信号をそれに応じて増幅できます。この実装により、同じ記録において近距離の物体と遠距離の物体の両方に対して、ADC の最大ダイナミック・レンジを使用できます。組込み温度センサを使って、温度変化に応じてシグナル・コンディショナを校正できます。デジタル信号処理パスは、受信したエコーをさらにフィルタ処理し、時変スレッショルドを使って物体を正確に検出します。バーストおよびスレッショルドについて 2 つのプリセットを利用可能なので、複数のバーストの間でデバイスを構成するために必要な時間を節約し、検出サイクルを短縮できます。ほとんどの構成パラメータは不揮発性メモリに保存されているため、迅速な起動が可能で、初期化にかかる時間を短縮できます。

PGA460-Q1 デバイスには、コントローラと通信するための複数の IO プロトコルがあります。このデバイスは、VPWR 基準の IO ピンにおいて、時間コマンド・インターフェイスおよび 1 線式 UART を提供します。また、TXD、RXD、SCLK ピンで、同期および非同期の USART を提供します。

7.2 機能ブロック図



7.3 機能説明

7.3.1 電源ブロック

PGA460-Q1 デバイスは、複数の内部レギュレータを内部回路の電源として使用します。アナログ電圧レギュレータ (AVDD) には、100nF の外付けコンデンサが必要です。電源ブロックは、高精度の電圧リファレンス、電流バイアス、および内部クロックを生成します。追加のレギュレータ (IOREG) によって、USART ピン (RXD、TXD、SCLK)、DECPL ピン、TEST ピンの電源電圧が生成されて、デジタル機能が利用できます。AVDD および IOREG レギュレータは、外部負荷をサポートすることを意図していません。外部コンデンサは、関連するピン (AVDD および IOREG) のできるだけ近くに配置することを推奨します。VPWR ピンに電圧が印加されると、PGA460-Q1 デバイスはパワーアップを開始します。内部パワーオン・リセット (POR) は、すべてのレギュレータ電源がレギュレーション状態になり、かつ、内部クロックが動作すると解除されます。低消費電力モードでは、IOREG レギュレータはオンになっていますが、他のレギュレータはシャットダウンして電力を節約します。

7.3.2 バースト生成

PGA460-Q1 デバイスでは、FREQ および P1_PULSE / P2_PULSE レジスタを構成することによって、バーストの周波数およびパルス数をプログラム可能です。

式 1 を使用して、30kHz～80kHz の範囲でバースト周波数を計算します (FREQ_SHIFT ビットを 0 に設定)。

$$f_{(\text{DRV})} = 0.2 \text{ kHz} \times f + 30 \text{ kHz} \quad (1)$$

ここで、

- f は、FREQUENCY レジスタで定義されている 0 ～ 200 の周波数です。

出力段の実際の駆動周波数は、コア・クロック周波数から 式 1 および 式 2 を使って得られます。

$$n = \frac{f_{(\text{CORE_CLK})}}{f_{(\text{DRV})}} \quad (2)$$

ここで、

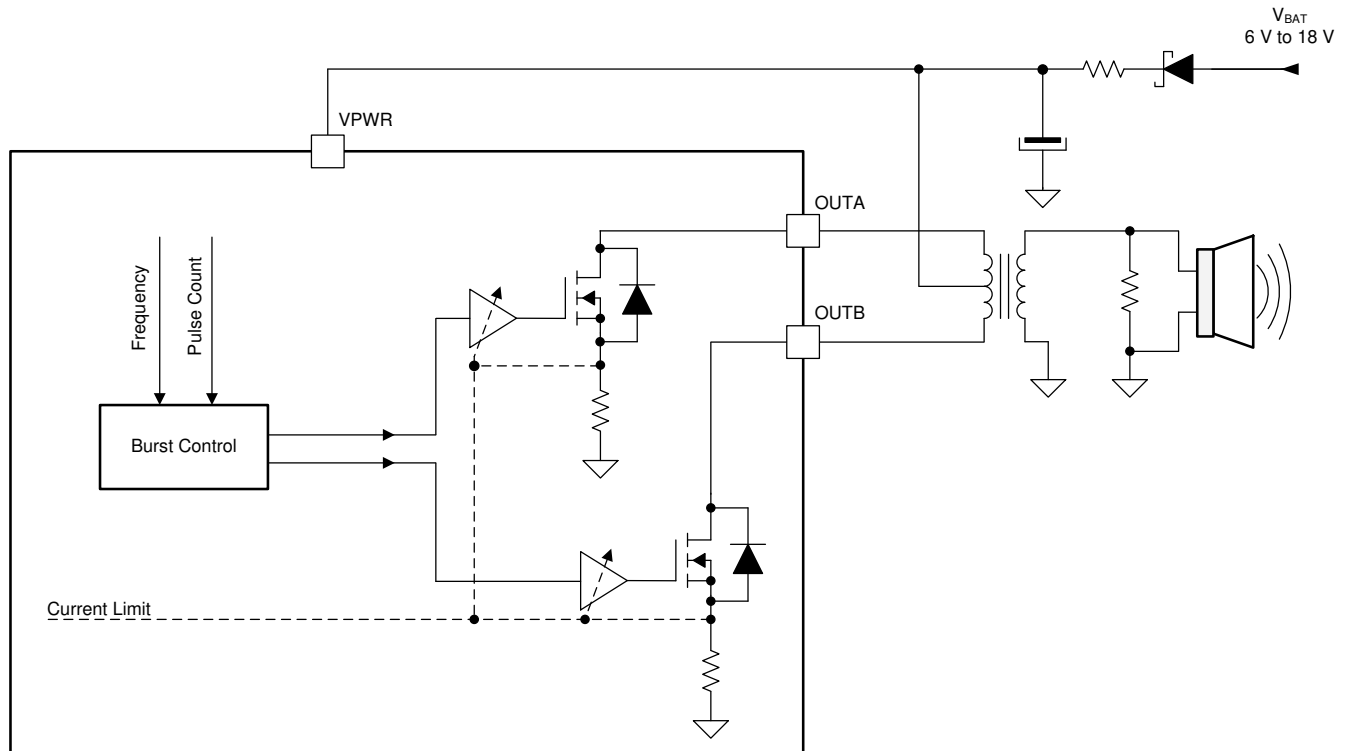
- n は、メイン発振器の $f_{(\text{CORE_CLK})}$ を分周する比率です。

PULSE_P1 および PULSE_P2 レジスタの範囲は、0～31 です。M の値を 0 より大きい値に設定すると、OUTA および OUTB 出力に M 個のパルス・ペアが生成されます。

7.3.2.1 センタータップ・トランスの使用

PGA460-Q1 デバイスは、電流制限モードで動作する相補的なローサイド FET を経由して、OUTA ピンおよび OUTB ピンに接続されたセンター・タップ・トランスの 1 次側を励起することによって、効率的なバースト発生を実現します。バーストの周波数は 30kHz～80kHz であり、電流制限は 50mA～500mA です。バーストの周波数、トランスの 1 次側電流の電流制限、バースト・パルスの数は、FREQUENCY、CURRENT_LIM_P1、CURRENT_LIM_P12、PULL_P1、および PULL_P2 パラメータを使って制御できます。

図 7-1 に、エコー発生の機能ブロック図を示します。



Copyright © 2017, Texas Instruments Incorporated

図 7-1. エコー発生ブロック図

7.3.2.2 直接駆動

相補的なローサイド・ドライバを外部 PMOS FET と組み合わせて使用すると、シングルエンドの直接励起によりトランスデューサを駆動できます。この構成では、電流制限機能を無効にすることで、内部 FET を RDSON モードで使用できます。そのためには、CURRENT_LIM_P1 レジスタの DIS_CL ビットを設定します。

このモードでは、PULL_DT ビットを構成することによって追加のデッドタイム機能を使用して、外部 PMOS FET と内部ローサイド FET との間の貫通電流を除去できます。ローサイド FET のバースト・サイクル期間は変わりませんが、非アクティブ化時間はデッドタイムの設定値によって短縮されます。この状況を 図 7-2 に示します。

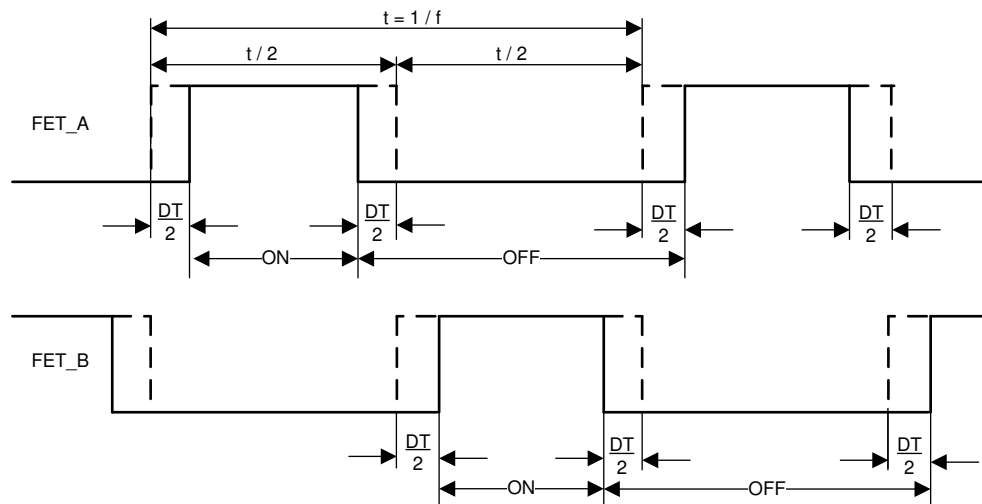


図 7-2. エコー生成のデッドタイム調整

7.3.2.3 その他の構成

P1_PULSE ビットまたは P2_PULSE ビットのいずれかが 0 に設定されている場合、OUTA 出力のみがパルスを生成し、OUTB 出力は、この期間中、高インピーダンス状態を維持します。この構成を使用して、短距離のみを検出する必要がある場合に出力電圧を低減します。

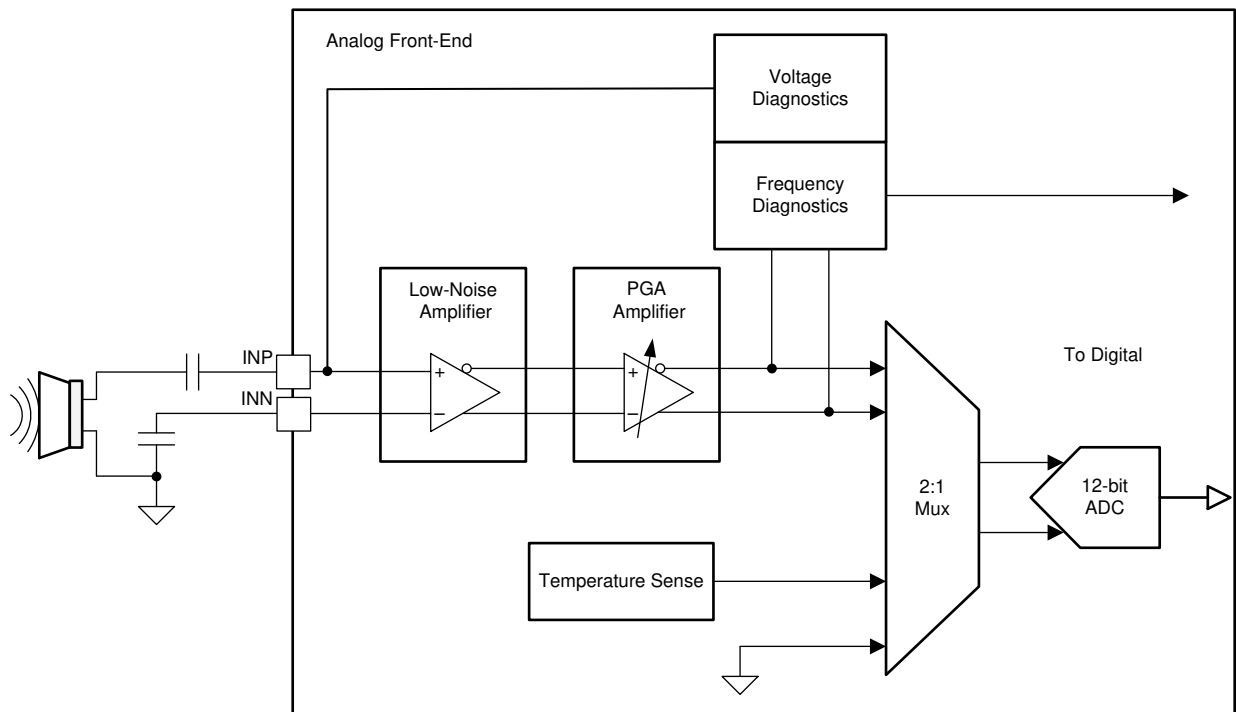
注

- より高い周波数をサポートするため、デバイスには、CURR_LIM_P1 レジスタの FREQ_SHIFT ビットを設定することによって、バースト周波数範囲をシフトアップするオプションがあります。このビットが設定されている場合、バースト周波数は、FREQUENCY レジスタで選択されるバースト周波数の 6 倍になります。このビットが設定されているとき、バースト周波数の範囲は 180kHz~480kHz、ステップは約 1.2kHz です。
- 最大デッドタイム設定は、バースト期間を t とすると、 $t/8$ 以下にする必要があります。

7.3.3 アナログ・フロントエンド

図 7-3 に示す PGA460-Q1 デバイスのアナログ・フロントエンド (AFE) は、物体から反射されたエコーを受信し、増幅して、エコー検出のためのデジタル信号処理 (DSP) データ・パスに送ります。受信したエコー信号の振幅は変動する可能性があるため (近くにある物体では mV 単位、遠くにある物体では μ V 単位)、最初の AFE 段は、あらかじめ決められた固定ゲインで非常に低いノイズの平衡アンプであり、それに続いて、32dB~90dB の可変ゲイン段アンプが設けられています。増幅されたエコー信号は、12 ビットの A/D コンバータ (ADC) によってデジタル信号に変換され、DSP 処理ブロックに供給されて、さらに評価およびタイム・オブ・フライト測定が行われます。

PGA460-Q1 AFE は、エコー記録プロセスのバーストおよび減衰段において、センシング素子 (トランスデューサ) を監視するためのシステム診断機能を実装しています。これは、トランスデューサ・ノードで得られる最大電圧とトランスデューサ・ノードでの発振周波数を測定する方法を使っています。この診断の詳細については、「システム診断」セクションを参照してください。



Copyright © 2017, Texas Instruments Incorporated

図 7-3. アナログ・フロントエンド

AFE の可変ゲイン・アンプには時変ゲイン機能が実装されており、ユーザーはさまざまな静的ゲインを設定できます。また、エコー・リスン・プロセス (エコー記録時間) のゲイン・プロファイルも指定できます。この機能により、ADC を飽和させずに、さまざまな距離にある物体からのエコー信号を均一に増幅できます。たとえば、最初は、近い物体のために低いゲインをプログラムしておいて、その後、記録時間中にゲインを増加させて、非常に小さいエコー信号を発生する遠くの物体を検出することができます。この機能は、高精度のタイム・オブ・フライト測定のために、ADC 変換後にすべての距離にわたって十分な SNR を達成するのに役立ちます。

時変ゲイン・パラメータは、EEPROM メモリに保存され、以下に示す特性があります。

- 初期固定ゲイン・パラメータ、GAIN_INIT。
- TVGAIN0 レジスタに保存される、時変ゲイン開始時の値。
- TVGAIN0~TVGAIN6 レジスタに配置された、ゲインが変化する 5 つの交点の配列。

図 7-4 に、時変ゲインのプロット例を示します。

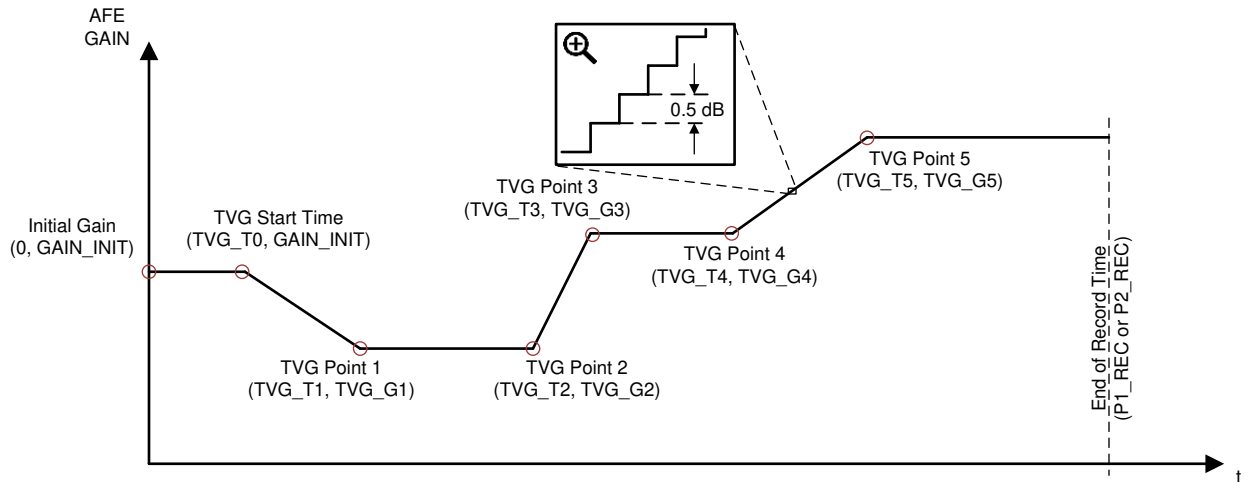


図 7-4. 時変ゲインの割り当て例

TVG の開始時間は、絶対時間で表されており、以後のすべての TVG ポイント時間 (TVG_Tx パラメータ) は、現在と前のポイントとの時間差として表されます。すべてのゲイン値は、dB 単位の絶対ゲイン値で表されており、相互の関連はありません。TVG ポイント 5 (TVG_G5) の最終ゲイン設定は、エコー記録時間が終了するまで一定に維持されます。時変ゲインの割り当ては、両方のプリセットで同じです。2 つの TVG ポイント間のゲインは、線形補間方式を使って計算します。AFE のゲイン分解能は標準値 0.5dB です。

注

記録中に時変ゲインを変更した場合、その変更は次の記録サイクルから適用されます。TVGAIN[0:6] レジスタが 0x00 にプログラムされている場合、PGA460-Q1 デバイスの時変ゲイン機能がディセーブルされ、INIT_GAIN レジスタで定義された固定ゲインが適用されます。この場合、INIT_GAIN レジスタを変更すると、記録中に AFE のゲインが変更されます。

時変ゲインのオフセットは、DECPL_TEMP レジスタの 2 つの AFE_GAIN_RNG ビットによって制御されます。[レジスタ・マップ](#)セクションで定義されている 4 つの各設定について、そのオフセットに加算するゲインを 0~32dB の範囲で変更できます。

7.3.4 デジタル・シグナル・プロセッサ

PGA460-Q1 デバイスの DSP ブロックは、ADC からのデジタル・データを処理してエコーのピーク・プロファイルを抽出します。その後、DSP の出力とプログラミングされたスレッショルドとを比較して、物体距離計算のためのタイム・オブ・フライト (飛行時間) を測定します。

図 7-5 に、DSP のデータ・パスを示します。また、コンパレータの出力は、デッドタイム・レジスタの THR_CMP_DEGLTCH[7:4] ビットによってデグリッチ (グリッチ除去) できます。

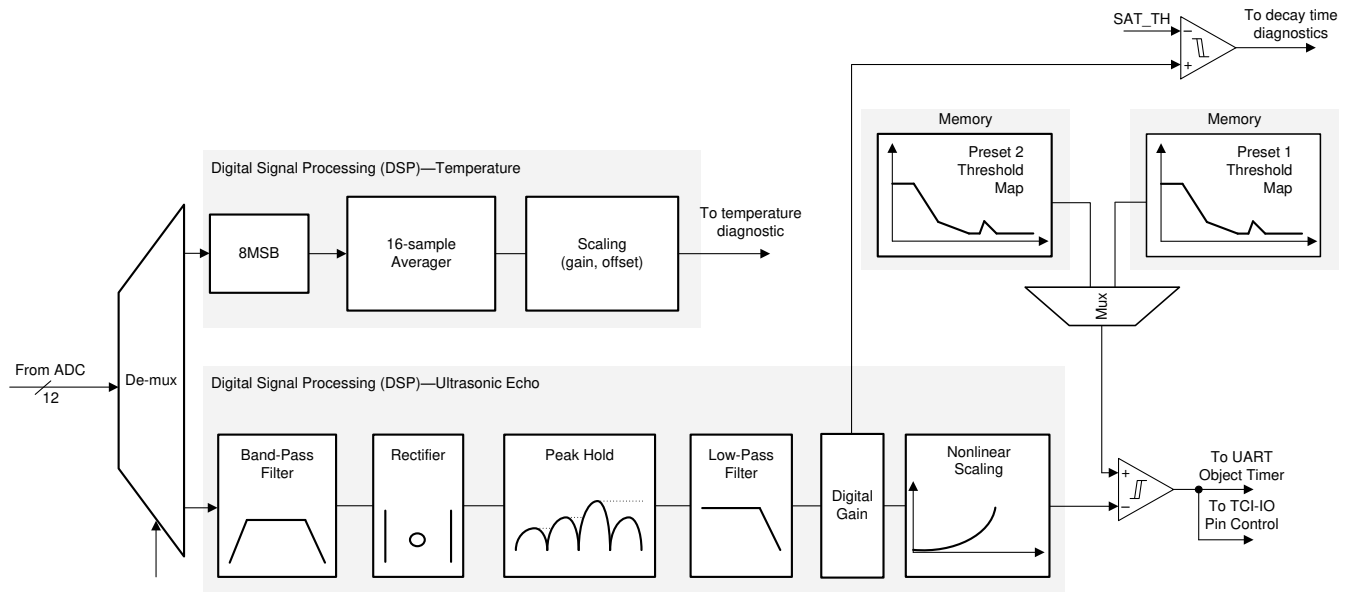


図 7-5. DSP データ・パス

7.3.4.1 超音波エコー - バンドパス・フィルタ

超音波エコー信号は、超音波トランスデューサの駆動周波数と同じキャリア周波数を持つ振幅変調信号です。DSP バンドパス・フィルタ・ブロックを使用すると、観測対象の周波数帯域外の周波数をフィルタで除外できるため、超音波エコー信号に影響を及ぼすノイズの量を減らすことができます。

フィルタの中心周波数は、FREQ ビットで設定された駆動周波数に基づいて自動的に調整されます。また、INIT_GAIN EEPROM レジスタの BPF_BW ビットを設定することにより、フィルタの帯域幅を 2kHz 刻みで 2kHz~8kHz に調整できます。

このバンドパス・フィルタは、2 次バターワース IIR タイプ・フィルタです。電源投入時に、PGA460-Q1 デバイスは係数を計算し、それらを BPF_A2_xSB、BPF_A3_xSB、および BPF_B1_xSB レジスタに入れます。ユーザーは、これらのレジスタを上書きして、フィルタを再構成できます。ただし、FREQ または BPF_BW ビットが変更された場合、係数計算シーケンスが再実行され、デバイスはこれらのレジスタを再書き込みします。FREQ_SHIFT ビットが 1 (80~480kHz の駆動周波数範囲) に設定されている場合、PGA460-Q1 デバイスは、バンドパス・フィルタ係数を自動的に計算しません。この場合には、MCU は、UART または USART インターフェイス経由でこれらの値を書き込む必要があります。

7.3.4.2 超音波エコー - 整流器、ピーク・ホールド、ローパス・フィルタ、データ選択

整流器、ピーク抽出機能、ローパス・フィルタの DSP ブロックは、エコー信号を復調すると同時に、ベースバンド表現を出力して、プログラムされたスレッシュホルドと比較します。これらのブロックの定義は、次の通りです。

整流器 入力信号の振幅は正と負の両方になる可能性があるため、このブロックは入力信号の絶対値を出力します。

ピーク・ホールド このブロックは、ローパス・フィルタが信号のピーク振幅を検出するために必要な一定時間にわたって、整流された信号のピーク値を保持します。

ローパス・フィルタ (LPF) このブロックは、エコー信号からノイズの影響を除去します。LPF は、1 次 IIR タイプ・フィルタとして実現されています。ユーザーは、CURR_LIM_P2 レジスタの LPF_CO ビットを設定することによって、カットオフ周波数を 1kHz ステップで 1kHz~4kHz に設定できます。

電源投入時に、PGA460-Q1 デバイスはフィルタ係数の値を計算して、各係数を LPF_A2_xSB および LPF_B1_xSB レジスタに入れます。ユーザーは、これらのレジスタの値を上書きしてフィルタを再構成できます。このとき、PGA460-Q1

デバイスは何も操作を行いません。ただし、LPF_CO ビットが変更された場合には、係数計算シーケンスを再実行する必要があります、デバイスがこれらのレジスタを再構成します。

7.3.4.3 超音波エコー - 非線形スケーリング

DSP データ・パスの非線形スケーリング・ブロックは、エコー信号の指数関数スケーリング (デジタル非線形増幅) を行い、より高い SNR を実現します。この機能は、遠い距離にある物体を検出する際に、エコー信号の振幅が非常に減衰してノイズ・フロアに近い場合に役立ちます。

非線形スケーリング・ブロックは、以下のアルゴリズムを実行します。

```
if (t < Time_Offset)
    Output = Input;
else
    Output = (Input - Noise_Level)Scale_Exponent;      (3)
```

ここで、

- t は現在の記録時間です。
- Time_Offset (時間オフセット) は、SCALE_N パラメータによって設定され、[超音波エコー — スレッシュホールド・データの割り当て](#) セクションで定義されている TH9、TH10、TH11、TH12 のいずれかの時点を選択するために使用されます。
- Scale_Exponent (スケール指数) は、非線形の指数 (1.5 または 2) であり、SCALE_K ビットによって定義されます。
- Noise_Level (ノイズレベル) は、1 LSB ステップ、0～31 の範囲でユーザーが設定したノイズ・レベルであり、NOISE_LVL ビットによって定義されます。

SCALE_N、SCALE_K および NOISE_LVL ビットは、DSP_SCALE レジスタの EEPROM パラメータです。

注

非線形スケーリング・ブロックは、プリセット 1 およびプリセット 2 に適用できます。

7.3.4.4 超音波エコー — スレッシュホールド・データの割り当て

PGA460-Q1 スレッシュホールドの割り当ては、2 つのプリセットで構成されています。プリセット 1 およびプリセット 2 です。これらのプリセットは、いずれもスレッシュホールド・セグメントを割り当てるための独立したメモリ・マップを備えています。PGA460-Q1 デバイスは、各プリセットに対して最大 12 のスレッシュホールド・セグメントをサポートします。そのスレッシュホールド・セグメント・ポイント (TSP) は、プリセット 1 については P1_THR_[0:15] レジスタ、プリセット 2 については P2_THR_[0:15] レジスタで定義されています。

 [7-6](#) に、スレッシュホールドの割り当て例を示します。

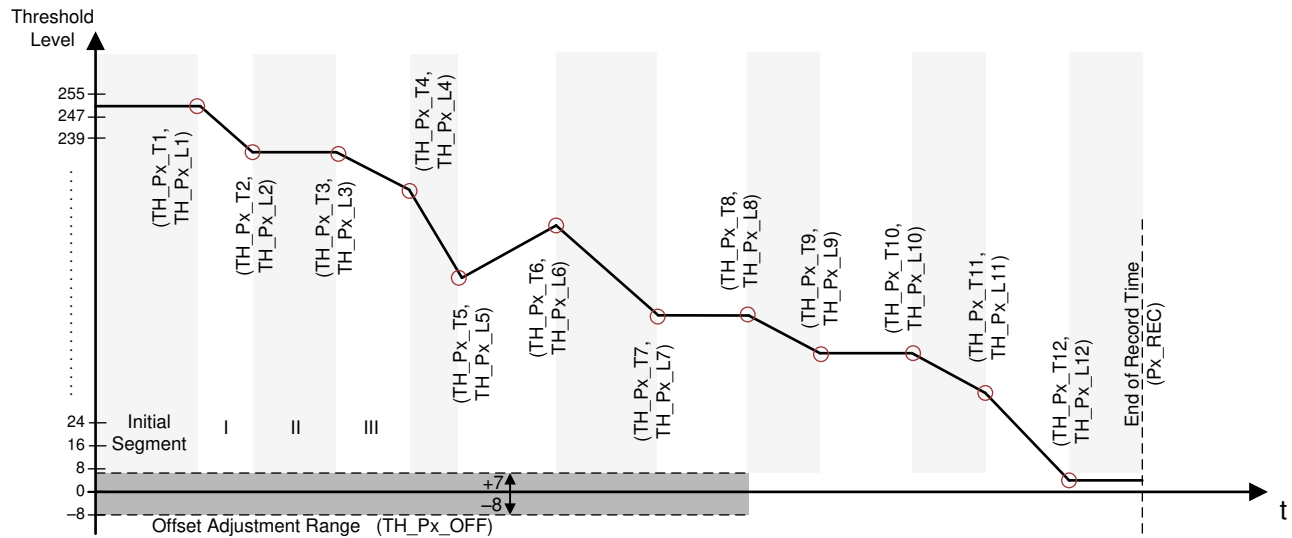


図 7-6. スレッシュホルドの割り当て例

図 7-6 に示すように、各 TSP は (時間、レベル) という形式で記述され、Px はプリセット番号 (プリセット 1 の場合は P1、プリセット 2 の場合は P2) です。さらに、初期セグメント時間パラメータ (TH_Px_T1) の値だけが絶対時間で表され、それ以降のすべての TSP 時間 (TH_Px_Tx パラメータ) は、前の TSP の絶対時間値と現在の TSP の絶対時間値との間の差分として表されます。各 TSP のレベル値 (TH_Px_Lx パラメータ) は、すべて絶対 LSB レベルの値で表され、互いに関連がありません。任意の時点での TSP レベルのスレッシュホルド値は、PGA460-Q1 デバイスによって、2 つの隣接するスレッシュホルド・セグメント・ポイント間の線形補間関数として決定されます。

図 7-6 に示すように、最初のセグメントの開始に達するまでの初期セグメントのスレッシュホルド値は、TH_Px_L1 パラメータによって決定される一定のスレッシュホルド値となっています。また、Px_REC パラメータで定義された記録終了時間に達するまでの 12 番目のセグメントのスレッシュホルドは、TH_Px_L12 パラメータによって決定される一定のスレッシュホルド値となっています。

TH_Px_L1～TH_Px_L8 のスレッシュホルド・パラメータは 5 ビット幅であり、TH_Px_L9～TH_Px_L12 のパラメータは 8 ビット幅です。このようなサイズになっているので、メモリ領域を節約すると同時に、長距離の弱いエコー信号でノイズが存在する場合でも高い分解能で検出することができ、すべての TSP にわたって検出範囲を一定に保っています。TH_Px_L1～TH_Px_L8 の分解能は 8 LSB であるため、短距離検出に対するスレッシュホルド割り当てを微調整するようにスレッシュホルド・オフセットを定義できます。

注

- オフセット加算後の TSP の計算値が負になる場合は、線形補間の前に 0 にクランプされるため、スレッシュホルド曲線の勾配が予想される値から外れます。
- プリセット 1 およびプリセット 2 のスレッシュホルド割り当てパラメータは、CRC 計算アルゴリズムによって保護されています (式 6)。
- 電源投入時または低消費電力モードからのウェークアップ時には、すべてのスレッシュホルド・レジスタ (Px_THR_XX) とスレッシュホルド CRC レジスタ (THR_CRC) がデフォルト値に初期化されないため、CRC エラーが発生して THR_CRC_ERR ビットが 1 に設定されます。これによって、構成が正しくロードされていないことを MCU に通知します。スレッシュホルド・レジスタへ書き込むと、CRC 計算が再実行されて、エラー・ビットが更新されます。

7.3.4.5 デジタル・ゲイン

ローパス・フィルタ後のデジタル・ゲイン機能が実装されているので、スレッシュホルド値を小さくせずに受信エコーの SNR を向上できます。このゲインは、バンドパスおよびローパス・フィルタの後に適用されるため、デジタル・ゲインは帯域外ノイズ

ズを増幅しません。このゲイン機能は、地面反射などの誤検出を抑制し、より高い精度でより遠くにある物体を検出するのに役立ちます。

デジタル・ゲイン範囲には、短距離 (SR) と長距離 (LR) の 2 つの設定があります。SR および LR のゲイン・レベルは、プリセット 1 およびプリセット 2 のために個別に Px_GAIN_CTRL レジスタで、それぞれ Px_DIG_GAIN_SR および Px_DIG_GAIN_LR パラメータを使って設定されます。LR ゲインは、Px_DIG_GAIN_LR_ST パラメータで設定されたスレッシュホールド・レベル・ポイントから、記録期間の終了まで適用されます。SR ゲインは、時間ゼロから選択した LR スレッシュホールド・レベル・ポイントの開始まで適用されます。

デジタル・ゲインが適用される時点でのエコーの誤検出を防止するために、定義されたスレッシュホールドも変更されます(図 7-7 を参照)。ここでは、スレッシュホールド・レベルのポイント 9 から LR ゲインを適用します。LR ゲインがスレッシュホールド・レベル 8 の SR ゲインと異なる場合、スレッシュホールド・レベル 8 に、LR ゲインと SR ゲインの比 (DIG_GAIN_LR/DIG_GAIN_SR) を乗算します。この比率は、SR スレッシュホールド・レベル 9 のポイントの終了後 1 μ s の時点で使われます。これによりスレッシュホールド・レベルに不連続性が生じますが、エコー信号も同じゲイン比でスケールされるため、物体検出に影響はありません (誤ったスレッシュホールド交差は防止されます)。このポイントの後、リニア補間方式を使用して、スレッシュホールド・レベルを次の設定スレッシュホールド・レベル (以下の例ではポイント 9) に変化させます。スレッシュホールド・レベルは、デジタル・ゲインおよび LR ゲインと SR ゲインの比率を考慮して調整する必要があります。

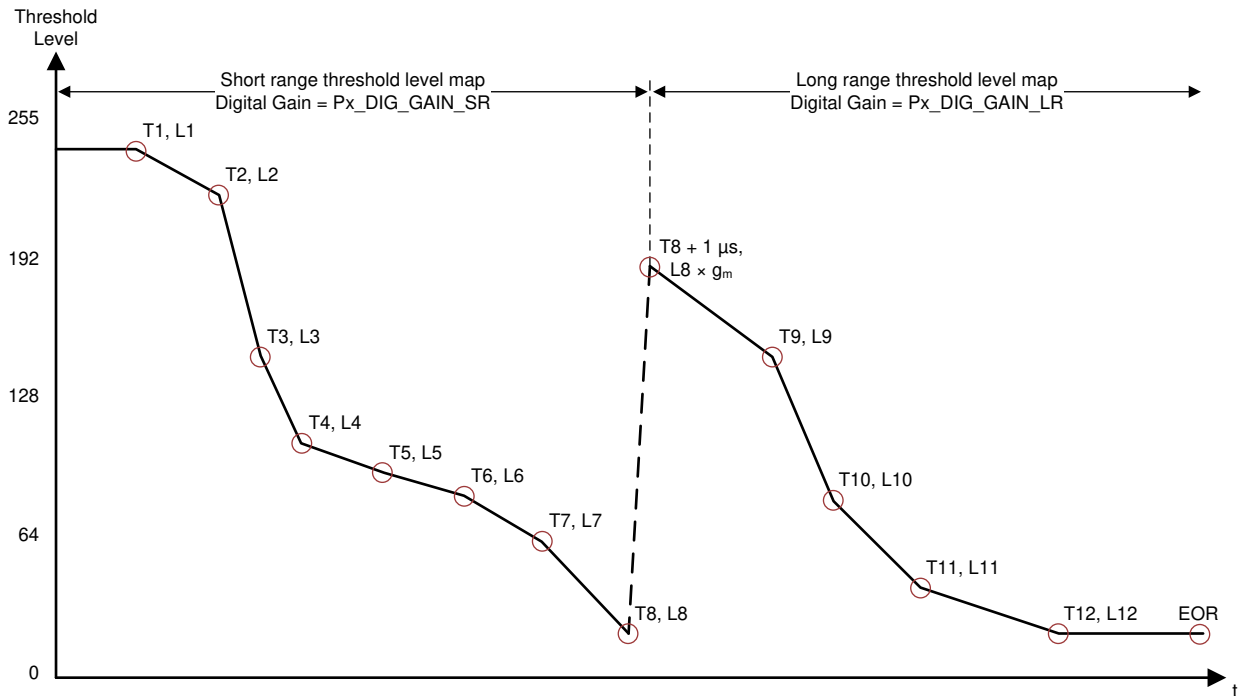


図 7-7. DIG_GAIN_LR_ST = [00] TH9 の例

7.3.5 システム診断

PGA460-Q1 デバイスのシステム診断機能は、バースト中のトランスデューサ素子の特性評価と、システム全体のステータスの判定に役立ちます。提供されている情報を使って、システムは、トランスデューサの故障、ドライバ回路の故障 (使用する場合はトランスの故障も)、システムに対する環境的影響 (氷、泥、雪など)、トランスデューサの動作を損なう物体 (たとえばトランスデューサに加えられた圧力) などを検出できます。

PGA460-Q1 デバイスには、システムの故障検出に使用できる情報を提供するシステム診断機能が 3 種類実装されています。これらの診断機能を以下に示します。

電圧診断 電圧診断機能は、バースト / リスン実行コマンドを実行したときのみ、INP ピンを流れる電流を監視することで得られます。特定のバースト周波数でのトランスデューサ励起電圧により、INP ピンに電流が発生し、図 7-8 に示すように、電流コンパレータを使ってリファレンス電流と比較します。励起電流が、FVOLT_DEC レジスタ

の FVOLT_ERR_TH で設定されたスレッショルド・レベルを超えると、電流コンパレータの出力が HIGH になります。これは、目的の励起電圧レベルで正常なバーストが発生したことを意味します。測定は、バースト段の始動から約 50μs 後に開始され、バースト段の終了時に終了します。この診断測定の結果は、[インターフェイスの説明](#)セクションで説明しているように、IO 時間コマンドまたは UART インターフェイスのステータス・フレームで通知されます。

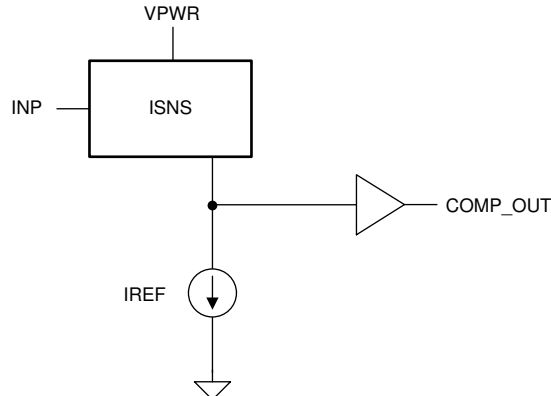


図 7-8. 電圧診断のブロック図

$$V_{(\text{diag})} \cong 3.25\text{E}^{-03} \times \text{FVOLT_ERR_TH}[2:0] \times \left(R_{(\text{INP})} + \frac{1}{6.28 \times f_{(\text{burst})} \times C_{(\text{INP})}} \right) \quad (4)$$

ここで、

- FVOLT_ERR_TH[2:0] は、000b が 1、111b が 8 に対応しています。
- $f_{(\text{burst})}$ は、バースト周波数を kHz 単位で表したものです。
- $C_{(\text{INP})}$ は、INP ピンの入力容量です。
- $R_{(\text{INP})}$ は、EMI および ESD の堅牢性を確保するために使用するオプションの抵抗です ([図 8-1](#) を参照)。

注

バーストが発生する前には、コンパレータの出力が LOW になっていることが想定されます。出力が HIGH に固着した場合、その状態が検出され、診断失敗フラグが設定されます

トランスデューサの周波数測定

記録期間の減衰段において、トランスデューサ・ノードの周波数測定を実行して、トランスとトランスデューサのマッチングの性能と適切な調整を検証します。

トランスデューサの周波数を測定するには、スタート・パラメータ FDIAG_START、ウィンドウ長パラメータ FDIAG_LEN を EEPROM メモリに定義します。スタート・パラメータ FDIAG_START は、バースト時間終了を基準として、周波数測定を開始する時間を定義します。診断ウィンドウ長パラメータ FDIAG_LEN は、キャプチャされた信号期間を基準として、診断ウィンドウの時間幅を設定します。パラメータ構成の簡単な例を説明します。

1. FDIAG_START = 2, FDIAG_LEN = 1 と仮定します。[レジスタ・マップ](#)セクションを参照すると、これらの EEPROM パラメータの開始時間は、バースト終了から 200μs、ウィンドウ長は、3 信号周期となります。動作周波数が 58kHz と仮定すると、信号周期は 17.24μs であるので、バースト終了から 200μs + 3 × 17.24μs = 251.72μs の時点で診断が終了します。
2. 測定ウィンドウ内でキャプチャされた周波数情報は平均化され、500ns の時間ベースのカウント値として表されます。信号周波数は、[式 5](#) を使って計算できます。

$$f = 1 / (\text{FDIAG_VAL} \times 500\text{e-}09) \quad (5)$$

ここで、

- **FDIAG_VAL** は、いずれかのデバイス・インターフェイスを使って抽出できる値です。
3. 周波数診断測定が完了する前に、指定された数の物体が検出された場合、周波数測定結果は保存されません。これは、事前に定義した診断パラメータおよび近距離物体検出のスレッシュホールドを設定することで管理できます。

PGA460-Q1 デバイスには、この他に周波数エラー機能が実装されており、測定されたトランスデューサの周波数が、**FDIAG_ERR_TH** スレッシュホールド・パラメータで設定された制限値を超えていることを示します。この機能の結果は、IO 時間コマンドまたは **UART** インターフェイスのステータス・フレームで通知されます。トランスデューサ周波数エラー通知の詳細については、「[インターフェイスの説明](#)」セクションを参照してください。

減衰時間 キャプチャ

記録期間の減衰段では、トランスデューサ減衰時間測定を実行して、トランスデューサが正常に動作していることを確認できます。この診断機能とトランスデューサ周波数測定機能の組み合わせは、超音波トランスデューサに対する外部的な妨害を検出するために、超音波システムで一般的に使用されます。

減衰期間は、デジタル・データ・パスの出力で測定されます。バースト段が終了すると同時に測定を開始し、エコー・レベルが、**SAT_TH** パラメータによって **EEPROM** で定義されている飽和スレッシュホールド・レベルを超えている間、減衰時間が測定されます。得られた結果は、いずれかの **PGA460-Q1** インターフェイスを使って抽出でき、その値は **16μs** 刻みの時間で表されます。測定された減衰時間が **4ms** を超える場合、抽出される値は **0xFF** となります。

ノイズ・レベル測定

PGA460-Q1 デバイスに実装されているもう 1 つのシステム診断は、ノイズレベル測定診断です。この機能の目的は、付近にある他の超音波システムによって発生する周囲のノイズを評価して外乱を判定すること、および遠距離にある物体を検出するときのノイズ・フロア・レベルを評価することです。

ノイズレベルの測定中、**PGA460-Q1** デバイスは、リスン・オンリー (プリセット 2) コマンドを実行します (コマンドの詳細については、[インターフェイスの説明](#) セクションを参照)。ここではバーストは実行されず、記録期間だけが開始されて **8.192ms** 続きます。この記録期間中、デジタル・データ・パスの出力で収集されたデータは平均化され、それぞれが **4096** サンプルを含んでいる 2 つのグループになります。ノイズ・レベル測定機能を実行して測定される最終的なノイズ・レベルは、この 2 つのグループのうち高い方の平均値になります。この値が、最終的なノイズレベル測定値として通知されます。

注

ノイズレベル測定プロセス中、非線形スケーリング・ブロックは、常に無効になります (スケール・ファクタ **EEPROM** の **SCAL_K** ビットが 0、**NOISE_LVL** ビットが 0 の状態)。

図 7-9 に、物体検出記録サイクル全体の例として、**PGA460-Q1** デバイスに実装されているシステム診断を示します。図 7-9 の数字 1、2、3 は、それぞれ電圧診断、トランスデューサ周波数、減衰期間の測定値を示しています。

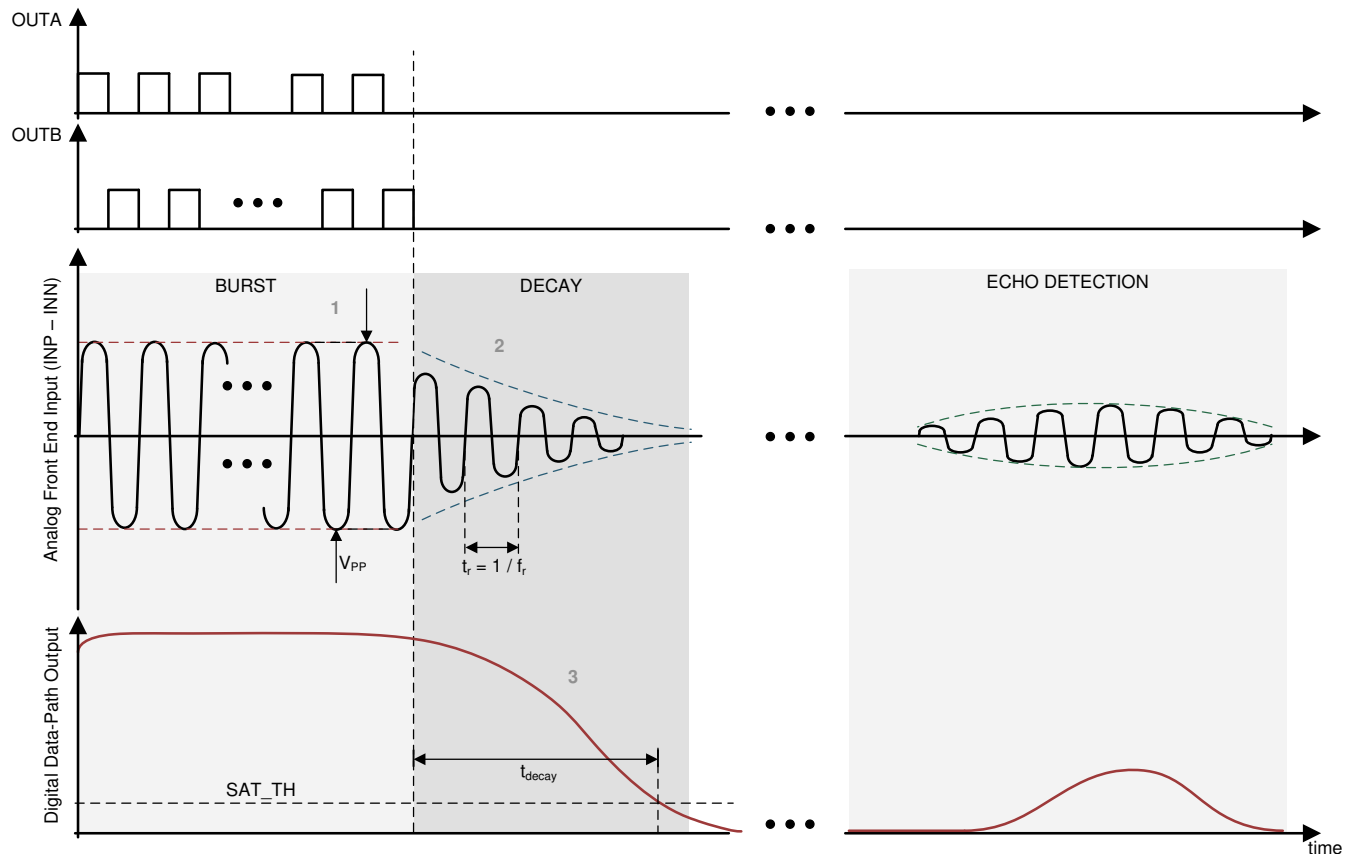


図 7-9. システム診断の例

7.3.5.1 デバイス内部診断

PGA460-Q1 は、過電圧 (OV)、低電圧 (UV)、過電流 (OC)、サーマル・シャットダウンに対する内部診断機能も備えています。

OV、UV、サーマル・シャットダウン状態は、DEV_STAT1 レジスタのステータス・ビットで通知されます。OC 保護はデバイス内蔵レギュレータに実装されていますが、この保護の影響は通知されません。正常な動作と誤トリガ防止のため、すべての電氣的診断は 25μs のグリッチ除去を通過した後、サーマル・シャットダウン診断は 50μs のグリッチ除去を通過した後で、通知されます。

仕様 に、内部レギュレータの OV および UV 保護スレッシュホールドを示します。フォルトが検出されると、対応するステータス・ビットが設定され、インターフェースの読み取り時にクリアされます (読み取り時クリア・タイプ)。VPWR ピンの入力デバイス電源は、固定の UV スレッシュホールド・レベルと可変の OV スレッシュホールド・レベル (VPWR_OV_TH) が定義されており、出力ドライバはディセーブルになります。この機能により、ドライバに損傷を与えることなく、高電圧入力での消費電力を制御できます。VPWR_UV フラグが検出されると、現在実行中の TCI コマンドはすべて完了し、低電圧状態が解消されるまで新しい TCI コマンドは実行されません。この機能は、ピン (RXD、TXD、IO) に関係なく、USART 通信には適用できません。

サーマル・シャットダウン保護診断機能は、ローサイド・ドライバの FET の温度を監視します。サーマル・シャットダウン・イベントが発生した場合、PGA460-Q1 デバイスは、出力ドライバをディセーブルします。サーマル・シャットダウン条件が解消されると、出力ドライバを再度イネーブルにします。サーマル・シャットダウンから回復した後、サーマル・シャットダウン・ステータス・ビットが設定され、処置が実行されたことをユーザーに通知します。

注

VPWR ピンの電圧が 5V 未満の場合、デジタル・コアがリセットされる可能性があるため、デバイスの性能は保証されません。レジスタ・マップの揮発性メモリ・セクションに保存されている設定はすべてクリアされます。

7.3.6 インターフェイスの説明

PGA460-Q1 デバイスには 2 つの通信インターフェイスが搭載されており、それぞれにピンが割り当てられています。時間コマンド・インターフェイスは、オープン・ドレイン出力構造の IO ピンに接続されており、内部の 10kΩ プルアップ抵抗によりバッテリ・レベルの電圧で通信できます。非同期 UART インターフェイスは、IO ピンで通信でき、RXD および TXD ピンにも接続されています。3 つ目のインターフェイス・オプションは、RXD ピンと TXD ピンでのみ利用可能な同期 USART インターフェイスを使用することです。この通信は、シリアル・クロック入力に SCLK ピンを使用し、最高速のデータ・レート・モードです。RXD および TXD ピンでの USART 通信は、[TEST ピンの機能](#) セクションで説明しているように、構成されている IOREG 電圧に応じて、3.3V または 5V の CMOS レベルで利用できます。

注

システムにおいて時間コマンド・インターフェイスと UART インターフェイスの両方を同時に使用する可能性は低いいため、PGA460-Q1 デバイスは、IO ピン・トランシーバをディセーブルにして電力を維持できます。そのためには、IO_IF_SEL ビットを 0 にし、IO_DIS ビットを 1 にする必要があります。このビットは、RXD および TXD ピン経由でのみ通信が可能な IO ピン・トランシーバを直ちにディセーブルにします。IO_DIS ビットを 0 に戻しても、IO インターフェイスは再イネーブルされません。IO_DIS ビットが意図せずに設定された場合、PGA460-Q1 デバイスはパワー・サイクル時に IO インターフェイスを回復できます (IO_DIS ビットを 0 にリセット)。ただし、このビットの値が EEPROM にプログラムされている場合、デバイスは、電源投入時、常に EEPROM でプログラムされた値に従います。

7.3.6.1 時間コマンド・インターフェイス

時間コマンド・インターフェイスは、IO ピンに接続された通信インターフェイスです。インターフェイスがアイドル状態のときの IO ピンのデフォルト状態は、HIGH (VPWR にプルアップ) です。ピン通信は双方向であり、コマンドを受信すると、PGA460-Q1 デバイスは IO ピンをアクティブに駆動し、IO ピンの状態を変更することで応答を提供します。特定のコマンドについてコマンドまたはデータを送信している間に、時間コマンド・インターフェイスが 15ms を超える期間にわたって LOW または HIGH にスタックしたままになった場合、PGA460-Q1 通信はリセットされ、コントローラからの新しいコマンド通信を受信するのを待ちます。

時間コマンド・インターフェイスには、5 つの時間コマンドがあり、4 つは実行コマンド、1 つは構成 / ステータス・コマンドに分類されます。[仕様](#) セクションで定義されているように、 t_{BIT0_TCI} の期間にわたって IO ピンを LOW にすることによって論理 0 が送信され、 t_{BIT1_TCI} の期間にわたって IO ピンを LOW にすることによって論理 1 が送信されます。[図 7-10](#) および [図 7-11](#) に、デバイスの時間コマンドのタイミングおよびロジック・ビットのタイミングに関する一般的なタイミング図を示します。 t_{DT_TCI} デッドタイムは、PGA460-Q1 デバイスが受信したコマンドを処理し、IO ピンの状態を入力から出力に変更するために定義されています。

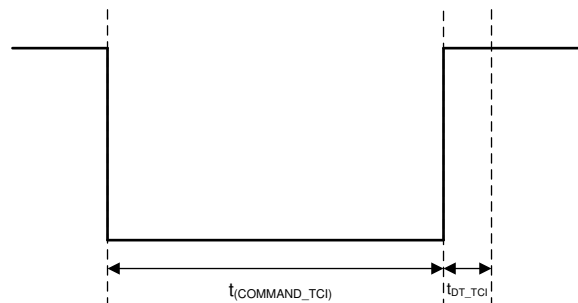


図 7-10. 時間コマンド・インターフェイスのコマンドのタイミング

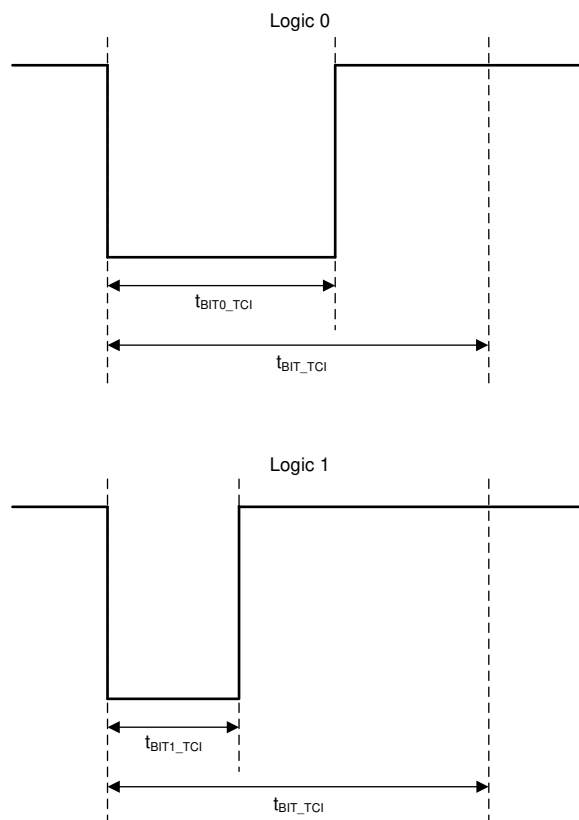


図 7-11. 時間コマンド・インターフェイスのビットのタイミング

7.3.6.1.1 実行コマンド

実行コマンドは、デバイスのランタイム動作に使われるものであり、PGA460-Q1 デバイスの通常動作サイクル中に最も多く使用されます。これらのデバイス・コマンドは、仕様 セクションで定義されているように、指定された期間にわたって IO ピンを LOW にすることで指定されます。以下に示すものが、実行コマンドに分類されます。

バースト/リスン (プリセット 1) デバイスは、P1_PULSE 個のパルスを使って CURR_LIM1 電流制限設定により超音波バーストを送信し、P1_REC の値で定義された記録期間で物体検出を実行します。物体検出の処理中、P1_THR_xx スレッシュホールド・マップを使用して信号を比較します。このコマンドでは、非線形スケーリング DSP 機能を使用できます。

バースト/リスン (プリセット 2) デバイスは、P2_PULSE 個のパルスを使って CURR_LIM2 電流制限設定により超音波バーストを送信し、P2_REC の値で定義された記録期間で物体検出を実行します。物体検出の処理中、P2_THR_xx スレッシュホールド・マップを使用して信号を比較します。このコマンドでは、非線形スケーリング DSP 機能を使用できます。

リスン・オンリー (プリセット 1) デバイスは、超音波バーストを送信しませんが、P1_REC の値で定義された記録期間で物体検出のみを実行します。物体検出の処理中、P1_THR_xx スレッシュホールド・マップを使用して信号を比較します。このコマンドでは、非線形スケーリング DSP 機能を使用できます。

リスン・オンリー (プリセット 2) デバイスは、超音波バーストを送信しませんが、P2_REC の値で定義された記録期間で物体検出のみを実行します。物体検出の処理中、P2_THR_xx スレッシュホールド・マップを使用して信号を比較します。このコマンドでは、非線形スケーリング DSP 機能を使用できます。

図 7-12 に、IO ピン実行コマンドの通信プロセスを示します。

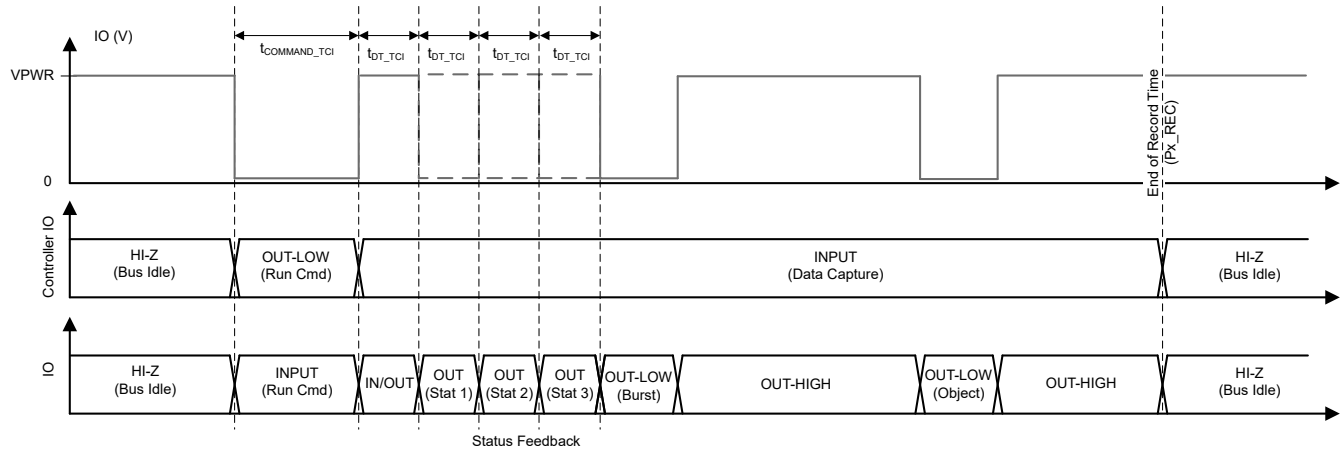


図 7-12. 時間コマンド・インターフェイス実行コマンドの実行

PGA460-Q1 デバイスのステータス・フィールドは実行コマンドに組み込まれており、IO バスのデッドタイムを延長することによってコントローラに通知されます。デッドタイム は、3 つのステータス・ビット STAT[1:3] を示すために最大 $3 \times t_{DT_TCI}$ までさらに延長できます。表 7-1 に、割り当てられた診断機能および各ステータス・ビットの優先順位を示します。

表 7-1. 時間コマンド・インターフェイスのステータス・ビットの説明

ステータス・ビット	優先順位	概要
STAT 1	1 (低)	スレッシュホールド設定未初期化エラー
STAT 2	2	周波数診断エラー 電圧診断エラー
STAT 3	3 (高)	パワーアップ時の自動 EEPROM CRC エラー ユーザーによる EEPROM ダウンロード CRC エラー

表 7-1 に示すように、STAT3 ビットは最も高い優先度を持っています。STAT3 エラー状態が存在する場合、デッドタイムは $3 \times t_{DT_TCI}$ にまで延長されます。このとき、STAT2 または STAT1 のいずれかのエラー状態が存在する場合には、これらの条件は STAT3 エラー状態の優先度が高いことによって却下されます。同様に、STAT1 条件は STAT2 エラー条件によって却下されます。この場合、デッドタイムは $2 \times t_{DT_TCI}$ にまで延長されます。STAT3 および STAT2 のすべてのエラー条件がクリアされると、STAT1 条件によってデッドタイムが t_{DT_TCI} だけ延長されます。

ステータス・ビットの機能は、次のように説明できます。

STAT 1 2 つのプリセット・スレッシュホールド・レジスタ・グループが両方とも初期化されていない場合、このステータス・ビットは 1 に設定されます。TCI 通信チャネル経由で受信した実行コマンドは、どちらかのプリセット・スレッシュホールド・レジスタ・グループがプログラムされるまで実行されません。

STAT 2 以下のいずれかが発生すると、このステータス・ビットは 1 に設定されます。

- システム診断セクションで周波数診断について説明されている測定周波数の値が、EEPROM メモリの FDIAG_ERR_TH パラメータで定義されているデルタ値よりも大きいまたは小さい場合 (これは周波数診断エラーとみなされます)。
- システム診断セクションでトランスデューサ電圧測定について説明されている測定電圧値が、EEPROM メモリの FVOLT_ERR_TH パラメータで指定されているレベルよりも低い場合。

STAT 3 TCI 通信チャネル経由で受信した実行コマンドは、EE CRC エラーが修正されるまで実行されません。

ユーザーは、EEPROM にマップされたいずれかのレジスタに書き込んでエラーをクリアできます。

ユーザーは、自動または手動で発生した次の EEPROM ダウンロード動作でエラーが発生しないようにするため、EEPROM を再プログラムする必要があります。

デバイスが実行コマンドを受信すると、物体検出を示すための最終的な DSP 出力に応じて、IO ピンが PGA460-Q1 デバイスによってアクティブに駆動されます。任意の時点で、処理されたエコー信号がその時点のスレッシュホールドを超えた場合は、IO ピンが **LOW (GND、強いプルダウン)** になります。それ以外の場合は、内部の **10k Ω** (弱いプルアップ) 抵抗によって IO ピンがプルアップされます。記録時間が **Px_REC** パラメータで定義された記録終了時間に達すると、IO ピンが解放されて (入力としてプルアップ)、デバイスは、次のコマンドの受け入れ準備完了になっています。図 7-13 に、IO ピンの物体検出機能を示します。デバイスはバースト中は IO ピンを **LOW** にして、その後、解放することによって MCU に対して記録時間枠の基準を提供します。基準時間、プログラムされたバーストの持続時間、およびその後の検出された各物体による立ち下がりエッジを把握することで、コントローラまたは MCU は、物体の距離を計算できます。

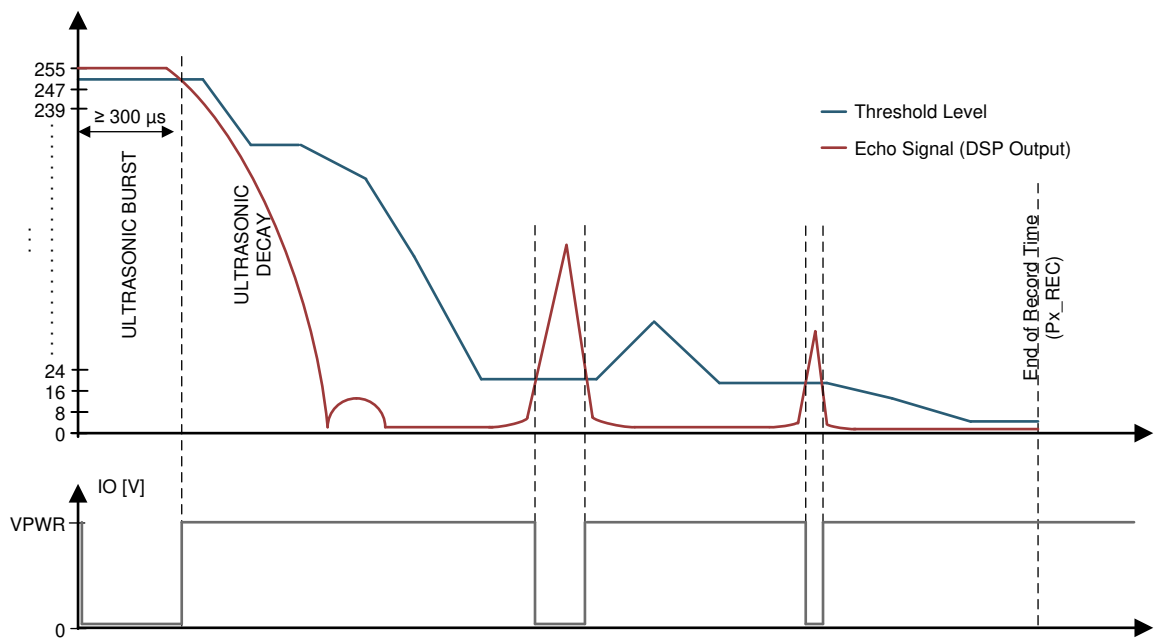


図 7-13. バースト / リスン時間コマンドによる IO ピン物体検出信号

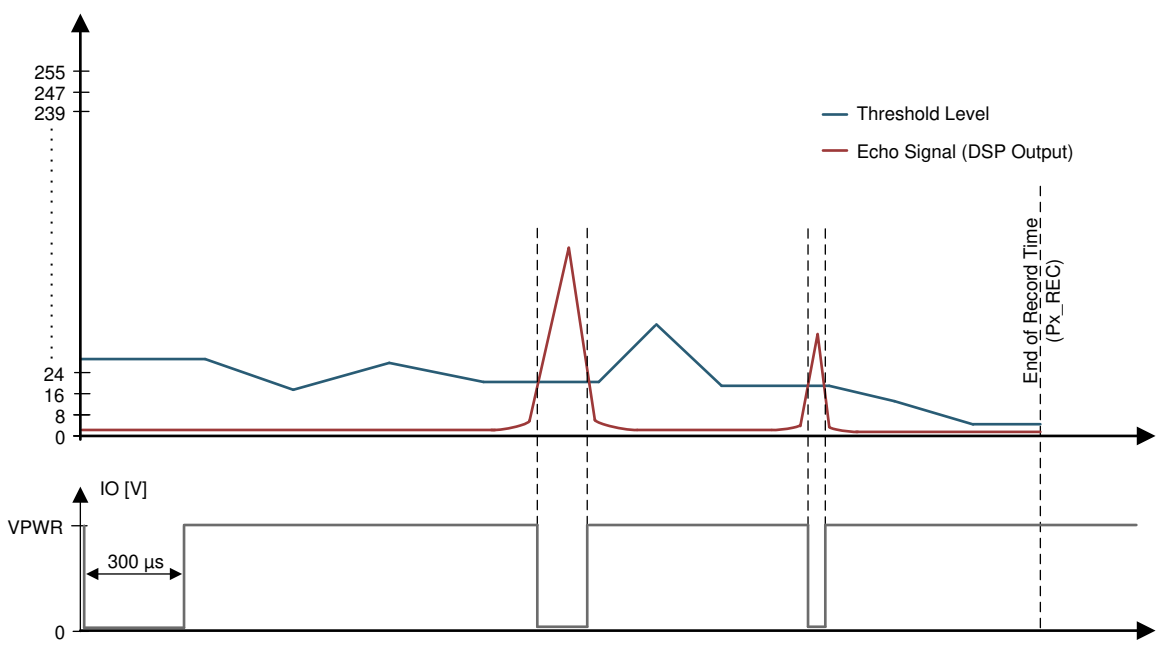


図 7-14. リスン・オンリー時間コマンドによる IO ピン物体検出信号

PGA460-Q1 デバイスは、実行コマンドを受信してから $t_{(DT_TCl)}$ の時間が経過した後、IO ピンを強制的に LOW にします。これは、記録期間の開始を示します。このプロセスは、タイム・オブ・フライト測定を開始するための基準エッジをコントローラに提供するとともに、PGA460-Q1 デバイスがステータス (STAT) ビットの応答を記録サイクルの情報から分離するためでもあります。一般に、低い周波数範囲でバースト期間が経過した後にリングングが発生すると、AFE は飽和し、IO ピンが 300 μ s 以上にわたって LOW になります。より高い周波数でのバーストもしくはリスン・オンリー・コマンドの場合、または超音波バーストによる飽和が指定されたスレッシュホールドよりも高い値にならない場合 (図 7-14 を参照) には、最小パルス幅は 300 μ s です。特定のフィルタ設定およびグリッチ除去設定において、この 300 μ s の期間が経過した直後に、偽の物体が検出される可能性があります。

7.3.6.1.2 構成 / ステータス・コマンド

構成 / ステータス・コマンドは、以下の目的で使します。

- PGA460-Q1 内部パラメータ構成
- 時変ゲインとスレッシュホールドの設定
- EEPROM のプログラミング
- 診断と温度測定
- エコー・データ・ダンプ機能

構成 / ステータス・コマンドが発行される場合には、残りのデータは、ビット的な通信を使って転送されます。このデータには、論理 1 と論理 0 がエンコードされています (図 7-11 を参照)。図 7-15 および 図 7-16 に、構成 / ステータス・コマンドの全体を示します。

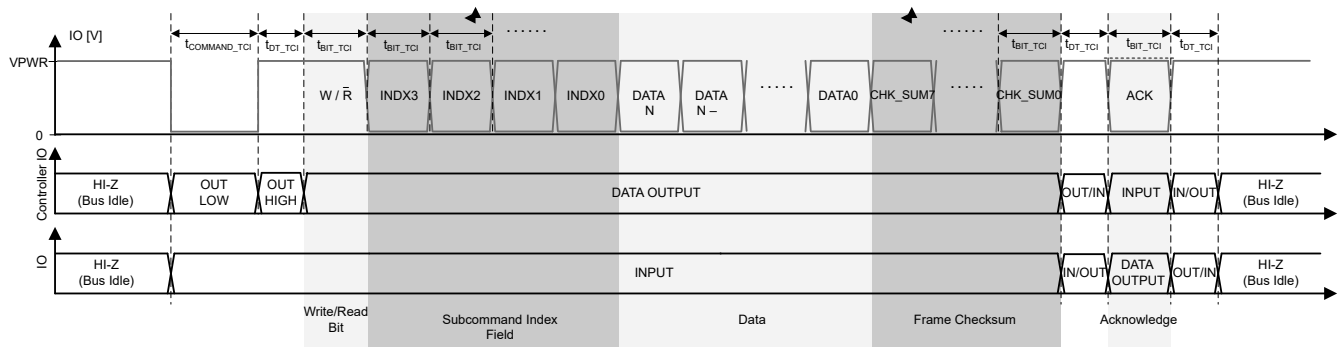


図 7-15. 時間コマンド・インターフェイスの構成 / ステータス・コマンド書き込み

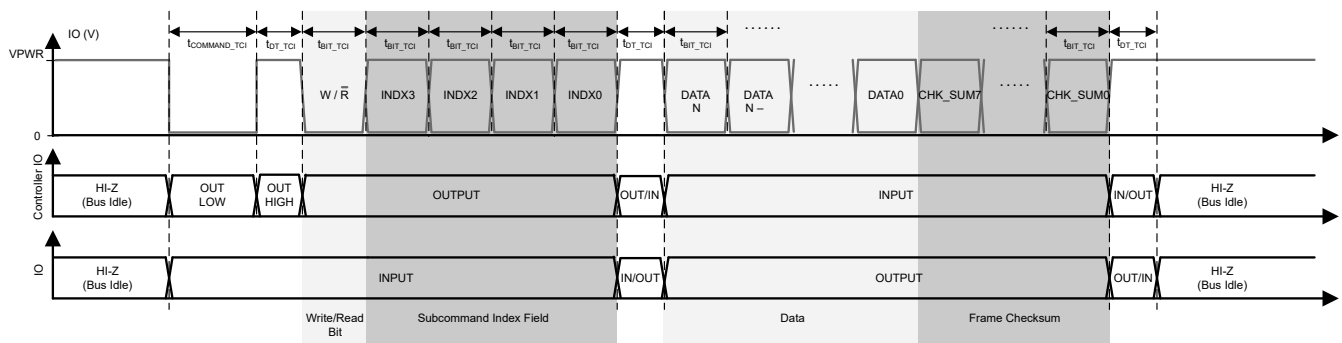


図 7-16. 時間コマンド・インターフェイスの構成 / ステータス・コマンド読み取り

ここに示すように、それぞれの構成 / ステータス・コマンド・フレームは、サブコマンド・フィールド、データ・フィールド、フレーム・チェックサムという 3 つのデータ・セグメントで構成されています。サブコマンドは、4 ビットのインデックス・フィールドによって定義されており、順序が決まっています。それぞれのサブコマンドごとに、フレームのデータ・セグメントにおけるデータ長が異なる可能性があります。表 7-2 に、すべての PGA460-Q1 サブコマンドをインデックス順に示します。

表 7-2. 時間コマンド・インターフェイス・サブコマンドの説明⁽⁴⁾

インデックス	説明	データ長 (ビット)		アクセス	EE
0	温度の値	8		R	N
1	トランスデューサの周波数診断値	8	24	R	N
	減衰時間の診断値	8			
	ノイズ・レベルの診断値	8			
2	ドライバ周波数 (FREQ)	8		R/W	Y
3	プリセット 1 バースト・パルス数 (P1_PULSE)	5	18	R/W	Y
	プリセット 2 バースト・パルス数 (P2_PULSE)	5			
	スレッシュホールド・コンパレータ・デグリッチ (THR_CMP_DEG)	4			
	バースト・パルスのデッドタイム (PULSE_DT)	4			
4	プリセット 1 記録時間の長さ (P1_REC)	4	8	R/W	Y
	プリセット 2 記録時間の長さ (P2_REC)	4			
5	プリセット 1 スレッシュホールド割り当て (P1_THR_0～P1_THR_15) ⁽¹⁾	124		R/W	N
6	プリセット 2 スレッシュホールド割り当て (P2_THR_0～P2_THR_15) ⁽¹⁾	124		R/W	N
7	バンドパス・フィルタ帯域幅 (BPF_BW)	2	42	R/W	Y
	初期 AFE ゲイン (GAIN_INIT)	6			
	ローパス・フィルタのカットオフ周波数 (LPF_CO)	2			
	非線形スケーリング・ノイズ・レベル (NOISE_LVL)	5			
	非線形スケーリング指数 (SCALE_K)	1			
	非線形スケーリング時間オフセット (SCALE_N)	2			
	温度スケール・ゲイン (TEMP_GAIN)	4			
	温度スケール・オフセット (TEMP_OFF)	4			
	P1 デジタル・ゲイン開始スレッシュホールド (P1_DIG_GAIN_LR_ST)	2			
	P1 デジタル長距離ゲイン (P1_DIG_GAIN_LR)	3			
	P1 デジタル短距離ゲイン (P1_DIG_GAIN_SR)	3			
	P2 デジタル・ゲイン開始スレッシュホールド (P2_DIG_GAIN_LR_ST)	2			
	P2 デジタル長距離ゲイン (P2_DIG_GAIN_LR)	3			
	P2 デジタル短距離ゲイン (P2_DIG_GAIN_SR)	3			
8	時変ゲイン割り当て (TV_GAIN0～TV_GAIN6)	56		R/W	Y
9	ユーザー・データ・メモリ (USER_1～USER_20)	160		R/W	Y

表 7-2. 時間コマンド・インターフェイス・サブコマンドの説明⁽⁴⁾ (continued)

インデックス	説明	データ長 (ビット)	アクセス	EE
10	周波数診断ウィンドウ長 (FDIAG_LEN)	4	R/W	Y
	周波数診断開始時間 (FDIAG_START)	4		
	周波数診断エラー時間スレッシュホールド (FDIAG_ERR_TH)	3		
	飽和診断レベル (SAT_TH)	4		
	P1 非線形スケーリング (P1_NLS_EN)	1		
	P2 非線形スケーリング (P2_NLS_EN)	1		
	電源過電圧シャットダウン・スレッシュホールド (VPWR_OV_TH)	2		
	スリープ・モード・タイマ (LPM_TMR)	2		
	電圧診断スレッシュホールド (FVOLT_ERR_TH)	3		
	AFE ゲイン範囲 (AFE_GAIN_RNG)	2		
	低消費電力モード・イネーブル (LPM_EN)	1		
	時間および温度のデカップリング選択 (DECPL_TEMP_SEL)	1		
	時間および温度のデカップリング値 (DECPL_T)	4		
	電流制限ディセーブル (DIS_CL)	1		
	予約済み	1		
	プリセット 1 ドライバ電流制限 (CURRENT_LIM1)	6		
	プリセット 2 ドライバ電流制限 (CURRENT_LIM2)	6		
11	エコー・データ・ダンプ・イネーブル (DATADUMP_EN)	1	R/W	N
	EEPROM プログラミング・パスワード (0xD)	4		
	EEPROM プログラミング成功 (EE_PRGM_OK)	1		
	EEPROM 再ロード (EE_RLOAD)	1		
	EEPROM プログラム (EE_PRGM)	1		
12	エコー・データ・ダンプ値 ⁽²⁾	1024	R	N
13	EEPROM ユーザー・バルク・コマンド (0x00~0x2B) ⁽³⁾	352	R/W	Y
14	予約済み			
15	EEPROM CRC 値 (EE_CRC) THR_CRC 値 (THR_CC)	16	R	Y

- (1) スレッシュホールド・レベルのオフセット・パラメータ (TH_Px_OFF) を含みます。
(2) エコー・ダンプ・メモリは、128 サンプル、8 ビット/サンプルの配列です。
(3) インデックス 13 については、バイト 0x2B は読み取り専用です。インデックス 13 書き込みコマンドを送信する場合、バイト 2B のデータ・フィールドは、EE_CRC 値に影響を与えません。
(4) この表で使用されている略語 (たとえば、CURR_LIM1) は、[レジスタ・マップ](#) セクションで使用されている略語と同じです。

フレーム・チェックサム値は、コントローラ・デバイスでもペリフェラル・デバイスでも生成され、データ・フィールドの後に追加されます。この値は、フレーム内のすべてのビットに対するキャリーオーバー (桁上がり) を伴う 8 ビット合計を反転したものです。チェックサム計算は、最上位ビット (MSB) からバイト単位で実行されます。この MSB は、PGA460-Q1 書き込み動作時には読み取り・書き込み (R/W) ビットであり、PGA460-Q1 読み取り動作時にはデータ・フィールドの MSB です。チェックサム・フィールドの計算対象となるビット数が 8 の倍数でない場合、最も近い 8 の倍数になるまで、後にゼロ・パディング (ゼロ埋め) してチェックサム演算を行います。ゼロ・パディングは、チェックサム計算にのみ必要とされるものです。ゼロ・パディングのビットは、IO-TCI インターフェイス経由で実際には送信しないでください。

次の例は、サブコマンド・インデックス 7 (42 データ・ビット) の PGA460-Q1 書き込み動作を示すフレーム・チェックサム計算の 1 つの例です。

- チェックサム生成対象の合計ビット数: 1 R/W ビット、4 ビット・インデックス値、42 ビット・データ値。合計ビット数は 47 です。
- チェックサムはバイト単位で計算されるため、6 フル・バイトを実現するために、末尾に 1 個のゼロが追加されます。

- 図 7-17 に、加算によるチェックサム計算を示します。

次の例は、サブコマンド・インデックス 8 の PGA460-Q1 読み取り動作を示すフレーム・チェックサム計算の 2 番目の例です。

- PGA460-Q1 デバイスによるチェックサム生成対象の合計ビット数:56 ビット・データ値 + 8 コマンド・ビット。合計ビット数は 64 です。
- 8 コマンド・ビットは、4 ゼロ・ビット + インデックス[3:0] = 8 コマンド・ビットであり、チェックサム計算で使用する最初のバイトです。
- ビット数がすでに 56 であり、すなわち 7 バイトであるため、後続のゼロは追加されません。
- 図 7-17 に、加算によるチェックサム計算を示します。

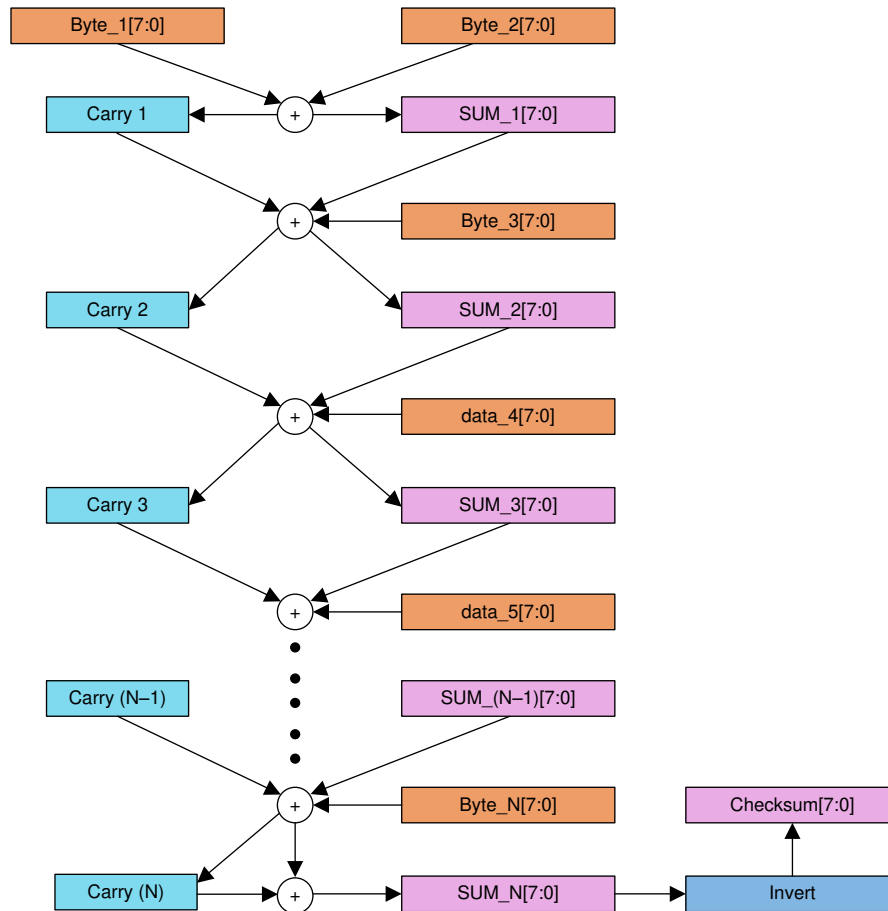


図 7-17. チェックサム計算

さらに、PGA460-Q1 デバイスは、PGA460-Q1 書き込み動作が発行されたときに、正しいデータ転送が行われたことを示すアクノリッジ・ビット応答を実装しています。この場合、構成 / ステータス・コマンドの期間が正しく検出されないと、PGA460-Q1 デバイスは、アクノリッジ・ビットを発行します。構成 / ステータス・コマンドの期間が正しく検出されたにもかかわらず、転送されたフレームのチェックサムが正しくない場合、PGA460-Q1 デバイスは、論理 0 アクノリッジを送信します。構成 / ステータス・コマンドの期間が正しく検出されて、チェックサム値が正しいチェックサムと一致した場合、PGA460-Q1 デバイスは、論理 1 アクノリッジを送信します。

ビット的な通信を実施しているとき (PGA460-Q1 が構成 / ステータス・コマンドをアクティブに処理中) に、ビット・ストリームが別の時間コマンド (実行または構成のいずれか) によって中断されると、PGA460-Q1 デバイスは、このイベントをビット時間イベントとしてデコードします。この場合、元の構成 / ステータス・コマンドの実行は、タイムアウト・エラー・イベントに達するまで継続されます。または、連続データ転送の場合には、誤って転送されたフレームが PGA460-Q1 フレーム・チェ

ックサムによって無効になります。ビット・ストリームが有効であるが想定よりも長い場合、PGA460-Q1 は、正しく転送されたフレームに基づいて実行し、残りのビット・ストリームは無視されます。

PGA460-Q1 アイドル状態のとき、パルス持続時間がいずれかのコマンドの制限値を外れた時間コマンドを受信した場合、この条件は無視されて、PGA460-Q1 デバイスは、有効な時間コマンドを受信するまでアイドル状態を維持します。この場合、PGA460-Q1 は、論理 0 アクノリッジを返しません。

7.3.6.2 USART インターフェイス

7.3.6.2.1 USART 非同期モード

PGA460-Q1 デバイスには、USART デジタル通信インターフェイスが搭載されています。USART の主な機能は、USART アクセスが可能なすべてのアドレスに対して、書き込みおよび読み出しを可能にすることです。この機能には、PGA460-Q1 デバイス上のほとんどの EEPROM レジスタおよび RAM レジスタ・メモリへのアクセスが含まれます。USART 非同期モード (UART) デジタル通信は、PGA460-Q1 がペリフェラル・デバイスのみとなるコントローラ・ペリフェラル通信リンクです。コントローラは、データ送信の開始と終了を設定します。コントローラからコマンドが発行されるまで、ペリフェラルはコントローラにデータを送信しません。UART インターフェイスの論理 1 の値は、リセツプ値 (RXD ピンの弱いプルアップ) として定義されます。UART インターフェイスの論理 0 の値は、ドミナント値 (RXD ピンの強いプルダウン) として定義されます。

PGA460-Q1 の UART 非同期モード・インターフェイス は、2400bps～115200bps のデータ・レートで動作するように設計されており、コントローラによって生成される同期フィールドに基づいてデータ・レートが自動的に検出されます。UART インターフェイスの動作に関連するその他のパラメータには、次のものがあります。

- 2400bps～115200bps のボーレート、自動検出 (前述のとおり)
- 8 データ・ビット
- 1 スタート・ビット
- 2 ストップ・ビット
- パリティ・ビットなし
- フロー制御なし
- フィールド間の待機時間 (1 ストップ・ビット必要)

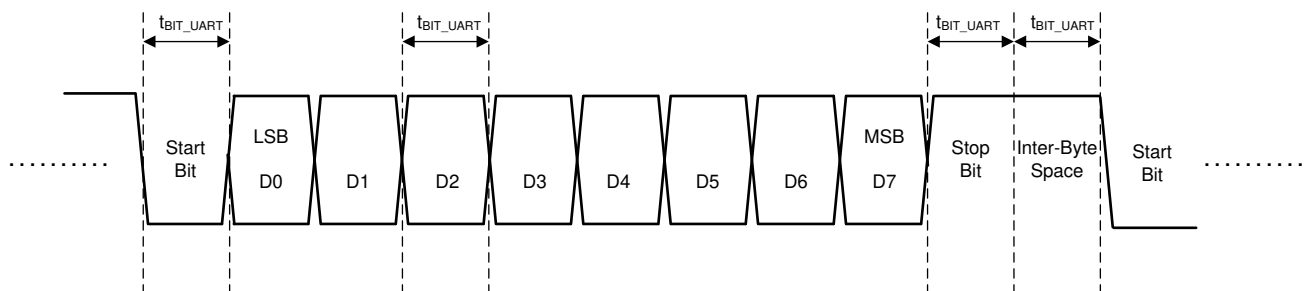


図 7-18. USART 非同期インターフェイスのビット・タイミング

図 7-18 に、USART 非同期モードのビット・タイミングを示します。データおよび制御は、いずれもリトル・エンディアン形式です。データは、バイトサイズの packets で UART を通って伝送されます。packet・フィールドの最初のビットは、スタート・ビット (ドミナント) です。フィールドの次の 8 ビットは、UART レシーバで処理されるデータビットです。フィールドの最後のビットは、ストップ・ビットです。情報の組み合わせバイトと、スタート・ビットおよびストップ・ビットによって、UART フィールドが構成されます。図 7-19 に、UART インターフェイス・フィールドの標準的なフィールド構造を示します。

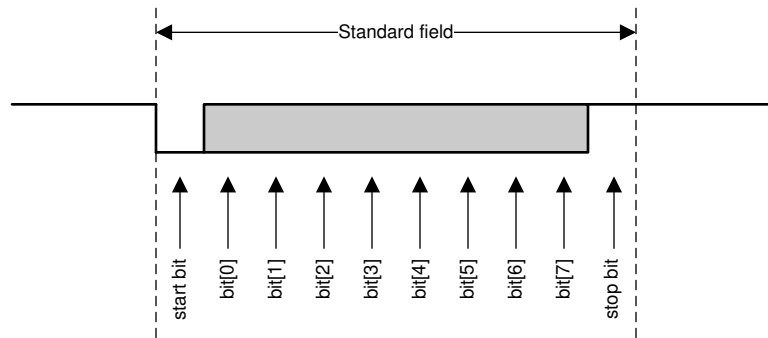


図 7-19. UART インターフェイス・パケット・フィールド

フィールドのグループにより、伝送フレームが構成されます。伝送フレームは、UART インターフェイス上で 1 つの伝送動作を完了するために必要なフィールドで構成されます。図 7-20 に、伝送フレーム内のデータ送信動作の構造を示します。

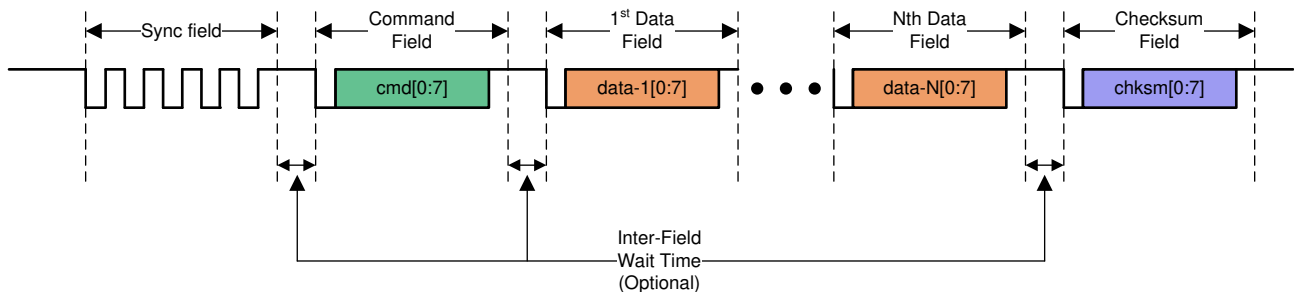


図 7-20. UART インターフェイスの伝送フレーム

それぞれの伝送フレームには、同期フィールドとコマンド・フィールドが必要で、その後いくつかのデータ・フィールドが続きます。同期フィールドとコマンド・フィールドは、常にコントローラから送信されます。データ・フィールドは、コマンド・フィールドに指定されているコマンドに応じて、コントローラまたはペリフェラルのいずれかにより送信されます。コマンド・フィールドによって、データ・フィールドの移動方向 (コントローラからペリフェラルへ、またはペリフェラルからコントローラへ) が決まります。伝送されるデータ・フィールドの数も、コマンド・フィールドのコマンドによって決まります。フィールド間待機時間は 1 ビットの長さで、ペリフェラルまたはコントローラが受信したデータを処理するために、または、コマンド・フィールドの送信後にデータの変更してペリフェラルがコントローラにデータを送信する場合に必要です。コントローラおよびペリフェラルの信号ドライバが方向を変更するために、時間を確保する必要があります。UART が論理 0 または論理 1 の状態で 15ms を超えてアイドルのまま維持されると、PGA460-Q1 の通信はリセットされ、コントローラから次のデータ伝送の同期フィールドが送られるのを待ちます。

7.3.6.2.1.1 同期フィールド

同期フィールドは、マスタから伝送されるすべてのフレームについて、最初のフィールドです。PGA460-Q1 デバイスは、同期フィールドを使って、コントローラが送信するフレームの正しいボーレートを確認します。このビット幅は、マスタにより伝送される以後のフィールドすべてを正確に受信するために使用します。ビット幅は、コントローラから送信されるデータの 1 つのビットを構成する、内部発振器クロック周期の数として定義されます。このビット幅は、同期フィールド・データの長さ全体でペリフェラル発振器のクロック数をカウントし、8 で除算することで測定されます。図 7-21 に、同期フィールドの形式を示します。

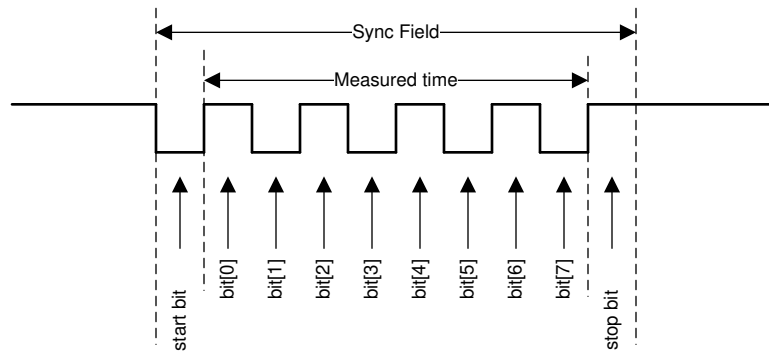


図 7-21. UART 同期フィールド

スタート・ビットとストップ・ビットを含めて、連続した同期フィールド・ビットを測定し、比較することによって、有効な同期フィールドが PGA460-Q1 デバイスに送信されているかどうかを判定します。同期フィールドで連続するいずれかの 2 ビットについて、ビット幅の差異が $\pm 25\%$ を超える場合、PGA460-Q1 デバイスは、UART フレームの以後の部分を見捨てます。すなわち、PGA460-Q1 デバイスは、その UART メッセージに反応しません。

7.3.6.2.1.2 コマンド・フィールド

コマンド・フィールドは、マスタから送信される各フレームの中で 2 番目のフィールドです。コマンド・フィールドには、特定の PGA460-Q1 デバイスへ伝送されるデータについて、デバイスがそのデータをどのように扱うべきか、そのデータをどこへ送信すべきかという命令が収容されています。コマンド・フィールドでは、読み取り操作で、データをコントローラへ送り返すように PGA460-Q1 デバイスへ指示することもできます。伝送されるデータ・フィールドの数も、コマンド・フィールドのコマンドにより決定されます。図 7-22 は、コマンド・フィールドのフォーマットを示したものです。

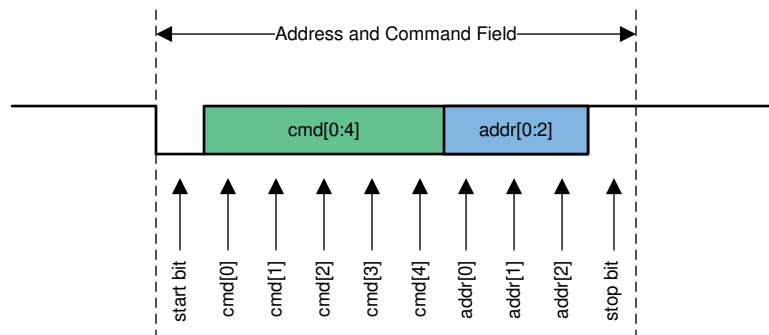


図 7-22. UART コマンド・フィールド

PGA460-Q1 デバイスでは、コマンド・フィールドの最後の 3 ビットは UART アドレス情報用に予約されています。コマンド・フィールドのアドレス情報は、UART アドレスが書き込まれている EEPROM メモリの UART_ADDR パラメータと比較されます。コマンド・フィールドを受信すると、PGA460-Q1 デバイスは、自己のアドレスが受信アドレスと一致しているかどうかを確認します。一致している場合、デバイスは受信したコマンドを実行します。アドレスが一致しない場合、デバイスは受信フレームを見捨てます。通信効率を向上させるため、共通のブロードキャスト・コマンドが定義されています。これは、コマンド・フィールドのアドレスに関係なく PGA460-Q1 デバイスが実行するものです。これらのコマンドおよびすべての UART コマンドについては、表 7-3 を参照してください。

注

PGA460-Q1 デバイスの出荷時にあらかじめ書き込まれているアドレスは 0 です。

7.3.6.2.1.3 データ・フィールド

コントローラが伝送フレームのコマンド・フィールドを送信した後、ゼロ個以上のデータ・フィールドが PGA460-Q1 デバイスへ（書き込み動作の場合）またはコントローラへ（読み出し動作の場合）送信されます。データ・フィールドには、生のメ

モリ・データまたはコマンドに関連するパラメータが入ります。データのフォーマットは、コマンド・フィールドのコマンドにより決定されます。図 7-23 は、データ・フィールドの代表的なフォーマットを示したものです。

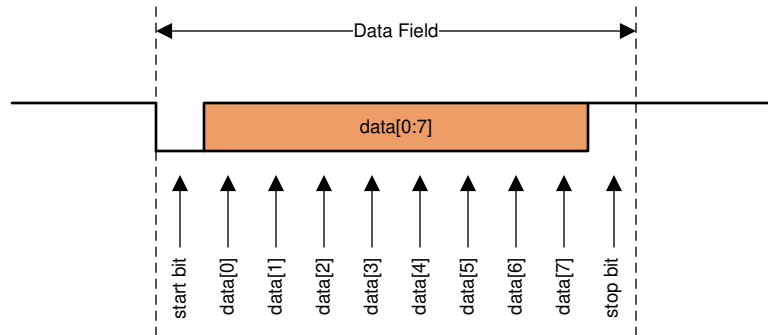


図 7-23. UART データ・フィールド

7.3.6.2.1.4 チェックサム・フィールド

チェックサム・フィールドは、各 UART フレームの最後のフィールドとして送信されます。チェックサムは、すべてのデータ・フィールドとコマンド・フィールド (コントローラのためのコマンド・フィールド) をキャリー (桁上がり) 付きでバイト加算した結果を反転した値です。コントローラから PGA460-Q1 への転送では、チェックサム・フィールドはコントローラによって計算され、PGA460-Q1 デバイスによってチェックされます。PGA460-Q1 からコントローラへの転送では、PGA460-Q1 デバイスがチェックサムを生成し、コントローラがその整合性を検証します。チェックサムのフォーマットは、データ・フィールドと同じであり、チェックサムを計算する手順については [時間コマンド・インターフェイス](#) セクションで説明します。UART インターフェイスは、バイトを基準としたインターフェイスであるため、チェックサムの計算プロセスでゼロ・パディングは発生しません。

コントローラがチェックサム・フィールドを計算するときには、UART コマンド・フィールドから計算が開始され、それに続いて、現在の通信フレームの一部として送信されるすべての UART データ・フィールドが計算の対象となります。PGA460-Q1 デバイスがチェックサム・フィールドを計算する場合、その計算には、診断データ・フィールド ([診断フィールド](#) セクションを参照) と、現在のフレーム内のすべての UART データ・フィールドが含まれます。SYNC フィールド (0x55) は、チェックサム計算の対象に含まれていません。

7.3.6.2.1.5 PGA460-Q1 UART コマンド

表 7-3 に、PGA460-Q1 UART コマンドの一覧を示します。

注

誤ったコマンド、誤ったバイト数、誤ったデータ・バイト値など、何らかのコマンドが PGA460-Q1 デバイスで不適切に受信された場合、PGA460-Q1 デバイスは受信したコマンドを実行しません。また、[診断フィールド](#) セクションで説明されている Error_Status[4] ビットを設定します。

表 7-3. UART インターフェイスのコマンド・リスト

CMD[4:0]	コマンド名	PGA460-Q1 応答	C から P へのデータ・バイト数	コントローラ (C) からペリフェラル (P) へのデータ・バイトの説明	P から C へのデータ・バイト数	ペリフェラル (P) からコントローラ (C) へのデータ・バイトの説明
単一アドレス						

表 7-3. UART インターフェイスのコマンド・リスト (continued)

CMD[4:0]	コマンド名	PGA460-Q1 応答	C から P へのデータ・バイト数	コントローラ (C) からペリフェラル (P) へのデータ・バイトの説明	P から C へのデータ・バイト数	ペリフェラル (P) からコントローラ (C) へのデータ・バイトの説明
0	バーストおよびリスン (プリセット 1)	なし	1	バイト 1:N - 検出する物体の数 (有効範囲は 1 ~ 8)	0	
1	バーストおよびリスン (プリセット 2)	なし	1		0	
2	リスン・オンリー (プリセット 1)	なし	1		0	
3	リスン・オンリー (プリセット 2)	なし	1		0	
4	温度およびノイズレベル測定	なし	1	バイト 1:0 - 温度測定 1 - ノイズ測定 2~255 - 未使用	0	
5	超音波測定結果 ^{(4) (5)}	あり	0		4 × N	バイト 1~バイト 2: 物体 1 のタイム・オブ・フライト (μs) (MSB, LSB) バイト 3: 物体 1 の幅 バイト 4: 物体 1 のピーク振幅 . . . バイト (3 × N - 3)~バイト (3 × N - 2): 物体 N のタイム・オブ・フライト (μs) (MSB, LSB) バイト (4 × N - 1): 物体 N の幅 バイト (4 × N): 物体 N のピーク振幅
6	温度およびノイズ・レベルの結果	あり	0		2	バイト 1: 温度の値 バイト 2: ノイズ・レベルの値
7	トランスデューサのエコー・データ・ダンプ	あり	0		128	バイト 1~バイト 128: エコー・データ・ダンプ (128 サンプルの配列)
8	システム診断 ⁽³⁾	あり	0		2	バイト 1: トランスデューサ周波数 バイト 2: 減衰時間
9	レジスタ読み出し	あり	1	バイト 1: レジスタ・アドレス	1	バイト 1: レジスタ・データ
10	レジスタ書き込み ⁽²⁾	なし	2	バイト 1: レジスタ・アドレス バイト 2: レジスタ・データ	0	
11	EEPROM バルク読み取り	あり	0		43	バイト 1: USER_DATA1 データ . . . バイト 43: P2_GAIN_CTRL データ
12	EEPROM バルク書き込み ⁽¹⁾	なし	43	バイト 1: USER_DATA1 データ . . . バイト 43: P2_GAIN_CTRL データ	0	
13	時変ゲインのバルク読み取り	あり	0		7	バイト 1~バイト 6: TVGAIN0~TVGAIN6 データ
14	時変ゲインのバルク書き込み ⁽¹⁾	なし	7	バイト 1~バイト 6: TVGAIN0~TVGAIN6 データ	0	
15	スレッシュホルドのバルク読み取り	あり	0		32	バイト 1~バイト 32: P1_THR_0~P2_THR_15 データ
16	スレッシュホルドのバルク書き込み ⁽¹⁾	なし	32	バイト 1~バイト 28: 1_THR_0~2_THR_15 データ	0	
ブロードキャスト						

表 7-3. UART インターフェイスのコマンド・リスト (continued)

CMD[4:0]	コマンド名	PGA460-Q1 応答	C から P へのデータ・バイト数	コントローラ (C) からペリフェラル (P) へのデータ・バイトの説明	P から C へのデータ・バイト数	ペリフェラル (P) からコントローラ (C) へのデータ・バイトの説明
17	バーストおよびリスン (プリセット 1)	なし	1	バイト 1:N - 検出する物体の数 (有効範囲は 1 ~ 8)	0	
18	バーストおよびリスン (プリセット 2)	なし	1		0	
19	リスン・オンリー (プリセット 1)	なし	1		0	
20	リスン・オンリー (プリセット 2)	なし	1		0	
21	温度およびノイズレベル測定	なし	1	バイト 1:0 - 温度測定 1 - ノイズ測定 2 ~ 255 - 未使用	0	
22	レジスタ書き込み ⁽²⁾	なし	2	バイト 1: レジスタ・アドレス バイト 2: レジスタ・データ	0	
23	EEPROM バルク書き込み ⁽¹⁾	なし	43	バイト 1: USER_DATA1 データ バイト 43: P2_GAIN_CTRL データ	0	
24	時変ゲインのバルク書き込み ⁽¹⁾	なし	7	バイト 1 ~ バイト 6: TVGAIN0 ~ TVGAIN6 データ	0	
25	スレッショルドのバルク書き込み	なし	32	バイト 1 ~ バイト 32: 1_THR_0 ~ 2_THR_15	0	
26 ~ 31	予約済み	なし				

(1) コマンド 12、14、16、23、24、25 の場合: 50μs 待ってから、読み取りコマンドを発行してください。

(2) コマンド 10 および 22 の場合: INIT_GAIN、TVG、THR、P1_GAIN_CTRL または P2_GAIN_CTRL に書き込んだ後は、60μs 待ってから読み取りを行ってください。それ以外の場合は、3.3μs 待ってから他の機能を実施してください。

(3) 実行コマンドの前にコマンド 8 を発行した場合、読み出されるデータの値は無効です。

(4) エコー・データ・ダンプ・ビットがイネーブルの間にコマンド 5 を実行した場合、読み出されるデータの値は、無効または古いものです。この状態では、エコー・データ・ダンプ・メモリにデータが収集されるだけです。または、バーストおよびリスン・コマンドもしくはリスン・オンリー・コマンドによってスレッショルド・コンパレータを使用できます。

(5) 物体のタイムオブフライト (μs 単位) をメートル単位の距離に変換する式は次のとおりです。距離(m) = [音速 × (MSB << 8 + LSB) + 2 × 1μs]。バーストおよびリスンの精度を向上させるには、最初に計算された距離に、追加のバースト・オフセットを加算します。距離・バースト・オフセット (m) = [音速 × (パルス / 周波数) + 2]。一般的に、音速は、室温で 343m/s と想定されます。周囲温度に応じて、音速を調整します。音速 = 331m/s + (0.6m/s/°C × 温度 (°C))

7.3.6.2.1.6 UART の動作

7.3.6.2.1.6.1 無応答動作

UART インターフェイスでの無応答動作は、かなり単純です。コマンド・フィールドは、動作のアドレスとコマンドを指定します。その後にデータ・バイトがある場合は、そのバイトを PGA460-Q1 デバイスに格納します。送信されるデータ・バイトの数は、UART コマンドによってあらかじめ決まっています。フレームの最後のフィールドは、コントローラによって生成されるチェックサム・フィールドです。図 7-24 に、メモリ・レジスタの書き込み動作の例を示します (コマンド 10)。

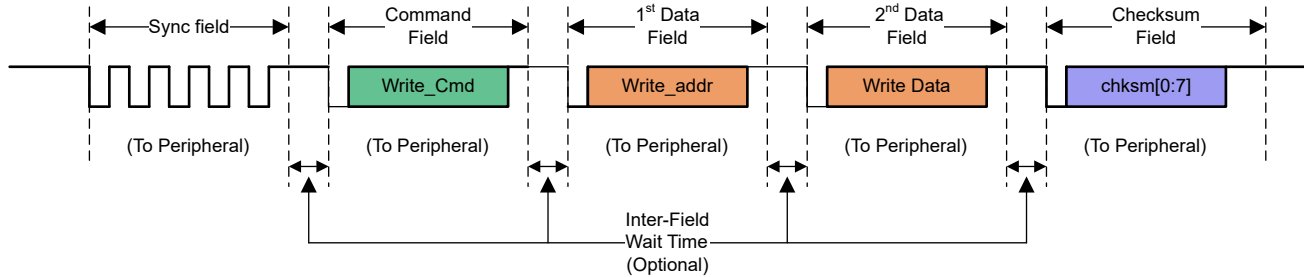


図 7-24. UART 無応答の例

注

UART インターフェイスに無応答コマンドが到着したときに、別の無応答コマンドを処理している途中であった場合、または PGA460-Q1 デバイスが機能を実行しているビジー状態であった場合には、前のコマンドは中止され、新しいコマンドが直ちに処理されます。コマンド 0～コマンド 4 またはコマンド 17～コマンド 21 のいずれかを以前に受信して、PGA460-Q1 デバイスが記録期間の処理中であるときに UART で他のコマンドを受信した場合、この処理は特に重要です。この場合、PGA460-Q1 デバイスは前のコマンドを中止して現在の記録期間を終了させ、新しいコマンドを処理するサイクルを開始します。

7.3.6.2.1.6.2 応答動作 (レジスタ読み取りを除くすべて)

PGA460-Q1 UART インターフェイスの応答動作は、コントローラが応答要求を送信することで開始されます。応答要求を PGA460-Q1 デバイスが受信した後、UART は、そのコマンドで要求されている適切なデータで応答します。応答動作では、コントローラはチェックサム・フィールドを生成せず、PGA460-Q1 が生成します。

注

データの変化が変化する (コントローラから PGA460-Q1 へ、その後 PGA460-Q1 からコントローラへ)、および PGA460-Q1 デバイスが応答するのに要する処理時間があることにより、応答要求と PGA460-Q1 の UART の応答との間に 1 ビット分の応答遅延時間が発生します。

図 7-25 に、PGA460-Q1 応答動作の例を示します。

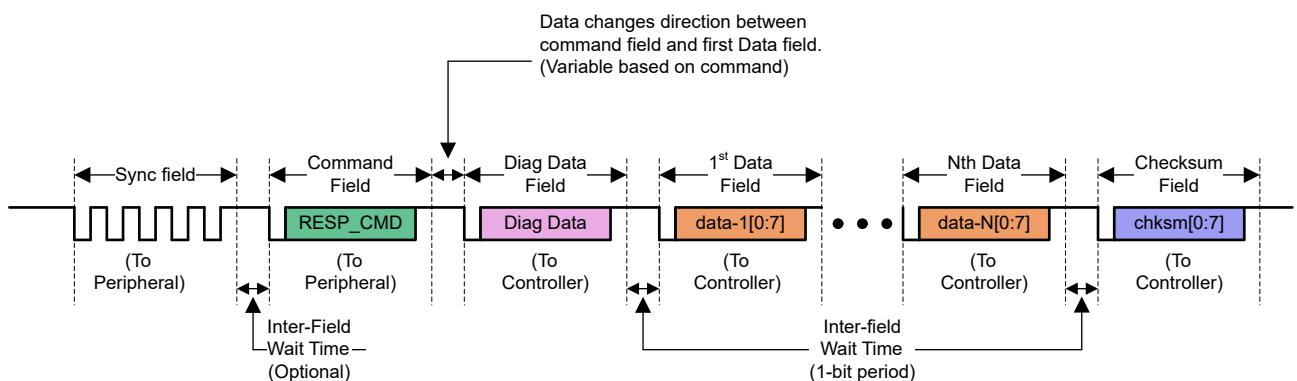


図 7-25. UART 応答の例

7.3.6.2.1.6.3 応答動作 (レジスタ読み取り)

レジスタ読み取りコマンドでは、コントローラが PGA460-Q1 メモリ内のレジスタ・アドレスを指定する必要があるため、別のフレーム・タイプが定義されています。まず、コントローラが SYNC およびコマンド・フィールドを発行します。次に、コントローラ・フレームの中で 1 バイトだけのフィールドとしてメモリ・レジスタ・アドレスを発行し、最後のフィールドとしてコントローラ

ラ・チェックサムを発行します。コントローラからペリフェラルへの転送後、PGA460-Q1 デバイスは、標準の PGA460-Q1 応答動作フレームで応答します。この動作を [図 7-26](#) に示します。

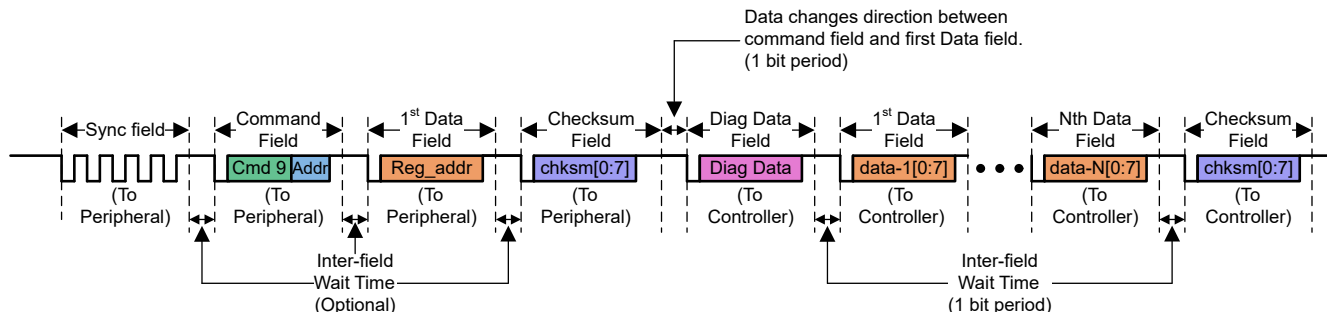


図 7-26. UART レジスタ読み取り応答の例

注

UART インターフェイスに応答コマンドが到着したときに、別の無応答コマンドを処理している途中であった場合、または PGA460-Q1 デバイスが機能を実行しているビジー状態であった場合には、PGA460-Q1 デバイスは、エラー・ステータスが 0 となっている診断フィールド ([診断フィールド](#) セクションを参照) で応答します。これは、デバイスが機能を実行しているビジー状態であることを示します。応答コマンドが到着したときに、PGA460-Q1 が別の応答コマンドを処理している途中であった場合、PGA460-Q1 デバイスは、前の応答コマンドの処理が完了するまで、新しい応答コマンドを無視します。

7.3.6.2.1.7 診断フィールド

応答動作 (レジスタ読み取り) セクションで説明しているように、PGA460-Q1 デバイスは、診断データ・フィールドから応答送信を開始します。このフィールドには、UART 通信エラー・ビットが含まれています。特定のビットが 1 に設定されている場合、対応する通信エラーが、直前の応答動作と現在の応答動作の間に発生した可能性があります。応答動作を実行した後、通信エラー・ビットはクリアされます。診断フィールドは、ペリフェラルによって生成されるチェックサム計算に含まれます。[図 7-27](#) に、診断データ・フィールドを示します。

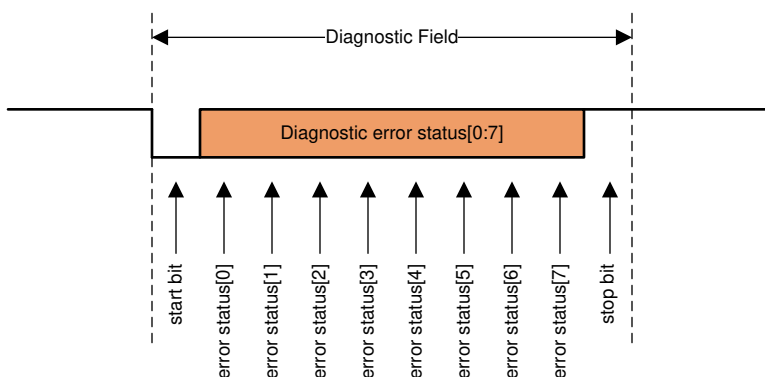


図 7-27. UART 診断データ・フィールド

[表 7-4](#) に、診断データのエラー・ステータス・ビットを示します。

診断フィールドのエラー・ステータス [7:6] ビットは、01b に設定されているため、ペリフェラルから送信されるビット時間を簡単に測定できます。さらにエラー・ステータスが必要な場合は、これらのビット位置を使用して追加のエラー・ステータスを送信できます。

表 7-4. UART 診断データの説明

ビット	UART_DIAG = 0	UART_DIAG = 1
エラー・ステータス [0]	PGA460-Q1 デバイス・ビジー	

表 7-4. UART 診断データの説明 (continued)

ビット	UART_DIAG = 0	UART_DIAG = 1
エラー・ステータス [1]	同期フィールドのビット・レートが高すぎる (>115200bps) 同期フィールドのビット・レートが低すぎる (>115200bps)	スレッシュホールド設定 CRC エラー
エラー・ステータス [2]	連続する同期フィールドのビット幅が一致していません	周波数診断エラー
エラー・ステータス [3]	コントローラから無効なチェックサムを受信しました (基本的には、計算されたペリフェラル・チェックサムが、コントローラから送信されたチェックサムと一致していません)	電圧診断エラー
エラー・ステータス [4]	コントローラから無効なコマンドが送信されました	論理 0
エラー・ステータス [5]	一般的な通信エラー: - 同期フィールドのストップビットが短すぎる 0: - コマンド・フィールドのストップ・ビットが異常 (リセッティングであるべきところにドミナント) - コマンド・フィールドのストップ・ビットが短すぎる - データ・フィールドのストップ・ビットが異常 (リセッティングであるべきところにドミナント) - 同期フィールドのストップビットが短すぎる - ストップ・ビット送信時に、データ・フィールド PGA460-Q1 送信値によってドミナント値にオーバードライブされた - PGA460-Q1 UART 送信中のデータ競合	EEPROM CRC エラーまたは TRM CRC エラー
エラー・ステータス [6]		論理 1
エラー・ステータス [7]		論理 0

7.3.6.2.1.8 USART 同期モード

コントローラ MCU と PGA460-Q1 デバイスの間で高速 (8Mbps) 通信を実現するために、高速 USART 同期モードが実装されています。このモードは RXD および TXD ピンのみで使用でき、さらに、デバイスとの通信のためのクロック入力として SCLK ピンを使用します。このモードでは、USART インターフェイスはシリアル・シフト・レジスタとして動作し、クロックの立ち上がりエッジでデータがセットされ、クロックの立ち下がりエッジでデータを取得します。USART 非同期モードとは違って、同期モード通信フレームには、スタート、ストップ、およびフィールド間待機ビットが含まれていません。これは、あるフレームのデータが完了するとすぐに次の通信データ・フレームが続くことを意味します。USART 同期モードは、チップセレクトなしのシリアル・ペリフェラル・インターフェイス (SPI) と同じです。アドレス指定は 3 ビットの UART_ADDR 値によって処理され、1 つのバスで最大 8 つのデバイスをイネーブルにできるからです。図 7-28 に同期モードのビット・タイミングを示し、図 7-29 に USART 同期モードのデータ・フローを示します。

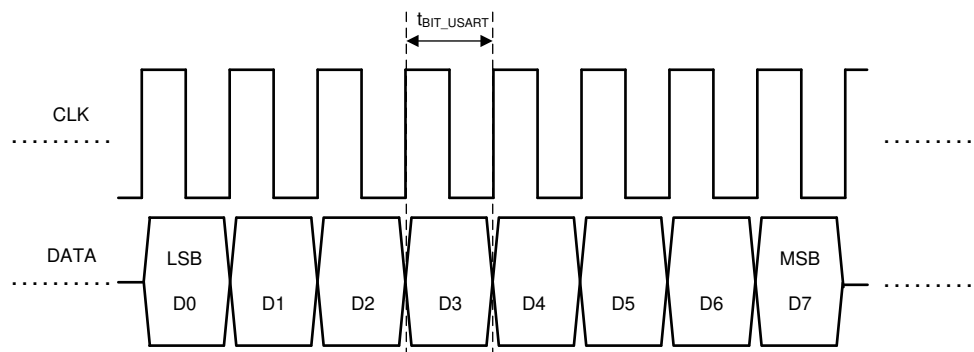


図 7-28. USART 同期インターフェイスのビット・タイミング

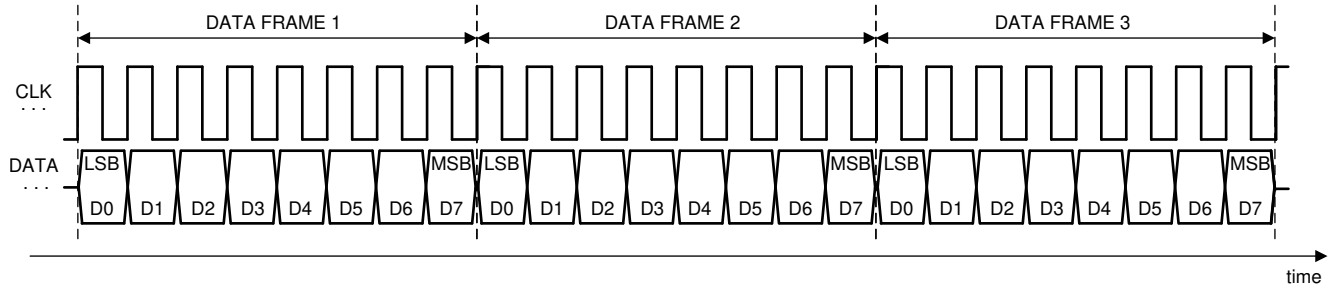


図 7-29. USART 同期モードのデータ・フロー

図 7-29 に示すように、各データ・フレームは 8 ビット長で、リトルエンディアン形式です (LSB が最初)。USART 同期モードの他のすべての機能は、USART 非同期モードと同じです。IO_IF_SEL ビットが 1 に設定されている場合、USART 同期モードの IO ピンを多重化することはできず、デバイスが USART 経由で通信しているときは IO ピン・トランシーバがディセーブルになります。

PGA460-Q1 デバイスは、SCLK ピンの立ち上がりクロックが検出されると、USART 同期モードで直ちに通信できます。このモードのアクティブ化または非アクティブ化は、用意されていません。

この通信モードを使用しない場合は、クロック入力のノイズ・トリガを防止するために、SCLK ピンを GND に接続する必要があります。

7.3.6.2.2 1 線式 UART インターフェイス

PGA460-Q1 デバイスには、IO ピンに UART インターフェイスを接続するオプションが実装されています。この場合、IO ピンはオープン・ドレイン・タイプであり、VPWR ピンに対して 10kΩ のプルアップを実装しているため、UART インターフェイスはバッテリー電圧の 1 線式インターフェイス (OWI) になります。UART インターフェイス上の通信は常に単方向であるため、この機能が可能になっています。

1 線式 UART インターフェイスをイネーブルにするには、IO_IF_SEL ビットを 1 に設定する必要があります。この場合、内部通信マルチプレクサは、UART インターフェイスのデジタル・ロジックを IO ピン・トランシーバに接続します。RXD および TXD ピンは変更されず、その動作が維持されます。

IO ピン、RXD ピン、TXD ピンを介した UART 通信は同時に可能ですが、コントローラが IO ピンと通信しているときに、他のコントローラが RXD ピンおよび TXD ピンの UART トランシーバを経由して通信しようすると、データの衝突が発生する可能性があります。したがって、IO ピンを使用するアプリケーションでは、RXD ピンを Hi-Z 状態にする必要があります。この状態では、PGA460-Q1 デバイスがイネーブルになった時点で UART トランシーバがディセーブルになります。詳細については、[インターフェイスの説明](#)セクションを参照してください。

注

IO_IF_SEL ビットが 1 (IO ピンが UART インターフェイスに接続) に設定されているときに、USART 同期モードを選択すると、IO トランシーバはディセーブルになります。

7.3.6.2.3 UART 動作による超音波物体検出

PGA460-Q1 UART インターフェイスには、指定されたスレッシュホールドと交差する物体を最大 8 個まで記録する機能があります。結果は、バースト段が完了して、エコー信号が指定されたスレッシュホールドを下回った時点から、検出された物体のいずれかが指定されたスレッシュホールドと再び交差する瞬間までの 1μs 間隔の時間値として表されます。さらに、スレッシュホールドと交差するエコー信号の幅および物体のピーク振幅も測定および報告されます。記録時間の終了時に物体が検出された場合、物体の幅は 0xFF と報告されます。スレッシュホールドと交差するエコーの幅は、4μs 間隔の時間値で表されます。リスン・オンリー・コマンドを使用する場合、オブジェクト検出の開始点は、記録期間の開始時刻です。図 7-30 および 図 7-31 に、バースト / リスン・コマンドおよびリスン・オンリー・コマンドで 2 つの物体が検出される例を示します。物体検出は、DATADUMP_EN ビットが 1 にセットされているときには行われません。

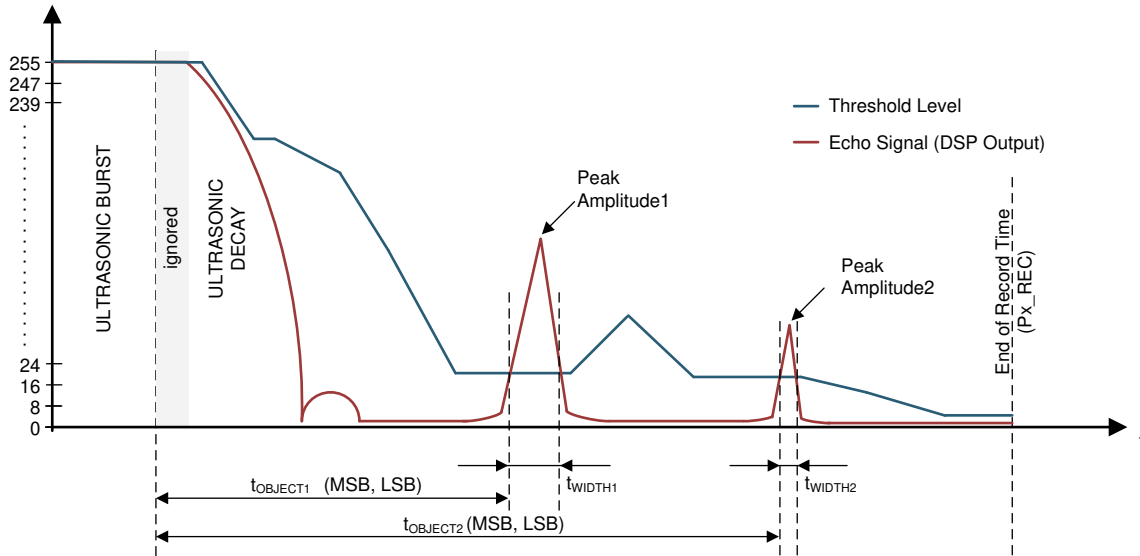


図 7-30. バーストおよびリスン・コマンドによる UART 物体検出の信号状態

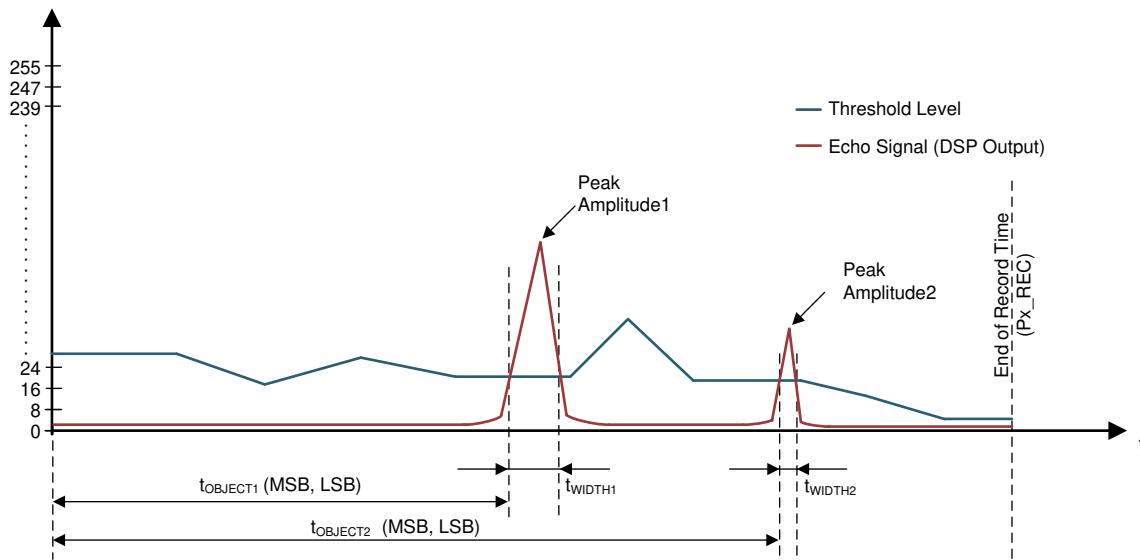


図 7-31. リスン・オンリー・コマンドによる UART 物体検出の信号状態

比較は、指定されたスレッシュホールドと、DSP データ・パスの出力における信号の振幅との間で行われます。スレッシュホールド・レベルの値が信号振幅よりも大きい場合、物体は検出されません。信号の振幅が、エコー反射のスレッシュホールド・レベルよりも大きい場合、物体が検出され、その時刻がキャプチャされます。記録時間が、Px_REC パラメータで定義された記録の終わりに達し、検出すべき物体の数がまだ達成されていない場合、記録期間は完了し、検出されない物体の領域には 0xFF の値が割り当てられます。この時点で、デバイスは、次のコマンドである USART コマンド 5 に対する準備ができています。検出すべき物体の数が記録期間終了よりも前に満たされた場合、デバイスは記録サイクルを中止します。これは、所定数の物体が検出されているからであり、このときデバイスは、コマンド 5 に対する準備ができています。コマンド 0 ~ 4 を発行する前にコマンド 5 を発行すると、予測不能なデータが得られます。

以下の例は、PGA460-Q1 UART コマンドを使って物体検出を行う方法を示しています。

1. PGA460-Q1 電源投入時に、コントローラは以下を設定します。
 - EEPROM バルク書き込みコマンドを使って EEPROM に書き込みます
 - 時変ゲインのバルク書き込みコマンドを使って、時変ゲインを設定します

- ・スレッショルド・バルク書き込みコマンドを使用することにより、または、レジスタ書き込みコマンドで特定のパラメータに個別に書き込むことにより、スレッショルド・パラメータを設定します
2. PGA460-Q1 デバイスの設定ができれば、コントローラは次のいずれかのコマンドで実行コマンドを発行します。

- ・バースト/リスン (プリセット 1)
- ・バースト/リスン (プリセット 2)
- ・リスン・オンリー (プリセット 1)
- ・リスン・オンリー (プリセット 2)

これらの実行コマンドのいずれかを正常に受信した後、PGA460-Q1 デバイスは要求されたアクションを直ちに実行します。

3. 記録期間が終了すると、コントローラは超音波測定結果コマンドを発行して、PGA460-Q1 デバイスからデータを収集できます。

7.3.6.3 イン・システム IO ピン・インターフェイスの選択

PGA460-Q1 デバイスは、IO ピンでの時間コマンド・インターフェイスがイネーブルの状態に出荷時にプログラムされています。エンド・ユーザーが 1 線式 UART モードで IO ピンを使用するシステムでは、以下に示すように、IO ピンで 1 線式 UART インターフェイスをイネーブルにする 2 つの選択肢があります。

- ・UART RXD および TXD ピンにアクセスできる場合、ユーザーは EEPROM メモリ空間で IO_IF_SEL ビットを 1 に設定し、EEPROM プログラム・コマンドを実行して、その後の使用のためにその構成を保存できます。
- ・RXD および TXD ピンにアクセスできない場合 (最終製品がすでに組み立てられている場合など)、図 7-32 に示す IO ピンのパターンを使用して、デバイスのインターフェイスを切り替えることができます。

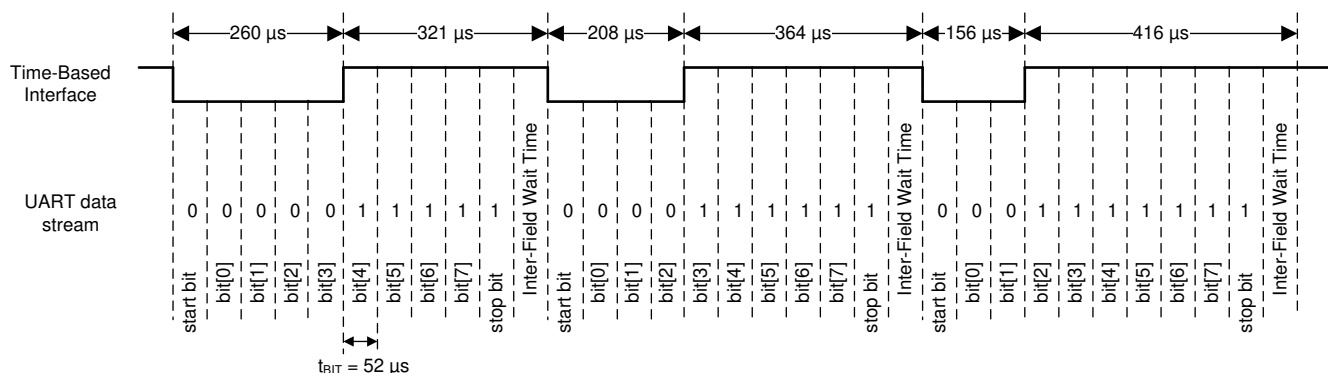


図 7-32. IO ピン・インターフェイスの切り替えパターン

図 7-32 に示すように、時間コマンド・インターフェイスおよび UART インターフェイスがパターンを簡単に再現できるように、データ・フォーマットは特定の方法で選択されます。以下に示す 2 つの状況が考えられます。

コントローラが **UART インターフェイス**である場合、コントローラは以下のデータを使用して UART フレームを送信する場合があります。0xF0 の後に 0xF8 が続き、その後に 0xFC が続くデータ。このとき、UART のボーレートは 19200bps です。

注

この場合、コントローラは同期フィールドを生成しません。

コントローラ・デバイスが**時間コマンド・インターフェイス**である場合、コントローラは、図 7-32 に示す持続時間の 3 つの時間コマンド・パルスを生成します。

PGA460-Q1 デバイスがデータを受信すると、直ちに IO ピンのインターフェイスが切り替えられます。図 7-32 のパターンによって、EEPROM メモリの IO_IF_SEL ビットの値が変更されますが、EEPROM はプログラムされません。したがって、

PGA460-Q1 インターフェイスをターゲット・インターフェイスに設定した直後に、コントローラは、目的の構成で EEPROM をプログラムするためのコマンドを発行する必要があります。

注

IO インターフェイス・オプションの選択パターンを切り替えると、STAT2 ビットが 1 にトリガされます。読み出し時に、STAT2 ビットはクリアされます。

7.3.7 エコー・データ・ダンプ

7.3.7.1 オンボード・メモリ・データ保存

PGA460-Q1 デバイスにはデータ・ダンプ機能があり、デジタル・データ・パスの出力データを生のデジタル形式で抽出できます。通常、この機能は、超音波システムを適切にチューニングしたり、時変ゲインとスレッシュホールドを正確に調整したりするために必要です。その他の用途として、システムの評価やテストなどもあります。

エコー・データ・ダンプ機能は、4 つのバースト / リスン・コマンドまたはリスン・オンリー・コマンドのいずれかに対してイネーブルでき、EE_CNTRL レジスタの DATADUMP_EN ビットによってイネーブルになります。イネーブルのとき、バースト / リスン・コマンドまたはリスン・オンリー・コマンドを受信すると、PGA460-Q1 デバイスは、記録期間全体にわたって IO ピンを LOW に保持し、データ・ダンプ・サイクルが進行中であることをコントローラ MCU に通知します。データ・ダンプ・サイクルが完了すると、データ・ダンプ読み取りコマンドを使用してデータを抽出できます。PGA460-Q1 デバイス・コマンドの詳細については、表 7-2 を参照してください。

データ・ダンプ・メモリは、128 バイトのデータ・メモリ配列で構成されています。エコー・データは、記録期間全体をキャプチャできるようにするため、ダウン・サンプリング (間引き) されます。ダウン・サンプリングの量は、対象となるプリセットの記録時間長パラメータによって決まります。これは、REC_LENGTH EEPROM レジスタの P1_REC ビットおよび P2_REC ビットで設定されます。ダウンサンプリング処理時には、ピーク・ホールド機能が実行されて、ダウンサンプリング後の最高レベルの値のみがデータ・ダンプ・メモリに保存されます。DATADUMP_EN ビットが 1 の場合、物体の検出および測定はディセーブルになります。

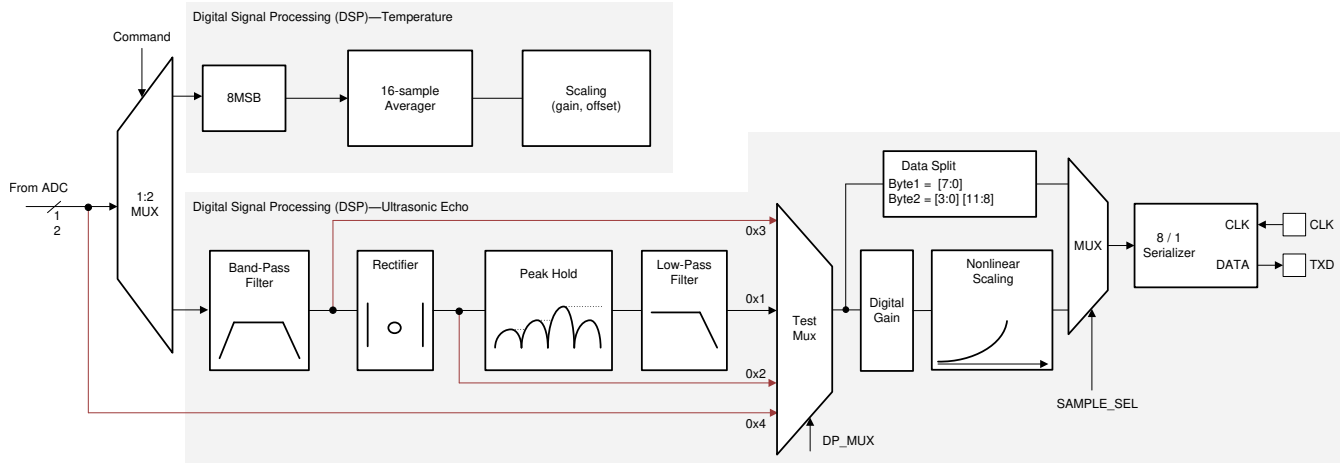
データ・ダンプの実装例の概要を以下に示します。

1. DATADUMP_EN ビットを 1 に設定します。
2. P1_REC ビットに 0x01 を設定して、時間長 8192μs の記録期間を選択します。デジタル・データ・データ・パスの出力レートは 1μs/サンプルであるため、合計記録期間は 8192 サンプルです。
3. バースト / リスン (プリセット 1) コマンドまたはリスン・オンリー (プリセット 1) コマンドのいずれかが実行されると、データ・ダンプ・メモリ内の 1 つのサンプル領域に、 $8192/128 = 64$ サンプルのうちの最大 (ピーク) 値が書き込まれます。

したがって、最初のデータ・ダンプ値は、0~63 サンプル範囲の最大値であり、最後のデータ・ダンプ値は、8127~8191 サンプル範囲の最大値です。

7.3.7.2 USART 同期モードによるダイレクト・データ・バースト

詳細な分析を行うために 1μs ごとのデータ・パス・サンプルを抽出する必要がある場合、PGA460-Q1 デバイスにはテスト・モードがあり、デジタル・データ・パスのさまざまなポイントで生のデジタル・データを抽出できます (図 7-33 を参照)。DP_MUX 値が 1 以上 4 以下の場合、データ・バーストがイネーブルになり、物体の検出と測定がディセーブルになります。



この機能は、USART 同期モードでのみ可能です。

図 7-33. ダイレクト・データ・バースト

このモードをイネーブルにすると、デジタル・データバス・マルチプレクサは、デバイス・メモリの DP_MUX パラメータの設定によって、デバイスからバーストするソース信号を選択できます。DP_MUX パラメータをイネーブルにした後 (0x00 以外の値に設定)、標準の UART コマンド方式を使って、送受信、受信のみ、または温度読み取りコマンドのいずれかが発行されると、選択したソース信号がデジタル・マルチプレクサを通過し、8/1 シリアライザ・ブロックによってシリアル化されます。この信号は、データ出力ピンとして機能する UART TXD ピンに直ちに出力されます。また、コントローラは、クロック・パルスを CLK ピンに送信します。

これらのコマンドのいずれかを発行した後、バスがアイドルになるまで、コントローラは CLK ピンでのクロック・パルスの送信を停止しないことが重要です。受信したチェックサムが検証され、バスがアイドル状態になると、バースト・データの終了と見なされます。これは、PGA460-Q1 デバイスで正常なデータ同期を行うために必要です。USART 同期通信モードの詳細については、USART 同期モード セクションを参照してください。

図 7-34 に、PGA460-Q1 デバイスから出力されるデータ・ストリームの順序の形式を示します。

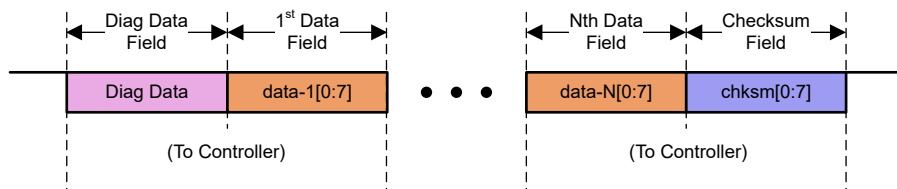


図 7-34. ダイレクト・データ・バースト・データ・フォーマット

図 7-34 に示すように、出力データ・ストリームは、PGA460-Q1 診断データ・フィールドから始まり、いくつかのデータ・バイトが続き、診断データ・バイトとすべてのデータ・バイトについて計算されたチェックサム・フィールドで終わります。データ・バイトの数は、PGA460-Q1 デバイスから抽出されたサンプルの数によって異なります。この数は、現在のコマンドの記録期間に依存します。記録期間は、EEPROM メモリの P1_REC パラメータと P2_REC パラメータによって決定され、ADC およびデジタル信号バスのサンプリング・レートは、1μs/サンプルです。ここから、サンプル数は、マイクロ秒単位で表したときの記録時間に等しいことが計算できます。

デジタル出力には、SAMPLE_SEL パラメータに基づく 2 つの動作モードがあります。

SAMPLE_SEL = 0 データ・バスの出力はデジタル・データバス・テスト・マルチプレクサによって選択され、データ長は 8 ビット/サンプル長です。LPF 出力については、アクティブ・デジタル・ゲイン選択を使って、どの 8 ビットを送信するかを決定します。その他のすべてについて、アクティブ・デジタル・ゲイン選択 = 0 の場合、8 MSB ビットが得られ、それ以外の場合、PGA460-Q1 は 8 LSB ビットを送信します。この場合、サンプル・レートは 1μs であり、ADC 出力も PGA460-Q1 デバイスから送信されます。

SAMPLE_SEL = 1 のとき データ・パスの出力は、デジタル・データ・パス・テスト・マルチプレクサによって選択されます。ただし、12 ビット/サンプルのデータ全体が PGA460-Q1 デバイスから送信されます。この場合、サンプル・レートは 2μs であり、ADC によって生成されるサンプルは1つおきに送信されます。12 ビットのデータは 2 バイトに分割され、下位バイトの後に続いて上位バイトの順で送信されます。コントローラが PGA460-Q1 デバイスからのサンプルの順序を追跡できるように、上位バイトには 4 ビットのサンプル・カウンタが埋め込まれています。

注

前述の場合分けの両方について、非線形スケーリング・ブロックは、データがローパス・フィルタ (DP_MUX = 0x1) から抽出された場合のみイネーブルになります。それ以外の場合は、非線形スケーリング・ブロックがディセーブルになります。

7.3.8 低消費電力モード

PGA460-Q1 デバイスには低消費電力モードが実装されており、システムの電力を維持するための消費電流が大幅に低減されます。低消費電力モードは、EEPROM の LPM_EN ビットをセットすることによってイネーブルされます。このビットが設定されている場合、PGA460-Q1 デバイスは、EEPROM の FVOLT_DEC レジスタにある LPM_TMR ビットで定義される一定の非アクティブ期間が経過すると、低消費電力モードに移行します。非アクティブとは、通信インターフェイス上でバースト/リスン、リスン・オンリー、デバイスの構成などのアクティビティがない場合のことです。いずれかのコマンドを実行すると、タイマがリセットされます。EEPROM のプログラミング中、タイマはリセット状態に維持されます。

低消費電力モードでは、PGA460-Q1 デバイスは、通信に使用されるインターフェイスに応じて、時間コマンド・インターフェイスおよび USART インターフェイスの 2 つの異なる方法でウェークアップできます。これらの方法について以下のセクションで説明します。

7.3.8.1 時間コマンド・インターフェイス

このデバイスは、グリッチ除去された立ち上がりエッジが IO ピンで検出された直後にウェークアップします。コントローラは、時間コマンド・インターフェイスで、300μs 以上の長さのドミナント・パルス (論理 0) として定義されたウェークアップ信号を生成する必要があります。ウェークアップ・パルスが終了した後、図 7-35 に示す時間コマンド・パルスを開始する前に、少なくとも 1 つのコマンド処理デッドタイムを空けておく必要があります。

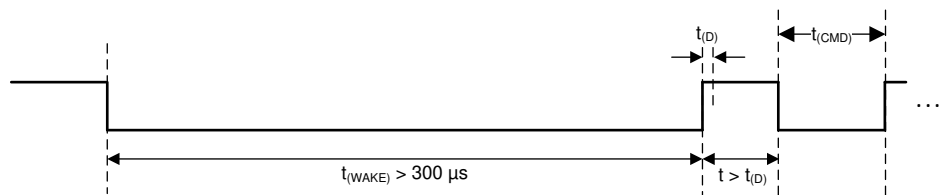


図 7-35. 時間コマンド・インターフェイスのウェークアップ・パルス

7.3.8.2 UART インターフェイス

コントローラは、UART インターフェイスで、300μs 以上の長さのドミナント・パルス (論理 0) として定義されたウェークアップ信号を生成する必要があります。ウェークアップ・パルスが終了した後、UART 送信を開始する前に、少なくとも 1 つのバイト間スペースを確保する必要があります。図 7-36 に、UART ウェークアップの例を示します。



図 7-36. UART ウェークアップ・パルス

7.3.9 トランスデューサの時間および温度デカップリング

7.3.9.1 時間デカップリング

PGA460-Q1 デバイスには、記録期間のエコー検出段において、トランスおよび駆動回路の他の部分からトランスデューサを分離するオプションがあります。このプロセスでは、駆動回路によって発生するノイズにトランスデューサがさらされず、また、負荷が減少します。これは、検出されたエコーを PGA460-Q1 デバイスによって感知するために、大きい電圧スイングを発生できることを意味します。この機能では、PGA460-Q1 デバイスの DECPL ピンを使用して、外部トランジスタ Q_{DECPL} のゲート（またはベース）を駆動します。記録期間のバースト段および減衰段では、DECPL ピンが HIGH (IOREG レベルに応じて 3.3V または 5V) になって、外部トランジスタがイネーブルになり、トランス駆動回路が GND に接続され、トランスデューサと結合されます。EEPROM の DECPL_TEMP_SEL ビットが 0 に設定されている場合には、時間デカップリング機能が選択されます。

バースト段が終了すると、タイマが起動され、EEPROM の DECPL_T ビットで定義された値までカウントします。この時間が経過すると、DECPL ピンの状態が LOW (GND) になります。これは、外部トランジスタ Q_{DECPL} がディセーブルになり、トランスの 2 次側コイルがトランスデューサから切断されることを意味します。図 7-37 に、回路の実装を示します。

7.3.9.2 温度デカップリング

時間デカップリングと同様に、PGA460-Q1 デバイスには温度デカップリング機能が実装されており、トランスデューサの温度非線形性を補償するために、特定の温度ポイントで温度補償コンデンサを接続および切断できます。この機能を使用することで、トランスデューサの周波数は温度範囲全体にわたって制限値内にとどまると想定されます。この機能をイネーブルにするには、DECPL_TEMP_SEL ビットを 1 に設定する必要があります。

実行コマンドを受信すると、PGA460-Q1 デバイスは、最初に温度測定コマンドを実行し、結果を EEPROM の DECPL_T ビットで定義された温度設定と比較します。測定温度が DECPL_T ビットに基づく値よりも高い場合、DECPL ピンが LOW (GND) になり、 Q_{DECPL} トランジスタがディセーブルになって、温度補償コンデンサが切断されます。測定温度が DECPL_T ビットに基づく値よりも低い場合、DECPL ピンが HIGH (IOREG レベルに応じて 3.3V または 5V) になり、 Q_{DECPL} トランジスタがイネーブルになって、温度補償コンデンサが回路に接続されます。図 7-38 に、回路の実装を示します。

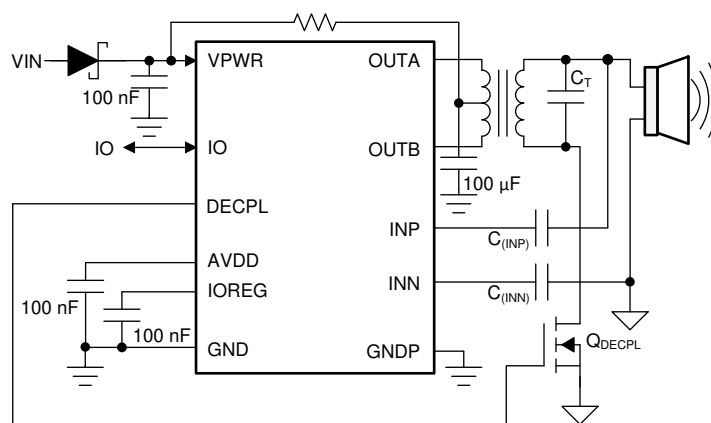


図 7-37. トランスデューサの時間デカップリング

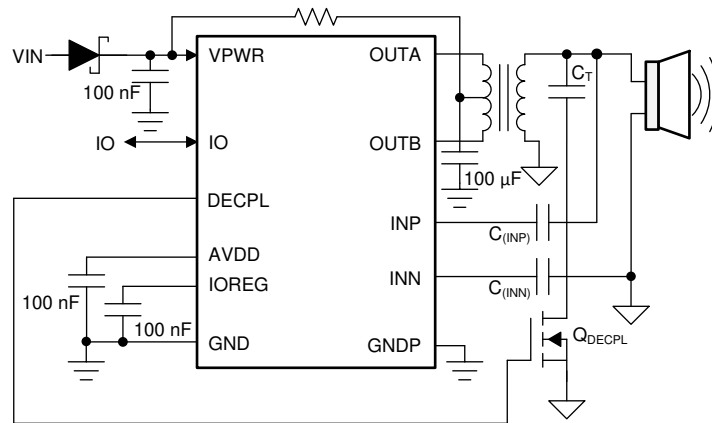


図 7-38. トランスデューサの温度デカップリング

7.3.10 メモリ CRC 計算

PGA460-Q1 は、EEPROM に保存されたデータおよびスレッシュホールド設定の整合性を検証するための自己完結型アルゴリズムである巡回冗長検査 (CRC) を実装しています。EEPROM プログラム (書き込み) もしくは EEPROM リロード動作が実行された場合、またはスレッシュホールド・レジスタに書き込まれた場合、CRC コントローラは正しい CRC 値を計算し、対応するレジスタに書き込みます。EEPROM メモリの場合、この値は EE_CRC レジスタに書き込まれます。スレッシュホールド設定の場合、この値は THR_CRC レジスタに書き込まれます。

EEPROM のリロード・コマンドが発行されると、起動時に CRC が実行されます。すべてのメモリ・ブロックの CRC アルゴリズムは同じで、式 6 に示すものです。初期シード値は 0xFF であり、MSB 順序を使用します。この計算は、MSB から LSB まで、バイト単位で実行されます。データは次の順序で連結されます。

- EEPROM メモリの場合: 連結は、MSB USER_DATA1 (0x00) から始まって、LSB P2_GAIN_CTRL (0x2A) まで行われ、計算された CRC は、EE_CRC レジスタ (0x2B) に保存されます。
- スレッシュホールド設定の場合: 連結は、MSB P1_THR_0 (0x5F) から始まって、LSB P2_THR_15 (0x7E) まで行われ、計算された CRC は、THR_CRC レジスタ (0x7F) に保存されます。

$$X^8 + X^2 + X + 1 \text{ (ATM HEC)} \quad (6)$$

CRC チェックの結果は、DEV_STAT0 レジスタに保存され、UART インターフェイス経由で直接読み出すことができます。また、時間コマンド・インターフェイスでは、これらをステータス・ビット 3 とステータス・ビット 1 で通知します。ハードウェア・インターフェイスの詳細については、「時間コマンド・インターフェイス」セクションを参照してください。デフォルト値については、レジスタ・マップ セクションを参照してください。

7.3.11 温度センサと温度データパス

PGA460-Q1 デバイスには、オンチップ温度センサおよび正確な温度測定のために専用の温度データ・パスがあります。出力値は、-40°C ~ +125°C の符号なし 8 ビット値として提供されます。温度センサ測定を使用して、周囲温度の変化に応じてトランスデューサの性能変動を調整できます。温度測定のサンプリングおよび変換時間には、温度測定コマンドを発行してから少なくとも 100 μs が必要です。温度の値を適切に更新できるように、この期間中は他のコマンドを送信しないでください。

温度デジタル・データ・パスの出力は、UART インターフェイスの時間コマンド・インターフェイスを使って読み出すことができます。得られる値は、式 7 に示すように測定温度と関連付けられます。

$$T = \frac{T_{(VAL)} - 64}{1.5}$$

$$T_{(VAL)} = \text{ADC}_{\text{UNCOMP}} \times \left(1 + \frac{\text{TEMP_GAIN}}{128}\right) + \text{TEMP_OFF} \quad (7)$$

ここで、

- $T_{(VAL)}$ は、TCI または UART コマンドを使ってデバイスから読み取った値です。
- T は温度です。
- $TEMP_GAIN$ および $TEMP_OFF$ は、 $-8 \sim +7$ の範囲内で符号付きの値です。

計算後の $T_{(VAL)}$ の出力値は 10 進数になる可能性があるため、値は最も近い整数値に切り上げられます。

図 7-39 に、16 サンプルの平均化機能とスケーリング・ブロックを備えた温度デジタル・データ・パスを示します。16 サンプルの平均化ブロックは、1 サンプル/ μs の割合で到着する 16 個の温度測定値を平均化して 1 つの結果として、温度測定のばらつきを除去します。スケーリング・ブロックは、ゲインおよびオフセット・パラメータを調整して、温度センサのキャリブレーションを改善するために使われます。これら 2 つのパラメータは、 $TEMP_TRIM$ EEPROM レジスタの $TEMP_GAIN$ ビットおよび $TEMP_OFF$ ビットを使ってプログラムします。

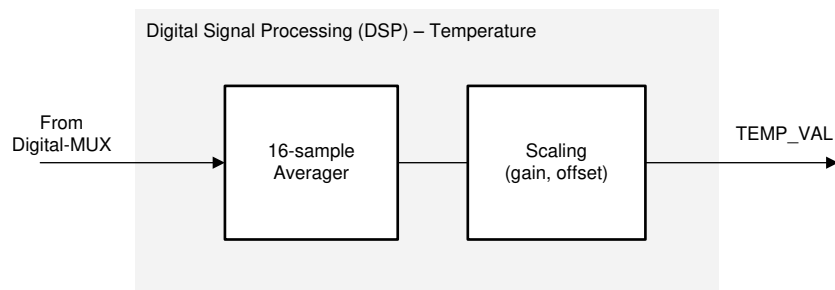


図 7-39. 温度センサ信号パス

補償する前 ($TEMP_GAIN$ ビットを 0 に設定、 $TEMP_OFF$ ビットを 0 に設定) は、 $T_{(VAL)}$ は ADC によって変換された値と同じです。前述のように、ユーザーは 2 つの温度測定とトリムを実行することで、デバイスの動作条件 (VPWR)、ボード設計、構成の変動を補償できます。補正後、 $T_{(VAL)}$ は式 7 を使って絶対温度に変換できます。VPWR が大きくなると、消費電力が増加し、内部ダイ温度が周囲温度と異なる場合があります。温度センサは、常にダイの温度を示します。

$TEMP_GAIN$ および $TEMP_OFF$ のキャリブレーションを行わない場合、式 8 を使ってダイ温度の読み取り値から周囲温度を概算できます。

$$T_{Ambient} (^{\circ}C) = T_{Die} - [R_{\theta JA} \times (VPWR \times I_{VPWR_RX_ONLY})] \quad (8)$$

ここで、

- $R_{\theta JA}$ ($^{\circ}C/W$) は、接合部から周囲への熱抵抗であり、 $96.1^{\circ}C/W$ です。
- $VPWR$ (V) は入力電圧です。
- $I_{VPWR_RX_ONLY}$ (mA) は、リスン・オンリー・モードで 12mA 時の VPWR ピンからの電源電流です。

7.3.12 TEST ピンの機能

PGA460-Q1 TEST ピンは、以下のような複数の目的に使用できます。

- ユーザーが PGA460-Q1 デバイスから内部信号を抽出できるようにします。
- デジタル・ピンの出力電圧を選択します。これにより、外部電圧変換器を使用せずに、3.3V MCU または 5V MCU をデバイスに接続できます。RXD、TXD、SCLK、DECPL、および TEST ピンは、この選択の影響を受けます。

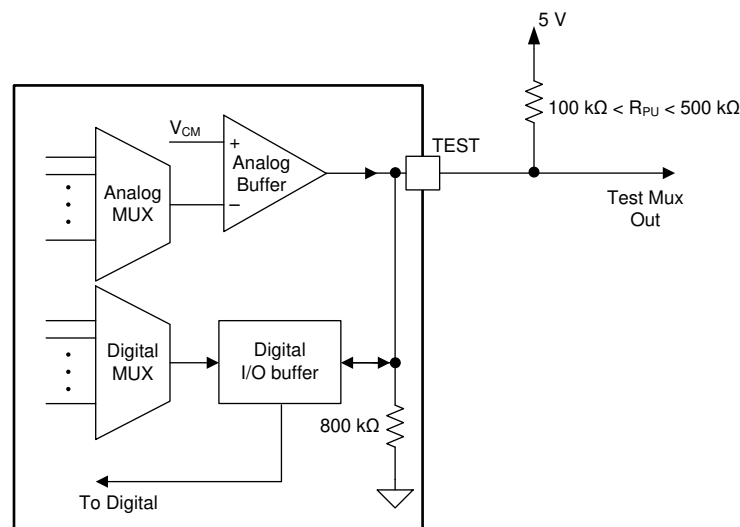
内部テスト・マルチプレクサを使ってあらかじめ定義された信号を選択することにより、TEST ピンで内部信号を抽出できます。TEST_MUX レジスタ・パラメータを使って、この信号を選択します。表 7-5 に、TEST ピンで出力される可能性のある PGA460-Q1 内部信号を示します。

表 7-5. TEST ピンで多重化可能な内部信号

TEST_MUX 値	信号名	種類	説明
0x00	ハイ・インピーダンス (ディセーブル)	アナログ	TEST ピンはハイ・インピーダンス状態です
0x01	ASC 出力		ADC バッファ後の SAR ADC 入力
0x02	予約済み		
0x03	予約済み		
0x04	8MHz クロック	デジタル	8MHz クロック出力 PGA460-Q1
0x05	ADC サンプル・クロック		1μs ADC サンプル・クロック
0x06	予約済み		
0x07	予約済み		

アナログ・テスト・マルチプレクサ出力として使用する場合、TEST ピンの出力電圧は 0V から 1.8V の間で変化し、コモン・モード電圧は 0.9V に設定されます。

TEST ピンでのデジタル電圧レベルの選択は、デバイスの電源投入時に実行されます。電源投入時に、デバイスは、TEST ピンのレベルをチェックします。レベルが LOW の場合、デジタル出力ピンは 3.3V で動作します。TEST ピンが HIGH に接続されている場合 (3.3V または 5V は、どちらも HIGH 状態と見なされます)、デジタル出力ピンは 5V で動作します。この状態は PGA460-Q1 デバイスでラッチされるため、テスト・マルチプレクサは、前述のように TEST ピンを他の用途に使用できます。5V デジタル出力を使用する必要があり、かつ、テスト・マルチプレクサ出力を PGA460-Q1 デバイスから抽出する必要がある場合は、図 7-40 に示すように、TEST ピンに弱いプルアップ抵抗を接続できます。



Copyright © 2017, Texas Instruments Incorporated

図 7-40. TEST ピンのテスト・マルチプレクサ出力アプリケーション

図 7-40 に示すように、抵抗 (R_{PU}) は永続的な電源に接続され、 R_{PU} 抵抗と $800k\Omega$ の内部抵抗を経由してグラウンドへの電流パスが生成されます。この構成はシステムにとって問題ではありませんが、PGA460-Q1 低消費電力モードを使用してエネルギーを節約する必要があるアプリケーションでは、静止電流がわずかに増加する可能性があります。この場合、TEST ピンは、外部 MCU の GPIO ピンに接続できます。この GPIO ピンを使って、TEST ピンにロジック LOW または HIGH の状態を出力して、デバイスのスタートアップ時の電圧レベルを選択し、その後、GPIO 出力をディセーブルにしてエネルギーを節約することができます。また、MCU がいずれかの PGA460-Q1 テスト出力信号を使用する場合には、GPIO を入力として再設定することもできます。外付けプルアップ抵抗は、CMOS 5V UART 通信にのみ必要であり、3V 通信には必要ありません。

7.4 デバイスの機能モード

PGA460-Q1 デバイスの機能モードは次のように定義されます。

アクティブ・モード 電源投入シーケンスが完了した後、デバイスはバースト / リスン・コマンドまたはリスン・オンリー・コマンドを待つ。トランスデューサを駆動し、受信したエコーを増幅してコンディショニングします。このモードでは、さまざまなパラメータを使用してデバイスを構成することもでき、検出されたオブジェクトに関するデータをデバイスから照会できます。これらの機能はすべて、[インターフェイスの説明](#) セクションで定義したコマンドを使用して実現します。

低消費電力モード [低消費電力モード](#) セクションで定義されているように、一定の非アクティブ期間が経過すると、このモードに移行するようにデバイスを構成できます。このモードでは、ほとんどのブロックが電源オフになり、消費電流が大幅に低減されます。デバイスは、[時間コマンド・インターフェイス](#) および [UART インターフェイス](#) セクションで説明されているように、インターフェイス上のコマンドを使用してこのモードから復帰できます。このモードでは、デバイスはエコーをバーストしたりリスンしたりできません。揮発性メモリに保存されているすべての構成も失われます。これには、すべてのスレッショルド・タイミングとレベル値が含まれます。

7.5 プログラミング

図 7-41 および 図 7-42 は、それぞれ PGA460-Q1 デバイスを USART または TCI インターフェイスを使用して構成する方法を示すフローチャートです。

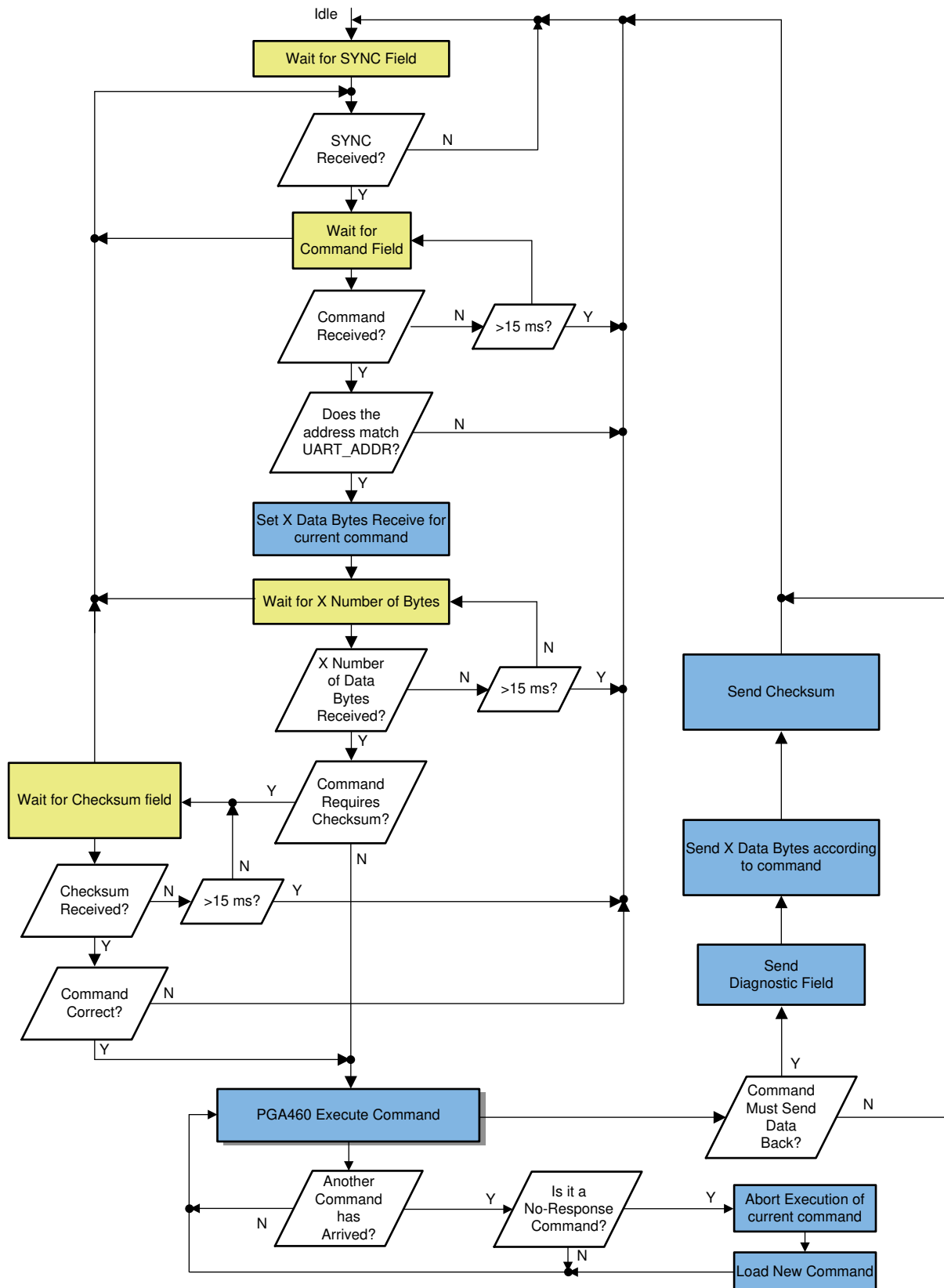


図 7-41. UART 通信フロー・チャート

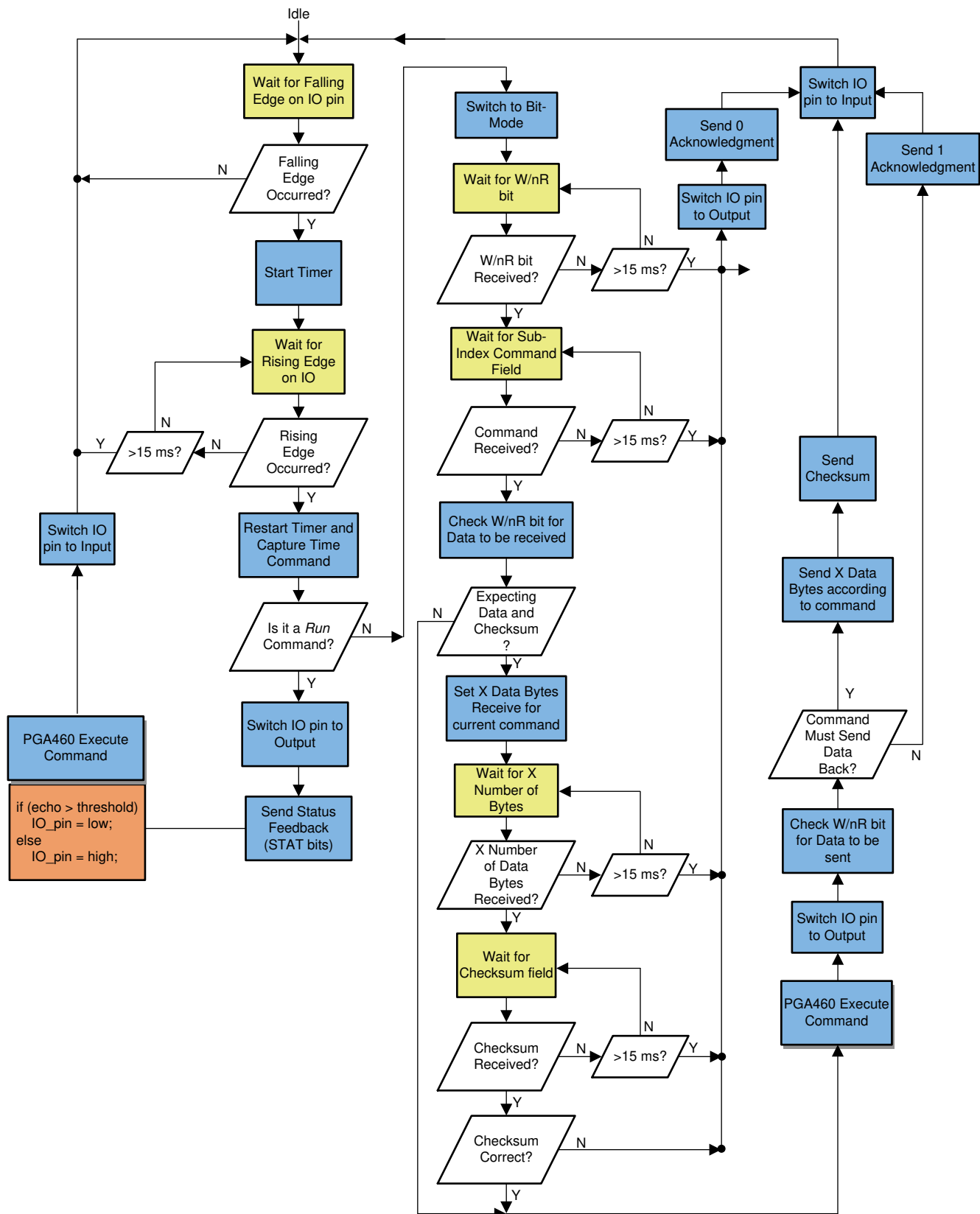


図 7-42. 時間コマンド・インターフェイス通信フロー・チャート

7.5.1 UART および USART 通信の例

UART および USART 通信の例を以下に示します。

例 1 – レジスタ 0x1B を読み取ります。PGA460-Q1 アドレスは 0x0 です。

コントローラから PGA460-Q1 へ: 0x55, 0x09, 0x1B, 0xDB ...

PGA460-Q1 コントローラへ: ... 0x 診断、0x データ、0x チェックサム

例 2 – レジスタ 0x40 に データ 0x80 を書き込みます。PGA460-Q1 アドレスは 0x0 です。

コントローラから PGA460-Q1 へ: 0x55, 0x0A, 0x40, 0x80, 0x35

PGA460-Q1 コントローラへ: 応答なし、アイドル (0xFF)

例 3 – コマンド 0 (バースト / リスン、プリセット 1) を実行して 1 つの物体を検出します。PGA460-Q1 アドレスは 0x0 です。

コントローラから PGA460-Q1 へ: 0x55, 0x00, 0x01, 0xFE

PGA460-Q1 コントローラへ: 応答なし、アイドル (0xFF)

例 4 – コマンド 5 を実行します (超音波測定結果)。PGA460-Q1 アドレスは 0x0 です。以前に**例 3**の実行でコントローラが PGA460-Q1 に対して 1 つのオブジェクトを検索するよう指示した場合を想定します。

コントローラから PGA460-Q1 へ: 0x55, 0x05, 0xFA ...

PGA460-Q1 コントローラへ: ... 0x 診断、0x タイム・オブ・フライト_μs 単位 [MSB]、
0x タイム・オブ・フライト_μs 単位 [LSB]、0x 物体の幅_μs 単位、0x ピーク振幅_LSB 単位、0x チェックサム

注

0xFF の繰り返しシーケンスは、アイドルのバス状態を示します。

7.6 レジスタ・マップ

7.6.1 EEPROM のプログラミング

EEPROM をプログラムするには、以下の手順に従います。

1. UART または TCI を使って、4 ビットの独自のロック解除パターンを伴った EEPROM プログラム・コマンドを送信します。レジスタ 0x40 において、プログラム・ビットは 0 に設定します。ロック解除パスコードは 0xDh です。
2. プログラム・ビットに 1 を設定して、直ちに同じ UART または TCI コマンドを送信します。

ロック解除コード (**手順 1**) の後に他のコマンドが発行されると、EEPROM プログラムが開始されます。また、**手順 1** のロック解除コマンドが正しくない場合、EEPROM はプログラムされません。EEPROM は、各プログラム・コマンドの後に自動的にロックされます

注

この EEPROM パスコードは、UART モードでの通信と、構成コマンド 11 により実行される TCI モードに適用できます。

7.6.2 レジスタ・マップ・パーティショニングとデフォルト値

レジスタ・マップセクションのレジスタ・マップは、以下のように構成されています。

- アドレス 0h~2Bh: EEPROM 不揮発性メモリ。これらのレジスタの内容は、パワー・サイクル中および低消費電力モード中でも保持されます。
- アドレス 40h~4Dh およびアドレス 5Fh~7Fh: レジスタ・ベースの揮発性メモリ。これらのレジスタの内容は、パワー・サイクルおよび低消費電力モード中に失われます。

- アドレス 2Ch～3Fh およびアドレス 4Eh～5Eh はテキサス・インスツルメンツの社内用として予約されており、ユーザーはアクセスできません。

すべてのレジスタは、[レジスタ・マップ](#) セクションに示すようにデフォルト値にリセットされます。ただし、PGA460-Q1 EEPROM は [表 7-6](#) で説明されている値にプログラムされています。これらの値は、電源投入時にレジスタにロードされ、デフォルトのリセット値は上書きされます。

表 7-6. EEPROM 出荷時のデフォルト値

EEPROM レジスタ	レジスタ・アドレス	デフォルト値
USER_DATA1～USER_DATA-20	0h～13h	00h
TVGAIN0	14h	AFh
TVGAIN1	15h	FFh
TVGAIN2	16h	FFh
TVGAIN3	17h	2Dh
TVGAIN4	18h	68h
TVGAIN5	19h	36h
TVGAIN6	1Ah	FCh
INIT_GAIN	1Bh	C0h
FREQUENCY	1Ch	8Ch
DEADTIME	1Dh	00h
PULSE_P1	1Eh	01h
PULSE_P2	1Fh	12h
CURR_LIM_P1	20h	47h
CURR_LIM_P2	21h	FFh
REC_LENGTH	22h	1Ch
FREQ_DIAG	23h	00h
SAT_FDIAG_TH	24h	EEh
FVOLT_DEC	25h	7Ch
DECPL_TEMP	26h	0A
DSP_SCALE	27h	00h
TEMP_TRIM	28h	00h
P1_GAIN_CTRL	29h	00h
P2_GAIN_CTRL	2Ah	00h
EE_CRC	2Bh	EEPROM 書き込み時に自動計算

7.6.3 REGMAP レジスタ

[表 7-7](#) に、メモリマップされた REGMAP のレジスタを示します。[表 7-7](#) に記載されていないレジスタ・オフセット・アドレスは、すべて予約済みと見なされます。これらのレジスタの内容を変更してはいけません。

表 7-7. REGMAP レジスタ

オフセット	略称	レジスタ名	セクション
0h	USER_DATA1	ユーザー汎用データ・レジスタ 1	表示
1h	USER_DATA2	ユーザー汎用データ・レジスタ 2	表示
2h	USER_DATA3	ユーザー汎用データ・レジスタ 3	表示
3h	USER_DATA4	ユーザー汎用データ・レジスタ 4	表示
4h	USER_DATA5	ユーザー汎用データ・レジスタ 5	表示
5h	USER_DATA6	ユーザー汎用データ・レジスタ 6	表示
6h	USER_DATA7	ユーザー汎用データ・レジスタ 7	表示

表 7-7. REGMAP レジスタ (continued)

オフセット	略称	レジスタ名	セクション
7h	USER_DATA8	ユーザー汎用データ・レジスタ 8	表示
8h	USER_DATA9	ユーザー汎用データ・レジスタ 9	表示
9h	USER_DATA10	ユーザー汎用データ・レジスタ 10	表示
Ah	USER_DATA11	ユーザー汎用データ・レジスタ 11	表示
Bh	USER_DATA12	ユーザー汎用データ・レジスタ 12	表示
Ch	USER_DATA13	ユーザー汎用データ・レジスタ 13	表示
Dh	USER_DATA14	ユーザー汎用データ・レジスタ 14	表示
Eh	USER_DATA15	ユーザー汎用データ・レジスタ 15	表示
Fh	USER_DATA16	ユーザー汎用データ・レジスタ 16	表示
10h	USER_DATA17	ユーザー汎用データ・レジスタ 17	表示
11h	USER_DATA18	ユーザー汎用データ・レジスタ 18	表示
12h	USER_DATA19	ユーザー汎用データ・レジスタ 19	表示
13h	USER_DATA20	ユーザー汎用データ・レジスタ 20	表示
14h	TVGAIN0	時変ゲイン・マップ・セグメント構成レジスタ 0	表示
15h	TVGAIN1	時変ゲイン・マップ・セグメント構成レジスタ 1	表示
16h	TVGAIN2	時変ゲイン・マップ・セグメント構成レジスタ 2	表示
17h	TVGAIN3	時変ゲイン・マップ・セグメント構成レジスタ 3	表示
18h	TVGAIN4	時変ゲイン・マップ・セグメント構成レジスタ 4	表示
19h	TVGAIN5	時変ゲイン・マップ・セグメント構成レジスタ 5	表示
1Ah	TVGAIN6	時変ゲイン・マップ・セグメント構成レジスタ 6	表示
1Bh	INIT_GAIN	AFE 初期ゲイン構成レジスタ	表示
1Ch	FREQUENCY	バースト周波数構成レジスタ	表示
1Dh	DEADTIME	デッドタイムおよびスレッシュホールド・グリッチ除去の構成	表示
1Eh	PULSE_P1	プリセット 1 パルス・バースト、IO 制御、UART 診断構成	表示
1Fh	PULSE_P2	プリセット 2 パルス・バースト、IO 制御、UART 診断構成	表示
20h	CURR_LIM_P1	プリセット 1 ドライバ電流制限構成	表示
21h	CURR_LIM_P2	プリセット 2 電流制限およびローパス・フィルタ構成	表示
22h	REC_LENGTH	エコー・データ記録期間構成レジスタ	表示
23h	FREQ_DIAG	周波数診断構成レジスタ	表示
24h	SAT_FDIAG_TH	減衰飽和、周波数診断エラー、プリセット 1 非線形制御構成	表示
25h	FVOLT_DEC	電圧スレッシュホールドおよびプリセット 2 非線形スケーリング構成	表示
26h	DECPL_TEMP	デカップリング温度および AFE ゲイン範囲構成	表示
27h	DSP_SCALE	DSP バス非線形スケーリングおよびノイズ・レベル構成	表示
28h	TEMP_TRIM	温度補償値レジスタ	表示
29h	P1_GAIN_CTRL	プリセット 1 デジタル・ゲイン構成レジスタ	表示
2Ah	P2_GAIN_CTRL	プリセット 2 デジタル・ゲイン構成レジスタ	表示
2Bh	EE_CRC	ユーザー EEPROM 領域 CRC 値レジスタ	表示
40h	EE_CNTRL	ユーザー EEPROM 制御レジスタ	表示
41h	BPF_A2_MSB	BPF A2 係数最上位バイト構成	表示
42h	BPF_A2_LSB	BPF A2 係数最下位バイト構成	表示
43h	BPF_A3_MSB	BPF A3 係数最上位バイト構成	表示
44h	BPF_A3_LSB	BPF A3 係数最下位バイト構成	表示
45h	BPF_B1_MSB	BPF B1 係数最上位バイト構成	表示

表 7-7. REGMAP レジスタ (continued)

オフセット	略称	レジスタ名	セクション
46h	BPF_B1_LSB	BPF B1 係数最下位バイト構成	表示
47h	LPF_A2_MSB	LPF A2 係数最上位バイト構成	表示
48h	LPF_A2_LSB	LPF A2 係数最下位バイト構成	表示
49h	LPF_B1_MSB	LPF B1 係数最上位バイト構成	表示
4Ah	LPF_B1_LSB	LPF B1 係数最下位バイト構成	表示
4Bh	TEST_MUX	テスト・マルチプレクサ構成レジスタ	表示
4Ch	DEV_STAT0	デバイス・ステータス・レジスタ 0	表示
4Dh	DEV_STAT1	デバイス・ステータス・レジスタ 1	表示
5Fh	P1_THR_0	プリセット 1 スレッシュホールド・マップ・セグメント構成レジスタ 0	表示
60h	P1_THR_1	プリセット 1 スレッシュホールド・マップ・セグメント構成レジスタ 1	表示
61h	P1_THR_2	プリセット 1 スレッシュホールド・マップ・セグメント構成レジスタ 2	表示
62h	P1_THR_3	プリセット 1 スレッシュホールド・マップ・セグメント構成レジスタ 3	表示
63h	P1_THR_4	プリセット 1 スレッシュホールド・マップ・セグメント構成レジスタ 4	表示
64h	P1_THR_5	プリセット 1 スレッシュホールド・マップ・セグメント構成レジスタ 5	表示
65h	P1_THR_6	プリセット 1 スレッシュホールド・マップ・セグメント構成レジスタ 6	表示
66h	P1_THR_7	プリセット 1 スレッシュホールド・マップ・セグメント構成レジスタ 7	表示
67h	P1_THR_8	プリセット 1 スレッシュホールド・マップ・セグメント構成レジスタ 8	表示
68h	P1_THR_9	プリセット 1 スレッシュホールド・マップ・セグメント構成レジスタ 9	表示
69h	P1_THR_10	プリセット 1 スレッシュホールド・マップ・セグメント構成レジスタ 10	表示
6Ah	P1_THR_11	プリセット 1 スレッシュホールド・マップ・セグメント構成レジスタ 11	表示
6Bh	P1_THR_12	プリセット 1 スレッシュホールド・マップ・セグメント構成レジスタ 12	表示
6Ch	P1_THR_13	プリセット 1 スレッシュホールド・マップ・セグメント構成レジスタ 13	表示
6Dh	P1_THR_14	プリセット 1 スレッシュホールド・マップ・セグメント構成レジスタ 14	表示
6Eh	P1_THR_15	プリセット 1 スレッシュホールド・マップ・セグメント構成レジスタ 15	表示
6Fh	P2_THR_0	プリセット 2 スレッシュホールド・マップ・セグメント構成レジスタ 0	表示
70h	P2_THR_1	プリセット 2 スレッシュホールド・マップ・セグメント構成レジスタ 1	表示
71h	P2_THR_2	プリセット 2 スレッシュホールド・マップ・セグメント構成レジスタ 2	表示
72h	P2_THR_3	プリセット 2 スレッシュホールド・マップ・セグメント構成レジスタ 3	表示
73h	P2_THR_4	プリセット 2 スレッシュホールド・マップ・セグメント構成レジスタ 4	表示
74h	P2_THR_5	プリセット 2 スレッシュホールド・マップ・セグメント構成レジスタ 5	表示
75h	P2_THR_6	プリセット 2 スレッシュホールド・マップ・セグメント構成レジスタ 6	表示
76h	P2_THR_7	プリセット 2 スレッシュホールド・マップ・セグメント構成レジスタ 7	表示
77h	P2_THR_8	プリセット 2 スレッシュホールド・マップ・セグメント構成レジスタ 8	表示
78h	P2_THR_9	プリセット 2 スレッシュホールド・マップ・セグメント構成レジスタ 9	表示
79h	P2_THR_10	プリセット 2 スレッシュホールド・マップ・セグメント構成レジスタ 10	表示
7Ah	P2_THR_11	プリセット 2 スレッシュホールド・マップ・セグメント構成レジスタ 11	表示
7Bh	P2_THR_12	プリセット 2 スレッシュホールド・マップ・セグメント構成レジスタ 12	表示
7Ch	P2_THR_13	プリセット 2 スレッシュホールド・マップ・セグメント構成レジスタ 13	表示
7Dh	P2_THR_14	プリセット 2 スレッシュホールド・マップ・セグメント構成レジスタ 14	表示
7Eh	P2_THR_15	プリセット 2 スレッシュホールド・マップ・セグメント構成レジスタ 15	表示
7Fh	THR_CRC	スレッシュホールド・マップ構成レジスタデータ CRC レジスタ	表示

表の小さい枠に収まるように、複雑なビット・アクセス・タイプを記号で表わしています。表 7-8 に、このセクションでアクセス・タイプに使用しているコードを示します。

表 7-8. REGMAP のアクセス・タイプ・コード

アクセス・タイプ	コード	説明
読み取りタイプ		
R	R	読み取り
RC	C R	クリア 読み取り
RH	H R	ハードウェアによってセットまたはクリア 読み取り
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.6.3.1 USER_DATA1 レジスタ (アドレス = 0h) [リセット = 0h]

図 7-43 に USER_DATA1 レジスタを示し、表 7-9 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

ユーザー汎用データ・レジスタ 1

図 7-43. USER_DATA1 レジスタ

7	6	5	4	3	2	1	0
USER_1							
R/W-0h							

表 7-9. USER_DATA1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	USER_1	R/W	0h	このレジスタは、内部機能では使われていません。 レジスタの内容は、外部での使用のみを目的としてユーザーが定義したものです。

7.6.3.2 USER_DATA2 レジスタ (アドレス = 1h) [リセット = 0h]

図 7-44 に USER_DATA2 レジスタを示し、表 7-10 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

ユーザー汎用データ・レジスタ 2

図 7-44. USER_DATA2 レジスタ

7	6	5	4	3	2	1	0
USER_2							
R/W-0h							

表 7-10. USER_DATA2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	USER_2	R/W	0h	このレジスタは、内部機能では使われていません。 レジスタの内容は、外部での使用のみを目的としてユーザーが定義したものです。

7.6.3.3 USER_DATA3 レジスタ (アドレス = 2h) [リセット = 0h]

図 7-45 に USER_DATA3 レジスタを示し、表 7-11 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

ユーザー汎用データ・レジスタ 3

図 7-45. USER_DATA3 レジスタ

7	6	5	4	3	2	1	0
USER_3							
R/W-0h							

表 7-11. USER_DATA3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	USER_3	R/W	0h	このレジスタは、内部機能では使われていません。 レジスタの内容は、外部での使用のみを目的としてユーザーが定義したものです。

7.6.3.4 USER_DATA4 レジスタ (アドレス = 3h) [リセット = 0h]

図 7-46 に USER_DATA4 レジスタを示し、表 7-12 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

ユーザー汎用データ・レジスタ 4

図 7-46. USER_DATA4 レジスタ

7	6	5	4	3	2	1	0
USER_4							
R/W-0h							

表 7-12. USER_DATA4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	USER_4	R/W	0h	このレジスタは、内部機能では使われていません。 レジスタの内容は、外部での使用のみを目的としてユーザーが定義したものです。

7.6.3.5 USER_DATA5 レジスタ (アドレス = 4h) [リセット = 0h]

図 7-47 に USER_DATA5 レジスタを示し、表 7-13 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

ユーザー汎用データ・レジスタ 5

図 7-47. USER_DATA5 レジスタ

7	6	5	4	3	2	1	0
USER_5							

図 7-47. USER_DATA5 レジスタ (continued)

R/W-0h

表 7-13. USER_DATA5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	USER_5	R/W	0h	このレジスタは、内部機能では使われていません。 レジスタの内容は、外部での使用のみを目的としてユーザーが定義したものです。

7.6.3.6 USER_DATA6 レジスタ (アドレス = 5h) [リセット = 0h]

図 7-48 に USER_DATA6 レジスタを示し、表 7-14 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

ユーザー汎用データ・レジスタ 6

図 7-48. USER_DATA6 レジスタ

7	6	5	4	3	2	1	0
USER_6							
R/W-0h							

表 7-14. USER_DATA6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	USER_6	R/W	0h	このレジスタは、内部機能では使われていません。 レジスタの内容は、外部での使用のみを目的としてユーザーが定義したものです。

7.6.3.7 USER_DATA7 レジスタ (アドレス = 6h) [リセット = 0h]

図 7-49 に USER_DATA7 レジスタを示し、表 7-15 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

ユーザー汎用データ・レジスタ 7

図 7-49. USER_DATA7 レジスタ

7	6	5	4	3	2	1	0
USER_7							
R/W-0h							

表 7-15. USER_DATA7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	USER_7	R/W	0h	このレジスタは、内部機能では使われていません。 レジスタの内容は、外部での使用のみを目的としてユーザーが定義したものです。

7.6.3.8 USER_DATA8 レジスタ (アドレス = 7h) [リセット = 0h]

図 7-50 に USER_DATA8 レジスタを示し、表 7-16 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

ユーザー汎用データ・レジスタ 8

図 7-50. USER_DATA8 レジスタ

7	6	5	4	3	2	1	0
USER_8							
R/W-0h							

表 7-16. USER_DATA8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	USER_8	R/W	0h	このレジスタは、内部機能では使われていません。 レジスタの内容は、外部での使用のみを目的としてユーザーが定義したものです。

7.6.3.9 USER_DATA9 レジスタ (アドレス = 8h) [リセット = 0h]

図 7-51 に USER_DATA9 レジスタを示し、表 7-17 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

ユーザー汎用データ・レジスタ 9

図 7-51. USER_DATA9 レジスタ

7	6	5	4	3	2	1	0
USER_9							
R/W-0h							

表 7-17. USER_DATA9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	USER_9	R/W	0h	このレジスタは、内部機能では使われていません。 レジスタの内容は、外部での使用のみを目的としてユーザーが定義したものです。

7.6.3.10 USER_DATA10 レジスタ (アドレス = 9h) [リセット = 0h]

図 7-52 に USER_DATA10 レジスタを示し、表 7-18 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

ユーザー汎用データ・レジスタ 10

図 7-52. USER_DATA10 レジスタ

7	6	5	4	3	2	1	0
USER_10							
R/W-0h							

表 7-18. USER_DATA10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	USER_10	R/W	0h	このレジスタは、内部機能では使われていません。 レジスタの内容は、外部での使用のみを目的としてユーザーが定義したものです。

7.6.3.11 USER_DATA11 レジスタ (アドレス = Ah) [リセット = 0h]

図 7-53 に USER_DATA11 レジスタを示し、表 7-19 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

ユーザー汎用データ・レジスタ 11

図 7-53. USER_DATA11 レジスタ

7	6	5	4	3	2	1	0
USER_11							
R/W-0h							

表 7-19. USER_DATA11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	USER_11	R/W	0h	このレジスタは、内部機能では使われていません。 レジスタの内容は、外部での使用のみを目的としてユーザーが定義したものです。

7.6.3.12 USER_DATA12 レジスタ (アドレス = Bh) [リセット = 0h]

図 7-54 に USER_DATA12 レジスタを示し、表 7-20 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

ユーザー汎用データ・レジスタ 12

図 7-54. USER_DATA12 レジスタ

7	6	5	4	3	2	1	0
USER_12							
R/W-0h							

表 7-20. USER_DATA12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	USER_12	R/W	0h	このレジスタは、内部機能では使われていません。 レジスタの内容は、外部での使用のみを目的としてユーザーが定義したものです。

7.6.3.13 USER_DATA13 レジスタ (アドレス = Ch) [リセット = 0h]

図 7-55 に USER_DATA13 レジスタを示し、表 7-21 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

ユーザー汎用データ・レジスタ 13

図 7-55. USER_DATA13 レジスタ

7	6	5	4	3	2	1	0
USER_13							
R/W-0h							

表 7-21. USER_DATA13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	USER_13	R/W	0h	このレジスタは、内部機能では使われていません。 レジスタの内容は、外部での使用のみを目的としてユーザーが定義したものです。

7.6.3.14 USER_DATA14 レジスタ (アドレス = Dh) [リセット = 0h]

図 7-56 に USER_DATA14 レジスタを示し、表 7-22 にこのレジスタのフィールドの説明を示します。

[概略表](#)に戻ります。

ユーザー汎用データ・レジスタ 14

図 7-56. USER_DATA14 レジスタ

7	6	5	4	3	2	1	0
USER_14							
R/W-0h							

表 7-22. USER_DATA14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	USER_14	R/W	0h	このレジスタは、内部機能では使われていません。 レジスタの内容は、外部での使用のみを目的としてユーザーが定義したものです。

7.6.3.15 USER_DATA15 レジスタ (アドレス = Eh) [リセット = 0h]

[図 7-57](#) に USER_DATA15 レジスタを示し、[表 7-23](#) にこのレジスタのフィールドの説明を示します。

[概略表](#)に戻ります。

ユーザー汎用データ・レジスタ 15

図 7-57. USER_DATA15 レジスタ

7	6	5	4	3	2	1	0
USER_15							
R/W-0h							

表 7-23. USER_DATA15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	USER_15	R/W	0h	このレジスタは、内部機能では使われていません。 レジスタの内容は、外部での使用のみを目的としてユーザーが定義したものです。

7.6.3.16 USER_DATA16 レジスタ (アドレス = Fh) [リセット = 0h]

[図 7-58](#) に USER_DATA16 レジスタを示し、[表 7-24](#) にこのレジスタのフィールドの説明を示します。

[概略表](#)に戻ります。

ユーザー汎用データ・レジスタ 16

図 7-58. USER_DATA16 レジスタ

7	6	5	4	3	2	1	0
USER_16							
R/W-0h							

表 7-24. USER_DATA16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	USER_16	R/W	0h	このレジスタは、内部機能では使われていません。 レジスタの内容は、外部での使用のみを目的としてユーザーが定義したものです。

7.6.3.17 USER_DATA17 レジスタ (アドレス = 10h) [リセット = 0h]

図 7-59 に USER_DATA17 レジスタを示し、表 7-25 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

ユーザー汎用データ・レジスタ 17

図 7-59. USER_DATA17 レジスタ

7	6	5	4	3	2	1	0
USER_17							
R/W-0h							

表 7-25. USER_DATA17 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	USER_17	R/W	0h	このレジスタは、内部機能では使われていません。 レジスタの内容は、外部での使用のみを目的としてユーザーが定義したものです。

7.6.3.18 USER_DATA18 レジスタ (アドレス = 11h) [リセット = 0h]

図 7-60 に USER_DATA18 レジスタを示し、表 7-26 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

ユーザー汎用データ・レジスタ 18

図 7-60. USER_DATA18 レジスタ

7	6	5	4	3	2	1	0
USER_18							
R/W-0h							

表 7-26. USER_DATA18 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	USER_18	R/W	0h	このレジスタは、内部機能では使われていません。 レジスタの内容は、外部での使用のみを目的としてユーザーが定義したものです。

7.6.3.19 USER_DATA19 レジスタ (アドレス = 12h) [リセット = 0h]

図 7-61 に USER_DATA19 レジスタを示し、表 7-27 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

ユーザー汎用データ・レジスタ 19

図 7-61. USER_DATA19 レジスタ

7	6	5	4	3	2	1	0
USER_19							
R/W-0h							

表 7-27. USER_DATA19 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	USER_19	R/W	0h	このレジスタは、内部機能では使われていません。 レジスタの内容は、外部での使用のみを目的としてユーザーが定義したものです。

7.6.3.20 USER_DATA20 レジスタ (アドレス = 13h) [リセット = 0h]

図 7-62 に USER_DATA20 レジスタを示し、表 7-28 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

ユーザー汎用データ・レジスタ 20

図 7-62. USER_DATA20 レジスタ

7	6	5	4	3	2	1	0
USER_20							
R/W-0h							

表 7-28. USER_DATA20 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	USER_20	R/W	0h	このレジスタは、内部機能では使われていません。 レジスタの内容は、外部での使用のみを目的としてユーザーが定義したものです。

7.6.3.21 TVGAIN0 レジスタ (アドレス = 14h) [リセット = 0h]

図 7-63 に TVGAIN0 レジスタを示し、表 7-29 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

時変ゲイン・マップ・セグメント構成レジスタ 0

図 7-63. TVGAIN0 レジスタ

7	6	5	4	3	2	1	0
TVG_T0				TVG_T1			
R/W-0h				R/W-0h			

表 7-29. TVGAIN0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	TVG_T0	R/W	0h	時変ゲイン開始時間パラメータ: 0000b = 100μs 0001b = 200μs 0010b = 300μs 0011b = 400μs 0100b = 600μs 0101b = 800μs 0110b = 1000μs 0111b = 1200μs 1000b = 1400μs 1001b = 2000μs 1010b = 2400μs 1011b = 3200μs 1100b = 4000μs 1101b = 5200μs 1110b = 6400μs 1111b = 8000μs

表 7-29. TVGAIN0 レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
3:0	TVG_T1	R/W	0h	時変ゲイン T0/T1 デルタ時間: 0000b = 100µs 0001b = 200µs 0010b = 300µs 0011b = 400µs 0100b = 600µs 0101b = 800µs 0110b = 1000µs 0111b = 1200µs 1000b = 1400µs 1001b = 2000µs 1010b = 2400µs 1011b = 3200µs 1100b = 4000µs 1101b = 5200µs 1110b = 6400µs 1111b = 8000µs

7.6.3.22 TVGAIN1 レジスタ (アドレス = 15h) [リセット = 0h]

図 7-64 に TVGAIN1 レジスタを示し、表 7-30 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

時変ゲイン・マップ・セグメント構成レジスタ 1

図 7-64. TVGAIN1 レジスタ

7	6	5	4	3	2	1	0
TVG_T2				TVG_T3			
R/W-0h				R/W-0h			

表 7-30. TVGAIN1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	TVG_T2	R/W	0h	時変ゲイン T1/T2 デルタ時間: 0000b = 100µs 0001b = 200µs 0010b = 300µs 0011b = 400µs 0100b = 600µs 0101b = 800µs 0110b = 1000µs 0111b = 1200µs 1000b = 1400µs 1001b = 2000µs 1010b = 2400µs 1011b = 3200µs 1100b = 4000µs 1101b = 5200µs 1110b = 6400µs 1111b = 8000µs

表 7-30. TVGAIN1 レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
3:0	TVG_T3	R/W	0h	時変ゲイン T2/T3 デルタ時間: 0000b = 100μs 0001b = 200μs 0010b = 300μs 0011b = 400μs 0100b = 600μs 0101b = 800μs 0110b = 1000μs 0111b = 1200μs 1000b = 1400μs 1001b = 2000μs 1010b = 2400μs 1011b = 3200μs 1100b = 4000μs 1101b = 5200μs 1110b = 6400μs 1111b = 8000μs

7.6.3.23 TVGAIN2 レジスタ (アドレス = 16h) [リセット = 0h]

図 7-65 に TVGAIN2 レジスタを示し、表 7-31 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

時変ゲイン・マップ・セグメント構成レジスタ 2

図 7-65. TVGAIN2 レジスタ

7	6	5	4	3	2	1	0
TVG_T4				TVG_T5			
R/W-0h				R/W-0h			

表 7-31. TVGAIN2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	TVG_T4	R/W	0h	時変ゲイン T3/T4 デルタ時間: 0000b = 100μs 0001b = 200μs 0010b = 300μs 0011b = 400μs 0100b = 600μs 0101b = 800μs 0110b = 1000μs 0111b = 1200μs 1000b = 1400μs 1001b = 2000μs 1010b = 2400μs 1011b = 3200μs 1100b = 4000μs 1101b = 5200μs 1110b = 6400μs 1111b = 8000μs

表 7-31. TVGAIN2 レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
3:0	TVG_T5	R/W	0h	時変ゲイン T4/T5 デルタ時間: 0000b = 100μs 0001b = 200μs 0010b = 300μs 0011b = 400μs 0100b = 600μs 0101b = 800μs 0110b = 1000μs 0111b = 1200μs 1000b = 1400μs 1001b = 2000μs 1010b = 2400μs 1011b = 3200μs 1100b = 4000μs 1101b = 5200μs 1110b = 6400μs 1111b = 8000μs

7.6.3.24 TVGAIN3 レジスタ (アドレス = 17h) [リセット = 0h]

図 7-66 に TVGAIN3 レジスタを示し、表 7-32 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

時変ゲイン・マップ・セグメント構成レジスタ 3

図 7-66. TVGAIN3 レジスタ

7	6	5	4	3	2	1	0
TVG_G1						TVG_G2	
R/W-0h						R/W-0h	

表 7-32. TVGAIN3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:2	TVG_G1	R/W	0h	TVG ポイント 1 ゲイン値: ゲイン = $0.5 \times (\text{TVG_G1} + 1) + \text{値}(\text{AFE_GAIN_RNG})[\text{dB}]$ ここで、値 (AFE_GAIN_RNG) は、DECPL_TEMP レジスタの AFE_GAIN_RNG に設定されたビットに対応する dB 単位の値です
1:0	TVG_G2	R/W	0h	TVG ポイント 2 ゲイン値: ゲイン = $0.5 \times (\text{TVG_G2} + 1) + \text{値}(\text{AFE_GAIN_RNG})[\text{dB}]$ ここで、値 (AFE_GAIN_RNG) は、DECPL_TEMP レジスタの AFE_GAIN_RNG に設定されたビットに対応する dB 単位の値です

7.6.3.25 TVGAIN4 レジスタ (アドレス = 18h) [リセット = 0h]

図 7-67 に TVGAIN4 レジスタを示し、表 7-33 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

時変ゲイン・マップ・セグメント構成レジスタ 4

図 7-67. TVGAIN4 レジスタ

7	6	5	4	3	2	1	0
TVG_G2				TVG_G3			
R/W-0h				R/W-0h			

表 7-33. TVGAIN4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	TVG_G2	R/W	0h	TVG ポイント 2 ゲイン値: ゲイン = $0.5 \times (\text{TVG_G2} + 1) + \text{値}(\text{AFE_GAIN_RNG})[\text{dB}]$ ここで、値 (AFE_GAIN_RNG) は、DECPL_TEMP レジスタの AFE_GAIN_RNG に設定されたビットに対応する dB 単位の値です
3:0	TVG_G3	R/W	0h	TVG ポイント 3 ゲイン値: ゲイン = $0.5 \times (\text{TVG_G3} + 1) + \text{値}(\text{AFE_GAIN_RNG})[\text{dB}]$ ここで、値 (AFE_GAIN_RNG) は、DECPL_TEMP レジスタの AFE_GAIN_RNG に設定されたビットに対応する dB 単位の値です

7.6.3.26 TVGAIN5 レジスタ (アドレス = 19h) [リセット = 0h]

図 7-68 に TVGAIN5 レジスタを示し、表 7-34 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

時変ゲイン・マップ・セグメント構成レジスタ 5

図 7-68. TVGAIN5 レジスタ

7	6	5	4	3	2	1	0
TVG_G3			TVG_G4				
R/W-0h			R/W-0h				

表 7-34. TVGAIN5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	TVG_G3	R/W	0h	TVG ポイント 3 ゲイン値: ゲイン = $0.5 \times (\text{TVG_G3} + 1) + \text{値}(\text{AFE_GAIN_RNG})[\text{dB}]$ ここで、値 (AFE_GAIN_RNG) は、DECPL_TEMP レジスタの AFE_GAIN_RNG に設定されたビットに対応する dB 単位の値です
5:0	TVG_G4	R/W	0h	TVG ポイント 4 ゲイン値: ゲイン = $0.5 \times (\text{TVG_G4} + 1) + \text{値}(\text{AFE_GAIN_RNG})[\text{dB}]$ ここで、値 (AFE_GAIN_RNG) は、DECPL_TEMP レジスタの AFE_GAIN_RNG に設定されたビットに対応する dB 単位の値です

7.6.3.27 TVGAIN6 レジスタ (アドレス = 1Ah) [リセット = 0h]

図 7-69 に TVGAIN6 レジスタを示し、表 7-35 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

時変ゲイン・マップ・セグメント構成レジスタ 6

図 7-69. TVGAIN6 レジスタ

7	6	5	4	3	2	1	0
TVG_G5						RESERVED	FREQ_SHIFT
R/W-0h						R/W-0h	R/W-0h

表 7-35. TVGAIN6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:2	TVG_G5	R/W	0h	TVG ポイント 5 ゲイン値: ゲイン = $0.5 \times (\text{TVG_G5} + 1) + \text{値}(\text{AFE_GAIN_RNG})[\text{dB}]$ ここで、値 (AFE_GAIN_RNG) は、DECPL_TEMP レジスタの AFE_GAIN_RNG に設定されたビットに対応する dB 単位の値です

表 7-35. TVGAIN6 レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
1	RESERVED	R/W	0h	予約済み
0	FREQ_SHIFT	R/W	0h	バースト周波数範囲シフト: 0b = ディセーブル 1b = イネーブル、アクティブ周波数 = $6 \times (\text{FREQUENCY レジスタで与えられた式を使って計算した周波数})$

7.6.3.28 INIT_GAIN レジスタ (アドレス = 1Bh) [リセット = 0h]

図 7-70 に INIT_GAIN レジスタを示し、表 7-36 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

AFE 初期ゲイン構成レジスタ

図 7-70. INIT_GAIN レジスタ

7	6	5	4	3	2	1	0
BPF_BW			GAIN_INIT				
R/W-0h			R/W-0h				

表 7-36. INIT_GAIN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	BPF_BW	R/W	0h	デジタル・バンドパス・フィルタの帯域幅: 帯域幅 = $2 \times (\text{BPF_BW} + 1)$ [kHz]
5:0	GAIN_INIT	R/W	0h	初期 AFE ゲイン: $\text{INIT_ゲイン} = 0.5 \times (\text{GAIN_INIT} + 1) + \text{値}(\text{AFE_GAIN_RNG})[\text{dB}]$ ここで、値 (AFE_GAIN_RNG) は、DECPL_TEMP レジスタの AFE_GAIN_RNG に設定されたビットに対応する dB 単位の値です

7.6.3.29 FREQUENCY レジスタ (アドレス = 1Ch) [リセット = 0h]

図 7-71 に FREQUENCY レジスタを示し、表 7-37 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

バースト周波数構成レジスタ

図 7-71. FREQUENCY レジスタ

7	6	5	4	3	2	1	0
FREQ							
R/W-0h							

表 7-37. FREQUENCY レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	FREQ	R/W	0h	バースト周波数の計算式パラメータ: 周波数 = $0.2 \times \text{FREQ} + 30$ [kHz] 有効な FREQ パラメータ値の範囲は 0~250 (00h~FAh) です。

7.6.3.30 DEADTIME レジスタ (アドレス = 1Dh) [リセット = 0h]

図 7-72 に DEADTIME レジスタを示し、表 7-38 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

パルス・デッドタイムおよびスレッショルド・グリッチ除去構成レジスタ

図 7-72. DEADTIME レジスタ

7	6	5	4	3	2	1	0
THR_CMP_DEGLTCH				PULSE_DT			
R/W-0h				R/W-0h			

表 7-38. DEADTIME レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	THR_CMP_DEGLTCH	R/W	0h	スレッショルド・レベル・コンパレータのグリッチ除去期間: グリッチ除去期間 = (THR_CMP_DEGLTCH × 8) [μs]
3:0	PULSE_DT	R/W	0h	バースト・パルス・デッドタイム: デッドタイム = 0.0625 × PULSE_DT[μs]

7.6.3.31 PULSE_P1 レジスタ (アドレス = 1Eh) [リセット = 0h]

図 7-73 に PULSE_P1 レジスタを示し、表 7-39 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 1 パルス・バースト数、IO ピン制御、UART 診断構成レジスタ

図 7-73. PULSE_P1 レジスタ

7	6	5	4	3	2	1	0
IO_IF_SEL	UART_DIAG	IO_DIS	P1_PULSE				
R/W-0h	R/W-0h	R/W-0h	R/W-0h				

表 7-39. PULSE_P1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	IO_IF_SEL	R/W	0h	IO ピンでのインターフェイス選択: 0b = 時間ベース・インターフェイス 1b = 1 線式 UART インターフェイス
6	UART_DIAG	R/W	0h	UART 診断ページ選択: 0b = UART インターフェイスに関連する診断ビット 1b = システム診断に関連する診断ビット
5	IO_DIS	R/W	0h	IO ピン・トランシーバ・ディセーブル: 0b = IO トランシーバ・イネーブル 1b = IO トランシーバ・ディセーブル。注: IO_IF_SEL = 0 の場合のみ使用可能です
4:0	P1_PULSE	R/W	0h	プリセット 1 のバースト・パルス数 注: 0h は、OUTA でのみ 1 つのパルスが生成されることを意味します

7.6.3.32 PULSE_P2 レジスタ (アドレス = 1Fh) [リセット = 0h]

図 7-74 に PULSE_P2 レジスタを示し、表 7-40 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 2 パルス・バースト数、UART 診断構成レジスタ

図 7-74. PULSE_P2 レジスタ

7	6	5	4	3	2	1	0
UART_ADDR				P2_PULSE			
R/W-0h				R/W-0h			

図 7-74. PULSE_P2 レジスタ (continued)

表 7-40. PULSE_P2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	UART_ADDR	R/W	0h	UART インターフェイス・アドレス
4:0	P2_PULSE	R/W	0h	プリセット 2 のバースト・パルス数 注: 0h は、OUTA でのみ 1 つのパルスが生成されることを意味します

7.6.3.33 CURR_LIM_P1 レジスタ (アドレス = 20h) [リセット = 0h]

図 7-75 に CURR_LIM_P1 レジスタを示し、表 7-41 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 1 ドライバ電流制限構成レジスタ

図 7-75. CURR_LIM_P1 レジスタ

7	6	5	4	3	2	1	0
DIS_CL							CURR_LIM1
R/W-0h							R/W-0h

表 7-41. CURR_LIM_P1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	DIS_CL	R/W	0h	プリセット 1 およびプリセット 2 の電流制限ディセーブル 0b = 電流制限イネーブル 1b = 電流制限ディセーブル
5:0	CURR_LIM1	R/W	0h	プリセット 1 のドライバ電流制限 電流制限 = $7 \times \text{CURR_LIM1} + 50$ [mA]

7.6.3.34 CURR_LIM_P2 レジスタ (アドレス = 21h) [リセット = 0h]

図 7-76 に CURR_LIM_P2 レジスタを示し、表 7-42 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 2 電流制限およびローパス・フィルタ構成レジスタ

図 7-76. CURR_LIM_P2 レジスタ

7	6	5	4	3	2	1	0
LPF_CO							CURR_LIM2
R/W-0h							R/W-0h

表 7-42. CURR_LIM_P2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	LPF_CO	R/W	0h	ローパス・フィルタのカットオフ周波数: カットオフ周波数 = $\text{LPF_CO} + 1$ [kHz]
5:0	CURR_LIM2	R/W	0h	プリセット 2 のドライバ電流制限 電流制限 = $7 \times \text{CURR_LIM2} + 50$ [mA]

7.6.3.35 REC_LENGTH レジスタ (アドレス = 22h) [リセット = 0h]

図 7-77 に REC_LENGTH レジスタを示し、表 7-43 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

エコー・データ記録期間構成レジスタ

図 7-77. REC_LENGTH レジスタ

7	6	5	4	3	2	1	0
P1_REC				P2_REC			
R/W-0h				R/W-0h			

表 7-43. REC_LENGTH レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	P1_REC	R/W	0h	プリセット 1 の記録時間の長さ: 記録時間 = $4.096 \times (P1_REC + 1)$ [ms]
3:0	P2_REC	R/W	0h	プリセット 2 の記録時間の長さ: 記録時間 = $4.096 \times (P2_REC + 1)$ [ms]

7.6.3.36 FREQ_DIAG レジスタ (アドレス = 23h) [リセット = 0h]

図 7-78 に FREQ_DIAG レジスタを示し、表 7-44 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

周波数診断構成レジスタ

図 7-78. FREQ_DIAG レジスタ

7	6	5	4	3	2	1	0
FDIAG_LEN				FDIAG_START			
R/W-0h				R/W-0h			

表 7-44. FREQ_DIAG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	FDIAG_LEN	R/W	0h	周波数診断ウィンドウの長さ: 値が 0h の場合、診断はディセーブルです。 0~Fh の値の場合、ウィンドウの長さは $3 \times FDIAG_LEN$ [信号周期] となります
3:0	FDIAG_START	R/W	0h	周波数診断開始時間: 開始時間 = $100 \times FDIAG_START$ [μs] 注: この時間はバースト終了時間を基準にしています

7.6.3.37 SAT_FDIAG_TH レジスタ (アドレス = 24h) [リセット = 0h]

図 7-79 に SAT_FDIAG_TH レジスタを示し、表 7-45 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

減衰飽和スレッショルド、周波数診断エラー・スレッショルド、およびプリセット 1 非線形イネーブル制御構成レジスタ

図 7-79. SAT_FDIAG_TH レジスタ

7	6	5	4	3	2	1	0
FDIAG_ERR_TH				SAT_TH		P1_NLS_EN	
R/W-0h				R/W-0h		R/W-0h	

表 7-45. SAT_FDIAG_TH レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	FDIAG_ERR_TH	R/W	0h	周波数診断の絶対誤差時間スレッシュヨルド: スレッシュヨルド = (FDIAG_ERR_TH + 1) [μs]
4:1	SAT_TH	R/W	0h	飽和診断のスレッシュヨルド・レベル。
0	P1_NLS_EN	R/W	0h	HIGH に設定すると、プリセット 1 の非線形スケーリングがイネーブルになります

7.6.3.38 FVOLT_DEC レジスタ (アドレス = 25h) [リセット = 0h]

図 7-80 に FVOLT_DEC レジスタを示し、表 7-46 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

電圧スレッシュヨルドおよびプリセット 2 非線形スケーリング・イネーブル構成レジスタ

図 7-80. FVOLT_DEC レジスタ

7	6	5	4	3	2	1	0
P2_NLS_EN	VPWR_OV_TH	LPM_TMR	FVOLT_ERR_TH				
R/W-0h	R/W-0h	R/W-0h	R/W-0h				

表 7-46. FVOLT_DEC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	P2_NLS_EN	R/W	0h	HIGH に設定すると、プリセット 2 の非線形スケーリングがイネーブルになります
6:5	VPWR_OV_TH	R/W	0h	VPWR 過電圧スレッシュヨルド選択: 00b = 12.3V 01b = 17.7V 10b = 22.8V 11b = 28.3V
4:3	LPM_TMR	R/W	0h	低消費電力モード開始時間: 00b = 250ms 01b = 500ms 10b = 1s 11b = 4s
2:0	FVOLT_ERR_TH	R/W	0h	電圧診断測定については、「システム診断」セクションを参照してください。 000b = 1 001b = 2 010b = 3 011b = 4 100b = 5 101b = 6 110b = 7 111b = 8

7.6.3.39 DECPL_TEMP レジスタ (アドレス = 26h) [リセット = 0h]

図 7-81 に DECPL_TEMP レジスタを示し、表 7-47 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

デカップリング温度および AFE ゲイン範囲構成レジスタ

図 7-81. DECPL_TEMP レジスタ

7	6	5	4	3	2	1	0
---	---	---	---	---	---	---	---

図 7-81. DECPL_TEMP レジスタ (continued)

AFE_GAIN_RNG	LPM_EN	DECPL_TEMP_SEL	DECPL_T
R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-47. DECPL_TEMP レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	AFE_GAIN_RNG	R/W	0h	AFE ゲイン範囲選択コード: 00b = 58~90dB 01b = 52~84dB 10b = 46~78dB 11b = 32~64dB
5	LPM_EN	R/W	0h	PGA460 低消費電力モード・イネーブル: 0b = 低消費電力モード・ディセーブル 1b = 低消費電力モード・イネーブル
4	DECPL_TEMP_SEL	R/W	0h	デカップリング時間 / 温度選択: 0b = 時間デカップリング 1b = 温度デカップリング
3:0	DECPL_T	R/W	0h	2 次デカップリング時間 / 温度デカップリング DECPL_TEMP_SEL = 0 (時間デカップリング) の場合、 時間 = $4096 \times (\text{DECPL_T} + 1) [\mu\text{s}]$ DECPL_TEMP_SEL = 1 (温度デカップリング) の場合、 温度 = $10 \times \text{DECPL_T} - 40 [^{\circ}\text{C}]$

7.6.3.40 DSP_SCALE レジスタ (アドレス = 27h) [リセット = 0h]

図 7-82 に DSP_SCALE レジスタを示し、表 7-48 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

DSP 非線形スケーリングおよびノイズ・レベル構成レジスタ

図 7-82. DSP_SCALE レジスタ

7	6	5	4	3	2	1	0
NOISE_LVL				SCALE_K		SCALE_N	
R/W-0h				R/W-0h		R/W-0h	

表 7-48. DSP_SCALE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:3	NOISE_LVL	R/W	0h	デジタル・ゲイン値 (Px_DIG_GAIN_LR) が 8 未満の場合、値の範囲は 1 LSB ステップで 0~31、 デジタル・ゲイン値 (Px_DIG_GAIN_LR) が 8 より大きい場合、 NOISE_LVL に Px_DIG_GAIN_LR/8 を乗算した値
2	SCALE_K	R/W	0h	非線形スケーリング指数の選択: 0b = 1.50 1b = 2.00
1:0	SCALE_N	R/W	0h	非線形ゲイン (イネーブルの場合) が適用される開始スレッショルド・レベルのポイントを選択します。 00b = TH9 01b = TH10 10b = TH11 11b = TH12

7.6.3.41 TEMP_TRIM レジスタ (アドレス = 28h) [リセット = 0h]

図 7-83 に TEMP_TRIM レジスタを示し、表 7-49 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

温度センサ補償値レジスタ

図 7-83. TEMP_TRIM レジスタ

7	6	5	4	3	2	1	0
TEMP_GAIN				TEMP_OFF			
R/W-0h				R/W-0h			

表 7-49. TEMP_TRIM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	TEMP_GAIN	R/W	0h	温度スケーリング・ゲイン: 符号付きの値は、-8 (1000b)~7 (0111b) の範囲で、測定温度値補償に使われます
3:0	TEMP_OFF	R/W	0h	温度スケーリング・オフセット: 符号付きの値は、-8 (1000b)~7 (0111b) の範囲で、測定温度値補償に使われます

7.6.3.42 P1_GAIN_CTRL レジスタ (アドレス = 29h) [リセット = 0h]

図 7-84 に P1_GAIN_CTRL レジスタを示し、表 7-50 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 1 デジタル・ゲイン構成レジスタ

図 7-84. P1_GAIN_CTRL レジスタ

7	6	5	4	3	2	1	0
P1_DIG_GAIN_LR_ST		P1_DIG_GAIN_LR			P1_DIG_GAIN_SR		
R/W-0h		R/W-0h			R/W-0h		

表 7-50. P1_GAIN_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	P1_DIG_GAIN_LR_ST	R/W	0h	開始プリセット 1 スレッショルド・レベル・ポイントを選択します。このポイントから、長距離 (LR) デジタル・ゲイン P1_DIG_GAIN_LR が適用されます。 00b = TH9 01b = TH10 10b = TH11 11b = TH12
5:3	P1_DIG_GAIN_LR	R/W	0h	プリセット 1 デジタル長距離 (LR) ゲイン。P1_DIG_GAIN_LR_ST で設定した長距離スレッショルド・レベル・ポイントから、記録期間の終了までに適用されます。 000b = ×1 001b = ×2 010b = ×4 011b = ×8 100b = ×16 101b = ×32 110b = 無効 111b = 無効

表 7-50. P1_GAIN_CTRL レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
2:0	P1_DIG_GAIN_SR	R/W	0h	プリセット 1 デジタル短距離 (SR) ゲイン。時間ゼロから、選択した長距離 (LR) スレッショルド・レベル開始ポイントまでに適用されます。: 000b = ×1 001b = ×2 010b = ×4 011b = ×8 100b = ×16 101b = ×32 110b = 無効 111b = 無効

7.6.3.43 P2_GAIN_CTRL レジスタ (アドレス = 2Ah) [リセット = 0h]

図 7-85 に P2_GAIN_CTRL レジスタを示し、表 7-51 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 2 デジタル・ゲイン構成レジスタ

図 7-85. P2_GAIN_CTRL レジスタ

7	6	5	4	3	2	1	0
P2_DIG_GAIN_LR_ST			P2_DIG_GAIN_LR			P2_DIG_GAIN_SR	
R/W-0h			R/W-0h			R/W-0h	

表 7-51. P2_GAIN_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	P2_DIG_GAIN_LR_ST	R/W	0h	開始プリセット 2 スレッショルド・レベル・ポイントを選択します。このポイントから、長距離 (LR) デジタル・ゲイン P2_DIG_GAIN_LR が適用されます。 00b = TH9 01b = TH10 10b = TH11 11b = TH12
5:3	P2_DIG_GAIN_LR	R/W	0h	プリセット 1 デジタル長距離 (LR) ゲイン。P2_DIG_GAIN_LR_ST で設定した長距離スレッショルド・レベル・ポイントから、記録期間の終了までに適用されます。 000b = ×1 001b = ×2 010b = ×4 011b = ×8 100b = ×16 101b = ×32 110b = 無効 111b = 無効
2:0	P2_DIG_GAIN_SR	R/W	0h	プリセット 2 デジタル短距離 (SR) ゲイン。時間ゼロから、選択した長距離 (LR) スレッショルド・レベル開始ポイントまでに適用されます。: 000b = ×1 001b = ×2 010b = ×4 011b = ×8 100b = ×16 101b = ×32 110b = 無効 111b = 無効

7.6.3.44 EE_CRC レジスタ (アドレス = 2Bh) [リセット = 0h]

図 7-86 に EE_CRC レジスタを示し、表 7-52 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

ユーザー EEPROM 領域データ CRC レジスタ

図 7-86. EE_CRC レジスタ

7	6	5	4	3	2	1	0
EE_CRC							
R/W-0h							

表 7-52. EE_CRC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	EE_CRC	R/W	0h	ユーザー EEPROM 領域データ CRC 値

7.6.3.45 EE_CNTRL レジスタ (アドレス = 40h) [リセット = 00h]

図 7-87 に EE_CNTRL レジスタを示し、表 7-53 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

ユーザー EEPROM 制御レジスタ

図 7-87. EE_CNTRL レジスタ

7	6	5	4	3	2	1	0
DATADUMP_EN	EE_UNLCK				EE_PRGM_OK	EE_RLOAD	EE_PRGM
RH/W-0h	R/W-0h				R-0h	R/W-0h	R/W-0h

表 7-53. EE_CNTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	DATADUMP_EN	RH/W	0h	データ・ダンプ・イネーブル・ビット: 0b = ディセーブル、1b = イネーブル
6:3	EE_UNLCK	R/W	0h	EEPROM プログラム・イネーブル・ロック解除パスコード・レジスタ: EEPROM 書き込みを有効にするための有効なパスコードは 0xD です。
2	EE_PRGM_OK	R	0h	EEPROM プログラミング・ステータス: 0b = EEPROM が正常に書き込まれませんでした、1b = EEPROM が正常に書き込まれました
1	EE_RLOAD	R/W	0h	EEPROM 再ロード・トリガ: 0b = 無効、1b = EEPROM からデータを再ロード
0	EE_PRGM	R/W	0h	EEPROM プログラム・トリガ: 0b = 無効、1b = EEPROM へのデータ書き込み

7.6.3.46 BPF_A2_MSB レジスタ (アドレス = 41h) [リセット = 00h]

図 7-88 に BPF_A2_MSB レジスタを示し、表 7-54 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

BPF A2 係数最上位バイト構成

図 7-88. BPF_A2_MSB レジスタ

7	6	5	4	3	2	1	0
---	---	---	---	---	---	---	---

図 7-88. BPF_A2_MSB レジスタ (continued)

BPF_A2_MSB
R/W-0h

表 7-54. BPF_A2_MSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	BPF_A2_MSB	R/W	0h	バンドパス・フィルタ A2 係数の最上位バイト値

7.6.3.47 BPF_A2_LSB レジスタ (アドレス = 42h) [リセット = 00h]

図 7-89 に BPF_A2_LSB レジスタを示し、表 7-55 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

BPF A2 係数最下位バイト構成

図 7-89. BPF_A2_LSB レジスタ

7	6	5	4	3	2	1	0
BPF_A2_LSB							
R/W-0h							

表 7-55. BPF_A2_LSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	BPF_A2_LSB	R/W	0h	バンドパス・フィルタ A2 係数の最下位バイト値

7.6.3.48 BPF_A3_MSB レジスタ (アドレス = 43h) [リセット = 00h]

図 7-90 に BPF_A3_MSB レジスタを示し、表 7-56 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

BPF A3 係数最上位バイト構成

図 7-90. BPF_A3_MSB レジスタ

7	6	5	4	3	2	1	0
BPF_A3_MSB							
R/W-0h							

表 7-56. BPF_A3_MSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	BPF_A3_MSB	R/W	0h	バンドパス・フィルタ A3 係数の最上位バイト値

7.6.3.49 BPF_A3_LSB レジスタ (アドレス = 44h) [リセット = 00h]

図 7-91 に BPF_A3_LSB レジスタを示し、表 7-57 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

BPF A3 係数最下位バイト構成

図 7-91. BPF_A3_LSB レジスタ

7	6	5	4	3	2	1	0
---	---	---	---	---	---	---	---

図 7-91. BPF_A3_LSB レジスタ (continued)

BPF_A3_LSB
R/W-0h

表 7-57. BPF_A3_LSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	BPF_A3_LSB	R/W	0h	バンドパス・フィルタ A3 係数の最下位バイト値

7.6.3.50 BPF_B1_MSB レジスタ (アドレス = 45h) [リセット = 00h]

図 7-92 に BPF_B1_MSB レジスタを示し、表 7-58 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

BPF B1 係数最上位バイト構成

図 7-92. BPF_B1_MSB レジスタ

7	6	5	4	3	2	1	0
BPF_B1_MSB							
R/W-0h							

表 7-58. BPF_B1_MSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	BPF_B1_MSB	R/W	0h	バンドパス・フィルタ B1 係数の最上位バイト値

7.6.3.51 BPF_B1_LSB レジスタ (アドレス = 46h) [リセット = 00h]

図 7-93 に BPF_B1_LSB レジスタを示し、表 7-59 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

BPF B1 係数最下位バイト構成

図 7-93. BPF_B1_LSB レジスタ

7	6	5	4	3	2	1	0
BPF_B1_LSB							
R/W-0h							

表 7-59. BPF_B1_LSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	BPF_B1_LSB	R/W	0h	バンドパス・フィルタ B1 係数の最下位バイト値

7.6.3.52 LPF_A2_MSB レジスタ (アドレス = 47h) [リセット = 00h]

図 7-94 に LPF_A2_MSB レジスタを示し、表 7-60 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

LPF A2 係数最上位バイト構成

図 7-94. LPF_A2_MSB レジスタ

7	6	5	4	3	2	1	0
---	---	---	---	---	---	---	---

図 7-94. LPF_A2_MSB レジスタ (continued)

RESERVED	LPF_A2_MSB
R-0h	R/W-0h

表 7-60. LPF_A2_MSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RESERVED	R	0h	予約済み
6:0	LPF_A2_MSB	R/W	0h	ローパス・フィルタ A2 係数の最上位バイト値

7.6.3.53 LPF_A2_LSB レジスタ (アドレス = 48h) [リセット = 00h]

図 7-95 に LPF_A2_LSB レジスタを示し、表 7-61 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

LPF A2 係数最下位バイト構成

図 7-95. LPF_A2_LSB レジスタ

7	6	5	4	3	2	1	0
LPF_A2_LSB							
R/W-0h							

表 7-61. LPF_A2_LSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	LPF_A2_LSB	R/W	0h	ローパス・フィルタ A2 係数の最下位バイト値

7.6.3.54 LPF_B1_MSB レジスタ (アドレス = 49h) [リセット = 00h]

図 7-96 に LPF_B1_MSB レジスタを示し、表 7-62 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

LPF B1 係数最上位バイト構成

図 7-96. LPF_B1_MSB レジスタ

7	6	5	4	3	2	1	0
RESERVED	LPF_B1_MSB						
R-0h	R/W-0h						

表 7-62. LPF_B1_MSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RESERVED	R	0h	予約済み
6:0	LPF_B1_MSB	R/W	0h	ローパス・フィルタ B1 係数の最上位バイト値

7.6.3.55 LPF_B1_LSB レジスタ (アドレス = 4Ah) [リセット = 00h]

図 7-97 に LPF_B1_LSB レジスタを示し、表 7-63 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

LPF B1 係数最下位バイト構成

図 7-97. LPF_B1_LSB レジスタ

7	6	5	4	3	2	1	0
LPF_B1_LSB							
R/W-0h							

表 7-63. LPF_B1_LSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	LPF_B1_LSB	R/W	0h	ローパス・フィルタ B1 係数の最下位バイト値

7.6.3.56 TEST_MUX レジスタ (アドレス = 4Bh) [リセット = 00h]

図 7-98 に TEST_MUX レジスタを示し、表 7-64 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

テスト・マルチプレクサ構成レジスタ

図 7-98. TEST_MUX レジスタ

7	6	5	4	3	2	1	0
TEST_MUX			RESERVED	SAMPLE_SEL	DP_MUX		
R/W-0h			R-0h	R/W-0h	R/W-0h		

表 7-64. TEST_MUX レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	TEST_MUX	R/W	0h	テスト・ピンのマルチプレクサ出力: 000b = GND ("マルチプレクサ・オフ") 001b = アナログ・フロント・エンド出力 010b = 予約済み 011b = 予約済み 100b = 8MHz クロック 101b = ADC サンプル出力クロック 110b = 予約済み 111b = 予約済み 注 1 000b~011b はアナログ出力信号です 注 2 100b~111b はデジタル出力信号です
4	RESERVED	R	0h	予約済み
3	SAMPLE_SEL	R/W	0h	データ・バスのサンプル選択: 0b = サンプルあたり 1μs で 8 ビットのサンプル出力 1b = サンプルあたり 2μs で 12 ビットのサンプル出力 注: DP_MUX パラメータ値 001b~100b で使用します
2:0	DP_MUX	R/W	0h	データ・バス・マルチプレクサのソース選択コード: 000b = ディセーブル 001b = LPF 出力 010b = 整流器出力 011b = BPF 出力 100b = ADC 出力 101b = 未使用 110b = 未使用 111b = 未使用

7.6.3.57 DEV_STAT0 レジスタ (アドレス = 4Ch) [リセット = 84h]

図 7-99 に DEV_STAT0 レジスタを示し、表 7-65 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

デバイス・ステータス・レジスタ 0

図 7-99. DEV_STAT0 レジスタ

7	6	5	4	3	2	1	0
REV_ID		OPT_ID		CMW_WU_ER R	THR_CRC_ER R	EE_CRC_ERR	TRIM_CRC_ER R
R-2h		R-0h		R-0h	R-1h	R-0h	R-0h

表 7-65. DEV_STAT0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	REV_ID	R	2h	デバイス・リビジョン識別
5:4	OPT_ID	R	0h	デバイス・オプション識別
3	CMW_WU_ERR	R	0h	ウェークアップ・エラー通知: 0 = エラーなし 1 = ウェークアップ・シーケンスが完了する前に、ユーザーがコマンドを送信しようとした
2	THR_CRC_ERR	R	1h	スレッショルド・マップ構成レジスタ・データ CRC エラー・ステータス: 0 = エラーなし 1 = CRC エラー検出 デバイスの電源オン時に、スレッショルド・マップ構成レジスタが初期化されない状態になると、このフラグがアサートされます。
1	EE_CRC_ERR	R	0h	ユーザー EEPROM 領域データ CRC エラー・ステータス: 0 = エラーなし 1 = CRC エラーが検出されました
0	TRIM_CRC_ERR	R	0h	トリム EEPROM 領域データ CRC エラー・ステータス: 0 = エラーなし 1 = CRC エラーが検出されました

7.6.3.58 DEV_STAT1 レジスタ (アドレス = 4Dh) [リセット = 00h]

図 7-100 に DEV_STAT1 レジスタを示し、表 7-66 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

デバイス・ステータス・レジスタ 1

図 7-100. DEV_STAT1 レジスタ

7	6	5	4	3	2	1	0
RESERVED	TSD_PROT	IOREG_OV	IOREG_UV	AVDD_OV	AVDD_UV	VPWR_OV	VPWR_UV
R-0h	RC-0h	RC-0h	RC-0h	RC-0h	RC-0h	RC-0h	RC-0h

表 7-66. DEV_STAT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RESERVED	R	0h	予約済み
6	TSD_PROT	RC	0h	サーマル・シャットダウン保護ステータス: 0 = サーマル・シャットダウンが発生していません 1 = サーマル・シャットダウンが発生しました
5	IOREG_OV	RC	0h	IOREG ピン過電圧ステータス: 0 = エラーなし 1 = IOREG 過電圧エラー
4	IOREG_UV	RC	0h	IOREG ピン低電圧ステータス: 0 = エラーなし 1 = IOREG 低電圧エラー

表 7-66. DEV_STAT1 レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
3	AVDD_OV	RC	0h	AVDD ビン過電圧ステータス: 0 = エラーなし 1 = AVDD 過電圧エラー
2	AVDD_UV	RC	0h	AVDD ビン低電圧ステータス: 0 = エラーなし 1 = AVDD 低電圧エラー
1	VPWR_OV	RC	0h	VPWR ビン過電圧ステータス: 0 = エラーなし 1 = VPWR 過電圧エラー
0	VPWR_UV	RC	0h	VPWR ビン低電圧ステータス: 0 = エラーなし 1 = VPWR 低電圧エラー

7.6.3.59 P1_THR_0 レジスタ(アドレス = 5Fh) [リセット = X]

図 7-101 に P1_THR_0 レジスタを示し、表 7-67 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 1 スレッショルド・マップ・セグメント構成レジスタ 0

図 7-101. P1_THR_0 レジスタ

7	6	5	4	3	2	1	0
TH_P1_T1				TH_P1_T2			
R/W-X				R/W-X			

表 7-67. P1_THR_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	TH_P1_T1	R/W	X	プリセット 1 スレッショルド T1 絶対時間: 0000b = 100μs 0001b = 200μs 0010b = 300μs 0011b = 400μs 0100b = 600μs 0101b = 800μs 0110b = 1000μs 0111b = 1200μs 1000b = 1400μs 1001b = 2000μs 1010b = 2400μs 1011b = 3200μs 1100b = 4000μs 1101b = 5200μs 1110b = 6400μs 1111b = 8000μs このビットフィールドは電源投入時に初期化されません。

表 7-67. P1_THR_0 レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
3:0	TH_P1_T2	R/W	X	プリセット 1 スレッショルド T2 デルタ時間: 0000b = 100μs 0001b = 200μs 0010b = 300μs 0011b = 400μs 0100b = 600μs 0101b = 800μs 0110b = 1000μs 0111b = 1200μs 1000b = 1400μs 1001b = 2000μs 1010b = 2400μs 1011b = 3200μs 1100b = 4000μs 1101b = 5200μs 1110b = 6400μs 1111b = 8000μs このビットフィールドは電源投入時に初期化されません。

7.6.3.60 P1_THR_1 レジスタ (アドレス = 60h) [リセット = X]

図 7-102 に P1_THR_1 レジスタを示し、表 7-68 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 1 スレッショルド・マップ・セグメント構成レジスタ 1

図 7-102. P1_THR_1 レジスタ

7	6	5	4	3	2	1	0
TH_P1_T3				TH_P1_T4			
R/W-X				R/W-X			

表 7-68. P1_THR_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	TH_P1_T3	R/W	X	プリセット 1 スレッショルド T3 デルタ時間: 0000b = 100μs 0001b = 200μs 0010b = 300μs 0011b = 400μs 0100b = 600μs 0101b = 800μs 0110b = 1000μs 0111b = 1200μs 1000b = 1400μs 1001b = 2000μs 1010b = 2400μs 1011b = 3200μs 1100b = 4000μs 1101b = 5200μs 1110b = 6400μs 1111b = 8000μs このビットフィールドは電源投入時に初期化されません。

表 7-68. P1_THR_1 レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
3:0	TH_P1_T4	R/W	X	プリセット 1 スレッショルド T4 デルタ時間: 0000b = 100µs 0001b = 200µs 0010b = 300µs 0011b = 400µs 0100b = 600µs 0101b = 800µs 0110b = 1000µs 0111b = 1200µs 1000b = 1400µs 1001b = 2000µs 1010b = 2400µs 1011b = 3200µs 1100b = 4000µs 1101b = 5200µs 1110b = 6400µs 1111b = 8000µs このビットフィールドは電源投入時に初期化されません。

7.6.3.61 P1_THR_2 レジスタ (アドレス = 61h) [リセット = X]

図 7-103 に P1_THR_2 レジスタを示し、表 7-69 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 1 スレッショルド・マップ・セグメント構成レジスタ 2

図 7-103. P1_THR_2 レジスタ

7	6	5	4	3	2	1	0
TH_P1_T5				TH_P1_T6			
R/W-X				R/W-X			

表 7-69. P1_THR_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	TH_P1_T5	R/W	X	プリセット 1 スレッショルド T5 デルタ時間: 0000b = 100µs 0001b = 200µs 0010b = 300µs 0011b = 400µs 0100b = 600µs 0101b = 800µs 0110b = 1000µs 0111b = 1200µs 1000b = 1400µs 1001b = 2000µs 1010b = 2400µs 1011b = 3200µs 1100b = 4000µs 1101b = 5200µs 1110b = 6400µs 1111b = 8000µs このビットフィールドは電源投入時に初期化されません。

表 7-69. P1_THR_2 レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
3:0	TH_P1_T6	R/W	X	プリセット 1 スレッショルド T6 デルタ時間: 0000b = 100μs 0001b = 200μs 0010b = 300μs 0011b = 400μs 0100b = 600μs 0101b = 800μs 0110b = 1000μs 0111b = 1200μs 1000b = 1400μs 1001b = 2000μs 1010b = 2400μs 1011b = 3200μs 1100b = 4000μs 1101b = 5200μs 1110b = 6400μs 1111b = 8000μs このビットフィールドは電源投入時に初期化されません。

7.6.3.62 P1_THR_3 レジスタ (アドレス = 62h) [リセット = X]

図 7-104 に P1_THR_3 レジスタを示し、表 7-70 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 1 スレッショルド・マップ・セグメント構成レジスタ 3

図 7-104. P1_THR_3 レジスタ

7	6	5	4	3	2	1	0
TH_P1_T7				TH_P1_T8			
R/W-X				R/W-X			

表 7-70. P1_THR_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	TH_P1_T7	R/W	X	プリセット 1 スレッショルド T7 デルタ時間: 0000b = 100μs 0001b = 200μs 0010b = 300μs 0011b = 400μs 0100b = 600μs 0101b = 800μs 0110b = 1000μs 0111b = 1200μs 1000b = 1400μs 1001b = 2000μs 1010b = 2400μs 1011b = 3200μs 1100b = 4000μs 1101b = 5200μs 1110b = 6400μs 1111b = 8000μs このビットフィールドは電源投入時に初期化されません。

表 7-70. P1_THR_3 レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
3:0	TH_P1_T8	R/W	X	プリセット 1 スレッショルド T8 デルタ時間: 0000b = 100µs 0001b = 200µs 0010b = 300µs 0011b = 400µs 0100b = 600µs 0101b = 800µs 0110b = 1000µs 0111b = 1200µs 1000b = 1400µs 1001b = 2000µs 1010b = 2400µs 1011b = 3200µs 1100b = 4000µs 1101b = 5200µs 1110b = 6400µs 1111b = 8000µs このビットフィールドは電源投入時に初期化されません。

7.6.3.63 P1_THR_4 レジスタ (アドレス = 63h) [リセット = X]

図 7-105 に P1_THR_4 レジスタを示し、表 7-71 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 1 スレッショルド・マップ・セグメント構成レジスタ 4

図 7-105. P1_THR_4 レジスタ

7	6	5	4	3	2	1	0
TH_P1_T9				TH_P1_T10			
R/W-X				R/W-X			

表 7-71. P1_THR_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	TH_P1_T9	R/W	X	プリセット 1 スレッショルド T9 デルタ時間: 0000b = 100µs 0001b = 200µs 0010b = 300µs 0011b = 400µs 0100b = 600µs 0101b = 800µs 0110b = 1000µs 0111b = 1200µs 1000b = 1400µs 1001b = 2000µs 1010b = 2400µs 1011b = 3200µs 1100b = 4000µs 1101b = 5200µs 1110b = 6400µs 1111b = 8000µs このビットフィールドは電源投入時に初期化されません。

表 7-71. P1_THR_4 レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
3:0	TH_P1_T10	R/W	X	プリセット 1 スレッショルド T10 デルタ時間: 0000b = 100μs 0001b = 200μs 0010b = 300μs 0011b = 400μs 0100b = 600μs 0101b = 800μs 0110b = 1000μs 0111b = 1200μs 1000b = 1400μs 1001b = 2000μs 1010b = 2400μs 1011b = 3200μs 1100b = 4000μs 1101b = 5200μs 1110b = 6400μs 1111b = 8000μs このビットフィールドは電源投入時に初期化されません。

7.6.3.64 P1_THR_5 レジスタ (アドレス = 64h) [リセット = X]

図 7-106 に P1_THR_5 レジスタを示し、表 7-72 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 1 スレッショルド・マップ・セグメント構成レジスタ 5

図 7-106. P1_THR_5 レジスタ

7	6	5	4	3	2	1	0
TH_P1_T11				TH_P1_T12			
R/W-X				R/W-X			

表 7-72. P1_THR_5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	TH_P1_T11	R/W	X	プリセット 1 スレッショルド T11 デルタ時間: 0000b = 100μs 0001b = 200μs 0010b = 300μs 0011b = 400μs 0100b = 600μs 0101b = 800μs 0110b = 1000μs 0111b = 1200μs 1000b = 1400μs 1001b = 2000μs 1010b = 2400μs 1011b = 3200μs 1100b = 4000μs 1101b = 5200μs 1110b = 6400μs 1111b = 8000μs このビットフィールドは電源投入時に初期化されません。

表 7-72. P1_THR_5 レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
3:0	TH_P1_T12	R/W	X	プリセット 1 スレッショルド T12 デルタ時間: 0000b = 100µs 0001b = 200µs 0010b = 300µs 0011b = 400µs 0100b = 600µs 0101b = 800µs 0110b = 1000µs 0111b = 1200µs 1000b = 1400µs 1001b = 2000µs 1010b = 2400µs 1011b = 3200µs 1100b = 4000µs 1101b = 5200µs 1110b = 6400µs 1111b = 8000µs このビットフィールドは電源投入時に初期化されません。

7.6.3.65 P1_THR_6 レジスタ (アドレス = 65h) [リセット = X]

図 7-107 に P1_THR_6 レジスタを示し、表 7-73 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 1 スレッショルド・マップ・セグメント構成レジスタ 6

図 7-107. P1_THR_6 レジスタ

7	6	5	4	3	2	1	0
TH_P1_L1				TH_P1_L2			
R/W-X				R/W-X			

表 7-73. P1_THR_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:3	TH_P1_L1	R/W	X	プリセット 1 スレッショルド L1 レベル このビットフィールドは、電源投入時に初期化されません。
2:0	TH_P1_L2	R/W	X	プリセット 1 スレッショルド L2 レベル・ビット (ビット 4～ビット 2) このビットフィールドは、電源投入時に初期化されません。

7.6.3.66 P1_THR_7 レジスタ (アドレス = 66h) [リセット = X]

図 7-108 に P1_THR_7 レジスタを示し、表 7-74 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 1 スレッショルド・マップ・セグメント構成レジスタ 7

図 7-108. P1_THR_7 レジスタ

7	6	5	4	3	2	1	0
TH_P1_L2		TH_P1_L3				TH_P1_L4	
R/W-X		R/W-X				R/W-X	

表 7-74. P1_THR_7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	TH_P1_L2	R/W	X	プリセット 1 スレッシュホールド L2 レベル (ビット 1～ビット 0) このビットフィールドは、電源投入時に初期化されません。
5:1	TH_P1_L3	R/W	X	プリセット 1 スレッシュホールド L3 レベル このビットフィールドは、電源投入時に初期化されません。
0	TH_P1_L4	R/W	X	プリセット 1 スレッシュホールド L4 レベル (ビット 4) このビットフィールドは、電源投入時に初期化されません。

7.6.3.67 P1_THR_8 レジスタ (アドレス = 67h) [リセット = X]

図 7-109 に P1_THR_8 レジスタを示し、表 7-75 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 1 スレッシュホールド・マップ・セグメント構成レジスタ 8

図 7-109. P1_THR_8 レジスタ

7	6	5	4	3	2	1	0
TH_P1_L4				TH_P1_L5			
R/W-X				R/W-X			

表 7-75. P1_THR_8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	TH_P1_L4	R/W	X	プリセット 1 スレッシュホールド L4 レベル (ビット 3～ビット 0) このビットフィールドは、電源投入時に初期化されません。
3:0	TH_P1_L5	R/W	X	プリセット 1 スレッシュホールド L5 レベル (ビット 4～ビット 1) このビットフィールドは、電源投入時に初期化されません。

7.6.3.68 P1_THR_9 レジスタ (アドレス = 68h) [リセット = X]

図 7-110 に P1_THR_9 レジスタを示し、表 7-76 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 1 スレッシュホールド・マップ・セグメント構成レジスタ 9

図 7-110. P1_THR_9 レジスタ

7	6	5	4	3	2	1	0
TH_P1_L5	TH_P1_L6				TH_P1_L7		
R/W-X	R/W-X				R/W-X		

表 7-76. P1_THR_9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	TH_P1_L5	R/W	X	プリセット 1 スレッシュホールド L5 レベル (ビット 0) このビットフィールドは、電源投入時に初期化されません。
6:2	TH_P1_L6	R/W	X	プリセット 1 スレッシュホールド L6 レベル このビットフィールドは、電源投入時に初期化されません。
1:0	TH_P1_L7	R/W	X	プリセット 1 スレッシュホールド L7 レベル (ビット 4～ビット 3) このビットフィールドは、電源投入時に初期化されません。

7.6.3.69 P1_THR_10 レジスタ (アドレス = 69h) [リセット = X]

図 7-111 に P1_THR_10 レジスタを示し、表 7-77 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 1 スレッシュホールド・マップ・セグメント構成レジスタ 10

図 7-111. P1_THR_10 レジスタ

7	6	5	4	3	2	1	0
TH_P1_L7				TH_P1_L8			
R/W-X				R/W-X			

表 7-77. P1_THR_10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	TH_P1_L7	R/W	X	プリセット 1 スレッシュホールド L7 レベル (ビット 2～ビット 0) このビットフィールドは、電源投入時に初期化されません。
4:0	TH_P1_L8	R/W	X	プリセット 1 スレッシュホールド L8 レベル このビットフィールドは、電源投入時に初期化されません。

7.6.3.70 P1_THR_11 レジスタ (アドレス = 6Ah) [リセット = X]

図 7-112 に P1_THR_11 レジスタを示し、表 7-78 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 11 スレッシュホールド・マップ・セグメント構成レジスタ 1

図 7-112. P1_THR_11 レジスタ

7	6	5	4	3	2	1	0
TH_P1_L9							
R/W-X							

表 7-78. P1_THR_11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	TH_P1_L9	R/W	X	スレッシュホールド L9 レベル このビットフィールドは、電源投入時に初期化されません。

7.6.3.71 P1_THR_12 レジスタ (アドレス = 6Bh) [リセット = X]

図 7-113 に P1_THR_12 レジスタを示し、表 7-79 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 1 スレッシュホールド・マップ・セグメント構成レジスタ 12

図 7-113. P1_THR_12 レジスタ

7	6	5	4	3	2	1	0
TH_P1_L10							
R/W-X							

表 7-79. P1_THR_12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	TH_P1_L10	R/W	X	プリセット 1 スレッシュホールド L10 レベル このビットフィールドは、電源投入時に初期化されません。

7.6.3.72 P1_THR_13 レジスタ (アドレス = 6Ch) [リセット = X]

図 7-114 に P1_THR_13 レジスタを示し、表 7-80 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 1 スレッシュホールド・マップ・セグメント構成レジスタ 13

図 7-114. P1_THR_13 レジスタ

7	6	5	4	3	2	1	0
TH_P1_L11							
R/W-X							

表 7-80. P1_THR_13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	TH_P1_L11	R/W	X	プリセット 1 スレッシュホールド L11 レベル このビットフィールドは、電源投入時に初期化されません。

7.6.3.73 P1_THR_14 レジスタ(アドレス = 6Dh) [リセット = X]

図 7-115 に P1_THR_14 レジスタを示し、表 7-81 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 1 スレッシュホールド・マップ・セグメント構成レジスタ 14

図 7-115. P1_THR_14 レジスタ

7	6	5	4	3	2	1	0
TH_P1_L12							
R/W-X							

表 7-81. P1_THR_14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	TH_P1_L12	R/W	X	プリセット 1 スレッシュホールド L12 レベル。 このビットフィールドは、電源投入時に初期化されません。

7.6.3.74 P1_THR_15 レジスタ(アドレス = 6Eh) [リセット = X]

図 7-116 に P1_THR_15 レジスタを示し、表 7-82 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 1 スレッシュホールド・マップ・セグメント構成レジスタ 15

図 7-116. P1_THR_15 レジスタ

7	6	5	4	3	2	1	0
RESERVED				TH_P1_OFF			
R-X				R/W-X			

表 7-82. P1_THR_15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	RESERVED	R	X	予約済み
3:0	TH_P1_OFF	R/W	X	プリセット 1 スレッシュホールド・レベル・オフセット。MSB を符号ビットとして符号付き数値表現を使って、+7~-8 の範囲の値をとります。 このビットフィールドは、電源投入時に初期化されません。

7.6.3.75 P2_THR_0 レジスタ (アドレス = 6Fh) [リセット = X]

図 7-117 に P2_THR_0 レジスタを示し、表 7-83 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 2 スレッシュホールド・マップ・セグメント構成レジスタ 0

図 7-117. P2_THR_0 レジスタ

7	6	5	4	3	2	1	0
TH_P2_T1				TH_P2_T2			
R/W-X				R/W-X			

表 7-83. P2_THR_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	TH_P2_T1	R/W	X	プリセット 2 スレッシュホールド T1 絶対時間: 0000b = 100μs 0001b = 200μs 0010b = 300μs 0011b = 400μs 0100b = 600μs 0101b = 800μs 0110b = 1000μs 0111b = 1200μs 1000b = 1400μs 1001b = 2000μs 1010b = 2400μs 1011b = 3200μs 1100b = 4000μs 1101b = 5200μs 1110b = 6400μs 1111b = 8000μs このビットフィールドは電源投入時に初期化されません。
3:0	TH_P2_T2	R/W	X	プリセット 2 スレッシュホールド T2 デルタ時間: 0000b = 100μs 0001b = 200μs 0010b = 300μs 0011b = 400μs 0100b = 600μs 0101b = 800μs 0110b = 1000μs 0111b = 1200μs 1000b = 1400μs 1001b = 2000μs 1010b = 2400μs 1011b = 3200μs 1100b = 4000μs 1101b = 5200μs 1110b = 6400μs 1111b = 8000μs このビットフィールドは電源投入時に初期化されません。

7.6.3.76 P2_THR_1 レジスタ (アドレス = 70h) [リセット = X]

図 7-118 に P2_THR_1 レジスタを示し、表 7-84 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 2 スレッシュホールド・マップ・セグメント構成レジスタ 1

図 7-118. P2_THR_1 レジスタ

7	6	5	4	3	2	1	0
TH_P2_T3				TH_P2_T4			
R/W-X				R/W-X			

表 7-84. P2_THR_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	TH_P2_T3	R/W	X	プリセット 2 スレッシュホールド T3 デルタ時間: 0000b = 100μs 0001b = 200μs 0010b = 300μs 0011b = 400μs 0100b = 600μs 0101b = 800μs 0110b = 1000μs 0111b = 1200μs 1000b = 1400μs 1001b = 2000μs 1010b = 2400μs 1011b = 3200μs 1100b = 4000μs 1101b = 5200μs 1110b = 6400μs 1111b = 8000μs このビットフィールドは電源投入時に初期化されません。
3:0	TH_P2_T4	R/W	X	プリセット 2 スレッシュホールド T4 デルタ時間: 0000b = 100μs 0001b = 200μs 0010b = 300μs 0011b = 400μs 0100b = 600μs 0101b = 800μs 0110b = 1000μs 0111b = 1200μs 1000b = 1400μs 1001b = 2000μs 1010b = 2400μs 1011b = 3200μs 1100b = 4000μs 1101b = 5200μs 1110b = 6400μs 1111b = 8000μs このビットフィールドは電源投入時に初期化されません。

7.6.3.77 P2_THR_2 レジスタ (アドレス = 71h) [リセット = X]

図 7-119 に P2_THR_2 レジスタを示し、表 7-85 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 2 スレッシュホールド・マップ・セグメント構成レジスタ 2

図 7-119. P2_THR_2 レジスタ

7	6	5	4	3	2	1	0
---	---	---	---	---	---	---	---

図 7-119. P2_THR_2 レジスタ (continued)

TH_P2_T5	TH_P2_T6
R/W-X	R/W-X

表 7-85. P2_THR_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	TH_P2_T5	R/W	X	プリセット 2 スレッシュホールド T5 デルタ時間: 0000b = 100µs 0001b = 200µs 0010b = 300µs 0011b = 400µs 0100b = 600µs 0101b = 800µs 0110b = 1000µs 0111b = 1200µs 1000b = 1400µs 1001b = 2000µs 1010b = 2400µs 1011b = 3200µs 1100b = 4000µs 1101b = 5200µs 1110b = 6400µs 1111b = 8000µs このビットフィールドは電源投入時に初期化されません。
3:0	TH_P2_T6	R/W	X	プリセット 2 スレッシュホールド T6 デルタ時間: 0000b = 100µs 0001b = 200µs 0010b = 300µs 0011b = 400µs 0100b = 600µs 0101b = 800µs 0110b = 1000µs 0111b = 1200µs 1000b = 1400µs 1001b = 2000µs 1010b = 2400µs 1011b = 3200µs 1100b = 4000µs 1101b = 5200µs 1110b = 6400µs 1111b = 8000µs このビットフィールドは電源投入時に初期化されません。

7.6.3.78 P2_THR_3 レジスタ (アドレス = 72h) [リセット = X]

図 7-120 に P2_THR_3 レジスタを示し、表 7-86 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 2 スレッシュホールド・マップ・セグメント構成レジスタ 3

図 7-120. P2_THR_3 レジスタ

7	6	5	4	3	2	1	0
TH_P2_T7				TH_P2_T8			
R/W-X				R/W-X			

表 7-86. P2_THR_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	TH_P2_T7	R/W	X	プリセット 2 スレッシュホールド T7 デルタ時間: 0000b = 100μs 0001b = 200μs 0010b = 300μs 0011b = 400μs 0100b = 600μs 0101b = 800μs 0110b = 1000μs 0111b = 1200μs 1000b = 1400μs 1001b = 2000μs 1010b = 2400μs 1011b = 3200μs 1100b = 4000μs 1101b = 5200μs 1110b = 6400μs 1111b = 8000μs このビットフィールドは電源投入時に初期化されません。
3:0	TH_P2_T8	R/W	X	プリセット 2 スレッシュホールド T8 デルタ時間: 0000b = 100μs 0001b = 200μs 0010b = 300μs 0011b = 400μs 0100b = 600μs 0101b = 800μs 0110b = 1000μs 0111b = 1200μs 1000b = 1400μs 1001b = 2000μs 1010b = 2400μs 1011b = 3200μs 1100b = 4000μs 1101b = 5200μs 1110b = 6400μs 1111b = 8000μs このビットフィールドは電源投入時に初期化されません。

7.6.3.79 P2_THR_4 レジスタ (アドレス = 73h) [リセット = X]

図 7-121 に P2_THR_4 レジスタを示し、表 7-87 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 2 スレッシュホールド・マップ・セグメント構成レジスタ 4

図 7-121. P2_THR_4 レジスタ

7	6	5	4	3	2	1	0
TH_P2_T9				TH_P2_T10			
R/W-X				R/W-X			

表 7-87. P2_THR_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	TH_P2_T9	R/W	X	プリセット 2 スレッショルド T9 のデルタ時間: 0000b = 100µs 0001b = 200µs 0010b = 300µs 0011b = 400µs 0100b = 600µs 0101b = 800µs 0110b = 1000µs 0111b = 1200µs 1000b = 1400µs 1001b = 2000µs 1010b = 2400µs 1011b = 3200µs 1100b = 4000µs 1101b = 5200µs 1110b = 6400µs 1111b = 8000µs このビットフィールドは電源投入時に初期化されません。
3:0	TH_P2_T10	R/W	X	プリセット 2 スレッショルド T10 デルタ時間: 0000b = 100µs 0001b = 200µs 0010b = 300µs 0011b = 400µs 0100b = 600µs 0101b = 800µs 0110b = 1000µs 0111b = 1200µs 1000b = 1400µs 1001b = 2000µs 1010b = 2400µs 1011b = 3200µs 1100b = 4000µs 1101b = 5200µs 1110b = 6400µs 1111b = 8000µs このビットフィールドは電源投入時に初期化されません。

7.6.3.80 P2_THR_5 レジスタ (アドレス = 74h) [リセット = X]

図 7-122 に P2_THR_5 レジスタを示し、表 7-88 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 2 スレッショルド・マップ・セグメント構成レジスタ 5

図 7-122. P2_THR_5 レジスタ

7	6	5	4	3	2	1	0
TH_P2_T11				TH_P2_T12			
R/W-X				R/W-X			

表 7-88. P2_THR_5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	TH_P2_T11	R/W	X	プリセット 2 スレッシュホールド T11 デルタ時間: 0000b = 100μs 0001b = 200μs 0010b = 300μs 0011b = 400μs 0100b = 600μs 0101b = 800μs 0110b = 1000μs 0111b = 1200μs 1000b = 1400μs 1001b = 2000μs 1010b = 2400μs 1011b = 3200μs 1100b = 4000μs 1101b = 5200μs 1110b = 6400μs 1111b = 8000μs このビットフィールドは電源投入時に初期化されません。
3:0	TH_P2_T12	R/W	X	プリセット 2 スレッシュホールド T12 デルタ時間: 0000b = 100μs 0001b = 200μs 0010b = 300μs 0011b = 400μs 0100b = 600μs 0101b = 800μs 0110b = 1000μs 0111b = 1200μs 1000b = 1400μs 1001b = 2000μs 1010b = 2400μs 1011b = 3200μs 1100b = 4000μs 1101b = 5200μs 1110b = 6400μs 1111b = 8000μs このビットフィールドは電源投入時に初期化されません。

7.6.3.81 P2_THR_6 レジスタ (アドレス = 75h) [リセット= X]

図 7-123 に P2_THR_6 レジスタを示し、表 7-89 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 2 スレッシュホールド・マップ・セグメント構成レジスタ 6

図 7-123. P2_THR_6 レジスタ

7	6	5	4	3	2	1	0
TH_P2_L1					TH_P2_L2		
R/W-X					R/W-X		

表 7-89. P2_THR_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:3	TH_P2_L1	R/W	X	プリセット 2 スレッシュホールド L1 レベル このビットフィールドは、電源投入時に初期化されません。
2:0	TH_P2_L2	R/W	X	プリセット 2 スレッシュホールド L2 レベル (ビット 4～ビット 2) このビットフィールドは、電源投入時に初期化されません。

7.6.3.82 P2_THR_7 レジスタ (アドレス = 76h) [リセット = X]

図 7-124 に P2_THR_7 レジスタを示し、表 7-90 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 2 スレッシュホールド・マップ・セグメント構成レジスタ 7

図 7-124. P2_THR_7 レジスタ

7	6	5	4	3	2	1	0
TH_P2_L2		TH_P2_L3				TH_P2_L4	
R/W-X		R/W-X				R/W-X	

表 7-90. P2_THR_7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	TH_P2_L2	R/W	X	プリセット 2 スレッシュホールド L2 レベル (ビット 1～ビット 0) このビットフィールドは、電源投入時に初期化されません。
5:1	TH_P2_L3	R/W	X	プリセット 2 スレッシュホールド L3 レベル このビットフィールドは、電源投入時に初期化されません。
0	TH_P2_L4	R/W	X	プリセット 2 スレッシュホールド L4 レベル (ビット 4) このビットフィールドは、電源投入時に初期化されません。

7.6.3.83 P2_THR_8 レジスタ (アドレス = 77h) [リセット = X]

図 7-125 に P2_THR_8 レジスタを示し、表 7-91 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 2 スレッシュホールド・マップ・セグメント構成レジスタ 8

図 7-125. P2_THR_8 レジスタ

7	6	5	4	3	2	1	0
TH_P2_L4				TH_P2_L5			
R/W-X				R/W-X			

表 7-91. P2_THR_8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	TH_P2_L4	R/W	X	プリセット 2 スレッシュホールド L4 レベル (ビット 3～ビット 0) このビットフィールドは、電源投入時に初期化されません。
3:0	TH_P2_L5	R/W	X	プリセット 2 スレッシュホールド L5 レベル (ビット 4～ビット 1) このビットフィールドは、電源投入時に初期化されません。

7.6.3.84 P2_THR_9 レジスタ (アドレス = 78h) [リセット = X]

図 7-126 に P2_THR_9 レジスタを示し、表 7-92 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 2 スレッシュホールド・マップ・セグメント構成レジスタ 9

図 7-126. P2_THR_9 レジスタ

7	6	5	4	3	2	1	0
TH_P2_L5		TH_P2_L6				TH_P2_L7	
R/W-X		R/W-X				R/W-X	

表 7-92. P2_THR_9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	TH_P2_L5	R/W	X	プリセット 2 スレッシュホールド L5 レベル (ビット 0) このビットフィールドは、電源投入時に初期化されません。
6:2	TH_P2_L6	R/W	X	プリセット 2 スレッシュホールド L6 レベル このビットフィールドは、電源投入時に初期化されません。
1:0	TH_P2_L7	R/W	X	プリセット 2 スレッシュホールド L7 レベル (ビット 4～ビット 3) このビットフィールドは、電源投入時に初期化されません。

7.6.3.85 P2_THR_10 レジスタ (アドレス = 79h) [リセット = X]

図 7-127 に P2_THR_10 レジスタを示し、表 7-93 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 2 スレッシュホールド・マップ・セグメント構成レジスタ 10

図 7-127. P2_THR_10 レジスタ

7	6	5	4	3	2	1	0
TH_P2_L7				TH_P2_L8			
R/W-X				R/W-X			

表 7-93. P2_THR_10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	TH_P2_L7	R/W	X	プリセット 2 スレッシュホールド L7 レベル (ビット 2～ビット 0) このビットフィールドは、電源投入時に初期化されません。
4:0	TH_P2_L8	R/W	X	プリセット 2 スレッシュホールド L8 レベル このビットフィールドは、電源投入時に初期化されません。

7.6.3.86 P2_THR_11 レジスタ (アドレス = 7Ah) [リセット = X]

図 7-128 に P2_THR_11 レジスタを示し、表 7-94 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 2 スレッシュホールド・マップ・セグメント構成レジスタ 11

図 7-128. P2_THR_11 レジスタ

7	6	5	4	3	2	1	0
TH_P2_L9							
R/W-X							

表 7-94. P2_THR_11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	TH_P2_L9	R/W	X	プリセット 2 スレッシュホールド L9 レベル このビットフィールドは、電源投入時に初期化されません。

7.6.3.87 P2_THR_12 レジスタ (アドレス = 7Bh) [リセット = X]

図 7-129 に P2_THR_12 レジスタを示し、表 7-95 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 2 スレッシュホールド・マップ・セグメント構成レジスタ 12

図 7-129. P2_THR_12 レジスタ

7	6	5	4	3	2	1	0
TH_P2_L10							
R/W-X							

表 7-95. P2_THR_12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	TH_P2_L10	R/W	X	プリセット 2 スレッシュホールド L10 レベル このビットフィールドは、初期化されていません。

7.6.3.88 P2_THR_13 レジスタ(アドレス = 7Ch)[リセット = X]

図 7-130 に P2_THR_13 レジスタを示し、表 7-96 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 2 スレッシュホールド・マップ・セグメント構成レジスタ 13

図 7-130. P2_THR_13 レジスタ

7	6	5	4	3	2	1	0
TH_P2_L11							
R/W-X							

表 7-96. P2_THR_13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	TH_P2_L11	R/W	X	プリセット 2 スレッシュホールド L11 レベル このビットフィールドは、電源投入時に初期化されません。

7.6.3.89 P2_THR_14 レジスタ (アドレス = 7Dh) [リセット = X]

図 7-131 に P2_THR_14 レジスタを示し、表 7-97 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 2 スレッシュホールド・マップ・セグメント構成レジスタ 14

図 7-131. P2_THR_14 レジスタ

7	6	5	4	3	2	1	0
TH_P2_L12							
R/W-X							

表 7-97. P2_THR_14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	TH_P2_L12	R/W	X	プリセット 2 スレッシュホールド L12 レベル このビットフィールドは、電源投入時に初期化されません。

7.6.3.90 P2_THR_15 レジスタ (アドレス = 7Eh) [リセット = X]

図 7-132 に P2_THR_15 レジスタを示し、表 7-98 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

プリセット 2 スレッシュホールド・マップ・セグメント構成レジスタ 15

図 7-132. P2_THR_15 レジスタ

7	6	5	4	3	2	1	0
RESERVED				TH_P2_OFF			
R-X				R/W-X			

表 7-98. P2_THR_15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	RESERVED	R	X	予約済み
3:0	TH_P2_OFF	R/W	X	プリセット 2 スレッシュホールド・レベル・オフセット。MSB を符号ビットとして符号付き数値表現を使って、+7～-8 の範囲の値をとります。 このビットフィールドは、電源投入時に初期化されません。

7.6.3.91 THR_CRC レジスタ (アドレス = 7Fh) [リセット = X]

図 7-133 に THR_CRC レジスタを示し、表 7-99 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

スレッシュホールド・マップ構成レジスタデータ CRC レジスタ

図 7-133. THR_CRC レジスタ

7	6	5	4	3	2	1	0
THR_CRC							
R/W-X							

表 7-99. THR_CRC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	THR_CRC	R/W	X	スレッシュホールド・マップ構成レジスタデータ CRC 値: この読み取り専用レジスタは、スレッシュホールド・マップ構成レジスタが更新されるたびに更新されます。 このビットフィールドは、電源投入時に初期化されません。

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

PGA460-Q1 デバイスは、外部トランスデューサとペアで使用する必要があります。PGA460-Q1 デバイスは、トランスデューサを駆動し、さらに、トランスデューサによって検出された反射エコー信号に対してフィルタをかけて信号処理します。トランスデューサは、共振周波数、入力電圧要件、感度、ビーム・パターン、減衰時間に基づいて選択する必要があります。PGA460-Q1 デバイスは、駆動周波数、駆動電流制限値、バンドパス・フィルタ係数、ローパス・フィルタ係数を調整することにより、ほとんどのトランスデューサの要件を満たします。外部トランスまたは p-チャネル MOSFET は、トランスデューサの入力電圧要件を満たすように選択する必要があります。また、その飽和電流の定格は、PGA460-Q1 デバイスの設定された駆動電流制限値以上である必要があります。インターフェイス・オプションとしては、USART、TCI、1 線式 UART があります。バーストおよびリスンのサイクルが完了した後、通信インターフェイス経由で PGA460-Q1 デバイスを呼び出して、エコーの距離、振幅、幅を読み取ることができます。

8.1.1 トランスデューサのタイプ

ドライバ・モードは、トランスデューサのタイプに依存します。開放空気中の超音波測定には、2 種類のトランスデューサが利用可能です。密閉型トランスデューサは、圧電薄膜を密閉して、空気や有害な粒子への暴露から保護するトランスデューサです。密閉型トランスデューサは、屋外環境への暴露、極端な温度変化、ごみなど、過酷な環境条件にさらされるアプリケーションに適しています。密閉型トランスデューサで得られる十分な保護の結果として、距離性能を最大限に高めるために、通常はトランス駆動方式が必要になります。

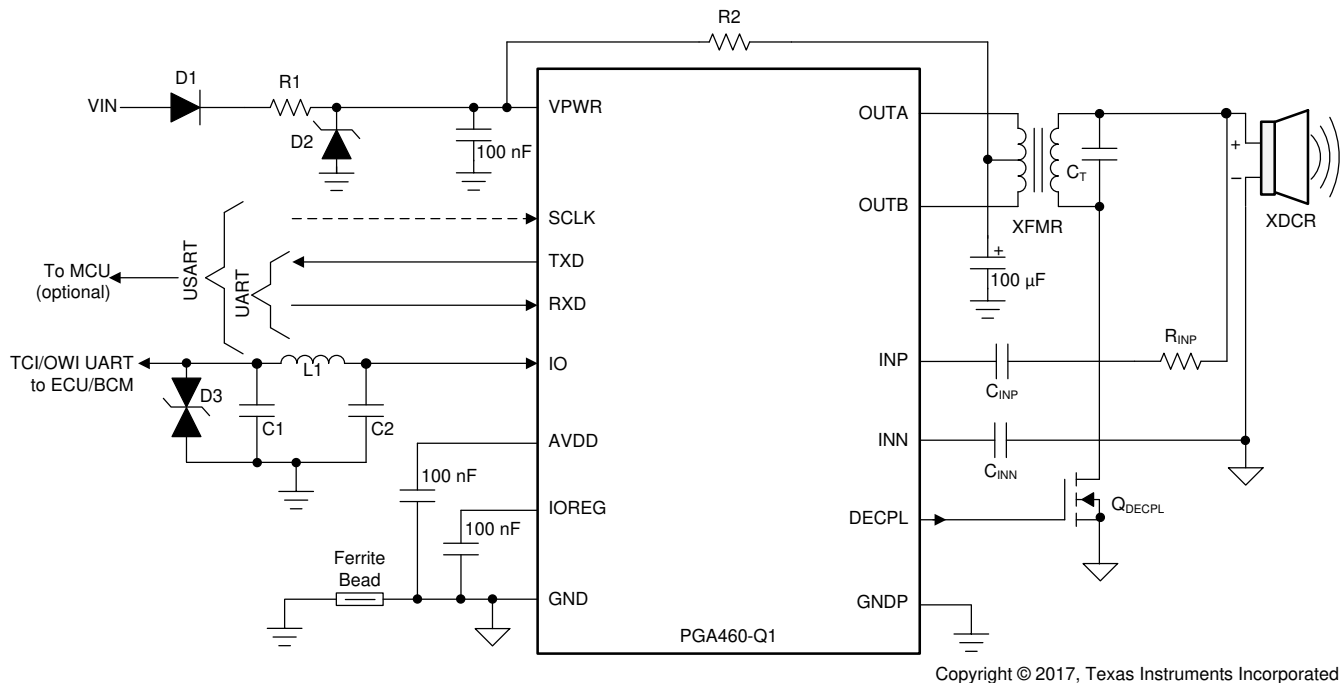
開放型トランスデューサは、圧電薄膜を空気中にさらす通気孔またはスロットを備えたトランスデューサです。開放型トランスデューサは、トランスデューサが損傷するリスクを最小限に抑えるために、制御された屋内アプリケーションに最適です。開放型トランスデューサは、最大の距離性能を実現するために、密閉型トランスデューサほどの駆動電圧を必要としないので、トランスは不要です。開放型などの低電圧駆動トランスデューサの場合、トランスの代替として直接駆動 (またはブリッジ駆動) 方式を使用できます。直接駆動方式は、一部の密閉型トランスデューサでも利用できますが、実現可能な最大距離は短くなります。

8.2 代表的なアプリケーション

すべての代表的なアプリケーションでは、超音波を発生させて空气中を伝送し、物体から反射されたエコーを検出するために、PGA460-Q1 は、少なくとも 1 つの外部トランスデューサとペアにする必要があります。エコーの送信および受信のタスクは、性能を向上させるために、それぞれ別のトランスデューサに分割することもできます。この場合、アプリケーションは超音波エコーを検出するだけであり、外部ドライバ部品 (トランスまたは p-チャネル MOSFET) は必要ありません。

8.2.1 トランス駆動方式

図 8-1 に、単一のトランスデューサに対するトランス駆動方式の回路図を示します。



Copyright © 2017, Texas Instruments Incorporated

図 8-1. トランス駆動方式の回路図

8.2.1.1 設計要件

この設計例では、表 8-1 に記載されているパラメータを入力パラメータとして使用します。

表 8-1. 設計パラメータ

設計パラメータ	設計値例
入力電圧範囲	6~18V
推奨入力電圧	7.4V
トランスの巻線比	(1-2):(2-3):(4-6) = 1:1:8.42
トランスの駆動電流定格	500mA
トランスの電源電圧 (4-6) 定格	200V _{AC}
トランスデューサ駆動電圧	120V _{pp}
トランスデューサ周波数	58.5kHz
トランスデューサのパルス数	20

8.2.1.2 詳細な設計手順

設計プロセスを開始するには、以下を決定する必要があります。

- トランスデューサ
 - トランスデューサ駆動電圧
 - トランスデューサ共振周波数
 - トランスデューサのパルス数
- ドライバ
 - トランスの巻線比
 - トランスの飽和電流
 - トランスの電源電圧 (4-6) 定格

表 8-2 に、代表的なアプリケーションの推奨部品値を示します。

表 8-2. 代表的なアプリケーションの推奨部品値

記号	値	備考
R1	10Ω (1/2W)	オプション (ノイズ低減)
R2	100Ω (1/2W)	オプション (突入電流制限)
R _(INP)	3kΩ (1/4W)	オプション (トランス駆動のみ。EMI/ESD 堅牢性)
L1	100nH	オプション (過渡抑制)
C1	100nF	オプション (過渡抑制)
C2	100nF	オプション (過渡抑制)
C _(INP)	$C_{(INP)} = \frac{21.22 \times 10^{-6}}{f_{(TRANSDUCER)}}$	
C _(INN)	$C_{(INN)} = \frac{0.0024}{f_{(TRANSDUCER)}}$	
C _T		値は、使用するトランスデューサとトランスによって異なります
D1	1N4007 または相当品	ショットキー・ダイオードを推奨
D2	V _Z < 30V	オプション (過渡抑制)
D3	V _{BR} < 30V	オプション (過渡抑制)
XDCR		低周波数範囲のデバイス例: トランス駆動用の密閉型: muRata MA58MF14-7N、SensComp 40KPT25 直接駆動用の開放型: Murata MA40H1S-R、SensComp 40LPT16、Kobitone 255-400PT160-ROX
XFMR		デバイスの例: TDK EPCOS B78416A2232A003、muRata-Toko N1342DEA-0008BQE=P3、Mitsumi K5-R4
Q _{DECPL}		オプション (時間または温度デカップリング FET) デカップリング FET を使用しない場合は、XFMR および CT をグランドに接続します
Q1		ディスクリット実装またはトランジスタ・アレイ・パッケージの FET または BJT を使用します。デバイスの例: デバイスの例: FDN358P シングル FET、MUN5114 シングル BJT
フェライト・ビーズ	BK215HS102-T または同等品	オプション (ノイズ低減)。0Ω 短絡で置き換えることができます。

8.2.1.2.1 トランスデューサ駆動電圧

圧電性セラミックスに電圧を印加すると、電圧と周波数に応じて機械的歪みが発生します。機械的歪みは、音の大きさを示す音圧レベル (SPL) 単位で測定され、式 9 を使用した自由音場マイクロホン電圧測定によって求めることができます。

$$\text{SPL (db)} = 20 \times \log \frac{\left(\frac{V_{(\text{MIC})}}{3.4 \text{ mV}} \right)}{P_O} \quad (9)$$

ここで、

- V_(MIC) は、測定されたセンサの音圧 (mV_{RMS}) です。
- P_O は、20μPa の基準音圧です。

SPL は、駆動電圧に応じて無制限に増加するわけではありません。特定の駆動電圧に達したところで、トランスデューサが発生できる SPL の量が飽和します。トランスデューサには最大駆動電圧仕様が規定されており、このときに最大 SPL が発生していることを示しています。最大駆動電圧を超える駆動電圧でトランスデューサを使用すると、超音波モジュールの電力効率が低下し、トランスデューサの損傷または寿命の短縮につながる可能性があります。

トランスデューサの SPL 測定の詳細な手順については、『PGA460 超音波モジュール・ハードウェアおよびソフトウェアの最適化』を参照してください。

8.2.1.2.2 トランスデューサ駆動周波数

空気中を伝搬する超音波の強度は、距離に比例して減衰します。この減衰は、超音波エネルギーが空気という媒質中を伝わる際の拡散、回折、および吸収損失によって発生します。図 8-2 に示すように、超音波の周波数が高いほど、減衰率が高くなり、波が到達する距離が短くなります。

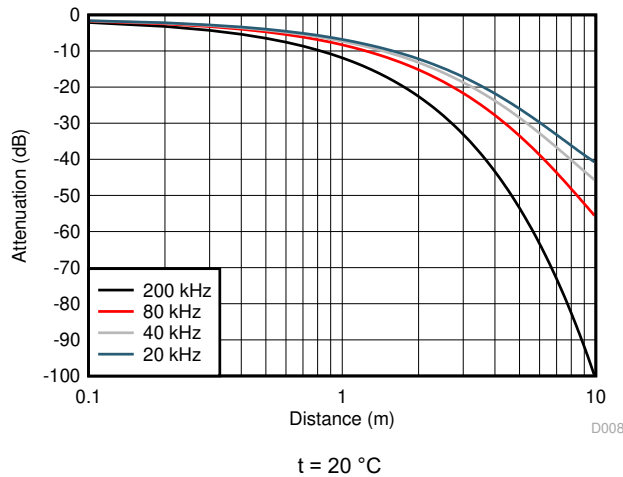


図 8-2. 距離による音圧の減衰特性

ある超音波トランスデューサは、共振の中心周波数が固定されており、標準許容誤差は $\pm 2\%$ です。30～80kHz の低い周波数範囲は、一般的な車載用および民生用アプリケーションのデフォルト動作範囲であり、ステップ分解能は 1cm、標準的な測定範囲は 30cm～5m です。180～480kHz の高い周波数範囲は、ステップ分解能 1mm、標準的な測定範囲 5cm～1m の高精度産業用アプリケーション向けに用意されています。

8.2.1.2.3 トランスデューサのパルス数

パルス数は、相補的なローサイド・ドライバによってトランスデューサに印加される交流周期の数を決定し、さらに、送信される超音波パルス群の全体幅を決定します。送信されるパルス群の幅が大きいほど、反射表面から返ってくるエコー・シグネチャの幅が広くなり、安定したスレッシュホールドを設定するために利用できる分解能が高くなります。パルス数が大きい場合の欠点は、リングング減衰期間が大きいことであり、検出可能な物体までの距離の近さが制限されることです。

物体までの最小距離要件に基づいてパルス数を選択します。短距離の物体検出を優先しなくてもよい場合には、パルス数が多いことは懸念事項ではありません。特定のトランスデューサは連続的に駆動できますが、他のトランスデューサでは最大駆動パルス数に制限があります。パルス数を制限する必要があるかどうかを判断するには、選択したトランスデューサの仕様を参照してください。

8.2.1.2.4 トランスの巻線比

センター・タップ・トランスは、通常、トランスデューサとペアになっていて、DC 電圧を高い正弦波 AC 電圧に変換します。センター・タップは、トランスの 1 次側巻線の間接点に接続した端子です。センター・タップには DC 電圧が供給され、トランスの巻線比に基づいて乗算されて 2 次側に出てきます。図 8-3 に、センター・タップ・トランスの代表的なピン配置を示します。ここで、ピン 2 はセンター・タップ、ピン 1 および 3 は OUTB および OUTA に、ピン 4 はトランスデューサの正の端子に、ピン 6 はグラウンドに接続されます。

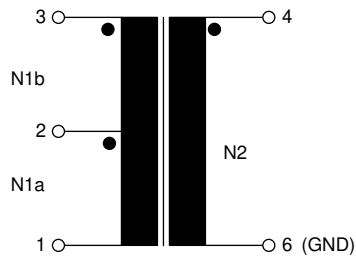


図 8-3. 超音波トランスデューサ用センタータップ・トランスの標準的ピン配置

センター・タップ・トランスを使用してトランスデューサ電圧を発生させるためには、2 つのモードが利用可能です。これらのモードの定義を以下に示します。

プッシュ このモードでは、PGA460-Q1 デバイスの 2 つの内部ローサイド・スイッチを使って、センター・タップ・トランスの 2 つの 1 次側コイルで電流のオン / オフを切り替えます。

2 つの 1 次側コイルの巻線数は同じです。1 次側コイルの電流変化率により、トランスの 2 次側コイルに電圧が発生します。トランスの 2 次側は、トランスデューサに接続されます。1 次側コイルの電流方向に対して、2 次側コイルでは逆極性の電圧が発生し、2 次側コイルのピーク・ツー・ピーク電圧は実質的に 2 倍になります。

シング このモードでは、1 つのローサイド・スイッチを使って、トランスの 1 次側で電流のオン / オフを切り替えます。

ルエン 1 次側コイルの電流変化率により、トランスの 2 次側コイルに電圧が発生します。トランスの 2 次側は、トランスデューサに接続されます。このモードでは、トランスのセンター・タップは不要であり、フローティングのままにすることができます。代わりに、最も外側の 1 次側端子 (ピン 3) に基準電圧を接続し、OUTA または OUTB のいずれかをもう一方の 1 次側端子 (ピン 1) に接続します。

8.2.1.2.5 トランスの飽和電流と電源電圧定格

漏れインダクタンスは、トランスの巻線間で磁束が完全に結合していない場合に発生します。トランス・コアの磁気飽和は、1 次側の電圧が過剰である、動作周波数が低すぎる、いずれかの巻線に DC 電流が存在する、またはこれらの原因の組み合わせによって発生する可能性があります。PGA460-Q1 デバイスは、トランスの 1 次側ドライバ電流を内部で 50mA ~ 500mA に制限できます。センター・タップ電圧は、通常、VPWR 電圧を基準としています。しかし、VPWR 電圧が 1 次側のセンター・タップの電圧として高すぎる場合は、電圧を降圧安定化する必要があります。VPWR が低すぎる場合は、電圧を昇圧安定化する必要があります。

8.2.1.3 アプリケーション曲線

使用部品: TDK EPCOS B78416A2232A003 トランス、muRata MA58MF14-7N トランスデューサ。TDK EPCOS B78416A2232A003 トランスと muRata MA58MF14-7N トランスデューサの組み合わせでの測定範囲を最小化するためには、680pF のチューニング・コンデンサ (C_T) と 10k Ω のダンピング抵抗 (R_{Damp}) をトランスデューサと並列に配置します。これにより、パルス数、センター・タップ電圧、ドライバ電流制限に応じて 15cm 以下の測定範囲を実現できます。

図 8-4 および 図 8-5 に示すデータは、PGA460-Q1 デバイスのエコー・ダンプ機能を使って記録されたものです (エコー・データ・ダンプセクションを参照)。

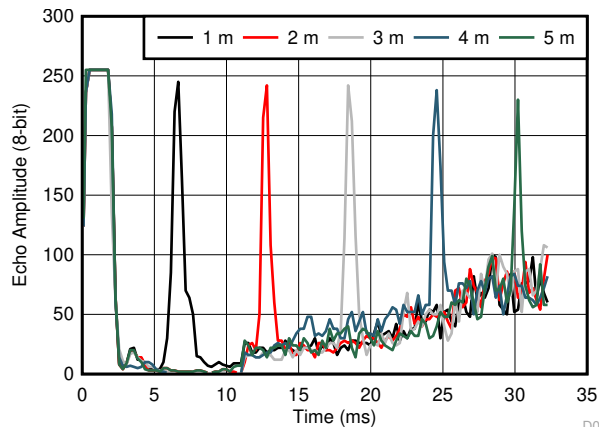


図 8-4. トランス駆動を使用した長距離の ISO ポール測定

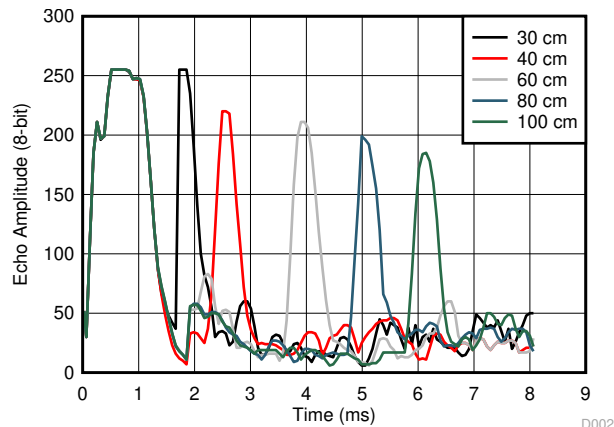
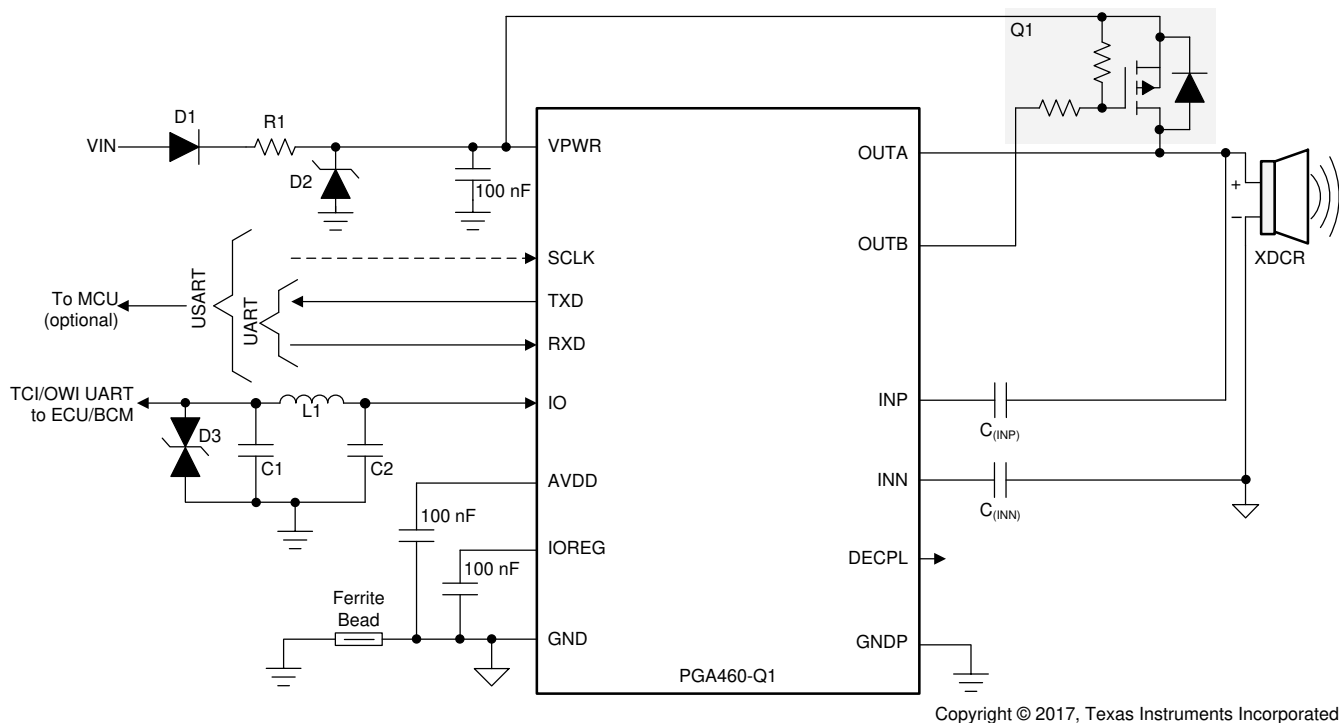


図 8-5. トランス駆動を使用した近距離の ISO ポール測定

8.2.2 直接駆動 (トランスレス) 方式

直接駆動方式は、従来のセンター・タップ・トランスをブリッジ・ドライバで置き換えるものであり、プラスチック・シェルの開放型トランスデューサに適しています。どのような種類の開放型トランスデューサまたは密閉型トランスデューサでも直接駆動できますが、送信時に最大の SPL を生成できない可能性があります。直接駆動構成では、ハーフブリッジまたはフルブリッジのゲート・ドライバを使用して、トランスデューサを駆動するための交流方形波を生成します。デフォルトでは、ハーフブリッジ・ドライバ構成がイネーブルになっており、1 つのトランスデューサを使用して送受信を実行できます。PGA460-Q1 デバイスは、外付け部品を追加しなければ、フルブリッジ構成で 1 つのトランスデューサを駆動できません (このドキュメントの範囲外)。ローサイド・ドライバが PGA460-Q1 デバイスに内蔵されているため、必要な外部ハイサイド p-チャネル MOSFET は 1 つだけです。ハーフブリッジ構成では、1 つの OUTx チャンネルを使って p-チャネル MOSFET を駆動し、もう 1 つの OUTx チャンネルを使ってトランスデューサを直接励起します。図 8-6 に、単一のトランスデューサの直接駆動方式の回路図を示します。



Copyright © 2017, Texas Instruments Incorporated

図 8-6. 直接駆動方式の回路図

8.2.2.1 設計要件

この設計例では、表 8-3 に記載されているパラメータを入力パラメータとして使用します。

表 8-3. 設計パラメータ

設計パラメータ	設計値例
入力電圧範囲	6~7.2V
推奨入力電圧	7.2V
トランスデューサ駆動電圧	7.2 V _{pp}
トランスデューサ周波数	40kHz
トランスデューサのパルス数	20

8.2.2.2 詳細な設計手順

代表的なアプリケーションでの推奨部品値については、表 8-2 を参照してください。

8.2.2.3 アプリケーション曲線

使用部品: Fairchild FDC6506P p-チャネル MOSFET、muRata MA40H1S-R トランスデューサ。

図 8-4 および 図 8-5 に示すデータは、PGA460-Q1 デバイスのエコー・ダンプ機能を使って記録されたものです (エコー・データ・ダンプ セクションを参照)。

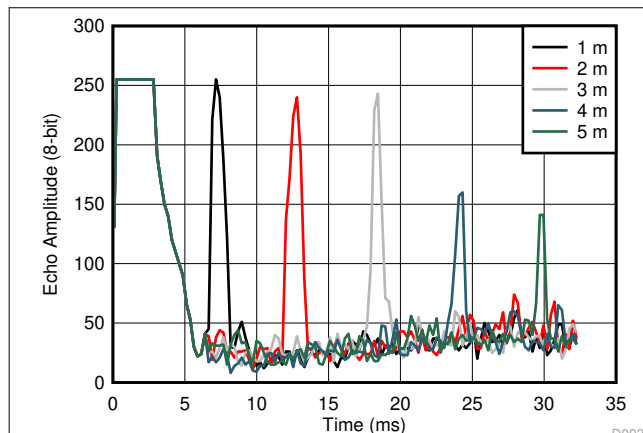


図 8-7. 直接駆動を使用した長距離の ISO ポール測定

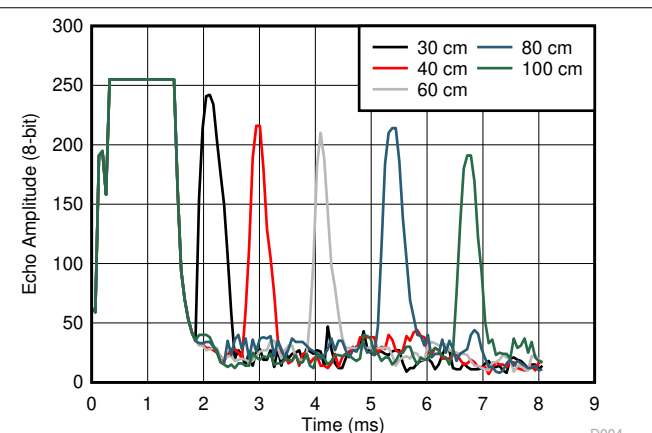


図 8-8. 直接駆動を使用した近距離の ISO ポール測定

8.3 電源に関する推奨事項

PGA460-Q1 デバイスは、6V~28V の入力電源電圧範囲で動作するように設計されています。車載アプリケーションでは、PGA460-Q1 デバイスを自動車のバッテリーに直接接続する際に、適切な外部コンポーネント保護 (D1 および D2) を使用する必要があります。これは、デバイスをバッテリーの過渡電流や逆バッテリー電流から保護するのに役立ちます。入力電源が PGA460-Q1 デバイスから数インチ以上離れている場合、セラミック・バイパス・コンデンサに加えてバルク容量の追加が必要になることがあります。

VPWR ピンの電解コンデンサは、PGA460-Q1 デバイスのバースト・ステージ中に高速放電コンデンサとして機能することを目的としています。センター・タップ・トランスには、VPWR ピンに供給される電圧とは異なるセンター・タップ電圧を供給できますが、OUTA および OUTB 出力の規定最大電圧定格内に維持する必要があります。直接駆動方式の場合、電解コンデンサは必須ではありませんが、基準電圧の安定性を確保するために電解コンデンが推奨され、その値は 100μF 未満でかまいません。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

小型フォームファクタの超音波モジュール設計を実現するには、少なくとも 2 層が必要です。これらの層は、アナログ信号とデジタル信号で分離する必要があります。デバイスのピン・マップは、電源信号とデジタル信号がアナログ・ドライバ・ピンとレシーバ・ピンの反対側にあるように配置されています。PGA460-Q1 デバイス・レイアウトでは、優先順位の高い順に以下のベスト・プラクティスを考慮してください。

- PGA460-Q1 の AFE 入力でノイズを低減するには、グラウンドの種類を分離することが重要です。特に、トランスデューサのセンサ・グラウンド、サポート・ドライバ、およびリターンパス回路は、メイン・グラウンドに接続する前に個別のグラウンドを持つ必要があります。フェライト・ビーズを使用してセンサとメイン・グラウンドを分離するのがベスト・プラクティスですが、必須ではありません。グラウンドをブリッジ接続するとき、銅のパターンまたは 0Ω 短絡も許容されます。
- アナログ・リターン・パス・ピン INP および INN はノイズの影響を最も受けやすいため、できるだけ短くかつ直接にトランスデューサに配線する必要があります。INN コンデンサを確実にピンの近くに配置して、グラウンド配線の長さを短くします。
- トランスデューサのケースを ESD 衝撃から保護することが重要なアプリケーションでは、INN ピンのコンデンサのグラウンド配線は、デバイスのグラウンドから分離して、できるだけ短いパターンでコネクタのグラウンドに直接接続する必要があります。
- アナログ・ドライバ・ピンは大電流、高電圧、またはその両方になる可能性があるため、OUTA ピンおよび OUTB ピンの設計制限は、銅のパターン・プロファイルに関するものです。トランスを使用して、1 次側巻線を大電流制限付きで駆動する場合は、ドライバのピンをできる限り短くかつ直接に接続することを推奨します。
- AVDD、IOREG、VPWR ピンのデカップリング・コンデンサは、ピンのできるだけ近くに配置する必要があります。
- すべてのデジタル通信は、アナログ・レシーバのピンから離して配線する必要があります。IO、TXD、RXD、SCLK ピンは、PCB の反対側に配置して、アナログ信号から離します。IO ピンが高電圧 VPWR を基準としており、高速ボーレートで動作している場合、コネクタまたはコントローラへの配線はできるだけ直接に接続する必要があります。

8.4.2 レイアウト例

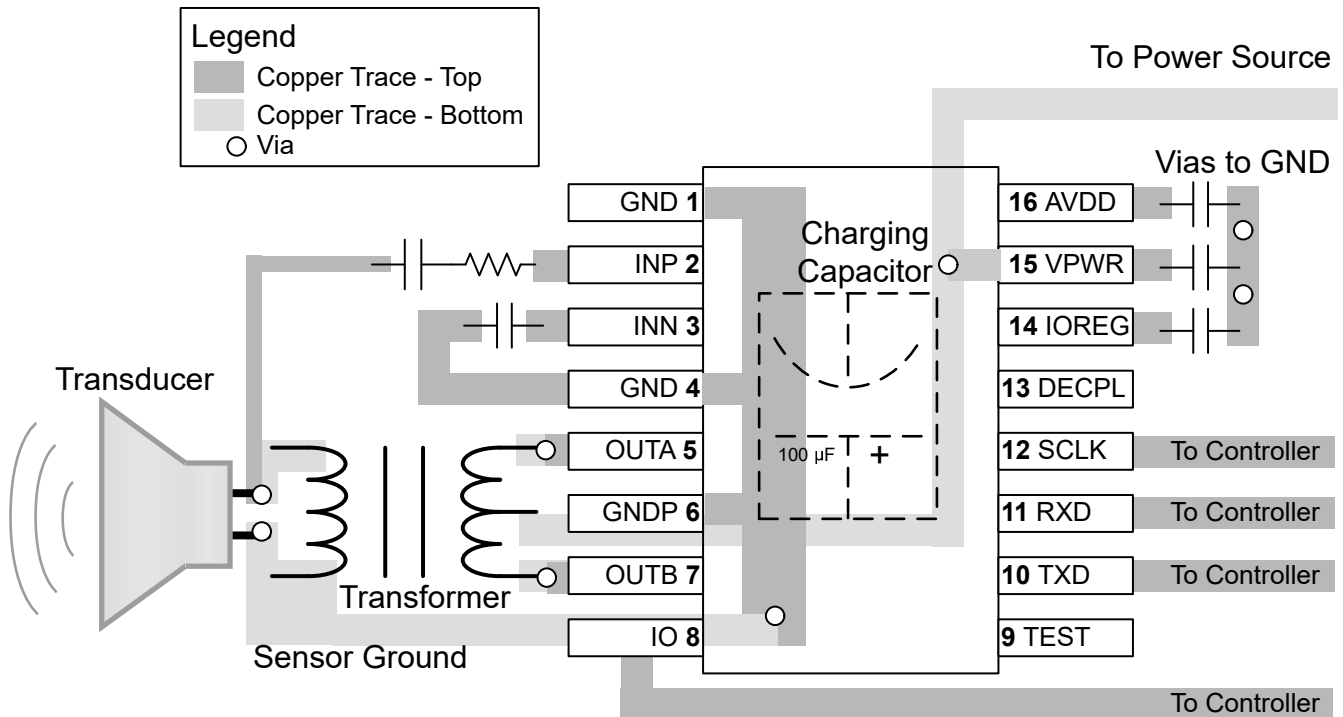


図 8-9. PGA460-Q1 レイアウト例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『PGA460 よくある質問 (FAQ) と評価基板トラブルシューティング・ガイド』
- テキサス・インスツルメンツ、『PGA460 ソフトウェア開発ガイド』
- テキサス・インスツルメンツ、『PGA460 超音波モジュール・ハードウェアおよびソフトウェアの最適化アプリケーション・ノート』
- テキサス・インスツルメンツ、『PGA460-Q1 評価基板クイック・スタート・ガイド』
- テキサス・インスツルメンツ、『PGA460-Q1 トランスデューサ付き超音波シグナル・コンディショナ評価基板ユーザー・ガイド』

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

[TI E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

9.4 商標

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。これらのデータは、予告なしに、また、このドキュメントの更新なしに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PGA460TPWQ1	Active	Production	TSSOP (PW) 16	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	PGA460
PGA460TPWQ1.A	Active	Production	TSSOP (PW) 16	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	PGA460
PGA460TPWRQ1	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	PGA460
PGA460TPWRQ1.A	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	PGA460

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

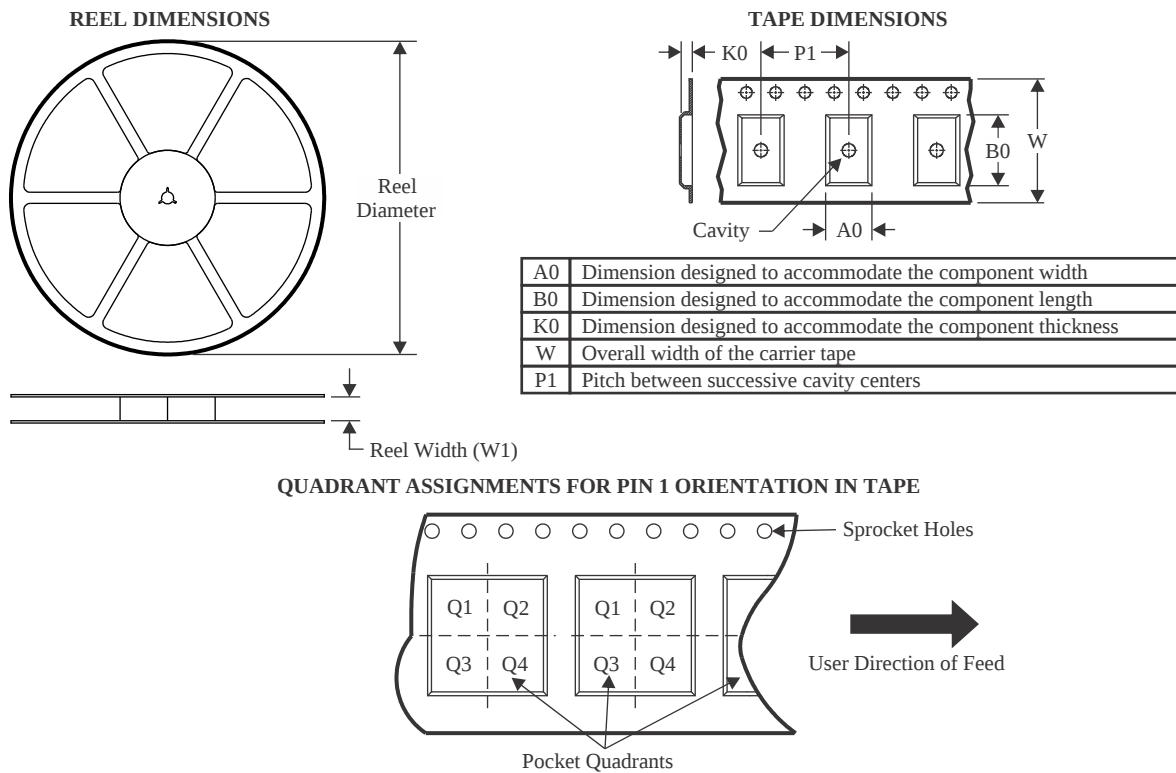
OTHER QUALIFIED VERSIONS OF PGA460-Q1 :

- Catalog : [PGA460](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

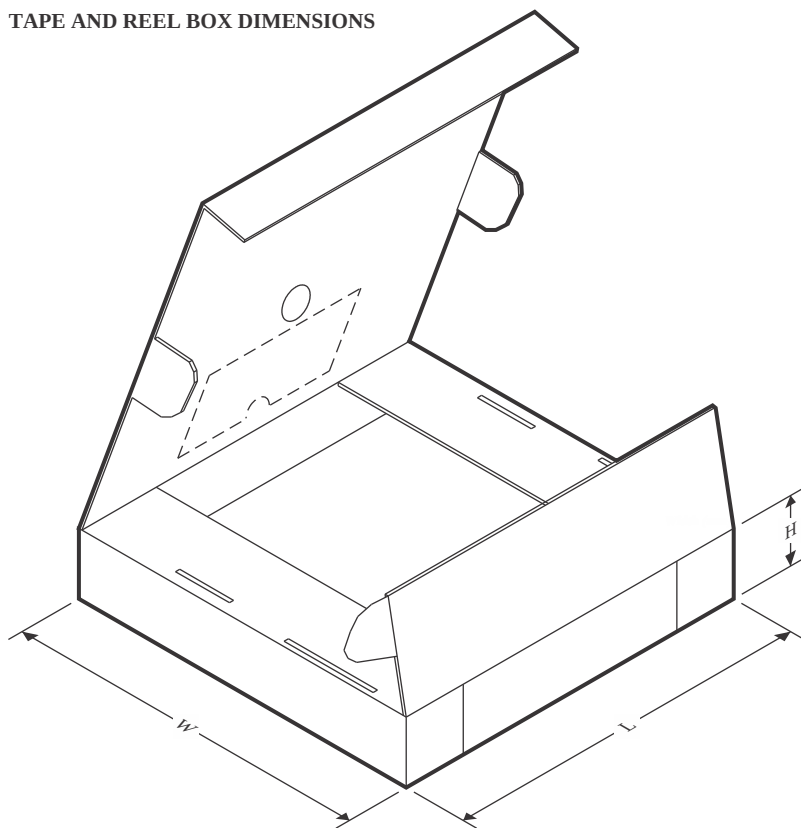
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
PGA460TPWRQ1	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

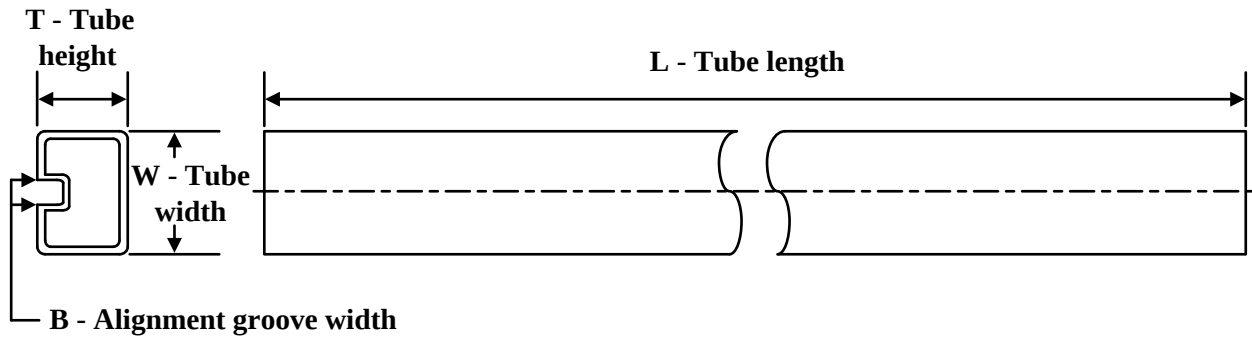
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

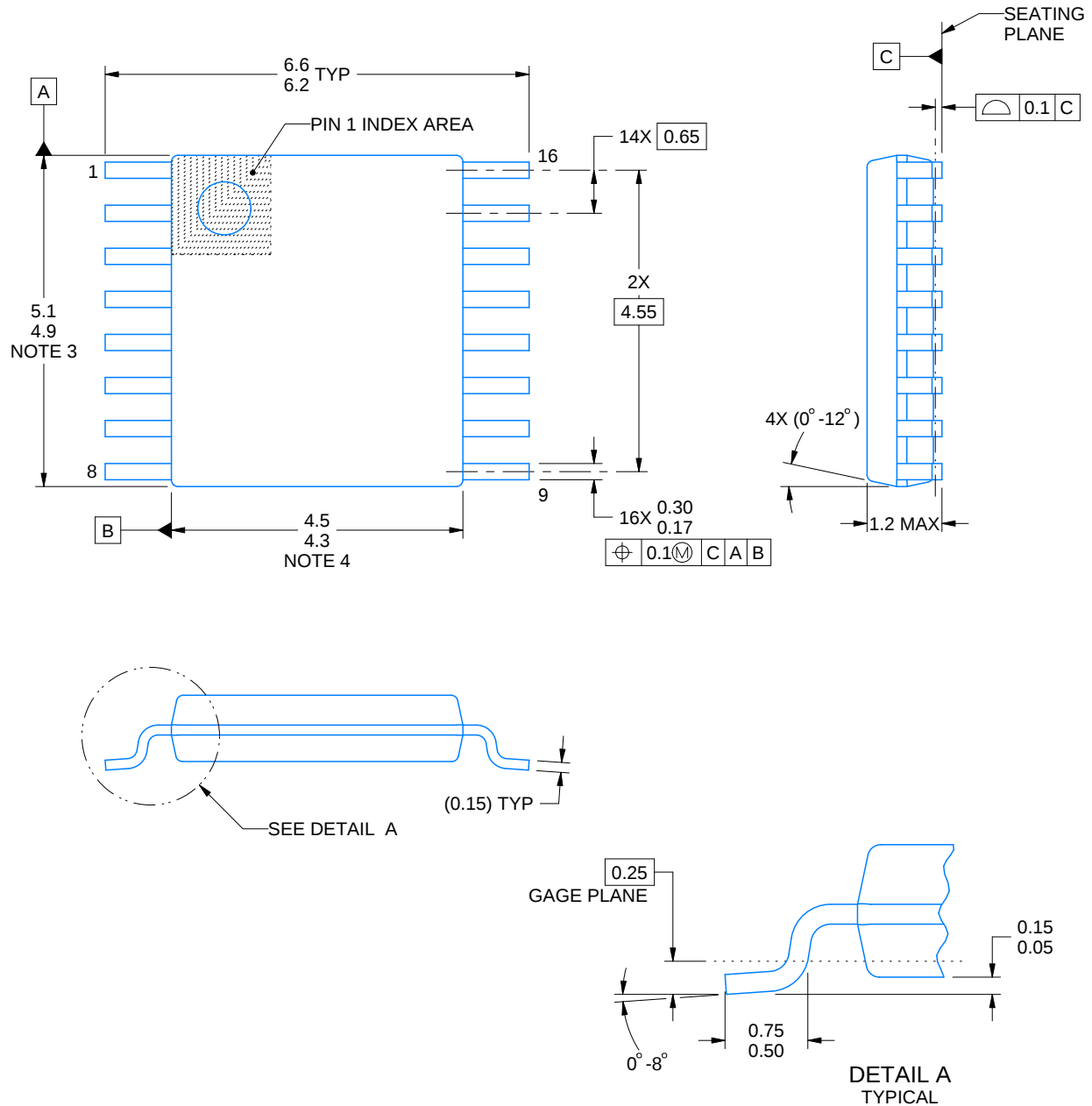
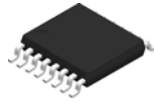
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
PGA460TPWRQ1	TSSOP	PW	16	2000	350.0	350.0	43.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
PGA460TPWQ1	PW	TSSOP	16	90	530	10.2	3600	3.5
PGA460TPWQ1.A	PW	TSSOP	16	90	530	10.2	3600	3.5



4220204/B 12/2023

NOTES:

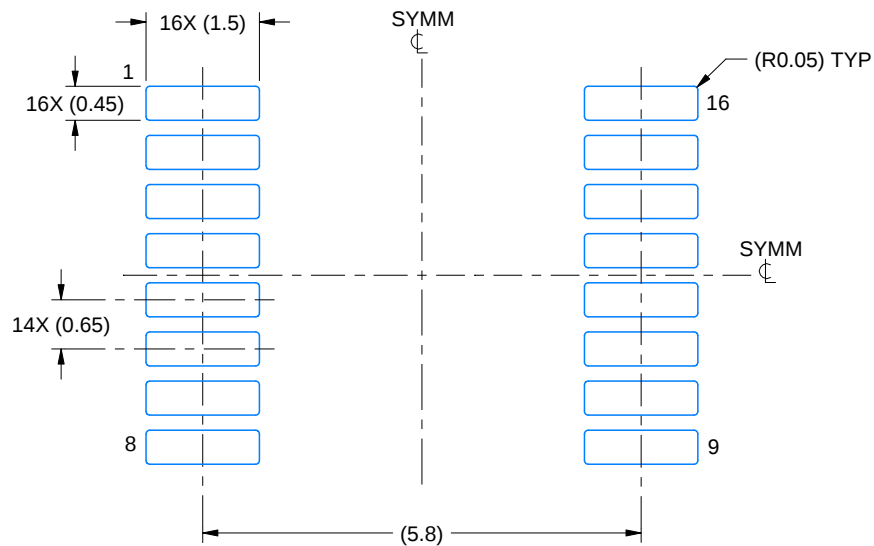
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

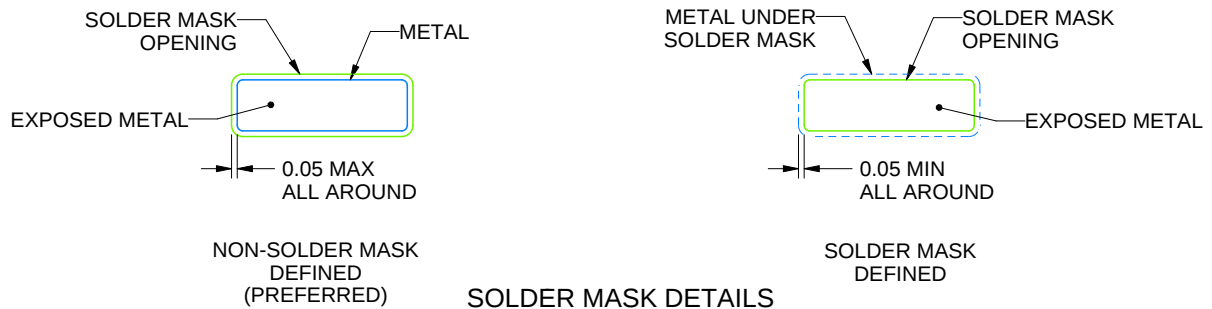
PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

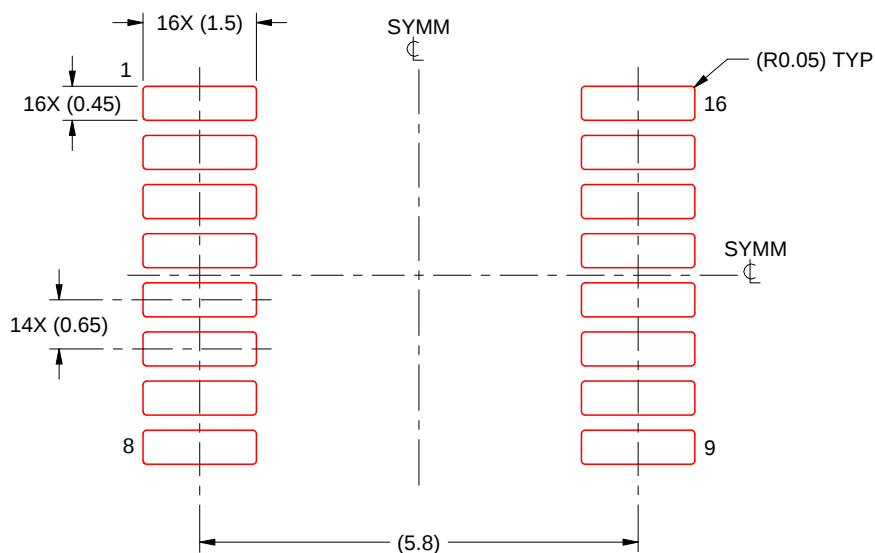
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとしします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月