

OPA838 1mA、300MHz ゲイン帯域幅、電圧帰還型オペアンプ

1 特長

- ゲイン帯域幅積: 300MHz
- 非常に低い (トリムされた) 消費電流: 950 μ A
- 帯域幅: 90MHz ($A_V = 6V/V$)
- 全高出力帯域幅: 45MHz、4V_{pp}
- 負レール入力、レール ツー レール出力
- 単一電源動作範囲: 2.7V~5.4V
- 25°Cの入力オフセット: $\pm 125\mu V$ (最大値)
- 入力オフセット電圧ドリフト: $\pm 1.6\mu V/^\circ C$ 未満 (最大値)
- 入力電圧ノイズ: 1.8nV/ \sqrt{Hz} (200Hz 超)
- 入力電流ノイズ: 1pA/ \sqrt{Hz} (2000Hz 超)
- 1 μ A 未満のシャットダウン電流で節電

2 アプリケーション

- 低消費電力トランスインピーダンス・アンプ
- 低ノイズ高ゲイン段
- 12ビット~16ビットの低消費電力 SAR ADC ドライバ
- 高ゲインのアクティブ・フィルタ設計
- 超音波流量計

3 説明

非補償型の電圧帰還オペアンプである OPA838 は、1.8nV/ \sqrt{Hz} の入力ノイズ電圧で 300MHz という高ゲイン帯域幅積を実現し、必要なトリムされた消費電流はわずか 0.95mA です。これらの機能の組み合わせにより、信号レシーバ アプリケーションで入力電圧ノイズを最小限に抑える必要のあるフォトダイオードトランスインピーダンス設計や高電圧ゲイン段に対応する、極めて電力効率の高いデバイスを提供します。

推奨される 6V/V の最小非反転ゲインで動作した場合、-3dB 帯域幅は 90MHz になります。入力ノイズとオフセットが極めて低い電圧 OPA838 は、とりわけ高ゲインに最適です。たとえ 1000V/V の DC カップリング ゲインでも、 $\pm 125mV$ の最大出力オフセット電圧で 300kHz の信号帯域幅を利用できます。

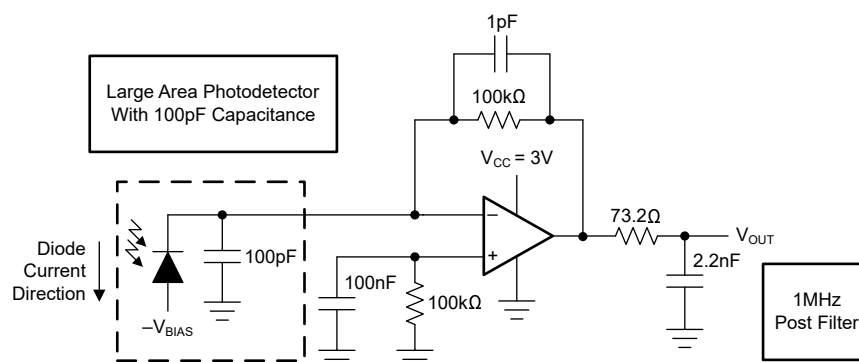
シングル チャネルの OPA838 は 6 ピン SOT-23、6 ピン SC70、8 ピン X2QFN パッケージで供給され、すべて電源シャットダウン機能があります。OPA838 は 5 ピンの SC70 パッケージでも供給されます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
OPA838	DBV (SOT-23, 6)	2.9mm × 2.8mm
	DCK (SC70, 5)	2mm × 1.25mm
	DCK (SC70, 6)	2mm × 1.5mm
	DXB (X2QFN, 8)	1.4mm × 1.2mm

(1) 詳細については、[セクション 11](#) を参照してください。

(2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



3V の単一電源、3mW 未満のフォトダイオード アンプ、1.1pA/ \sqrt{Hz} 未満の合計入力換算電流ノイズ、1MHz SSBW 全体で 100k Ω のゲイン



目次

1 特長.....	1	7.3 機能説明.....	23
2 アプリケーション.....	1	7.4 デバイスの機能モード.....	27
3 説明.....	1	8 アプリケーションと実装.....	31
4 関連製品.....	2	8.1 アプリケーション情報.....	31
5 ピン構成および機能.....	3	8.2 代表的なアプリケーション.....	35
6 仕様.....	4	8.3 電源に関する推奨事項.....	39
6.1 絶対最大定格.....	4	8.4 レイアウト.....	40
6.2 ESD 定格.....	4	9 デバイスおよびドキュメントのサポート.....	41
6.3 推奨動作条件.....	4	9.1 デバイス サポート.....	41
6.4 熱に関する情報.....	4	9.2 ドキュメントのサポート.....	41
6.5 電気的特性 $V_S = 5V$	5	9.3 ドキュメントの更新通知を受け取る方法.....	41
6.6 電気的特性 $V_S = 3V$	7	9.4 サポート・リソース.....	41
6.7 代表的特性: $V_S = 5V$	9	9.5 商標.....	41
6.8 代表的特性: $V_S = 3V$	13	9.6 静電気放電に関する注意事項.....	41
6.9 代表的特性: 電源電圧範囲内.....	17	9.7 用語集.....	42
7 詳細説明.....	22	10 改訂履歴.....	42
7.1 概要.....	22	11 メカニカル、パッケージ、および注文情報.....	42
7.2 機能ブロック図.....	22		

4 関連製品

部品番号 (1)	GBP (MHz)	5V I_Q (mA、最大 25°C)	入力ノイズ電圧 (nV/ \sqrt{Hz})	2V _{PP} THD (dBc、100kHz)	レールツーレール 入力/出力	デュアル
OPA838	300	0.99	1.9	-110	負の入力/出力	なし
OPA837	50	0.625	4.7	-120	負の入力/出力	OPA2837
OPA835	30	0.35	9.3	-100	負の入力/出力	OPA2835
OPA836	110	1	4.8	-115	負の入力/出力	OPA2836
LMP7717	88	1.4	5.8	—	負の入力/出力	LMP7718
OPA830	100	4.7	9.5	-105	負の入力/出力	OPA2830
THS4281	38	0.93	12.5	12.5	入力/出力	なし

(1) TI 製高速アンプの包括的な選択肢については、www.ti.com をご覧ください。

5 ピン構成および機能

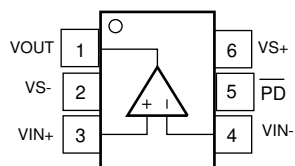


図 5-1. DBV パッケージ。6 ピン SOT-23
および DCK パッケージ、6 ピン SC70
(上面図)

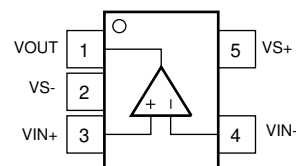


図 5-2. DCK パッケージ、5 ピン SC70 (上面図)

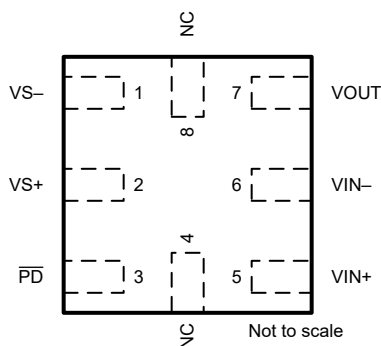


図 5-3. DXB パッケージ、8 ピン X2QFN (上面図)

表 5-1. ピンの機能

名称	ピン 番号			タイプ	説明
	DBV (SOT-23)、 DCK (SC70、6)	DCK (SC70、5)	DXB (X2QFN)		
NC	—	—	4、8	NC	接続の無いピンこのピンは内部接続されていません。
PD	5	—	3	入力 / 出力	アンプパワーダウン。 Low = ディスエーブル、High = 通常動作 (ピンを駆動する必要があります)。
VIN-	4	4	6	入力 / 出力	反転入力ピン
VIN+	3	3	5	入力 / 出力	非反転入力ピン
VOUT	1	1	7	入力 / 出力	出力ピン
VS-	2	2	1	電源	負電源ピン
VS+	6	5	2	電源	正電源入力

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V_{S-} から V_{S+}	電源電圧		5.5	V
	電源ターンオンおよびターンオフの最大 dV/dT ⁽²⁾		1	V/ μ s
V_I	入力電圧	$V_{S-} - 0.5$	$V_{S+} + 0.5$	V
V_{ID}	差動入力電圧		± 1	V
I_I	連続入力電流		± 10	mA
I_O	連続出力電流 ⁽³⁾		± 20	mA
	連続消費電力	「熱に関する情報」を参照		
T_J	最大接合部温度		150	°C
T_A	自由空気での動作温度	-40	125	°C
T_{stg}	保存温度	-65	150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、「推奨動作条件」に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) この \pm 電源のターンオンエッジレートを下回るように維持して、電源ピン全体でエッジトリガされる ESD 吸収デバイスがオンになるのを防止します。
- (3) エレクトロマイグレーションを制限するための長期的な連続出力電流。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	± 1500	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾	± 1000	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{S+}	単一電源電圧	2.7	5	5.4	V
T_A	周囲温度	-40	25	125	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		OPA838				単位
		DBV (SOT-23)	DCK (SC70)	DCKS (SC70)	DXB (X2SON)	
		6 ピン	5 ピン	6 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	194	203	189	194	°C/W
$R_{\theta JCTop}$	接合部からケース (上面) への熱抵抗	129	152	150	74	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	39	76	79	109	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	26	58	61	2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	39	76	79	109	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーションレポートを参照してください。

6.5 電気的特性 $V_S = 5V$

$V_{S+} = 5V$, $V_{S-} = 0V$, $R_F = 1k\Omega$, $R_G = 200\Omega$, $R_L = 2k\Omega$, $G = 6V/V$, 入力と出力は中間電源を基準とし,
 $T_A \approx 25^\circ C$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位	テストレベル ⁽¹⁾
AC 特性							
SSBW	小信号帯域幅	$V_{OUT} = 20mV_{PP}$, $G = 6$, (ピーク < 4dB)	75	90		MHz	C
		$V_{OUT} = 20mV_{PP}$, $G = 10$, $R_F = 1.6k\Omega$		50			C
		$V_{OUT} = 20mV_{PP}$, $G = 100$, $R_F = 16.9k\Omega$		3			C
GBP	ゲイン帯域幅積	$V_{OUT} = 20mV_{PP}$, $G = 100$	240	300		MHz	C
LSBW	大信号帯域幅	$V_{OUT} = 2V_{PP}$, $G = 6$		45		MHz	C
	0.1dB 平坦度の帯域幅	$V_{OUT} = 200mV_{PP}$, $G = 6$		10		MHz	C
SR	スルーレート	LSBW から ⁽²⁾	250	350		V/ μs	C
	オーバーシュート、アンダーシュート	$V_{OUT} = 2V$ ステップ, $G = 6$, 入力 $t_R = 12ns$		1%	2%		C
t_R , t_F	立ち上がり / 立ち下がり時間	$V_{OUT} = 2V$ ステップ, $G = 6$, $R_L = 2k\Omega$, 入力 $t_R = 12ns$		12.5	13	ns	C
	0.1% までのセトリング タイム	$V_{OUT} = 2V$ ステップ, $G = 6$, 入力 $t_R = 12ns$		30		ns	C
	0.01% までのセトリング タイム	$V_{OUT} = 2V$ ステップ, $G = 6$, 入力 $t_R = 12ns$		40		ns	C
HD2	2 次高調波歪	$f = 100kHz$, $V_O = 4V_{PP}$, $G = 6$ (図 8-1 を参照)		-110		dBc	C
HD3	3 次高調波歪	$f = 100kHz$, $V_O = 4V_{PP}$, $G = 6$ (図 8-1 を参照)		-120		dBc	C
	入力電圧ノイズ	$f > 1kHz$		1.8		nV/ \sqrt{Hz}	C
	電圧ノイズ $1/f$ コーナー周波数			100		Hz	C
	入力電流ノイズ	$f > 100kHz$		1		pA/ \sqrt{Hz}	C
	電流ノイズ $1/f$ コーナー周波数			7		kHz	C
	オーバードライブの復帰時間	$G = 6$, 2 x 出力オーバードライブ, DC 結合		50		ns	C
	閉ループ出力インピーダンス	$f = 1MHz$, $G = 6$		0.3		Ω	C
DC 特性							
A_{OL}	開ループ電圧ゲイン	$V_O = \pm 2V$, $R_L = 2k\Omega$	120	125		dB	A
	入力換算オフセット電圧	$T_A \approx 25^\circ C$ (DXB パッケージ)	-150	± 15	150	μV	A
		$T_A \approx 25^\circ C$	-125	± 15	125		A
		$T_A = 0^\circ C \sim 70^\circ C$	-165	± 15	200		B
		$T_A = -40^\circ C \sim +85^\circ C$	-230	± 15	220		B
		$T_A = -40^\circ C \sim +125^\circ C$	-230	± 15	285		B
	入力オフセット電圧ドリフト ⁽⁵⁾	$T_A = -40^\circ C \sim +125^\circ C$ ⁽⁴⁾	-1.6	± 0.4	1.6	$\mu V/^\circ C$	B
	入力バイアス電流 ⁽³⁾	$T_A \approx 25^\circ C$	0.7	1.5	2.8	μA	A
		$T_A = 0^\circ C \sim 70^\circ C$	0.2	1.5	3.5		B
		$T_A = -40^\circ C \sim +85^\circ C$	0.2	1.5	3.7		B
		$T_A = -40^\circ C \sim +125^\circ C$	0.2	1.5	4.4		B
	入力バイアス電流ドリフト ⁽⁵⁾	$T_A = -40^\circ C \sim +125^\circ C$	4.5	7.8	17	nA/ $^\circ C$	B
	入力オフセット電流	$T_A \approx 25^\circ C$ (DXB パッケージ)	-100	± 20	100	nA	A
		$T_A \approx 25^\circ C$	-70	± 20	70		A
		$T_A = 0^\circ C \sim 70^\circ C$	-83	± 20	93		B
		$T_A = -40^\circ C \sim +85^\circ C$	-105	± 20	100		B
		$T_A = -40^\circ C \sim +125^\circ C$	-105	± 20	120		B
	入力オフセット電流ドリフト ⁽⁵⁾	$T_A = -40^\circ C \sim +125^\circ C$	-500	± 40	500	pA/ $^\circ C$	B

6.5 電気的特性 $V_S = 5V$ (続き)

$V_{S+} = 5V$, $V_{S-} = 0V$, $R_F = 1k\Omega$, $R_G = 200\Omega$, $R_L = 2k\Omega$, $G = 6V/V$, 入力と出力は中間電源を基準とし、
 $T_A \approx 25^\circ C$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位	テストレベル ⁽¹⁾
入力							
	同相入力範囲、Low	$T_A \approx 25^\circ C$, CMRR > 92dB	$V_{S-} - 0.2$	$V_{S-} - 0$		V	A
		$T_A = -40^\circ C \sim +125^\circ C$, CMRR > 92dB	$V_{S-} - 0$				B
	同相入力範囲、high	$T_A \approx 25^\circ C$, CMRR > 92dB	$V_{S+} - 1.3$	$V_{S+} - 1.2$		V	A
		$T_A = -40^\circ C \sim +125^\circ C$, CMRR > 92dB	$V_{S+} - 1.3$				B
CMRR	同相除去比		95	105		dB	A
	入力インピーダンス同相モード			35 1		MΩ pF	C
	入力インピーダンス差動モード			30 1.3		kΩ pF	C
出力							
V_{OL}	出力電圧、Low	$T_A \approx 25^\circ C$, $G = 6$	$V_{S-} + 0.05$	$V_{S-} + 0.1$		V	A
		$T_A = -40^\circ C \sim +125^\circ C$, $G = 6$	$V_{S-} + 0.05$	$V_{S-} + 0.1$			B
V_{OH}	出力電圧、High	$T_A \approx 25^\circ C$, $G = 6$	$V_{S+} - 0.1$	$V_{S+} - 0.05$		V	A
		$T_A = -40^\circ C \sim +125^\circ C$, $G = 6$	$V_{S+} - 0.2$	$V_{S+} - 0.1$			B
	抵抗性負荷への最大電流	$T_A \approx 25^\circ C$, 41.3 Ω に $\pm 1.53V$, $V_{IO} < 2mV$	± 35	± 40		mA	A
	抵抗性負荷へのリニア電流	$T_A \approx 25^\circ C$, 70.6 Ω に $\pm 1.81V$, $A_{OL} > 80dB$	± 25	± 28		mA	A
		$T_A = -40^\circ C$ から $+125^\circ C$, 70.6 Ω に $\pm 1.58V$, $A_{OL} > 80dB$	± 22	± 25			B
	DC 出力インピーダンス	$G = 6$		0.02		Ω	C
電源							
	仕様動作電圧		2.7	5	5.4	V	B
	静止時動作電流	$T_A \approx 25^\circ C$ (DXB パッケージ) ⁽⁶⁾	900	960	1025	μA	A
		$T_A \approx 25^\circ C$ ⁽⁶⁾	913	960	1025		A
		$T_A = -40^\circ C \sim +125^\circ C$	700	960	1365		B
dlq/dT	静止電流温度係数	$T_A = -40^\circ C \sim +125^\circ C$	2.6	3	3.4	μV/°C	B
+PSRR	正の電源電圧変動除去比		98	110		dB	A
-PSRR	負の電源電圧変動除去比		93	105		dB	A
パワーダウン (ピンを駆動、SOT23-6 および SC70-6)							
	電圧スレッシュホールド有効化	$V_{S-} + 1.5V$ を上回るとオンに指定	1.5			V	A
	電圧スレッシュホールド無効化	$V_{S-} + 0.55V$ 未満でオフに指定			0.55	V	A
	ディスエーブルピンのバイアス電流	$\overline{PD} = V_{S-}$ から V_{S+}	-50	20	50	nA	A
	パワーダウン静止時電流	$\overline{PD} = 0.55V$		0.1	1	μA	A
	ターンオン時間の遅延	$\overline{PD} = \text{High}$ から $V_{OUT} = \text{最終値の } 90\%$ になるまでの時間		1.7		μs	C
	ターンオフ時間の遅延	$\overline{PD} = \text{Low}$ から $V_{OUT} = \text{最終値の } 10\%$ になるまでの時間		100		ns	C

- (1) テストレベル (特性とシミュレーションにより設定されたすべての値): (A) $25^\circ C$ で 100% テスト済み、特性評価とシミュレーションによる過熱制限あり、(B) 量産ではテストしていない、特性とシミュレーションにより設定された制限値、(C) 情報用の標準値のみ。
- (2) このスルーレートは、大信号帯域幅から以下の式によって推定される立ち上がり時間と立ち下がり時間の平均です。 $(0.8 \times V_{PEAK}/\sqrt{2}) \times 2\pi \times f_{-3dB}$ で、この f_{-3dB} はゲイン 6V/V での 4- V_{PP} 帯域幅の標準値です。
- (3) ピンから流れ出す方向の電流を正とみなします。
- (4) 入力オフセット電圧ドリフト、入力バイアス電流ドリフト、入力オフセット電流ドリフトの標準仕様は、全温度範囲のエンドポイントデータにより特徴付けられる平均値 $\pm 1\sigma$ です。最大ドリフト仕様は、ウェハーレベルの遮蔽ドリフトのパッケージされた最小、最大試験範囲によって設定されます。ドリフトは、最終自動テスト装置 (ATE) や QA サンプルテストでは規定されていません。
- (5) 入力オフセット電圧ドリフト、入力バイアス電流ドリフト、入力オフセット電流ドリフトは、エンドポイントでデータを取得し、差動を計算し、温度範囲で割って計算されます。
- (6) 標準仕様は $25^\circ C$ T_J におけるものです。ATE の最小限度と最大限度は、 $22^\circ C \sim 32^\circ C$ の環境範囲、消費電流の温度係数 $4\mu A/^\circ C$ を考慮して拡張されています。

6.6 電気的特性 $V_S = 3V$

$V_{S+} = 3V$, $V_{S-} = 0V$, $R_F = 1k\Omega$, $R_G = 200\Omega$, $R_L = 2k\Omega$, $G = 6V/V$, 入力と出力は中間電源を基準とし, $T_A \approx 25^\circ C$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位	テストレベル ⁽¹⁾
AC 特性							
SSBW	小信号帯域幅	$V_{OUT} = 20mV_{PP}$, $G = 6$ (ピーク < 4dB)	70	86		MHz	C
		$V_{OUT} = 20mV_{PP}$, $G = 10$, $R_F = 1.6k\Omega$		50			C
		$V_{OUT} = 20mV_{PP}$, $G = 100$, $R_F = 16.9k\Omega$		3			C
GBP	ゲイン帯域幅積	$V_{OUT} = 20mV_{PP}$, $G = 100$	240	300		MHz	C
LSBW	大信号帯域幅	$V_{OUT} = 2V_{PP}$, $G = 6$		45		MHz	C
	0.1dB 平坦度の帯域幅	$V_{OUT} = 200mV_{PP}$, $G = 6$		9		MHz	C
SR	スルーレート	LSBW から ⁽²⁾	250	350		V/ μs	C
	オーバーシュート、アンダーシュート	$V_{OUT} = 1V$ ステップ, $G = 6$, 入力 $t_R = 6ns$		2%	4%		C
t_R , t_F	立ち上がり / 立ち下がり時間	$V_{OUT} = 1V$ ステップ, $G = 6$, 入力 $t_R = 6ns$		6.3	7	ns	C
	0.1% までのセトリング タイム	$V_{OUT} = 1V$ ステップ, $G = 6$, 入力 $t_R = 6ns$		30		ns	C
	0.01% までのセトリング タイム	$V_{OUT} = 1V$ ステップ, $G = 6$, 入力 $t_R = 6ns$		40		ns	C
HD2	2 次高調波歪	$f = 100kHz$, $V_O = 2V_{PP}$, $G = 6$ (図 8-1 を参照)		-108		dBc	C
HD3	3 次高調波歪	$f = 100kHz$, $V_O = 2V_{PP}$, $G = 6$ (図 8-1 を参照)		-125		dBc	C
		$f = 100kHz$, $V_O = 2V_{PP}$, $G = 6$ (DXB パッケージ)		-110			
	入力電圧ノイズ	$f > 1kHz$		1.8		nV/ \sqrt{Hz}	C
	電圧ノイズ 1/f コーナー周波数			100		Hz	C
	入力電流ノイズ	$f > 100kHz$		1.0		pA/ \sqrt{Hz}	C
	電流ノイズ 1/f コーナー周波数			7		kHz	C
	オーバードライブの復帰時間	$G = 6$, 2 x 出力オーバードライブ, DC 結合		50		ns	C
	閉ループ出力インピーダンス	$f = 1MHz$, $G = 6$		0.3		Ω	C
DC 特性							
A_{OL}	開ループ電圧ゲイン	$V_O = \pm 1V$, $R_L = 2k\Omega$	110	125		dB	A
	入力換算オフセット電圧	$T_A \approx 25^\circ C$ (DXB パッケージ)	-150	± 15	150	μV	A
		$T_A \approx 25^\circ C$	-125	± 15	125		A
		$T_A = 0^\circ C \sim 70^\circ C$	-165	± 15	200		B
		$T_A = -40^\circ C \sim +85^\circ C$	-230	± 15	220		B
		$T_A = -40^\circ C \sim +125^\circ C$	-230	± 15	285		B
	入力オフセット電圧ドリフト ⁽⁵⁾	$T_A = -40^\circ C \sim +125^\circ C$ ⁽⁴⁾	-1.6	± 0.4	1.6	$\mu V/^\circ C$	B
	入力バイアス電流 ⁽³⁾	$T_A \approx 25^\circ C$	0.7	1.5	2.8	μA	A
		$T_A = 0^\circ C \sim 70^\circ C$	0.2	1.5	3.5		B
		$T_A = -40^\circ C \sim +85^\circ C$	0.2	1.5	3.7		B
		$T_A = -40^\circ C \sim +125^\circ C$	0.2	1.5	4.4		B
	入力バイアス電流ドリフト ⁽⁵⁾	$T_A = -40^\circ C \sim +125^\circ C$	4.5	7.8	17	nA/ $^\circ C$	B
	入力オフセット電流	$T_A \approx 25^\circ C$ (DXB パッケージ)	-100	± 20	100	nA	A
		$T_A \approx 25^\circ C$	-70	± 20	70		A
		$T_A = 0^\circ C \sim 70^\circ C$	-83	± 20	93		B
		$T_A = -40^\circ C \sim +85^\circ C$	-105	± 20	100		B
		$T_A = -40^\circ C \sim +125^\circ C$	-105	± 13	120		B
	入力オフセット電流ドリフト ⁽⁵⁾	$T_A = -40^\circ C \sim +125^\circ C$	-500	± 20	500	pA/ $^\circ C$	B

6.6 電気的特性 $V_S = 3V$ (続き)

$V_{S+} = 3V$, $V_{S-} = 0V$, $R_F = 1k\Omega$, $R_G = 200\Omega$, $R_L = 2k\Omega$, $G = 6V/V$, 入力と出力は中間電源を基準とし, $T_A \approx 25^\circ C$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位	テストレベル ⁽¹⁾
入力							
	同相入力範囲、Low	$T_A \approx 25^\circ C$, CMRR > 92dB	$V_{S-} - 0.2$	$V_{S-} - 0$		V	A
		$T_A = -40^\circ C \sim 125^\circ C$, CMRR > 92dB	$V_{S-} - 0$			V	B
	同相入力範囲、high	$T_A \approx 25^\circ C$, CMRR > 92dB	$V_{S+} - 1.3$	$V_{S+} - 1.2$		V	A
		$T_A = -40^\circ C \sim +125^\circ C$, CMRR > 92dB	$V_{S+} - 1.3$			V	B
CMRR	同相除去比		95	105		dB	A
	入力インピーダンス同相モード		55 1.1			MΩ pF	C
	入力インピーダンス差動モード		30 1.3			kΩ pF	C
出力							
V_{OL}	出力電圧、Low	$T_A \approx 25^\circ C$, $G = 6$	$V_{S-} + 0.05$	$V_{S-} + 0.1$		V	A
		$T_A = -40^\circ C \sim +125^\circ C$, $G = 6$	$V_{S-} + 0.1$	$V_{S-} + 0.2$			B
V_{OH}	出力電圧、High	$T_A \approx 25^\circ C$, $G = 6$	$V_{S+} - 0.1$	$V_{S+} - 0.05$		V	A
		$T_A = -40^\circ C \sim +125^\circ C$, $G = 6$	$V_{S+} - 0.2$	$V_{S+} - 0.1$			B
	抵抗性負荷への最大電流	$T_A \approx 25^\circ C$, 26.7Ω に $\pm 0.77V$, $V_{IO} < 2mV$	± 28	± 30		mA	A
	抵抗性負荷へのリニア電流	$T_A \approx 25^\circ C$, 37Ω に $\pm 0.88V$, $A_{OL} > 70dB$	± 23	± 25		mA	A
		$T_A = -40^\circ C$ から $+125^\circ C$, 37Ω に $\pm 0.76V$, $A_{OL} > 70dB$	± 20	± 23			B
	DC 出力インピーダンス	$G = 6$	0.02			Ω	C
電源							
	仕様動作電圧		2.7	5	5.4	V	B
	静止時動作電流	$T_A \approx 25^\circ C$ (DXB パッケージ) ⁽⁶⁾	875	930	970	μA	A
		$T_A \approx 25^\circ C$ ⁽⁶⁾	890	930	970		A
		$T_A = -40^\circ C \sim +125^\circ C$	680	930	1350		B
dlq/dT	静止電流温度係数	$T_A = -40^\circ C \sim +125^\circ C$	2.2	2.7	3.2	μV/°C	B
+PSRR	正の電源電圧変動除去比		95	110		dB	A
-PSRR	負の電源電圧変動除去比		90	105		dB	A
パワーダウン (ピンを駆動、SOT23-6 および SC70-6)							
	電圧スレッシュホールド有効化	$V_{S-} + 1.5V$ を上回るとオンに指定	1.5			V	A
	電圧スレッシュホールド無効化	$V_{S-} + 0.55V$ 未満でオフに指定		0.55		V	A
	ディスエーブルピンのバイアス電流	$\overline{PD} = V_{S-}$ から V_{S+}	-50	20	50	nA	A
	パワーダウン静止時電流	$\overline{PD} = 0.55V$		0.1	1	μA	A
	ターンオン時間の遅延	$\overline{PD} = High$ から $V_{OUT} =$ 最終値の 90% になるまでの時間		3.5		μs	C
	ターンオフ時間の遅延	$\overline{PD} = Low$ から $V_{OUT} =$ 最終値の 10% になるまでの時間		100		ns	C

- (1) テストレベル (特性とシミュレーションにより設定されたすべての値): (A) $25^\circ C$ で 100% テスト済み、特性評価とシミュレーションによる過熱制限あり、(B) 量産ではテストしていない、特性とシミュレーションにより設定された制限値、(C) 情報用の標準値のみ。
- (2) このスルーレートは、大信号帯域幅から以下の式によって推定される立ち上がり時間と立ち下がり時間の平均です。 $(0.8 \times V_{PEAK}/\sqrt{2}) \times 2\pi \times f_{-3dB}$ で、この f_{-3dB} はゲイン 6V/V での 4-VPP 帯域幅の標準値です。
- (3) ピンから流れ出す方向の電流を正とみなします。
- (4) 入力オフセット電圧ドリフト、入力バイアス電流ドリフト、入力オフセット電流ドリフトの標準仕様は、全温度範囲のエンドポイントデータにより特徴付けられる平均値 $\pm 1\sigma$ です。最大ドリフト仕様は、ウェハーレベルの遮蔽ドリフトのパッケージされた最小、最大試験範囲によって設定されます。ドリフトは、最終自動テスト装置 (ATE) や QA サンプルテストでは規定されていません。
- (5) 入力オフセット電圧ドリフト、入力バイアス電流ドリフト、入力オフセット電流ドリフトは、エンドポイントでデータを取得し、差動を計算し、温度範囲で割って計算されます。
- (6) 標準仕様は $25^\circ C$ T_J におけるものです。ATE の最小限度と最大限度は、 $22^\circ C \sim 32^\circ C$ の環境範囲、消費電流の温度係数 $4\mu A/^\circ C$ を考慮して拡張されています。

6.7 代表的特性 : $V_S = 5V$

$V_{S+} = 5V$, $V_{S-} = 0V$, $R_F = 1k\Omega$, $R_G = 200\Omega$, $R_L = 2k\Omega$, $G = 6V/V$, 入力と出力は中間電源を基準とし, $T_A \approx 25^\circ C$ (特に記述のない限り)

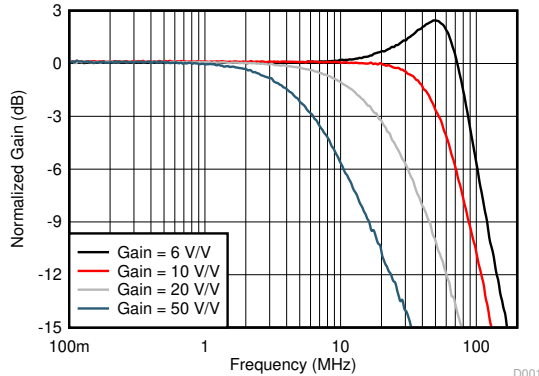


図 8-1 および 表 8-1 を参照 ($V_O = 20mV_{PP}$, $R_{LOAD} = 2k\Omega$)

図 6-1. 非反転小信号周波数応答とゲインとの関係

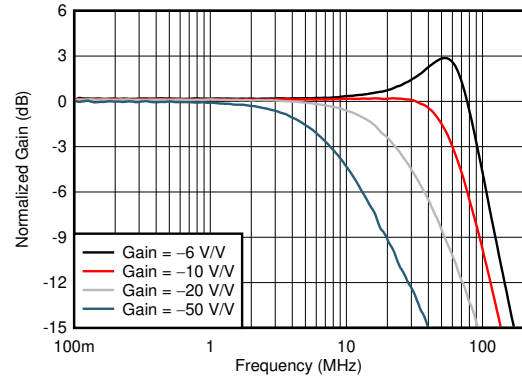
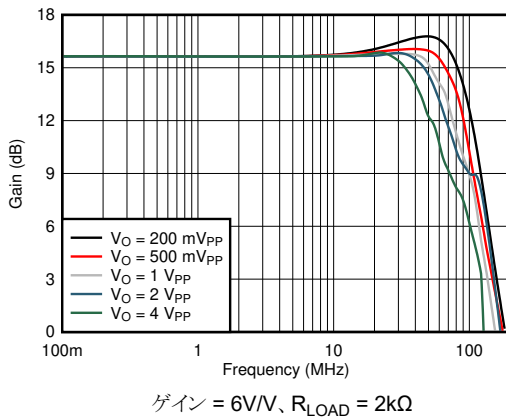


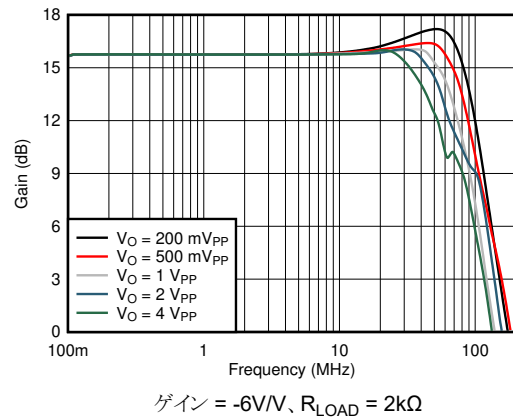
図 8-2 および 表 8-2 を参照 ($V_O = 20mV_{PP}$, $R_{LOAD} = 2k\Omega$)

図 6-2. 反転小信号周波数応答とゲインとの関係



ゲイン = $6V/V$, $R_{LOAD} = 2k\Omega$

図 6-3. 非反転型大信号帯域幅と V_{OPP} との関係



ゲイン = $-6V/V$, $R_{LOAD} = 2k\Omega$

図 6-4. 反転型大信号帯域幅と V_{OPP} との関係

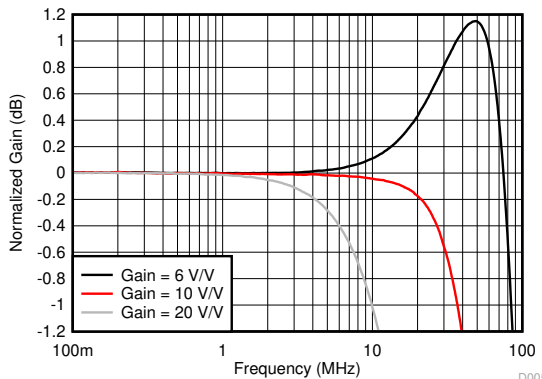


図 8-1 および 表 8-1 を参照 ($V_O = 200mV_{PP}$, $R_{LOAD} = 2k\Omega$)

図 6-5. 非反転型応答の平坦度とゲインとの関係

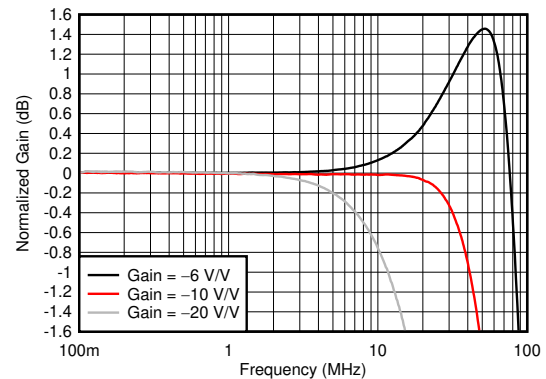


図 8-2 および 表 8-2 を参照 ($V_O = 200mV_{PP}$, $R_{LOAD} = 2k\Omega$)

図 6-6. 反転型応答の平坦度とゲインとの関係

6.7 代表的特性 : $V_S = 5V$ (続き)

$V_{S+} = 5V$, $V_{S-} = 0V$, $R_F = 1k\Omega$, $R_G = 200\Omega$, $R_L = 2k\Omega$, $G = 6V/V$, 入力と出力は中間電源を基準とし, $T_A \approx 25^\circ C$ (特に記述のない限り)

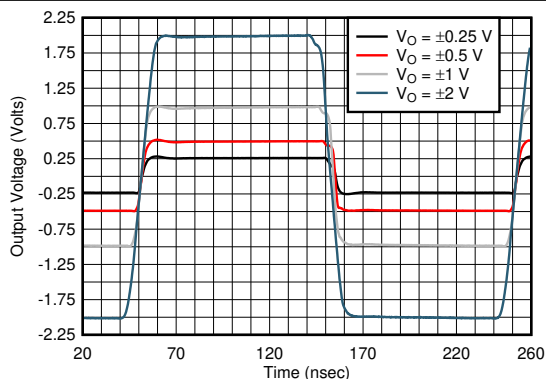


図 8-1 を参照 (6V/V のゲイン)

図 6-7. 非反転型ステップ応答と V_{OPP} との関係

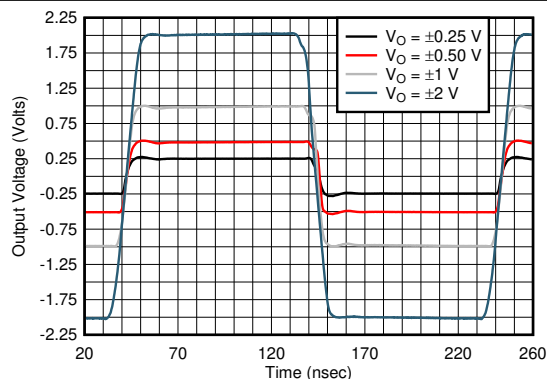


図 8-2 を参照 (-6V/V のゲイン)

図 6-8. 反転型ステップ応答と V_{OPP} との関係

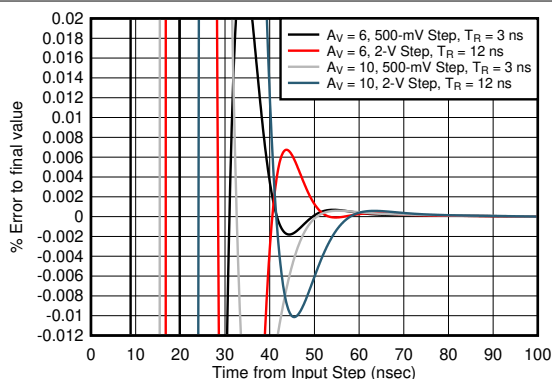


図 8-1 および 表 8-1 を参照

図 6-9. 非反転型セリングタイムのシミュレーション

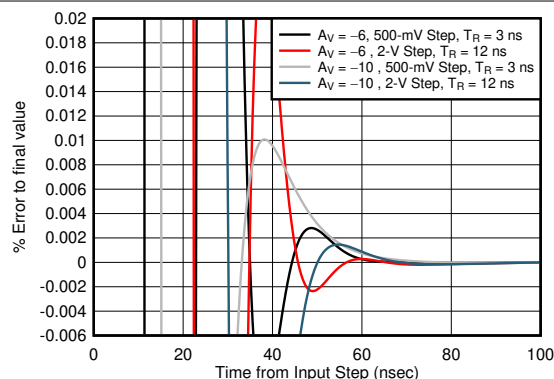


図 8-2 および 表 8-2 を参照

図 6-10. 反転型セリングタイムのシミュレーション

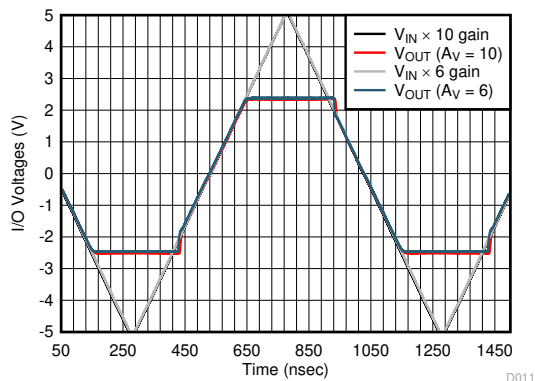


図 8-1 および 表 8-1 を参照

図 6-11. 非反転オーバードライブ回復

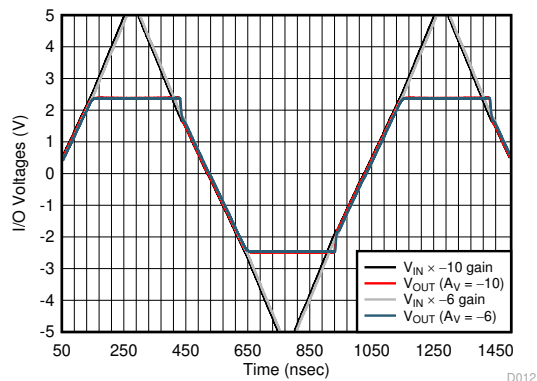


図 8-2 および 表 8-2 を参照

図 6-12. 反転オーバードライブ回復

6.7 代表的特性 : $V_S = 5V$ (続き)

$V_{S+} = 5V$ 、 $V_{S-} = 0V$ 、 $R_F = 1k\Omega$ 、 $R_G = 200\Omega$ 、 $R_L = 2k\Omega$ 、 $G = 6V/V$ 、入力と出力は中間電源を基準とし、 $T_A \approx 25^\circ C$ (特に記述のない限り)

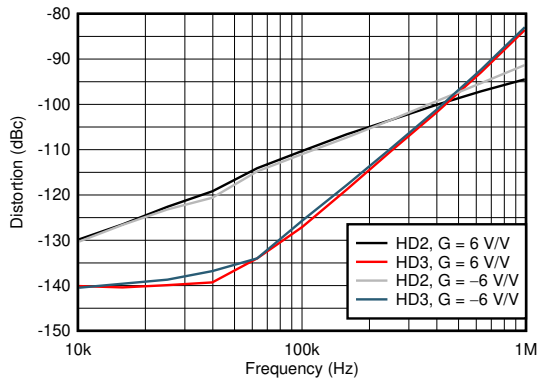


図 8-1、図 8-2、表 8-1、表 8-2 を参照

図 6-13. 高調波歪みと周波数との関係

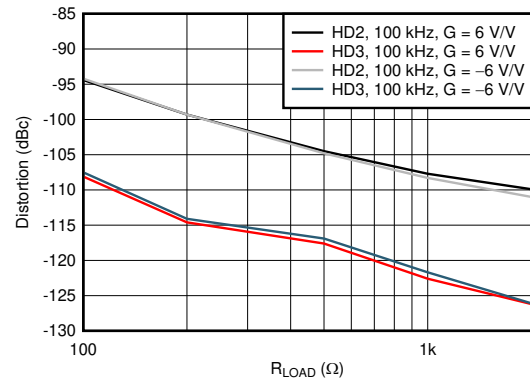


図 8-1、図 8-2、表 8-1、表 8-2 を参照

$V_O = 2V_{PP}$ 、 $f = 100kHz$

図 6-14. 高調波歪みと R_{LOAD} との関係

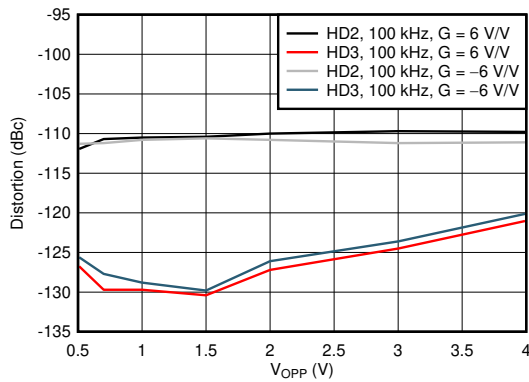


図 8-1、図 8-2、表 8-1、表 8-2 を参照

$f = 100kHz$ 、 $R_{LOAD} = 2k\Omega$

図 6-15. 高調波歪みと出力スイングとの関係

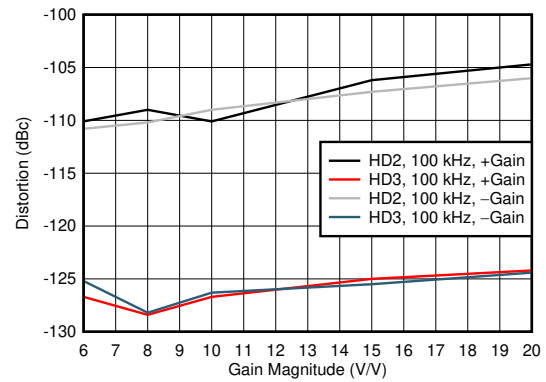


図 8-1、図 8-2、表 8-1、表 8-2 を参照

$V_O = 2V_{PP}$ 、 $R_{LOAD} = 2k\Omega$ 、 $f = 100kHz$

図 6-16. 高調波歪みとゲインとの関係

6.7 代表的特性 : $V_S = 5V$ (続き)

$V_{S+} = 5V$, $V_{S-} = 0V$, $R_F = 1k\Omega$, $R_G = 200\Omega$, $R_L = 2k\Omega$, $G = 6V/V$, 入力と出力は中間電源を基準とし, $T_A \approx 25^\circ C$ (特に記述のない限り)

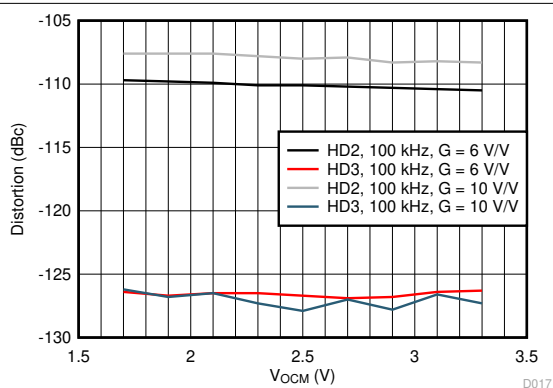


図 8-1 および 表 8-1 を参照

$V_O = 2V_{PP}$, $f = 100kHz$, $R_{LOAD} = 2k\Omega$

図 6-17. 非反転型歪みと出力同相電圧との関係

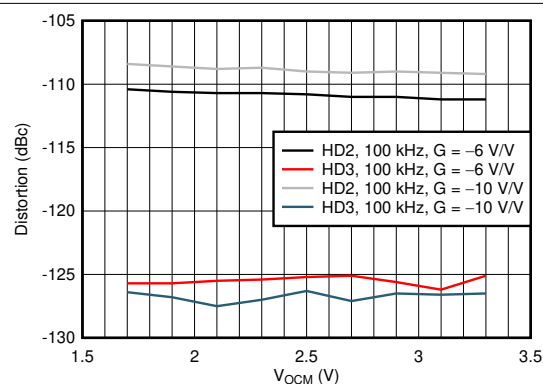


図 8-2 および 表 8-2 を参照

$V_O = 2V_{PP}$, $f = 100kHz$, $R_{LOAD} = 2k\Omega$

図 6-18. 反転型歪みと出力同相電圧との関係

6.8 代表的特性 : $V_S = 3V$

$V_{S+} = 3V$, $V_{S-} = 0V$, $R_F = 1k\Omega$, $R_G = 200\Omega$, $R_L = 2k\Omega$, $G = 6V/V$, 入力と出力は中間電源を基準とし, $T_A = 25^\circ C$ (特に記述のない限り)

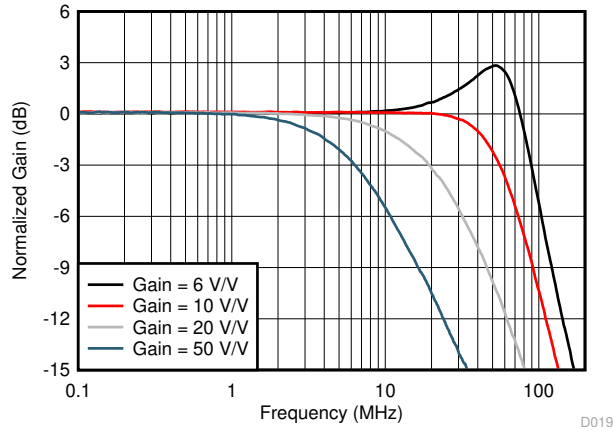


図 8-1 および 表 8-1 を参照

図 6-19. 非反転型小信号応答とゲインとの関係

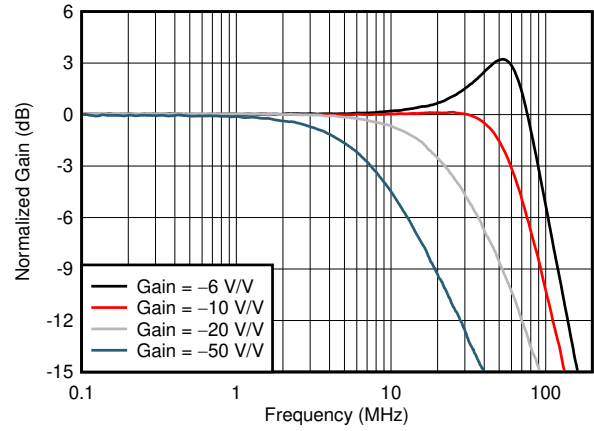


図 8-2 および 表 8-2 を参照

図 6-20. 反転型小信号応答とゲインとの関係

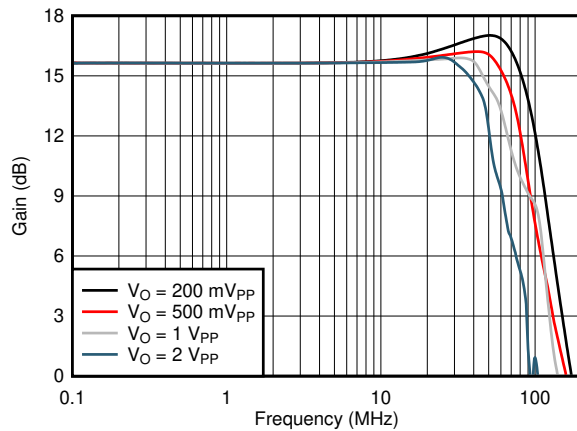


図 8-1 を参照 ($A_V = 6V/V$)

図 6-21. 非反転型大信号帯域幅と V_{OPP} との関係

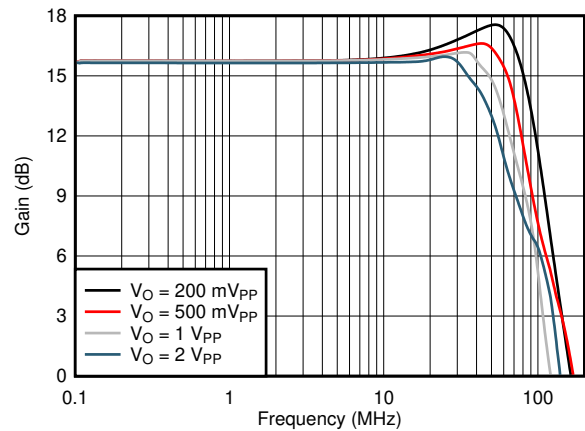


図 8-2 を参照 ($A_V = -6V/V$)

図 6-22. 反転型大信号帯域幅と V_{OPP} との関係

6.8 代表的特性 : $V_S = 3V$ (続き)

$V_{S+} = 3V$, $V_{S-} = 0V$, $R_F = 1k\Omega$, $R_G = 200\Omega$, $R_L = 2k\Omega$, $G = 6V/V$, 入力と出力は中間電源を基準とし, $T_A = 25^\circ C$ (特に記述のない限り)

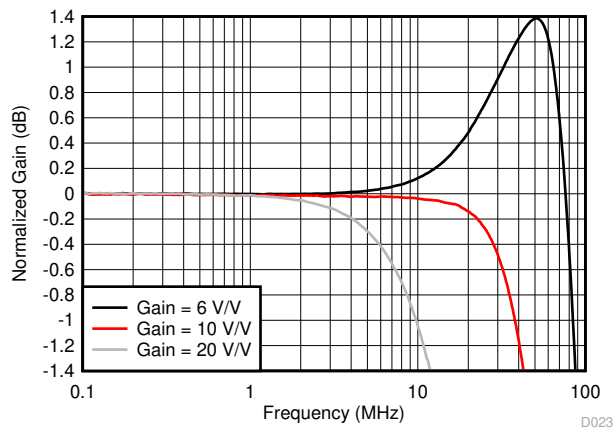


図 8-1 および 表 8-1 を参照 ($V_O = 200mV_{PP}$, $R_{LOAD} = 2k\Omega$)

図 6-23. 非反転型応答の平坦度とゲインとの関係

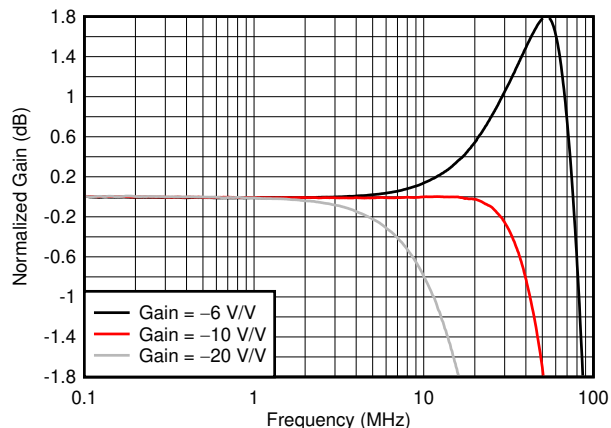


図 8-2 および 表 8-2 を参照 ($V_O = 200mV_{PP}$, $R_{LOAD} = 2k\Omega$)

図 6-24. 反転型応答の平坦度とゲインとの関係

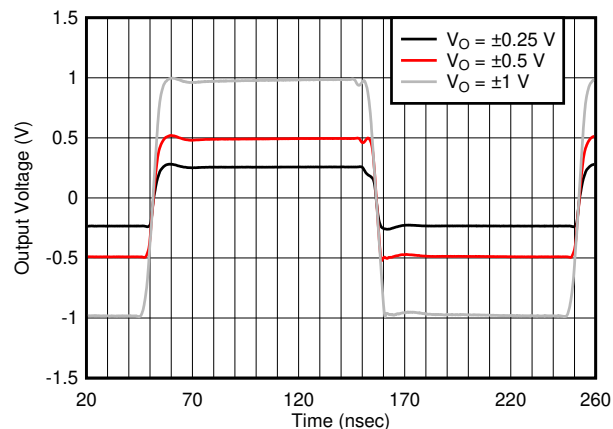


図 8-1 および 表 8-1 を参照

図 6-25. 非反転型ステップ応答と V_{OPP} との関係

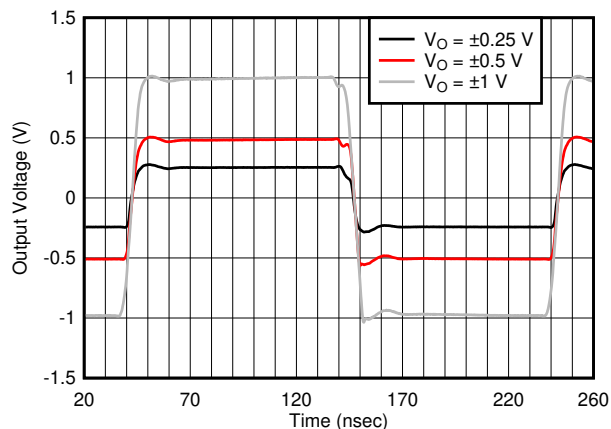


図 8-2 および 表 8-2 を参照

図 6-26. 反転型ステップ応答と V_{OPP} との関係

6.8 代表的特性 : $V_S = 3V$ (続き)

$V_{S+} = 3V$, $V_{S-} = 0V$, $R_F = 1k\Omega$, $R_G = 200\Omega$, $R_L = 2k\Omega$, $G = 6V/V$, 入力と出力は中間電源を基準とし, $T_A = 25^\circ C$ (特に記述のない限り)

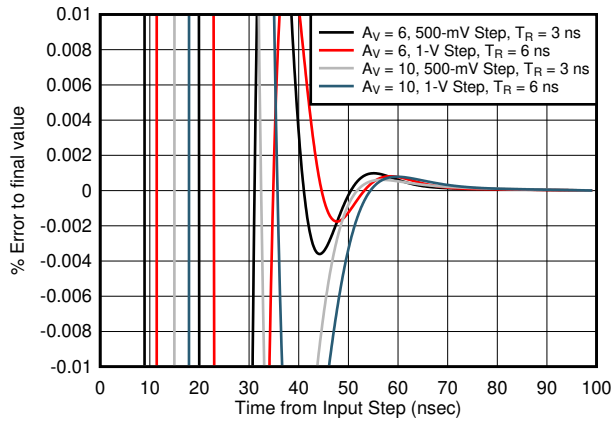


図 8-1 および 表 8-1 を参照

図 6-27. 非反転型セトリングタイム

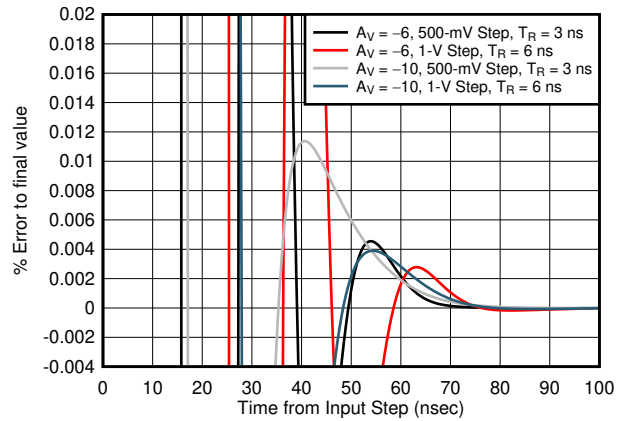


図 8-2 および 表 8-2 を参照

図 6-28. 反転型セトリングタイム

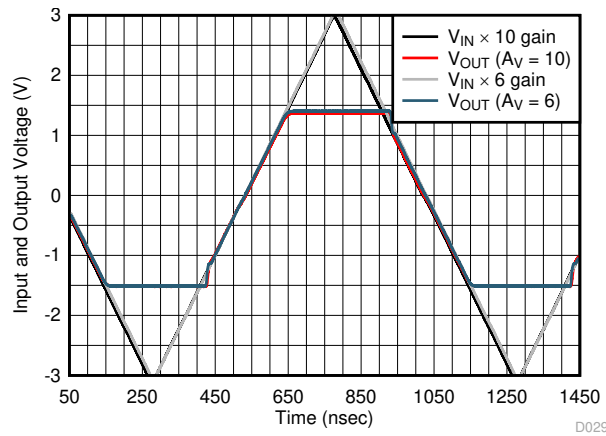


図 8-1 および 表 8-1 を参照

図 6-29. 非反転オーバードライブ回復

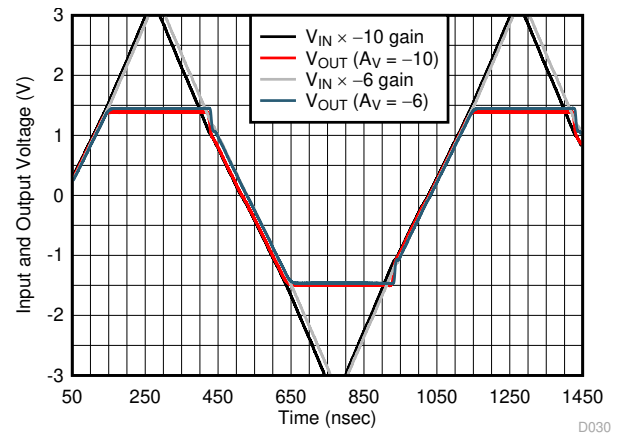


図 8-2 および 表 8-2 を参照

図 6-30. 反転オーバードライブ回復

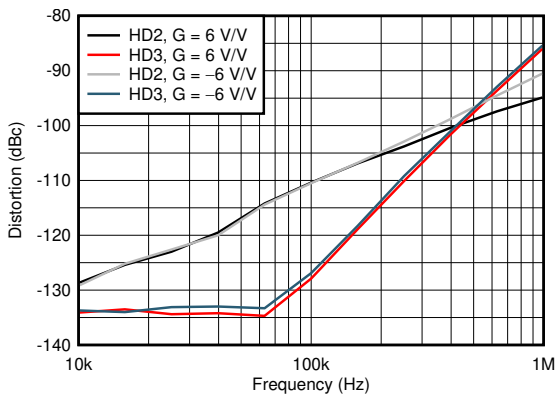


図 8-1、図 8-2、表 8-1、表 8-2 を参照

図 6-31. 高調波歪みと周波数との関係

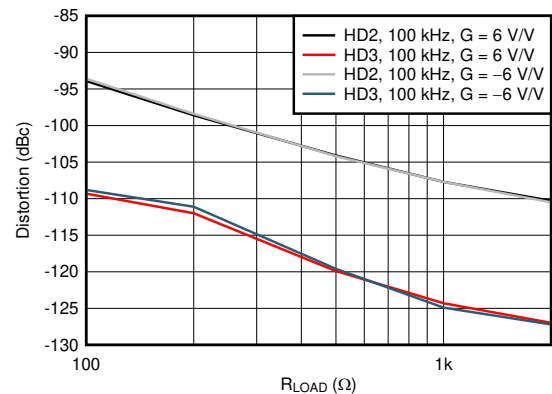


図 8-1、図 8-2、表 8-1、表 8-2 を参照

図 6-32. 高調波歪みと負荷との関係

6.8 代表的特性 : $V_S = 3V$ (続き)

$V_{S+} = 3V$, $V_{S-} = 0V$, $R_F = 1k\Omega$, $R_G = 200\Omega$, $R_L = 2k\Omega$, $G = 6V/V$, 入力と出力は中間電源を基準とし, $T_A = 25^\circ C$ (特に記述のない限り)

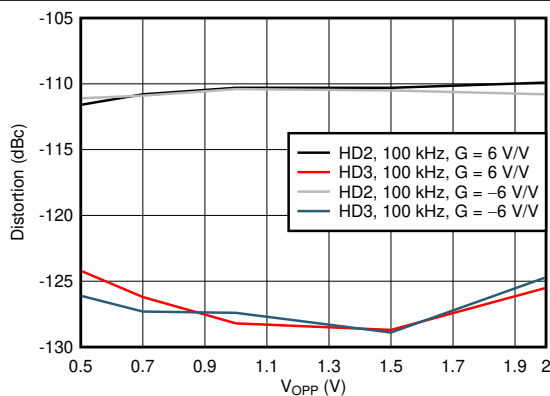


図 8-1、図 8-2、表 8-1、表 8-2 を参照

図 6-33. 高調波歪みと出力スイングとの関係

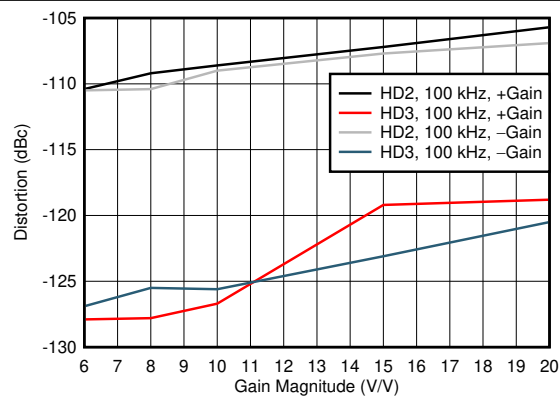


図 8-1、図 8-2、表 8-1、表 8-2 を参照

2k Ω 負荷、2V_{pp}

図 6-34. 高調波歪みとゲインとの関係

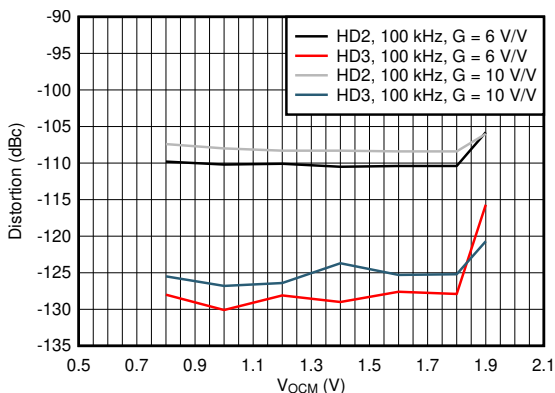


図 8-1 および 表 8-1 を参照、 $V_O = 1V_{pp}$

図 6-35. 非反転型高調波歪みと出力同相電圧との関係

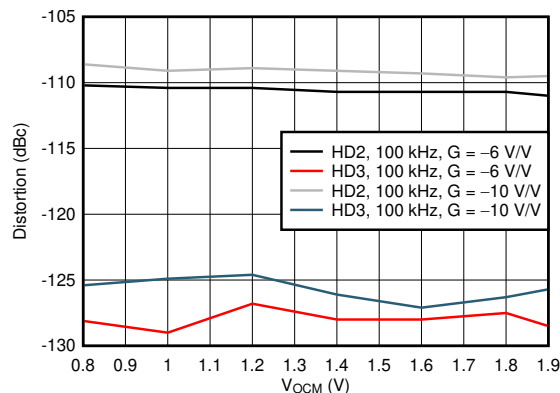
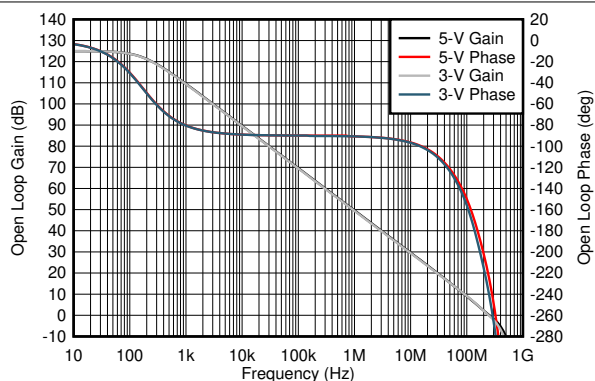


図 8-2 および 表 8-2 を参照、 $V_O = 1V_{pp}$

図 6-36. 反転型高調波歪みと出力同相電圧との関係

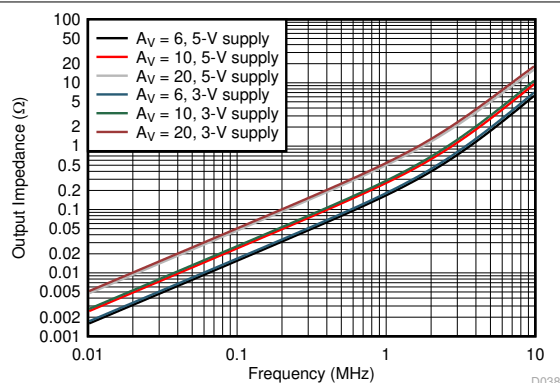
6.9 代表的特性：電源電圧範囲内

$\overline{PD} = V_{S+}$ および $T_A = 25^\circ\text{C}$ (特に記述のない限り)



無負荷、シミュレーション

図 6-37. 開ループのゲインおよび位相



D038

図 8-1 および 表 8-1 を参照 (シミュレーション)

図 6-38. 開ループ出力インピーダンス

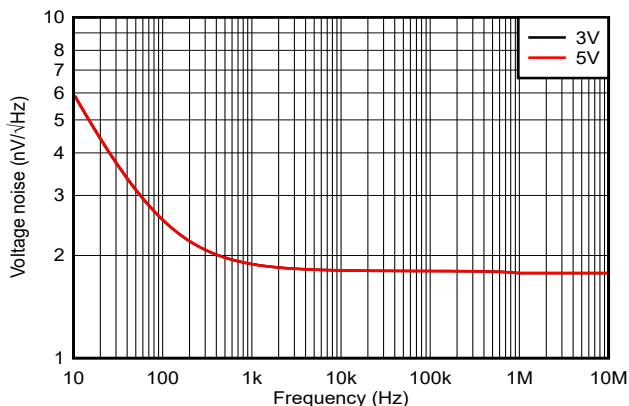


図 6-39. 入力電圧ノイズ密度

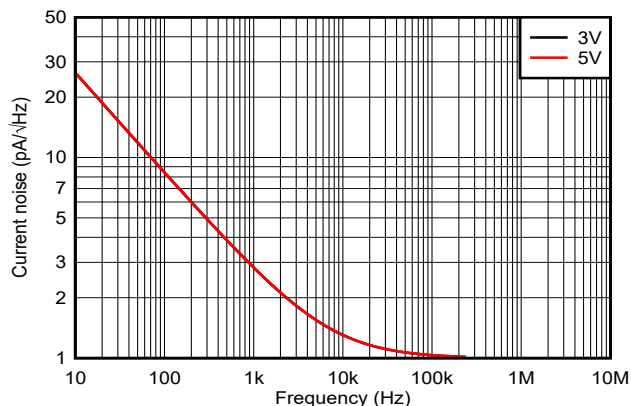
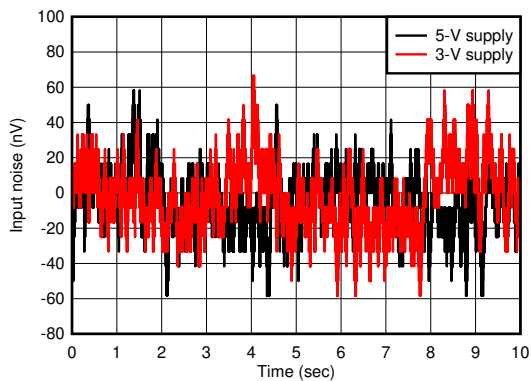
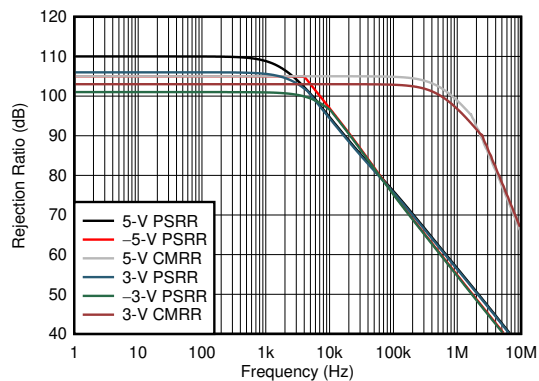


図 6-40. 入力電流ノイズ密度



入力換算

図 6-41. 低周波数電圧ノイズ

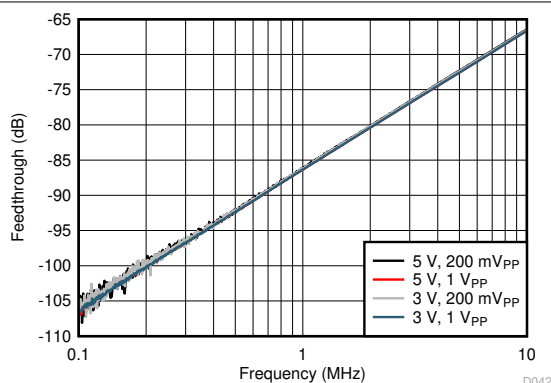


シミュレーション結果

図 6-42. PSRR と CMRR

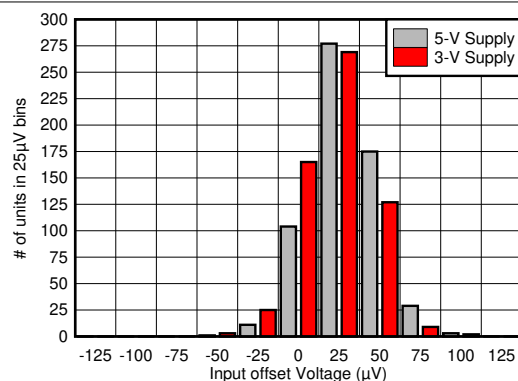
6.9 代表的特性：電源電圧範囲内 (続き)

$\overline{PD} = V_{S+}$ および $T_A = 25^\circ\text{C}$ (特に記述のない限り)



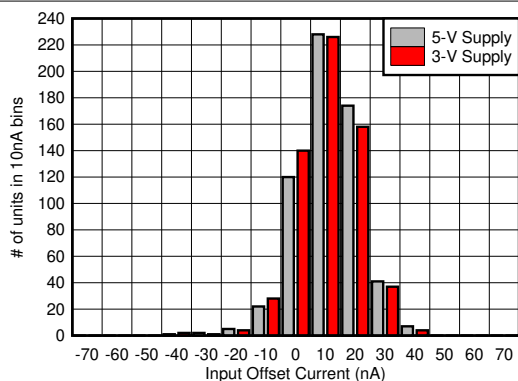
測定、 $A_V = 6\text{V/V}$ 、 100Ω 負荷

図 6-43. 入力から出力への絶縁非反転を無効化



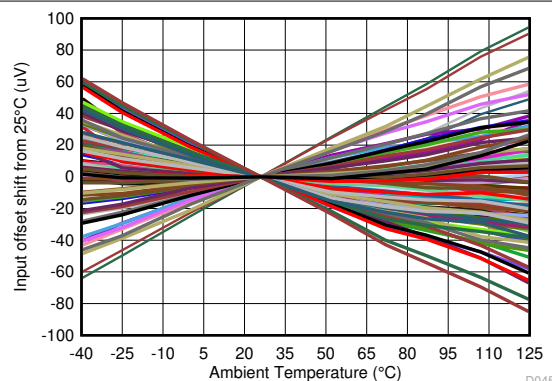
各電源電圧で 600 ユニット

図 6-44. 入力オフセット電圧分布



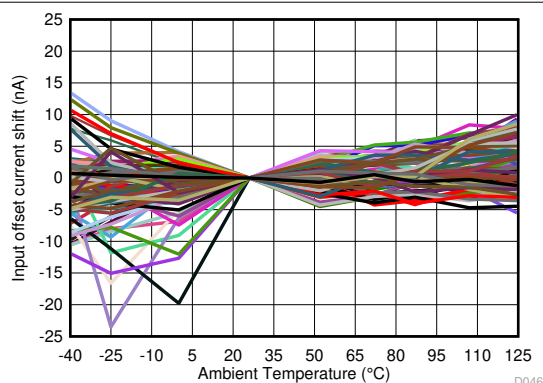
各電源電圧で 600 ユニット

図 6-45. 入力オフセット電流の分布



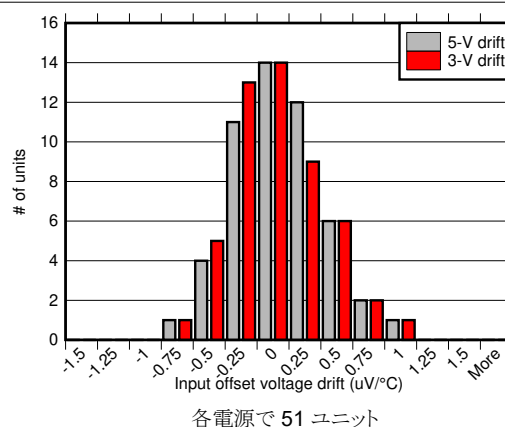
5V および 3V 供給に 51 ユニット

図 6-46. 入力オフセット電圧と温度との関係



5V および 3V 供給に 51 ユニット

図 6-47. 入力オフセット電流と温度との関係

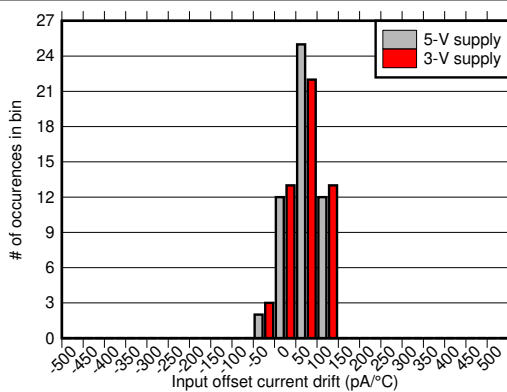


各電源で 51 ユニット

図 6-48. 入力オフセット電圧ドリフト分布

6.9 代表的特性：電源電圧範囲内 (続き)

$\overline{PD} = V_{S+}$ および $T_A = 25^\circ\text{C}$ (特に記述のない限り)



各電源で 51 ユニット

図 6-49. 入力オフセット電流ドリフト分布

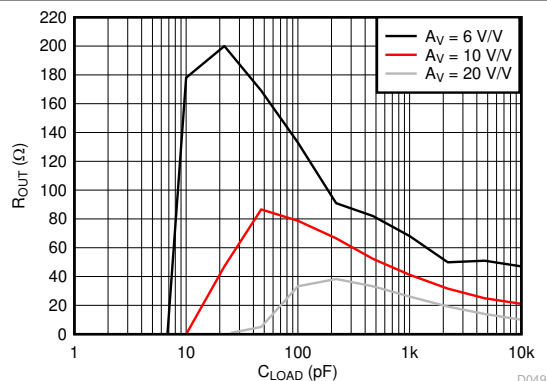


図 7-6 および 表 8-1 を参照

小信号、30 度の位相マージンを想定

図 6-50. 出力抵抗と C_{LOAD} との関係

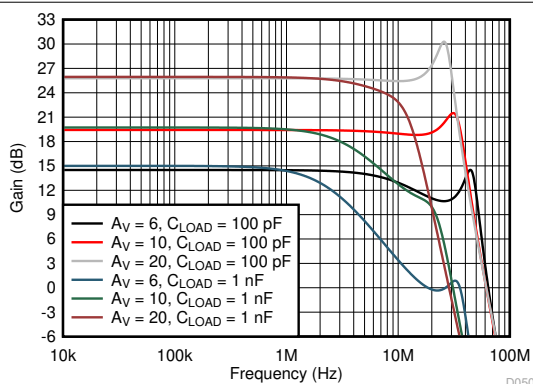


図 7-6 および 表 8-1 を参照

C_{LOAD} への 2kΩ 並列負荷

図 6-51. 小信号応答形状と推奨 R_{OUT} での C_{LOAD} との関係

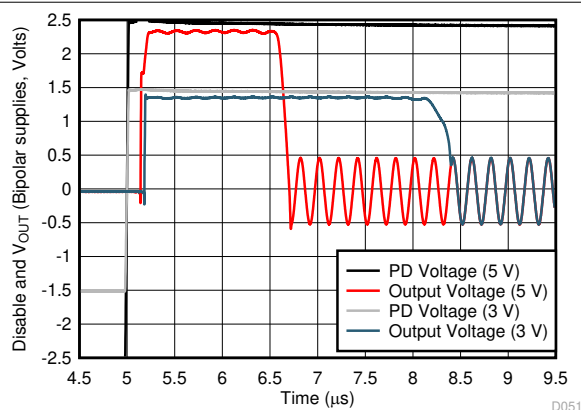


図 6-52. ターンオン時間からのシミュレーション入力

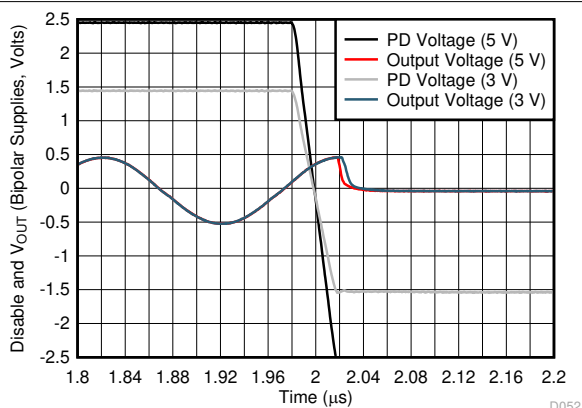
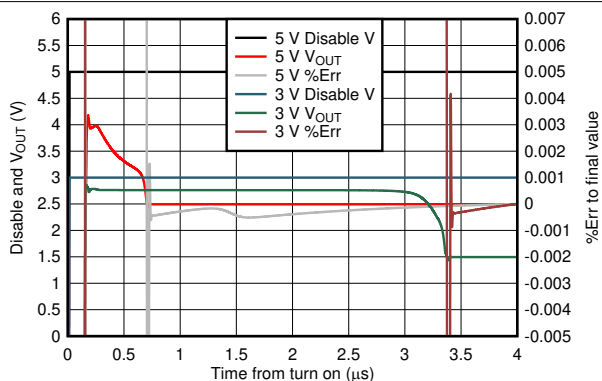


図 6-53. ターンオフ時間からのシミュレーション入力

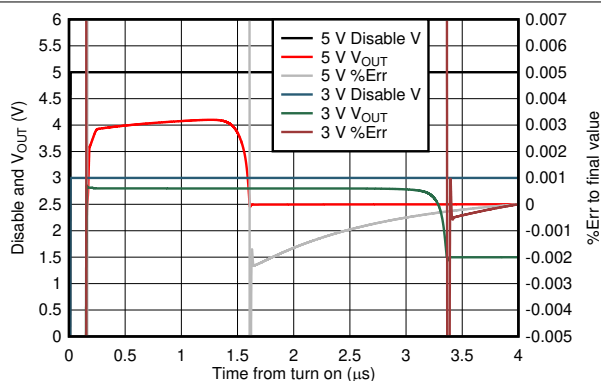


単一電源、DC 入力でミッドスケール出力を生成 (シミュレーション)

図 6-54. 6V/V ターンオン時間のゲインからミッドスケールでの最終 DC 値

6.9 代表的特性：電源電圧範囲内 (続き)

$\overline{PD} = V_{S+}$ および $T_A = 25^\circ\text{C}$ (特に記述のない限り)



単一電源、DC 入力でミッドスケール出力を生成 (シミュレーション)

図 6-55. 10V/V ターンオン時間のゲインからミッドスケールでの最終 DC 値

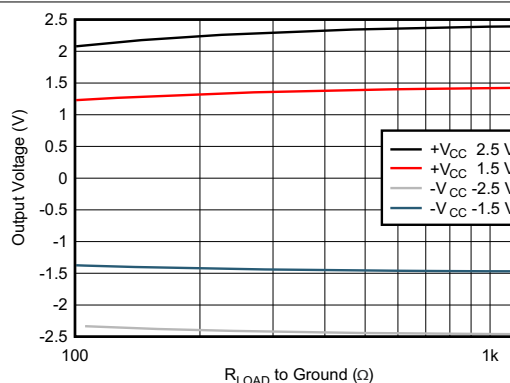


図 6-56. 出力電圧スイングと負荷抵抗との関係

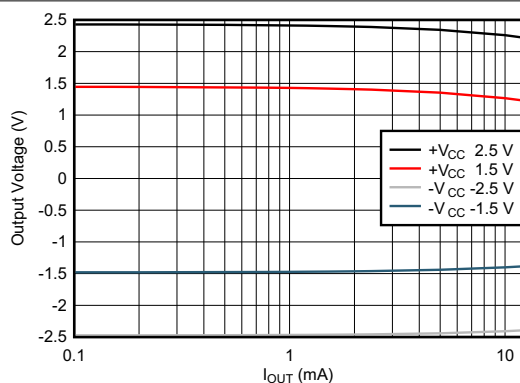


図 6-57. 出力飽和電圧と負荷電流との関係

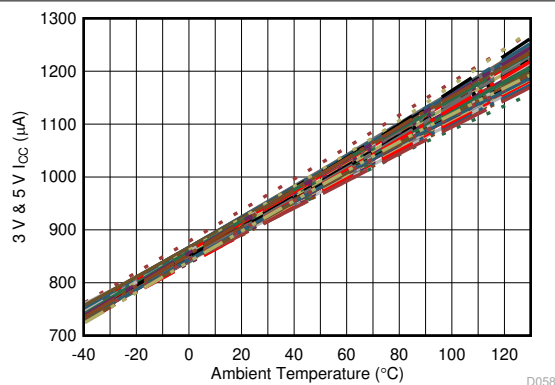


図 6-58. 静止電流と温度との関係

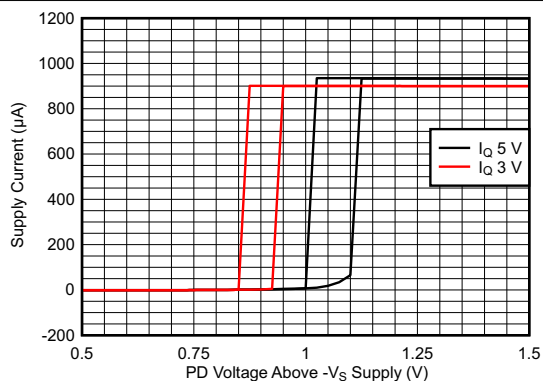
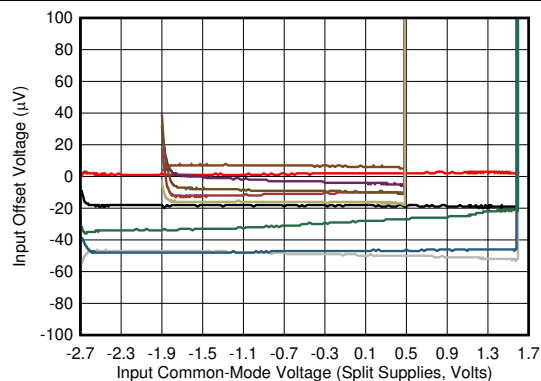


図 6-59. 電源電流とパワーダウン電圧との関係：
ターンオフよりも高いターンオン

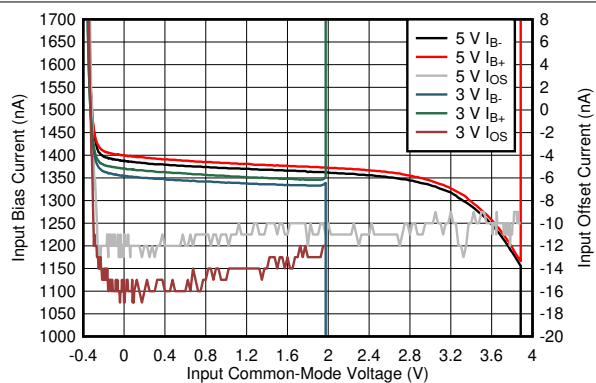


5 ユニット、3V および 5V 電源

図 6-60. 入力オフセット電圧と入力同相電圧との関係

6.9 代表的特性：電源電圧範囲内 (続き)

$\overline{PD} = V_{S+}$ および $T_A = 25^\circ\text{C}$ (特に記述のない限り)



シングルデバイスを測定

図 6-61. 入力バイアスおよびオフセット電流と V_{ICM} との関係

7 詳細説明

7.1 概要

OPA838 は電力効率の優れた非補償型の電圧帰還アンプ (VFA) です。負のレールの入力段とレールツーレール出力 (RRO) 段を組み合わせると、より高いゲインまたはトランスインピーダンスの設計が必要な場合の柔軟なオプションが得られます。この 300MHz ゲイン帯域幅積 (GBP) アンプが 2.7V ~ 5.4V の合計電源動作範囲で必要とする電源電流は 1mA 未満です。6 ピンパッケージバージョンのシャットダウン機能により、シャットダウン時に必要な電力が 1 μ A 未満の場合に電力を節約できます。低ゲイン (6V/V 未満) で動作する非補償型アンプでは、発振の危険性がある低位相マージンが発生する可能性があります。OPA838 の TINA モデルではそれらの条件を予測します。

7.2 機能ブロック図

OPA838 は、2 つのハイインピーダンス入力とローインピーダンス出力を備えた標準的な電圧帰還オペアンプです。標準アプリケーション回路がサポートされています。図 7-1 および 図 7-2 を参照してください。これらのアプリケーション回路は、単一電源設計の DC 動作ポイントを設定する入力の DC V_{REF} で示されます。 V_{REF} は多くの場合、特に分割電源アプリケーションではグラウンドです。

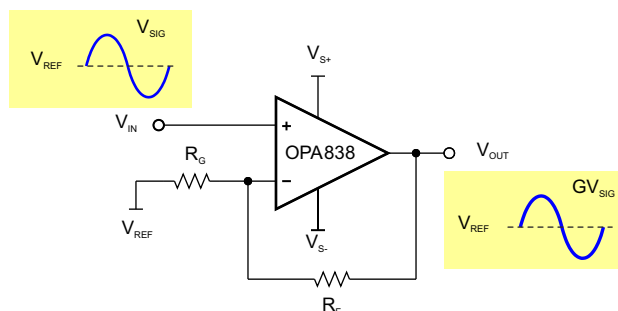


図 7-1. 非反転アンプ

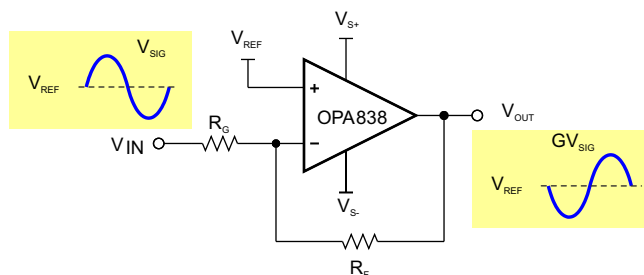


図 7-2. 反転アンプ

7.3 機能説明

7.3.1 入力同相電圧範囲

主な設計ターゲットが **CMRR** の高いリニアアンプである場合、入力ピンを入力動作範囲 (V_{ICR}) 内に維持する必要があります。これらの入力ピンのリファレンスは入力ヘッドルーム要件として各電源から切り離されます。**25°C** での規定動作は、負の電源電圧まで、および正の電源電圧の **1.3V** 内に維持されます。表のデータに記載されている同相入力範囲の仕様では、**CMRR** を使用して制限を設定します。入力電圧が規定範囲内にある場合に、**CMRR** の劣化が最小 **CMRR** 値の **3dB** を超えないようにするため、制限が選択されます。

リニア動作中、入力ピン間の電圧差は小さく (**0V**)、両方のピンが同じ電位であるため、入力同相電圧はいずれかの入力ピンで分析されます。 V_{IN+} の電圧は簡単に評価できます。非反転型構成 (図 7-1 を参照) では、入力信号 (V_{IN}) が V_{ICR} を超えないようにする必要があります。反転型構成 (図 7-2 を参照) では、リファレンス電圧 (V_{REF}) が V_{ICR} 内である必要があります。

入力電圧制限により電源レールのヘッドルームは固定され、電源電圧に追従します。単一 **5V** 電源の場合、**25°C** の線形最小入力電圧範囲は **0V ~ 3.7V**、**2.7V** の単一電源の場合は **0V ~ 1.4V** となります。各電源レールからのデルタヘッドルームは、いずれの場合も同じです (**0V** と **1.3V**)。

7.3.2 出力電圧範囲

OPA838 デバイスはレールツーレール出力のオペアンプです。レールツーレール出力は通常、出力電圧が電源レールの **100mV** の範囲内でスイングすることを意味します。これを指定するにはさまざまな方法があります。1 つは出力がまだ線形動作の場合、もう 1 つは出力が飽和状態の場合です。飽和出力電圧は線形出力よりも電源レールに近くなりますが、信号は入力の線形表現ではありません。飽和と線形動作の制限は出力電流の影響を受け、電流が大きいと出力トランジスタの電圧損失が大きくなります。図 6-57 を参照してください。

仕様表は、**2kΩ** 負荷での飽和出力電圧の仕様を示しています。図 6-11 および 図 6-44 は、飽和電圧スイングの制限と出力負荷抵抗との関係を示し、図 6-12 および 図 6-45 は出力飽和電圧と負荷電流との関係を示しています。軽負荷の場合、出力電圧制限により電源レールのヘッドルームは一定になり、電源電圧に追従します。たとえば、**1kΩ** の負荷と単一 **5V** 電源の場合、線形出力電圧の範囲は **0.12V ~ 4.88V**、**2.7V** 電源の場合は **0.12V ~ 2.58V** です。各電源レールからのデルタは、いずれの場合も同じです:**0.12V**

OPA838 などのデバイスでは入力範囲が出力範囲より低い場合、低ゲインで利用可能な信号のスイングは入力によって制限されます。**OPA838** はより高いゲインを対象としているため、入力スイング範囲が小さくても動作が制限されず、完全なレールツーレール出力が可能です。反転電圧ゲインとトランスインピーダンスの構成は、通常、非反転入力ピンが範囲内でバイアスされている場合、オペアンプの出力電圧制限によって制限されます。

7.3.3 パワーダウン動作

OPA838 にはパワーダウン機能があります。ロジック制御下では、アンプは通常動作から $1\mu\text{A}$ 未満のスタンバイ電流に切り替えることができます。 $\overline{\text{PD}}$ ピンが High (負電源より 1.5V 以上) に接続されると、アンプはアクティブになります。 $\overline{\text{PD}}$ ピンが Low (負電源より 0.55V 以下) に接続されると、アンプはディスエーブルになります。アンプの入力段を保護するため、本デバイスは反転入力ピンと非反転入力ピンの間に内蔵のバックツォバックダイオード (各方向に 2 個を直列に接続) を使用します。シャットダウン時の差動電圧が 1.2V を超えると、これらのダイオードがオンになります。

$\overline{\text{PD}}$ ピンをアクティブに High または Low に駆動します。このピンはフローティングにしないでください。パワーダウンモードを使用しない場合は、 $\overline{\text{PD}}$ ピンを正の電源レールに接続してください。

単一電源とグランドからオペアンプに電力を供給され、 V_{DD} からオペアンプへの電圧と類似したロジックデバイスから $\overline{\text{PD}}$ を駆動するときは、特別な考慮事項は必要ありません。グランドより低い $V_{\text{S-}}$ の分割電源からオペアンプに電力を供給する場合、プルアップ抵抗を備えたオープンコレクタタイプのインターフェイスの方が適しています。プルアップ抵抗の値は $100\text{k}\Omega$ 未満である必要があります。図 6-54 はパワーダウンからの回復について、図 6-55 はいくつかのゲインについて説明しています。単一電源モードでは、ゲイン抵抗がグランドに接続されると、最初の電源オン時に内部ノードが充電されるまで出力は正の電源に近づき、その後ターゲットの出力電圧に回復します。図 6-52 および 図 6-53 を参照してください。

7.3.4 帰還抵抗値の選択におけるトレードオフ

OPA838 は、 6V/V の非反転型ゲイン構成で、グランドに 200Ω のゲイン抵抗を接続した $1\text{k}\Omega$ の帰還抵抗を使用して規定されています。これらの値により適切な妥協点が得られ、抵抗のノイズの寄与をアンプのノイズ項よりもはるかに小さく保ち、出力電圧スイングによって負荷電流が帰還回路網に戻るため、帰還回路網の電力を最小限に抑えることができます。これらの値を小さくするとノイズが改善されますが、帰還回路網で消費される電力は大きくなります。値を小さくすると帰還負荷が減少するため、高調波歪みが増大します。特定のゲインで R_F の値を大きくすると、これらの抵抗の出力ノイズの寄与が増加して支配的になる可能性があります。帰還抵抗の値が増加し続けると (R_G は固定ターゲットゲイン)、反転入力容量を駆動するインピーダンスによって低周波数でループ極が増えるため、位相マージンが失われます。図 7-3 は、 R_F の値の増加に従い 6V/V のゲインでループ極が増える様子を示しています。この非反転テストは、反転入力容量の同相モード入力容量のため、 R_F の値が増加するにつれてピークが増えることを示しています。TINA シミュレーションモデルでは、これらの影響を的確に予測できます。

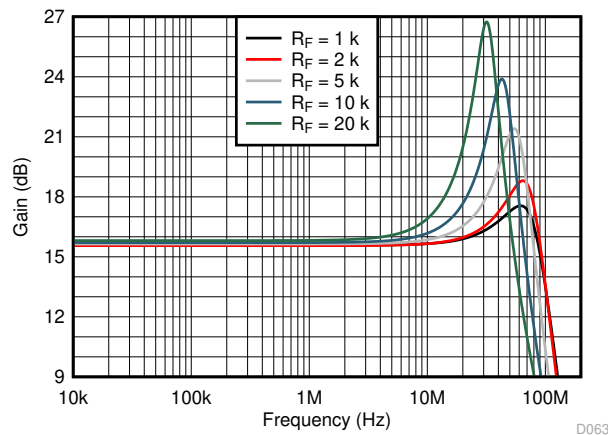


図 7-3. さまざまな帰還抵抗の値による周波数応答

OPA838 をより高い R_F 値の反転モードで動作させると、位相マージンの影響が失われるため、応答ピークが増加します。反転の場合、1 対のコンデンサによって応答を平坦化できますが、閉ループ帯域幅は狭くなります。図 7-4 は、オプションのコンデンサ (C_F および C_G) を使った $-5V/V$ の反転ゲイン (ノイズゲイン = $6V/V$) での $20k\Omega$ の R_F 値の例を示しています。図 7-4 は、非反転入力、オプションのバイアス電流キャンセル素子を示しています。合計抵抗値は $R_G \parallel R_F$ の並列の組み合わせと一致しており、これにより $I_{OS} \times R_F$ へのバイアス電流による DC 出力誤差項が低減されます。このバイアス電流キャンセル抵抗の大きい部分に $10nF$ コンデンサを追加してノイズをフィルタリングし、 20Ω を分割してコンデンサの自己共振を非反転入力から絶縁します。図 7-5 は、これらのコンデンサを使用した場合と使用しない場合の小信号応答の形状を示しています。帰還コンデンサ C_F を選択して、 R_F を使用した目的の閉ループ帯域幅を設定します。 C_G をグラウンドに追加して、全周波数帯域のノイズゲインが、より高い周波数で $6V/V$ 以上になるようにします。この例では、そのより高い周波数ノイズゲインは $1 + 6/1.2 = 6V/V$ で、 $1pF$ のデバイス同相モード容量が外部 $5pF$ に追加されています。コンデンサを使用して帰還比を設定すると、純粋な抵抗ソースから反転寄生容量への帰還駆動で発生するポールが除去されます。

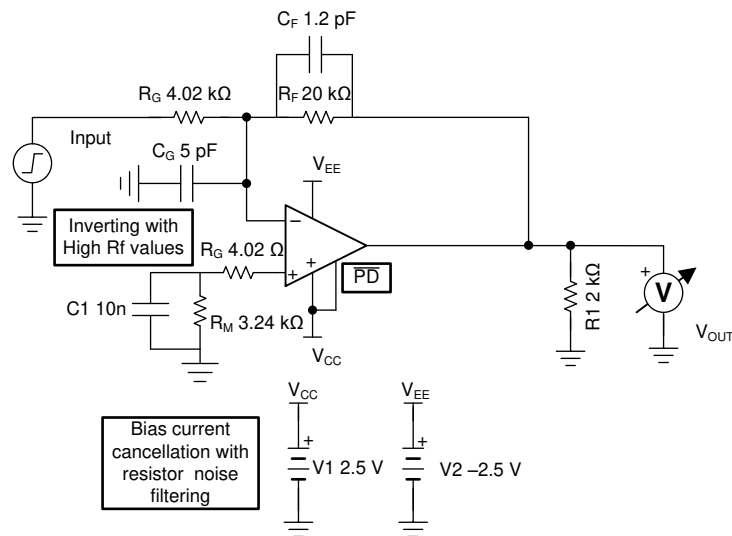


図 7-4. $G = -5V/V$ オプションの補償付き

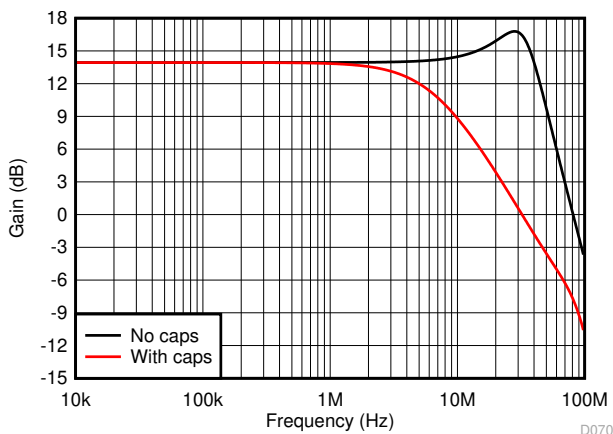


図 7-5. 補償がある場合とない場合の反転応答

7.3.5 容量性負荷の駆動

OPA838 は、発振 (6pF 未満) なしで小さな容量性負荷を直接駆動します。図 6-50 は、6pF を超える容量性負荷を駆動する場合の、ゲインに関する推奨 R_{OUT} と容量性負荷パラメータとの関係を示しています。ゲインが大きい場合、アンプは抵抗性負荷への位相マージンが大きい状態で開始し、特定の容量性負荷に対して低い R_{OUT} で動作できます。 R_{OUT} を使用しないと、出力キャパシタンスがアンプの出力インピーダンスと相互作用して、アンプのループゲインに位相シフトを発生させ、位相マージンが低下します。この位相シフトにより、パルス応答にオーバーシュートとリングングが含まれる周波数応答のピークを引き起こします。図 6-50 は OPA838 の 30° の位相マージンをターゲットとしています。 30° の位相マージンによってアンプの出力ピンの周波数応答に 5.7dB のピークが発生し、出力 RC のポールでロールオフされます (図 7-7 を参照)。このピークにより、容量性負荷を駆動する大信号でクリッピングが発生する場合があります。 R_{OUT} の値を大きくするとピークを低減できますが、全体的な応答帯域がより制限されます。

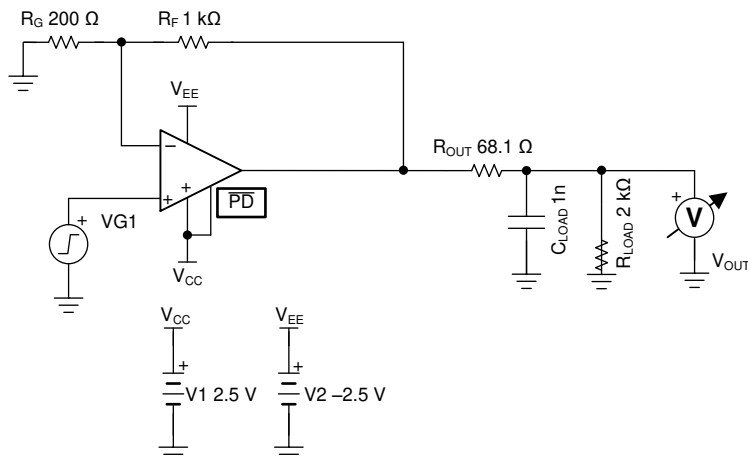


図 7-6. R_{OUT} と C_L テスト回路との関係

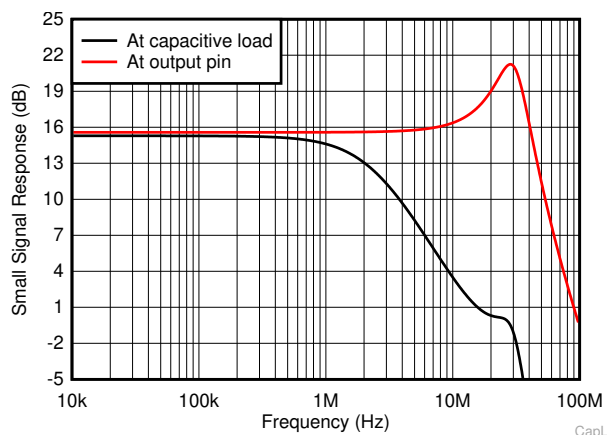


図 7-7. 出力ピンと容量性負荷に対する周波数応答

7.4 デバイスの機能モード

7.4.1 分割電源動作 ($\pm 1.35\text{V} \sim \pm 2.7\text{V}$)

一般的なラボ機器でのテストを容易にするため、OPA838 評価基板 (評価基板のリンクを参照) は分割電源動作を可能にする構造を採用しています。この構成により、電源レール間の中間点がグランドとなり、ほとんどの信号ジェネレータ、ネットワークアナライザ、オシロスコープ、スペクトルアナライザ、およびその他のラボ用機器は入力と出力にグランドリファレンスを使用するため、ラボでのテストが容易になります。これにより、ブロッキングコンデンサが不要になり、特性が簡単になります。

図 7-8 は、 $\pm 2.5\text{V}$ 電源とグランドに等しい V_{REF} を使用する図 7-1 に類似した、単純な非反転構成を示しています。入力と出力のスイングはグランド付近で対称的です。使用しやすくするため、信号がグランド付近でスイングするシステムでは分割電源を推奨します。バイポーラ (または分割) 電源を使用すると、シャットダウン制御のスレッショルドがシフトします。デイスエーブル制御は、単一電源アプリケーションの負電源 (通常はグランド) を基準としています。ただし、負電源を使用してデイスエーブルにするには、そのピンを負電源よりも 0.55V 以内に設定する必要があります。デイスエーブルが不要な場合は、分割電源アプリケーションでも、正常な動作を維持するためにそのピンを正の電源電圧に接続します。デイスエーブルピンはフローティングにしないでください。ピンを電圧にアサートします。

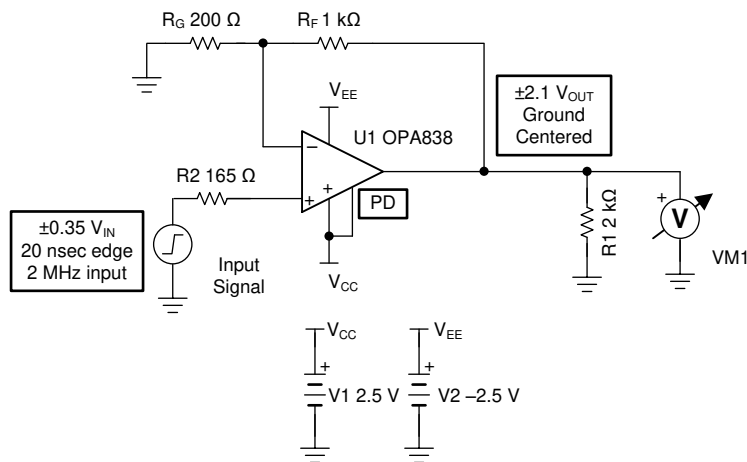


図 7-8. 単一電源動作

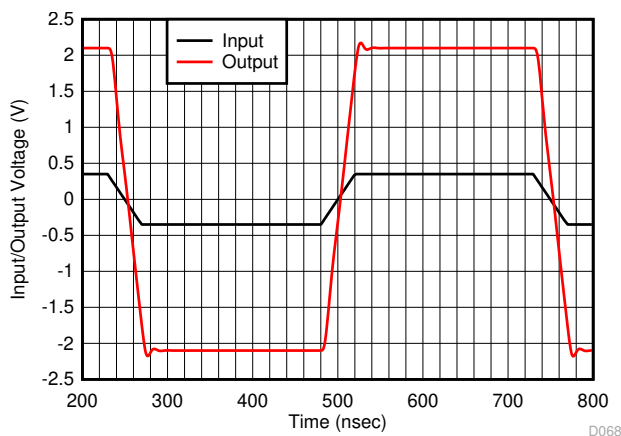


図 7-9. バイポーラ電源ステップ応答

7.4.2 単一電源動作 (2.7V ~ 5.4V)

大半の新しいシステムは、単一電源を使用して効率の向上や電源設計の簡素化を実現しています。OPA838 は、入力ピンと出力ピンがデバイスの線形動作領域内でバイアスされていれば、単一電源 (負電源はグランド) で使用でき、分割電源を使用する場合と性能の変化はありません。出力は、線形動作に必要な約 100mV のヘッドルームで、レールツーレールで名目上スイングします。入力も、負のレール (通常はグランド) より小さく、正の電源の 1.3V 以内でスイングできます。DC 結合の単一電源動作の場合、一般的に非補償型オペアンプで高ゲイン動作をするアプリケーションでは、入力スイングを正の電源の入力スイング制限よりも小さくします。通常、正の電源に必要な 1.3V の入力ヘッドルームでは動作が制限されません。

図 7-10 は、0V ~ 0.5V 入力範囲で、5V SAR ADC に共通する 4.5V のリファレンス電圧を使用して、0V 入力の出力を 0.15V までレベルシフトし、0.5V の入力スイングに対して 4.1V の出力スイングを生成するようにゲインを設定する設計例を示しています。この例では、0V 入力に対して 0.15V 出力を生成する正の入力ピンにバイアスをかけるのに必要な、39 μ A をシンクする 0 Ω のソースを想定しています。 R_F と R_G の値はわずかに縮小され、非反転入力側の 2 つのバイアス設定抵抗の並列の組み合わせを調整することで、バイアス電流をキャンセルできます。図 7-11 は、0V 入力から 0.15V、0.5V 入力から 4.35V の出力を生成する回路のステップ応答の例を示しています。

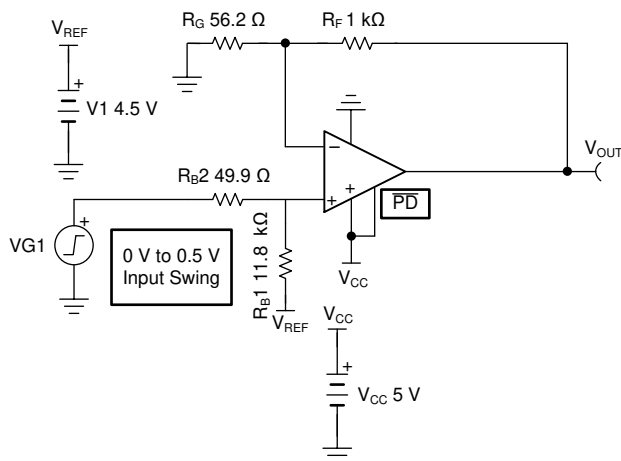


図 7-10. DC 結合、単一電源、非反転インターフェイス、出力レベルシフト付き

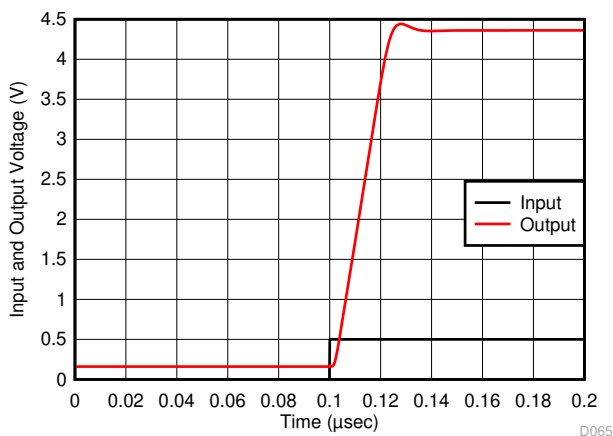


図 7-11. ユニポーラ入力からレベルシフト出力へのステップ応答

AC 結合が許容される場合、単一電源を動作させる簡単な方法は反転を動作させることです。図 7-12 は、低消費電力、高ゲインの例を示しています。この例では、 -20V/V のゲインが実装されており (AC 結合チャンネルでは通常、反転は問題になりません)、 $V+$ 入力がミッドスケールにバイアスされています。この例はオプションのバイアス電流キャンセル設定を示しています。出力 DC レベルで良好な精度が必要な場合以外、これは不要です。分周抵抗と 80.7Ω の絶縁抵抗の並列の組み合わせが帰還抵抗の値と一致します。反転入力にブロッキングコンデンサを接続して、帰還抵抗のインピーダンスをマッチングし、バイアス電流を打ち消すことができます。この 3V 電源例では、2 つの入力と出力は 1.5V にバイアスされています。これにより入力ピンが範囲内に収まり、利用可能な最大 V_{PP} が出力の中心になります。図 7-13 は、この例の小信号応答ですが、入力コンデンサの値で設定する 887Hz のローエンドカットオフから、 17.5MHz の高周波数カットオフまでの $f_{-3\text{dB}}$ の範囲が表示されています。

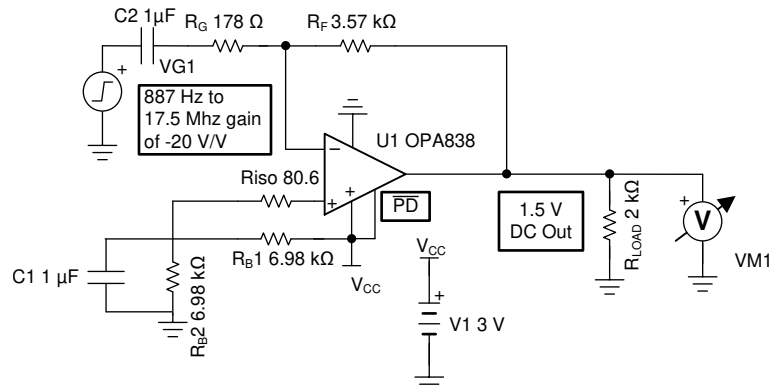


図 7-12. AC 結合入力を使用する単一電源反転ゲインステージ

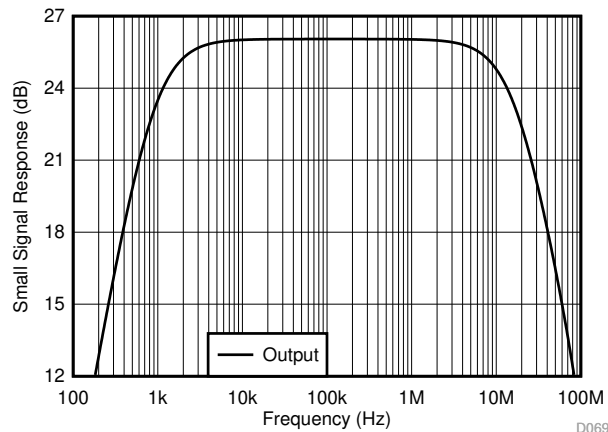


図 7-13. AC 結合入力を使用する反転単一電源応答

これらの方式は、単一電源設計の多くの実装方法の 2 つの例にすぎません。DC リファレンス電圧または AC 結合を使用する一般的な方法は多く存在しています。「[単一電源オペアンプの設計技法](#)」は、適切なオプションの組み合わせをまとめています。

7.4.3 電源シャットダウン動作

前述のように、電源シャットダウン機能を提供する 6 ピンのパッケージでは、そのピンをアサートする必要があります。シャットダウン電力を可能な限り低く抑えるため、OPA838 には内部プルアップ抵抗がありません。制御スレッショルドは負電源を基準としており、公称内部スレッショルドが負電源よりも 1V 高い値近くなっています。ワーストケースの許容誤差により、負電源より大きい 0.55V (またはそれ以下) のシャットダウンを行うために必要な Low レベル電圧、および有効な動作を維持するための負電源より大きい 1.5V (またはそれ以上) が決定されます。必要とされる制御ピン電流は $\pm 50\text{nA}$ 未満です。シャットダウン機能を必要としない SOT-23-6 アプリケーションの場合は、ディスエーブル制御ピンを正の電源に接続します。シャットダウンを必要としない SC70 パッケージアプリケーションでは、制御パッドが内部で正の電源に接続されている 5 ピンパッケージを使用します。ディスエーブルのとき、出力は通常は高インピーダンス状態になります。ただし、帰還回路網にはオフ状態の電圧状態に対する放電経路があります。図 6-52 は比較的低速の正弦波入力によるターンオン時間を示していますが、図 6-53 はターンオフ時間が高速な場合を示しています。図 6-54 および 図 6-55 は、DC 入力を使った単一電源動作で 6V/V と 10V/V のゲインで中電圧出力が生成される様子を示しています。いずれの場合も、出力電圧は正の電源電圧に近いポイントに遷移し、その後、ディスエーブル制御ラインが High になった後、目的の出力電圧が 0.5 μs から 1.5 μs に変化します。シャットダウン時の消費電流は、公称で 0.1 μA と小さく、最大 1 μA です。

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

8.1.1 非反転アンプ

OPA838 は非反転入力 (V_{IN+}) への信号入力がある非反転アンプとして使用できます。図 7-1 に、回路の基本ブロック図を示します。分割電源を使用するとき、 V_{REF} は多くの場合グランドになります。

$V_{IN} = V_{REF} + V_{SIG}$ で、ゲイン設定抵抗 (R_G) が V_{REF} の DC リファレンスである場合、式 1 を使用してアンプの出力を計算します。

$$V_{OUT} = V_{SIG} \left(1 + \frac{R_F}{R_G} \right) + V_{REF} \quad (1)$$

$$G = 1 + \frac{R_F}{R_G}$$

回路の非反転型信号ゲイン (ノイズゲインとも呼ばれます) は、以下で設定されます：

V_{REF} は入力信号と出力信号をシングさせるリファレンスを提供します。出力信号は、周波数応答のフラットな部分にある入力信号と位相が一致します。OPA838 のような高速、低ノイズのデバイスでは、 R_F に選択した値 (および目的のゲインに選択した R_G) は、回路の動作に大きな影響を及ぼす可能性があります。図 8-1 は非反転型回路の特性曲線のテスト構成を示しています。表 8-1 はゲインに対する推奨抵抗値を示しています。

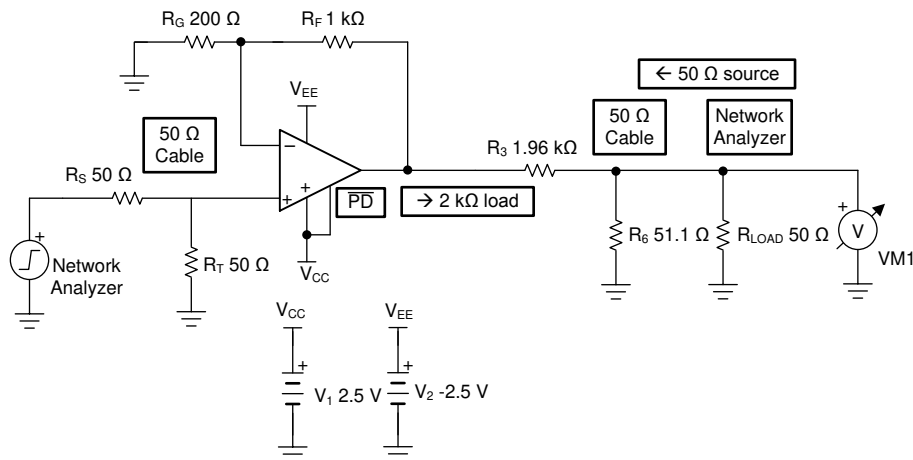


図 8-1. 非反転型特性回路

表 8-1 に、6V/V ～ 20V/V のターゲットゲインの推奨抵抗値を示しています。この表は、抵抗ノイズの寄与を合計出力ノイズ電力の約 40% に設定するように、 R_F と R_G の値を制御しています。これにより、オペアンプの電圧ノイズが生成する電圧ノイズよりも出力のスポットノイズが 20% 増加します。値を小さくすると、設計における出力ノイズが小さくなりますが、帰還回路の電力が大きくなります。TINA モデルとシミュレーションツールを使用すると、抵抗値のさまざまな選択肢が応答形状とノイズに及ぼす影響を確認できます。

表 8-1. 非反転型推奨抵抗値

ターゲットの平均	R_F (Ω)	R_G (Ω)	実際のゲイン (V/V)	ゲイン (dB)
6	1000	200	6	15.56
7	1180	196	7.02	16.93
8	1370	196	7.99	18.05
9	1540	191	9.06	19.15
10	1690	187	10.04	20.03
11	1870	187	11	20.83
12	2050	187	11.96	21.56
13	2210	182	13.14	22.37
14	2370	182	14.02	22.94
15	2550	182	15.01	23.53
16	2740	182	16.05	24.11
17	2870	178	17.12	24.67
18	3090	182	17.98	25.09
19	3240	178	19.20	25.67
20	3400	178	20.1	26.06
21	3570	178	21.06	26.47

8.1.2 反転アンプ

OPA838 は、ゲイン設定抵抗 (R_G) を介して反転入力 (V_{IN-}) に信号入力がある反転アンプとして使用できます。図 7-2 に、回路の基本ブロック図を示します。

$V_{IN} = V_{REF} + V_{SIG}$ で、非反転入力が V_{REF} に DC バイアスされる場合、アンプの出力は 式 2 に従い計算されます：

$$V_{OUT} = V_{SIG} \left(\frac{-R_F}{R_G} \right) + V_{REF} \quad (2)$$

回路の信号ゲイン $G = \frac{-R_F}{R_G}$ と V_{REF} により、入力ゲインと出力信号がスイングするリファレンスポイントが得られます。バイポーラ電源動作では、 V_{REF} は多くの場合 GND です。アプリケーションのパスバンドで、出力信号には入力信号と 180° の位相差があります。図 8-2 は、反転特性プロットに使用する 50 Ω 入力マッチング構成を示しています。この場合、追加の終端抵抗を入力 R_G 抵抗と並列に配置して、50 Ω の試験装置とインピーダンスを一致させます。表 8-2 は、-6V/V から -20V/V にゲインを反転させるための R_F 、 R_G 、 R_T の推奨値を一覧しています。

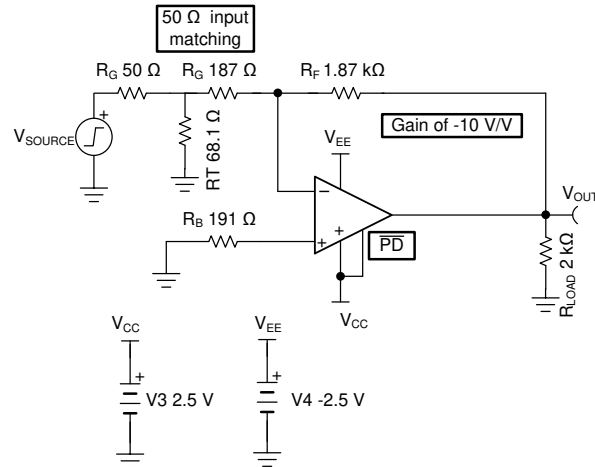


図 8-2. 入力インピーダンスマッチングによる反転

表 8-2. 推奨抵抗値の反転

平均	R_F (Ω)	R_G (Ω)	正確な R_T	標準 R_T	入力 Z_i	実際 (V/V)	ゲイン (dB)
-6	1180	196	67.1	66.5	49.7	-6.02	15.59
-7	1370	196	67.1	66.5	49.7	-6.99	16.89
-8	1540	191	67.7	68.1	50.2	-8.06	18.13
-9	1690	187	68.2	68.1	49.9	-9.04	19.12
-10	1870	187	68.2	68.1	49.9	-10	20
-11	2050	187	68.2	68.1	49.9	-10.96	20.80
-12	2210	182	68.9	68.1	49.6	-12.14	21.69
-13	2370	182	68.9	68.1	49.6	-13.02	22.29
-14	2550	182	68.9	68.1	49.6	-14.01	22.93
-15	2740	182	68.9	68.1	49.6	-15.05	23.55
-16	2870	178	69.5	69.8	50.1	-16.12	24.15
-17	3090	182	68.9	69.8	50.5	-16.98	24.6
-18	3240	178	69.5	69.8	50.1	-18.20	25.2
-19	3400	178	69.5	69.8	50.1	-19.10	25.62
-20	3570	178	69.5	69.8	50.1	-20.06	26.04

8.1.3 出力 DC 誤差の計算

OPA838 は、高い開ループゲイン、高い同相信号除去、高い電源除去、低い入力オフセット電圧およびバイアス電流オフセット誤差により、優れた DC 信号精度を実現します。この低い入力オフセット電圧を最大限に活用するため、入力バイアス電流のキャンセルに細心の注意を払ってください。OPA838 の低ノイズ入力段は入力バイアス電流が比較的大きくなっていますが (ピンの標準出力 1.6 μ A)、2 つの入力電流はほぼ一致しています。これは PNP 入力デバイスを使用した負のレール入力デバイスであり、デバイスピンからベース電流が流れ出します。V+ 入力のグランドに接続する大きな抵抗は、入力バイアス電流により正の方向にシフトします。2 つの入力バイアス電流間の不整合は非常に低く、通常の入力オフセット電流はわずか ± 20 nA です。2 つの入力の DC ソースインピーダンスを整合して、合計出力オフセット電圧を低減します。たとえば、図 7-8 の回路にバイアス電流キャンセルを追加する方法の 1 つは、165 Ω の直列抵抗を非反転入力に挿入して、6V/V の非反転ゲイン回路の基本ゲインのために R_F と R_G の並列の組み合わせを整合することです。これらの同じ計算が出力オフセットのドリフトに適用されます。図 7-8 の単純な回路を分析すると、入力オフセット電圧ドリフトのノイズゲインは $1 + 1k/200 = 6$ V/V となります。この結果、出力ドリフト項は $\pm 1.6\mu\text{V}/^\circ\text{C} \times 6 = \pm 9.6\mu\text{V}/^\circ\text{C}$ となります。入力からの 2 つのインピーダンスが一致しているため、 $\pm 500\text{pA}/^\circ\text{C}$ のオフセット電流ドリフトによる残留誤差は、1k Ω の帰還抵抗値、つまり $\pm 0.5\mu\text{V}/^\circ\text{C}$ を乗算した値になります。合計出力 DC 誤差のドリフト帯域は $\pm 10.1\mu\text{V}/^\circ\text{C}$ です。

8.1.4 出力ノイズの計算

OPA838 オペアンプの非補償電圧帰還により、電源電流が 1mA 未満のデバイスの、最小の入力電圧および電流ノイズ項が得られます。図 8-3 に、すべてのノイズ項を含むオペアンプのノイズ解析モデルを示します。このモデルでは、すべてのノイズ項は、nV/√Hz か pA/√Hz のノイズ電圧項またはノイズ電流密度項として表示されます。

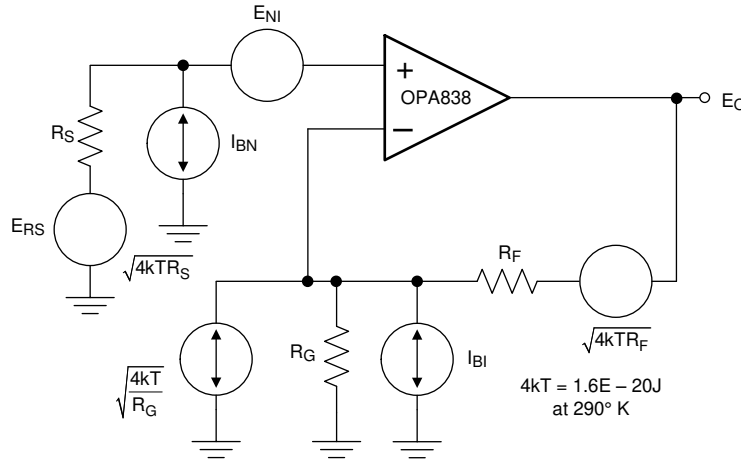


図 8-3. オペアンプのノイズ解析モデル

合計出力スポットノイズ電圧は、出力ノイズ電圧に寄与する項の二乗和の平方根として計算できます。この計算では、重ね合わせによって出力に寄与するすべてのノイズ電力を加算し、平方根を計算してスポットノイズ電圧を求めます。式 3 は、図 8-3 に示されている項を使用した出力ノイズ電圧の一般的な式となります。

$$E_O = \sqrt{[E_{NI}^2 + (I_{BN}R_S)^2 + 4kTR_S]NG^2 + (I_{BI}R_F)^2 + 4kTR_FNG} \quad (3)$$

この式をノイズゲイン ($NG = 1 + R_F/R_G$) で割ると、式 4 に示すように、非反転入力における等価入力換算スポットノイズ電圧が得られます。

$$E_N = \sqrt{E_{NI}^2 + (I_{BN}R_S)^2 + 4kTR_S + \left(\frac{I_{BI}R_F}{NG}\right)^2 + \frac{4kTR_F}{NG}} \quad (4)$$

表 8-1 に示す抵抗値に $R_S = 0\Omega$ を使用すると、2.86nV/√Hz の一定入力換算電圧ノイズが得られます。抵抗値を小さくすると、この値は OPA838 固有の 1.9nV/√Hz に近づきます。非反転モードでのバイアス電流をキャンセルするために R_S を追加すると、 R_S からのノイズが合計出力ノイズに加わります。式 3 を参照してください。反転モードで最高のノイズ性能を得るためには、 R_S バイアス電流のキャンセル抵抗をコンデンサでバイパスします。

8.2 代表的なアプリケーション

8.2.1 高ゲイン差動 I/O 設計

高ゲインの差動-差動間の I/O 回路は、2 段目の FDA または差動-シングルエンド間の段を駆動するために使用できます。この回路は、高い入力インピーダンスが必要なアプリケーション (ソースに負荷をかけることができない場合など) でよく使用されます。図 8-3 は差動ゲインが 41V/V の設計例を示しています。2 つの R_G 抵抗の間に素子を追加すると、同相モード帰還のノイズゲインが増加します。追加した素子には必ず対策を施してください。そうしないと、非補償型 VFA (OPA838 など) が発振することがよくあります。差動 I/O 設計内に R_G 素子のみがある場合、同相モードの帰還はユニティゲインで、多くの場合高周波の同相モード発振が生じます。この問題を解決するには、 R_G 素子を半分に分割し、2 つの R_G 値の間にコンデンサまたは DC リファレンスなどの低インピーダンスパスを追加します。

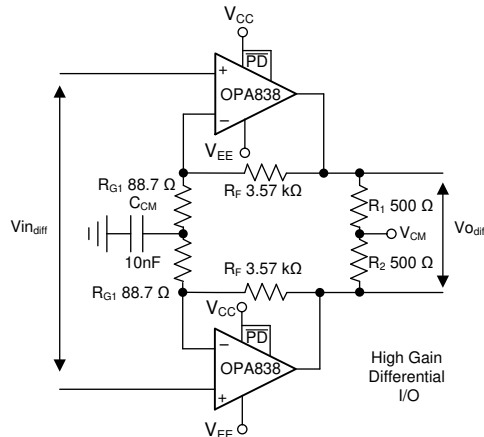


図 8-4. 高ゲイン差動 I/O 段

統合された結果が利用できますが、OPA838 は低消費電力、高周波の結果を提供しています。最高の CMRR 性能を得るには、複数の抵抗を適合させます。経験則では CMRR は抵抗の公差とほぼ等しくなるため、0.1% の許容誤差によって約 60dB の CMRR が得られます。

8.2.1.1 設計要件

設計例として、図 8-4 の回路から始めます。

- ターゲットゲインを設定し、 R_G 素子を半分に分割します。この例では、41V/V のゲインをターゲットとしています。
- 非反転入力 DC 同相モードバイアスを評価します。DC イアスは範囲内にあり、出力に対するゲインは 1 である必要があります。これは図 8-3 には表示されていません。
- DC リファレンスを R_G バイアスとして使用する場合、リファレンスを非反転入力バイアス電圧と等しくなるように設定すると、出力同相モードがその電圧に設定されます。図 8-3 に示すようにコンデンサを使用すると、同じ結果が得られます。

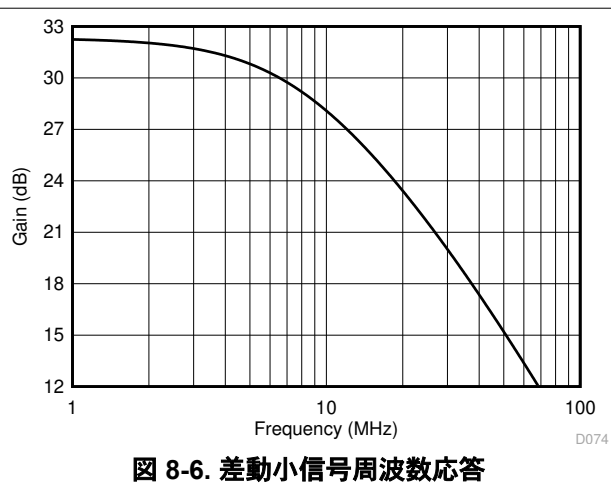
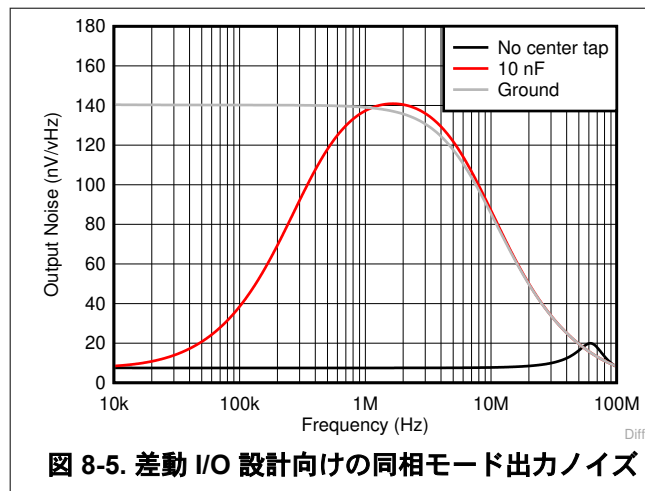
8.2.1.2 詳細な設計手順

- 表 8-1 を使用して、合計 R_G 値を高ゲイン値に近い値に設定します。図 8-4 の 88.7Ω の値で示すように、この 178Ω の合計をセンタータップに分割して同相モードのノイズゲインを増加させる必要があります。
- R_G の合計値の半分を使用して、式 1 を解いて計算した値に近い標準値を使用し R_F を設定します。
- 図 8-5 に示すように、 R_G センタータップ上のさまざまな素子で同相モードのノイズをシミュレートします。用途に最適なものを決定します。

R_G センタータップがない場合に生じる同相モードループの不安定性は、閉ループ差動シミュレーションではあまり表れません。図 8-5 に示すように、 R_G センタータップがある同相ループで生じる不安定性は、同相モードの出力ノイズシミュレーションでは頻繁に検出されます。入力 図 8-4 をグランドに接続して 図 8-3 の同相モードタップポイントに対して出力ノイズシミュレーションを実行すると、高周波におけるノイズのピークが発生します。このピークは、同相モードループの低位相マージンを示しています。図 8-5 は、最低のノイズ曲線のこのピークと、位相マージンを改善するための 2 つのオプションを示しています。図 8-4 で使用している最初のオプションは、より高い周波数のみで同相モードノイズゲインを増加させる、接地したコンデンサです。この増加は、図 8-5 の同相モードノイズのピークによって確認できます。もう 1 つの方法は、 R_G のセンタータップに DC 電源リファレンスを供給することです。この方式では、同相ノイズゲインが DC 以上に上昇します。これらの後者の 2 つのオプションは、低位相マージンのピークの形跡を示しません。これら 2 つのオプションでは、低周波数で出力同相モードのノイズが大幅に増加します。通常、出力同相モードノイズが増加すると、次の段 (FDA、ADC、差動からシングル段) で同相ノイズが除去されるため、低位相マージンよりも許容できます。

10nF のセンタータップコンデンサを使用した 図 8-6 は、予想される $300\text{MHz}/41 \approx 7.3\text{MHz}$ の閉ループ帯域幅を示す差動 I/O 小信号応答を示しています。 R_G 素子の間のグランドにコンデンサを接続しても、差動周波数応答には影響しません。

8.2.1.3 アプリケーション曲線



8.2.2 トランスインピーダンス アンプ

高ゲイン帯域幅の電圧帰還オペアンプの一般的な用途は、容量検出器から流れる小さなフォトダイオード電流の増幅です。図 8-7 はフロントページのトランスインピーダンス回路を詳細に示しています。ここでは、負電源に **-0.23 V** 固定負電圧ジェネレータ (**LM7705**) を使用して、出力が **0V** のときに出力に十分なヘッドルームを確保します。ここではトランスインピーダンス段は **2.4MHz** のフラット (バターワース) 応答用に設計されており、単純な **RC** ポストフィルタの帯域により広帯域ノイズが制限され、全体の帯域幅が **1MHz** に設定されています。高ダイナミックレンジのトランスインピーダンス (または電荷) アンプの要件には、**OPA838** などの非補償型デバイスに固有の非常に低い入力電圧ノイズが含まれます。この種の回路の周波数に対するノイズゲインはユニティゲインから始まり、単一のゼロ応答でピークに達し始めます。このピーキングは、帰還抵抗によって帰還に形成されるポールと、反転入力 of 合計容量に起因します。帰還コンデンサの値が $1 + C_S/C_F$ のコンデンサの比になることによって、このノイズゲイン応答は高周波数で平坦になります。通常このノイズゲインは非常に高いため、この用途では非補償 **OPA838** を適用します。この用途では、ノイズゲインのピークが意図的に高くされるため、**OPA838** の非常に低い入力電圧ノイズ (**1.8nV/√Hz**) により、ダイナミックレンジが向上します。

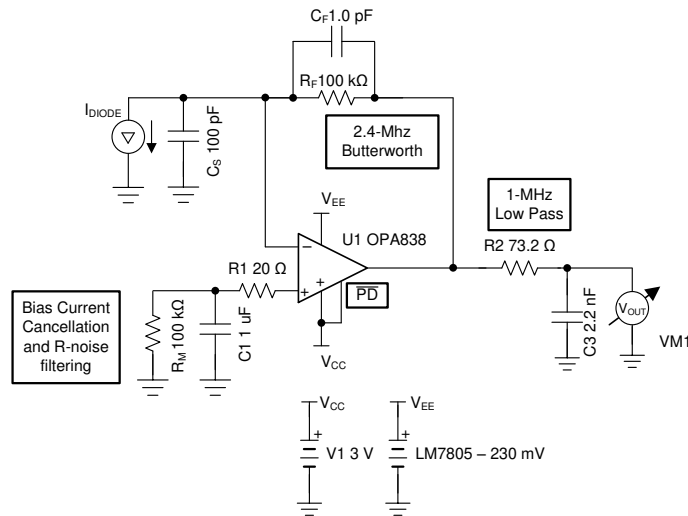


図 8-7. 100kΩ 広帯域トランスインピーダンス設計

8.2.2.1 設計要件

制御された周波数応答のトランスインピーダンス設計を実装するには、制御されたポスト **RC** フィルタよりもトランスインピーダンス段アンプ帯域幅を高く設定します。これにより、ソース容量とアンプのゲイン帯域幅積の変動が可能になり、最終出力に対する全体的な帯域幅変動が小さくなります。この設計例では以下ようになります:

- ソース容量の公称値を **100pF** と仮定します。これは通常、フォトダイオードの静電容量と逆バイアスとの関係から発生します。図 8-8 には逆バイアスが表示されていませんが、電流源は通常、アノードに負電源、カソードをオペアンプの反転入力に接続した、逆方向バイアスダイオードです。この極性では、信号電流はダイオードにシンクされ、オペアンプの出力電圧はグラウンドより高くなります。
- 最高の **DC** 精度を得るには、非反転入力にマッチング抵抗を追加して、 $I_{OS} \times R_F$ への入力バイアス電流の誤差を低減します。この抵抗は入力電圧ノイズを増加させます。抵抗ノイズをロールオフするために必要な大きさのコンデンサでその抵抗をバイパスすることを **TI** では推奨しています。このコンデンサは、入力段と相互作用して安定性を損なう可能性のある、比較的 low 周波数の自己共振があります。コンデンサから非反転入力に小さな **20Ω** の直列抵抗を追加して、ノイズをあまり増加させずに共振ソースインピーダンスの **Q** 値を低下させます。
- 目的の周波数応答形状を実現するように、帰還コンデンサを設定します。
- 全体の帯域幅を **1MHz** に制御するため、ポスト **RC** フィルタを追加します。この例では、**2.2nF** のコンデンサは **73.2Ω** の低い直列抵抗を使用できます。サンプリング **ADC** (**SAR** など) を駆動するときは、この組み合わせを使用すると、サンプリンググリッチを低減してセトリングタイムを短縮するのに役立ちます。

8.2.2.2 詳細な設計手順

主な設計要件は、実現可能なトランスインピーダンスゲインを設定し、目的の応答形状を満たすように C_F でオペアンプを補償することです。詳細なトランスインピーダンス設計手法については、『[高速アンプのトランスインピーダンスに関する検討事項](#)』に記載されています。ソース容量を設定して特定のゲイン帯域幅積を得られるようにアンプを選択すると、式 5 の図のように、実現可能なトランスインピーダンスゲインと、その結果生じるバタワース帯域幅が密結合されます。式 6 を使用して、 R_F の最大値を求めます。 R_F を選択すると、帰還ポールは式 7 によって特性周波数の 0.707 に設定されます。この補償ポイントでは、閉ループ帯域幅はバタワース応答を持つ特性周波数となります。

- ソース容量 100pF、ゲイン帯域幅積 300MHz、トランスインピーダンス段の閉ループ帯域幅ターゲット 2.2MHz から、式 6 を計算して 100k Ω の最大ゲインを求めます。
- 帰還ポールを 2.2MHz バタワース帯域幅の 0.707 倍に設定します。これにより、ターゲット $1/(2\pi \times R_F \times C_F) = 1.55\text{MHz}$ が設定されます。 C_F の値を求めると、ターゲットは 1pF に設定されます
- DC 精度が必要な場合は、非反転入力グラウンドに 100k Ω 抵抗を追加します。DC 精度が不要な場合は、非反転入力を接地します
- 100k Ω 抵抗と並列に抵抗ノイズフィルタリングコンデンサを追加します。
- このコンデンサを非反転入力から絶縁する小型の直列抵抗を追加します。
- 負荷の最終フィルタコンデンサを選択します。(この例では、標準的な SAR 入力コンデンサとして 2.2nF の値を使用しています。)
- 最終フィルタコンデンサに直列抵抗を追加して、1MHz のポールを形成します。この例では、73.2 Ω です。
- この抵抗は図 6-50 に示す最小推奨値よりも大きくしてください。

$$F_{-3\text{dB}} \approx \sqrt{\frac{\text{GBP}}{2\pi R_f C_S}} \quad (5)$$

$$R_{f\text{max}} \approx \frac{\text{GBP}}{F_{-3\text{dB}}^2 2\pi C_S} \quad (6)$$

$$\frac{1}{2\pi R_f C_f} = 0.707 \times \sqrt{\frac{\text{GBP}}{2\pi R_f C_S}} \quad (7)$$

この設計を実装し、出力ピンと最終容量性負荷への応答に TINA モデルを使用して性能をシミュレーションすると、図 8-8 のような予想結果となります。ここでは、出力ピンに対する 2.2MHz フラットバタワース応答が、最終 2.2nF コンデンサの 1MHz での最終シングルポールロールオフで示されます。

8.2.2.3 アプリケーション曲線

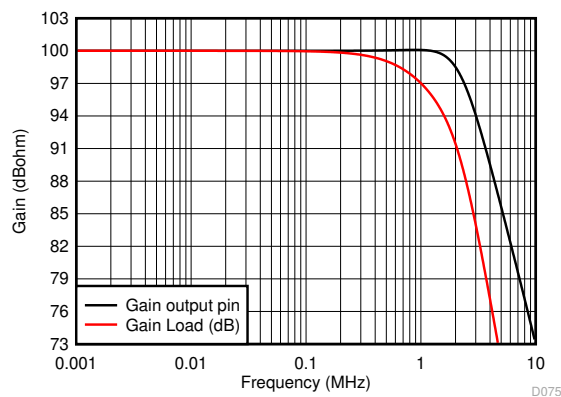


図 8-8. 100k Ω トランスインピーダンスゲインに対する小信号応答

8.3 電源に関する推奨事項

OPA838 デバイスは、2.7V ~ 5.4V の電源電圧範囲で動作するように設計されています。良好な電源バイパスが必要です。電源ピンから高周波 0.1 μ F のデカップリングコンデンサまでの距離を最小にします (0.1 インチ (2.54mm) 未満)。デバイスの電源ピンには、高周波 0.1 μ F 電源デカップリングコンデンサとともに、より大きなコンデンサ (標準値 2.2 μ F) を使用しています。単一電源動作の場合は、正の電源のみにこれらのコンデンサを使用します。分割電源を使用する場合は、各電源とグランド間にこれらのコンデンサを使用します。必要に応じて、より大きいコンデンサをデバイスから離して配置し、PCB の同じ領域にある複数のデバイス間でこれらのコンデンサを共有します。ピンとデカップリング コンデンサ間のインダクタンスを最小にするため、電源パターンおよびグランド パターンは狭くならないようにします。2 つの電源間 (バイポーラ動作の場合) にオプションの 0.1 μ F 電源デカップリングコンデンサを接続すると、2 次高調波歪みを低減できます。

OPA838 には正の電源電流温度係数があります。図 6-58 を参照してください。この温度係数は入力オフセット電圧ドリフトの向上に役立ちます。システム設計における電源電流要件では、意図された最大周囲温度と 図 6-58 を使用してこの影響を考慮し、必要な電源サイズを決定する必要があります。OPA838 の消費電力は非常に低いため、通常、熱設計において特別な考慮事項は必要ありません。動作周囲温度が 125°C という極端なケースでは、3 つのパッケージに最大約 200°C/W を使用して、図 6-58 から得られる最大内部電源の 5.4V 電源 \times 1.25mA の消費電流 (125°C) により、最大内部電力 6.75mW が算出されます。この消費電力では周囲温度から接合部温度まで 1.35°C しか上昇せず、これは最大 150°C の接合部温度よりもはるかに低くなります。負荷電力はこの消費電力を増大させますが、接合部温度も周囲温度よりわずかに上昇します。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

基板を設計する際は、[OPA838EVM](#) を参照として使用してください。アンプ付近の外部部品のレイアウト、グランドプレーンの構築、および電源配線については、評価基板にできる限り合わせることを TI では推奨しています。以下の一般的なガイドラインに従ってください：

1. オペアンプとの間の信号配線は、できるだけ短くする必要があります。
2. 可能であれば、ビアを避けた短い直接帰還パスを使用します。
3. アンプの負の入力ピンと出力ピンの直下から、グランドプレーンまたは電源プレーンを除きます。
4. 容量性負荷または整合負荷を駆動するときは、出力ピンのできるだけ近くに直列出力抵抗を配置します。
5. 必要に応じて、 $2.2\mu\text{F}$ の電源デカップリングコンデンサをデバイスから 2 インチ (5.08cm) 以内に配置して他のオペアンプと共有します。分割電源動作では、両方の電源にコンデンサが必要です。
6. $0.1\mu\text{F}$ の電源デカップリングコンデンサは、電源ピンのできるだけ近く、可能であれば 0.1 インチ (2.54mm) 以内に配置します。分割電源動作では、両方の電源にコンデンサが必要です。
7. $\overline{\text{PD}}$ ピンは負電源を基準としたロジックレベルを使用します。ピンを使用しない場合は、ピンを正の電源に接続してアンプを有効にします。ピンを使用する場合は、ピンをアクティブに駆動します。バイパスコンデンサは必須ではありませんが、ノイズの多い環境で EMI を除去するために使用できます。

8.4.2 レイアウト例

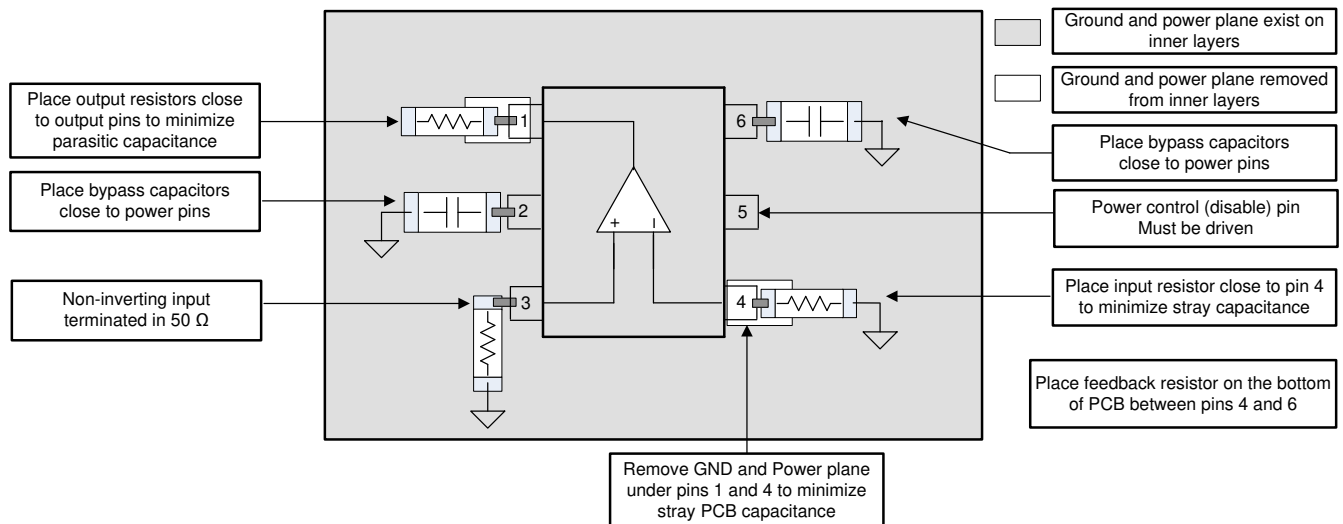


図 8-9. EVM のレイアウト例

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 開発サポート

9.1.1.1 TINA-TI™ シミュレーション ソフトウェア (無償ダウンロード)

TINA-TI™ シミュレーション ソフトウェアは、SPICE エンジンに基づいた単純かつ強力な、使いやすい回路シミュレーション プログラムです。TINA-TI シミュレーション ソフトウェアは、TINA™ ソフトウェアのすべての機能を持つ無償バージョンで、パッシブ モデルとアクティブ モデルに加えて、マクロモデルのライブラリがプリロードされています。TINA-TI シミュレーション ソフトウェアには、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

TINA-TI シミュレーション ソフトウェアは[設計およびシミュレーション ツール Web ページ](#)から無料でダウンロードでき、ユーザーが結果をさまざまな形式で処理できる、広範な後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプローブして、動的なクイック スタート ツールを作成できます。

注

これらのファイルを使用するには、TINA ソフトウェアまたは TINA-TI ソフトウェアがインストールされている必要があります。[TINA-TI™ ソフトウェア フォルダ](#)から、無償の TINA-TI シミュレーション ソフトウェアをダウンロードしてください。

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

テキサス インスツルメンツ、『[OPA835DBV-OPA836DBV 評価基板](#)』ユーザーガイド

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.5 商標

TINA-TI™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

TINA™ is a trademark of DesignSoft, Inc.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (September 2024) to Revision E (August 2025)	Page
• DXB (X2QFN、8) パッケージステータスをプレビューから量産データに変更し、関連コンテンツを追加.....	1
• 「デバイス比較表」を「関連製品」に変更.....	2
• 単一電圧ノイズと電流ノイズのプロットを 2 つの個別のプロットに移動.....	17
• 「出力 DC 誤差計算」の合計ドリフトの式を更新.....	33

Changes from Revision C (October 2023) to Revision D (September 2024)	Page
• DXB (X2QFN、8) パッケージと関連する内容をデータシートに追加.....	1

Changes from Revision B (October 2018) to Revision C (October 2023)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• 「製品情報」表を「パッケージ情報」に変更、列を更新、注 2 を追加	1

Changes from Revision A (February 2018) to Revision B (October 2018)	Page
• 「特長」セクションの「5 μ A 未満のシャットダウン電流」を「1 μ A 未満のシャットダウン電流」に変更.....	1
• 「電気的特性 $V_S = 5V$ 」と「電気的特性 $V_S = 3V$ 」表のコモンモードとディファレンシャルモードの入力インピーダンスの値を変更.....	5
• 「電気的特性: $V_S = 5V$ 」と「電気的特性 $V_S = 3V$ 」表のパワーダウン静止電流の値を変更.....	5
• 「概要」セクションの 5 μ A を 1 μ A に変更.....	22
• 「パワーダウン動作」セクションでスタンバイ電流を 5 μ A から 1 μ A に変更.....	24
• 「帰還抵抗値の選択におけるトレードオフ」セクションの同相モード入力容量を 1.3pF から 1pF に変更.....	24
• 「帰還抵抗値の選択におけるトレードオフ」セクションの $1 + 6.3/1.2 = 6.25V/V$ 、1.3pF デバイスの同相モード容量の追加を $1 + 6/1.2 = 6V/V$ 、1pF デバイスの同相モード容量の選択におけるトレードオフ追加に変更.....	24
• 「電源シャットダウン動作」セクションの最後の文の 2 μ A を 0.1 μ A および 5 μ A を 1 μ A に変更.....	30
• 「電源に関する推奨事項および熱に関する注意事項」のタイトルを「電源に関する推奨事項」に変更.....	39

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA838DXBR	Active	Production	X2QFN (DXB) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O838
OPA838IDBVR	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1C3F
OPA838IDBVR.B	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1C3F
OPA838IDBVRG4	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1C3F
OPA838IDBVRG4.B	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1C3F
OPA838IDBVT	Active	Production	SOT-23 (DBV) 6	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1C3F
OPA838IDBVT.B	Active	Production	SOT-23 (DBV) 6	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1C3F
OPA838IDCKR	Active	Production	SC70 (DCK) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	17Q
OPA838IDCKR.B	Active	Production	SC70 (DCK) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	17Q
OPA838IDCKT	Active	Production	SC70 (DCK) 5	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	17Q
OPA838IDCKT.B	Active	Production	SC70 (DCK) 5	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	17Q
OPA838SIDCKR	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	19C
OPA838SIDCKR.B	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	19C
OPA838SIDCKT	Active	Production	SC70 (DCK) 6	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	19C
OPA838SIDCKT.B	Active	Production	SC70 (DCK) 6	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	19C

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA838DXBR	X2QFN	DXB	8	3000	180.0	8.4	1.35	1.55	0.48	4.0	8.0	Q1
OPA838IDBVR	SOT-23	DBV	6	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
OPA838IDBVRG4	SOT-23	DBV	6	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
OPA838IDBVT	SOT-23	DBV	6	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
OPA838IDCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
OPA838IDCKT	SC70	DCK	5	250	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
OPA838SIDCKR	SC70	DCK	6	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
OPA838SIDCKT	SC70	DCK	6	250	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA838DXBR	X2QFN	DXB	8	3000	210.0	185.0	35.0
OPA838IDBVR	SOT-23	DBV	6	3000	180.0	180.0	18.0
OPA838IDBVRG4	SOT-23	DBV	6	3000	180.0	180.0	18.0
OPA838IDBVT	SOT-23	DBV	6	250	180.0	180.0	18.0
OPA838IDCKR	SC70	DCK	5	3000	180.0	180.0	18.0
OPA838IDCKT	SC70	DCK	5	250	180.0	180.0	18.0
OPA838SIDCKR	SC70	DCK	6	3000	180.0	180.0	18.0
OPA838SIDCKT	SC70	DCK	6	250	180.0	180.0	18.0

X2QFN - 0.4 mm max height

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.

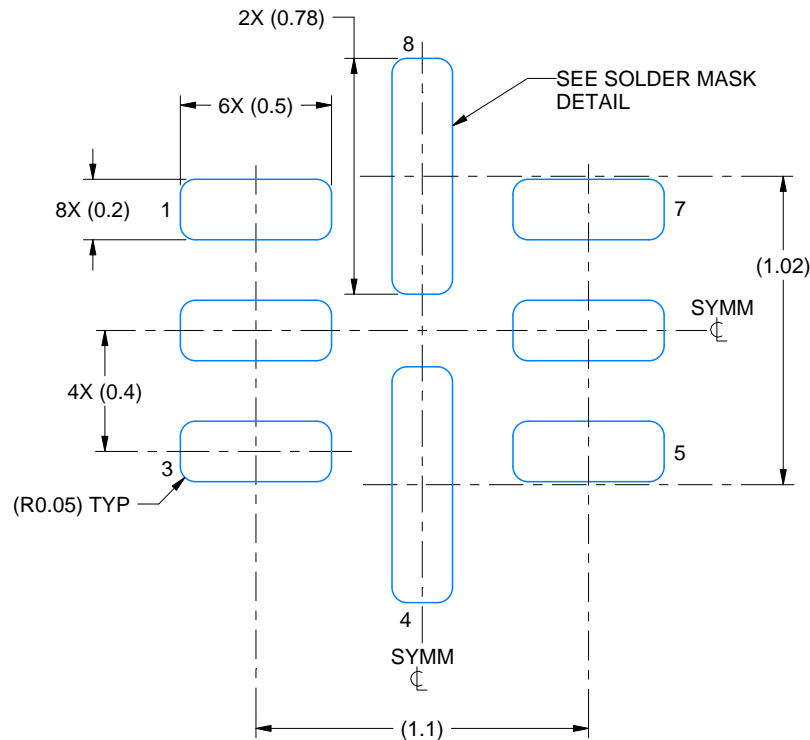
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

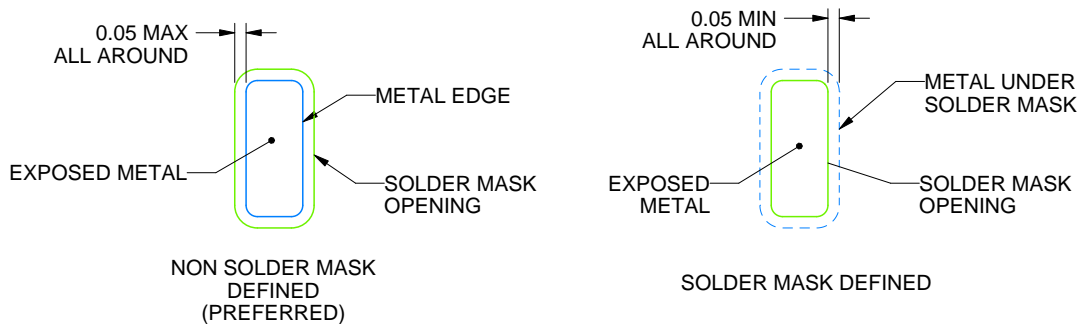
DXB0008A

X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 40X



SOLDER MASK DETAILS

4230414/A 01/2024

NOTES: (continued)

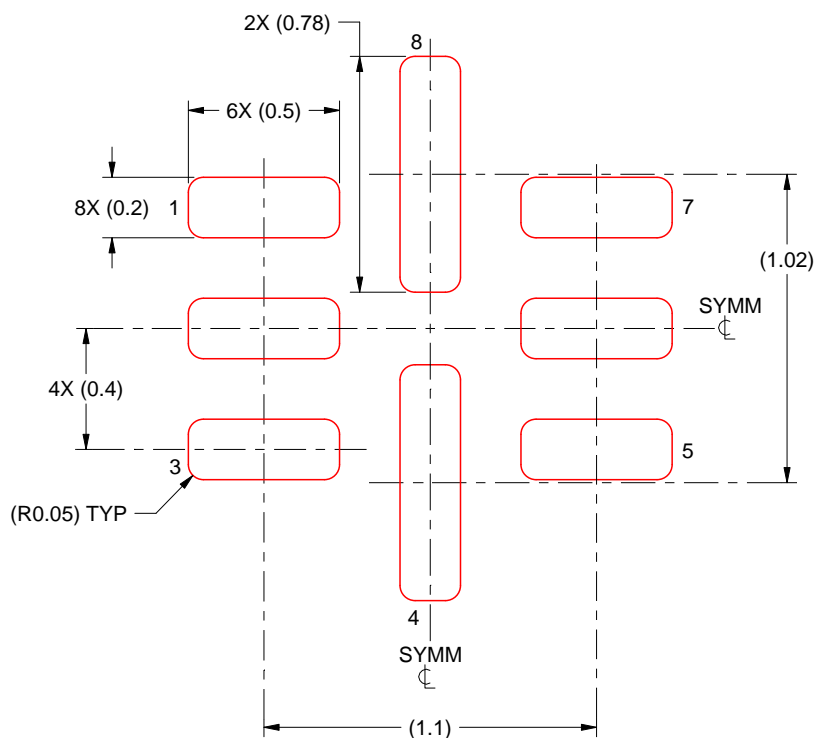
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).

EXAMPLE STENCIL DESIGN

DXB0008A

X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 40X

4230414/A 01/2024

NOTES: (continued)

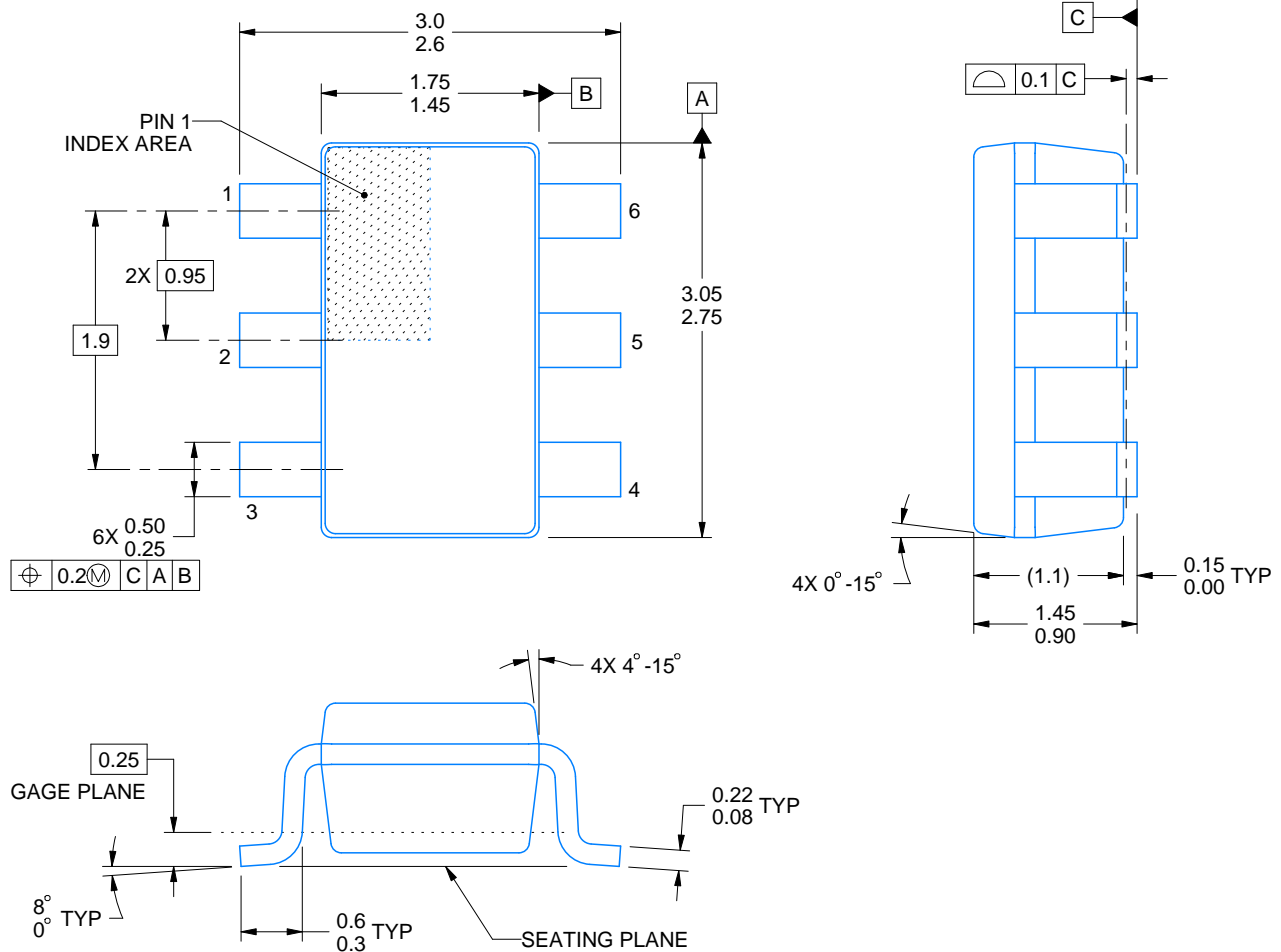
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

DBV0006A

PACKAGE OUTLINE

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214840/G 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Reference JEDEC MO-178.

EXAMPLE BOARD LAYOUT

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

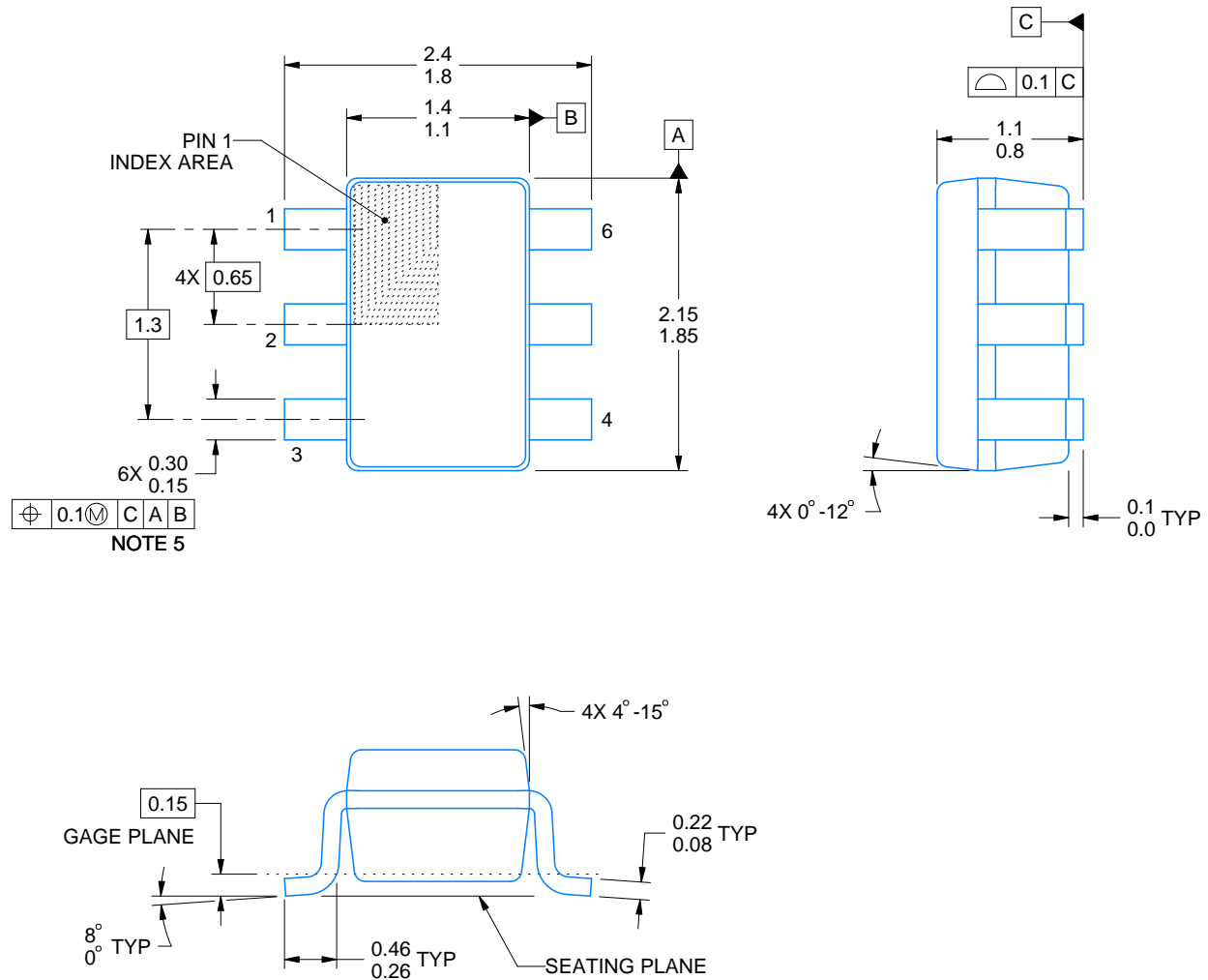
DCK0006A



PACKAGE OUTLINE

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



4214835/D 11/2024

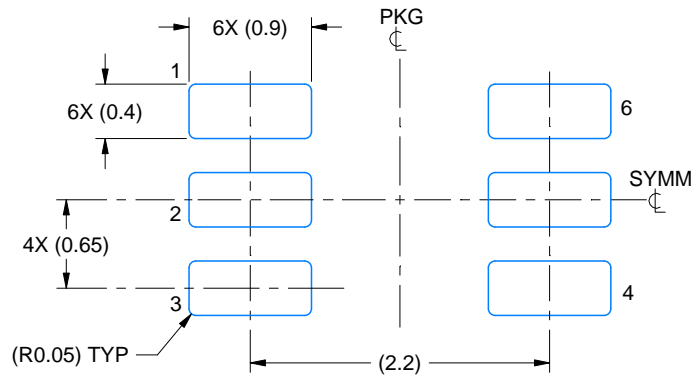
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
4. Falls within JEDEC MO-203 variation AB.

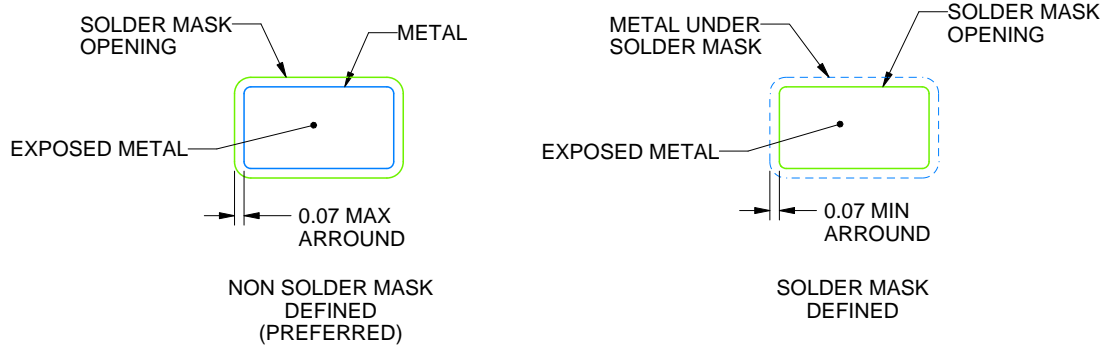
DCK0006A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



SOLDER MASK DETAILS

4214835/D 11/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
 BASED ON 0.125 THICK STENCIL
 SCALE:18X

4214835/D 11/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

DCK0005A



PACKAGE OUTLINE

SOT - 1.1 max height

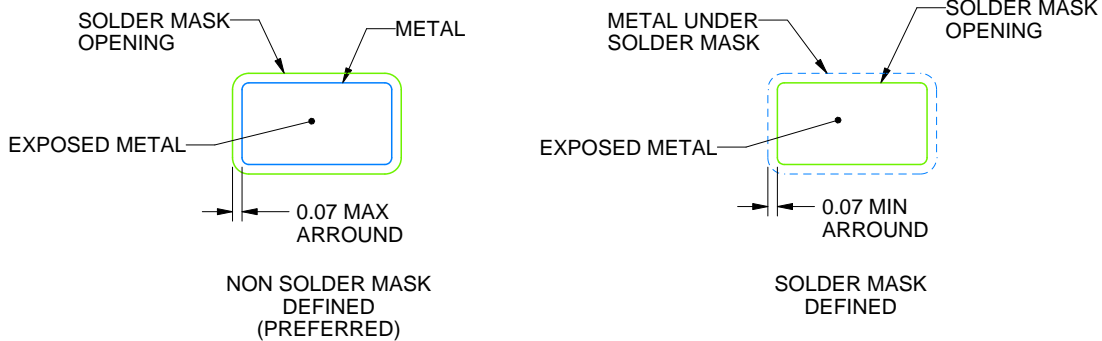
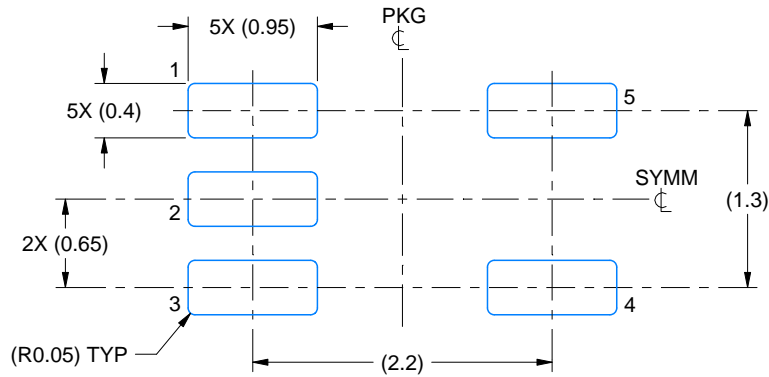
SMALL OUTLINE TRANSISTOR



4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月