

OPA698 ユニティ ゲイン安定、広帯域電圧制限アンプ

1 特長

- 制限付近での高い直線性
- オーバードライブからの高速回復: 1ns
- 電圧精度の制限: $\pm 5\text{mV}$
- 3db 帯域幅 ($g = +1$): 650MHz
- ゲイン帯域幅積: 300MHz
- スルーレート: 1800V/ μs
- $\pm 5\text{V}$ および $+5\text{V}$ の電源動作
- 高ゲイン バージョンを提供: [OPA699](#)

2 アプリケーション

- 高速リミティング A/D コンバータ(ADC)の入力バッファ
- CCD ピクセルのクロック ストリッピング
- ビデオ同期ストリッピング
- HF ミキサー
- アンプ制限 IF
- AM 信号生成
- 非線形アナログ信号処理
- [OPA688](#) アップグレード

3 説明

OPA698 は、バイポーラ出力電圧制限機能を備えた広帯域、ユニティゲインで安定している電圧帰還オペアンプです。これらの制限値を超えて駆動を試みた場合は、二つのバッファされた制限電圧により出力が制御されます。この新しい出力制限アーキテクチャにより、リミッタのオフセット誤差は $\pm 5\text{mV}$ に保たれます。

オペアンプは、出力制限電圧の 20mV 以内まで線形動作します。狭い非線形範囲と低制限オフセットの組み合わせにより、制限電圧は望ましい線形出力範囲から 100mV 以内に設定できます。制限から 1ns の高速な回復により、信号チャネルに対して透過的なオーバードライブ信号が得られます。入力ではなく出力に制限機能を実装することで、任意のゲインに対して規定の制限精度が得られ、OPA698 をすべての標準オペアンプ用途で使用できるようになります。

非線形アナログ信号処理は、OPA698 の機能により、リニア動作から出力制限への急激な遷移が可能になる利点があります。迅速な復帰時間により、高速アプリケーションがサポートされます。

OPA698 は、業界標準のピンアウト SOIC-8 パッケージで供給されます。ゲインの高い、または高速回復に対応した出力制限が必要なトランスインピーダンス アプリケーションの場合は、[OPA699](#) をご検討ください。

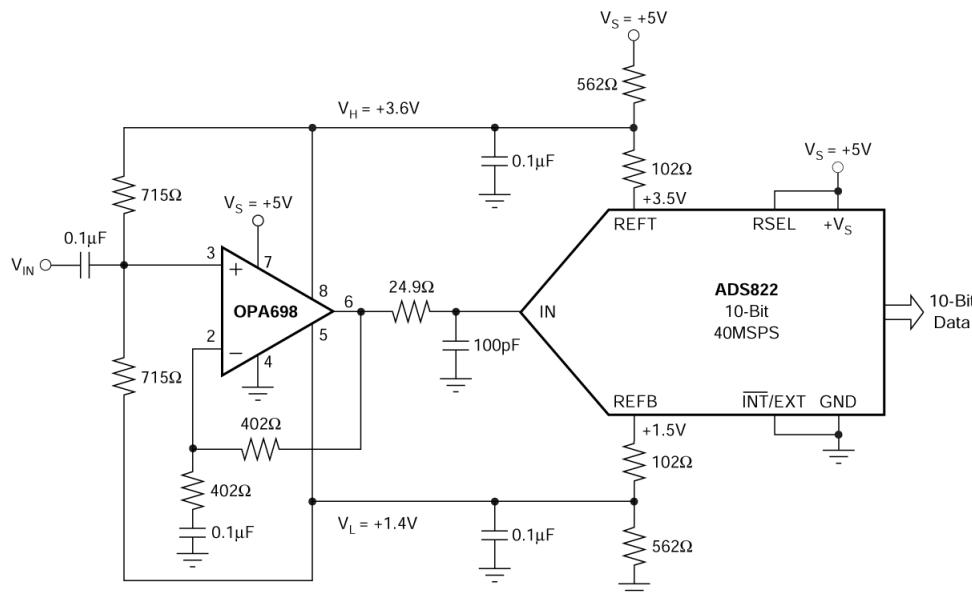
パッケージ情報

部品番号 ⁽¹⁾	パッケージ ⁽²⁾	パッケージ サイズ ⁽³⁾
OPA698	D (SOIC、8)	4.9mm × 6mm

(1) [セクション 4](#) を参照してください。

(2) 詳細については、[セクション 11](#) を参照してください。

(3) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



单一電源制限 ADC 入力ドライバ



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

English Data Sheet: [SBOS258](#)

目次

1 特長	1	7.1 概要	18
2 アプリケーション	1	8 アプリケーションと実装	18
3 説明	1	8.1 アプリケーション情報	18
4 関連製品	2	8.2 代表的なアプリケーション	24
5 ピン構成および機能	2	8.3 電源に関する推奨事項	32
6 仕様	3	8.4 レイアウト	32
6.1 絶対最大定格	3	9 デバイスおよびドキュメントのサポート	34
6.2 ESD 定格	3	9.1 デバイスサポート	34
6.3 推奨動作条件	3	9.2 ドキュメントの更新通知を受け取る方法	34
6.4 熱に関する情報	3	9.3 サポート・リソース	34
6.5 電気的特性 $V_S = \pm 5V$	4	9.4 商標	34
6.6 電気的特性 $V_S = 5V$	7	9.5 静電気放電に関する注意事項	34
6.7 代表的特性: $V_S = \pm 5V$	9	9.6 用語集	34
6.8 代表的特性: $V_S = 5V$	15	10 改訂履歴	34
7 詳細説明	18	11 メカニカル、パッケージ、および注文情報	36

4 関連製品

デバイス	V_S (V)	GBW (MHz)	スルーレート (V/μs)	電圧ノイズ (nV/√Hz)	アーキテクチャ
OPA817	± 6.3	400	1000	4.5	FET 入力、電圧帰還
OPA818	± 6.5	2700	1400	2.2	FET 入力、電圧帰還
OPA690	± 6	300	1900	4.6	バイポーラ入力、電圧帰還
OPA695	± 6	該当なし	5000	2	バイポーラ入力、電流帰還
OPA698	± 6.5	300	1800	4	バイポーラ入力、電圧帰還
OPA699	± 6.5	1000	1400	4.1	バイポーラ入力、電圧帰還

5 ピン構成および機能

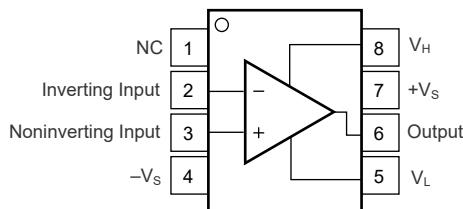


図 5-1. D パッケージ、8 ピン SOIC (上面図)

表 5-1. ピンの機能

ピン	タイプ	説明
名称	番号	
反転入力	2	入力 反転入力
非反転入力	3	入力 非反転入力
NC	1	— 内部接続なし(このピンをフローティング)
出力	6	出力 出力
$-V_S$	4	電源 負(最低)電源
$+V_S$	7	電源 正(最高)電源
V_L	5	電源 リミッタ入力 Low
V_H	8	電源 リミッタ入力 High

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V_S	全電源電圧		13	V_{DC}
	内部消費電力	「熱解析」を参照してください		
V_{ID}	差動入力電圧		$\pm V_S$	V
	dV_S/dT (電源ターンオンおよびターンオフ用) ⁽²⁾		± 0.4	$V/\mu s$
	リミッタの電圧範囲		$\pm(V_S - 0.7)$	V
I_{IN}	連続入力電流 ⁽³⁾		10	mA
	入力電圧		$\pm V_S$	V
T_J	接合部温度		150	°C
T_{stg}	保存温度	-65	125	°C

- (1) 「絶対最大定格」の範囲を超える動作は、デバイスに永続的な損傷を与える可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) この仕様を下回ると、エッジトリガの ESD 吸収デバイスは、電源ピン全体にわたってオフに維持されます。
- (3) 供給ピンに供給する ESD ダイオードの連続入力電流制限。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	± 2000	V
		デバイス帶電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾	± 1000	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_S	全電源電圧	± 2.5	± 5	± 6	V
T_A	動作温度	-40		85	°C

6.4 热に関する情報

熱評価基準 ⁽¹⁾		OPA698	単位
		D (SOIC)	
		8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	118	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	63.3	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	64.9	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	14.8	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	64.2	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

6.5 電気的特性 $V_S = \pm 5V$

$T_A \approx 25^\circ C$ 、 $R_F = 402\Omega$ 、 $R_L = 500\Omega$ 、 $G = 2V/V$ 、 $V_H = -V_L = 2V$ 、入力および出力は中間電源を基準(特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位	
AC 特性							
SSBW	小信号帯域幅	$G = 1V/V$ 、 $V_O = 0.2V_{PP}$ 、 $R_F = 25\Omega$	650	MHz	MHz		
		$G = 2V/V$ 、 $V_O = 0.2V_{PP}$	215				
		$G = -1V/V$ 、 $V_O = 0.2V_{PP}$	215				
GBP	ゲイン帯域幅積	$G \geq 5V/V$	300	MHz		MHz	
	0.1dB のゲインの平坦度に対する帯域幅	$V_O = 0.2V_{PP}$	30	MHz			
	1V/V のゲインでのピーキング	$R_F = 25\Omega$ 、 $V_O = 0.2V_{PP}$	1.5	dB		dB	
	大信号帯域幅	$V_O = 4V_{PP}$ $V_H = -V_L = 2.5V$	160	MHz			
	スルーレート	4V ステップ、 $V_H = -V_L = 2.5V$	1800	V/μs		V/μs	
	立ち上がりおよび立ち下がり時間	$V_O = 0.2V$ ステップ	1.4	ns			
	セトリング時間	0.05%、 $V_O = 2V$ ステップ	25	ns		ns	
	2 次高調波歪み	$f = 5MHz$ 、 $V_O = 2V_{PP}$ 、 $R_L = 500\Omega$	-94	dBc			
	3 次高調波歪み	$f = 5MHz$ 、 $V_O = 2V_{PP}$ 、 $R_L = 500\Omega$	-85	dBc		dBc	
	入力電圧ノイズ	$f \geq 1MHz$	4	nV/√Hz			
	入力電流ノイズ	$f \geq 1MHz$	1.5	pA/√Hz		pA/√Hz	
DC 性能⁽¹⁾							
A _{OL}	開ループ電圧ゲイン	$V_O = \pm 0.5V$	56	80	dB		
			$T_A = -40^\circ C \sim +85^\circ C$	52			
V _{os}	入力オフセット電圧			± 2	± 5	mV	
			$T_A = -40^\circ C \sim +85^\circ C$		± 8		
	平均オフセット電圧ドリフト	$T_A = -40^\circ C \sim +85^\circ C$		± 20	$\mu V/^\circ C$		
	入力バイアス電流 ⁽¹⁾			± 0.2	± 10	μA	
			$T_A = -40^\circ C \sim +85^\circ C$		± 12		
	平均バイアス電流ドリフト	$T_A = -40^\circ C \sim +85^\circ C$		± 20	$nA/^\circ C$		
	入力オフセット電流	$V_{CM} = \pm 0.5V$		± 0.1	± 2	μA	
			$T_A = -40^\circ C \sim +85^\circ C$		± 3		
	平均オフセット電流ドリフト	$T_A = -40^\circ C \sim +85^\circ C$		± 10	$nA/^\circ C$		
入力							
CMIR	同相入力電圧 ⁽²⁾			± 3.2	± 3.3	V	
			$T_A = -40^\circ C \sim +85^\circ C$		± 3.1		
CMRR	同相除去比	$V_{CM} = \pm 0.5V$		55	82	dB	
			$T_A = -40^\circ C \sim +85^\circ C$	52			
	入力インピーダンス		差動モード	$1 \parallel 0.3$		$M\Omega \parallel pF$	
			同相	$33 \parallel 1.4$			

6.5 電気的特性 $V_S = \pm 5V$ (続き)

$T_A \approx 25^\circ C$ 、 $R_F = 402\Omega$ 、 $R_L = 500\Omega$ 、 $G = 2V/V$ 、 $V_H = -V_L = 2V$ 、入力および出力は中間電源を基準(特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
出力							
電圧出力スイング	$R_L = 500\Omega$ 、 $V_H = -V_L = 4.3V$	$T_A = -40^\circ C \sim +85^\circ C$	± 3.9	± 4.0	± 3.8	90	190
			90	190		80	-90
電流出力	ソース、 $V_O = 0V$	$T_A = -40^\circ C \sim +85^\circ C$	-90	-190	-90	-190	-80
			-80	-80			
	シンク、 $V_O = 0V$	$T_A = -40^\circ C \sim +85^\circ C$					
閉ループ出力インピーダンス	$G = 1V/V$ 、 $R_F = 25\Omega$ 、 $f < 100kHz$				0.01		Ω
出力電圧のリミッタ							
出力電圧制限範囲	ピン 5 および 8	$T_A = -40^\circ C \sim +85^\circ C$			± 3.8	400	400
デフォルトの制限電圧上限	リミッタ ピンがオープン	$T_A = -40^\circ C \sim +85^\circ C$			$+3.3$	± 4.3	400
					$+3.1$		
デフォルトの制限電圧下限	リミッタ ピンがオープン	$T_A = -40^\circ C \sim 85^\circ C$			-3.3	-3.5	36
					-3.1		
リミッタの最小間隔 ($V_H - V_L$)	$T_A = -40^\circ C \sim +85^\circ C$					50	60
最大制限電圧	$T_A = -40^\circ C \sim +85^\circ C$					36	65
リミッタ入力バイアス電流の大きさ ⁽³⁾	$V_O = 0V$	$T_A = -40^\circ C \sim +85^\circ C$				40	50
リミッタ入力バイアスの平均ドリフト	$T_A = -40^\circ C \sim +85^\circ C$					35	$nA/^\circ C$
リミッタの入力インピーダンス						$10 \parallel 0.85$	$M\Omega \parallel pF$
リミッタのフィードスルー ⁽⁴⁾	$f = 5MHz$					-68	dB
リミッタのオフセット	$V_{IN} = \pm 2V$ 、 $V_O - V_H$ または $(V_O - V_L)$	$T_A = -40^\circ C \sim +85^\circ C$				± 5	± 30
						± 40	
オペアンプの入力バイアス電流のシフト	$V_{IN} = \pm 2V$ 、制限された出力までリニア					0.15	μA
リミッタの小信号帯域幅	$2V_{DC} + 20mV_{PP}$					700	MHz
リミッタのスルーレート ⁽⁵⁾	2 倍オーバードライブ、 V_H または V_L					175	$V/\mu s$
リミッタのオーバーシュート	2 倍オーバードライブ、 $V_{IN} = V_{CM} \sim V_{CM} \pm 2V$ ステップ					250	mV
復帰時間	2 倍オーバードライブ	$V_{IN} = \pm 2V \sim 0V$ ステップ				1	ns
直線性ガードバンド ⁽⁶⁾	$f = 5MHz$ 、 $V_O = 2V_{PP}$	$f = 5MHz$ 、 $V_O = 2V_{PP}$				30	mV
電源							
静止時電流	$V_S = \pm 5V$	$T_A = -40^\circ C \sim +85^\circ C$			13.8	15.5	17.3
					13.4		17.7
PSRR	電源除去比	入力換算			68	90	dB
			$T_A = -40^\circ C \sim +85^\circ C$		66		

- (1) ノードから流れ出す方向の電流を正とみなします。
- (2) CMIR は、指定の制限において最小 CMRR から $3dB$ 未満の劣化でテスト済みです。
- (3) これらの条件では、 I_{VH} (V_H バイアス電流) は正、 I_{VL} (V_L バイアス電流) は負です。図 7-8 および 図 7-15 を参照。
- (4) リミッタのフィードスルーは、 $V_{IN} = 0V$ のとき、 V_H (または V_L) に加算される正弦波に対する出力振幅の比です。
- (5) V_H のスルーレート条件は次のとおりです。 $V_{IN} = 2V$ 、 $G = 2V/V$ 、 $V_L = -2V$ 、 $V_H = 2V$ と $0V$ の間のステップ。 V_L のスルーレート条件は同様です。

- (6) 直線性ガードバンドは、リミッタレベル(V_H と V_L)の間を中心とする出力正弦波($f = 5\text{MHz}$, $V_O = 0V_{DC} \pm 1V_{PP}$)に対して定義されます。直線性のガードバンドは、リミッタレベルとピーク出力電圧の差であり、SFDR が 3dB 低下します。

6.6 電気的特性 $V_S = 5V$

$T_A \approx 25^\circ C$ 、 $R_F = 402\Omega$ 、 $R_L = 500\Omega$ 、 $G = 2V/V$ 、 $V_L = V_{CM} - 1.2V$ および $V_H = V_{CM} + 1.2V$ では、入力および出力は中間電源を基準とする(特に記述のない限り)

パラメータ	テスト条件		最小値	標準値	最大値	単位
AC 特性						
小信号帯域幅	$G = 1V/V$ 、 $V_O = 0.2V_{PP}$ 、 $R_F = 25\Omega$		550			MHz
	$G = 2V/V$ 、 $V_O = 0.2V_{PP}$		200			
	$G = -1V/V$ 、 $V_O = 0.2V_{PP}$		210			
ゲイン帯域幅積	$G \geq 5V/V$ 、 $V_O < 0.2V_{PP}$		300			MHz
0.1dB のゲインの平坦度に対する帯域幅	$V_O < 0.2V_{PP}$		26			MHz
1V/V のゲインでのピーキング	$G = 1V/V$ 、 $R_F = 25\Omega$ 、 $V_O = 0.2V_{PP}$		2.5			dB
大信号帯域幅	$V_O = 2V_{PP}$		200			MHz
スルーレート	2V ステップ		820			V/μs
立ち上がりおよび立ち下がり時間	$V_O = 0.2V$ ステップ		1.4			ns
セトリング時間	0.05%、 $G = 2V/V$ 、 $V_O = 1V$ ステップ		28			ns
2 次高調波歪み	$f = 5MHz$ 、 $V_O = 2V_{PP}$ 、 $R_L = 500\Omega$		-95			dBc
3 次高調波歪み	$f = 5MHz$ 、 $V_O = 2V_{PP}$ 、 $R_L = 500\Omega$		-81			dBc
入力電圧ノイズ	$f > 1MHz$		4			nV/√Hz
入力電流ノイズ	$f > 1MHz$		1.43			pA/√Hz
DC 性能⁽¹⁾						
A_{OL}	開ループ電圧ゲイン	$V_O = \pm 0.5V$ 、 $V_{CM} = 2.5V$	54	77		dB
			$T_A = -40^\circ C \sim +85^\circ C$	51		
	入力オフセット電圧	$V_{CM} = 2.5V$		± 1	± 6	mV
			$T_A = -40^\circ C \sim +85^\circ C$		± 8	
	平均オフセット電圧ドリフト	$V_{CM} = 2.5V$	$T_A = -40^\circ C \sim +85^\circ C$		± 15	μV/°C
			$T_A = -40^\circ C \sim +85^\circ C$	± 0.5	± 10	
	入力バイアス電流	$V_{CM} = 2.5V$	$T_A = -40^\circ C \sim +85^\circ C$		± 12	μA
			$T_A = -40^\circ C \sim +85^\circ C$			
	平均バイアス電流ドリフト	$V_{CM} = 2.5V$	$T_A = -40^\circ C \sim +85^\circ C$		± 25	nA/°C
			$T_A = -40^\circ C \sim +85^\circ C$	± 0.1	± 2	
	入力オフセット電流	$V_{CM} = 2.5V$	$T_A = -40^\circ C \sim +85^\circ C$		± 3	μA
			$T_A = -40^\circ C \sim +85^\circ C$			
	平均オフセット電流ドリフト	$V_{CM} = 2.5V$	$T_A = -40^\circ C \sim +85^\circ C$		± 15	nA/°C
			$T_A = -40^\circ C \sim +85^\circ C$			
CMIR	同相入力電圧		$T_A = 25^\circ C$	$V_{CM} \pm 0.7$	$V_{CM} \pm 0.8$	V
CMIR	同相入力電圧 ⁽²⁾		$T_A = -40^\circ C \sim +85^\circ C$	$V_{CM} \pm 0.6$		V
入力						
CMRR	同相除去比	$V_{CM} = \pm 0.5V$	54	82		dB
			$T_A = -40^\circ C \sim +85^\circ C$	52		
	入力インピーダンス	差動モード、 $V_{CM} = 2.5V$ 同相モード、 $V_{CM} = 2.5V$		$0.77 \parallel 0.3$		$M\Omega \parallel pF$
				24 \parallel 1.5		

6.6 電気的特性 $V_S = 5V$ (続き)

$T_A \approx 25^\circ C$ 、 $R_F = 402\Omega$ 、 $R_L = 500\Omega$ 、 $G = 2V/V$ 、 $V_L = V_{CM} - 1.2V$ および $V_H = V_{CM} + 1.2V$ では、入力および出力は中間電源を基準とする(特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
出力							
最大の正の出力電圧	$R_L \geq 500\Omega$ 、 $V_H = V_{CM} + 1.8V$	$T_A = -40^\circ C \sim +85^\circ C$	3.9	4.1	V		
			3.8				
最小の正の出力電圧	$R_L \geq 500\Omega$ 、 $V_L = V_{CM} - 1.8V$	$T_A = -40^\circ C \sim +85^\circ C$	1.1	0.9	V		
			1.2				
電流出力	ソース、 $V_O = 2.5V$	$T_A = -40^\circ C \sim +85^\circ C$	60	170	mA		
			50				
	シンク、 $V_O = 2.5V$	$T_A = -40^\circ C \sim +85^\circ C$	-60	-170			
			-50				
閉ループ出力インピーダンス	$G = 1V/V$ 、 $f < 100kHz$ 、 $R_F = 25\Omega$			0.1			Ω
出力電圧のリミッタ							
リミッタ電圧が高	ピン 8			3.9			V
リミッタ電圧が低	ピン 5			1.1			V
デフォルトのリミッタ電圧	リミッタ ピンがオープン	$V_{CM} \pm 0.8$	$V_{CM} \pm 1.1$	V			
		$T_A = -40^\circ C \sim +85^\circ C$	$V_{CM} \pm 0.6$				
リミッタの最小間隔 ($V_H - V_L$)	$T_A = -40^\circ C \sim +85^\circ C$	400	400	mV			
		400					
最大制限電圧				$V_{CM} \pm 1.8$			V
リミッタ入力バイアス電流の大きさ ⁽³⁾	$V_O = 2.5V$			8			μA
リミッタの入力インピーダンス				1 7			$M\Omega pF$
リミッタのフィードスルー ⁽⁴⁾	$f = 5MHz$			-92			dB
リミッタ電圧の精度	$V_{IN} = V_{CM} \pm 1.2V$ 、 $(V_O - V_H)$ または $(V_O - V_L)$	± 15	± 30	mV			
		$T_A = -40^\circ C \sim +85^\circ C$	± 40				
リミッタの小信号帯域幅	$V_{IN} = V_{CM} \pm 1.2V$ 、 $V_O < 0.02V_{PP}$			515			MHz
リミッタのスルーレート ⁽⁵⁾	2 倍オーバードライブ、 V_H または V_L			150			V/ μ s
オーバーシュート	2 倍オーバードライブ、 $V_{IN} = V_{CM}$ から $V_{CM} \pm 1.2V$ ステップ			40			mV
復帰時間	2 倍オーバードライブ、 $V_{IN} = V_{CM} \pm 1.2V$ から V_{CM} ステップ			2.5			ns
直線性ガードバンド ⁽⁶⁾	$f = 5MHz$ 、 $V_O = 2V_{PP}$			30			mV
電源							
静止時電流	$V_S = 5V$	13.6	15.6	17.2	mA		
		$T_A = -40^\circ C \sim +85^\circ C$	13.2	17.6			
+PSRR	電源除去比	$V_S = 4.5V \sim 5.5V$		85			dB

- (1) ノードから流れ出す方向の電流を正とみなします。
- (2) CMIR は、指定の制限において最小 CMRR から 3dB 未満の劣化でテスト済みです。
- (3) これらの条件では、 I_{VH} (V_H バイアス電流)は正、 I_{VL} (V_L バイアス電流)は負です。図 7-9 および 図 7-15 を参照。
- (4) リミッタのフィードスルーは、 $V_{IN} = 0V$ のとき、 V_H (または V_L)に加算される正弦波に対する出力振幅の比です。
- (5) V_H のスルーレート条件は次のとおりです。 $V_{IN} = 2V$ 、 $G = 2V/V$ 、 $V_L = -2V$ 、 $V_H = 2V$ と $0V$ の間のステップ。 V_L のスルーレート条件は同様です。
- (6) 直線性ガードバンドは、リミッタレベル(V_H と V_L)の間を中心とする出力正弦波($f = 5MHz$ 、 $V_O = 0V_{DC} \pm 1V_{PP}$)に対して定義されます。直線性のガードバンドは、リミッタレベルとピーク出力電圧の差であり、SFDR が 3dB 低下します。

6.7 代表的特性 : $V_S = \pm 5V$

at $T_A = 25^\circ C$ 、 $G = 2V/V$ 、 $R_F = 402\Omega$ 、 $R_L = 500\Omega$ および $V_H = -V_L = 2V$ において (特に記述のない限り)

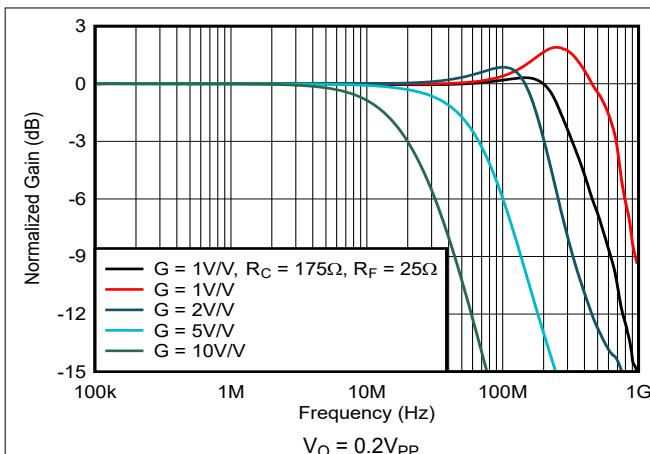


図 6-1. 非反転型の小信号周波数応答

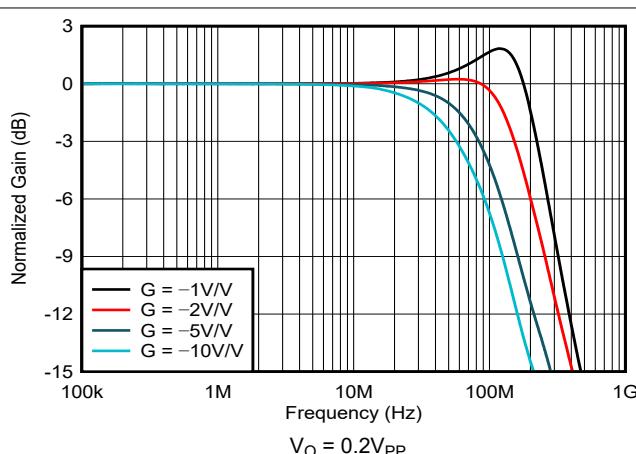


図 6-2. 反転型の小信号周波数応答

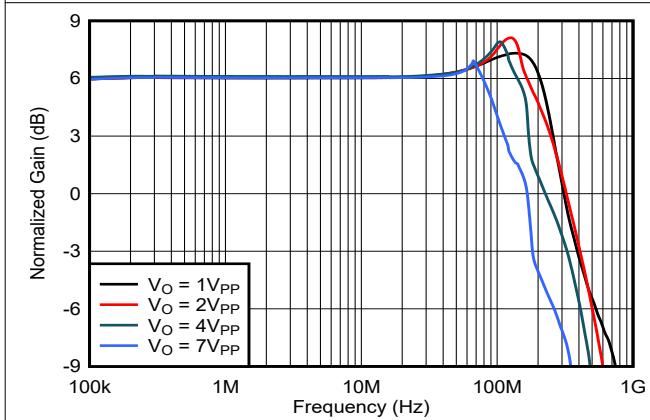


図 6-3. 非反転型の大信号周波数応答

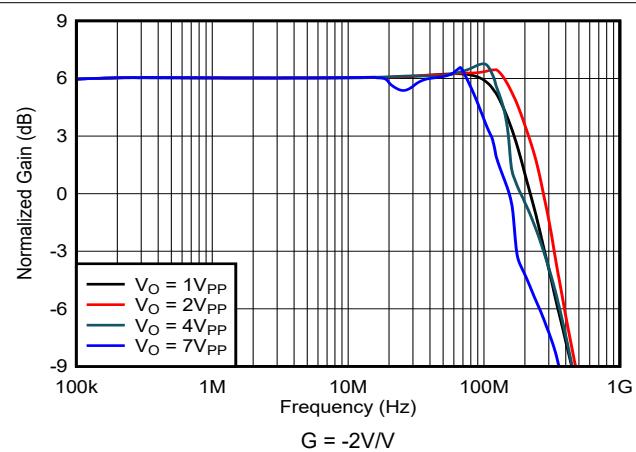


図 6-4. 反転型の大信号周波数応答

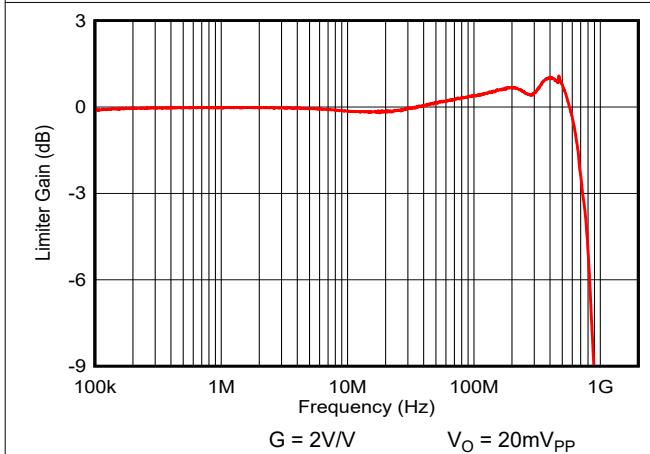


図 6-5. V_H - リミッタの小信号周波数応答

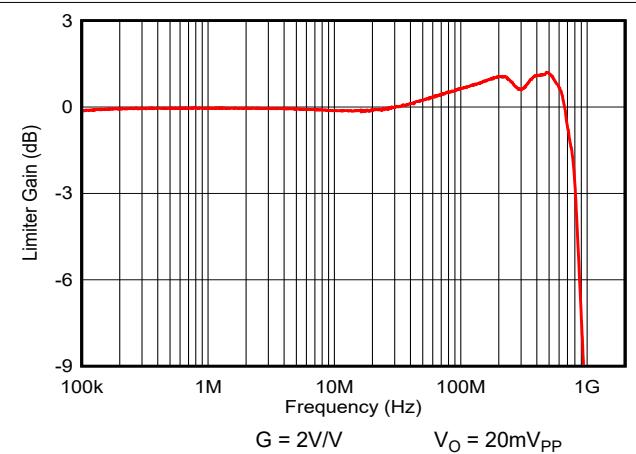


図 6-6. V_L - リミッタの小信号周波数応答

6.7 代表的特性 : $V_S = \pm 5V$ (続き)

at $T_A = 25^\circ\text{C}$ 、 $G = 2\text{V/V}$ 、 $R_F = 402\Omega$ 、 $R_L = 500\Omega$ および $V_H = -V_L = 2\text{V}$ において(特に記述のない限り)

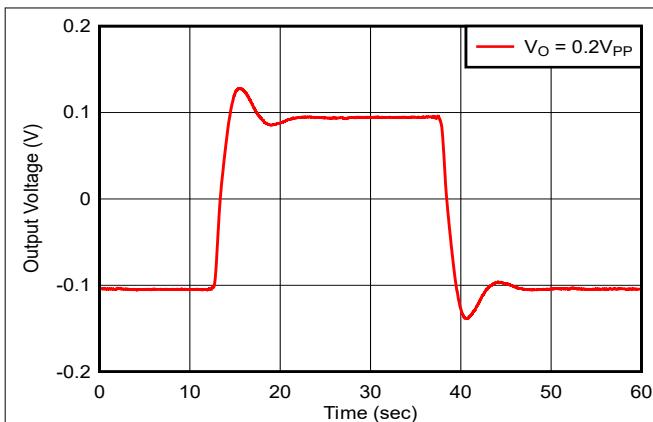


図 6-7. 小信号パルス応答

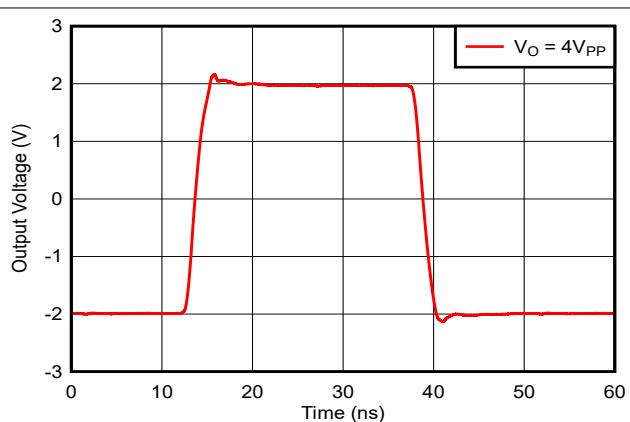


図 6-8. 大信号パルス応答

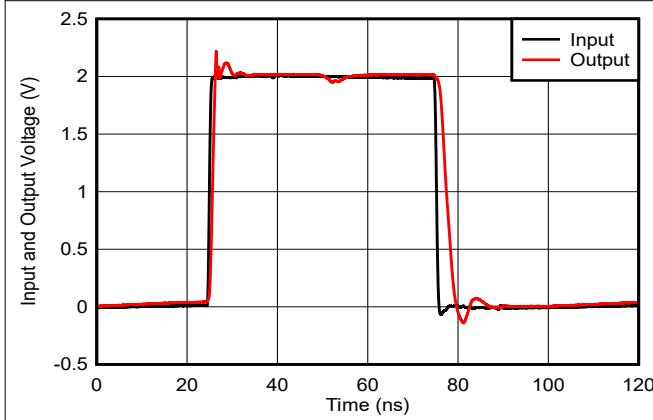


図 6-9. V_H - 制限パルス応答

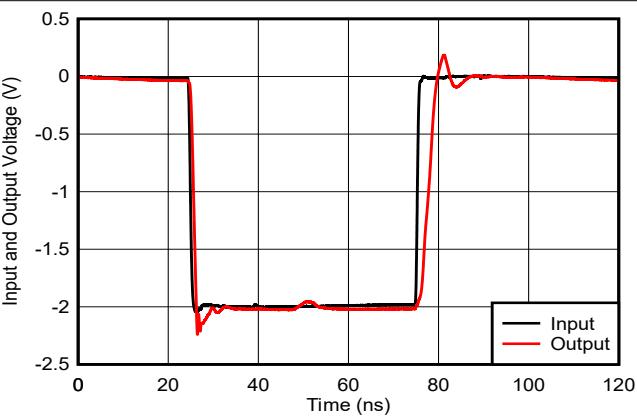


図 6-10. V_L - 制限パルス応答 (20MHz)

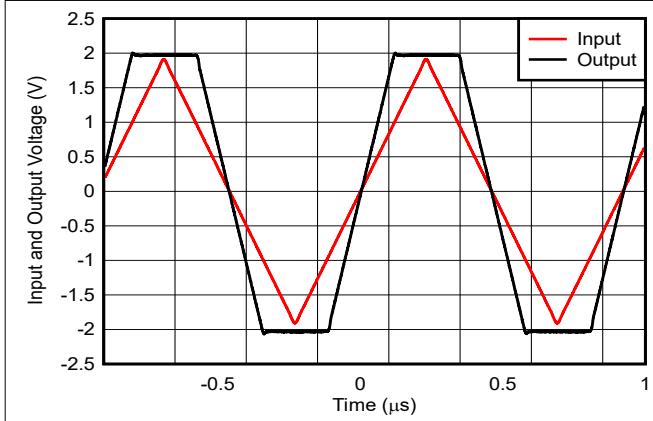


図 6-11. 制限出力応答

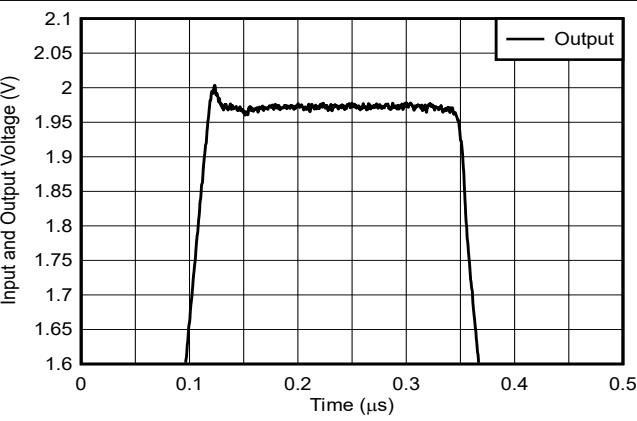


図 6-12. 制限出力電圧の詳細

6.7 代表的特性 : $V_S = \pm 5V$ (続き)

at $T_A = 25^\circ C$ 、 $G = 2V/V$ 、 $R_F = 402\Omega$ 、 $R_L = 500\Omega$ および $V_H = -V_L = 2V$ において (特に記述のない限り)

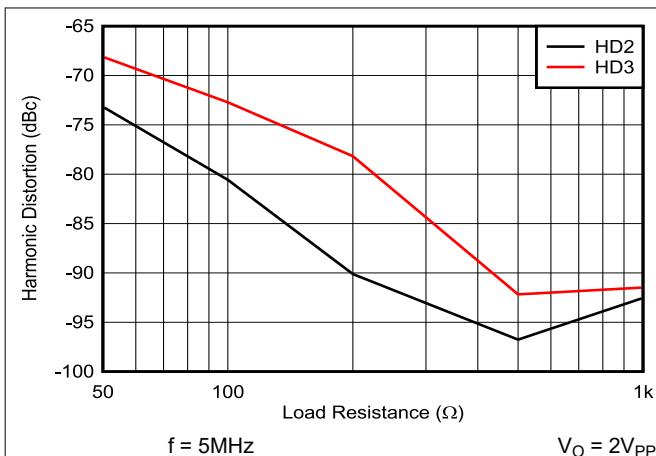


図 6-13. 高調波歪みと負荷抵抗との関係

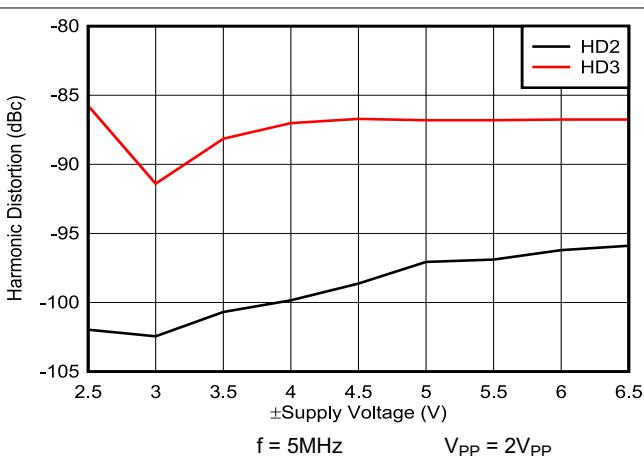


図 6-14. 5MHz 高調波歪みと電源電圧との関係

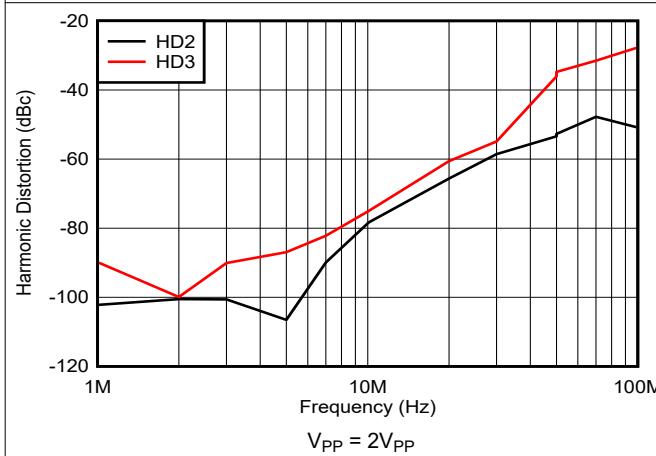


図 6-15. 高調波歪みと周波数との関係

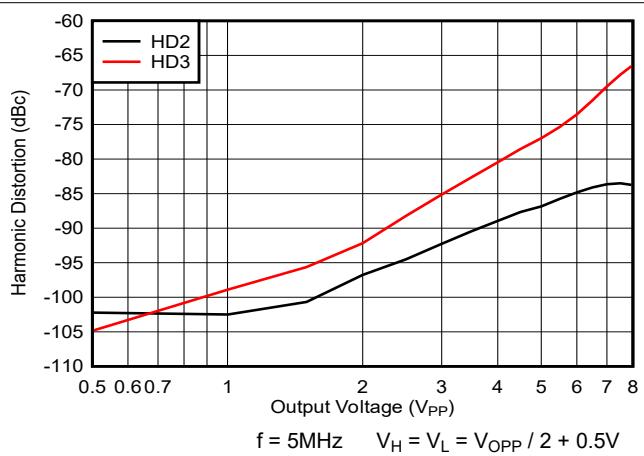


図 6-16. 5MHz 高調波歪みと出力電圧との関係

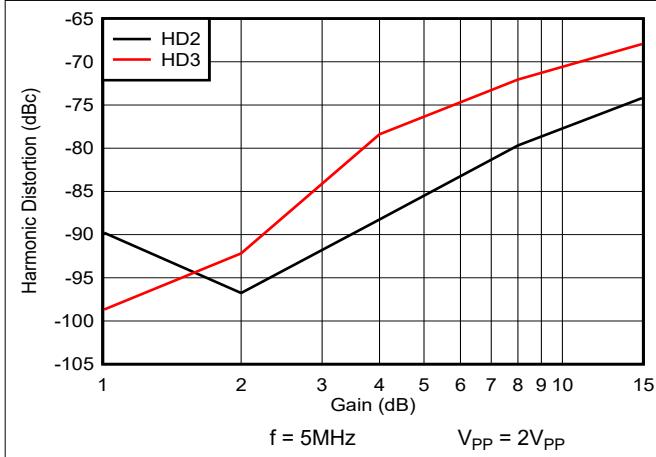


図 6-17. 高調波歪みと非反転ゲインとの関係

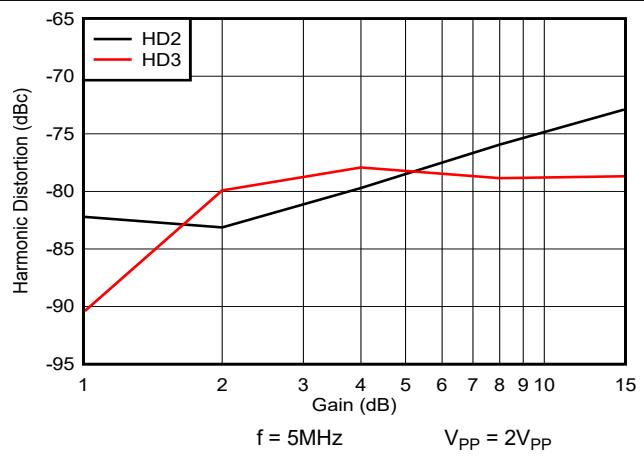


図 6-18. 高調波歪みと反転ゲインとの関係

6.7 代表的特性 : $V_S = \pm 5V$ (続き)

at $T_A = 25^\circ\text{C}$ 、 $G = 2\text{V/V}$ 、 $R_F = 402\Omega$ 、 $R_L = 500\Omega$ および $V_H = -V_L = 2\text{V}$ において(特に記述のない限り)

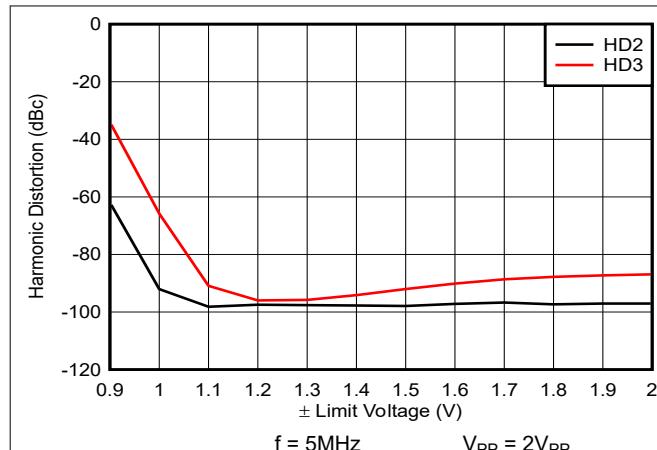


図 6-19. 制限電圧に近い高調波歪み

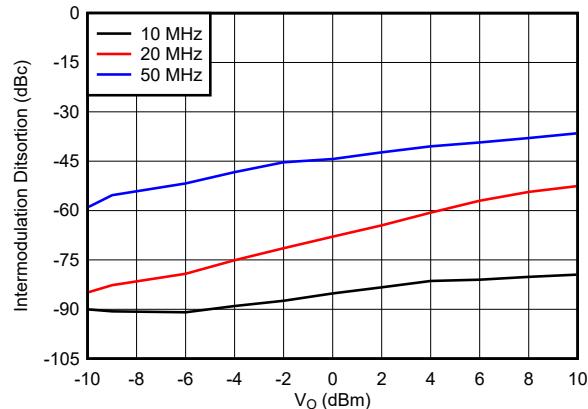


図 6-20. 2 トーン、3 次相互変調インターフェト

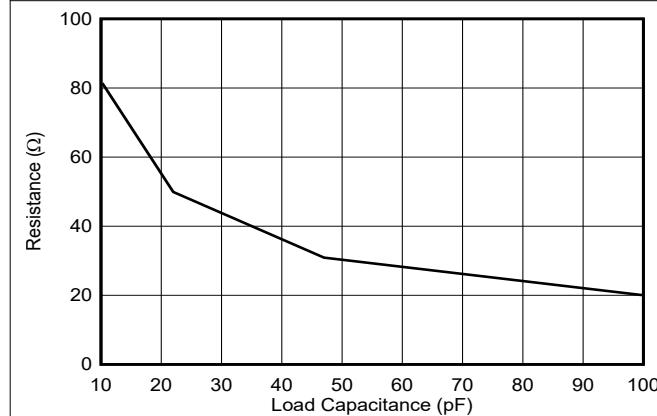


図 6-21. 推奨 R_S と容量性負荷との関係

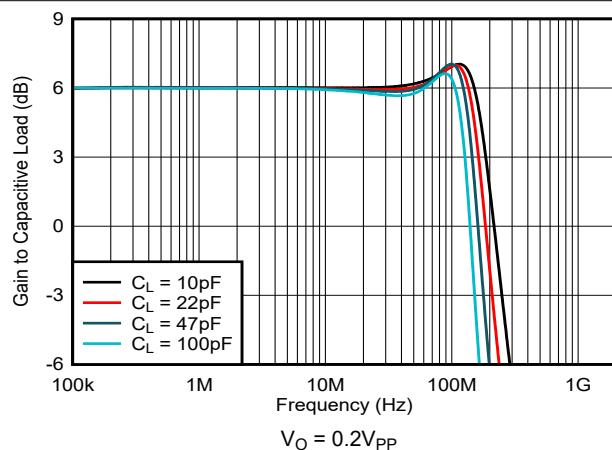


図 6-22. 周波数応答と容量性負荷との関係

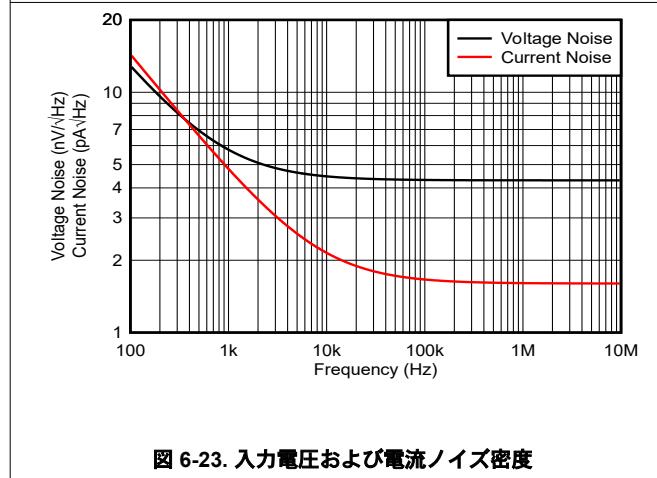


図 6-23. 入力電圧および電流ノイズ密度

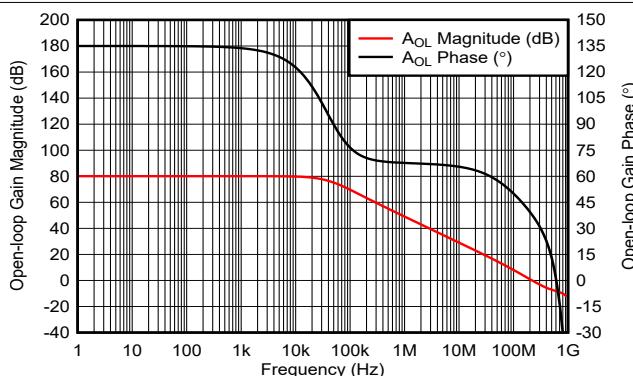


図 6-24. 開ループの周波数応答

6.7 代表的特性 : $V_S = \pm 5V$ (続き)

at $T_A = 25^\circ\text{C}$ 、 $G = 2\text{V/V}$ 、 $R_F = 402\Omega$ 、 $R_L = 500\Omega$ および $V_H = -V_L = 2\text{V}$ において (特に記述のない限り)

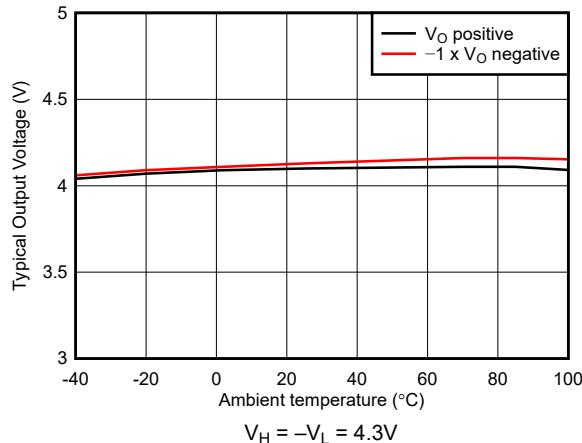


図 6-25. 電圧範囲と温度との関係

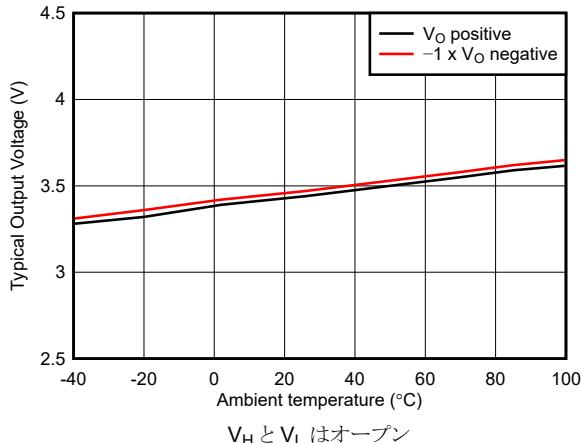


図 6-26. 制限電圧範囲と温度との関係

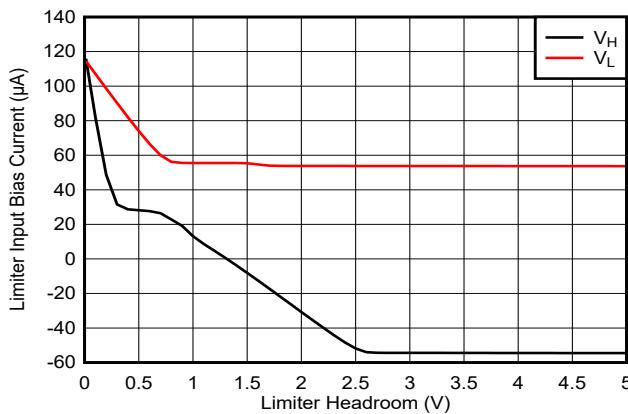


図 6-27. 入力バイアス電流とバイアス電圧との関係

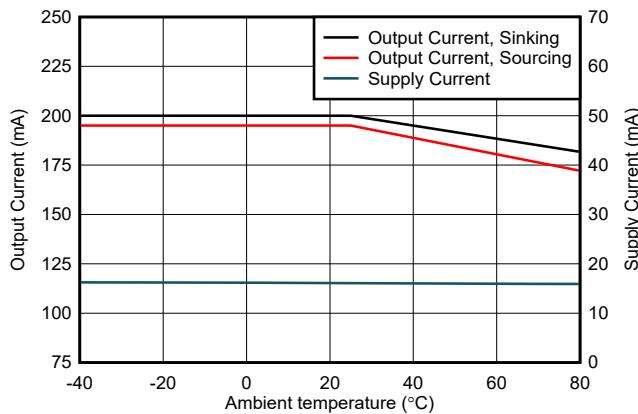


図 6-28. 電源電流および出力電流と温度との関係

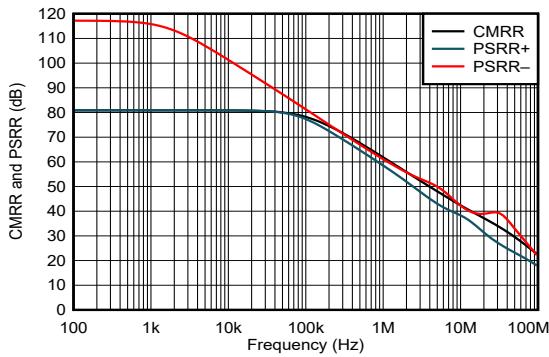


図 6-29. 同相信号除去比および電源除去と周波数との関係

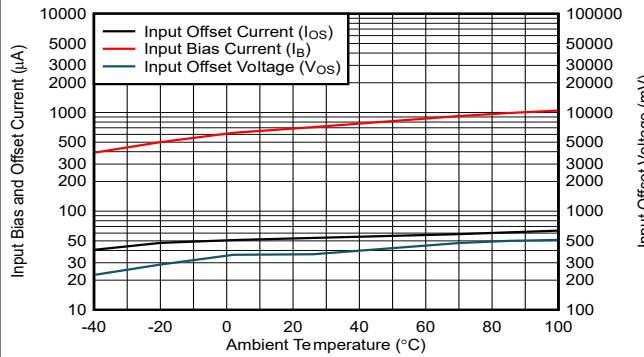


図 6-30. 温度に対する代表的な DC ドリフト

6.7 代表的特性 : $V_S = \pm 5V$ (続き)

at $T_A = 25^\circ\text{C}$ 、 $G = 2\text{V/V}$ 、 $R_F = 402\Omega$ 、 $R_L = 500\Omega$ および $V_H = -V_L = 2\text{V}$ において(特に記述のない限り)

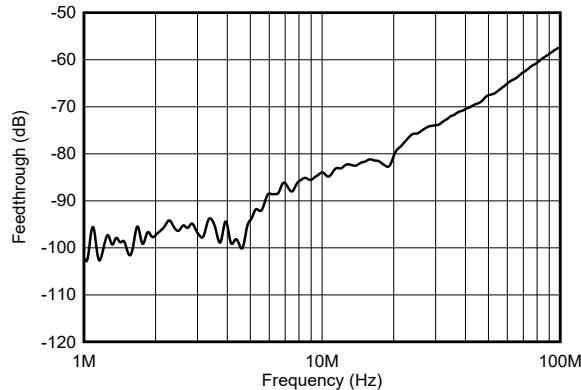


図 6-31. リミッタのフィードスルー

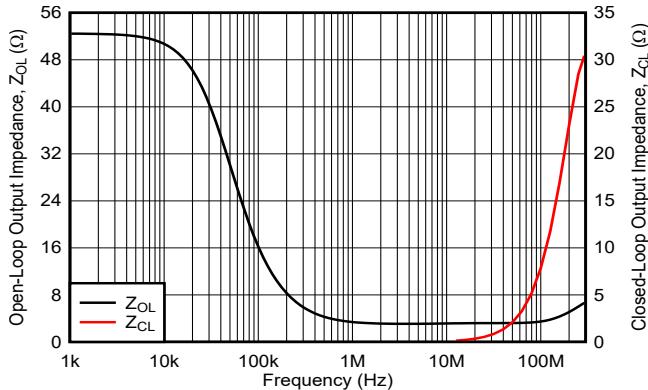


図 6-32. 閉ループ出力インピーダンス

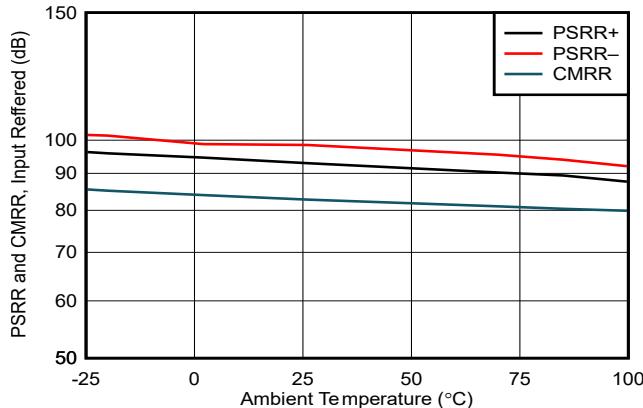


図 6-33. \pm PSRR および CMRR と温度との関係

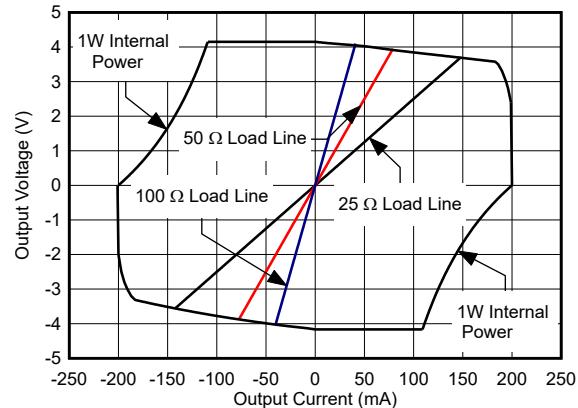


図 6-34. 出力電圧と電流の制限

6.8 代表的特性 : $V_S = 5V$

$T_A = 25^\circ C$ 、 $G = 2V/V$ 、 $R_F = 402\Omega$ 、 $R_L = 500\Omega$ を $V_{CM} = 2.5V$ に接続、 $V_L = V_{CM} - 1.2V$ 、 $V_H = V_{CM} + 1.2V$ (特に記述のない限り)

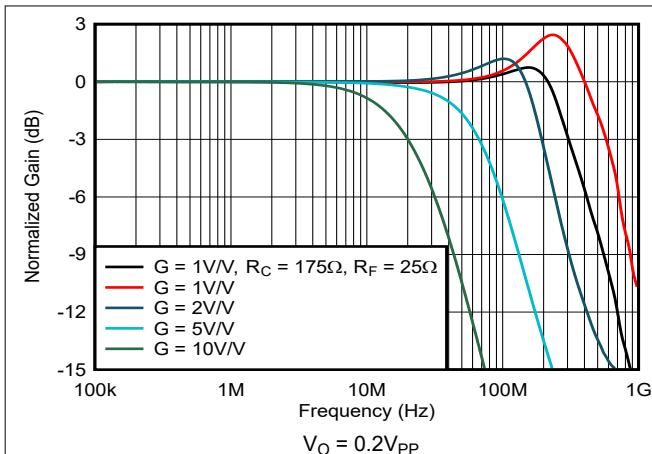


図 6-35. 非反転型の小信号周波数応答

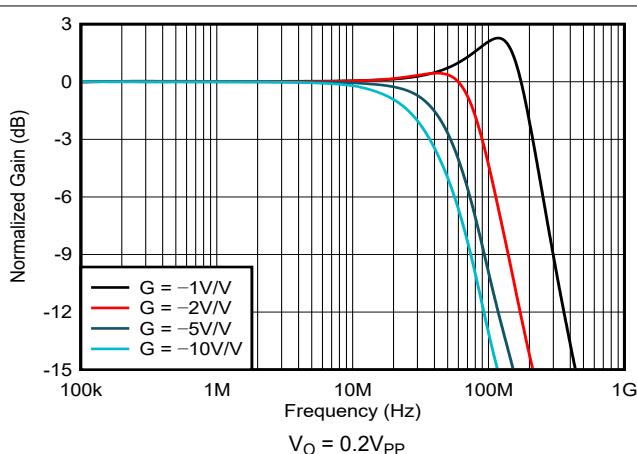


図 6-36. 反転型の小信号周波数応答

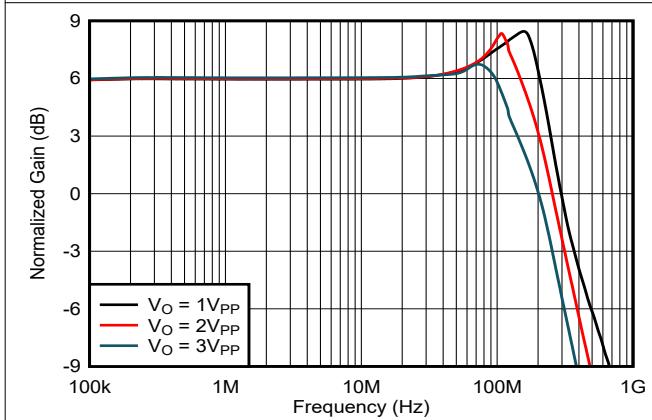


図 6-37. 非反転型の大信号周波数応答

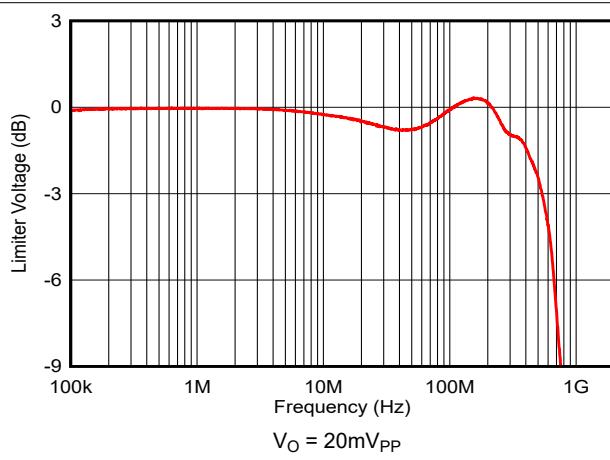


図 6-38. V_H - リミッタの小信号周波数応答

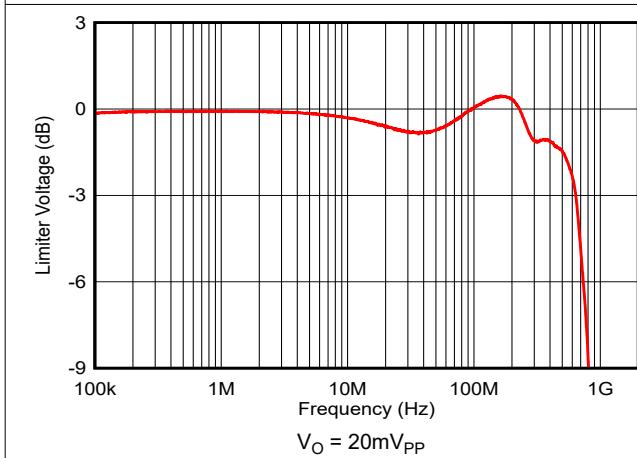


図 6-39. V_L - リミッタの小信号周波数応答

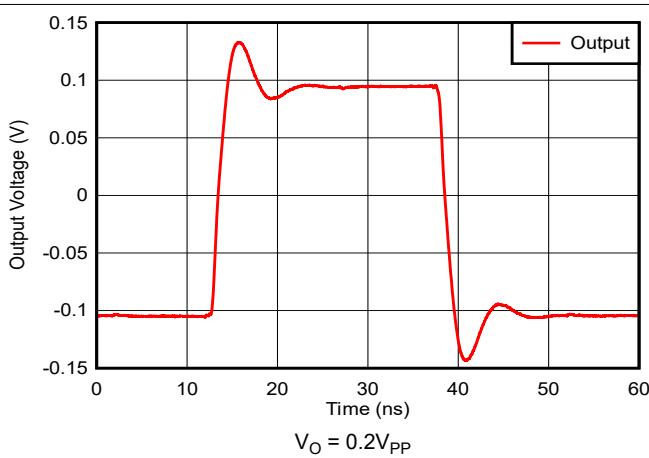


図 6-40. 小信号パルス応答

6.8 代表的特性 : $V_S = 5V$ (続き)

$T_A = 25^\circ\text{C}$ 、 $G = 2\text{V/V}$ 、 $R_F = 402\Omega$ 、 $R_L = 500\Omega$ を $V_{CM} = 2.5\text{V}$ に接続、 $V_L = V_{CM} - 1.2\text{V}$ 、 $V_H = V_{CM} + 1.2\text{V}$ (特に記述のない限り)

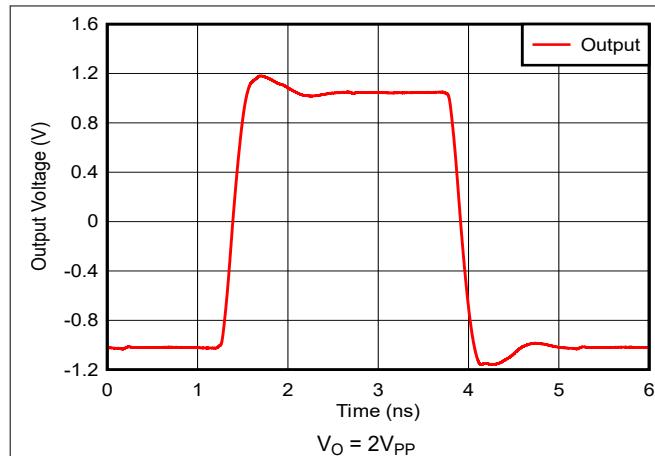


図 6-41. 非反転型の大信号ステップ応答

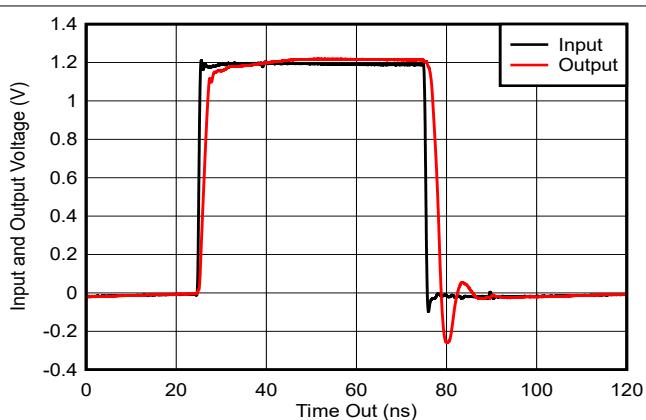


図 6-42. V_H -リミッタ パルス応答

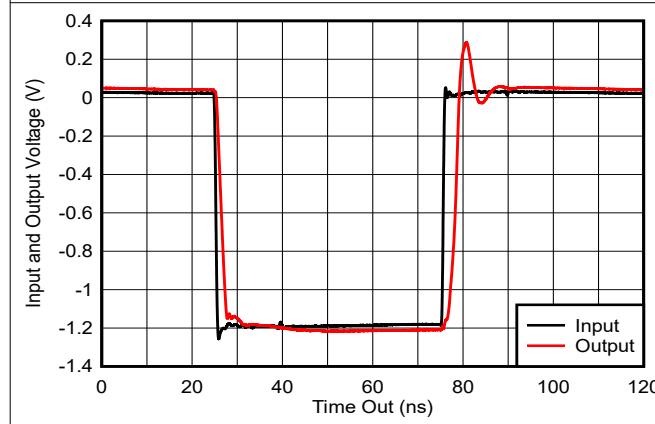


図 6-43. VI-リミッタ L-リミッタ パルス応答

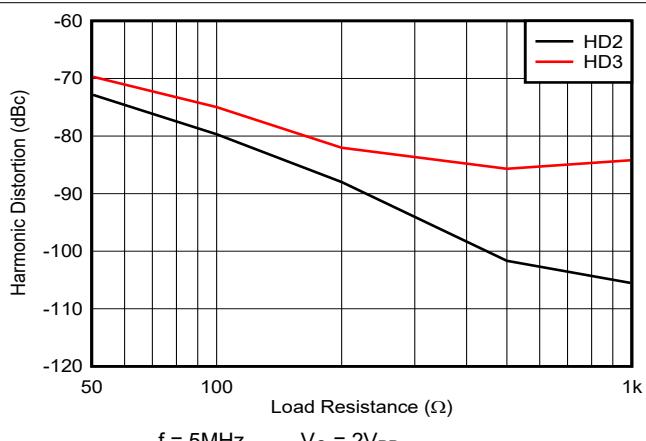


図 6-44. 高調波歪みと負荷抵抗との関係

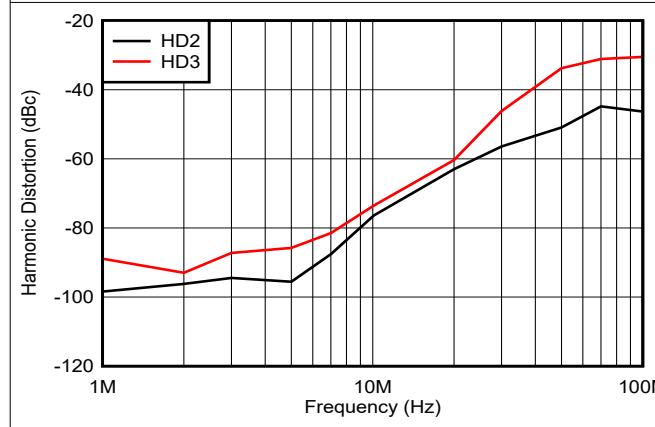


図 6-45. 高調波歪みと周波数との関係

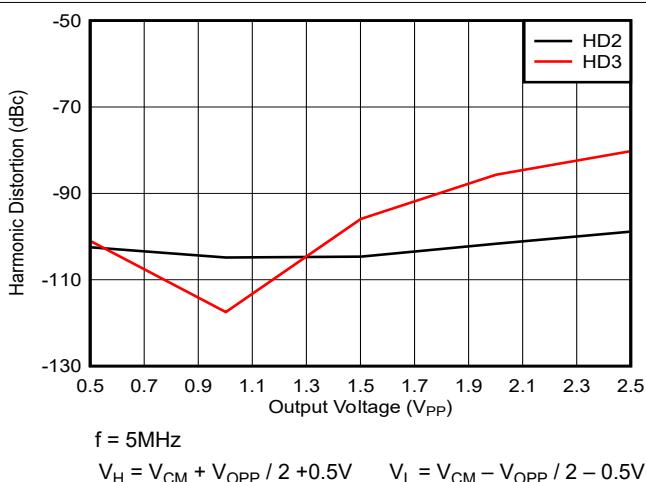


図 6-46. 高調波歪みと出力電圧との関係

6.8 代表的特性 : $V_S = 5V$ (続き)

$T_A = 25^\circ\text{C}$ 、 $G = 2\text{V/V}$ 、 $R_F = 402\Omega$ 、 $R_L = 500\Omega$ を $V_{CM} = 2.5\text{V}$ に接続、 $V_L = V_{CM} - 1.2\text{V}$ 、 $V_H = V_{CM} + 1.2\text{V}$ (特に記述のない限り)

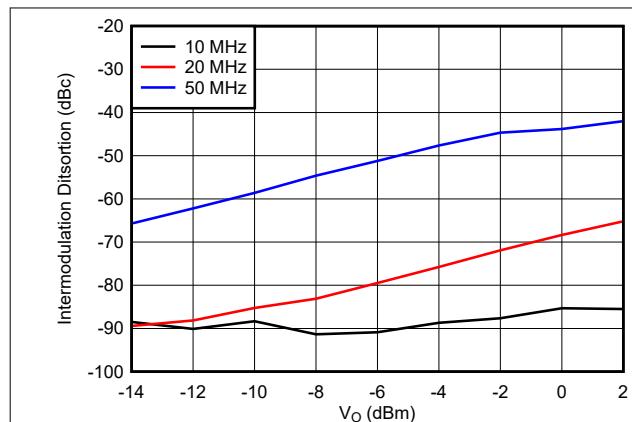


図 6-47.2 トーン、3 次相互変調インター セプト

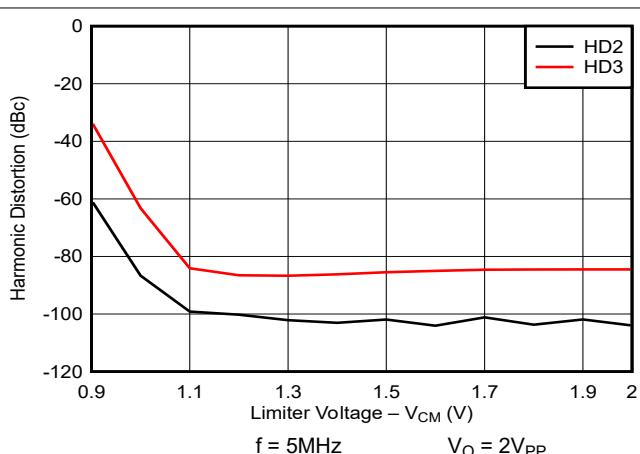


図 6-48. 制限電圧に近い高調波歪み

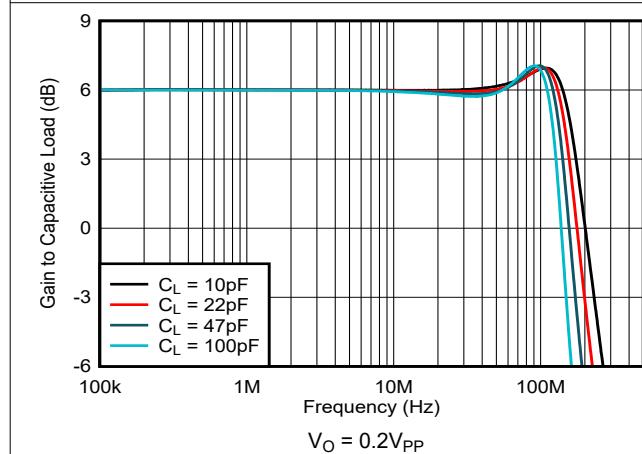


図 6-49. 周波数応答と容量性負荷との関係

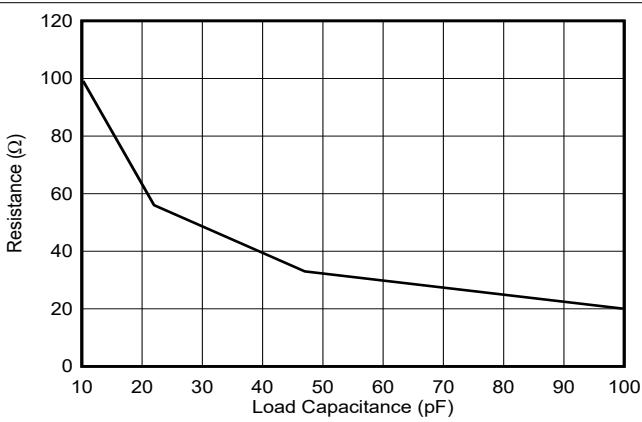


図 6-50. 推奨 R_S と容量性負荷との関係

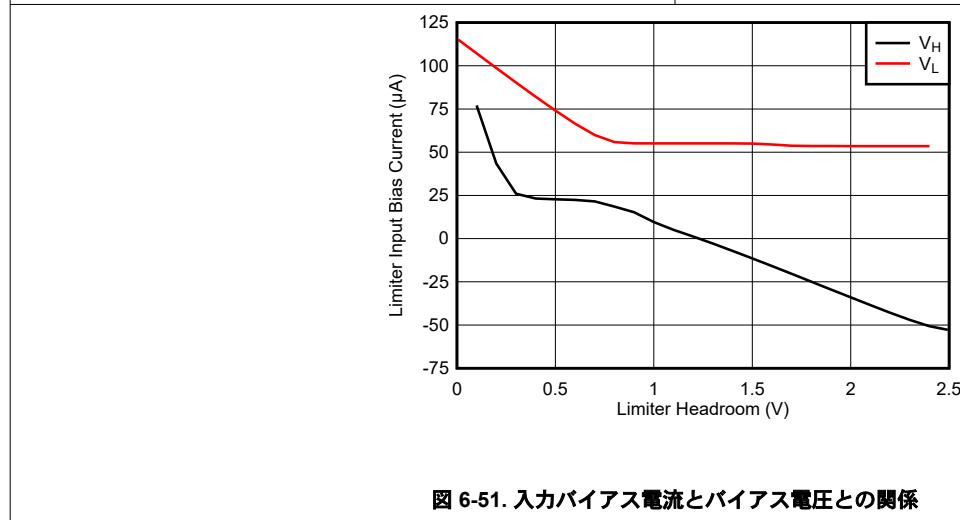


図 6-51. 入力バイアス電流とバイアス電圧との関係

7 詳細説明

7.1 概要

OPA698 は、ユニティゲインで安定している電圧帰還オペアンプです。出力電圧は、リミッタピン(5と8)の電圧で設定された範囲に制限されます。入力が出力をオーバードライブしようとすると、リミッタが出力バッファを制御します。リミッタからのこの動作により、信号路の任意の部分の飽和を防止でき、迅速なオーバードライブ回復と、あらゆる信号ゲインでの優れたリミッタ精度が得られます。これらのリミッタは、リニア動作領域から出力制限へと非常にシャープに遷移します。この遷移により、リミッタ電圧は望まれる信号範囲に極めて近く(100mV未満)に設定できます。リミッタ電圧付近での歪み性能も非常に優れています。

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

8.1.1 出力リミッタ

リミッタ電圧 V_H (ピン8)と V_L (ピン5)の間にある場合、出力電圧は入力電圧にリニアに依存します。出力が V_H または V_L を超えると、対応するリミッタ V_L を超えると、対応するリミッタバッファが出力電圧の制御を引き継ぎ、 V_H または V_L に維持します。リミッタが出力に作用するために、ゲインでは精度は変化しません。作動のリニア領域から出力制限への遷移は非常にシャープなので、望ましい出力信号は非線形性にならずに V_H または V_L から 30mV 以内に安全に到達できます。リミッタ電圧は電源の 0.7V 以内 ($V_L \geq -V_S + 0.7V$, $V_H \leq +V_S - 0.7V$) に設定できますが、400mV 以上離れている ($V_H - V_L \geq 0.4V$) 必要があります。ピン5とピン8をオープンのままにすると、 V_H と V_L はデフォルトの電圧制限になります。最小値は「電気的特性」に記載されています。図 8-1 に、リミッタのヘッドルーム全体にわたるリミッタ入力バイアス電流の標準値を示します。

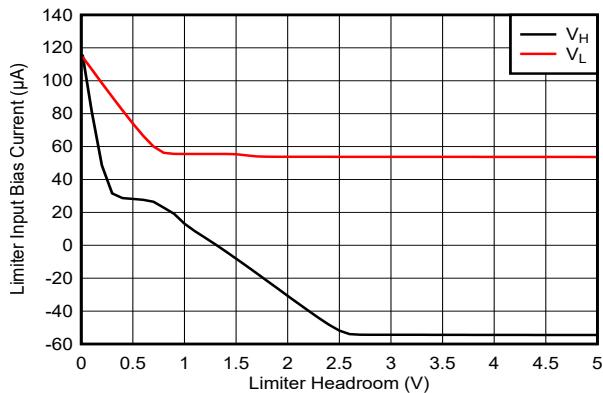


図 8-1. リミッタのバイアス電流とバイアス電圧との関係

リミッタ電圧が電源から 2.5V を超える場合 ($V_L \geq -V_S + 2.5V$ または $V_H \leq +V_S - 2.5V$) は、単純な抵抗デバイダを使用して V_H および V_L を設定します(図 8-8 を参照)。計算にリミッタの入力バイアス電流(図 8-15)を含めます(つまり、ピン5から $I_{VL} = -50\mu A$ 、ピン8から $I_{VH} = +50\mu A$)。良好なリミッタの電圧精度にするには、これらの抵抗を介して少なくとも 1mA の静止バイアス電流を流します。リミッタ電圧が電源の 2.5V 内 ($V_L \leq -V_S + 2.5V$ または $V_H \geq +V_S - 2.5V$) である必要がある場合は、バイアス電流の不確定性による誤差を最小限に抑えるために、低インピーダンスバッファを使用して V_H および V_L を設定することを検討してください。この条件は通常、単一電源動作 ($V_S = 5V$) の場合です。図 8-9 V_H と V_L を設定する抵抗デバイダを通して 2.5mA を実行します。この構成により、 I_{VH} と I_{VL} が目標制限電圧の ±1% 未満になります。

ることによって誤差を抑制します。リミッタの DC 精度は、詳細な注意が必要です。二つの主要な誤差ソースは次のように改善できます。

- V_H および V_L を設定する抵抗デバイダを駆動するために使用すると、電源が大きな誤差(±5%など)の原因となることがあります。精度の高いソースを使用し、適切なコンデンサでピン 5 と 8 をバイパスすると、リミッタの PSRR を向上できます。
- 抵抗デバイダの抵抗公差も主要な要因になります。1% の抵抗を使用してください。他の誤差ソースも影響しますが、リミッタの DC 精度にはほとんど影響しません。
- リミッタの入力バイアス電流に起因するオフセットを低減します。静止バイアス電流がリミッタの入力バイアス電流よりも大きくなるように、抵抗デバイダの抵抗を選択します。
- 使用可能な出力スイングの不確定性に寄与するものとして、信号路の DC 誤差を考慮に入れてください。
- リミッタのオフセット電圧は、リミッタの精度をわずかに低下させるだけです。図 8-2 に、リミッタが歪み性能にどのように影響するかを示します。出力電圧がリミッタ電圧まで直接スイングしても、直線性の低下は実際には観測されません。

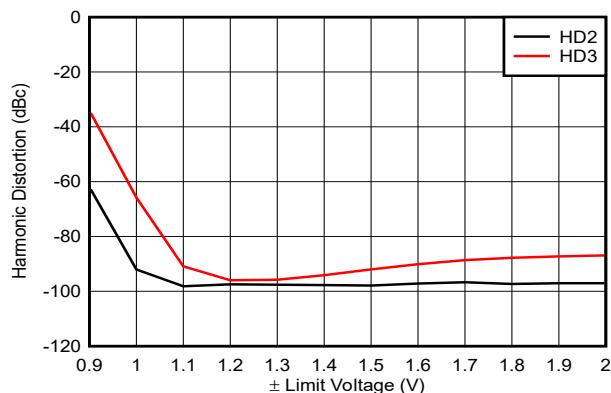


図 8-2. 電圧の限度近くの高調波歪み

8.1.2 出力駆動能力

OPA698 は、ADC などの 500Ω の負荷を駆動するように最適化されています。このデバイスも、 100Ω の負荷を非常に良好に駆動できますが、 500Ω の負荷の仕様が示されています。OPA698 は、幅広い高周波の用途に優れた選択肢となります。

ADC の駆動などの多くの高速アプリケーションには、出力インピーダンスが低いオペアンプが必要です。標準的な性能曲線「出力インピーダンスと周波数の関係」では、OPA698 が全周波数帯域で非常に低い閉ループ出力インピーダンスを維持することが示されています。周波数に応じてループゲインが低下するため、閉ループ出力インピーダンスは周波数とともに大きくなります。

8.1.3 熱に関する注意事項

OPA698 は、ほとんどの条件下で追加のヒートシンクを必要としません。望ましい最大接合部温度は、許容される最大内部消費電力を設定します。最大接合部温度 150°C を超えないようにしてください。

合計内部消費電力 (P_D) は、静止電力 (P_{DQ}) と、負荷電力を供給する間における出力段での追加消費電力 (P_{DL}) の合計です。 P_{DQ} は、規定の無負荷時電源電流とデバイス全体の合計電源電圧の積です。 P_{DL} は、必要とされる出力信号と負荷によります。接地された抵抗性負荷、および等しいバイポーラ電源の場合、出力がいずれの電源電圧の $1/2$ での最大値になります。この条件では、 $P_{DL} = V_S^2 / (4R_L)$ です。ここで、 R_L には帰還回路の負荷が含まれています。負荷ではなく出力段の電力によって内部消費電力が決定されます。

動作時の接合部温度は、 $T_J = T_A + P_D \times \theta_{JA}$ で、ここで T_A は周囲温度です。たとえば、最大 $T_A = +85^\circ\text{C}$ で $G = +2$ 、 $R_F = 402\Omega$ 、 $R_L = 100\Omega$ 、 $\pm V_S = \pm 5\text{V}$ のときの OPA698ID の最大 T_J は、次のように計算されます。

$$P_{DQ} = (10\text{V} \times 15.5\text{mA}) = 155\text{mW} \quad (1)$$

$$P_{DL} = \frac{(5\text{V})^2}{4 \times (100\Omega \parallel 804\Omega)} = 70\text{mW} \quad (2)$$

$$P_D = 155\text{mW} + 70\text{mW} = 225\text{mW} \quad (3)$$

$$T_J = 85^\circ\text{C} + 225\text{mW} \times 118^\circ\text{C/W} = 111.6^\circ\text{C} \quad (4)$$

この結果は、 $V_O = \pm 2.5\text{V}_{\text{DC}}$ からの T_J の最大値です。ほとんどのアプリケーションでは、出力段電力が低く、 T_J が低いことがあります。

8.1.4 容量性負荷

ADC への入力などの容量性負荷では、アンプの位相マージンが減少し、高周波ピークや発振が発生する可能性があります。図 8-3 に、出力に小さな抵抗を直列に接続することにより、 $\geq 2\text{pF}$ の容量性負荷を絶縁する方法が表示されます。2V/V からゲインを大きくすると、位相マージンが増加することで容量性ドライブ能力が向上します。

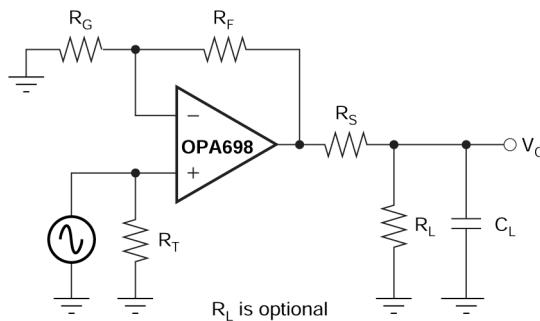


図 8-3. 容量性負荷の駆動

一般に、高周波性能を最適化するために容量性負荷を最小化します。同軸ケーブルの容量 (RG-58 の場合は 29pF/ft) は、同軸ケーブルまたは伝送ラインが特性インピーダンスで終端されている場合、アンプをロードできません。

8.1.5 周波数応答補償

OPA698 は、ユニティ ゲインで安定するように内部的に補償されており、ゲインは 2V/V で公称位相マージンは 60° です。高いゲインでは位相マージンとピークが改善されます。 -1V/V の反転ゲインは、帯域幅のため 2V/V のゲインに相当することに注意してください (すなわちノイズ ゲイン = 2V/V)。このデバイスは、標準的な外部補償技法を使用します。たとえば、反転構成では、反転ノードに直列の RC ネットワークをグランドに配置することで、反転ゲインを変更せずに帯域幅を制限します。この構成は、高い周波数でのノイズ ゲインを増加させ、帯域幅が制限されます。

高いゲインで広帯域幅を維持するには、複数のオペアンプをカスケード接続するか、高ゲインが最適化された OPA699 を使用します。

フォトダイオードトランジスタインピーダンスアンプなどの大きな帰還抵抗が必要なアプリケーションでは、反転入力から接地までの寄生容量によってピークや発振が発生します。この影響を補償するには、小さなコンデンサを帰還抵抗と並列に接続します。帯域幅は、帰還抵抗とこのコンデンサが生成する極によって制限されます。他の高ゲインアプリケーションでは、3 個の抵抗 Tee ネットワークを使用して、寄生容量で設定される RC 時定数を低減します。この帰還回路から発生するノイズを過度に大きくしないように注意してください。

8.1.6 パルス セトリング タイム

OPA698 は、パルス入力への応答で非常に高速なセトリング タイムを実現できます。最適なセトリング タイムを実現するには、周波数応答の平坦度と位相の直線性が必要です。ADC などの容量性負荷には、標準的な性能曲線に推奨される R_S を使用してください。非常に細かいスケールのセトリング (0.01%) では、電源デカップリング コンデンサのグラウンド帰還電流に細心の注意を払う必要があります。

OPA698 は、オーバードライブからの回復時に非常に優れたパルス セトリング特性を備えています。

8.1.7 歪み

OPA698 の歪み性能は、ADC などの 500Ω の負荷に対して指定されています。図 8-4 に、小さい抵抗で負荷を駆動すると、歪みがどのように増加するかを示します。負荷抵抗の計算には帰還回路を含めることにご注意ください。

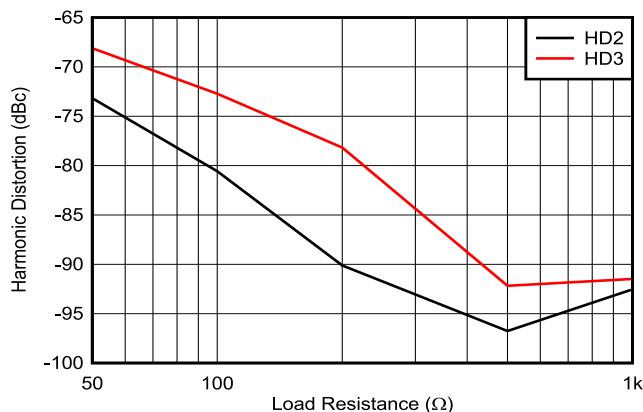


図 8-4. 5MHz 高調波歪みと負荷抵抗との関係

8.1.8 ノイズ性能

通常、高スルーレートでユニティ ゲインで安定している電圧帰還型オペアンプでは、スルーレートが実現しますが、入力ノイズ電圧が高くなります。しかし、OPA698 の $4nV/\sqrt{Hz}$ 入力電圧ノイズは、比較できるアンプよりもはるかに低くなります。入力換算電圧ノイズと二つの入力換算電流ノイズ項を組み合わせることで、さまざまな動作条件下で低出力ノイズが得られます。図 8-5 に、すべてのノイズ項を含むオペアンプのノイズ解析モデルを示します。このモデルでは、すべてのノイズ項は、 nV/\sqrt{Hz} か pA/\sqrt{Hz} のいずれかのノイズ電圧または電流密度項として扱われます。

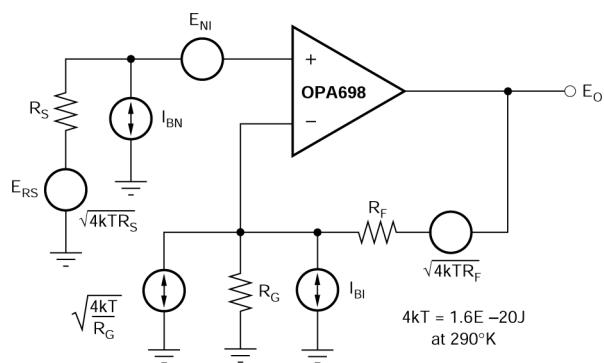


図 8-5. オペアンプのノイズ解析モデル

合計出力スポットノイズ電圧は、寄与するすべての出力ノイズ電圧の 2 乗和の平方根として計算できます。式 5 は、図 8-6 に示されている項を使用した出力ノイズ電圧の一般的な式となります。

$$E_0 = \sqrt{(E_{NI})^2 + (I_{BN}R_S)^2 + 4kTR_S} \cdot NG^2 + (I_{BI}R_F)^2 + 4kTR_F \cdot NG \quad (5)$$

この式をノイズ ゲイン $[NG = (1 + R_F / R_G)]$ で割ると、次のように、非反転入力における等価入力換算スポットノイズ電圧が得られます。

$$E_N = \sqrt{E_{NI}^2 + (I_{BN}R_S)^2 + 4kTR_S + \left(\frac{I_{BI}R_F}{NG}\right)^2 + \frac{4kTR_F}{NG}} \quad (6)$$

これら 2 つの式を OPA698 回路と部品の値 (図 8-8 を参照) で評価すると、合計出力スポットノイズ電圧は $9.5\text{nV}/\sqrt{\text{Hz}}$ 、合計等価入力スポットノイズ電圧は $4.8\text{nV}/\sqrt{\text{Hz}}$ となります。この合計入力換算スポットノイズ電圧は、オペアンプの電圧ノイズのみの仕様である $4\text{nV}/\sqrt{\text{Hz}}$ よりもわずかに高くなるだけです。各オペアンプ入力に生じるインピーダンスが最大値 300Ω に制限されている限り、合計ノイズは、OPA698 の入力換算スポットノイズによって支配されます。ノイズと周波数応答の平坦度に関する両方の検討事項を満たすために、 $(R_F \parallel R_G)$ と非反転入力ソースと非反転入力ソースインピーダンスの両方を 300Ω 未満に維持します。抵抗に誘発されるノイズは比較的無視できるほど小さいため、図 8-10 の反転オペアンプ構成に対するバイアス電流キャンセル抵抗 (R_T) にわたって容量性デカップリングを追加する必要はありませんが、それでも望ましいことです。

8.1.9 DC 精度とオフセット制御

広帯域電圧帰還オペアンプの平衡入力ステージにより、広範なアプリケーションで優れた出力 DC 精度を実現します。OPA698 の電源電流トリムにより、比較できる製品と比べてさらに厳密な制御が可能になります。高速入力ステージは、各入力ピンで比較的大きな入力バイアス電流 (通常は $\pm 8\mu\text{A}$) を必要としますが、この電流による出力 DC 誤差を低減するため、入力ピン間で近接したインピーダンスマッチングを使用します。二つの入力に現れる DC ソース抵抗を一致させることで、合計の出力オフセット電圧を大幅に低減できます。このマッチングにより、オフセット電流と帰還抵抗との積への入力バイアス電流による出力 DC 誤差が低減されます。非反転信号ゲイン (NG) が 2V/V である場合の図 8-8 の構成を評価すると、 $+25^\circ\text{C}$ ワーストケースの入力オフセット電圧と電流仕様を使用することで、次のワーストケースの出力オフセット電圧がと等しくなります：

$$\pm(NG \times V_{OS(max)}) \pm (R_F \times I_{OS(max)}) \quad (7)$$

$$= \pm(2 \times 5\text{mV}) \pm (402\Omega \times 1.4\mu\text{A}) \quad (8)$$

$$= \pm 10.6\text{mV} \quad (9)$$

細かいスケールの出力オフセットのスル、または DC 動作ポイント調整が、しばしば必要になります。オペアンプ回路に DC オフセット制御を導入するのに、多くの技法が利用できます。これらの技法のほとんどは、最終的には帰還抵抗を流れる DC 電流を追加するまで減少します。オフセットトリム方式を選択する際の主要な検討事項の一つに、望ましい信号路の周波数応答に与える影響があります。信号路が非反転することを目的とする場合、反転信号の合計としてオフセット制御を適用し、信号源との相互作用を避けるのが最適です。信号路が反転することを意図している場合には、非反転入力にオフセット制御を適用することが考慮されます。ただし、加算接合部の DC オフセット電圧により、ソースへ戻る DC 電流が設定されますが、これを考慮する必要があります。反転オペアンプ入力にオフセット調整を適用すると、ノイズ ゲインと周波数応答の平坦度を変更できます。DC 結合反転アンプについて、図 8-6 は、信号周波数応答への影響を最小限に抑えるオフセット調整手法の例を示しています。この場合、DC オフセット電流は、信号路抵抗よりもはるかに大きい抵抗を経由して反転入力ノードに流れます。この構成を使用すると、調整回路がループ ゲインや周波数応答に与える影響は最小限です。

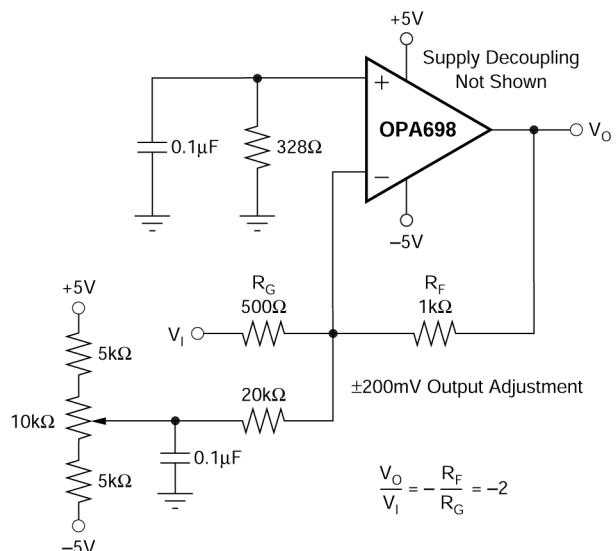


図 8-6. DC 結合、反転ゲイン-2、オフセット調整付き

8.1.10 入力およびESD 保護

注意

ESD による損傷は MOSFET デバイスに損傷を与えることが知られていますが、どの半導体デバイスも ESD による損傷に対して脆弱です。この注意は、非常に高速で微細なジオメトリプロセスに特に当てはまります。デバイスを破壊する必要なく、ESD による損傷が原因で、アンプの入力特性が微妙な変化を引き起こす可能性があります。高精度オペアンプでは、この損傷が原因でオフセット電圧とドリフトが顕著な劣化する可能性があります。そのため、OPA698 を取り扱う際は ESD の取り扱いに注意が必要です。

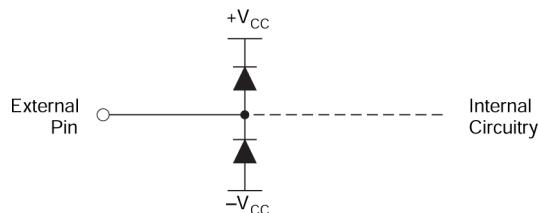


図 8-7. 内部 ESD 保護

8.2 代表的なアプリケーション

8.2.1 広帯域電圧制限動作

OPA698 は、広帯域、高スルーレート アンプ機能と出力電圧リミッタを組み合わせた電圧帰還アンプです。出力は各レールから最大 1V までスイングし、190mA まで供給します。これらの機能により、このデバイスは ADC を駆動すると同時に、ADC 入力にオーバードライブ保護を追加するのに最適です。

図 8-8 に、DC 結合、2V/V のゲイン、 $\pm 5V$ の電気的特性と代表的特性を基本として使用されたデュアル電源回路構成を示します。テスト時には、グランドとの間に接続された抵抗により入力インピーダンスは 50Ω に設定され、出力インピーダンスは 500Ω に設定されます。仕様に記載されている電圧スイングは、入力および出力ピンで直接測定されています。図 8-8 の回路では、総出力負荷は $500\Omega \parallel 804\Omega = 308\Omega$ です。電圧制限ピンは、 $+V_S$ と V_H のグランドとの間、および $-V_S$ と V_L のグランドとの間の電圧デバイダネットワークによって $\pm 2V$ に設定されます。これらのリミッタ電圧は、 $0.1\mu F$ セラミックコンデンサを使用してグランドへ適切にバイパスされます。リミッタ電圧 (V_H および V_L) とそれぞれのバイアス電流 (I_{VH} および I_{VL}) には表示されている極性があります。図 8-8 には、追加のコンポーネントが 1 つ含まれています。非反転入力と直列に抵抗 (174Ω) が追加されています。信号ジェネレータに向けた 25Ω の DC ソース抵抗と組み合わせると、反転入力に見られる 200Ω のソース抵抗と一致する入力バイアス電流キャンセル抵抗が得られます。セクション 8.1.9 も参照してください。図 8-8 に示す各電源の電源バイパスは、電解 $2.2\mu F$ 1 個とセラミック $0.1\mu F$ 1 個の 2 個のコンデンサで構成されています。図 8-8 と図 8-9 に、電源バイパスコンデンサを明示しますが、他の図では想定されています。2 つの電源ピンの間に、追加の $0.01\mu F$ 電源デカップリングコンデンサ(ここでは示していません)を含めることができます。

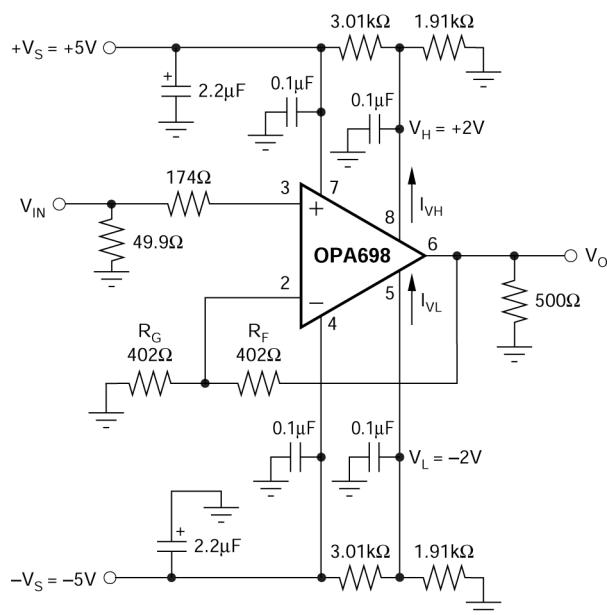


図 8-8. DC 結合、デュアル電源アンプ

8.2.2 単一電源、非反転型アンプ

図 8-9 に、5V 単一電源動作用の AC 結合、非反転ゲイン アンプを示します。この回路は、(一致する) 50Ω のソースと 500Ω 負荷で OPA698 の AC 特性に使用しました。非反転入力の中点基準は、二つの 806Ω 抵抗によって設定されます。この構成により入力バイアス電流をキャンセルする抵抗が得られ、反転入力で見られる 402Ω DC のソース抵抗と一致します(セクション 8.1.9 を参照)。電源用の電源バイパスは、電解 $2.2\mu\text{F}$ 1 個とセラミック $0.1\mu\text{F}$ 1 個の 2 個のコンデンサで構成されています。電源バイパスコンデンサは図 8-8 と図 8-9 に明らかに示されていますが、他の図で想定されています。リミッタ電圧(V_H および V_L)とそれぞれのバイアス電流(I_{VH} および I_{VL})には表示されている極性があります。これらのリミッタ電圧は、 $0.1\mu\text{F}$ セラミックコンデンサを使用してグランドへ適切にバイパスされます。単一電源回路では V_H と V_L を設定するために 3 つの抵抗を使用できますが、デュアル電源回路は通常 4 つの抵抗を使用して、グランドへの制限電圧を基準とされています。この回路では 5V での動作を示していますが、同じ回路を使用して最大 12V の単一電源を供給することもできます。

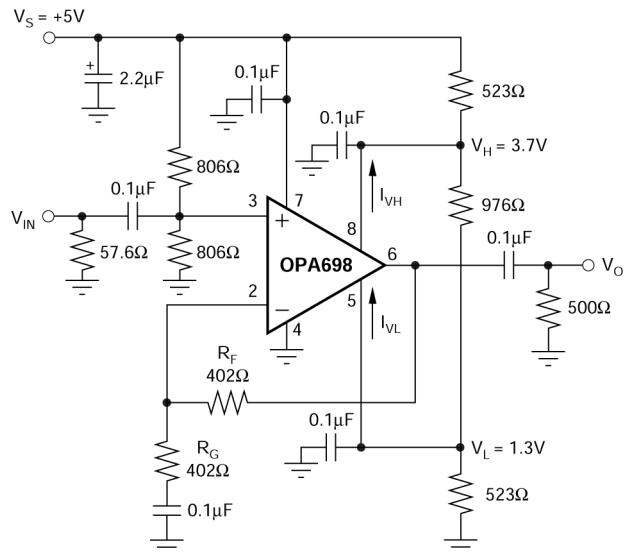


図 8-9. AC 結合、単一電源アンプ

8.2.3 広帯域反転動作

OPA698 を反転アンプとして動作させるいくつかの利点があり、マッチングされた 50Ω のソースと入力インピーダンスが必要な場合に特に便利です。図 8-10 に、反転モードの代表的特性に基づいて使用した-2 回路の反転ゲインを示します。

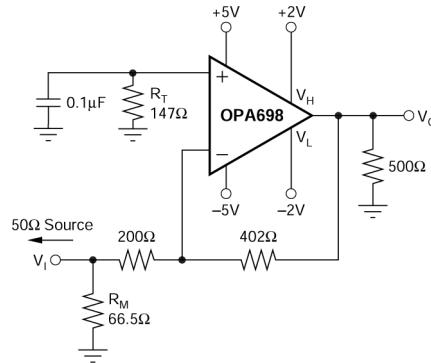


図 8-10. 反転 $G = -2V/V$ 仕様とテスト回路

反転ケースでは、帰還抵抗のみが、実際の負荷と並列に合計出力負荷の一部として現れます。標準的特性で使用する 500Ω の負荷を使用すると、この反転構成で合計負荷が 222Ω となります。ゲイン抵抗は、望ましいゲイン(この場合は- $2V/V$ のゲインに対して 200Ω)を得るために設定されますが、必要に応じて、追加の入力抵抗(R_M)を使用して、合計入力インピーダンスをソースと等しい値に設定することもできます。この場合、 $R_M = 66.5\Omega$ と 200Ω のゲイン設定抵抗と並列に接続すると、 50Ω のマッチングされた入力インピーダンスが得られます。このマッチングは、図 8-10 の回路を使用した特性テストで行われているように、入力をソースインピーダンスと一致させる必要がある場合にのみ必要となります。

バイアス電流キャンセルのマッチングを行うために、非反転入力にはグランドとの間に 147Ω の抵抗が必要です。この抵抗の計算には、 R_G および R_M とともに、DC 結合された 50Ω のソースインピーダンスが含まれます。この抵抗はバイアス電流を相殺しますが、抵抗のノイズ寄与と入力電流ノイズをフィルタするには、回路を適切にデカップリングする必要があります(図 8-10 で $0.1\mu F$)。

高いゲインで必要な R_G 抵抗が 50Ω に近づくと、図 8-10 の回路の帯域幅は、図 8-8 の非反転回路に対するのと同じゲイン振幅での帯域幅を上回ります。この結果は、解析に 50Ω のソースインピーダンスが含まれているときの図 8-10 の回路のノイズゲインが低いために発生します。例えば、信号ゲインが- $10V/V$ の場合($R_G = 50\Omega$ 、 $R_M = \text{オープン}$ 、 $R_F = 500\Omega$)の図 8-10 の回路のノイズゲインは、ノイズゲイン計算式に 50Ω のソースが追加されるため、 $1 + 500\Omega/(50\Omega + 50\Omega) = 6$ となります。このアプローチでは、 $10V/V$ の非反転ゲインよりも大幅に高い帯域幅が得られます。OPA698 の $250MHz$ ゲイン帯域幅積を使用すると、 50Ω ソースから $50\Omega R_G$ への- $10V/V$ の反転ゲインにより $52MHz$ 帯域幅が得られ、 $10V/V$ の非反転ゲインは図 8-11 に示すように $28MHz$ となります。

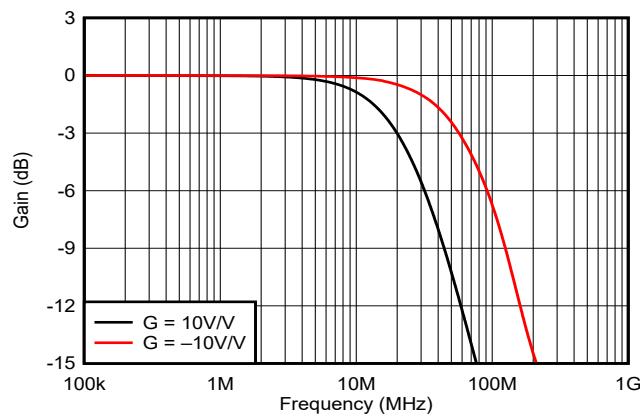


図 8-11. $G = 10V/V$ と- $10V/V$ の周波数応答

8.2.4 出力制限付き、ADC 入力ドライバ

図 8-12 は、単一電源で動作し、非常に優れた歪み性能を提供する単純な ADC ドライバを示します。制限電圧はコンバータの入力範囲をトレースし、入力オーバードライブに対して完全に保護します。制限電圧は、コンバータの対応する基準電圧より 100mV 高いか低い値に設定されます。

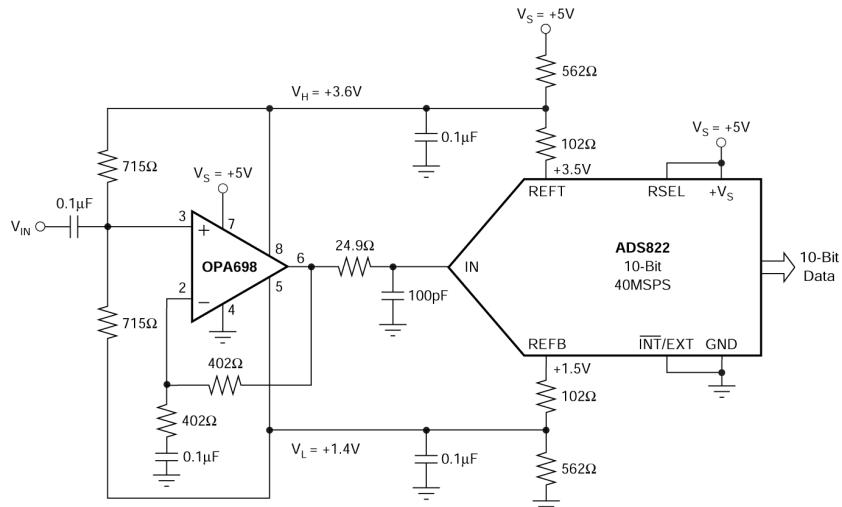


図 8-12. 単一電源制限 ADC 入力ドライバ

8.2.4.1 制限出力、差動 ADC 入力ドライバ

図 8-13 に、OPA698 リミッタを利用して ADC の入力を保護する差動 ADC ドライバを示します。二つの OPA698 が使用されます。最初の OPA698 は、ゲインが-2V/V の反転構成になっています。二番目の OPA698 は、ゲインが 2V/V の非反転構成になっています。各アンプは 2V_{PP} をスイングし、4V_{PP} の差動信号を供給して ADC の入力を駆動します。許容可能な歪みレベルを維持しながら ADC に入力保護を提供するために、リミッタは各アンプの最大信号の振幅から 100mV 離れた位置に設定されています。

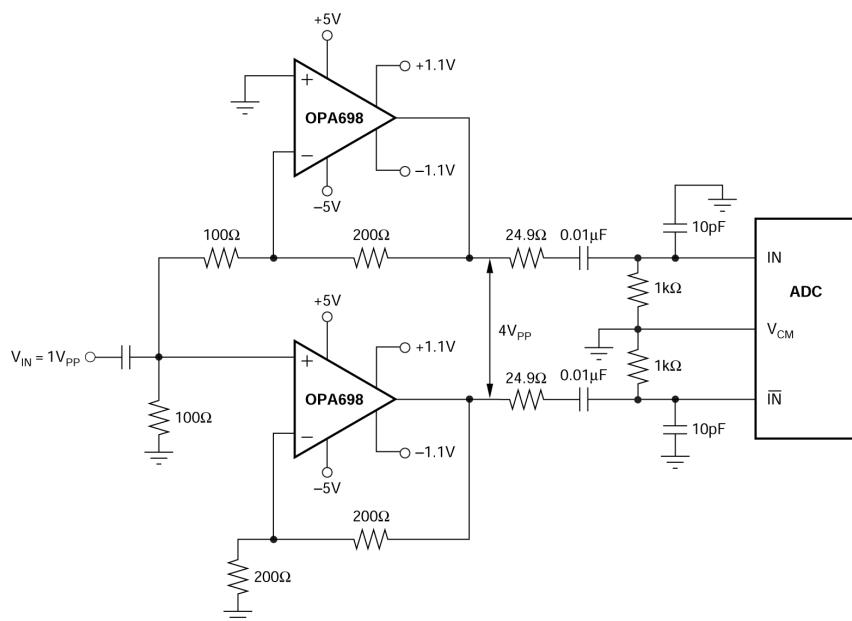


図 8-13. シングル対差動、AC 結合、出力制限 ADC ドライバ

8.2.4.2 高精度半波整流器

図 8-14 に、優れた精度と速度を持つ半波整流器を示します。 V_H (ピン 8)は、オープンのままの場合はデフォルト電圧 $3.1V \sim 3.8V$ に設定され、負の制限はグランドに設定されます。

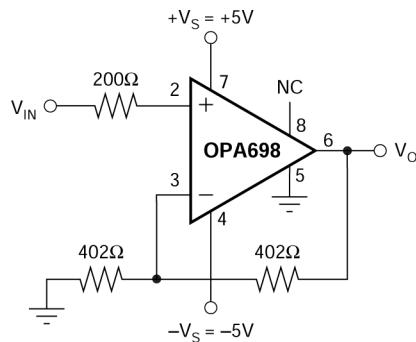


図 8-14. 高精度半波整流器。

図 8-14 の回路のゲインは、 $2V/V$ に固定されています。図 8-15 に、 $2V/V$ のゲインで整流された $100MHz$ 正弦波アンプを示します。

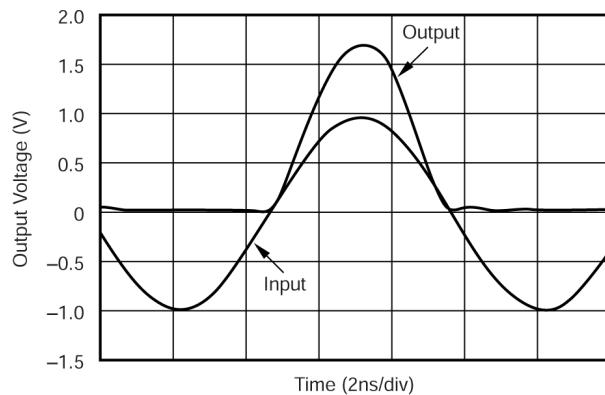


図 8-15. 整流された $100MHz$ 正弦波

8.2.5 高速全波整流器

ここに示す二つの方式は、リミッティングアンプを使用して高速の全波整流器を構築することにあります。前述の半波整流器を別のアンプとともに使用して、全波整流出力を得るか、入力を使用して制限電圧を設定します。

8.2.5.1 高速全波整流器#1

図 8-16 に示す回路は、 $-1V/V$ の反転ゲイン構成で、一つのアンプのみを使用しています。上限電圧はオープンのままであり、上限電圧は $3.5V$ になります。下限制限電圧が入力信号に接続されるため、以下の動作が得られます。入力電圧が負の場合、アンプは制限されず、出力に対する入力正弦波が反転します。入力信号の正の変位中は、制限された入力ピンにより出力信号が駆動されます。出力は、リミッタの入力ピンから、正の入力から駆動されます。入力パスのスルーレートが低いため、この手法のアプリケーションの振幅、周波数、または両方が低く制限されます。図 8-17 に、 $2MHz$ の完全整流正弦波を示します。

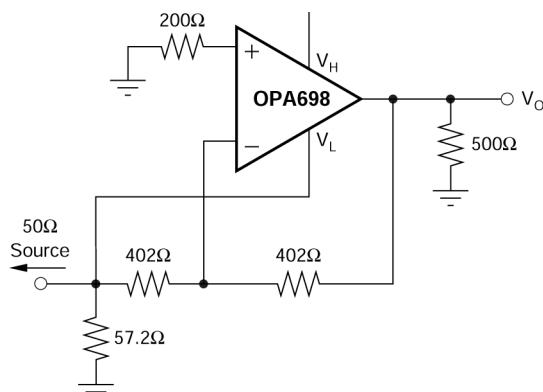


図 8-16. 高速全波整流器#1

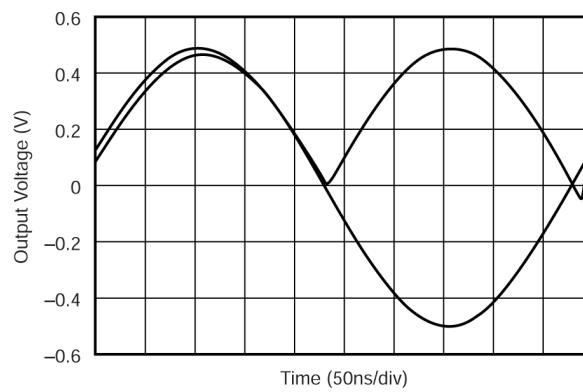


図 8-17. 整流 $2MHz$ 正弦波

高い周波数に到達するために、二番目の方法が推奨されます。

8.2.5.2 高速全波整流器#2

図 8-18 に示す回路は、OPA693 を反転構成で駆動する半波整流器を組み合わせ、入力信号によって固定ゲインアンプ OPA693 の非反転入力を駆動して、全波整流器機能を実現します。図 8-19 に結果を示します。

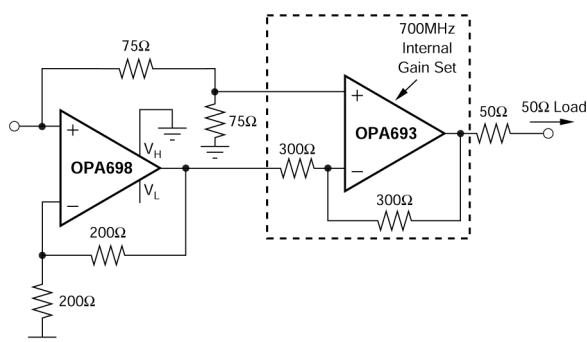


図 8-18. 高速全波整流器#2

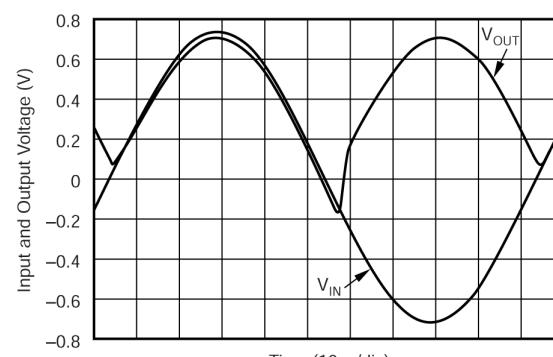


図 8-19. 整流 $10MHz$ 正弦波

整流された信号の負の変位が必要ない場合は、OPA693 を、 V_L をグランドに接続し V_H をフローティングのままにした差動アンプとして構成された OPA698 に置き換えることで、簡単に除去できます。

8.2.6 ソフトクリッピング(圧縮)回路

図 8-20 に、ソフトクリッピング回路を示します。入力電圧が V_{CH} または V_{CL} のいずれかを超えるとすぐ、制限電圧は次の式で駆動されます。

$$V_H = V_{H_L} = \frac{R_2 \times V_{CH} + R_1 \times V_{IN}}{R_1 + R_2} \quad (10)$$

$$V_L = V_{L_U} = \frac{R_4 \times V_{CL} + R_3 \times V_{IN}}{R_3 + R_4} \quad (11)$$

アンプが制限モードで動作しているため、出力電圧は V_{CH} を超える正の変位に対して R_1+R_2/R_1 のゲインで、 V_{CL} を下回る負の変位に対して R_3+R_4/R_3 のゲインで圧縮されます。図 8-21 は、圧縮ゲインが 1/3 で $\pm 1V$ 以上で圧縮されている入力における 5V_{PP} を示しています。

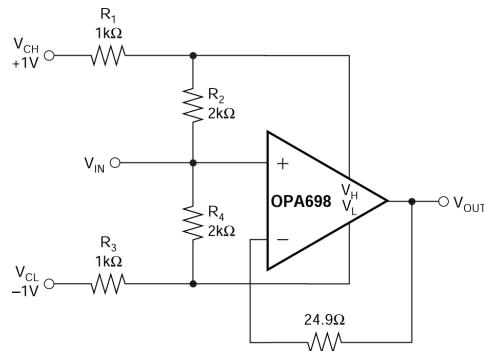


図 8-20. ソフトクリッピング回路

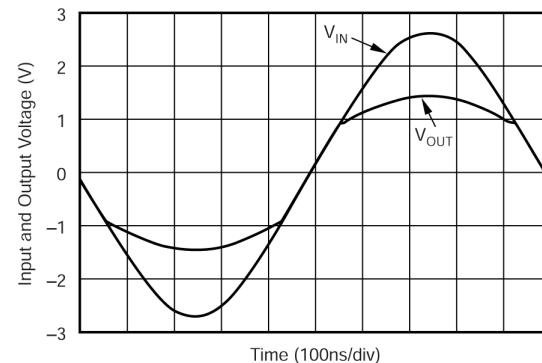


図 8-21. クランプ レベル ($\pm 1V$) を上回る 1/3 ゲインによるソフトクリッピング

8.2.7 超高速シムミットトリガ

図 8-22 に、超高速シムミットトリガを示します。出力レベルは正確に定義され、スイッチング時間に優れています。出力電圧のスイングは、 V_H と V_L の間です。この回路は次のように動作します。入力電圧が V_{HL} より低い場合、出力は V_H で制限されます。入力が V_{HH} を上回ると、出力は V_L で制限され、 V_{HL} および V_{HH} は次のように定義されます。

$$V_{HL, HH} = \frac{R_1 || R_2 || R_3}{R_1} \times V_{REF} + \frac{R_1 || R_2 || R_3}{R_2} \times V_{OUT} \quad (12)$$

シムミットトリガによって実現される反転機能により、 V_{HL} は $V_{OUT} = V_H$ に対応し、 V_{HH} は $V_{OUT} = V_L$ に対応します。図 8-23 に $V_{REF} = 5V$ で動作するシムミットトリガを示し、 $V_{HH} = 2.4V$ および $V_{HL} = 1.6V$ となります。シムミットトリガ構成での OPA698 の伝搬遅延は、High から Low で 6ns、Low から High で 5ns です。

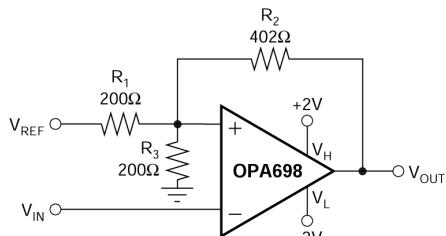


図 8-22. 超高速シュミット トリガ

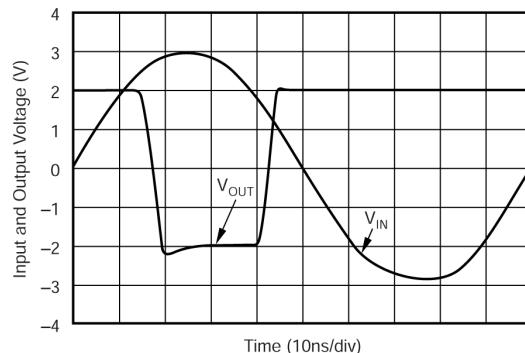


図 8-23. 10MHz 正弦波に対するシュミット トリガの時間ドメイン応答

8.2.8 ユニティ ゲインバッファ

図 8-24 に、OPA698 を使用したユニティ ゲイン電圧バッファを示します。帰還抵抗 (R_F) は、反転入力における入力容量から出力を絶縁します。ユニティ ゲイン バッファ アプリケーションに対しては、 $R_F = 24.9\Omega$ を推奨します。 R_C はオプションの補償抵抗で、 $G = 1V/V$ で一般的に見られるピークを低減できます。 $R_C = R_S + R_F$ を選択すると、周波数応答が約 $G = 2V/V$ となるユニティ ゲイン バッファが得られます。図 6-1 に図 8-24 の回路の周波数応答を示します。

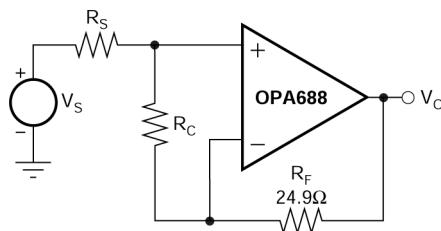


図 8-24. ユニティ ゲイン バッファ

8.2.9 DC 復元器

図 8-25 に、OPA698 および OPA660 を使用した DC 復元回路を示します。OPA660 のバッファ素子を使用して入力信号をバッファする一方で、相互コンダクタンス素子を使用してデカップリング コンデンサ C_1 の後で DC レベルを復元します。DC レベルは、 R_1 と R_2 を使用して設定します。OPA698 は、75Ω の負荷に 75Ω を直列接続した場合に補償するために、2V/V のゲインに構成されます。OPA698 は、また、出力をアースに制限します。

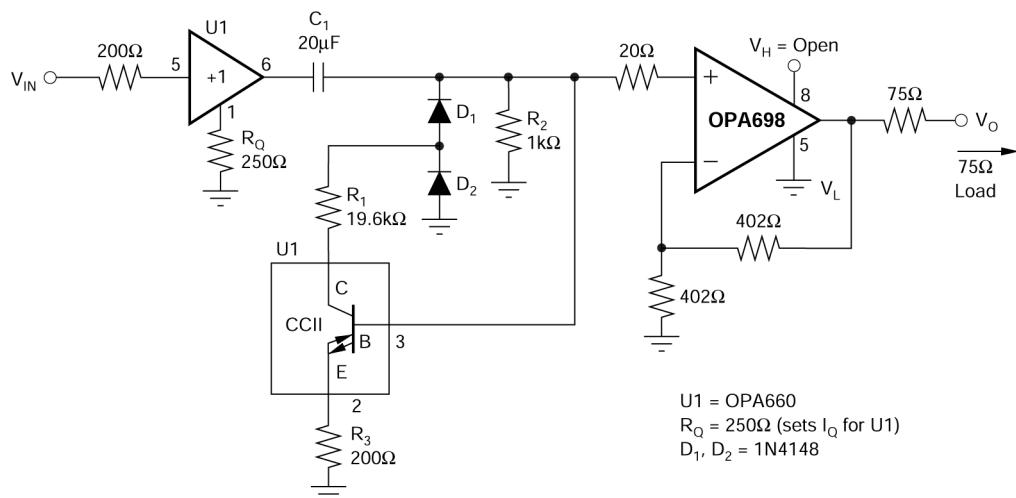


図 8-25. DC のアースへの復元

8.2.10 ビデオ同期ストリッパ

図 8-26 に、2 つの OPA698 出力制限オペアンプを使用した同期ストリッパを示します。1 つの OPA698 は、制限反転コンパレータとして構成されています。入力を基準にして、 $-0.2V$ を下回る負の変位はグランドにクリッピングされ、 $-0.2V$ を超えるすべての変位では、デフォルトの制限値 ($-3.5V$) で設定された出力電圧が生成されます。2 番目の OPA698 は、この波形を使用してビデオ信号から同期パルスを効果的に除去します。

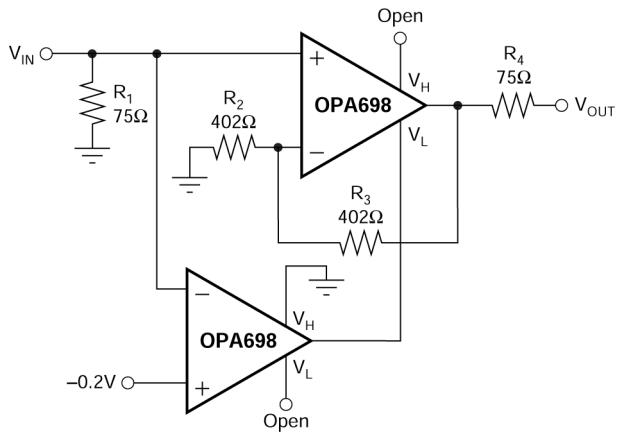


図 8-26. 同期ストリッパ回路

8.3 電源に関する推奨事項

OPA698 は、 $\pm 5V$ の電源と $5V$ の單一電源のどちらかを使用した動作が公称で規定されています。最大規定合計電源電圧は $12V$ であるため、電源の許容誤差が妥当です。電源電圧が高くなると内部接合部が破損し、致命的な障害が発生する可能性があります。同相電圧の制約が守られていれば、單一電源動作が可能です。同相入力および出力電圧の仕様は、電源電圧に必要なヘッドルームとして解釈できます。この入力および出力のヘッドルーム要件を遵守することで、非標準または單一電源動作の回路を設計できます。図 8-9 に、單一電源動作への方式の一つを示します。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

高周波 OPA698 を使用して最適な性能を実現するには、レイアウト設計と部品の選択に細心の注意を払う必要があります。推奨される PCB レイアウト技法と部品選択基準は次のとおりです。

- すべての信号 I/O ピンの **AC グランド**に対する寄生容量を最小化します。信号 I/O ピンの周囲のグランドおよび電源プレーンのウインドウを開き、他の場所でグランドおよび電源プレーンを切らないようにします。
- 高品質の電源**を供給します。リニアレギュレータ、グランドプレーン、電源プレーンを使用して電源を供給します。各電源ピンから 0.2 インチ未満の距離に高周波 $0.1\mu F$ デカップリングコンデンサを配置します。太く短いパターンを使用して、これらのコンデンサをグランドおよび電源プレーンに接続します。また、大容量 ($2.2\mu F$ から $6.8\mu F$) の高周波デカップリングコンデンサを使用して、低い周波数 (デバイスからさらに先の周波数) をバイパスし、複数の隣接デバイス間で共有できます。
- 外部コンポーネントは、OPA698 に近づけて配置します。この配置により、インダクタンス、グランドループ、伝送ラインへの影響、伝搬遅延の問題が最小限に抑えられます。フィードバック (R_F)、入力、出力抵抗については十分に注意してください。
- 高周波部品**を使用して、寄生素子を最小化します。抵抗は、リアクタンスが非常に低いタイプにすることができます。最もよく機能するのは表面実装抵抗で、レイアウトをより厳密にすることができます。また、金属皮膜またはカーボンコンポジットにより軸的にリードされた抵抗によって、リードができるだけ短くなった場合に良好な性能を発揮できます。高周波アプリケーションでは、巻線抵抗を決して使用しないでください。ほとんどのポテンショメータには、大きな寄生容量とインダクタンスがあることにご注意ください。マルチレイヤセラミックチップコンデンサは、最適に機能し、わずかなスペースしか必要としません。モノリシックのセラミックコンデンサも非常に良好に動作します。低 ESR および ESL の R_F タイプのコンデンサを使用します。高周波およびパルス性能を改善するために、大容量のパワー ピンのバイパスコンデンサ ($2.2\mu F$ から $6.8\mu F$) はタンタルを使用することができます。

5. 抵抗と寄生並列容量によって設定される時定数が最小になるように、**小さな抵抗値を選択します**。好ましい金属皮膜または表面実装抵抗には、約 0.2pF の寄生並列容量があります。抵抗が $1.5\text{k}\Omega$ より大きい場合、この容量により極、 500MHz よりも小さいゼロ、またはその両方が追加されます。出力負荷が大きすぎないことを確認してください。推奨される 402Ω の帰還抵抗は、ほとんどの設計の出発点として適しています。
6. 基板上のその他の広帯域デバイスに短い直接トレースを使用します。短いトレースは集中容量性負荷として機能します。広いトレース($50\text{~}100\text{ mil}$)を使用できます。出力の総容量性負荷を推定し、標準的な性能曲線で推奨される直列絶縁抵抗(**RS 対容量性負荷**)を使用します。寄生負荷が 2pF 未満である場合には、絶縁抵抗は不要です。
7. **長いトレースが必要な場合は**、伝送ラインの設計手法を使用します(マイクロストリップおよびストリップラインレイアウトの技法については、**ECL 設計ハンドブック**を参照)。 **50Ω** の伝送ラインはオンボードでは必要ありません。特性インピーダンスが高いので、出力負荷の低減に役立ちます。オペアンプの出力に整合直列抵抗を使用して伝送ラインを駆動し、もう一方の端にある整合負荷抵抗を使用してラインを抵抗として表示します。整合された負荷によって生成される 6dB の減衰が許容できず、配線が長すぎない場合には、ソースの直列抵抗のみを使用してください。この構成では、ラインから提供されるリアクティブな負荷からソースを分離しますが、周波数応答は低下します。複数の送信先デバイスは、それぞれに直列のソースやシャント負荷終端を持つ個別の伝送ラインとして扱うのが最適です。終端抵抗で動作する寄生インピーダンスは、伝送ラインのマッチングを変化させ、不要な信号反射やリアクティブ負荷を引き起こす可能性があります。
8. **OPA698** などの高速部品にソケットを使用しないでください。ソケットによって生じるリード長とピン間容量の追加により、非常に面倒な寄生ネットワークが形成されます。部品を基板に半田付けすることで、最良の結果が得られます。

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 デバイス サポート

9.1.1 デモ・キット

OPA698 を使用した初期の回路性能評価には、プリント基板(PCB)を利用することができます。キットは、部品なしの PCB として、ユーザーガイドとともに無償で提供しています。[表 9-1](#) には、このキットの概要情報を示します。

表 9-1. デモ・キット

製品名	パッケージ	発注型番	資料番号
OPA698ID	SO-8	DEM-OPA-SO-1A	SBOU009

テキサス・インスツルメンツの Web サイトの [OPA698 製品フォルダ](#) から申し請いをすることができます。

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ [E2E™ サポート・フォーラム](#) は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

テキサス・インスツルメンツ [E2E™](#) is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (December 2008) to Revision E (April 2025)	Page
• 「特長」、「アプリケーション」、「説明」セクションの更新、およびダイの再設計仕様付き。更新された仕様については、「仕様」セクションを参照してください.....	1
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• ピン構成および機能を追加.....	2

・ 「絶対最大定格」で、電源電圧の仕様を $\pm 6.5V$ から $13V$ に変更.....	3
・ 分かりやすくするため「絶対最大定格」の表の注を更新.....	3
・ 電源ターンオン/ターンオフ速度、および連続入力電流を「絶対最大定格」に追加.....	3
・ 「絶対最大値仕様」からハンダ付けフロー仕様を削除.....	3
・ 「ESD 定格」からマシン モデル (MM) 仕様を削除.....	3
・ 「推奨動作条件」を追加.....	3
・ 「電気的特性とAC 性能」の両方で最小値および過熱仕様を削除.....	4
・ 両方の「電気的特性」に対してテスト条件を更新し、明確性を追加.....	4
・ 両方の「電気的特性」表のフォーマットを更新.....	4
・ すべての「電気的特性」から $T_A = 0^{\circ}\text{C} \sim +70^{\circ}\text{C}$ の仕様を削除.....	4
・ すべての「電気的特性」からテストレベルの列を削除.....	4
・ $G = 1\text{V/V}$ 時の SSBW を 450MHz から 650MHz に変更.....	4
・ 両方の「電気的特性」に対してデフォルトのテスト条件に $T_A = 25^{\circ}\text{C}$ を追加.....	4
・ 「AC 性能」セクションを更新し、両方の「電気的特性」において、標準的な小信号帯域幅、スルーレート、電圧ノイズ、電流ノイズ、歪みの値を改善.....	4
・ ゲイン帯域幅積を 250MHz から 300MHz に変更.....	4
・ 1V/V のゲインでのピークの標準値を 5dB から 1.5dB に変更.....	4
・ 標準的なスルーレートを $1100\text{V}/\mu\text{s}$ から $1800\text{V}/\mu\text{s}$ に変更.....	4
・ $V_O = 0.2\text{V}$ ステップでの立ち上がり / 立ち下がり時間を 1.6ns から 1.4ns に変更.....	4
・ セトリング タイムを 8ns から 25ns に変更.....	4
・ $R_L = 500\Omega$ での標準の 2 次高調波歪みを -74dBc から -94dBc に変更.....	4
・ 差動ゲインおよび差動位相の仕様を削除.....	4
・ $R_L = 500\Omega$ での標準の 3 次高調波歪みを -87dBc から -85dBc に変更.....	4
・ 標準的な開ループ電圧ゲインを 63dB から 80dB に変更.....	4
・ 入力バイアス電流の代表値を $3\mu\text{A}$ から $\pm 0.2\mu\text{A}$ に、入力オフセット電流を $\pm 0.3\mu\text{A}$ から $\pm 0.1\mu\text{A}$ に変更.....	4
・ 典型的な同相信号除去比を 61dB から 82dB に変更.....	4
・ 入力インピーダンスの差動モードを $0.32 \parallel 1\text{M}\Omega \parallel \text{pF}$ から $1 \parallel 0.3\text{M}\Omega \parallel \text{pF}$ に変更.....	4
・ 標準入力インピーダンス同相モードを $3.5 \parallel 1\text{M}\Omega \parallel \text{pF}$ から $33 \parallel 1.4\text{M}\Omega \parallel \text{pF}$ に変更.....	4
・ 電流出力のソースとシンクを 120mA および -120mA から $+190\text{mA}$ および -190mA に変更.....	4
・ リミッタの最大入力バイアス電流の大きさ、 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ を $64\mu\text{A}$ から $65\mu\text{A}$ に変更.....	4
・ リミッタの標準入力インピーダンスを $3.4 \parallel 1\text{M}\Omega \parallel \text{pF}$ から $10 \parallel 0.85\text{M}\Omega \parallel \text{pF}$ に変更.....	4
・ リミッタの標準フィードスルーを -68dB から -95dB に変更.....	4
・ リミッタのオフセットの標準値 $\pm 5\text{mV}$ を $\pm 10\text{mV}$ から変更.....	4
・ オペアンプの入力バイアス電流のシフトを $3\mu\text{A}$ から $0.15\mu\text{A}$ に変更.....	4
・ リミッタの小信号帯域幅を 600MHz から 700MHz に変更.....	4
・ リミッタのスルーレートを $125\text{V}/\mu\text{s}$ から $175\text{V}/\mu\text{s}$ に変更.....	4
・ 最大および最小静止電流を 15.9mA から 17.3mA 、 15.2mA から 13.8mA に変更.....	4
・ 最小および最大静止電流 $T_A = -40^{\circ}\text{C}$ から $+85^{\circ}\text{C}$ を、 16.6mA から 17.7mA 、 14.6mA から 13.4mA に変更.....	4
・ 標準的な電源除去比を 75dB から 90dB に変更.....	4
・ 「熱特性」を「熱に関する情報」表および「推奨動作条件」表に移動.....	4
・ $G = 1\text{V/V}$ 時の SSBW を 375MHz から 550MHz に変更.....	7
・ ゲイン帯域幅積を 230MHz から 300MHz に変更.....	7
・ 0.1dB のゲインフの平坦度の標準値に対する標準的な帯域幅を 30MHz から 26MHz に変更.....	7
・ 1V/V のゲインでのピークの標準値を 7dB から 2.5dB に変更.....	7
・ $V_O = 0.2\text{V}$ ステップでの立ち上がり / 立ち下がり時間を 1.9ns から 1.4ns に変更.....	7
・ セトリング タイムを 12ns から 28ns に変更.....	7
・ $R_L = 500\Omega$ での標準的な 2 次高調波歪みを 69dBc から -95dBc に変更.....	7
・ $R_L = 500\Omega$ での標準的な 3 次高調波歪みを 73dBc から -81dBc に変更.....	7
・ 標準的な入力電圧ノイズを $5.7\text{nV}/\sqrt{\text{Hz}}$ から $4\text{nV}/\sqrt{\text{Hz}}$ に変更.....	7

• 標準的な入力電流ノイズを $2.3\text{pA}/\sqrt{\text{Hz}}$ から $1.4\text{pA}/\sqrt{\text{Hz}}$ に変更.....	7
• 標準的な開ループ電圧ゲインを 60dB から 77dB に変更.....	7
• 入力バイアス電流の標準値を $\pm 3\mu\text{A}$ から $\pm 0.5\mu\text{A}$ に、入力オフセット電流を $\pm 0.4\mu\text{A}$ から $\pm 0.1\mu\text{A}$ に変更.....	7
• 典型的な同相信号除去比を 58dB から 82dB に変更.....	7
• 入力インピーダンス差動モードを $0.32 \parallel 1\text{M}\Omega \parallel \text{pF}$ から $0.77 \parallel 0.3\text{M}\Omega \parallel \text{pF}$ に変更.....	7
• 標準的な入力インピーダンス同相モードを $3.5 \parallel 1\text{M}\Omega \parallel \text{pF}$ から $24 \parallel 1.5\text{M}\Omega \parallel \text{pF}$ に変更.....	7
• 電流出力のソースおよびシンクを、 70mA と -70mA から 170mA と -170mA に変更.....	7
• 代表的な開ループ出力インピーダンスを 0.2Ω から 0.1Ω に変更しました。.....	7
• リミッタの入力バイアス電流を $16\mu\text{A}$ から $8\mu\text{A}$ に変更.....	7
• リミッタの入力インピーダンスを $3.4 \parallel 1\text{M}\Omega \parallel \text{pF}$ から $1 \parallel 7\text{M}\Omega \parallel \text{pF}$ に変更.....	7
• リミッタ・フィードスルーの標準値を -60dB から -92dB に変更.....	7
• バイアス電流シフト仕様を削除.....	7
• リミッタの小信号帯域幅を 450MHz から 515MHz に変更.....	7
• リミッタのスルーレートを $100\text{V}/\mu\text{s}$ から $150\text{V}/\mu\text{s}$ に変更.....	7
• 制限されたステップ応答のオーバーシュートを 55mV から 40mV に変更.....	7
• ステップ応答の制限復帰時間を 3ns から 2.5ns に変更.....	7
• 最大静止電流を 14.9mA から 17.2mA に変更.....	7
• 標準的な静止電流を 14.3mA から 15.6mA に変更.....	7
• 最大静止電流、 $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$ を 15.3mA から 17.6mA に変更.....	7
• 標準的な電源除去比を 70dB から 85dB に変更.....	7
• 「代表的特性」を次のように更新。 $V_S =$ 新しいダイ特性を備えた $\pm 5\text{V}$	9
• 「代表的特性」を次のように更新。 $V_S =$ 新しいダイ特性を備えた 5V	15
• 「電気的特性」と「代表的特性」のデータで更新された「代表的なアプリケーション」.....	24

Changes from Revision C (March 2006) to Revision D (December 2008)	Page
• 保管温度の最低値を -40°C から -65°C に変更。.....	3

Changes from Revision B (September 2003) to Revision C (March 2006)	Page
• 「デモ・キット」セクションの基板の型番を変更.....	34

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのプラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA698ID	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 85	OPA 698
OPA698IDG4	NRND	Production	SOIC (D) 8	75 TUBE	-	Call TI	Call TI	-40 to 85	
OPA698IDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	(OPA, OPA698) 698
OPA698IDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	(OPA, OPA698) 698
OPA698IDR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	(OPA, OPA698) 698

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

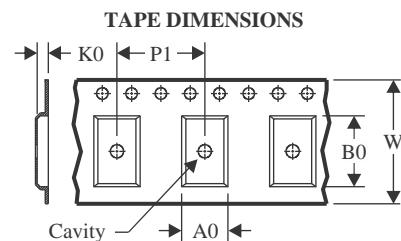
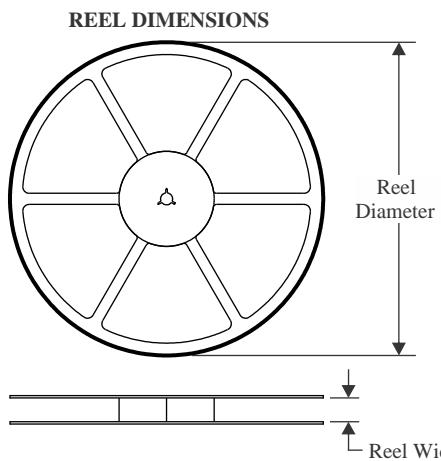
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF OPA698 :

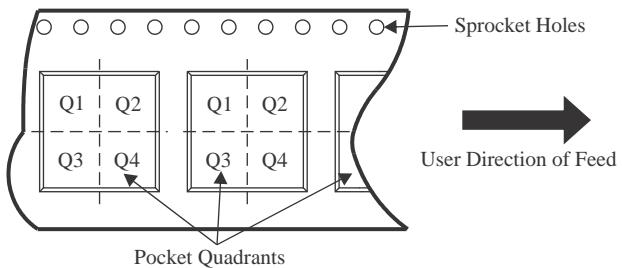
- Military : [OPA698M](#)

NOTE: Qualified Version Definitions:

- Military - QML certified for Military and Defense Applications

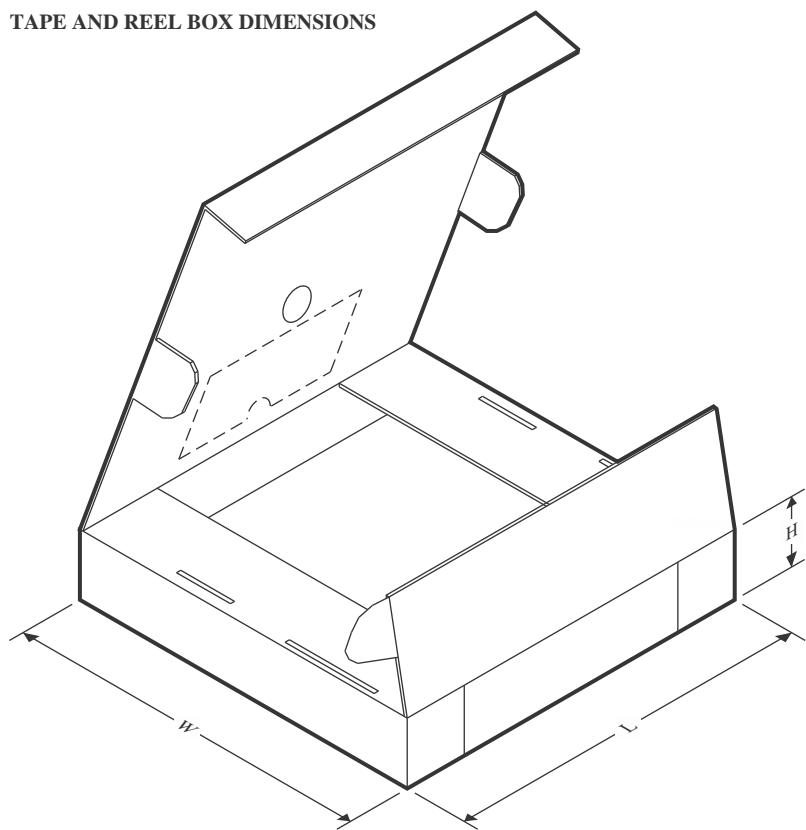
TAPE AND REEL INFORMATION


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA698IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

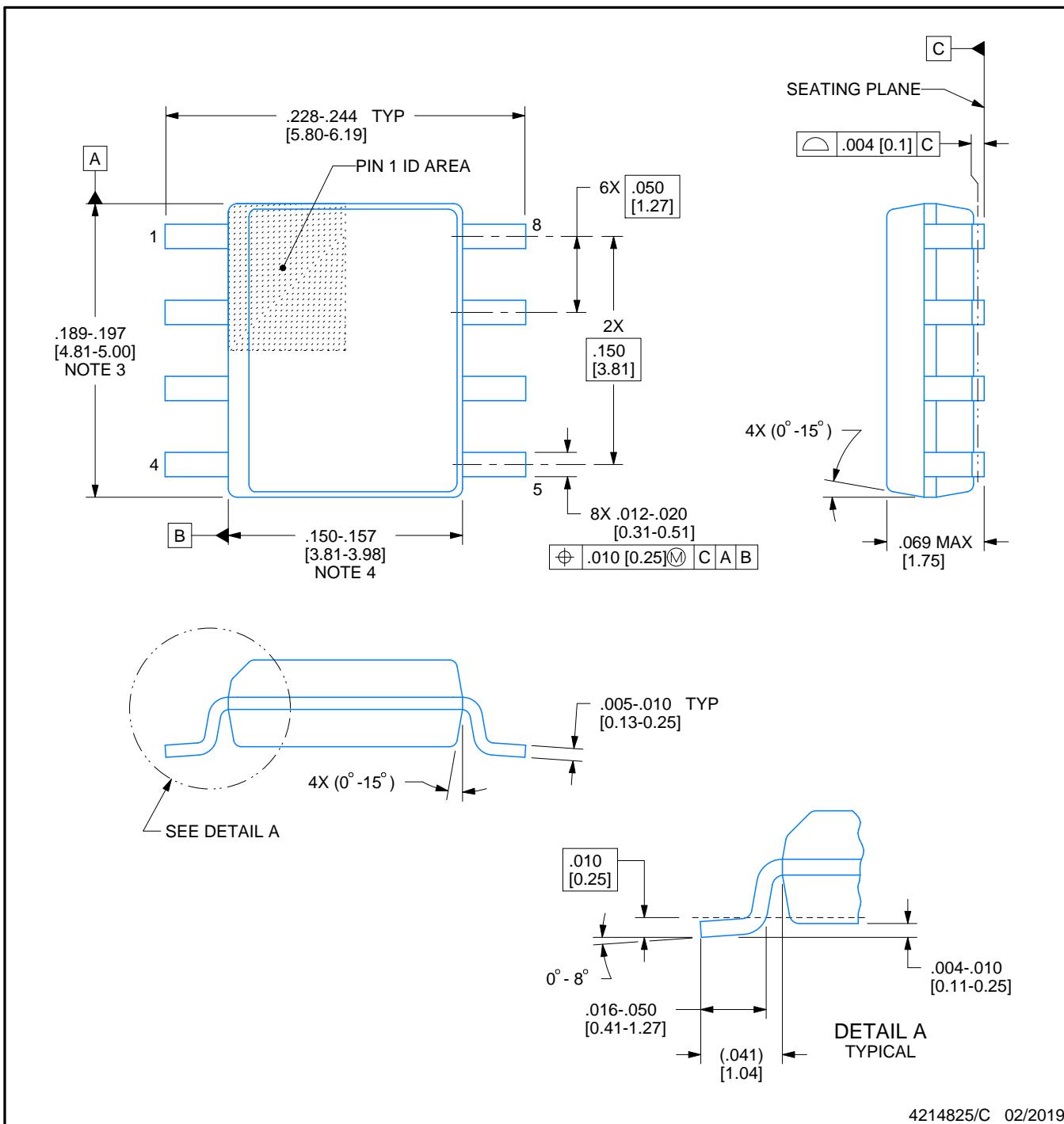
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA698IDR	SOIC	D	8	2500	353.0	353.0	32.0



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

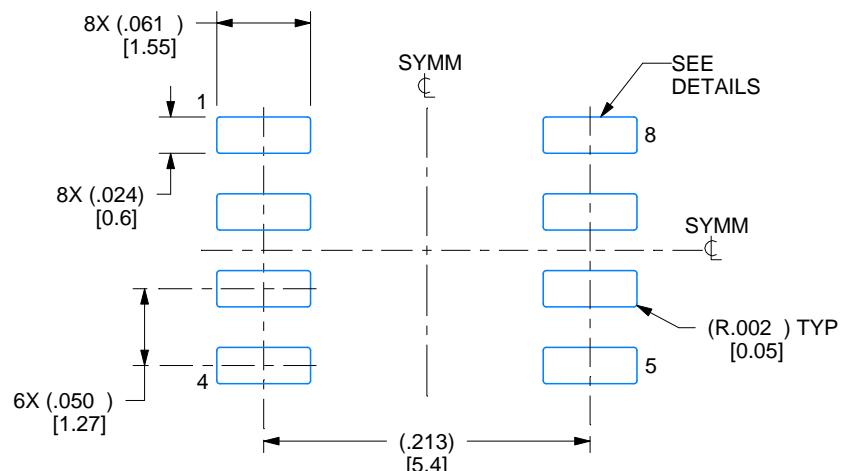
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

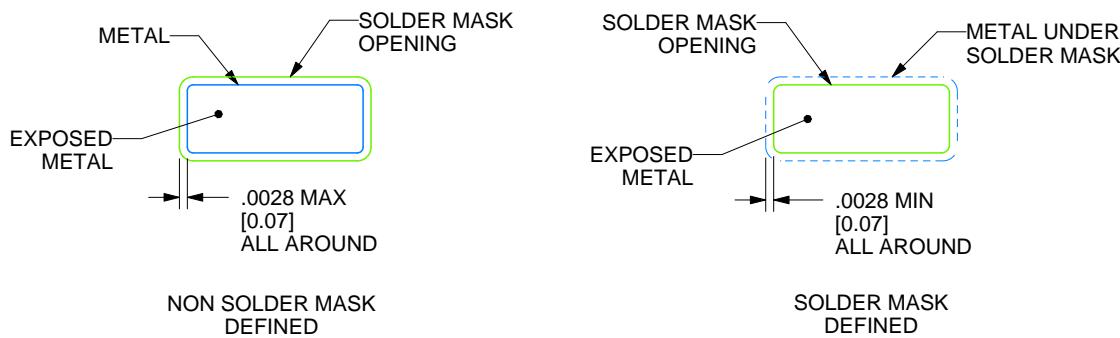
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

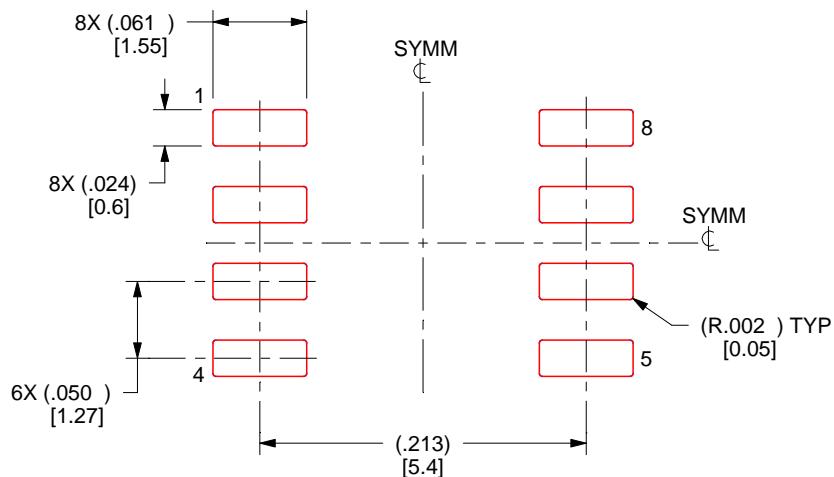
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月