

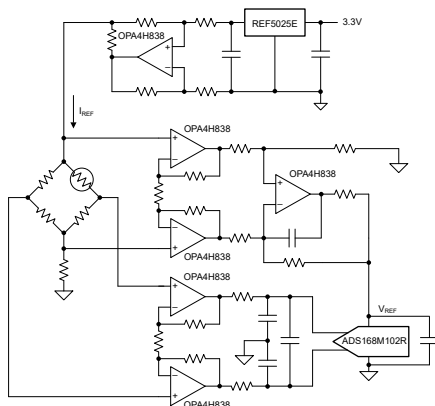
OPA4H838-SEP 高精度、ゼロドリフト、ゼロクロスオーバー、真のレールツーレール入出力のオペアンプ

1 特長

- 耐放射線特性
 - 単一イベント ラッチアップ (SEL) 耐性: 125°C で 43MeV-cm²/mg まで
 - 30krad(Si) まで ELDRS フリー
 - すべてのウェハー ロットについて、30krad(Si) までの吸収線量 (TID) RLAT
- 防衛および航空宇宙アプリケーションのサポート
 - 管理されたベースライン
 - 単一の製造、アセンブリ、テスト施設
 - 長期にわたる製品ライフ サイクル
 - 製品のトレーサビリティ
 - ASTM E595 に準拠した気体排出試験実施済み
- 非常に小さいオフセット電圧: $\pm 0.25\mu\text{V}$
- ゼロドリフト: $\pm 0.005\mu\text{V}/^\circ\text{C}$
- ゼロ クロスオーバー: 140dB CMRR 真の RRIO
- 低ノイズ: 1kHz で $7.0\text{nV}\sqrt{\text{Hz}}$
- 1/f ノイズなし: 140nV_{pp} (0.1Hz ~ 10Hz)
- 高速セトリング: $2\mu\text{s}$ (1V ステップ、0.01% まで)
- ゲイン帯域幅: 10MHz
- 電源電圧: $\pm 1.25\text{V} \sim \pm 2.75\text{V}$, 2.5V ~ 5.5V
- 真のレール ツー レール入出力
- EMI および RFI フィルタ付き入力

2 アプリケーション

- 衛星の健全性監視と遠隔測定
- 科学的探査ペイロード
- 姿勢と軌道の制御システム (AOCS)
- 衛星用電源システム (EPS)
- 通信ペイロード
- レーダー画像処理ペイロード



ブリッジセンサのフロントエンドの OPA4H838-SEP

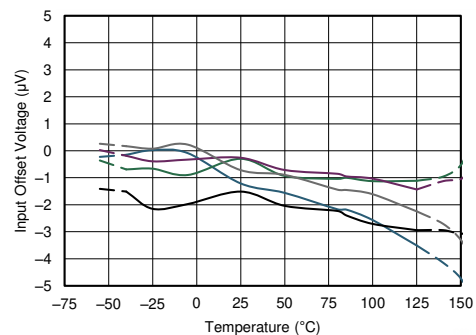
3 説明

OPA4H838-SEP は、超低ノイズ、高速セトリング、ゼロドリフト、ゼロ クロスオーバーの高精度アンプで、レール ツー レール入出力動作を実現しています。これらの機能に加え、非常に優れた AC 性能と、わずか $0.25\mu\text{V}$ のオフセット、温度範囲全体で $0.005\mu\text{V}/^\circ\text{C}$ のドリフト係数により、OPA4H838-SEP は高精度のアナログ/デジタル コンバータ (ADC) の駆動や、高分解能のデジタル/アナログ コンバータ (DAC) の出力のバッファリングに理想的です。この設計により、アナログ/デジタル コンバータ (ADC) の駆動時に直線性の低下がなく、優れた性能を発揮します。OPA4H838-SEP は、TSSOP-14 パッケージで供給されます。OPA4H838-SEP は $-55^\circ\text{C} \sim +125^\circ\text{C}$ で動作が規定されています。

製品情報

部品番号	パッケージ ⁽¹⁾	本体サイズ (公称) ⁽²⁾
OPA4H838-SEP	TSSOP (14)	5.00mm × 4.40mm

- 利用可能なパッケージについては、データシートの末尾にあるパッケージ オプションについての付録を参照してください。
- パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます



超低オフセット電圧ドリフト



目次

1 特長.....	1	6.4 デバイスの機能モード.....	9
2 アプリケーション.....	1	7 アプリケーションと実装.....	10
3 説明.....	1	7.1 アプリケーション情報.....	10
4 ピン構成および機能.....	3	7.2 代表的なアプリケーション.....	10
5 仕様.....	4	7.3 電源に関する推奨事項.....	14
5.1 絶対最大定格.....	4	7.4 レイアウト.....	14
5.2 ESD 定格.....	4	8 デバイスおよびドキュメントのサポート.....	16
5.3 推奨動作条件.....	4	8.1 デバイス サポート.....	16
5.4 熱に関する情報.....	4	8.2 ドキュメントのサポート.....	16
5.5 電気的特性: $V_S = \pm 1.25V \sim \pm 2.75V$ ($V_S = 2.5 \sim 5.5V$).....	5	8.3 ドキュメントの更新通知を受け取る方法.....	16
6 詳細説明.....	7	8.4 サポート・リソース.....	16
6.1 概要.....	7	8.5 商標.....	16
6.2 機能ブロック図.....	7	8.6 静電気放電に関する注意事項.....	16
6.3 機能説明.....	8	8.7 用語集.....	17
		9 メカニカル、パッケージ、および注文情報.....	17

4 ピン構成および機能

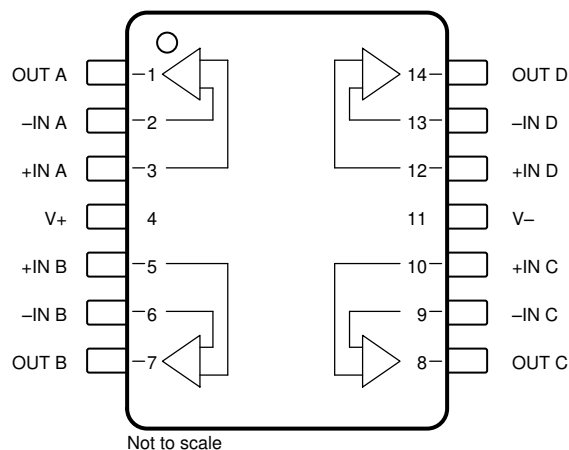


図 4-1. OPA4H838-SEP PW パッケージ、14 ピン TSSOP-14 (上面図)

ピンの機能 : OPA4H838-SEP

ピン		I/O	説明
名称	PW (TSSOP)		
-IN A	2	I	反転入力、チャンネル A
-IN B	6	I	反転入力、チャンネル B
-IN C	9	I	反転入力、チャンネル C
-IN D	13	I	反転入力、チャンネル D
+IN A	3	I	非反転入力、チャンネル A
+IN B	5	I	非反転入力、チャンネル B
+IN C	10	I	非反転入力、チャンネル C
+IN D	12	I	非反転入力、チャンネル D
OUT A	1	O	出力、チャンネル A
OUT B	7	O	出力、チャンネル B
OUT C	8	O	出力、チャンネル C
OUT D	14	O	出力、チャンネル D
V-	11	—	負 (最低) 電源
V+	4	—	正 (最高) 電源

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

			最小値	最大値	単位
電源電圧	V _S = (V+) - (V-)	単電源		6	V
		両電源		±3	
信号入力ピン	電圧	同相	(V-) - 0.5	(V+) + 0.5	V
		差動		(V+) - (V-) + 0.2	
	電流			±10	mA
出力短絡 ⁽²⁾			連続	連続	
温度	動作温度、T _A		-55	150	°C
	接合部、T _J			150	
	保存、T _{stg}		-65	150	

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、「推奨動作条件」に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) グランドへの短絡、パッケージあたり 1 台のアンプ。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±4000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾	±1000	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
電源電圧、 $V_S = (V+) - (V-)$	単電源	2.5		5.5	V
	両電源	±1.25		±2.75	
規定温度		-40		125	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		OPA4H838-SEP	単位
		PW (TSSOP)	
		14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	91.2	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	24.4	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	50.0	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.8	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	49.1	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーションレポートを参照してください。

5.5 電気的特性 : $V_S = \pm 1.25V \sim \pm 2.75V$ ($V_S = 2.5 \sim 5.5V$)

$T_A = 25^\circ C$ 、 $V_{CM} = V_{OUT} = V_S/2$ 、および $R_{LOAD} = 10k\Omega$ を $V_S/2$ に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V _{OS}	入力オフセット電圧	V _S = 5.5 V		±2.25	±8	μV	
		T _A = -55°C ~ +125°C、V _S = 5.5V ⁽¹⁾			±10.5		
dV _{OS} /dT	入力オフセット電圧ドリフト	T _A = -55°C ~ +125°C、V _S = 5.5V ⁽¹⁾		±0.005	±0.05	μV/°C	
PSRR	電源除去比	T _A = -55°C~+125°C ⁽¹⁾		±1.25	±3.5	μV/V	
入力バイアス電流							
I _B	入力バイアス電流	R _{IN} = 100kΩ		±30	±500	pA	
			T _A = -55°C~+125°C ⁽¹⁾		±800		
I _{OS}	入力オフセット電流	R _{IN} = 100kΩ			±1000		
			T _A = -55°C~+125°C ⁽¹⁾		±1100		
ノイズ							
E _N	入力電圧ノイズ	f = 0.1Hz~10Hz		0.14		μV _{PP}	
e _N	入力電圧ノイズ密度	f = 10Hz		7		nV/√Hz	
		f = 100Hz		7			
		f = 1kHz		7			
		f = 10kHz		7			
I _N	入力電流ノイズ密度	f = 1kHz		100		fA/√Hz	
入力電圧							
V _{CM}	同相電圧範囲			(V-) - 0.1	(V+) + 0.1	V	
CMRR	同相除去比	(V-) - 0.1V < V _{CM} < (V+) + 0.1V	V _S = ±1.25V	102	110	dB	
			V _S = ±2.75V	124	140		
		(V-) < V _{CM} < (V+) + 0.1V、 T _A = -55°C ~ +125°C ⁽¹⁾	V _S = ±1.25V	102	107		
			(V-) - 0.05V < V _{CM} < (V+) + 0.1V、T _A = -55°C ~ +125°C ⁽¹⁾	V _S = ±2.75V	124		140
入力インピーダンス							
Z _{id}	差動入力インピーダンス			100 2		MΩ pF	
Z _{ic}	差動入力インピーダンス			60 4.5		TΩ pF	
開ループゲイン							
A _{OL}	開ループ電圧ゲイン	(V-) + 0.15V < V _O < (V+) - 0.15V、R _{LOAD} = 10kΩ		126	148	dB	
		(V-) + 0.15V < V _O < (V+) - 0.15V、 R _{LOAD} = 10kΩ、V _S = 5.5V T _A = -55°C ~ +125°C ⁽¹⁾		120	126		
		(V-) + 0.25V < V _O < (V+) - 0.25V、R _{LOAD} = 2kΩ		126	148		
		(V-) + 0.30V < V _O < (V+) - 0.30V、 R _{LOAD} = 2kΩ、V _S = 5.5V T _A = -55°C ~ +125°C ⁽¹⁾		120	126		
周波数応答							
GBW	ユニティゲイン帯域幅			10		MHz	
SR	スルーレート	G = 1、4V ステップ		5		V/μs	
THD+N	全高調波歪み + ノイズ	G = 1、f = 1kHz、V _O = 1V _{RMS}		0.0005%			
t _S	セトリングタイム	0.1% まで	V _S = ±2.5V、G = 1、 1V ステップ	0.75		μs	
		0.01% まで	V _S = ±2.5V、G = 1、 1V ステップ	2		μs	
t _{OR}	過負荷回復時間	V _{IN} × G = V _S		10		μs	
出力							

5.5 電気的特性 : $V_S = \pm 1.25V \sim \pm 2.75V$ ($V_S = 2.5 \sim 5.5V$) (続き)

$T_A = 25^\circ C$ 、 $V_{CM} = V_{OUT} = V_S/2$ 、および $R_{LOAD} = 10k\Omega$ を $V_S/2$ に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位	
V _O	電圧出力スイング (レールから)	正電圧レール	無負荷		1	15	mV	
			R _{LOAD} = 10kΩ		5	20		
			R _{LOAD} = 2kΩ		20	50		
		負電圧レール	無負荷		5	15		
			R _{LOAD} = 10kΩ		10	20		
			R _{LOAD} = 2kΩ		40	60		
R _{LOAD} = 10kΩ、両方のレール、T _A = -55°C ~ +125°C ⁽¹⁾				10	25			
I _{sc}	短絡電流	V _S = 5.5V			±60		mA	
		V _S = 2.5V			±30		mA	
Z _O	オープン ループ出力インピーダンス	f = 1MHz、I _O = 0A				100		Ω
電源								
I _Q	アンプごとの静止電流	V _S = ±1.25V (V _S = 2.5V)	I _O = 0A		1.7	2.4	mA	
			I _O = 0A、T _A = -55°C ~ +125°C ⁽¹⁾		1.7	2.4		
		V _S = ±2.75V (V _S = 5.5V)	I _O = 0A		1.9	2.6		
			I _O = 0A、T _A = -55°C ~ +125°C ⁽¹⁾		1.9	2.6		

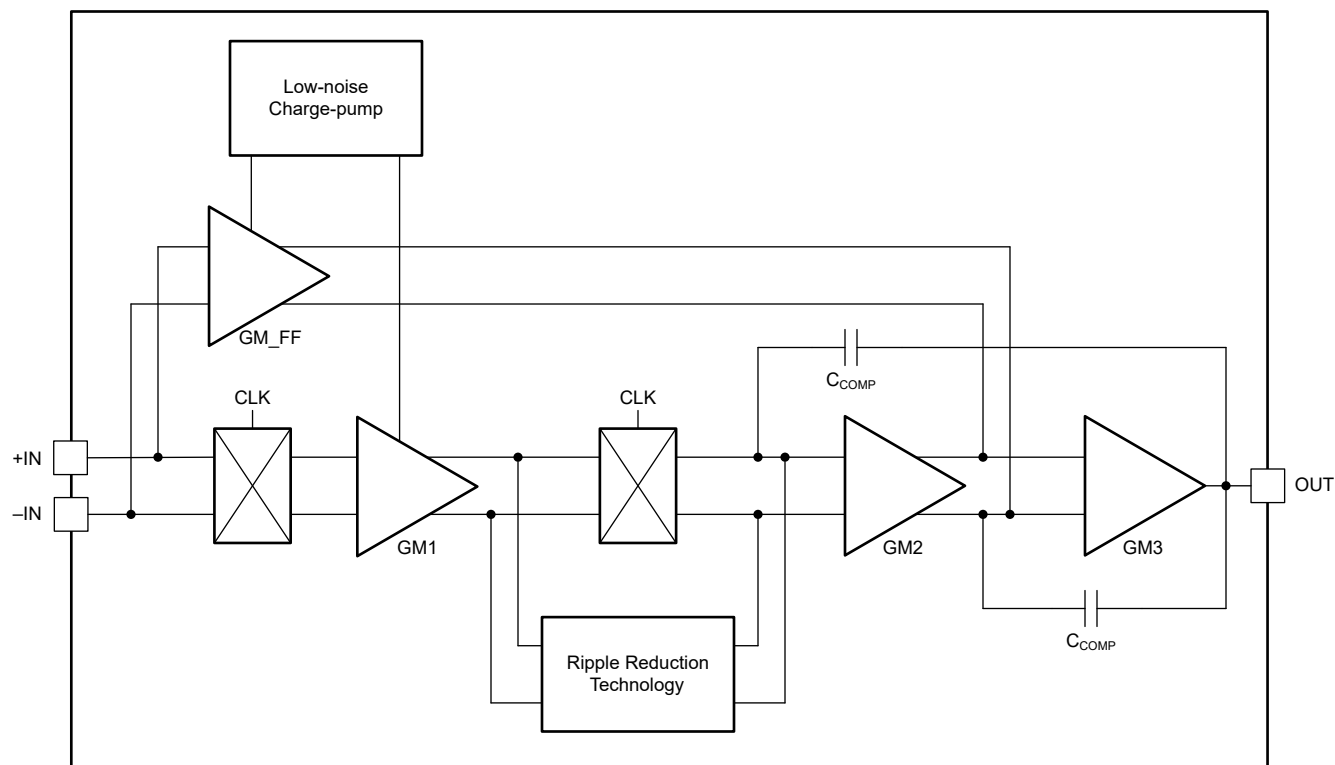
(1) 複数のロットにわたるデバイスの母集団ベンチ システムの測定から確立された仕様。

6 詳細説明

6.1 概要

OPA4H838-SEP ゼロドリフト アンプは、独自の高精度自動較正技術と、低ノイズ、低リップルの入力チャージポンプとを組み合わせた独自の組み合わせを採用して設計されています。これらは、入力オフセット電圧と入力オフセットドリフトが非常に低く、入出力の動的直線性は非常に高いです。OPA4H838-SEP は 2.5V ~ 5.5V で動作し、ユニティ ゲインで安定しており、さまざまな汎用かつ高精度のアプリケーション用に設計されています。内蔵の低ノイズチャージポンプにより、相補レールツーレール入力トポロジ (入力クロスオーバー歪み) に関連する歪みなしで、真のレール ツー レール入力同相動作が可能です。また、OPA4H838-SEP には 10MHz の帯域幅、7nV/√Hz のノイズ スペクトル密度、1/f ノイズがないことも強みであり、OPA4H838-SEP はセンサ モジュールとのインターフェイスや、高忠実度のデジタル/アナログ コンバータ (DAC) のバッファリングに最適です。

6.2 機能ブロック図



6.3 機能説明

6.3.1 動作電圧

OPA4H838-SEP ファミリーは、 $V_S = 2.5V (\pm 1.25V) \sim 5.5V (\pm 2.75V)$ の単一またはデュアル電源で使用できます。7V を超える電源電圧を印加すると、デバイスに永続的な損傷を与える可能性があります（[絶対最大定格表](#)を参照してください）。

6.3.2 入力電圧とゼロ クロスオーバー機能

OPA4H838-SEP 入力同相範囲は、電源レールよりも 0.1V 拡張されています。このアンプは、他のレール ツー レール アンプに見られる面倒な遷移領域を起こさず、全範囲に対応できるよう設計されています。遷移領域内の信号を扱う相補型レール ツー レール入力アンプを動作させると、望ましくない非線形な挙動と汚染されたスペクトル成分が生じます。[図 6-1](#) と [図 6-2](#) は、従来型の相補型レール ツー レール入力段アンプの性能とゼロ クロスオーバー性能 OPA4H838-SEP の比較をしています。差動ペア遷移時に大きな高調波成分と歪みが発生します（このような遷移は OPA4H838-SEP には存在しません）。クロスオーバー歪みは、シングル差動ペアと内部の低ノイズ チャージ ポンプを組み合わせることで解消されます。OPA4H838-SEP は、入力同相範囲全体にわたってノイズ、帯域幅、オフセット性能を維持するため、電源レールの削減により、プリント基板 (PCB) と部品表 (BOM) の複雑性を低減できます。

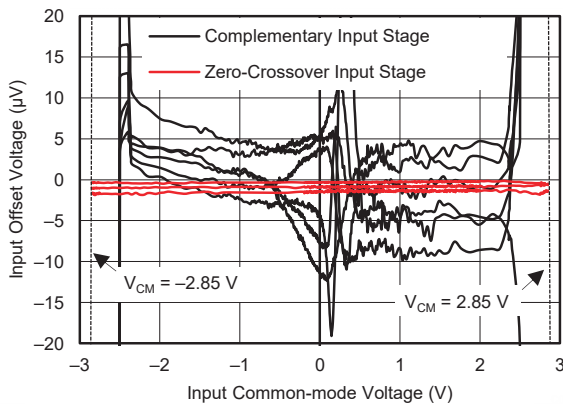


図 6-1. 入力クロスオーバー歪みの非直線性

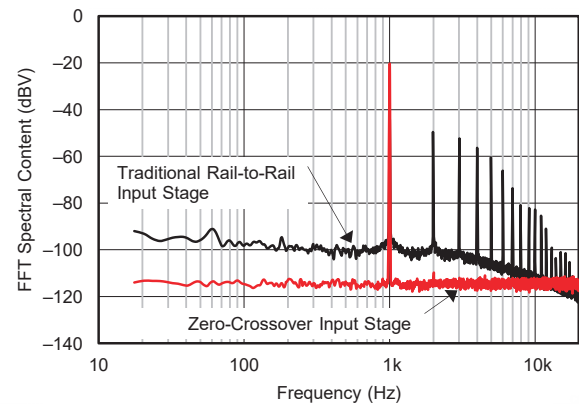


図 6-2. 入力クロスオーバー歪みのスペクトル成分

この入力バイアス電流は通常約 ± 30 pA です。ただし、電源を超える入力電圧は、過剰な電流が入力ピンに流入または入力ピンから流出する可能性があります。入力電流が 10mA に制限されている場合、電源電圧を上回る電圧が瞬間的に許容されます。この制限は、図 6-3 に示すように、入力抵抗を使用することで簡単に実現できます。

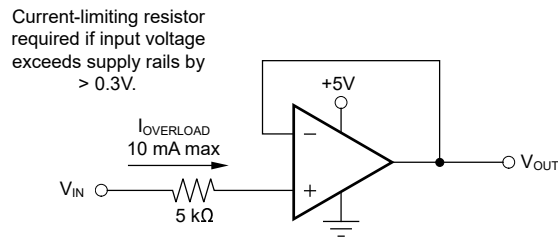


図 6-3. 入力電流保護

6.3.3 入力差動電圧

通常動作時の OPA4H838-SEP の標準的な入力バイアス電流は約 30pA です。オーバードライブ状態では、バイアス電流が大幅に増加する可能性があります。オーバードライブ状態の最も一般的な原因は、オペアンプが線形動作範囲外になることです。オペアンプの出力がいずれかの電源レールに駆動されると、フィードバック ループ要件を満たすことができず、入力ピンの両端に差動入力電圧が発生します。この差動入力電圧により、フロントエンド入力チョッピングスイッチ内に寄生ダイオードが存在し、10kΩ の電磁干渉 (EMI) フィルタ抵抗と組み合わせることで、図 6-4 に示す等価回路が形成されます。入力バイアス電流はリニア領域の仕様範囲内に維持されることに注意します。

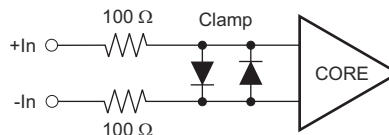


図 6-4. 等価入力回路

6.3.4 内部オフセット補正

この OPA4H838-SEP オペアンプ ファミリーは、自動較正技術と、信号パス内の時間連続 200kHz オペアンプを使用しています。このアンプは、独自の手法により、5μs ごとにゼロ補正されます。電源投入時に、アンプが指定された V_{OS} 精度を達成するには約 1ms かかります。この設計では、エイリアシング ノイズもフリッカー ノイズもありません。

6.3.5 EMI 感受性と入力フィルタリング

オペアンプは、EMI の影響を受けやすい性質があります。伝導 EMI がオペアンプに入ると、EMI が存在している間、アンプ出力で観測される DC オフセットが公称値からずれてしまうことがあります。この変動は、内部の半導体接合部に関連する信号整流作用によるものです。すべてのオペアンプ ピン機能は EMI の影響を受ける可能性がありますが、入力ピンは最も影響を受けやすくなりがちです。OPA4H838-SEP オペアンプ ファミリーは、EMI に対するアンプの応答を低減する内部入力ローパス フィルタを内蔵しています。同相モードと差動モードの両方のフィルタリングが、入力フィルタによって提供されます。このフィルタは、カットオフ周波数が約 20MHz (−3dB)、ロールオフが 20dB/dec に設計されています。

6.4 デバイスの機能モード

OPA4H838-SEP にはシングル機能モードがあり、電源電圧が 2.5V (± 1.25 V) を上回ると動作します。OPA4H838-SEP の仕様上の最大電源電圧は 5.5 V (± 2.75 V) です。

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

OPA4H838-SEP はユニティ ゲイン安定の高精度オペアンプ ファミリーで、予期しない出力および位相反転は発生しません。独自のゼロドリフト回路を使用することで、時間と温度に対する入力オフセット電圧が低くなり、 $1/f$ ノイズ成分が減少するという利点が得られます。これらのデバイスは、PSRR が高いため、レギュレーションなしでバッテリー電源から直接動作するアプリケーションで良好に動作します。OPA4H838-SEP ファミリーは完全なレール ツー レール入力用に最適化されているため、低電圧、単一電源動作、または分割電源での使用が可能です。これらの小型、高精度、低ノイズのアンプは、同相範囲が電源を 100mV 超過する、入力クロスオーバー歪のない高インピーダンス入力と、通常の実験条件で電源から 5mV 以内でスイングするレール ツー レール出力を備えています。OPA4H838-SEP 高精度アンプ シリーズは、低ゲインまたは高ゲインのアップストリーム アナログ シグナル チェーン アプリケーションや、DAC バッファリングなどのダウンストリーム シグナル チェーン機能向けに設計されています。

7.2 代表的なアプリケーション

7.2.1 双方向電流センシング

この単一電源、ローサイド、双方向電流検出ソリューションは、 $-1A$ から $+1A$ までの負荷電流を検出します。シングルエンド出力は 110mV から 3.19V の範囲をカバーします。この設計では、低オフセット電圧およびレールツーレール入出力を特長とする OPA4H838-SEP を採用しています。一方のアンプは差動アンプとして構成され、もう一方のアンプは基準電圧を供給します。

図 7-1 にソリューションを示します。

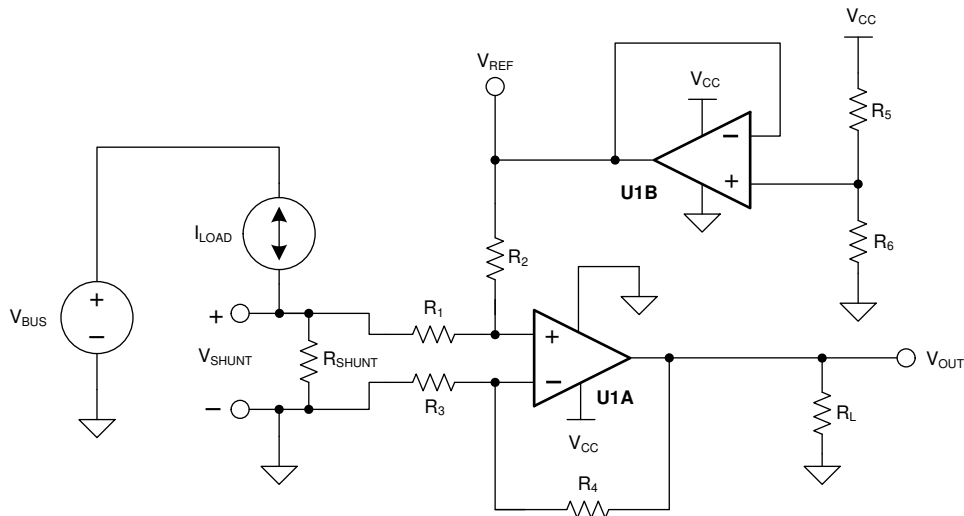


図 7-1. 双方向電流センシング回路図

7.2.1.1 設計要件

このソリューションには次の要件があります。

- 電源電圧: 3.3V
- 入力: -1A ~ 1A
- 出力: 1.65V ± 1.54V (110mV ~ 3.19V)

7.2.1.2 詳細な設計手順

負荷電流、 I_{LOAD} はシャント抵抗 R_{SHUNT} を通ってシャント電圧 V_{SHUNT} を発生させます。その後、シャント電圧は $U1A$ と $R_1 \sim R_4$ で構成される差動アンプによって増幅されます。この差動アンプのゲインは、 R_4 と R_3 の比によって設定されます。誤差を最小化するため、 $R_2 = R_4$ かつ $R_1 = R_3$ に設定します。リファレンス電圧 V_{REF} は、 $U1B$ を使用して抵抗デバイダをバッファリングすることで供給されます。伝達関数は式 1 で与えられます。

$$V_{OUT} = V_{SHUNT} \times \text{Gain}_{\text{Diff_Amp}} + V_{REF} \quad (1)$$

ここで、

- $V_{SHUNT} = I_{LOAD} \times R_{SHUNT}$
- $\text{Gain}_{\text{Diff_Amp}} = \frac{R_4}{R_3}$
- $V_{REF} = V_{CC} \times \left[\frac{R_6}{R_5 + R_6} \right]$

この設計には、オフセットとゲインという 2 種類の誤差があります。ゲイン誤差は、シャント抵抗の許容誤差と R_4 と R_3 の比、および同様に R_2 と R_1 の比によって発生します。分圧器 (R_5 と R_6) によってオフセット誤差が発生し、 R_4/R_3 の比が R_2/R_1 とどの程度近いかがわかります。後者の値は差動アンプの **CMRR** に影響を及ぼし、最終的にオフセット誤差につながります。

V_{SHUNT} はローサイド測定であるため、 V_{SHUNT} の値はシステム負荷のグラウンド電位です。したがって、最大値を V_{SHUNT} に配置する必要があります。この設計では、 V_{SHUNT} の最大値を 100mV に設定します。式 2 では、最大シャント電圧が 100mV、最大負荷電流が 1A の場合のシャント抵抗の最大値を計算します。

$$R_{SHUNT(\text{Max})} = \frac{V_{SHUNT(\text{Max})}}{I_{LOAD(\text{Max})}} = \frac{100 \text{ mV}}{1 \text{ A}} = 100 \text{ m}\Omega \quad (2)$$

R_{SHUNT} の許容誤差は、コストに正比例します。この設計では、許容誤差 0.5% のシャント抵抗を選択しました。より高い精度が必要な場合は、0.1% 以下の抵抗を選択してください。

負荷電流は双方向であるため、シャント電圧範囲は -100mV ~ 100mV です。この電圧は、オペアンプ $U1A$ に達する前に、 R_1 と R_2 で分割されます。 $U1A$ の非反転ノードに存在する電圧が、デバイスの同相範囲内であることを確認します。そのため、OPA4H838-SEP などのオペアンプを使用します。このオペアンプは、負の電源電圧を下回る同相範囲を備えています。最後に、オフセット誤差を最小限に抑えるため、OPA4H838-SEP の標準オフセット電圧はわずか $\pm 0.25\mu\text{V}$ (最大 $\pm 5\mu\text{V}$) であることに注意してください。

対称負荷電流が -1A ~ 1A の場合、分圧抵抗 (R_5 と R_6) は等しくする必要があります。シャント抵抗と整合するように、許容誤差 0.5% を選択しました。消費電力を最小限に抑えるために、10k Ω の抵抗を使用しました。

差動アンプのゲインを設定するには、OPA4H838-SEP の同相範囲と出力スイングを考慮する必要があります。式 3 および式 4 に、3.3V 電源での OPA4H838-SEP の一般的な同相範囲と最大出力スイングをそれぞれ示します。

$$-100\text{mV} < V_{\text{CM}} < 3.4\text{V} \quad (3)$$

$$100\text{mV} < V_{\text{OUT}} < 3.2\text{V} \quad (4)$$

差動アンプのゲインは、式 5 に示すように計算できるようになりました。

$$\text{Gain}_{\text{Diff_Amp}} = \frac{V_{\text{OUT_Max}} - V_{\text{OUT_Min}}}{R_{\text{SHUNT}} \times (I_{\text{MAX}} - I_{\text{MIN}})} = \frac{3.2\text{ V} - 100\text{ mV}}{100\text{ m}\Omega \times [1\text{ A} - (-1\text{ A})]} = 15.5 \frac{\text{V}}{\text{V}} \quad (5)$$

R_1 と R_3 に選択される抵抗値は $1\text{k}\Omega$ でした。 R_2 と R_4 には $15.4\text{k}\Omega$ を選択しました。この値は最も近い標準値だからです。したがって、差動アンプの理想的なゲインは 15.4V/V です。

回路のゲイン誤差は主に、 $R_1 \sim R_4$ に依存します。この依存性に基づき、 0.1% の抵抗が選択されました。この構成により、設計で 2 点較正が必要になる可能性が低くなります。必要に応じて、単純な 1 点較正により、 0.5% の抵抗によって生じるオフセット誤差を除去します。

7.2.1.3 アプリケーション曲線

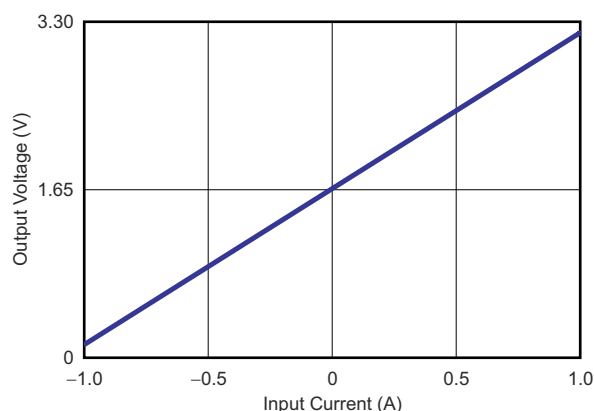


図 7-2. 双方向電流センシング回路の性能：出力電圧と入力電流との関係

7.2.2 シングル オペアンプブリッジアンプ

図 7-3 に、ブリッジアンプの基本構成を示します。

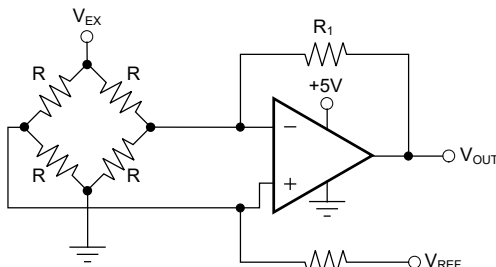


図 7-3. シングル オペアンプブリッジアンプの回路図

7.2.3 高精度、低ノイズ、DAC バッファ

OPA4H838-SEP は、図 7-4 に示すように、DAC8830 と組み合わせて高精度 DAC バッファに使用できます。

OPA4H838-SEP は、超低ドリフト、高精度の DAC 出力バッファを提供します。OPA4H838-SEP はゼロクロスオーバー技術を採用しているため、リニア領域で幅広い DAC コードを使用できます。DAC8830 は 16 ビット コンバータであるため、最高の精度を得るには、正確なリファレンスが不可欠です。

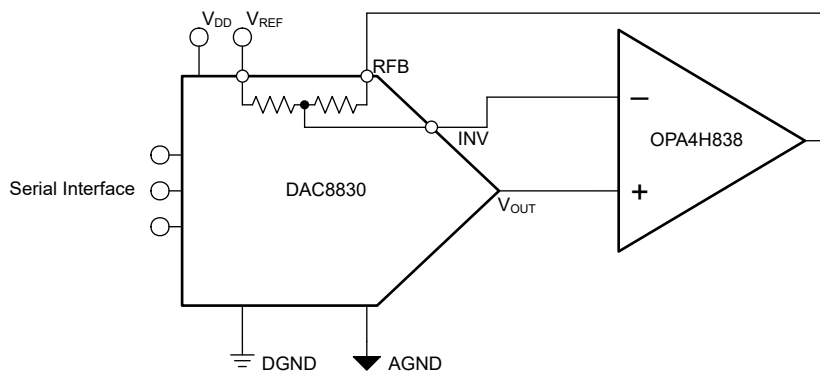


図 7-4. 高精度 DAC バッファ

7.2.4 ロードセルの測定

図 7-5 に、高精度測定用にトリム抵抗と 6 線式負荷セルを搭載した高 CMRR デュアル オペアンプ計測アンプの OPA4H838-SEP を示します。図 7-6 に、負荷セルの抵抗変化に応じた出力電圧と、システムの非直線性を示します。

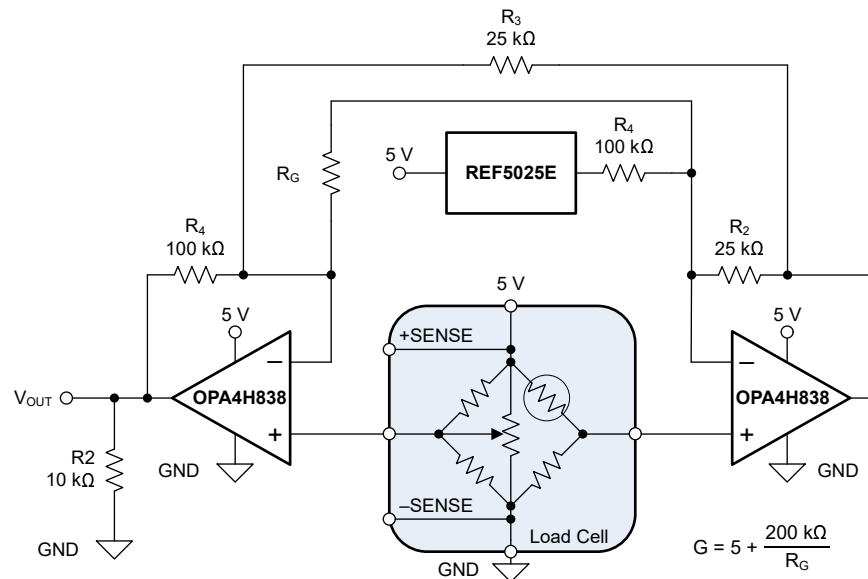


図 7-5. ロードセル測定の回路図

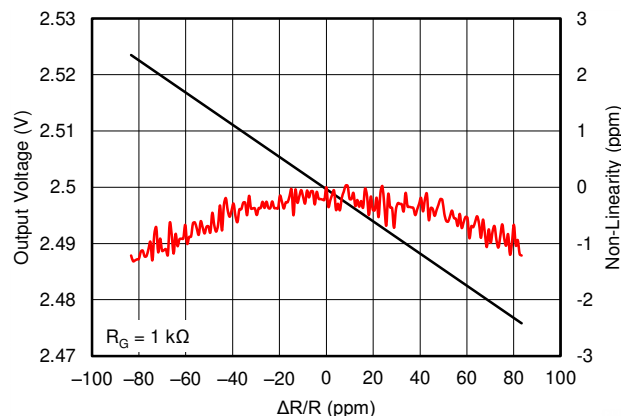


図 7-6. ロードセル測定の出力

7.3 電源に関する推奨事項

OPA4H838-SEP デバイスは、2.5V ~ 5.5V (±1.25V ~ ±2.75V) で動作することが規定されています。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

優れたレイアウト手法に対して、常に関心を持つことをお勧めします。トレースを短くし、可能な場合はプリント基板 (PCB) のグランドプレーンを使用し、表面実装部品をデバイスピンのできるだけ近くに配置します。電源ピンの両端に 0.1μF のコンデンサを配置します。これらのガイドラインは、性能を向上させ、電磁干渉 (EMI) の影響を低減するなどの利点を実現するために、アナログ回路全体に適用する必要があります。

最小のオフセット電圧と高精度性能を実現するには、回路レイアウトと機械的条件を最適化する必要があります。異なる導体の接続部に形成される熱電対接合部で熱電効果 (ゼーベック効果) が発生するような温度勾配を避けます。これらの熱

発生電位は、両方の入力端子でこれらの電位を等しくすることで打ち消すことができます。レイアウトおよび設計に関するその他の考慮事項は以下のとおりです。

- 熱電係数の低い条件を使用します (異なる金属は避けてください)。
- 電源や他の熱源から部品を熱的に絶縁します。
- オペアンプおよび入力回路を、冷却ファンなどの空気流から遮蔽します。

これらのガイドラインに従うと、接合部によって温度が異なるものになる可能性が低減します。接合部によって温度が異なると、使用する材料によっては熱電気電圧ドリフトが $0.1\mu\text{V}/^\circ\text{C}$ 以上になる可能性があります。

7.4.2 レイアウト例

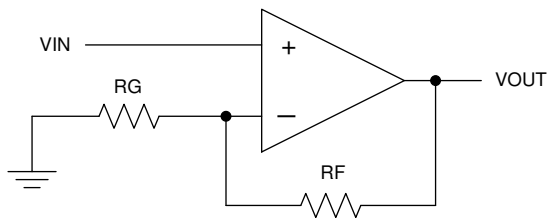


図 7-7. 回路図

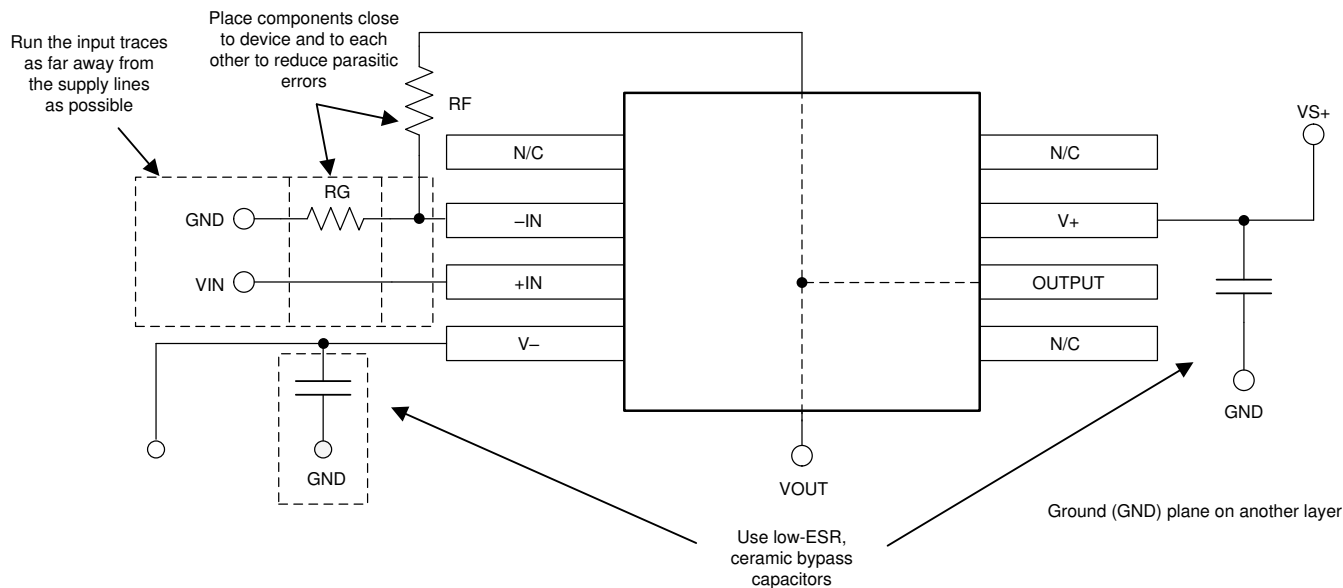


図 7-8. OPA4H838-SEP レイアウト例

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

8.1.1.1 TINA-TI™ シミュレーション ソフトウェア (無償ダウンロード)

TINA-TI™ シミュレーション ソフトウェアは、SPICE エンジンに基づいた単純かつ強力な、使いやすい回路シミュレーション プログラムです。TINA-TI シミュレーション ソフトウェアは、TINA™ ソフトウェアのすべての機能を持つ無償バージョンで、パッシブ モデルとアクティブ モデルに加えて、マクロモデルのライブラリがプリロードされています。TINA-TI シミュレーション ソフトウェアには、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

TINA-TI シミュレーション ソフトウェアは Analog eLab Design Center から無料でダウンロードでき、ユーザーが結果をさまざまな方法でフォーマットできる、広範な後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプローブして、動的なクイック スタート ツールを作成できます。

注

これらのファイルを使用するには、TINA ソフトウェアまたは TINA-TI ソフトウェアがインストールされている必要があります。TINA-TI™ ソフトウェア フォルダから、無償の TINA-TI シミュレーション ソフトウェアをダウンロードしてください。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『回路基板レイアウト技術』
- テキサス・インスツルメンツ、DAC883x 16 ビット、超低消費電力、電圧出力デジタル/アナログコンバータデータシート

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

TINA-TI™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

TINA™ is a trademark of DesignSoft, Inc.

すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
POPA4H838MPWTSEP	Active	Preproduction	TSSOP (PW) 14	250 SMALL T&R	-	Call TI	Call TI	-55 to 125	

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

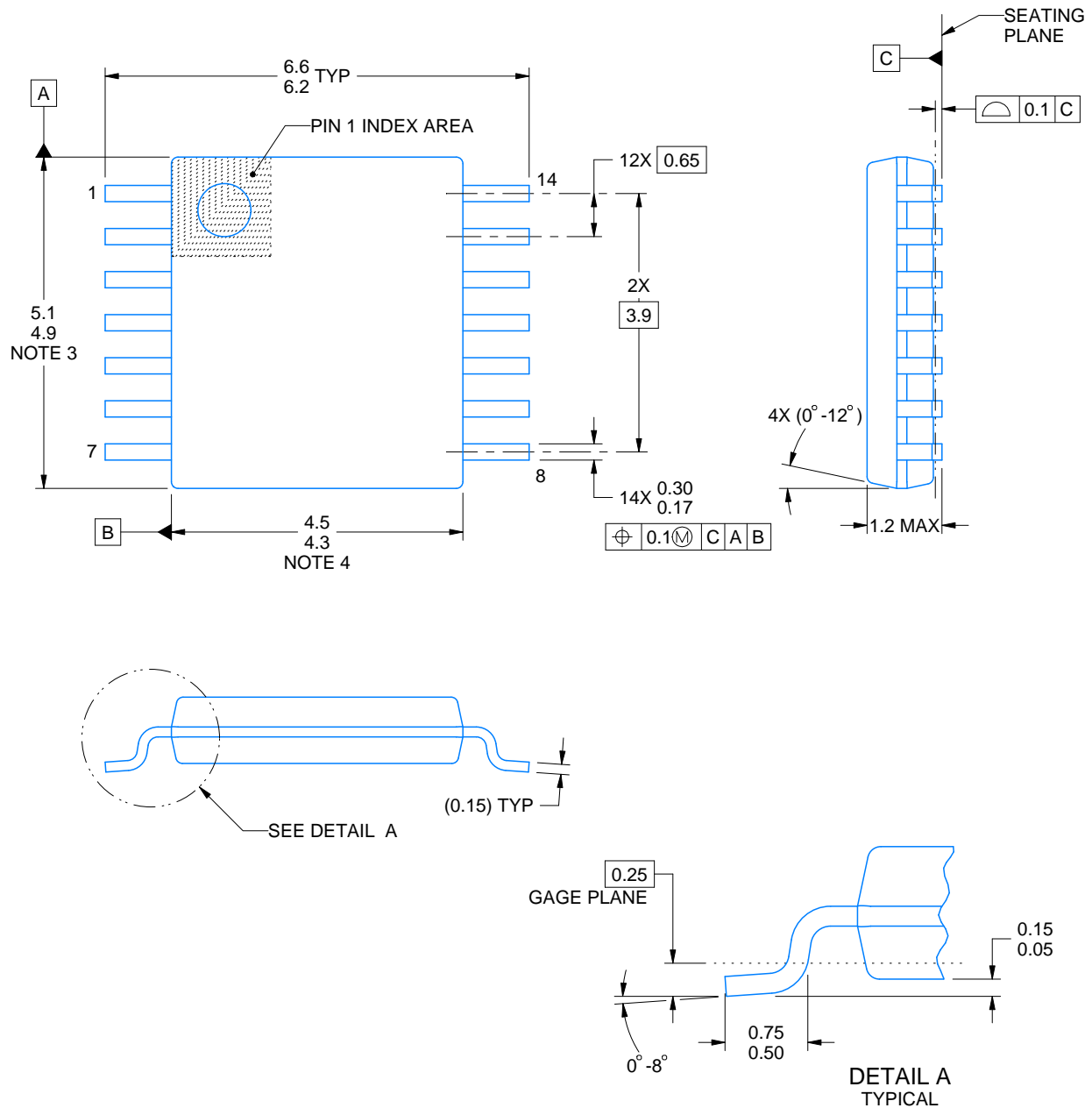
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

PW0014A

PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

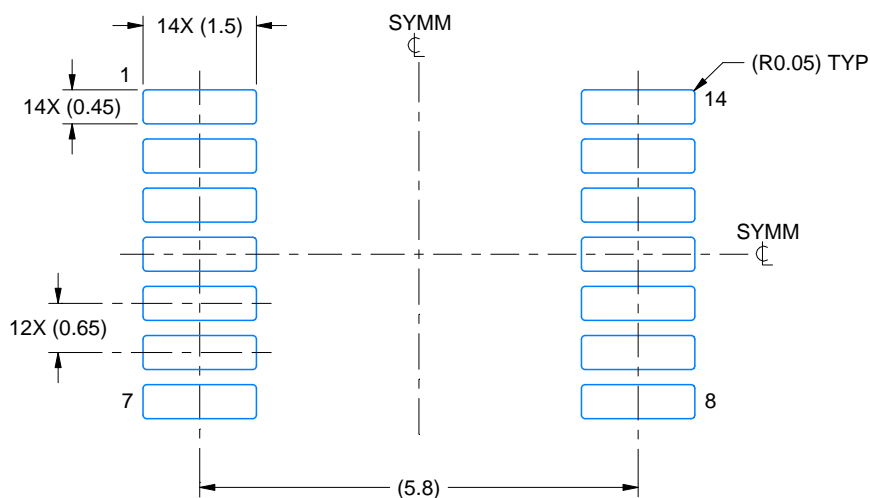
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

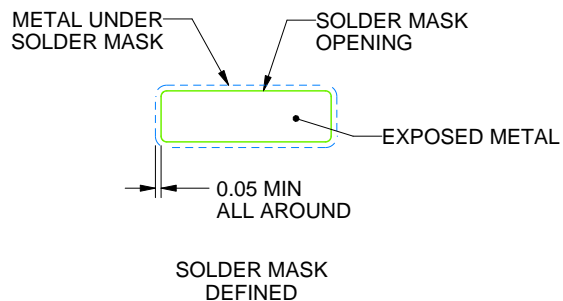
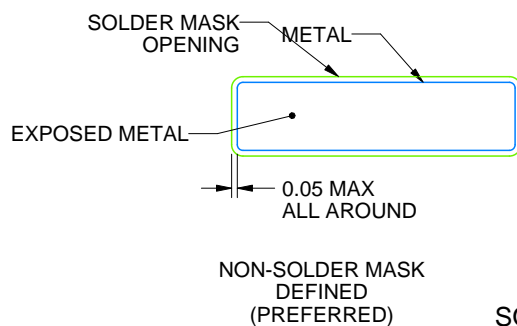
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

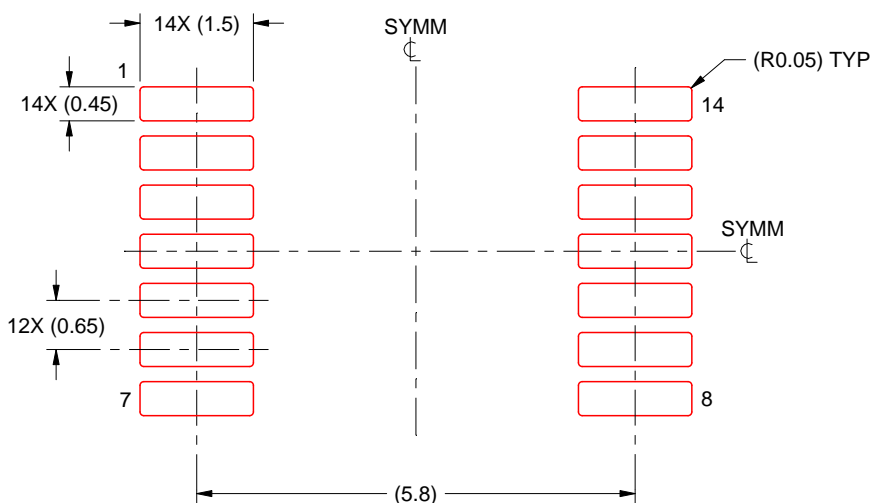
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月