

OPAx310 高出力電流、高速シャットダウン、低電圧 (1.5V~5.5V)、RRIO、3MHz オペアンプ

1 特長

- 大出力電流:標準値 $\pm 150\text{mA}$ の I_{SC} (5.5V 時)
- シャットダウンからの高速イネーブル:0.9 μs (標準値)
- 広い動作電源電圧範囲:1.5V~5.5V
- 低い入力オフセット電圧: $\pm 250\mu\text{V}$ (標準値)
- フェイルセーフ入力:入力から V+ へのダイオードなし
- 最適化された静止電流:165 $\mu\text{A}/\text{ch}$ (標準値)
- レールツー レール入出力
- ゲイン帯域幅積:5.5V において 3MHz (標準値)
- 熱ノイズ フロア:16nV/ $\sqrt{\text{Hz}}$ (標準値)
- ユニティゲイン安定
- 持続的な発振なしで最大 250pF を駆動
- 内部 RFI および EMI フィルタ付きの入力ピン
- 動作温度範囲:-40°C~125°C

2 アプリケーション

- 光モジュール
- リファレンス バッファ、ガード アンプ
- マイク プリアンプ
- 照明および LED ドライバ
- 4~20mA ループ ドライバ
- プログラマブル電流源
- ローサイド電流検出回路

3 概要

OPAx310 ファミリのオペアンプには、シングル (OPA310)、デュアル (OPA2310)、およびクワッド チャネル (OPA4310) のレールツー レール入出力スイシング能力を備えた低電圧 (1.5V~5.5V)、大出力電流オペアンプがあります。また、OPAx310S は、非常に高速なシャットダウン応答を備えており、イネーブル時間は 0.9 μs (代表値) です。これにより、アプリケーションでアンプ信号チェーンのデューティサイクル調整が必要な場合に電力を削減できます。OPAx310 ファミリは、入力と正の電源レールの間にダイオードが接続されていないフェイルセーフ入力 ESD 構造を採用し、堅牢な ESD 性能を実現しています。

OPAx310 は、パワー パッド付き、標準、小型パッケージのバリエントで供給され、電流制限保護、サーマル シャットダウン保護機能を内蔵しているため、大出力電流で動作しているときにも優れた堅牢性を実現しています。OPAx310 は、レールに非常に近いスイシングが可能であり、5.5V 電源では動作温度範囲全体にわたって短絡電流は 75mA (最小値) です。複数のオペアンプを適切に並列接続することにより、さらに大きい出力電流性能を実現できます。OPAx310 デバイスは、LED ドライバ、LCD ドライバ、レーザー ドライバ、TEC ドライバアプリケーションに最適であり、リファレンス バッファ、ガード アンプ、ディスクリート LDO としても使用できます。

OPAx310 ファミリは、堅牢に設計されているため、回路設計を簡素化できます。これらのオペアンプは、RFI および EMI 除去フィルタを内蔵し、入力オーバードライブ状態で位相反転がありません。また、3MHz のゲイン帯域幅による優れた AC 性能を備えており、持続的な発振なしで最大 250pF の容量性負荷を駆動できるため、設計者は性能向上および消費電力低減の両方を達成できます。

製品情報

部品番号 ⁽¹⁾	チャネル数	パッケージ ⁽²⁾	パッケージ サイズ ⁽⁴⁾
OPA310	シングル	DBV (SOT-23, 5)	2.9mm × 2.8 mm
		DCK (SC70, 5)	2.1mm × 1.25 mm
		DPW (X2SON, 5) ⁽³⁾	0.8mm × 0.8mm
		DRL (SOT-5X3, 5) ⁽³⁾	1.6mm × 1.6mm
OPA310S	シングル、シャットダウン	DBV (SOT-23, 6)	2.9mm × 2.8 mm
		DCK (SC70, 6)	2mm × 1.25 mm
OPA2310	デュアル	D (SOIC, 8)	4.9mm × 6 mm
		DDF (SOT-23, 8) ⁽³⁾	2.9mm × 2.8 mm
		DSG (WSON, 8)	2mm × 2mm
		DGK (VSSOP, 8)	3mm × 4.9 mm
		PW (TSSOP, 8) ⁽³⁾	3mm × 6.4 mm
OPA2310S	デュアル、シャットダウン	RUG (X2QFN, 10)	1.5mm × 2 mm
		DGQ (HVSSOP, 10) ⁽³⁾	3mm × 4.9 mm
OPA4310	クワッド	D (SOIC, 14)	8.65mm × 6 mm
		PW (TSSOP, 14)	5mm × 6.4 mm
		RUC (X2QFN, 14) ⁽³⁾	2mm × 2mm
OPA4310S	クワッド、シャットダウン	RTE (WQFN, 16)	3mm × 3mm
		DYY (SOT-23, 16) ⁽³⁾	4.2mm × 2 mm

(1) セクション 4 を参照

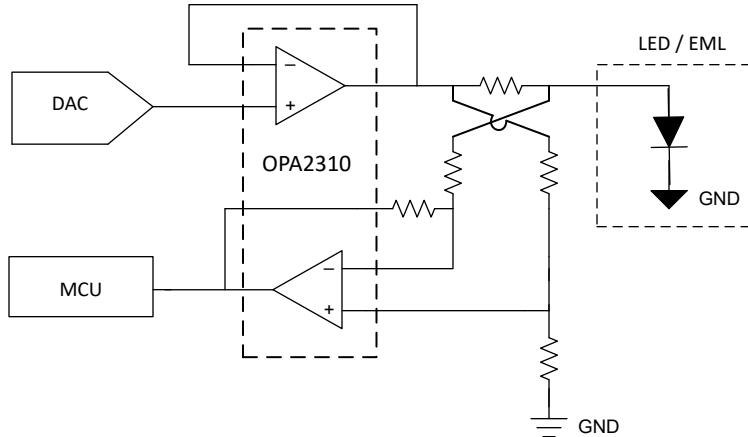
(2) 詳細は、セクション 11 を参照してください。

(3) パッケージはプレビュー専用です。

(4) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



LED/EML のバイアス、電流センス付き

目次

1 特長	1	7.2 機能ブロック図	27
2 アプリケーション	1	7.3 機能説明	28
3 概要	1	7.4 デバイスの機能モード	32
4 デバイス比較表	3	8 アプリケーションと実装	33
5 ピン構成および機能	4	8.1 アプリケーション情報	33
6 仕様	10	8.2 代表的なアプリケーション	33
6.1 絶対最大定格	10	8.3 電源に関する推奨事項	35
6.2 ESD 定格	10	8.4 レイアウト	35
6.3 推奨動作条件	10	9 デバイスおよびドキュメントのサポート	37
6.4 シングル チャネルの熱に関する情報	10	9.1 ドキュメントのサポート	37
6.5 デュアル チャネルの熱に関する情報	11	9.2 ドキュメントの更新通知を受け取る方法	37
6.6 クワッド チャネルの熱に関する情報	11	9.3 サポート・リソース	37
6.7 電気的特性	12	9.4 静電気放電に関する注意事項	37
6.8 代表的特性	16	9.5 用語集	37
7 詳細説明	26	10 改訂履歴	37
7.1 概要	26	11 メカニカル、パッケージ、および注文情報	38

4 デバイス比較表

デバイス	チャネル数	SHDN	パッケージのリード													
			SC70 DCK	SOIC D	SOT-23 DBV	SOT-23 DDF ⁽¹⁾	SOT-553 DRL ⁽¹⁾	SOT-23 DYY ⁽¹⁾	TSSOP PW	VSSOP DGK	HVSSOP DGQ ⁽¹⁾	WQFN RTE	WSON DSG	X2QFN RUC ⁽¹⁾	X2SON DPW ⁽¹⁾	X2QFN RUG
OPA310	1	なし	5	—	5		5	—	—	—	—	—	—	—	5	—
OPA310S	1	あり	6	—	6		—	—	—	—	—	—	—	—	—	—
OPA2310	2	なし	—	8	—	8	—	—	8	8	—	—	8	—	—	—
OPA2310S	2	あり	—	—	—	—	—	—	—	—	10	—	—	—	—	10
OPA4310	4	なし	—	14	—	—	—	—	14	—	—	—	—	14	—	—
OPA4310S	4	あり	—	—	—	—	—	16	—	—	—	16	—	—	—	—

(1) パッケージはプレビューのみです。

5 ピン構成および機能

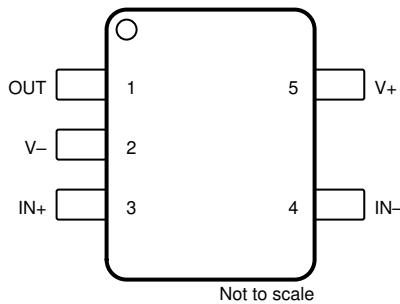


図 5-1. OPA310 DBV パッケージ、
5 ピン SOT-23
(上面図)

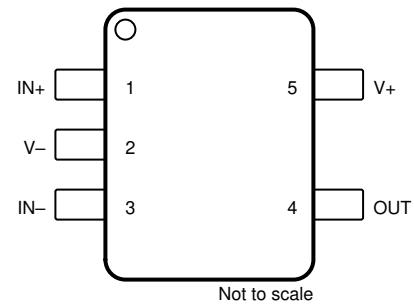


図 5-2. OPA310 DCK および DRL パッケージ、
5 ピン SC70 および 5 ピン SOT-5X3
(上面図)

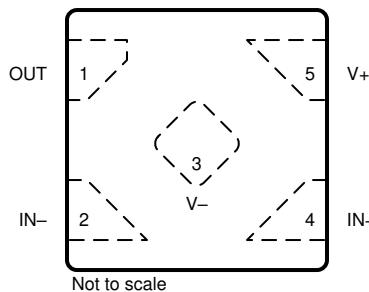


図 5-3. OPA310 DPW パッケージ、
5 ピン X2SON
(上面図)

表 5-1. ピンの機能 : OPA310

名称	ピン		(1)種類	概要	
	SOT-23	SC70、 SOT-5X3			
IN-	4	3	I	反転入力	
IN+	3	1	I	非反転入力	
OUT	1	4	O	出力	
V-	2	2	I	負(低)電源またはグランド(単電源動作の場合)	
V+	5	5	I	正(高)電源	

(1) I = 入力、O = 出力

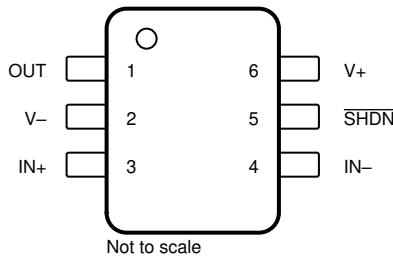


図 5-4. OPA310S DBV パッケージ、
6 ピン SOT-23
(上面図)

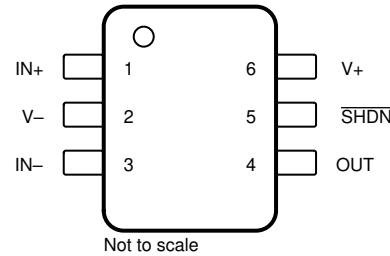
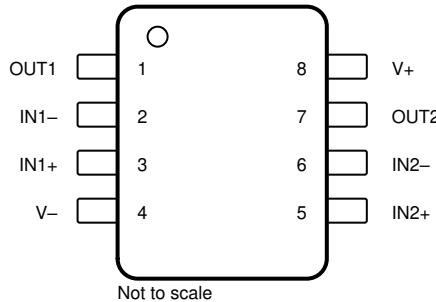


図 5-5. OPA310S DCK パッケージ、
6 ピン SC70
(上面図)

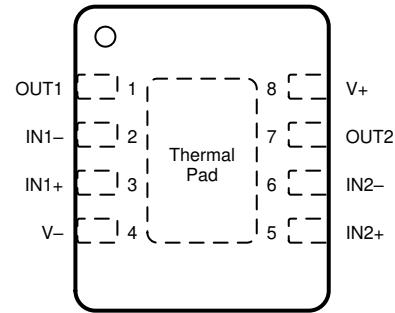
表 5-2. ピンの機能 : OPA310S

名称	ピン		(1)種類	概要
	SOT-23	SC70		
IN-	4	3	I	反転入力
IN+	3	1	I	非反転入力
OUT	1	4	O	出力
SHDN	5	5	I	シャットダウン: Low = アンプがディセーブル、High = アンプがイネーブル 詳細については「シャットダウン機能」を参照
V-	2	2	I	負(低)電源またはグランド(単電源動作の場合)
V+	6	6	I	正(高)電源

(1) I = 入力、O = 出力



**図 5-6. OPA2310 D、DDF、DGK、および PW パッケージ、
8 ピン SOIC、SOT-23-THIN、VSSOP、TSSOP
(上面図)**



露出サーマル・パッドを V- に接続。詳細については「セクション 7.3.10」を参照。

**図 5-7. OPA2310 DSG パッケージ、
8 ピン WSON (露出サーマル・パッド付き)
(上面図)**

表 5-3. ピンの機能 : OPA2310

ピン		(1)種類	概要
名称	番号		
IN1-	2	I	反転入力、チャネル 1
IN1+	3	I	非反転入力、チャネル 1
IN2-	6	I	反転入力、チャネル 2
IN2+	5	I	非反転入力、チャネル 2
OUT1	1	O	出力、チャネル 1
OUT2	7	O	出力、チャネル 2
V-	4	I	負(低)電源またはグランド(単電源動作の場合)
V+	8	I	正(高)電源

(1) I = 入力、O = 出力

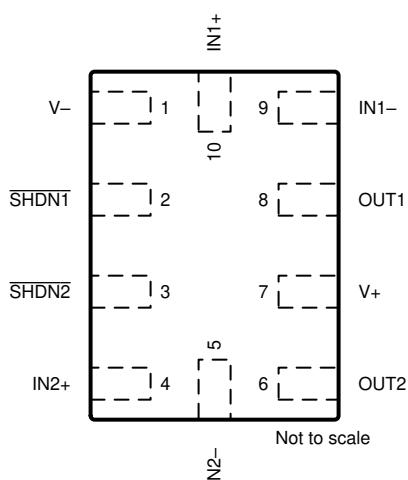


図 5-8. OPA2310S RUG パッケージ、
10 ピン X2QFN
(上面図)

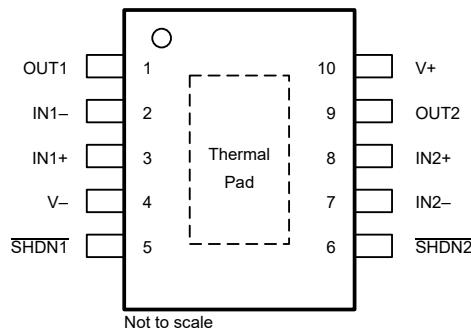


図 5-9. OPA2310S DGQ パッケージ、
10 ピン HVSSOP
(上面図)

表 5-4. ピンの機能 : OPA2310S

ピン			(1)種類	概要
名称	X2QFN	HVSSOP		
IN1-	9	2	I	反転入力、チャネル 1
IN1+	10	3	I	非反転入力、チャネル 1
IN2-	5	7	I	反転入力、チャネル 2
IN2+	4	8	I	非反転入力、チャネル 2
OUT1	8	1	O	出力、チャネル 1
OUT2	6	9	O	出力、チャネル 2
SHDN1	2	5	I	シャットダウン: Low = アンプがディセーブル、High = アンプがイネーブル、チャネル 1 詳細については「 シャットダウン機能 」を参照
SHDN2	3	6	I	シャットダウン: Low = アンプがディセーブル、High = アンプがイネーブル、チャネル 2 詳細については「 シャットダウン機能 」を参照
V-	1	4	I	負(低)電源またはグランド(単電源動作の場合)
V+	7	10	I	正(高)電源

(1) I = 入力、O = 出力

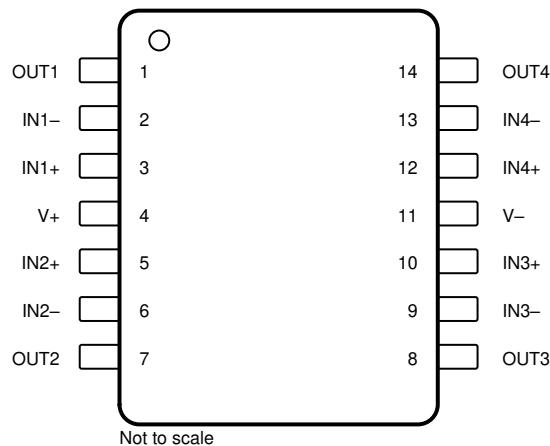


図 5-10. OPA4310 D および PW パッケージ、
14 ピン SOIC および TSSOP
(上面図)

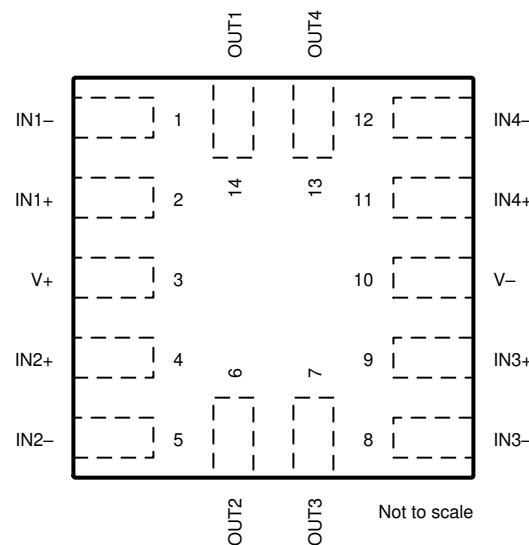
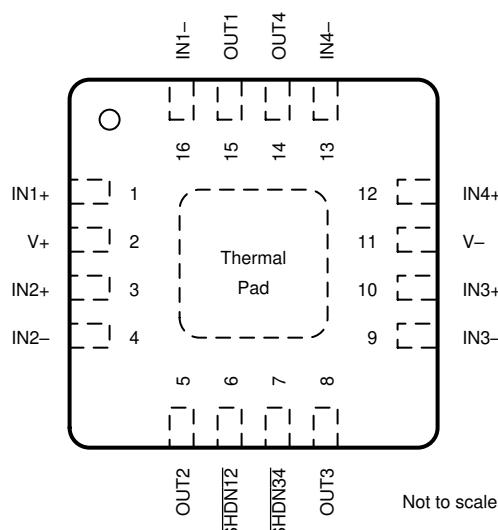


図 5-11. OPA4310 RUC パッケージ、
14 ピン X2QFN
(上面図)

表 5-5. ピンの機能 : OPA4310

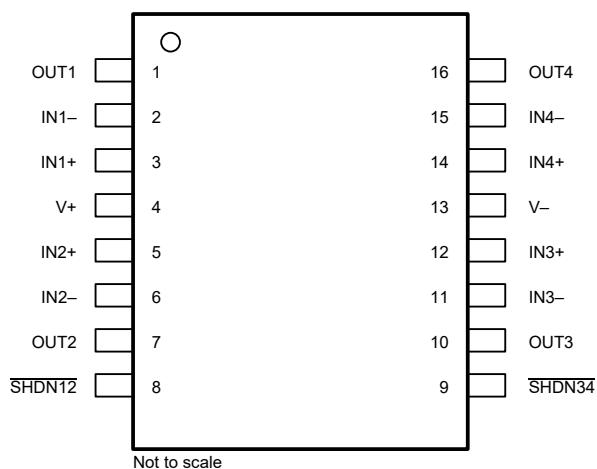
ピン			(1)種類	概要
名称	SOIC、TSSOP	X2QFN		
IN1-	2	1	I	反転入力、チャネル 1
IN1+	3	2	I	非反転入力、チャネル 1
IN2-	6	5	I	反転入力、チャネル 2
IN2+	5	4	I	非反転入力、チャネル 2
IN3-	9	8	I	反転入力、チャネル 3
IN3+	10	9	I	非反転入力、チャネル 3
IN4-	13	12	I	反転入力、チャネル 4
IN4+	12	11	I	非反転入力、チャネル 4
OUT1	1	14	O	出力、チャネル 1
OUT2	7	6	O	出力、チャネル 2
OUT3	8	7	O	出力、チャネル 3
OUT4	14	13	O	出力、チャネル 4
V-	11	10	I	負(低)電源またはグランド(単電源動作の場合)
V+	4	3	I	正(高)電源

(1) I = 入力、O = 出力



A. サーマル・パッドを V- に接続します。

図 5-12. OPA4310S RTE パッケージ、
16 ピン WQFN (露出サーマル・パッド付き)
(上面図)



A. サーマル・パッドを V- に接続します。

図 5-13. OPA4310S DYY パッケージ、
16 ピン SOT-23-THIN
(上面図)

表 5-6. ピンの機能 : OPA4310S

ピン			(1)種類	概要
名称	WQFN	SOT-23-THIN		
IN1+	1	3	I	非反転入力、チャネル 1
IN1-	16	2	I	反転入力、チャネル 1
IN2+	3	5	I	非反転入力、チャネル 2
IN2-	4	6	I	反転入力、チャネル 2
IN3+	10	12	I	非反転入力、チャネル 3
IN3-	9	11	I	反転入力、チャネル 3
IN4+	12	14	I	非反転入力、チャネル 4
IN4-	13	15	I	反転入力、チャネル 4
SHDN12	6	8	I	シャットダウン: Low = アンプがディセーブル、High = アンプがイネーブル、チャネル 1 および 2。 詳細については「シャットダウン機能」を参照
SHDN34	7	9	I	シャットダウン: Low = アンプがディセーブル、High = アンプがイネーブル、チャネル 3 および 4。 詳細については「シャットダウン機能」を参照
OUT1	15	1	O	出力、チャネル 1
OUT2	5	7	O	出力、チャネル 2
OUT3	8	10	O	出力、チャネル 3
OUT4	14	16	O	出力、チャネル 4
V-	11	13	I	負(低)電源またはグランド(单電源動作の場合)
V+	2	4	I	正(高)電源

6 仕様

6.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
電源電圧、 $V_S = (V+) - (V-)$	電源電圧、 $V_S = (V+) - (V-)$	0	7	V
信号入力ピン	同相電圧 (2) (3)	-0.5	6.0	V
	差動電圧 (2) (3)		±6.0	V
	電流 (3)	-10	10	mA
出力短絡 (4)		連続		
動作時周囲温度、 T_A		-55	150	°C
接合部温度、 T_J			150	°C
保管温度、 T_{stg}		-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) 入力ピンは、6.0V 以内に維持されている限り、(V+) を超えるスイングが可能です。入力ピンから (V+) へのダイオード構造はありません。
- (3) 入力ピンは (V-) に対してダイオード クランプされています。(V-) より 0.3V 低い入力信号は、電流を 10mA 以下に制限する必要があります。
- (4) グランドへの短絡、パッケージあたり 1 台のアンプ。

6.2 ESD 定格

部品番号					値	単位
OPA2310	$V_{(ESD)}$	静電放電	人体モデル (HBM)	ANSI/ESDA/JEDEC JS-001 準拠 (1)	±4000	V
OPA2310	$V_{(ESD)}$	静電放電	デバイス帯電モデル (CDM)	JEDEC 仕様 JS-002 準拠 (2)	±1500	V
OPA310, OPA4310	$V_{(ESD)}$	静電放電	人体モデル (HBM)	ANSI/ESDA/JEDEC JS-001 準拠 (1)	±8000	V
OPA310, OPA4310	$V_{(ESD)}$	静電放電	デバイス帯電モデル (CDM)	JEDEC 仕様 JS-002 準拠 (2)	±1500	V

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

動作時周囲温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
V_S	電源電圧、 $(V+) - (V-)$		1.5	5.5	V
V_I	入力電圧範囲		-0.1	5.6	V
T_A	規定温度		-40	125	°C

6.4 シングル チャネルの熱に関する情報

熱評価基準 ⁽¹⁾		OPA310				OPA310S		単位
		DBV (SOT-23)	DCK (SC70)	DPW (2) (X2SON)	DRL (2) (X2SON)	DBV (SOT-23)	DCK (SC70)	
		5 ピン	5 ピン	5 ピン	5 ピン	6 ピン	6 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	211.5	214.6	未定	未定	190.7	195.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	109.4	110.0	未定	未定	110.5	122.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	77.8	60.7	未定	未定	70.8	55.5	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	45.2	32.1	未定	未定	47.4	38.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	77.5	60.4	未定	未定	70.5	55.2	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	未定	未定	該当なし	該当なし	°C/W

- (1) 従来および最新の熱測定基準の詳細については、アプリケーション レポート『半導体および IC パッケージの熱評価基準』、SPRA953 を参照してください。

- (2) このパッケージ オプションはプレビューです。

6.5 デュアル チャネルの熱に関する情報

熱評価基準 ⁽¹⁾		OPA2310					OPA2310S		単位
		DSG (WSON)	D (SOIC)	DDF ⁽²⁾ (SOT-23-8)	DGK (VSSOP)	PW ⁽²⁾ (TSSOP)	DGQ ⁽²⁾ (HVSSOP)	RUG (X2QFN)	
		8 ピン	8 ピン	8 ピン	8 ピン	8 ピン	10 ピン	10 ピン	
R _{θJA}	接合部から周囲への熱抵抗	90.1	139.0	未定	187.7	未定	未定	179.4	°C/W
R _{θJC(top)}	接合部からケース(上面)への熱抵抗	112.1	81.2	未定	78.1	未定	未定	66.7	°C/W
R _{θJB}	接合部から基板への熱抵抗	56.3	82.4	未定	109.5	未定	未定	104.5	°C/W
Ψ _{JT}	接合部から上面への特性バラメータ	9.2	31.3	未定	17.9	未定	未定	1.4	°C/W
Ψ _{JB}	接合部から基板への特性バラメータ	56.3	81.6	未定	107.9	未定	未定	104.2	°C/W
R _{θJC(bot)}	接合部からケース(底面)への熱抵抗	31.8	該当なし	未定	該当なし	未定	未定	該当なし	°C/W

- (1) 従来および最新の熱測定基準の詳細については、アプリケーション レポート『半導体および IC パッケージの熱評価基準』、[SPRA953](#) を参照してください。
(2) このパッケージ オプションはプレビューです。

6.6 クワッド チャネルの熱に関する情報

熱評価基準 ⁽¹⁾		OPA4310			OPA4310S		単位
		RUC ⁽²⁾ (X2QFN)	D (SOIC)	PW (TSSOP)	RTE (WQFN)	DYY ⁽²⁾ (SOT)	
		14 ピン	14 ピン	14 ピン	16 ピン	16 ピン	
R _{θJA}	接合部から周囲への熱抵抗	未定	101.5	128.2	57.6	未定	°C/W
R _{θJC(top)}	接合部からケース(上面)への熱抵抗	未定	57.8	58.7	62.4	未定	°C/W
R _{θJB}	接合部から基板への熱抵抗	未定	58.0	71.4	32.9	未定	°C/W
Ψ _{JT}	接合部から上面への特性バラメータ	未定	20.9	13.0	3.4	未定	°C/W
Ψ _{JB}	接合部から基板への特性バラメータ	未定	57.6	70.8	32.9	未定	°C/W
R _{θJC(bot)}	接合部からケース(底面)への熱抵抗	未定	該当なし	該当なし	16.6	未定	°C/W

- (1) 従来および最新の熱測定基準の詳細については、アプリケーション レポート『半導体および IC パッケージの熱評価基準』、[SPRA953](#) を参照してください。
(2) このパッケージ オプションはプレビューです。

6.7 電気的特性

$V_S = (V+) - (V-) = 1.5V \sim 5.5V$ ($\pm 0.75V \sim \pm 2.75V$) の場合 ($T_A = 25^\circ C$ 時)、 $R_L = 10k\Omega$ を $V_S/2$ 、 $V_{CM} = V_S/2$ 、および $V_{O\,UT} = V_S/2$ に接続 (特に記述のない限り)。

パラメータ	テスト条件		最小値	標準値	最大値	単位
オフセット電圧						
V_{OS}	入力オフセット電圧	$V_{CM} = V_-$		± 0.25	± 1.3	mV
		$V_{CM} = V_-$	$T_A = -40^\circ C \sim 125^\circ C$		± 1.4	
dV_{OS}/dT	入力オフセット電圧ドリフト	$V_{CM} = V_-$	$T_A = -40^\circ C \sim 125^\circ C$		± 0.5	$\mu V/^\circ C$
PSRR	入力オフセット電圧と電源との関係	$V_S = 1.5V \sim 5.5V$ 、 $V_{CM} = V_-$		± 10	± 50	$\mu V/V$
チャネルセパレーション	$f = 10kHz$			± 1		$\mu V/V$
入力バイアス電流						
I_B	入力バイアス電流 ⁽¹⁾	$V_S = 1.8V$ 、 $V_S = 5V$		± 1	± 30	pA
I_{OS}	入力オフセット電流 ⁽¹⁾	$V_S = 1.8V$ 、 $V_S = 5V$		± 0.5	± 25	pA
ノイズ						
E_N	入力電圧ノイズ	$f = 0.1 \sim 10Hz$		4		μV_{PP}
e_N	入力電圧ノイズ密度	$f = 100Hz$		32		nV/\sqrt{Hz}
		$f = 1kHz$		16		
		$f = 10kHz$		13		
i_N	入力電流ノイズ ⁽³⁾	$f = 1kHz$		10		fA/\sqrt{Hz}
入力電圧範囲						
V_{CM}	同相電圧範囲 ⁽¹⁾	$V_S = 1.8V$	$T_A = -40^\circ C \sim 125^\circ C$	(V_-)	(V_+)	V
	同相電圧範囲 ⁽¹⁾	$V_S = 5.5V$	$T_A = -40^\circ C \sim 125^\circ C$	$(V_-) - 0.1$	$(V_+) + 0.1$	V
$CMRR$	同相信号除去比	$V_S = 1.8V$ 、 $(V_-) \leq V_{CM} \leq (V_+) - 0.6V$		75	85	dB
		$V_S = 1.8V$ 、 $(V_-) \leq V_{CM} \leq (V_+) - 0.6V$	$T_A = -40^\circ C \sim 125^\circ C$	65	78	dB
		$V_S = 5.5V$ 、 $(V_-) \leq V_{CM} \leq (V_+) - 0.6V$		83	95	dB
		$V_S = 5.5V$ 、 $(V_-) \leq V_{CM} \leq (V_+) - 0.6V$	$T_A = -40^\circ C \sim 125^\circ C$	75	85	dB
		フルレンジ: $V_S = 1.8V$ 、 $(V_-) \leq V_{CM} \leq (V_+)$	$T_A = -40^\circ C \sim 125^\circ C$	57.5	70	
		フルレンジ: $V_S = 5.5V$ $(V_-) - 0.1V \leq V_{CM} \leq (V_+) + 0.1V$	$T_A = -40^\circ C \sim 125^\circ C$	66.5	80	
入力インピーダンス						
Z_{ID}	差動入力インピーダンス			$80 \parallel 1.4$		$G\Omega \parallel pF$
Z_{ICM}	同相モード入力インピーダンス			$100 \parallel 0.5$		$G\Omega \parallel pF$

6.7 電気的特性 (続き)

$V_S = (V+) - (V-) = 1.5V \sim 5.5V$ ($\pm 0.75V \sim \pm 2.75V$) の場合 ($T_A = 25^\circ C$ 時)、 $R_L = 10k\Omega$ を $V_S/2$ 、 $V_{CM} = V_S/2$ 、および $V_{O\,UT} = V_S/2$ に接続 (特に記述のない限り)。

パラメータ	テスト条件	最小値	標準値	最大値	単位	
開ループゲイン						
A _{OL}	開ループ電圧ゲイン	$V_S = 1.8V, (V-) + 0.05V < V_O < (V+) - 0.05V, R_L = 10k\Omega$ を $V_S/2$ に接続	$T_A = -40^\circ C \sim 125^\circ C$	102	115	dB
	開ループ電圧ゲイン (2)	$V_S = 1.8V, (V-) + 0.10V < V_O < (V+) - 0.10V, R_L = 2k\Omega$ を $V_S/2$ に接続		95	105	dB
		$V_S = 5.5V, (V-) + 0.10V < V_O < (V+) - 0.10V, R_L = 10k\Omega$ を $V_S/2$ に接続		109	125	dB
		$V_S = 5.5V, (V-) + 0.15V < V_O < (V+) - 0.15V, R_L = 2k\Omega$ を $V_S/2$ に接続		105	115	dB
	開ループ電圧ゲイン	$V_S = 1.8V, (V-) + 0.05V < V_O < (V+) - 0.05V, R_L = 10k\Omega$ を $V_S/2$ に接続		90	100	dB
		$V_S = 1.8V, (V-) + 0.10V < V_O < (V+) - 0.10V, R_L = 2k\Omega$ を $V_S/2$ に接続		90	90	
		$V_S = 5.5V, (V-) + 0.10V < V_O < (V+) - 0.10V, R_L = 10k\Omega$ を $V_S/2$ に接続		105	105	
		$V_S = 5.5V, (V-) + 0.15V < V_O < (V+) - 0.15V, R_L = 2k\Omega$ を $V_S/2$ に接続		90	100	
	開ループ電圧ゲイン (6)	$V_S = 3.3V, (V-) + 0.25V < V_O < (V+) - 0.25V, I_L = \pm 50mA$	$T_A = 25^\circ C$	80	102	dB

周波数応答

GBW	ゲイン帯域幅積	$V_S = 1.8V, G = +1, R_L = 10k\Omega, C_L = 100pF$	2.5	MHz
		$V_S = 5.5V, G = +1, R_L = 10k\Omega, C_L = 100pF$	3	MHz
SR	スルーレート	$V_S = 1.8V, G = +1, R_L = 10k\Omega$	2.8	V/μs
		$V_S = 5.5V, G = +1, R_L = 10k\Omega$	3	V/μs
THD+N	全高調波歪み + ノイズ (4)	$V_S = 5.5V, G = +1, V_O = 1V_{RMS}, f = 1kHz, R_L = 10k\Omega$ を $V_S/2$ に接続	0.0005	%
		$V_S = 5.5V, G = +1, V_O = 1V_{RMS}, f = 1kHz, R_L = 2k\Omega$ を $V_S/2$ に接続	0.0035	%
		$V_S = 5.5V, G = +1, V_O = 1V_{RMS}, f = 1kHz, R_L = 600\Omega$ を $V_S/2$ に接続	0.0080	%
t _s	セトリング時間	0.1% まで、 $V_S = 5.5V, V_{STEP} = 4V, G = +1, C_L = 10pF$	1.8	μs
		0.1% まで、 $V_S = 5.5V, V_{STEP} = 2V, G = +1, C_L = 10pF$	1.3	
		0.01% まで、 $V_S = 5.5V, V_{STEP} = 4V, G = +1, C_L = 10pF$	2.3	
		0.01% まで、 $V_S = 5.5V, V_{STEP} = 2V, G = +1, C_L = 10pF$	1.6	
PM	位相マージン	$G = +1, R_L = 10k\Omega$ を $V_S/2$ に接続、 $C_L = 10pF$	60	°
C _L の駆動	容量性負荷駆動能力	$G = +1, R_L = 10k\Omega$ を $V_S/2$ に接続、位相マージン = 40°	75	pF
		$G = +1, R_L = 10k\Omega$ を $V_S/2$ に接続、持続的な発振なし	250	pF
t _{overload}	過負荷回復時間	$V_{IN} \times \text{ゲイン} > V_S$	0.6	μs
EMIRR	電磁干渉除去比	$f = 1.8GHz, V_{IN_EMIRR} = 100mV$	75	dB

6.7 電気的特性 (続き)

$V_S = (V+) - (V-) = 1.5V \sim 5.5V$ ($\pm 0.75V \sim \pm 2.75V$) の場合 ($T_A = 25^\circ C$ 時)、 $R_L = 10k\Omega$ を $V_S/2$ 、 $V_{CM} = V_S/2$ 、および $V_{O\,UT} = V_S/2$ に接続 (特に記述のない限り)。

パラメータ	テスト条件		最小値	標準値	最大値	単位
出力						
V_{OH}	正電圧レールからの電圧出力スイッチング	$V_S = 1.8V, R_L = 2k\Omega$ を $V_S/2$ に接続		10	21	mV
		$V_S = 1.8V, R_L = 10k\Omega$ を $V_S/2$ に接続		2	11	
		$V_S = 1.8V, R_L = 2k\Omega$ を $V_S/2$ に接続	$T_A = -40^\circ C \sim 125^\circ C$		51	
		$V_S = 1.8V, R_L = 10k\Omega$ を $V_S/2$ に接続	$T_A = -40^\circ C \sim 125^\circ C$		26	
		$V_S = 5.5V, R_L = 2k\Omega$ を $V_S/2$ に接続		3.5	20	
		$V_S = 5.5V, R_L = 10k\Omega$ を $V_S/2$ に接続		0.75	9	
		$V_S = 5.5V, R_L = 2k\Omega$ を $V_S/2$ に接続	$T_A = -40^\circ C \sim 125^\circ C$		30	
		$V_S = 5.5V, R_L = 10k\Omega$ を $V_S/2$ に接続	$T_A = -40^\circ C \sim 125^\circ C$		14	
V_{OL}	負電圧レールからの電圧出力スイッチング	$V_S = 1.8V, R_L = 2k\Omega$ を $V_S/2$ に接続		5.5	15	mV
		$V_S = 1.8V, R_L = 10k\Omega$ を $V_S/2$ に接続		1.2	10	
		$V_S = 1.8V, R_L = 2k\Omega$ を $V_S/2$ に接続	$T_A = -40^\circ C \sim 125^\circ C$		45	
		$V_S = 1.8V, R_L = 10k\Omega$ を $V_S/2$ に接続	$T_A = -40^\circ C \sim 125^\circ C$		25	
		$V_S = 5.5V, R_L = 2k\Omega$ を $V_S/2$ に接続		3.5	17.5	
		$V_S = 5.5V, R_L = 10k\Omega$ を $V_S/2$ に接続		0.75	10	
		$V_S = 5.5V, R_L = 2k\Omega$ を $V_S/2$ に接続	$T_A = -40^\circ C \sim 125^\circ C$		27.5	
		$V_S = 5.5V, R_L = 10k\Omega$ を $V_S/2$ に接続	$T_A = -40^\circ C \sim 125^\circ C$		11	
I_{SC}	短絡電流 (5)	$V_S = 1.8V$		± 20		mA
	短絡電流 (2) (5)	$V_S = 1.8V, T_A = -40^\circ C \sim 125^\circ C$		± 6		mA
	短絡電流 (5)	$V_S = 5.5V, OPA2310$		± 75	± 150	mA
I_{SC}	短絡電流 (5)	$V_S = 5.5V, OPA310$ および $OPA4310$		± 110		mA
Z_O	オープンループ出力インピーダンス	$f = 10kHz$		1000		Ω
電源						
I_Q	アンプごとの静止電流	$V_S = 1.5V, I_O = 0A, \overline{SHDN} = V+$		165	190	μA
		$V_S = 1.5V, I_O = 0A, \overline{SHDN} = V+$	$T_A = -40^\circ C \sim 125^\circ C$	165	210	μA
		$V_S = 5.5V, I_O = 0A, \overline{SHDN} = V+$	$T_A = -40^\circ C \sim 125^\circ C$	165	200	μA
	パワーオン時間	$T_A = 25^\circ C, V_S = 5.5V, V_S \text{ ランプレート} > 0.3V/\mu s$		125		μs
シャットダウン						
I_{Q_SHDN}	アンプごとのシャットダウン電流	すべてのアンプを無効化、 $\overline{SHDN} = V-$ 、 $OPA4310S$		0.100	0.150	μA
		すべてのアンプを無効化、 $\overline{SHDN} = V-$ 、 $OPA310S$		0.265	0.475	μA
I_{Q_SHDN}	アンプごとのシャットダウン電流	すべてのアンプを無効化、 $\overline{SHDN} = V-$ 、 $OPA2310S$		0.200	0.375	μA
I_{Q_SHDN}	アンプごとのシャットダウン電流 (1)	すべてのアンプを無効化、 $\overline{SHDN} = V-$ 、 $T_A = -40^\circ C \sim 85^\circ C$ 、 $OPA4310S$		0.300		μA
		すべてのアンプを無効化、 $\overline{SHDN} = V-$ 、 $T_A = -40^\circ C \sim 85^\circ C$ 、 $OPA310S$		0.700		μA
I_{Q_SHDN}	アンプごとのシャットダウン電流 (1)	すべてのアンプを無効化、 $\overline{SHDN} = V-$ 、 $T_A = -40^\circ C \sim 85^\circ C$ 、 $OPA2310S$		0.600		μA
Z_{OUT_SHDN}	シャットダウン時の出力インピーダンス	アンプがディセーブル		$43 \parallel 11.5$		$G\Omega \parallel pF$
V_{SHDN_IH}	ロジック High 電圧 (アンプがイネーブル)			$(V-) + 1.2$		V

6.7 電気的特性 (続き)

$V_S = (V+) - (V-) = 1.5V \sim 5.5V$ ($\pm 0.75V \sim \pm 2.75V$) の場合 ($T_A = 25^\circ C$ 時)、 $R_L = 10k\Omega$ を $V_S/2$ 、 $V_{CM} = V_S/2$ 、および $V_{O\,UT} = V_S/2$ に接続 (特に記述のない限り)。

パラメータ	テスト条件	最小値	標準値	最大値	単位
V_{SHDN_IL}	ロジック Low 電圧 (アンプがディセーブル)			$(V-) + 0.2$	V
t_{ON}	アンプのイネーブル時間 (フル シャットダウン) (7) (1)			1	μs
t_{OFF}	アンプのディセーブル時間 (7)			1	μs
I_{B_SHDN}	$(V+) \geq \overline{SHDN} \geq (V-) + 1V$			50	nA
	$(V-) \leq \overline{SHDN} \leq (V-) + 0.2V$			100	

- (1) 最大データは特性評価結果に基づいて規定されています。
- (2) 最小データは特性評価結果に基づいて規定されています。
- (3) 入力電流ノイズ データの標準値は、設計シミュレーションの結果に基づいて規定されています。
- (4) 3 次フィルタ、-3dB で帯域幅 = 80kHz。
- (5) ここで規定されている短絡電流は、短絡電流のソースとシンクの平均値です。
- (6) A_{OL} は、 $(V_{OSA} - V_{OSB}) / (V_{OUTA} - V_{OUTB})$ の差として測定されます。 V_{OSA} は OUT ピンが $(V+) - 0.25V$ でバイアスされ、デバイスが 50mA をソースしたときに測定されるオフセットであり、 V_{OSB} は OUT ピンが $(V-) + 0.25V$ でバイアスされ、デバイスが 50mA をシンクしたときに測定されるオフセットです。
- (7) ディセーブル時間 (t_{OFF}) とイネーブル時間 (t_{ON}) は、 \overline{SHDN} ピンに印加される信号の 50% ポイントと、出力電圧が 10% (ディセーブル) または 90% (イネーブル) レベルに達する時点との時間間隔として定義されます。

6.8 代表的特性

$T_A = 25^\circ\text{C}$ 、 $V+ = 2.75\text{V}$ 、 $V- = -2.75\text{V}$ 、 $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続、 $V_{\text{CM}} = V_S/2$ 、 $V_{\text{OUT}} = V_S/2$ (特に記述のない限り)

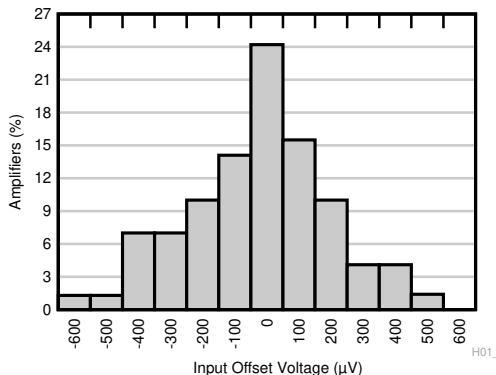


図 6-1. オフセット電圧の分布ヒストグラム

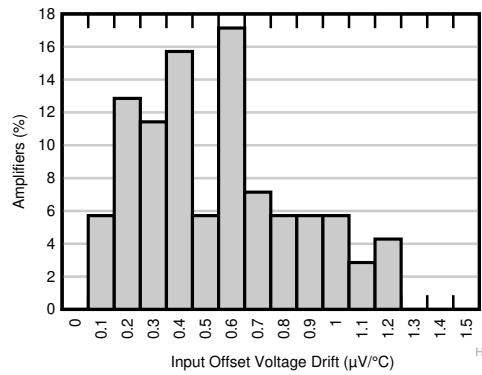


図 6-2. オフセット電圧ドリフトの分布ヒストグラム

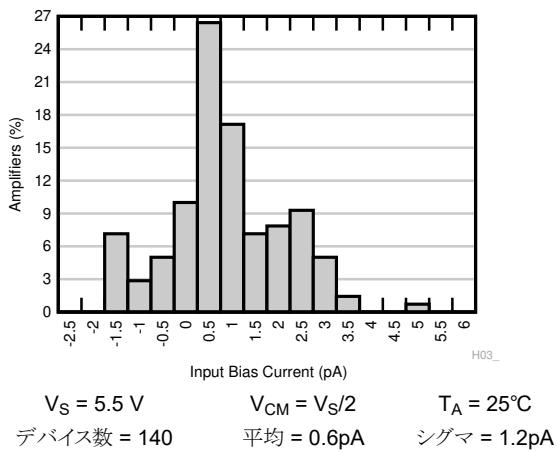


図 6-3. 入力バイアス電流の分布ヒストグラム

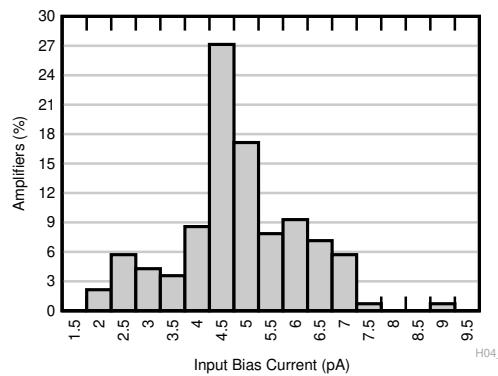


図 6-4. 入力バイアス電流の分布ヒストグラム

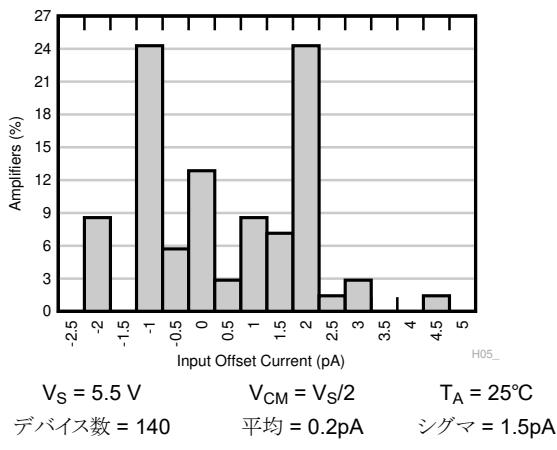


図 6-5. 入力オフセット電流の分布ヒストグラム

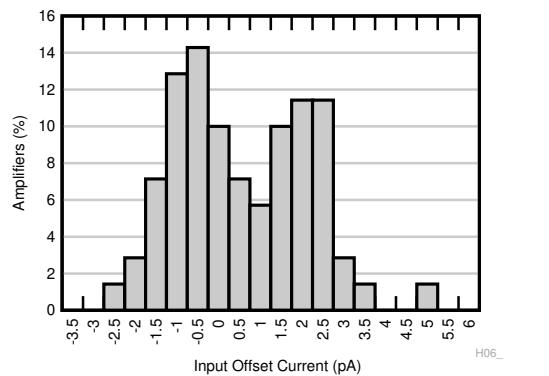
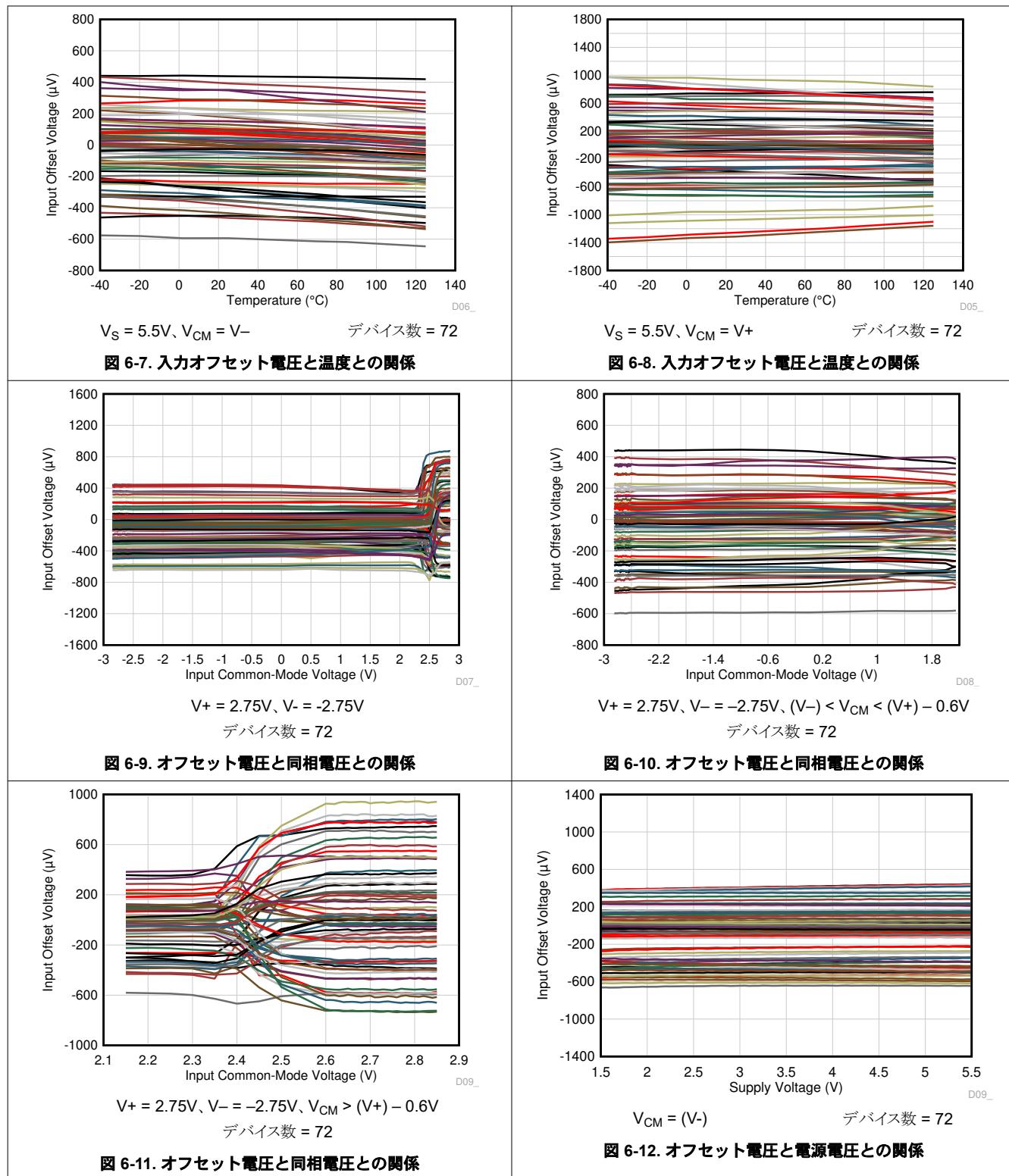


図 6-6. 入力オフセット電流の分布ヒストグラム

6.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V+ = 2.75\text{V}$ 、 $V- = -2.75\text{V}$ 、 $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続、 $V_{CM} = V_S/2$ 、 $V_{OUT} = V_S/2$ (特に記述のない限り)



6.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V+ = 2.75\text{V}$ 、 $V- = -2.75\text{V}$ 、 $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続、 $V_{CM} = V_S/2$ 、 $V_{OUT} = V_S/2$ (特に記述のない限り)

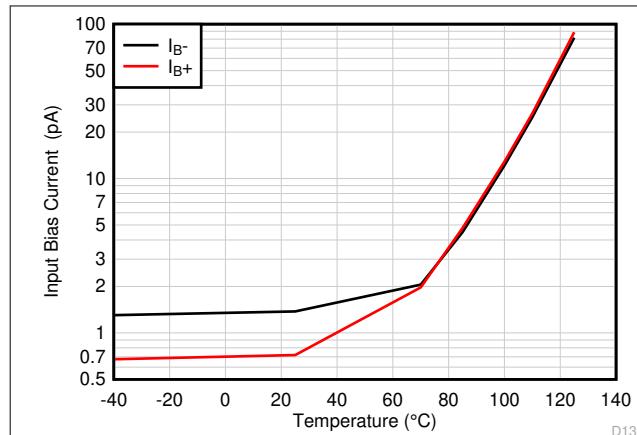


図 6-13. I_B と温度との関係

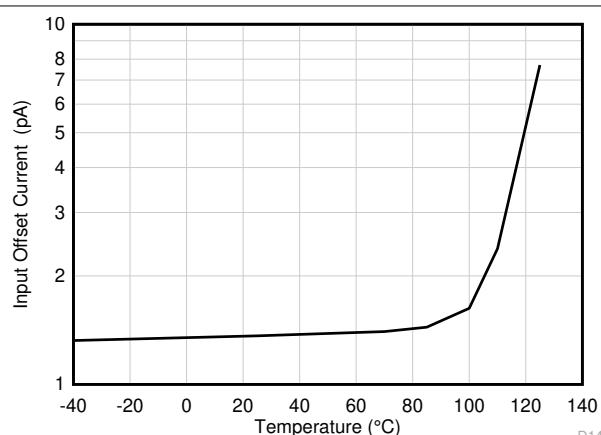


図 6-14. I_{OS} vs 温度

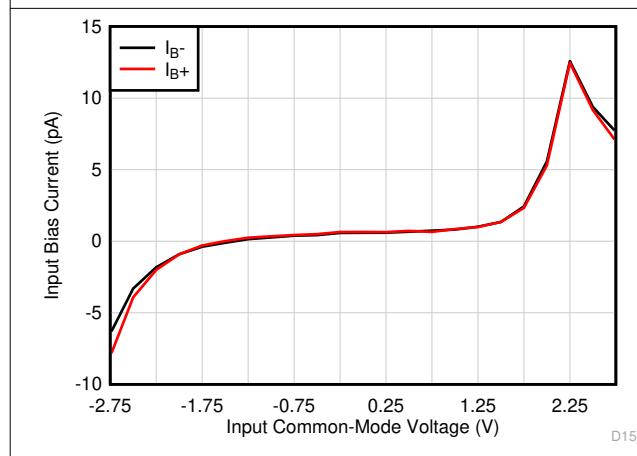


図 6-15. I_B と同相電圧との関係

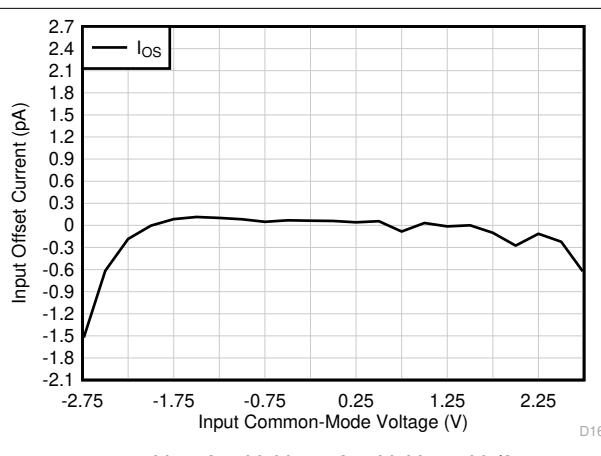


図 6-16. I_{OS} と同相電圧との関係

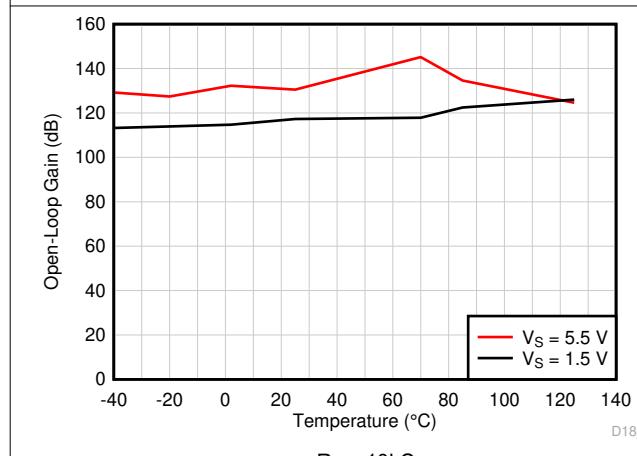


図 6-17. 開ループゲインと温度との関係

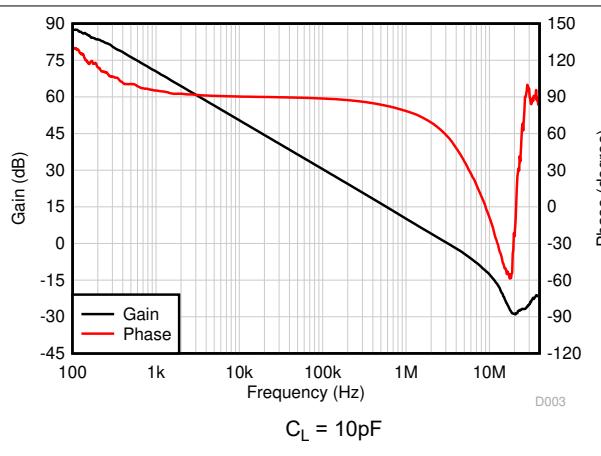


図 6-18. 開ループゲインおよび位相と周波数との関係

6.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_+ = 2.75\text{V}$ 、 $V_- = -2.75\text{V}$ 、 $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続、 $V_{\text{CM}} = V_S/2$ 、 $V_{\text{OUT}} = V_S/2$ (特に記述のない限り)

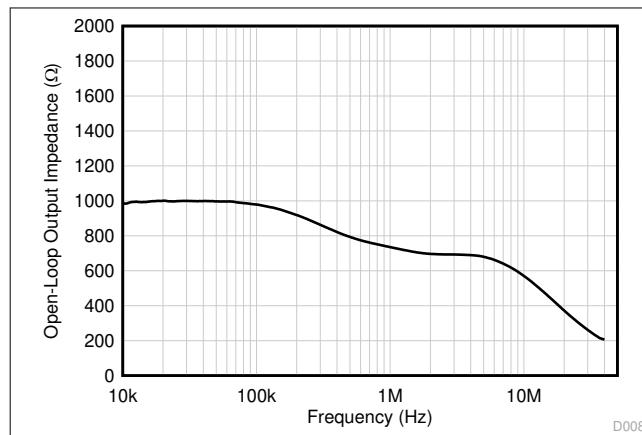


図 6-19. 開ループ出力インピーダンスと周波数との関係

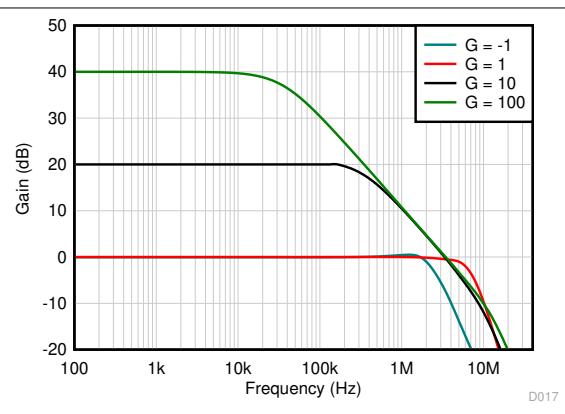
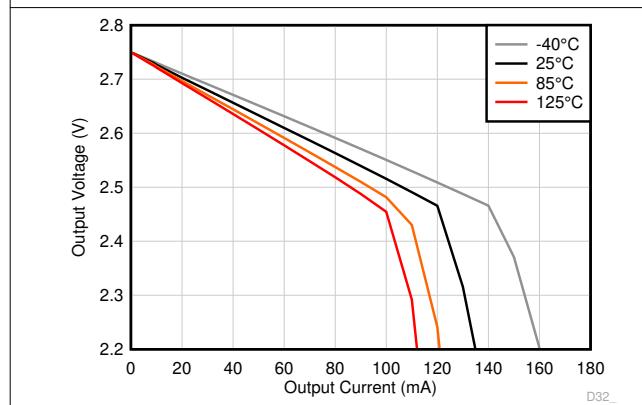
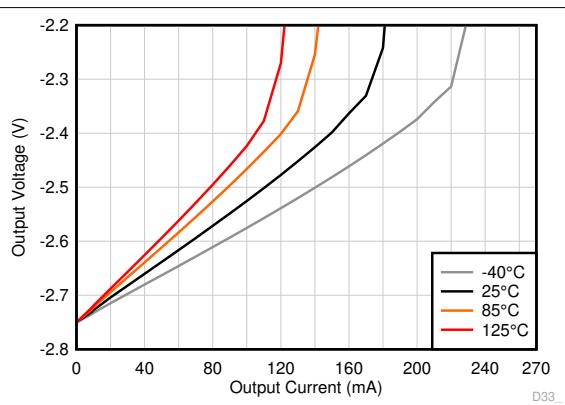


図 6-20. 閉ループゲインと周波数との関係



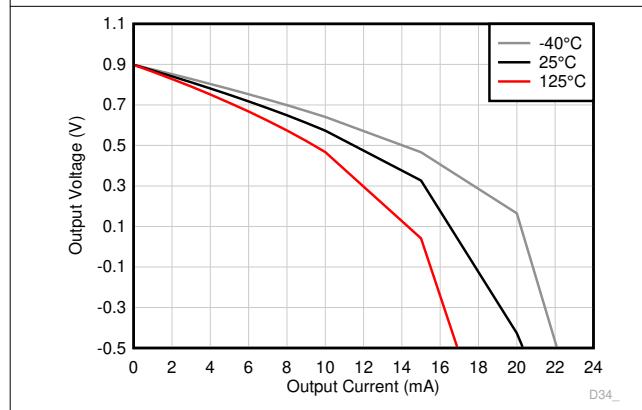
$V_+ = 2.75\text{V}$ 、 $V_- = -2.75\text{V}$

図 6-21. 出力電圧スイングと出力電流との関係 (ソース)



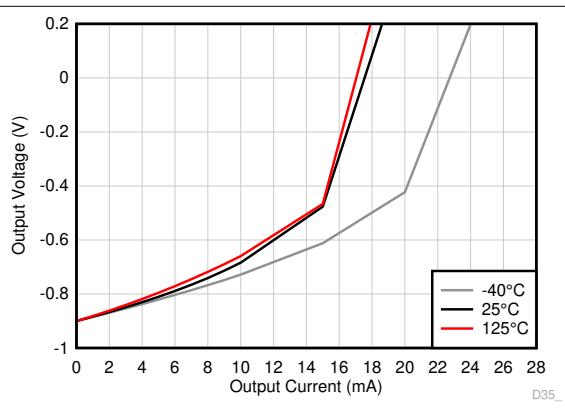
$V_+ = 2.75\text{V}$ 、 $V_- = -2.75\text{V}$

図 6-22. 出力電圧スイングと出力電流との関係 (シンク)



$V_+ = 0.9\text{V}$ 、 $V_- = -0.9\text{V}$

図 6-23. 出力電圧スイングと出力電流との関係 (ソース)



$V_+ = 0.9\text{V}$ 、 $V_- = -0.9\text{V}$

図 6-24. 出力電圧スイングと出力電流との関係 (シンク)

6.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V+ = 2.75\text{V}$ 、 $V- = -2.75\text{V}$ 、 $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続、 $V_{\text{CM}} = V_S/2$ 、 $V_{\text{OUT}} = V_S/2$ (特に記述のない限り)

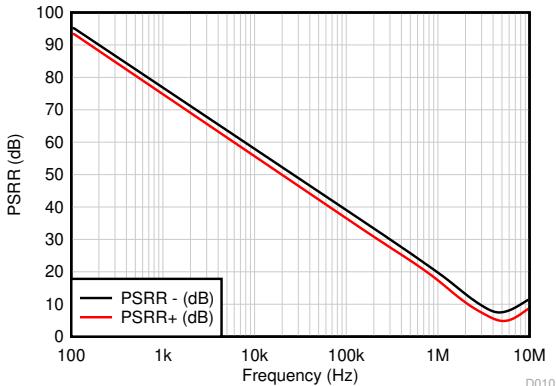
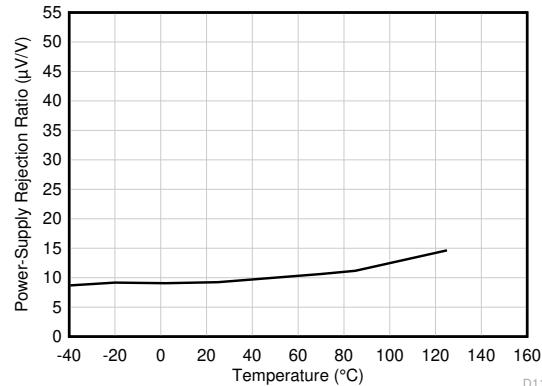


図 6-25. PSRR と周波数との関係



$V_S = 1.5\text{V} \sim 5.5\text{V}$

図 6-26. DC PSRR と温度との関係

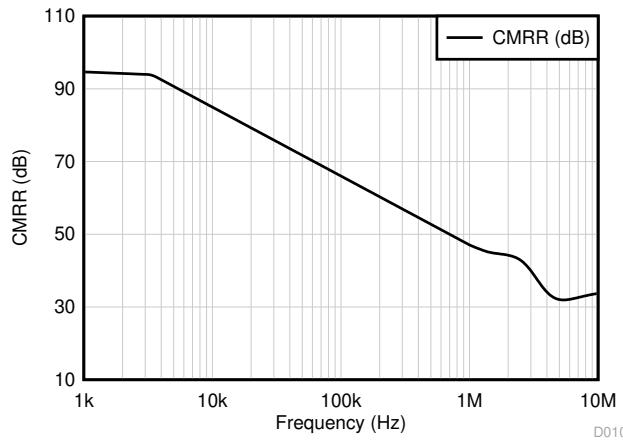
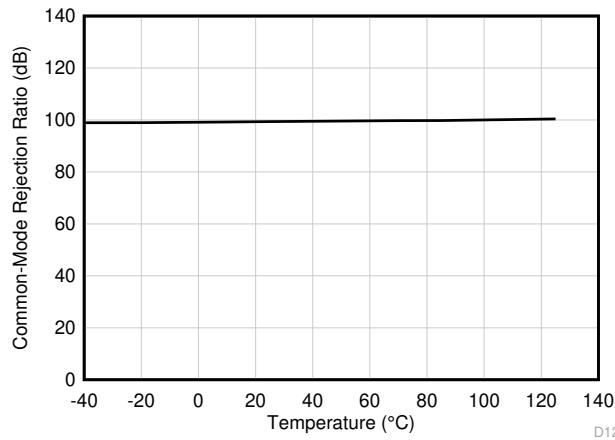


図 6-27. CMRR と周波数との関係



$V_S = 5.5\text{V}, (V-) < V_{\text{CM}} < (V+) - 0.6\text{V}$

図 6-28. DC CMRR と温度との関係

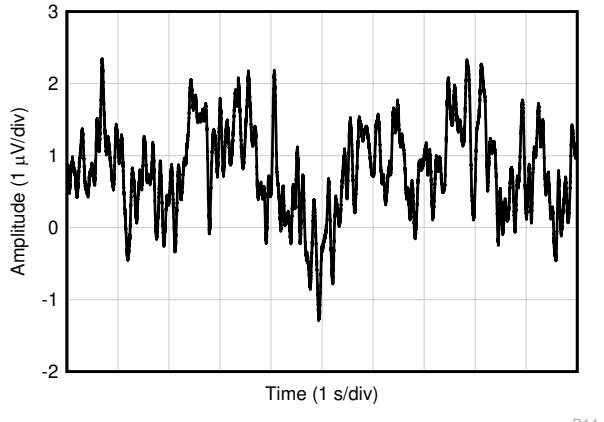


図 6-29. 時間領域での 0.1Hz~10Hz の電圧ノイズ

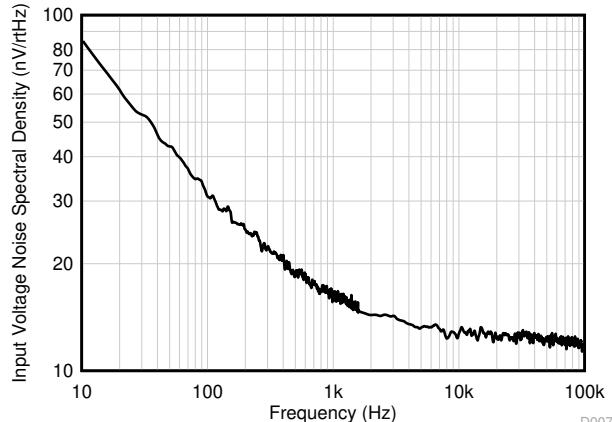


図 6-30. 入力電圧ノイズスペクトル密度

6.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V+ = 2.75\text{V}$ 、 $V- = -2.75\text{V}$ 、 $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続、 $V_{CM} = V_S/2$ 、 $V_{OUT} = V_S/2$ (特に記述のない限り)

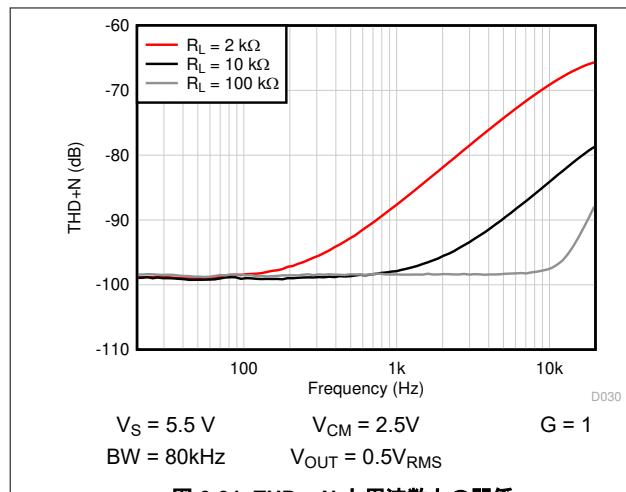


図 6-31. THD + N と周波数との関係

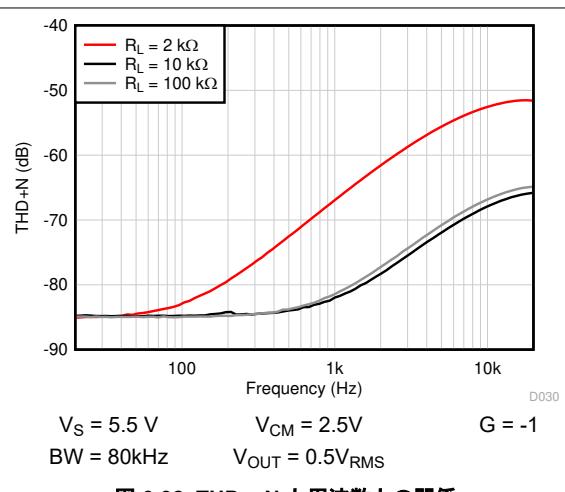


図 6-32. THD + N と周波数との関係

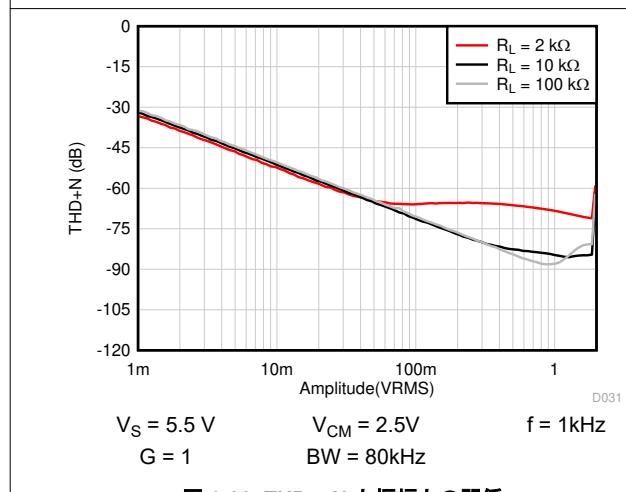


図 6-33. THD + N と振幅との関係

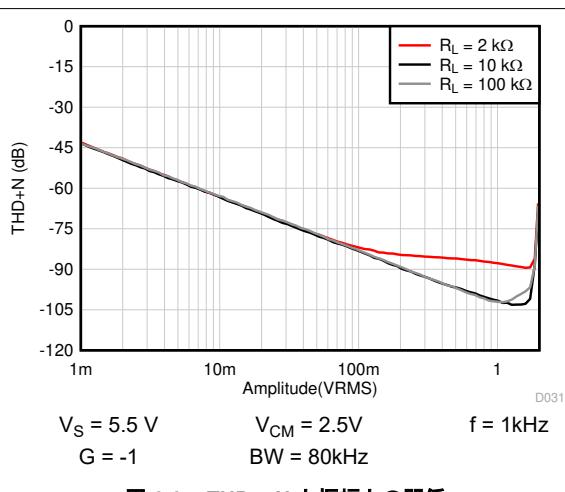


図 6-34. THD + N と振幅との関係

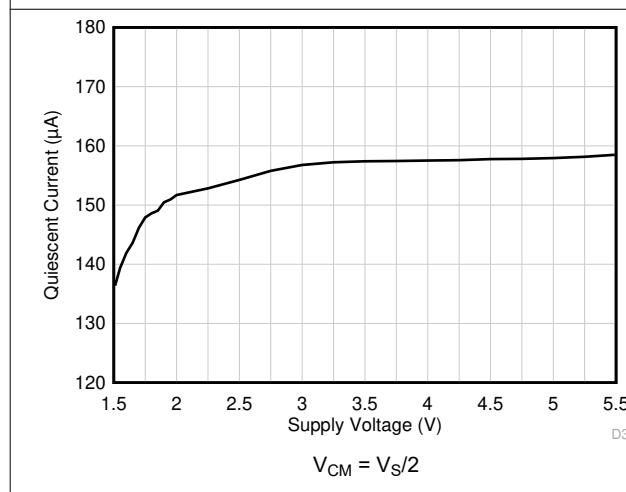


図 6-35. 静止電流と電源電圧との関係

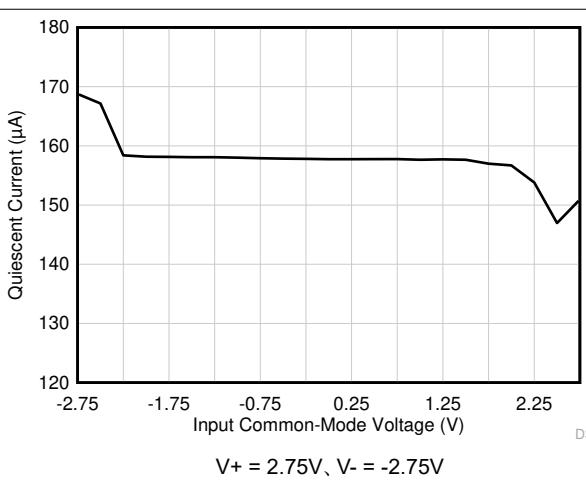


図 6-36. 静止電流と同相電圧との関係

6.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_+ = 2.75\text{V}$ 、 $V_- = -2.75\text{V}$ 、 $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続、 $V_{\text{CM}} = V_S/2$ 、 $V_{\text{OUT}} = V_S/2$ (特に記述のない限り)

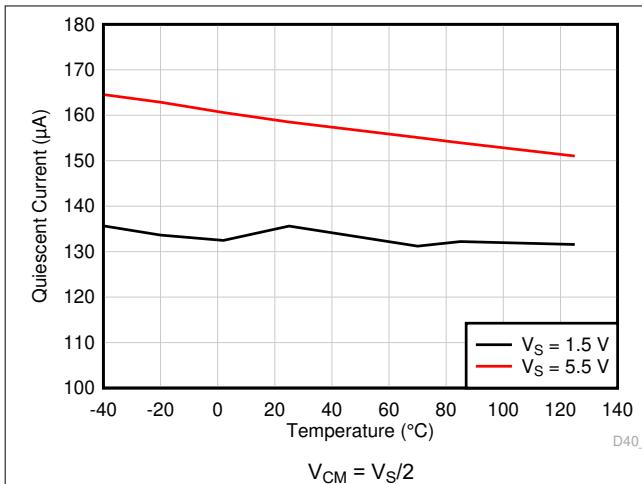


図 6-37. 静止電流と温度との関係

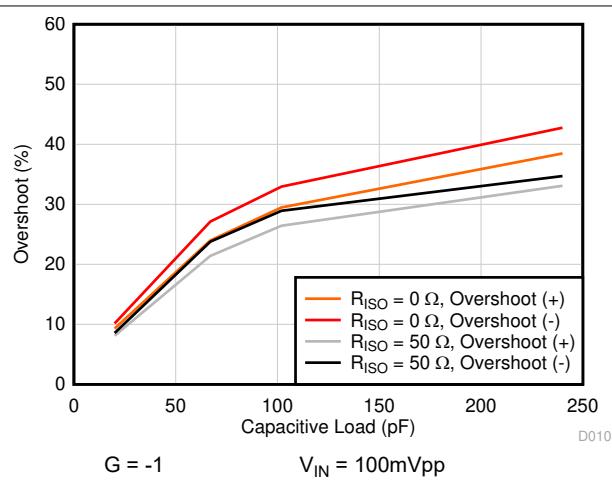


図 6-38. 小信号オーバーシュートと容量性負荷との関係

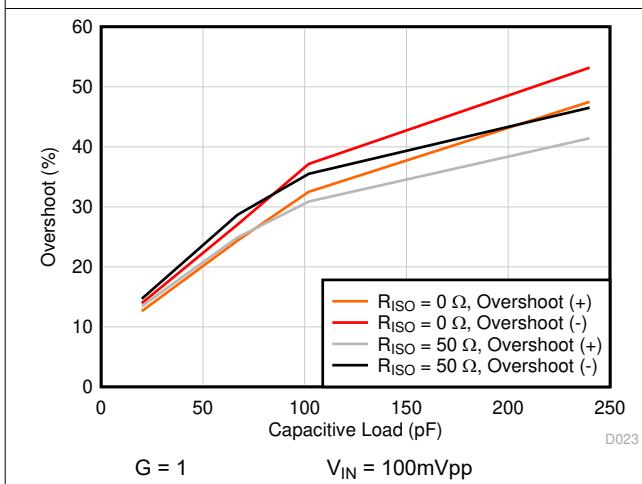


図 6-39. 小信号オーバーシュートと容量性負荷との関係

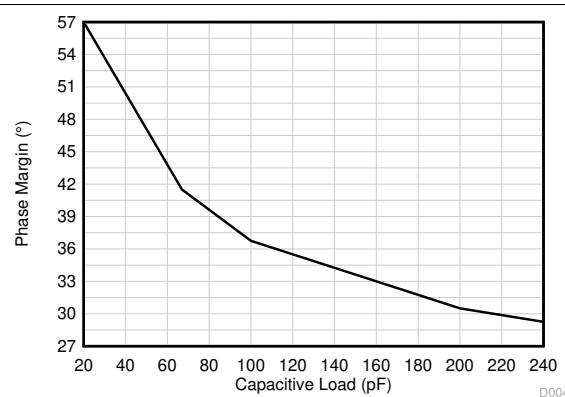


図 6-40. 位相マージンと容量性負荷との関係

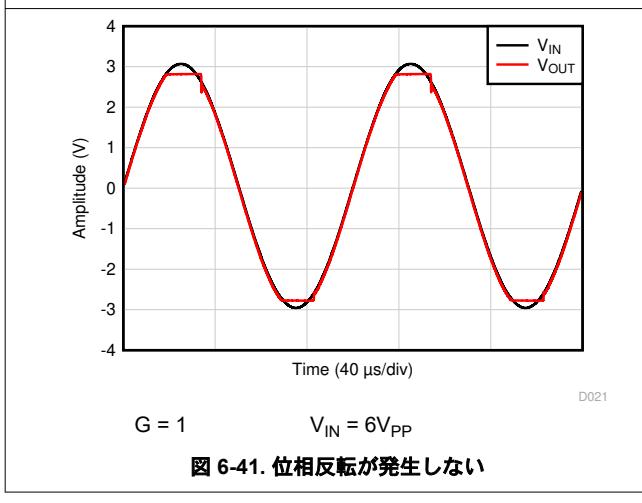


図 6-41. 位相反転が発生しない

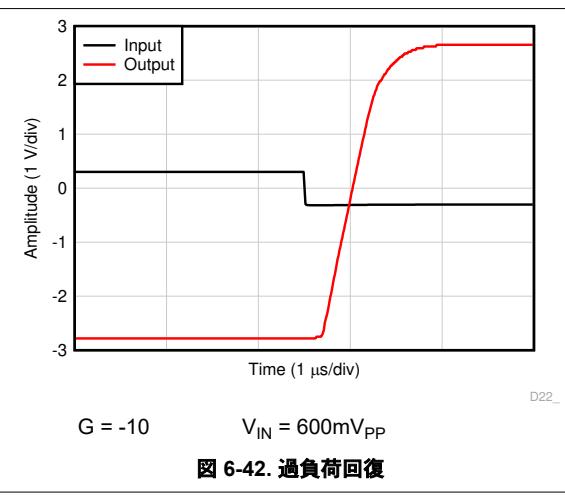
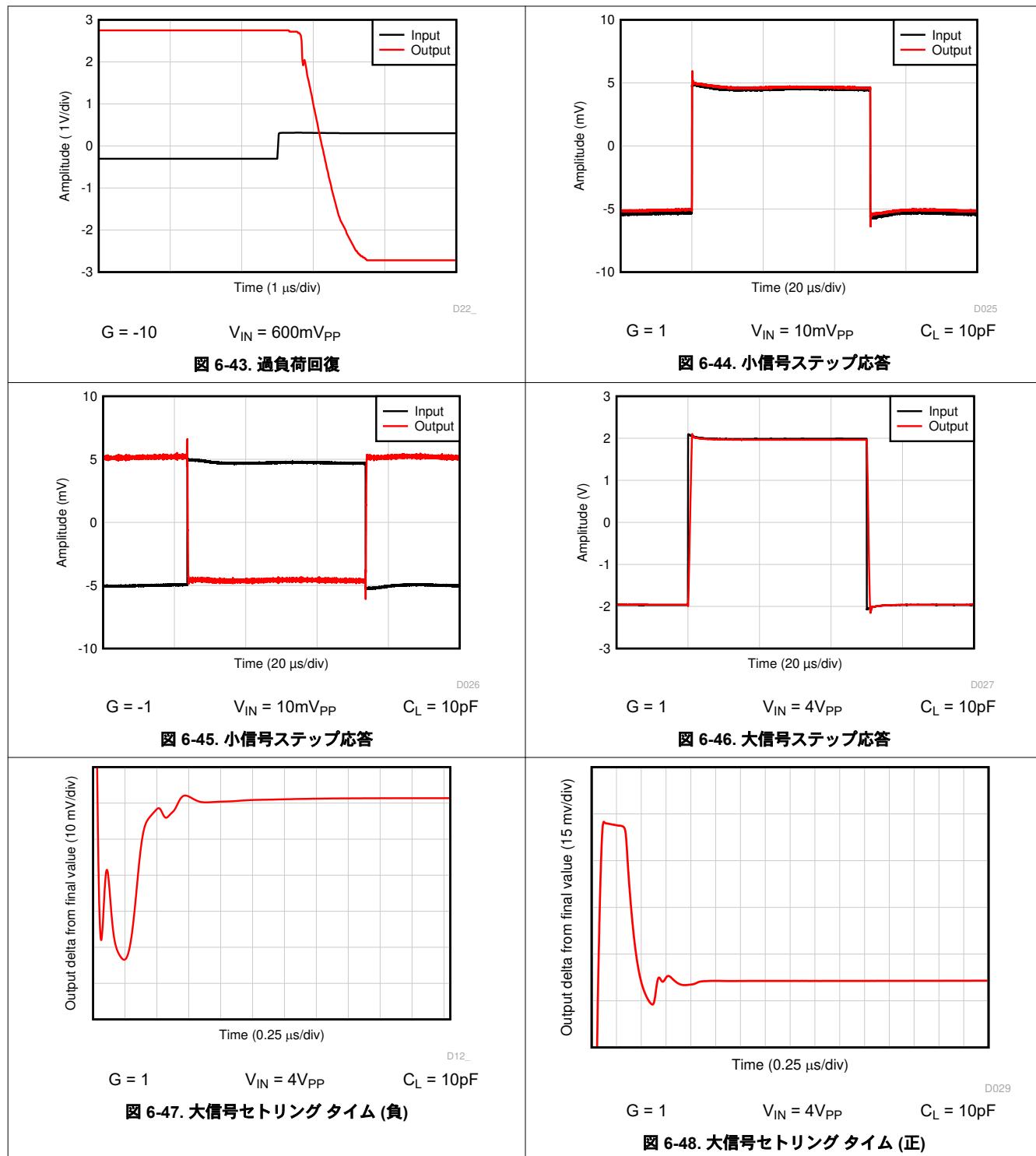


図 6-42. 過負荷回復

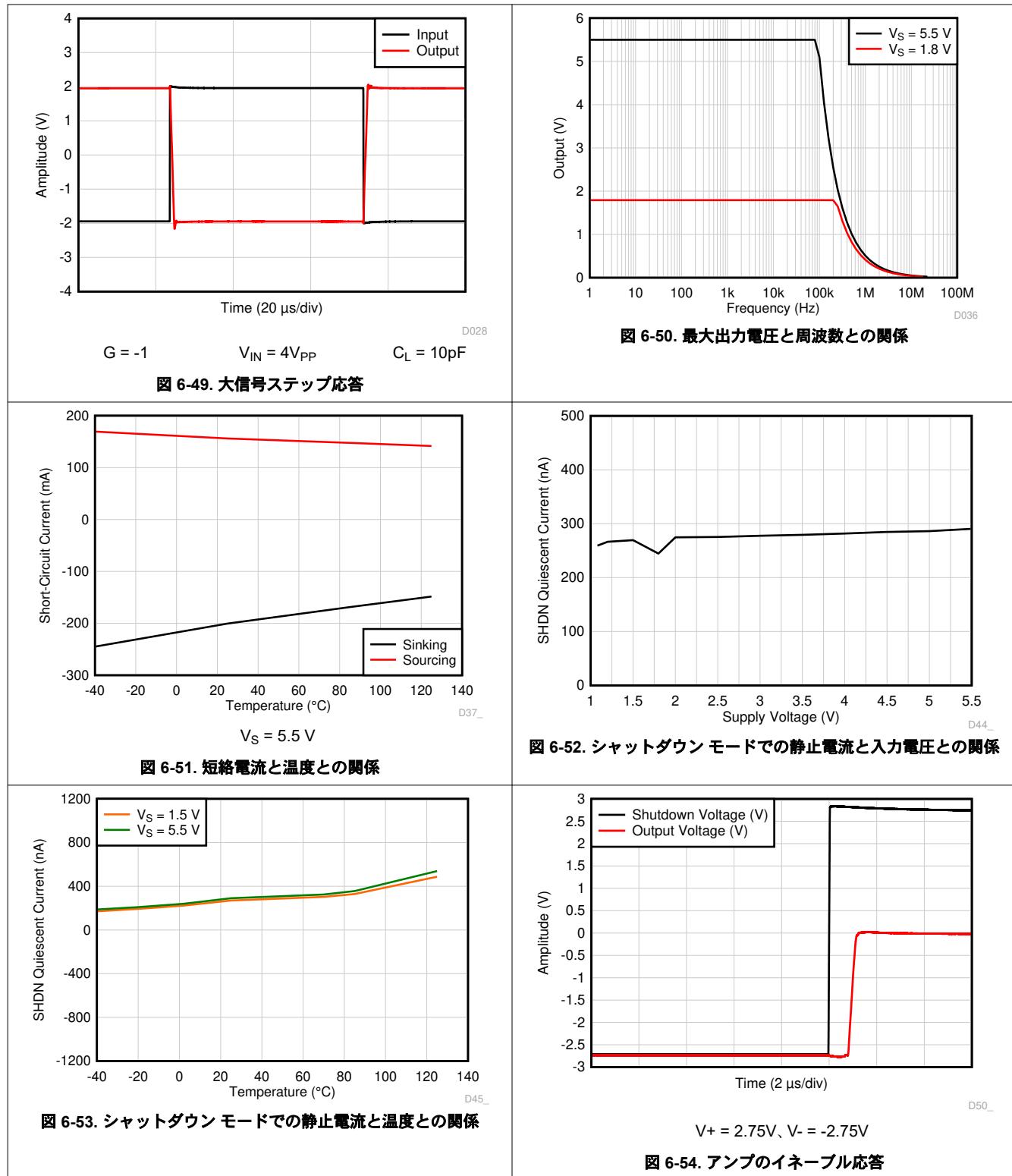
6.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V+ = 2.75\text{V}$ 、 $V- = -2.75\text{V}$ 、 $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続、 $V_{CM} = V_S/2$ 、 $V_{OUT} = V_S/2$ (特に記述のない限り)



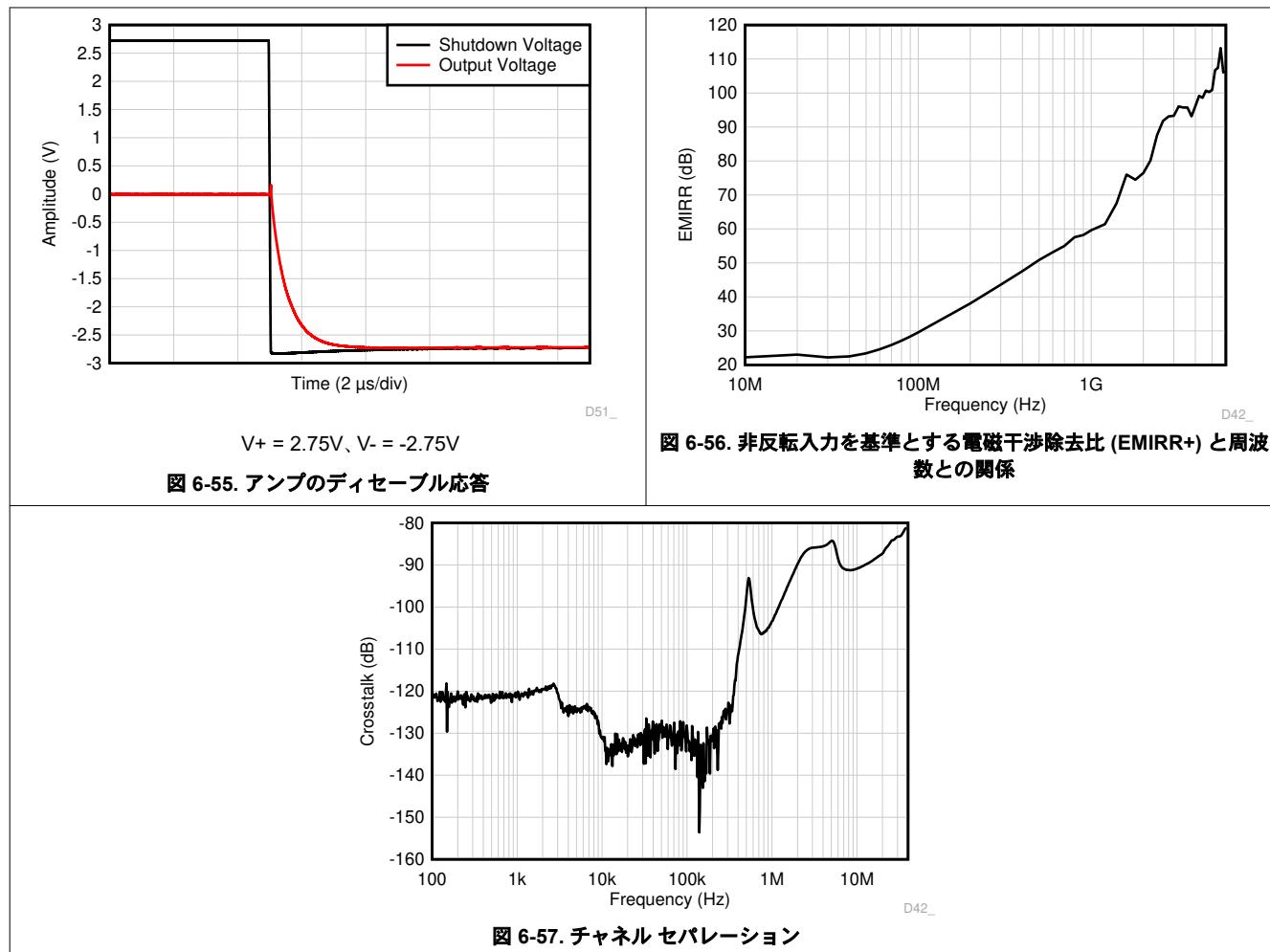
6.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_+ = 2.75\text{V}$ 、 $V_- = -2.75\text{V}$ 、 $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続、 $V_{\text{CM}} = V_S/2$ 、 $V_{\text{OUT}} = V_S/2$ (特に記述のない限り)



6.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V+ = 2.75\text{V}$ 、 $V- = -2.75\text{V}$ 、 $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続、 $V_{\text{CM}} = V_S/2$ 、 $V_{\text{OUT}} = V_S/2$ (特に記述のない限り)



7 詳細説明

7.1 概要

OPAx310 ファミリのオペアンプには、シングル (OPA310)、デュアル (OPA2310)、およびクワッド チャネル (OPA4310) のレール ツー レール入出力スイング能力を備えた超低電圧 (1.5V~5.5V)、大出力電流オペアンプがあります。OPAx310 は非常に高速なシャットダウン応答も特長としており、イネーブル時間仕様の標準値はわずか $0.9\mu\text{s}$ です。この機能により、アプリケーションでアンプのシグナル チェーンのデューティ サイクルが必要な場合に、消費電力を削減できます。OPAx310 は、入力から正の電源レールに向かってダイオードが接続されていないフェイルセーフ入力 ESD 構造を採用し、堅牢な ESD 性能を実現しています。

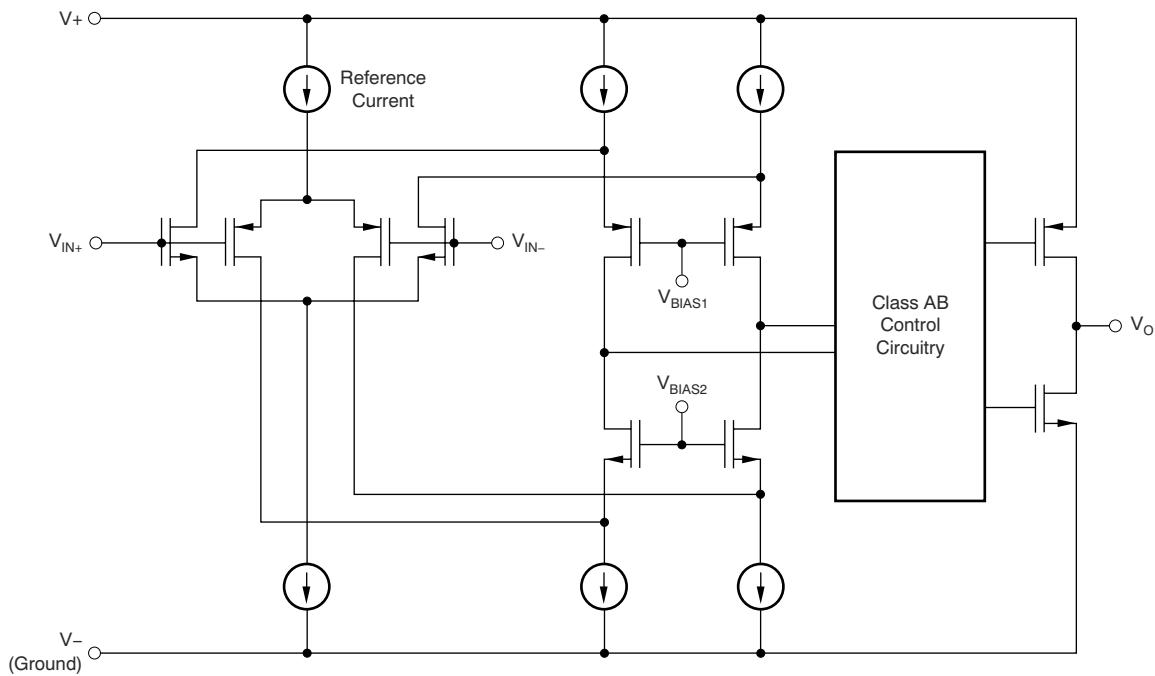
OPAx310 は、パワー パッド付き、標準、小型パッケージで供給され、電流制限、サーマル シャットダウン保護機能を内蔵しているため、大出力電流で動作しているときにも優れた堅牢性を実現しています。OPAx310 は、レールに非常に近いスイングが可能であり、5.5V 電源では温度範囲全体にわたって短絡電流は $\pm 75\text{mA}$ (最小値) で、静止電流はわずか $165\mu\text{A}$ です。低電圧、低 I_Q 、高出力電流の組み合わせにより、このデバイスは非常に独特で、幅広い汎用および高電流アプリケーションに最適です。複数のオペアンプを並列接続することにより、さらに大きい出力電流性能を簡単に実現できます。これらのデバイスは、LED ドライバ、LCD ドライバ、レーザードライバ、TEC ドライバアプリケーションに最適であり、リファレンス バッファ、ガード アンプ、ディスクリート LDO としても使用できます。

入力同相電圧範囲には両方のレールが含まれているため、OPAx310 シリーズは多くの単電源構成またはデュアル電源構成で使用できます。レール ツー レールの入力および出力スイングにより、特に低電源アプリケーションでダイナミックレンジが大幅に拡大するため、サンプリング A/D コンバータ (ADC) の駆動に最適です。さらに、Class AB 出力段は、V+ とグランド間の任意のポイントに接続される、小さい抵抗性負荷を駆動できます。

OPAx310 は、位相マージン 40° (代表値) で最大 75pF を駆動でき、3MHz のゲイン帯域幅積、 $3\text{V}/\mu\text{s}$ のスルーレート、 $4\mu\text{V}_{\text{p-p}}$ の統合ノイズ (0.1Hz~10Hz) を特長とし、チャネルあたりの消費電流はわずか $165\mu\text{A}$ であるため、非常に低い消費電力で優れた AC 性能を実現できます。DC アプリケーションでも、低い入力バイアス電流 (代表値 1pA)、良好な入力オフセット電圧 (代表値 0.25mV)、良好な PSRR (代表値 $10\mu\text{V}/\text{V}$)、CMRR (代表値 80dB)、 A_{OL} (代表値 125dB) であることが有益となります。

OPAx310 ファミリは、堅牢に設計されているため、回路設計を簡素化できます。これらのオペアンプは、無線周波数干渉 (RFI) と電磁干渉 (EMI) の除去フィルタ、ユニティ ゲイン安定性、および入力オーバードライブ状態での無位相反転を備えています。

7.2 機能ブロック図



7.3 機能説明

7.3.1 動作電圧

OPAx310 シリーズのオペアンプは 1.8V~5.5V での動作が完全に規定されており、1.5V~1.8V でのアンプ動作がテストされています。また、多くの仕様は -40°C から 125°C まで適用されます。動作電圧または温度によって大きく変化するパラメータについては、「[代表的特性](#)」に示します。テキサス・インスツルメンツでは、0.01μF 以上のセラミック コンデンサを使用して電源ピンをバイパスすることを強く推奨します。

7.3.2 レール ツー レール入力

OPAx310 シリーズの入力同相モード電圧範囲は、両方の電源レールまで及びます。これは、1.5V という非常に低い電源電圧で動作している場合でも、標準電源電圧の 5.5V で動作している場合でも同様です。この性能は、コンプリメンタリ入力段 (P チャネル差動ペアと並んで配置された N チャネル入力差動ペア) により達成されています。詳細については、「[機能ブロック図](#)」を参照してください。

相補入力段を持つほとんどのアンプでは、入力ペアの 1 つ (通常は P チャネル入力ペア) は、入力オフセット電圧、オフセットドリフトにおいて、N チャネル ペアよりもわずかに優れた性能を実現するように設計されています。そのため、P チャネル ペアが同相範囲の大部分をカバーし、正のレールからの特定のスレッショルド電圧で、N チャネル ペアが徐々に引き継ぎ始めるように設計されています。スレッショルド電圧の直後、遷移領域と呼ばれる狭い範囲の間は、両方の入力ペアが動作します。この領域を超えると、N チャネル ペアが完全に動作を引き継ぎます。この遷移領域内では、この領域の外側でデバイスが動作しているときと比較して、PSRR、CMRR、オフセット電圧、オフセットドリフト、THD が劣化する可能性があります。したがって、ほとんどのアプリケーションでは一般的に、性能が多少向上する P チャネル入力範囲での動作が好まれます。

OPAx310 の場合、P チャネル ペアは通常 (V-)~(V+) - 0.4V の入力電圧でアクティブになり、N チャネル ペアは通常、正電源から (V+) - 0.4V までの入力電圧でアクティブになります。この遷移領域は通常、(V+) - 0.5V から (V+) - 0.3V まで発生し、この範囲では両方のペアがオンになります。上記の電圧レベルは、トランジスタのスレッショルド電圧に関するプロセスの変動によって変化する可能性があります。OPAx310 では、上記の 200mV の遷移領域は、どちらの方向でも最大 200mV 変動する可能性があります。したがって、過渡領域 (両方の段がオンになる) は、Low 側では (V+) - 0.7V~(V+) - 0.5V、High 側では最大 (V+) - 0.3V~(V+) - 0.1V の範囲になる可能性があります。

P チャネル入力ペアは通常、N チャネル入力ペアよりも性能が優れていることを考慮し、OPAx310 は、業界で最も優れた入力アンプと比較して、P チャネル入力ペアの範囲が大幅に広がるように設計されています。下に OPAx310 と TLV900x を並べて比較しています。TLV900x は、正のレールから 1.4V までの P チャネル ペアで動作するように設計されており、OPAx310 は正のレールから 0.7V まで P チャネル ペアで動作するように設計されています。この OPAx310 における追加の 700mV の P チャネル入力ペア範囲は、P チャネル入力範囲が通常非常に制限される低電源電圧 (1.5V、1.8V など) で動作する場合に特に有益です。

そのため、入力信号の広い同相スイングは、OPAx310 の P チャネル入力ペアの範囲でより容易に対応でき、遷移領域を回避できる可能性が高いため、直線性を維持できます。

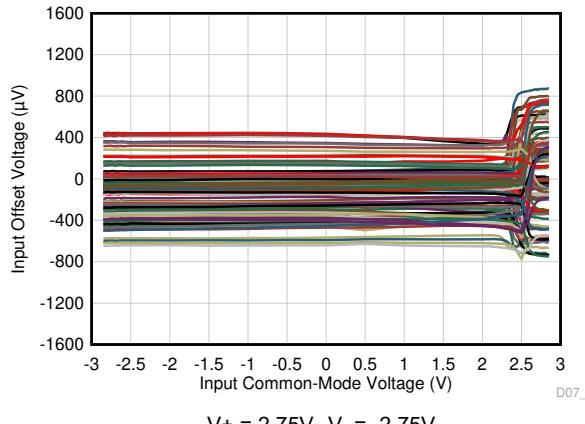


図 7-1. OPAx310 オフセット電圧と同相電圧との関係

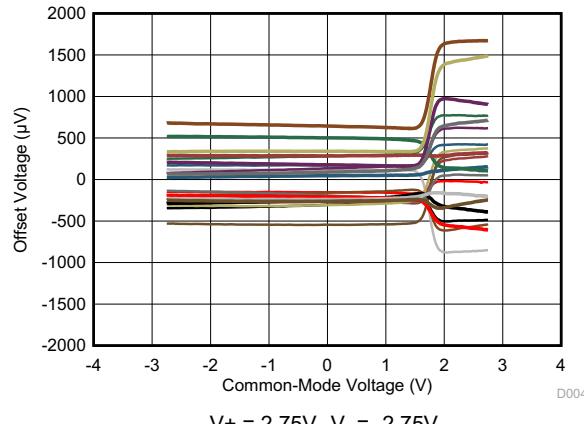


図 7-2. TLV900x のオフセット電圧と同相電圧との関係

7.3.3 レール ツー レール出力

OPAx310 は、マイクロパワー、大出力電流のオペアンプとして設計されており、堅牢な出力駆動能力を実現します。共通ソーストランジスタを使用した Class AB 出力段を使用して、完全なレール ツー レールの出力スイングを実現できます。室温で抵抗負荷が最大 $2k\Omega$ の場合、 $5.5V$ 電源では、出力は両方の電源レールから最大 $20mV$ までの範囲でスイングします。アンプがレールのどれだけ近くまでスイングできるかは、負荷条件によって変化します。

7.3.4 容量性負荷および安定度

OPAx310 は、容量性負荷の駆動が必要なアプリケーションで使用するように設計されています。すべてのオペアンプと同様に、OPAx310 が不安定になる特定の状況があり得ます。アンプが動作時に安定するかどうかを判断するには、そのオペアンプの回路構成、レイアウト、ゲイン、出力負荷などの要因を考慮します。容量性負荷を駆動するユニティゲイン ($1V/V$) バッファ構成のオペアンプは、より高いノイズゲインで動作するアンプよりも不安定になる傾向があります。容量性負荷は、オペアンプの出力抵抗と相まって、位相マージンを劣化させる極を帰還ループ内に形成します。容量性負荷が大きくなると、位相マージンの劣化が大きくなります。ユニティゲイン構成で動作している場合、OPAx310 は最大約 $75pF$ の純粋な容量性負荷で安定した状態を維持し、標準値 40° の良好な位相マージンを確保しており、 $250pF$ まで持続的な発振はありません。一部の大容量コンデンサ ($1\mu F$ よりも大きい値の C_L) の等価直列抵抗 (ESR) は、アンプが安定した状態を維持するように帰還ループの位相特性を変えるのに十分です。アンプの閉ループゲインを大きくすると、アンプはさらに大きな容量を駆動できます。より高い電圧ゲインでのアンプのオーバーシュート応答を測定すると、この能力の向上は明らかです。

ユニティゲイン構成で動作するアンプの容量性負荷駆動能力を向上する 1 つの手法は、図 7-3 に示すように、出力と直列に小さな抵抗 (標準的には 10Ω ~ 20Ω) を挿入することです。この抵抗は、大きな容量性負荷に伴うオーバーシュートとリンギングを大幅に低減します。ただし、この手法によって起こりうる 1 つの問題は、追加された直列抵抗と、容量性負荷と並列に接続されたすべての抵抗とによって分圧器が形成されることです。この分圧器は、出力スイングを低減させる出力ゲイン誤差を生じさせます。

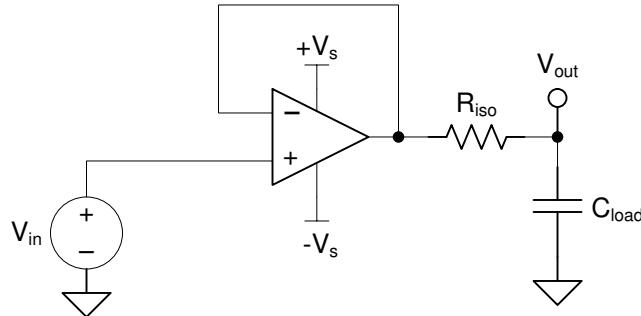


図 7-3. 容量性負荷駆動能力の向上

7.3.5 過負荷からの回復

過負荷からの回復は、オペアンプの出力が飽和状態から線形状態に回復するために必要な時間として定義されます。高い入力電圧または高いゲインが原因で、出力電圧が定格動作電圧を超えると、オペアンプの出力デバイスは飽和領域に入ります。いずれかの出力デバイスが飽和領域に入った後、出力段はリニア動作状態に戻るために追加の時間(過負荷復帰時間)を必要とします。出力段が線形状態に戻ると、アンプは指定されたスルーレートでスルーを開始します。したがって、過負荷状態の場合の伝搬遅延は、過負荷復帰時間とスルー時間の合計になります。

OPAx310 ファミリの過負荷復帰時間は約 0.75 μ s (標準値) です。

7.3.6 EMI 除去

OPAx310 は、内蔵の電磁干渉(EMI) フィルタリングを使用して、ワイヤレス通信(無線周波数干渉:RFI) や、アナログ信号チェーンとデジタルコンポーネントを組み合わせた高密度実装の基板などのソースから引き起こされる EMI の影響を低減します。EMI 耐性は回路設計手法により改善可能で、OPAx310 はこのような設計の改善を活用しています。テキサス・インスツルメンツは、10MHz から 6GHz までの幅広い周波数スペクトラルにわたって、オペアンプの耐性を正確に測定および数量化する機能を開発しました。OPAx310 でこのテストを行った結果を、図 7-4 に示します。実際のアプリケーションで一般的に発生する、特定の周波数における OPAx310 の EMIRR IN+ 値を、表 7-1 に示します。『オペアンプの EMI 除去率』アプリケーション レポートには、オペアンプに関連する EMIRR 性能の詳細情報が記載されており、www.tij.co.jp からダウンロードできます。

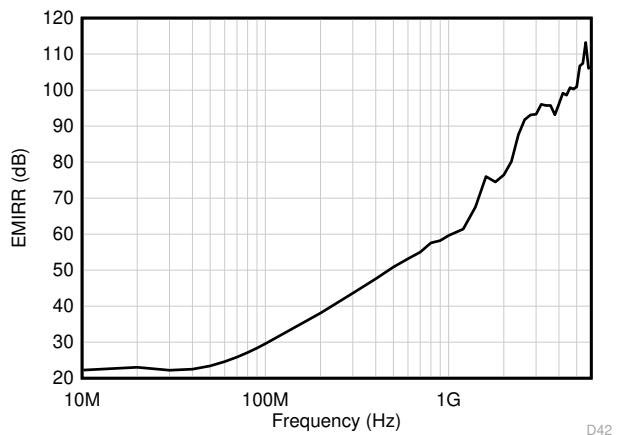


図 7-4. EMIRR テスト

表 7-1. 対象周波数における OPAx310 EMIRR IN+

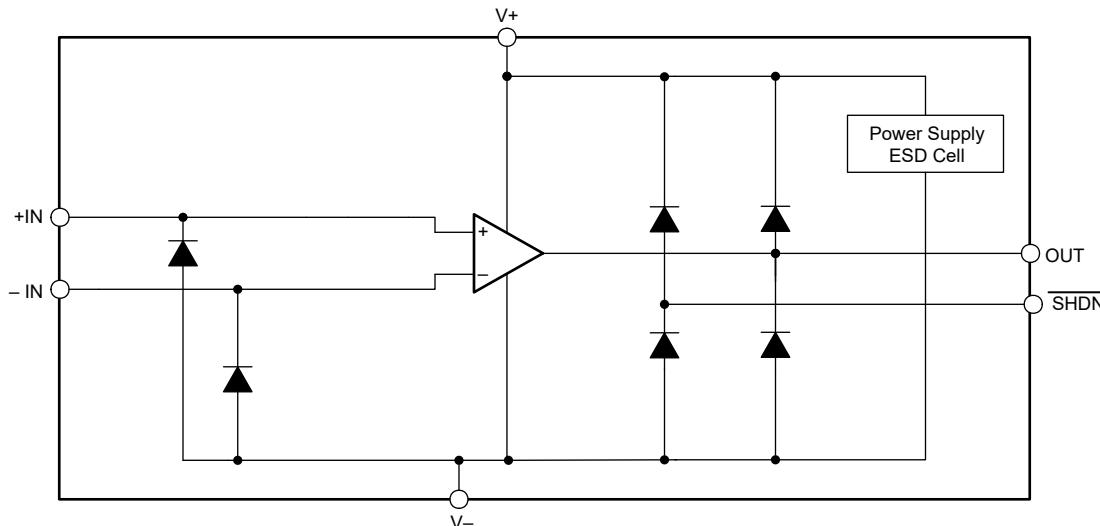
FREQUENCY	アプリケーションまたは割り当て	EMIRR IN+
400 MHz	モバイル無線、モバイル衛星、宇宙での運用、気象、レーダー、極超短波 (UHF) アプリケーション	48 dB
900MHz	GSM (モバイル通信) アプリケーション向けのグローバル システム、無線通信、ナビゲーション、GPS (最高 1.6GHz まで)、GSM、航空モバイル、UHF アプリケーション	58 dB
1.8GHz	GSM アプリケーション、モバイル パーソナル通信、プロードバンド、衛星、L バンド (1GHz~2GHz)	75 dB
2.4GHz	802.11b、802.11g、802.11n、Bluetooth®、モバイル パーソナル通信、産業用、科学用および医療用 (ISM) 無線帯域、アマチュア無線および衛星、S バンド (2GHz~4GHz)	90 dB
3.6GHz	無線測位、航空通信およびナビゲーション、衛星、モバイル、S バンド	95 dB
5GHz	802.11a、802.11n、航空通信とナビゲーション、モバイル通信、宇宙と衛星での運用、C バンド (4GHz~8GHz)	102 dB

7.3.7 ESD および電気的オーバーストレス

設計者は、オペアンプが電気的オーバーストレスにどの程度耐えられるのかという質問をすることがよくあります。これらの質問は、主にデバイスの入力に関するものですが、電源電圧ピンや、さらに出力ピンにも関係する場合があります。これらの各ピンの機能には、特定の半導体製造プロセスの電圧ブレークダウン特性と、ピンに接続された特定の回路とで決まる電気的ストレスの制限値があります。また、これらの回路には内部静電気放電 (ESD) 保護機能が組み込まれており、製品の組み立て前と組み立て中の両方で、偶発的な ESD イベントから保護します。

この基本的な ESD 回路と、電気的オーバーストレス イベントとの関連性を十分に理解しておくと役に立ちます。OPAx310 デバイスに搭載されている ESD 回路を、図 7-5 に示します。ESD 保護回路には、いくつかの電流ステアリング ダイオードが含まれており、これらは入力ピンや出力ピンから接続され、内部の電源ラインに戻るようルーティングされます。入力ピンおよび出力ピンは、オペアンプ内部の吸収デバイスで接続されます。この保護回路は、通常の回路動作中は非アクティブに保たれるよう設計されます。

OPAx310 には、入力と正電源ピンの間に電流ステアリング ダイオードが接続されていないことに注意してください。


図 7-5. 内部 ESD 等価回路

7.3.8 入力 ESD 保護

OPAx310 ファミリには、すべてのピンに内部 ESD 保護回路が組み込まれています。入力では、この保護は主にフェイルセーフ ESD 入力構造で構成され、図 7-5 に示すように、入力ピンと正電源ピンの間に電流ステアリング ダイオードが接続されていないことが特長です。この機能は、正の電源レールの前に入力信号が存在する可能性がある電源シーケンスシナリオで非常に有益です。フェイルセーフ入力 ESD 構造により、入力と正電源の間の短絡が防止されます。

7.3.9 シャットダウン機能

OPAx310 S デバイスには、オペアンプをディセーブルして低消費電力のスタンバイ モードに移行する $\overline{\text{SHDN}}$ ピンが搭載されています。このモードでは、室温でのオペアンプの消費電流は通常 500nA 未満です。 $\overline{\text{SHDN}}$ ピンはアクティブ Low なので、 $\overline{\text{SHDN}}$ ピンへの入力が有効なロジック High のとき、シャットダウン モードがイネーブルになります。

$\overline{\text{SHDN}}$ ピンは、オペアンプの負の電源レールを基準としています。シャットダウン機能のスレッショルドは約 500mV (標準値) で、電源電圧に応じて変化しません。スムーズなスイッチング特性を提供するため、スイッチング スレッショルドにはヒステリシスが含まれています。最適なシャットダウン動作を確保するため、 $\overline{\text{SHDN}}$ ピンは有効なロジック信号で駆動する必要があります。有効なロジック Low は、 V_- と $(V_-) + 0.2\text{V}$ の間の電圧と定義されます。有効なロジック High は、 $(V_-) + 1.2\text{V}$ と V_+ の間の電圧と定義されます。アンプをイネーブルするには、 $\overline{\text{SHDN}}$ ピンを有効なロジック High に駆動する必要があります。アンプをディセーブルするには、 $\overline{\text{SHDN}}$ ピンを有効なロジック Low に駆動する必要があります。TI では、シャットダウン ピンを有効な High 電圧または Low 電圧に接続するか、駆動することを強く推奨します。 $\overline{\text{SHDN}}$ ピンで許容される最高電圧は $(V_+) + 0.5\text{V}$ です。この電圧レベルを超えると、デバイスが損傷します。

$\overline{\text{SHDN}}$ ピンは高インピーダンスの CMOS 入力です。デュアル オペアンプのバージョンは独立に、クワッド オペアンプのバージョンはペア単位で、ロジック入力により制御されます。バッテリ駆動のアプリケーションでは、この機能を使用することによって平均電流を大幅に低下させ、バッテリ駆動時間を延長できます。すべてのチャネルを完全にシャットダウンするためのイネーブルおよびディセーブル時間は $1\mu\text{s}$ 未満にすることを目標としています。ディセーブル状態のとき、出力は高インピーダンス状態です。このアーキテクチャにより、OPAx310S はゲート式アンプとして動作したり (デバイスの出力を共通のアナログ出力バスに多重化したりできます)。シャットダウン時間 (t_{OFF}) は負荷条件に依存し、負荷抵抗が増加すると増加します。特定のシャットダウン時間内にシャットダウン (ディセーブル) を確実に実行するには、指定された $10\text{k}\Omega$ 負荷を中間電源 ($V_S/2$) に接続する必要があります。

7.3.10 露出サーマル パッド付きパッケージ

OPAx310 ファミリは、露出サーマル パッドを備えた WQFN-16 (RTE) などのパッケージで供給されます。パッケージ内で、ダイは導電性コンパウンドを使用して、このサーマル パッドに取り付けられます。このため、露出サーマル パッド付きのパッケージを使用する場合、サーマル パッドは (V_-) に接続する必要があります。 (V_-) 以外の電位にサーマル パッドを取り付けることは許容されません。これを行った場合、デバイスの性能は 電気的特性 の表と一致しない可能性があります。

7.4 デバイスの機能モード

OPAx310 デバイスには、1 つの機能モードがあります。電源電圧が $1.5\text{V} (\pm 0.75\text{V})$ と $5.5\text{V} (\pm 2.75\text{V})$ の間にある限り、これらのデバイスは機能します。

OPAx310S デバイスにはシャットダウン ピンがあり、オペアンプを低消費電力モードに設定するため使用できます。詳細については、「シャットダウン機能」セクションを参照してください。

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

OPAx310 ファミリーのレール ツー レール入出力オペアンプは、大出力電流アプリケーション専用に設計されています。本デバイスは 1.5V~5.5V で動作し、ユニティ ゲインで安定しているため、幅広い汎用アプリケーションに適しています。Class AB 出力段は、デバイスが強制的に短絡モードやサーマル シャットダウン モードに移行していなければ、V+ と V- 間の任意のポイントに接続された小さな抵抗負荷を駆動できます。入力同相電圧範囲には両方のレールが含まれているため、OPAx310 シリーズは多くの単電源構成またはデュアル電源構成で使用できます。

8.2 代表的なアプリケーション

8.2.1 OPAx310 ローサイド電流センシング アプリケーション

図 8-1 に、ローサイド電流センシング アプリケーション用に構成された OPAx310 を示します。

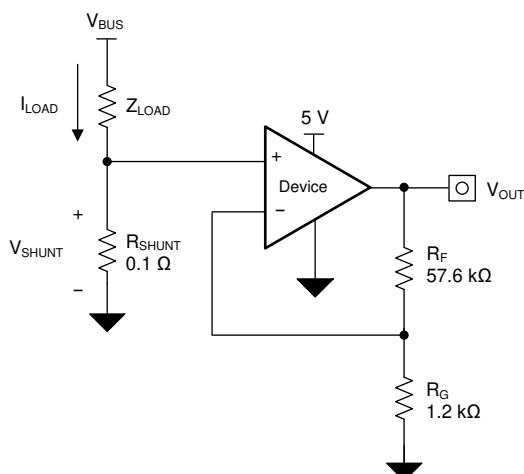


図 8-1. OPAx310 ローサイド電流センシング アプリケーションの

8.2.1.1 設計要件

この設計の設計要件は次のとおりです。

- 負荷電流: 0A~1A
- 最大出力電圧: 4.9V
- 最大シャント電圧: 100mV

8.2.1.2 詳細な設計手順

図 8-1 の回路の伝達関数は、式 1 に示すとおりです。

$$V_{\text{OUT}} = I_{\text{LOAD}} \times R_{\text{SHUNT}} \times \text{Gain} \quad (1)$$

負荷電流 (I_{LOAD}) により、シャント抵抗 (R_{SHUNT}) の両端で電圧降下が発生します。負荷電流は 0A~1A の範囲で設定されます。最大負荷電流時のシャント電圧を 100mV 未満に維持するために、最大シャント抵抗は 式 2 を使用して示されます。

$$R_{\text{SHUNT}} = \frac{V_{\text{SHUNT_MAX}}}{I_{\text{LOAD_MAX}}} = \frac{100 \text{ mV}}{1 \text{ A}} = 100 \text{ m}\Omega \quad (2)$$

式 2 から、 R_{SHUNT} は 100mΩ と計算されます。 I_{LOAD} と R_{SHUNT} によって生成される電圧降下は OPAx310 によって増幅され、約 0V~4.9V の出力電圧を生成します。OPAx310 が必要な出力電圧を生成するために必要なゲインは、式 3 を使用して計算されます。

$$\text{Gain} = \frac{V_{\text{OUT_MAX}} - V_{\text{OUT_MIN}}}{V_{\text{IN_MAX}} - V_{\text{IN_MIN}}} \quad (3)$$

式 3 から、必要なゲインは 49V/V と計算されます。これは抵抗 R_F と R_G で設定します。OPAx310 のゲインを 49V/V に設定するための抵抗 R_F および R_G のサイズは式 4 で計算します。

$$\text{Gain} = 1 + \frac{R_F}{R_G} \quad (4)$$

R_F に 57.6kΩ、 R_G に 1.2kΩ を選択すると、組み合わせで 49V/V に等しくなります。図 8-1 に示す回路で測定された伝達関数を、図 8-2 に示します。ゲインは、帰還抵抗とゲイン抵抗のみの関数であることに注意します。このゲインは抵抗の比を変化させることで調整され、実際の抵抗値は設計者が設定しようとするインピーダンスレベルによって決定されます。インピーダンスレベルによって、電流ドレイン、浮遊容量の影響、その他いくつかの動作が決まります。最適なインピーダンスの選択はシステムごとに異なるので、システムのパラメータに合わせて最適なインピーダンスを選択する必要があります。

8.2.1.3 アプリケーション曲線

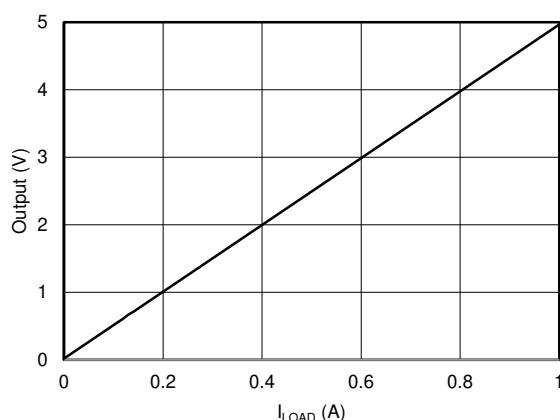


図 8-2. ローサイド、電流検出の伝達関数

8.3 電源に関する推奨事項

OPAx310 ファミリは、1.5V～5.5V ($\pm 0.75V$ ～ $\pm 2.75V$) で動作することが規定されています。また、多くの仕様は -40°C～125°C で適用されます。動作電圧または温度によって大きく変動する可能性があるパラメータを「[電気的特性](#)」に示します。

注意

電源電圧が 7V を超えると、デバイスに恒久的な損傷を与える可能性があります。[絶対最大定格](#) の表を参照してください。

電源ピンの近くに $0.1\mu F$ のバイパスコンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源からの結合による誤差を低減できます。バイパスコンデンサの配置の詳細については、「[レイアウトのガイドライン](#)」セクションを参照してください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するため、以下のような優れた PCB レイアウト手法を使用してください。

- ノイズは、基板の電源接続を経由してアナログ回路に伝播し、オペアンプ自体の電源ピンに伝搬することがあります。バイパスコンデンサは、グランドへの低インピーダンスなパスを設置して、結合ノイズを低減するために使用されます。
 - 各電源ピンとグランドとの間に、低 ESR の $0.1\mu F$ セラミックバイパスコンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、V+ からグランドに対して 1 つのバイパスコンデンサを接続すれば十分です。
- 回路のアナログ部分とデジタル部分のグランドを分離することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグランドプレーン専用です。グランドプレーンは熱の分散に役立ち、EMI (電磁干渉) ノイズを拾いにくくなります。デジタルグランドとアナロググランドを物理的に分離し、グランド電流の流れに注意を払います。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらの配線を分離しておけない場合、敏感な配線をノイズの多い配線と平行にするよりは、垂直に交差させる方がはるかに良い結果が得られます。
- 外付け部品は、可能な限りデバイスに近く配置します（「[レイアウト例](#)」を参照）。 R_1 と R_2 を反転入力に近付けて配置すると、寄生容量を最小化できます。
- 入力配線はできる限り短くします。入力配線は回路の最も敏感な部分であることに注意します。
- 重要な配線の周囲に、駆動される低インピーダンスのガードリングを配置することを検討します。ガードリングを使用すると、付近に存在する、さまざまな電位の配線からのリーク電流を大幅に低減できます。
- TI では、最高の性能を得るために、基板組み立ての後で PCB をクリーニングすることを推奨します。
- 高精度の集積回路では、プラスチックパッケージへの水分の侵入により性能が変化する場合があります。TI では、PCB を水で洗浄した後で、PCB アセンブリをベーキングして、クリーニング中にデバイスのパッケージに取り込まれた水分を除去することを推奨します。ほとんどの状況では、クリーニング後に 85°C で 30 分間の低温ベーキングを行えば十分です。

8.4.2 レイアウト例

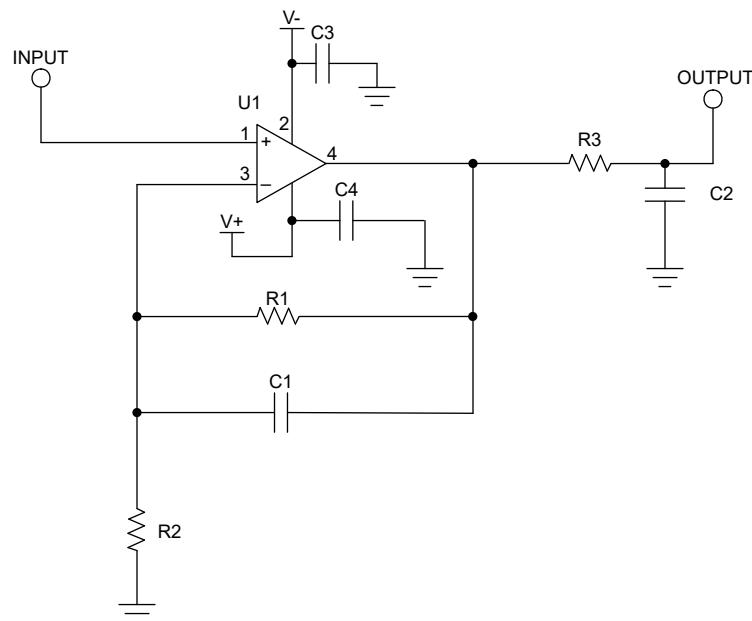


図 8-3. 非反転構成のレイアウト例の回路図

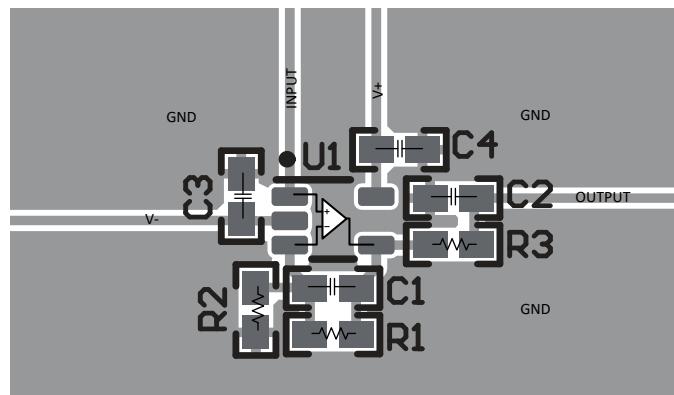


図 8-4. 非反転構成用オペアンプの基板レイアウト - SC70 (DCK) パッケージ

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『オペアンプの EMI 除去率 (OPA333 および OPA333-Q1 を使用した例)』アプリケーション・レポート
- テキサス・インスツルメンツ、『QFN/SON の PCB 実装』アプリケーション・レポート
- テキサス・インスツルメンツ、『クワッド・フラットパック・リード端子なしロジック・パッケージ』アプリケーション・レポート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

Bluetooth® is a registered trademark of Bluetooth SIG, Inc.

すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision G (January 2024) to Revision H (November 2024)	Page
• データシートの OPAx310-Q1 への言及をすべて削除.....	1

Changes from Revision F (June 2023) to Revision G (January 2024)	Page
• 「電源に関する推奨事項」を 6V から 7V に更新	35

Changes from Revision E (December 2022) to Revision F (June 2023)	Page
• チャネル数とパッケージリードが含まれるように「製品情報」表の形式を更新.....	1

Changes from Revision D (October 2022) to Revision E (December 2022)	Page
• OPA2310S RUG および OPA4310 D, PW パッケージのレビュー タグを削除.....	1
• OPA2310S RTE および OPA4310 D, PW パッケージのレビュー タグを削除.....	3
• 「仕様」セクションに OPA2310S のシャットダウン時静止電流を追加.....	10

Changes from Revision C (September 2022) to Revision D (October 2022)	Page
• OPA310/OPA310S の DBV, DCK パッケージを「レビュー」から「量産」に変更.....	1
• OPA310/OPA310S DBV, DCK パッケージのレビュー タグを削除.....	3
• 「仕様」セクションでイネーブル時間の最大制限を $1.6\mu\text{s}$ に変更	10

Changes from Revision B (July 2022) to Revision C (September 2022)	Page
• イネーブル時間を $0.9\mu\text{s}$ (標準値) に更新.....	1
• OPA310 DBV および OPA4310S RTE パッケージのレビュー タグを削除.....	1
• 「仕様」セクションから「シャットダウン」セクションがレビューであることを示す脚注を削除.....	10

Changes from Revision A (June 2022) to Revision B (July 2022)	Page
• DGK を「レビュー」から「量産」に変更.....	1
• 「デバイス比較」セクションを更新し、シャットダウンに関する情報を追加.....	3
• DGK パッケージのレビュー タグを削除.....	3
• 「仕様」セクションに「シャットダウン」セクションがレビューであることを示す脚注を追加.....	10
• 「ESD および電気的オーバーストレス」セクションを更新し、シャットダウン ピンの ESD 構造を表示.....	31

Changes from Revision * (April 2022) to Revision A (June 2022)	Page
• ステータスを「事前情報」から「量産データ」に変更.....	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は指定したデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側のナビゲーションをご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](#) やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2310IDGKR	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O231
OPA2310IDGKR.A	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O231
OPA2310IDR	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O2310D
OPA2310IDR.A	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O2310D
OPA2310IDSGR	Active	Production	WSON (DSG) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O23G
OPA2310IDSGR.A	Active	Production	WSON (DSG) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O23G
OPA2310SIRUGR	Active	Production	X2QFN (RUG) 10	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1NZ
OPA2310SIRUGR.A	Active	Production	X2QFN (RUG) 10	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1NZ
OPA310IDBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O310
OPA310IDBVR.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O310
OPA310IDCKR	Active	Production	SC70 (DCK) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1NN
OPA310IDCKR.A	Active	Production	SC70 (DCK) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1NN
OPA310SIDBVR	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O31S
OPA310SIDBVR.A	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O31S
OPA310SIDCKR	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1NP
OPA310SIDCKR.A	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1NP
OPA4310IDR	Active	Production	SOIC (D) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPA4310D
OPA4310IDR.A	Active	Production	SOIC (D) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPA4310D
OPA4310IPWR	Active	Production	TSSOP (PW) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O4310PW
OPA4310IPWR.A	Active	Production	TSSOP (PW) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O4310PW
OPA4310SIRTER	Active	Production	WQFN (RTE) 16	5000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O4310S
OPA4310SIRTER.A	Active	Production	WQFN (RTE) 16	5000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O4310S

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

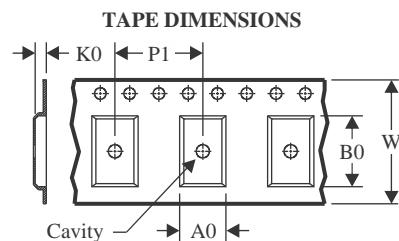
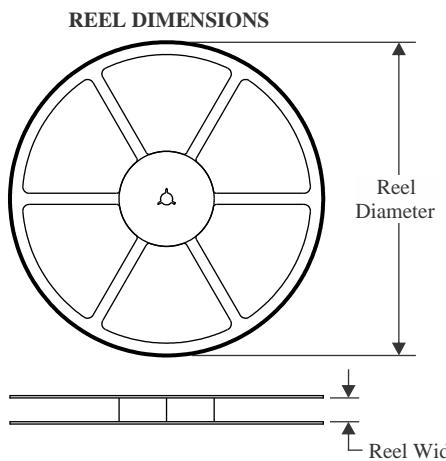
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF OPA310 :

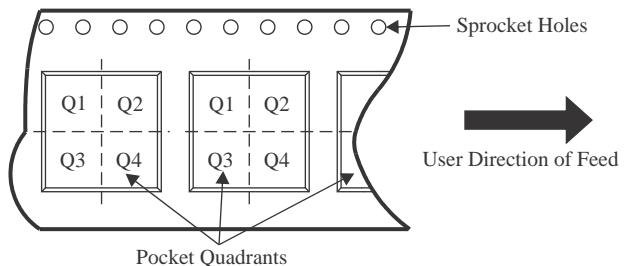
- Automotive : [OPA310-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

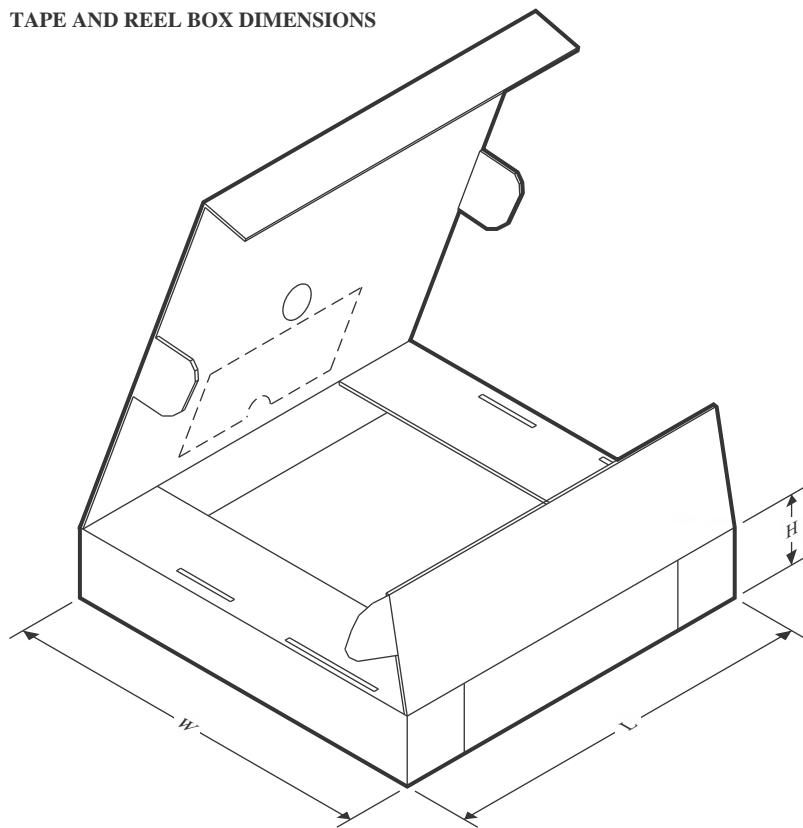
TAPE AND REEL INFORMATION


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2310IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
OPA2310IDR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2310IDSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
OPA2310SIRUGR	X2QFN	RUG	10	3000	180.0	8.4	1.75	2.25	0.55	4.0	8.0	Q1
OPA310IDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA310IDCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
OPA310SIDBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA310SIDBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA310SIDCKR	SC70	DCK	6	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
OPA4310IDR	SOIC	D	14	3000	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
OPA4310IPWR	TSSOP	PW	14	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
OPA4310SIRTER	WQFN	RTE	16	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2310IDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
OPA2310IDR	SOIC	D	8	3000	353.0	353.0	32.0
OPA2310IDSGR	WSON	DSG	8	3000	210.0	185.0	35.0
OPA2310SIRUGR	X2QFN	RUG	10	3000	210.0	185.0	35.0
OPA310IDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
OPA310IDCKR	SC70	DCK	5	3000	180.0	180.0	18.0
OPA310SIDBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0
OPA310SIDBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0
OPA310SIDCKR	SC70	DCK	6	3000	180.0	180.0	18.0
OPA4310IDR	SOIC	D	14	3000	353.0	353.0	32.0
OPA4310IPWR	TSSOP	PW	14	3000	353.0	353.0	32.0
OPA4310SIRTER	WQFN	RTE	16	5000	367.0	367.0	35.0

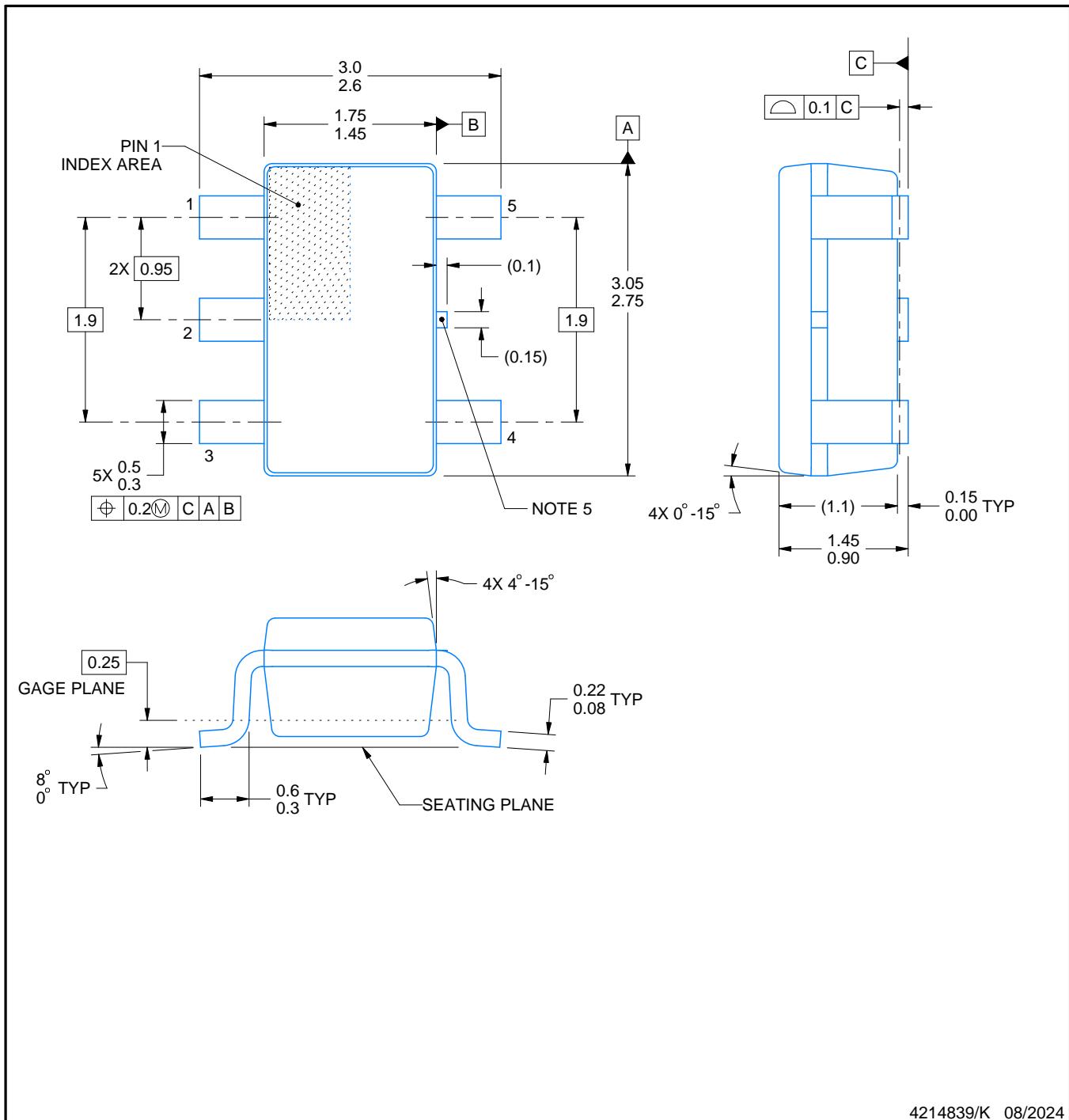
PACKAGE OUTLINE

DBV0005A



SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214839/K 08/2024

NOTES:

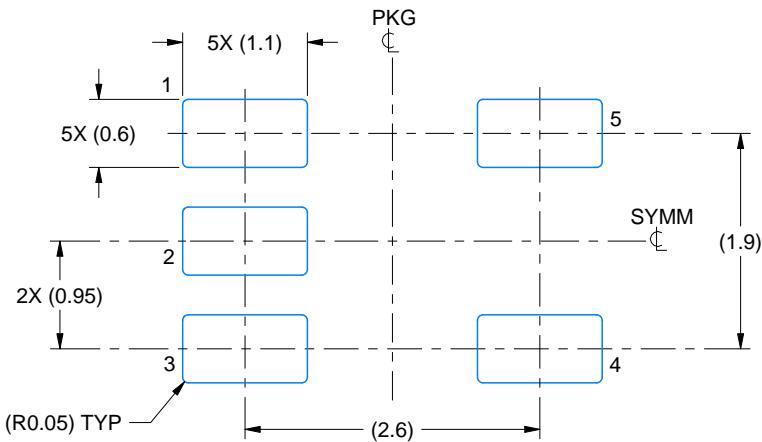
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. Reference JEDEC MO-178.
 4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
 5. Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

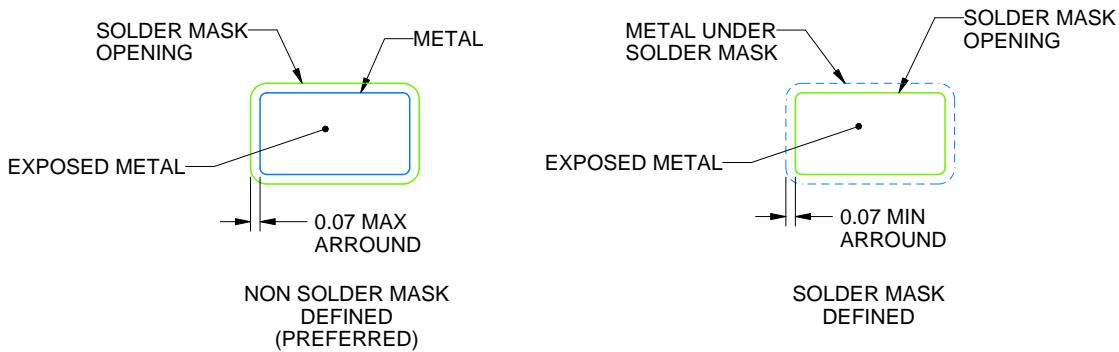
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

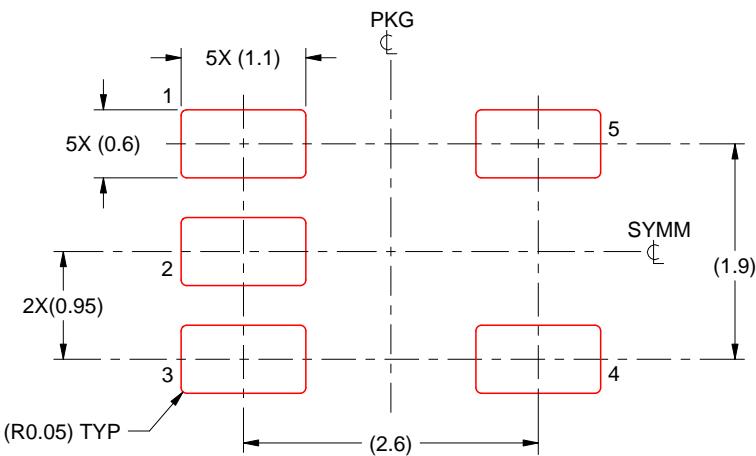
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

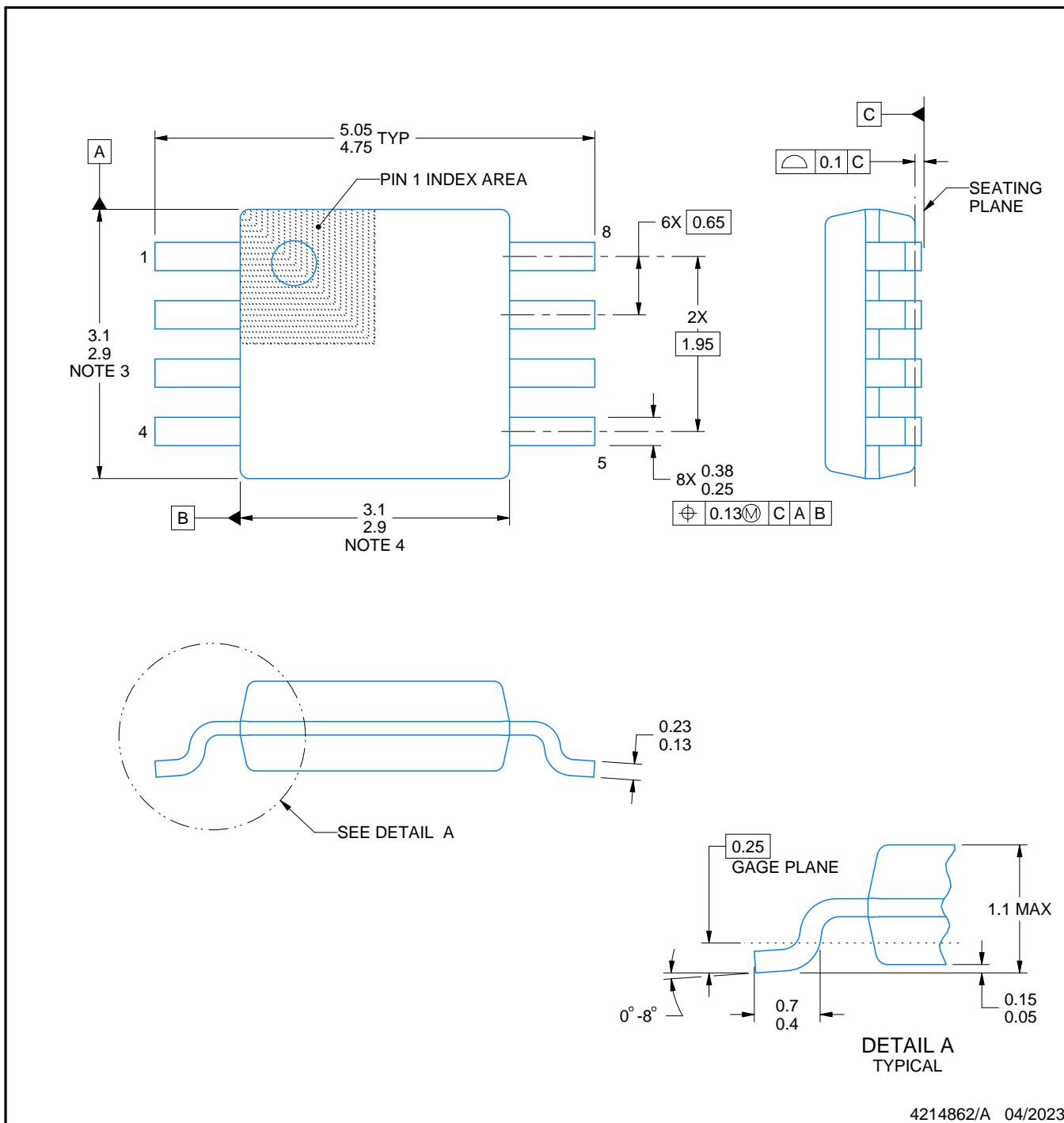
PACKAGE OUTLINE

DGK0008A



VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES:

PowerPAD is a trademark of Texas Instruments.

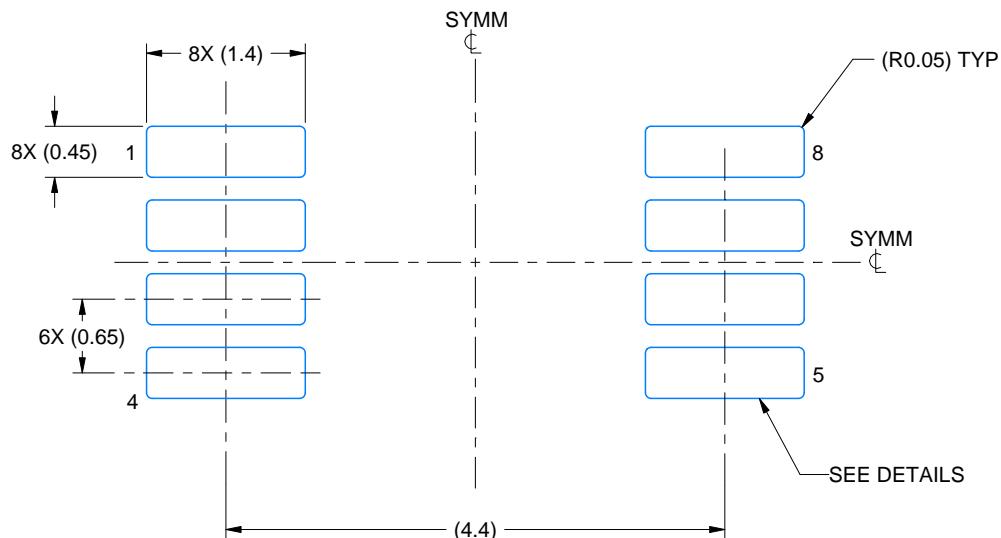
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

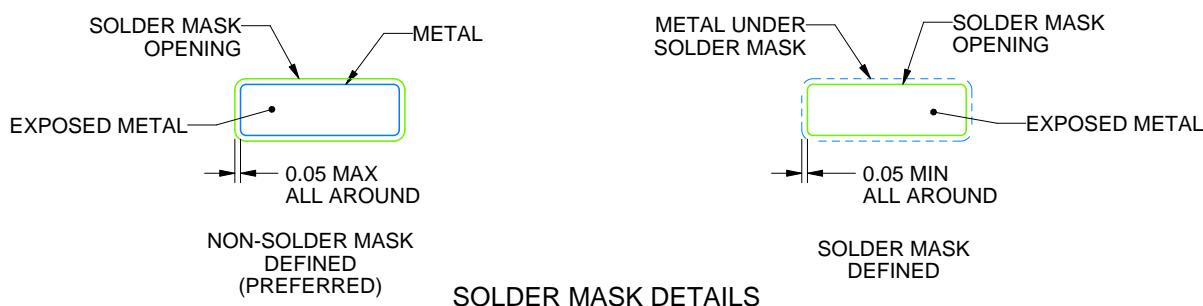
DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



4214862/A 04/2023

NOTES: (continued)

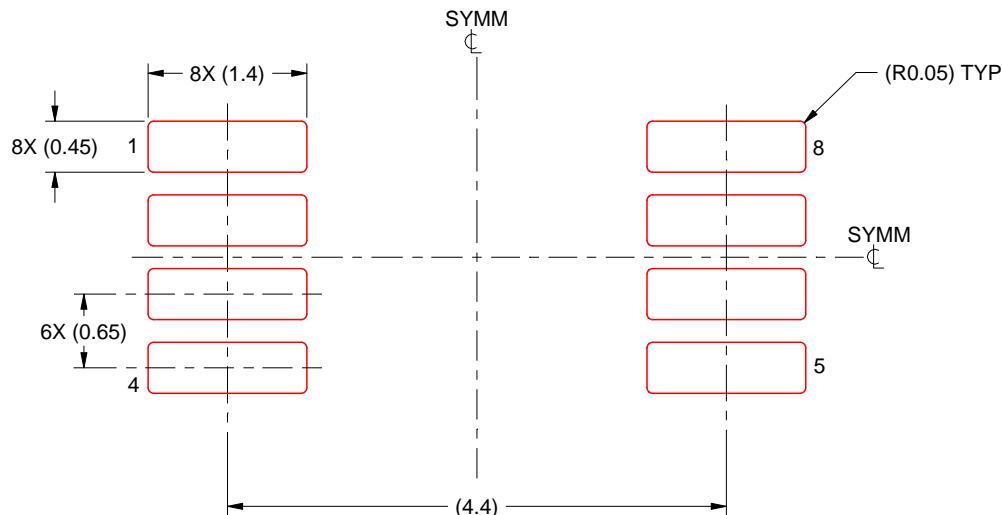
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

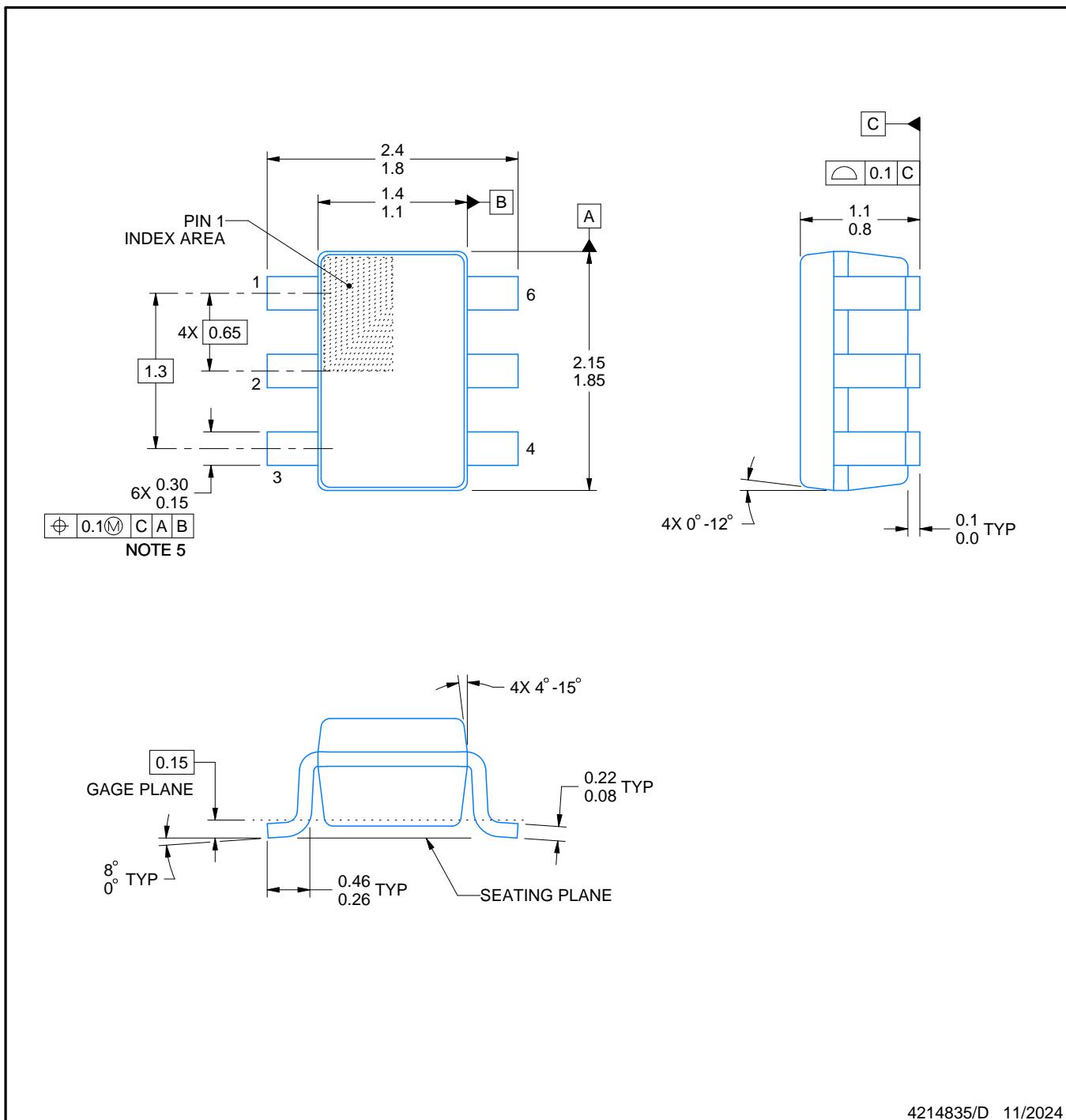
PACKAGE OUTLINE

DCK0006A



SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



4214835/D 11/2024

NOTES:

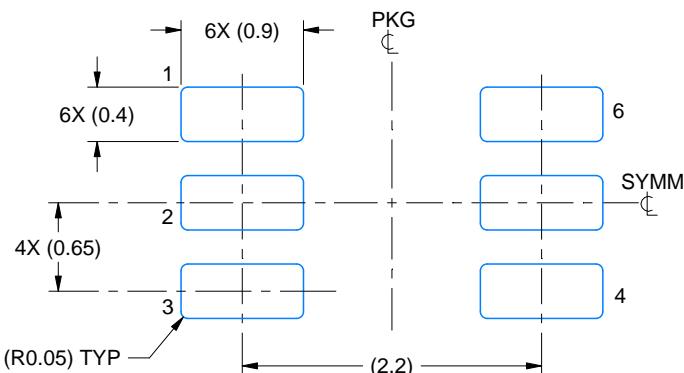
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
4. Falls within JEDEC MO-203 variation AB.

EXAMPLE BOARD LAYOUT

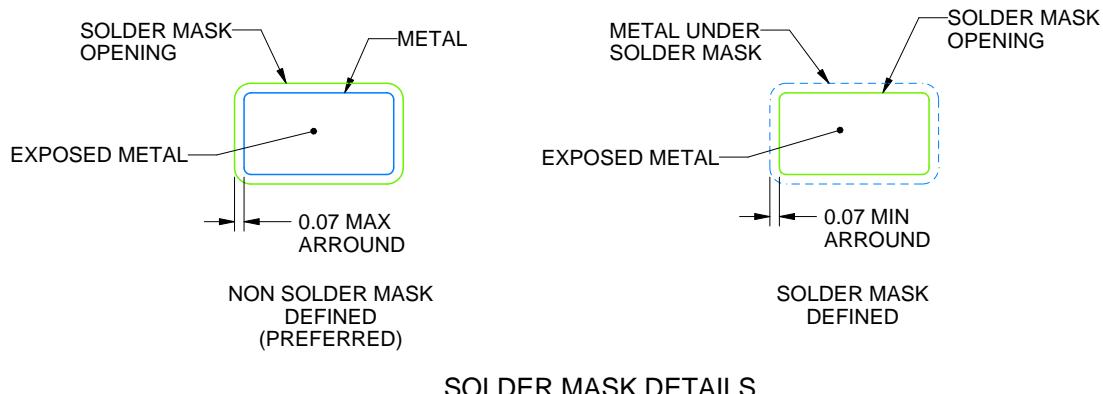
DCK0006A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



4214835/D 11/2024

NOTES: (continued)

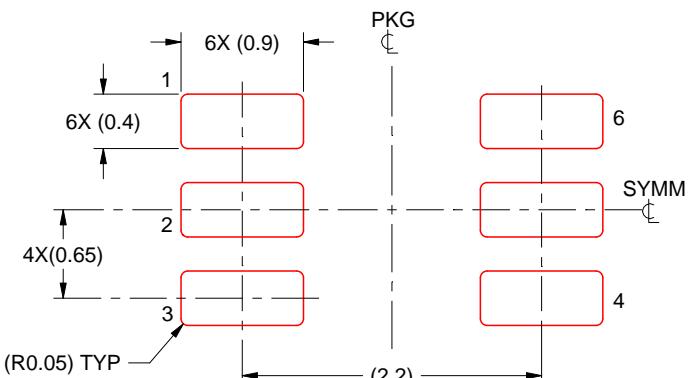
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DCK0006A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214835/D 11/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

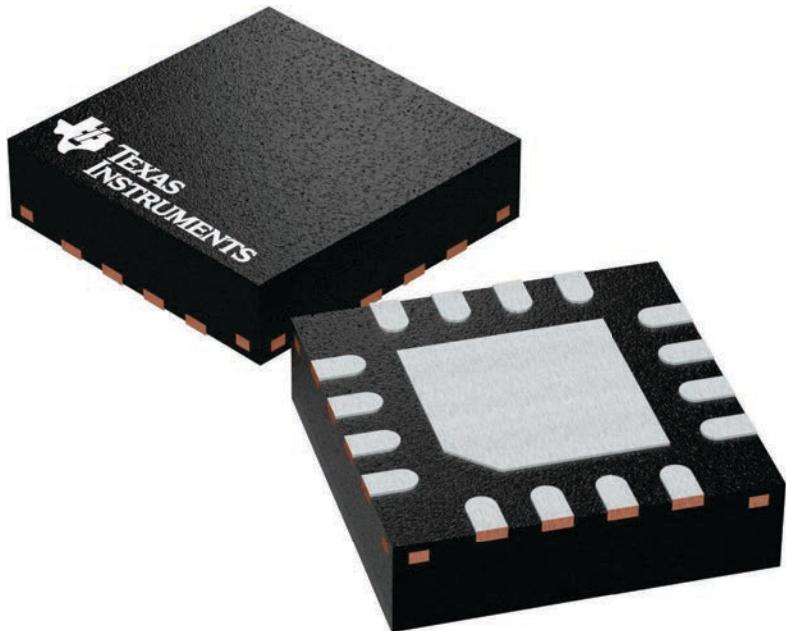
RTE 16

WQFN - 0.8 mm max height

3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225944/A

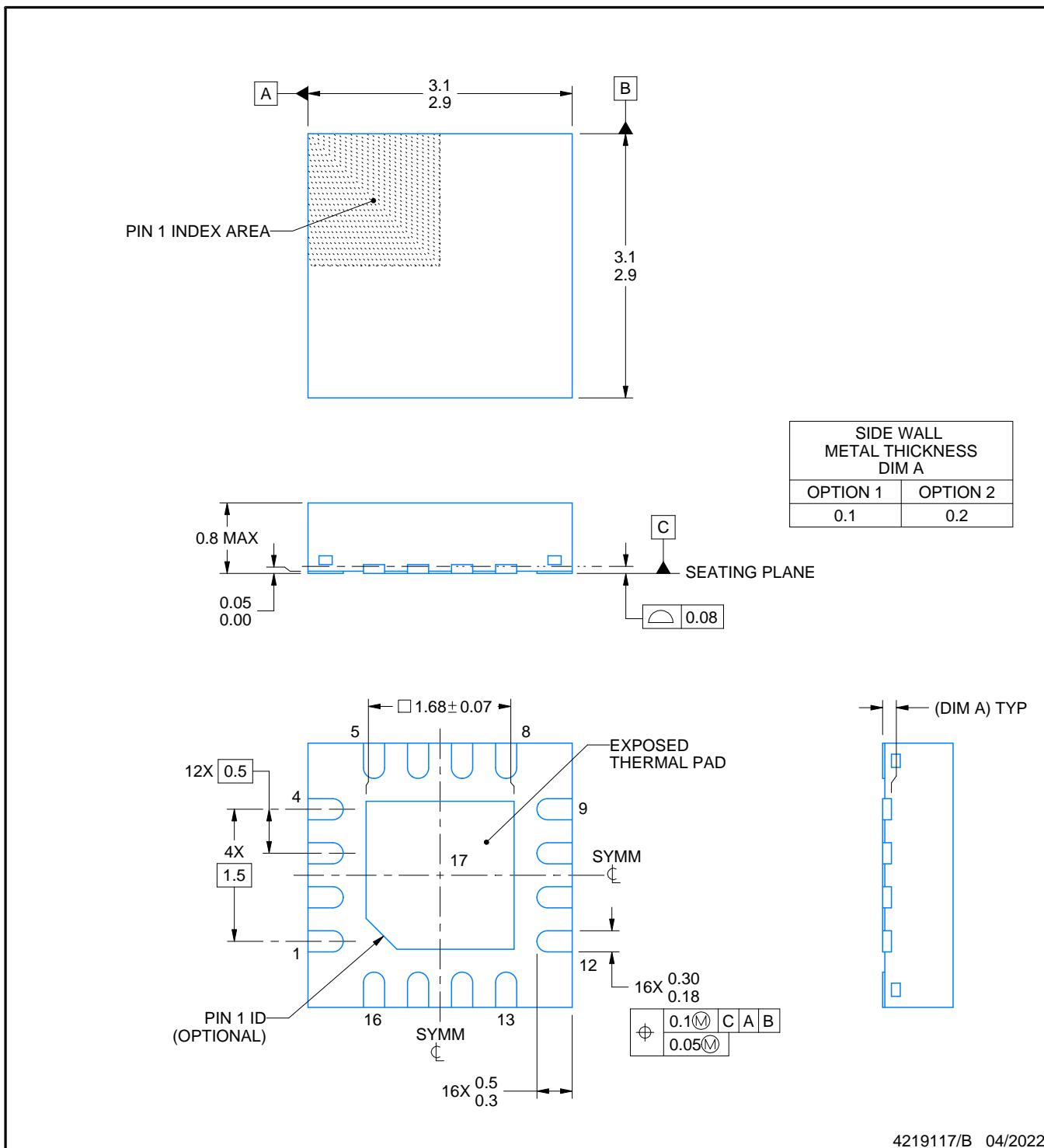
PACKAGE OUTLINE

RTE0016C



WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

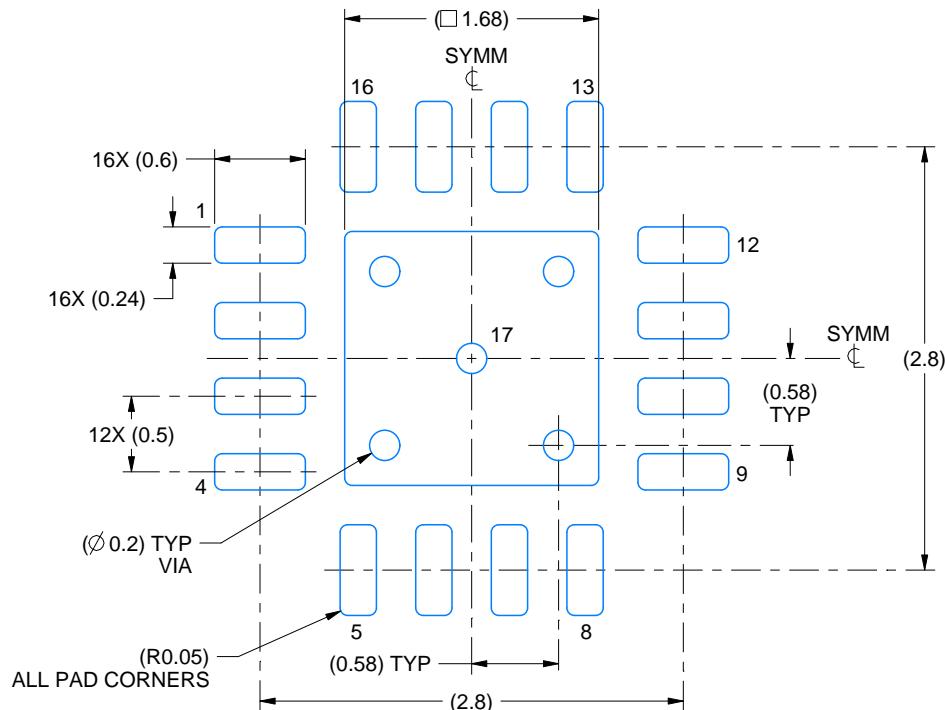
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

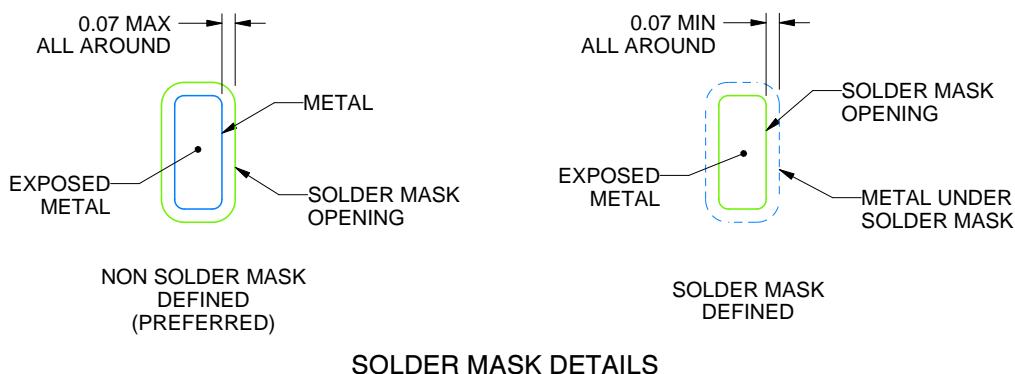
RTE0016C

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



4219117/B 04/2022

NOTES: (continued)

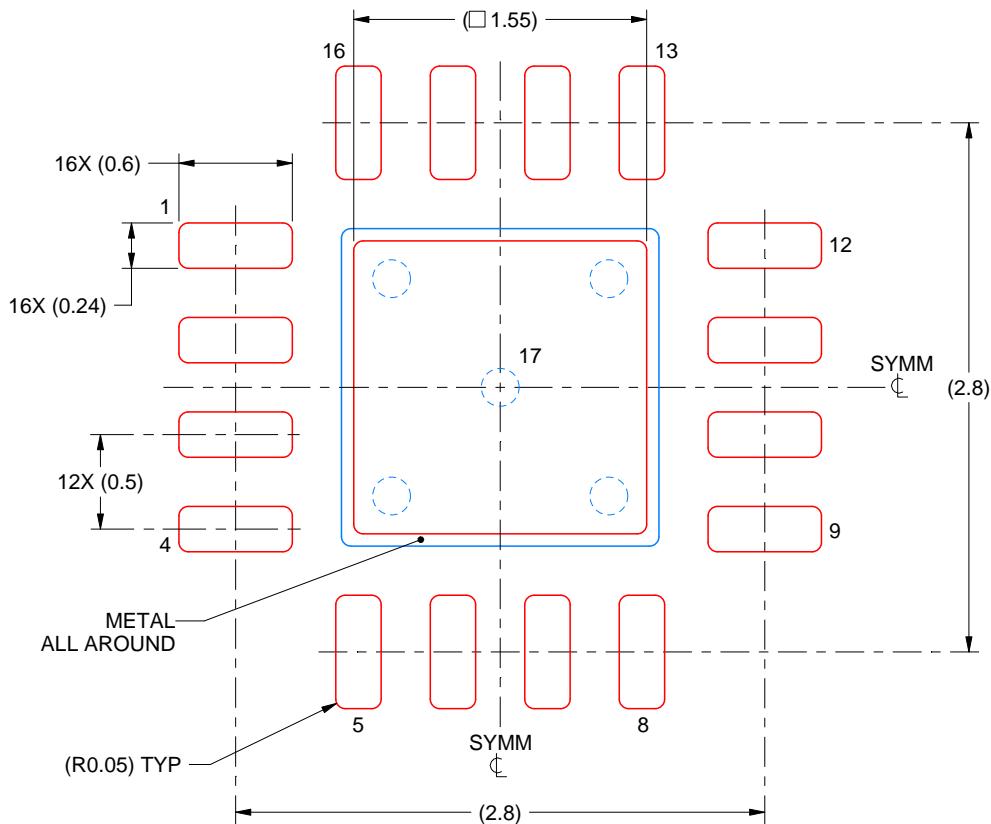
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
 5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RTE0016C

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4219117/B 04/2022

NOTES: (continued)

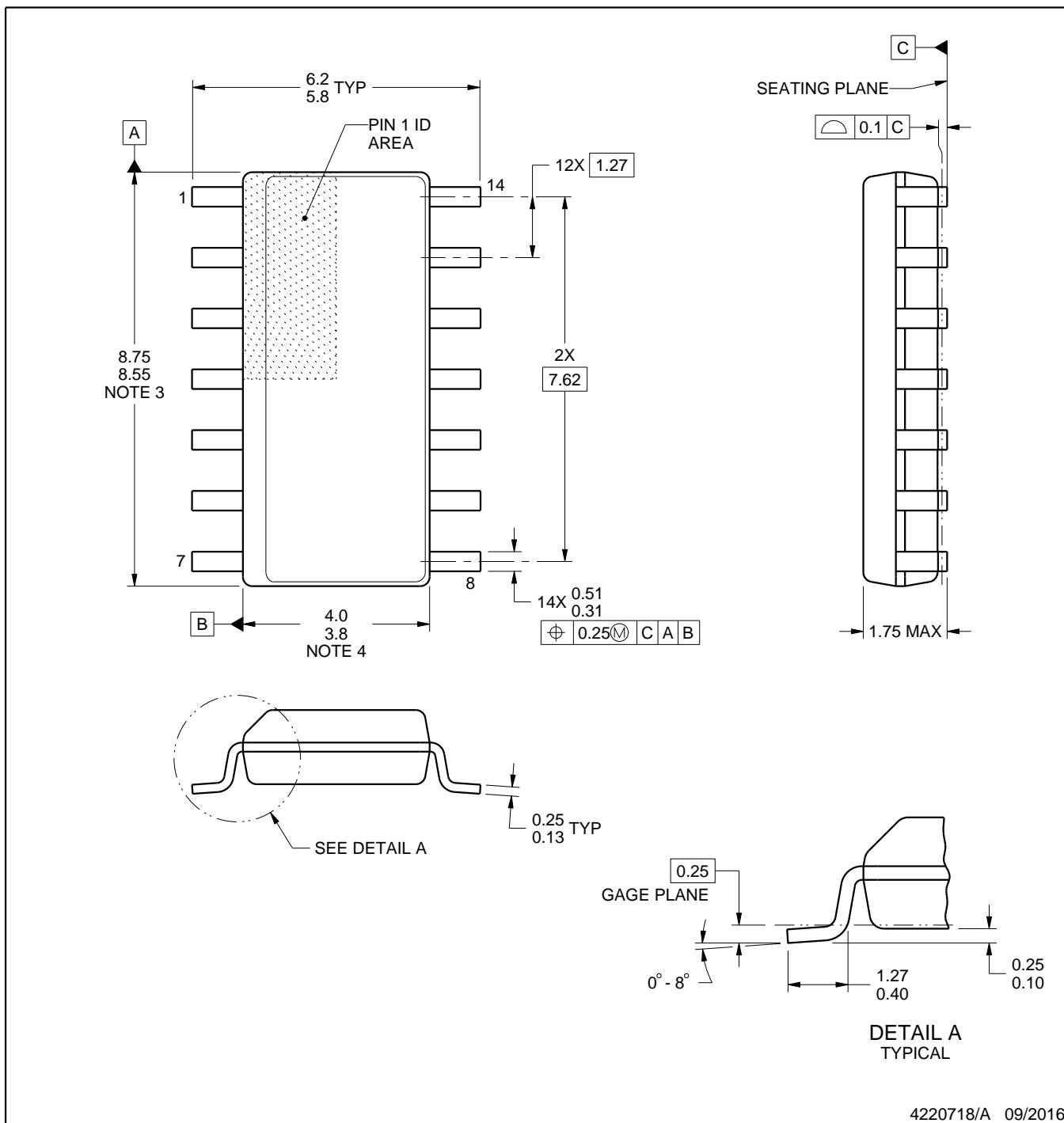
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

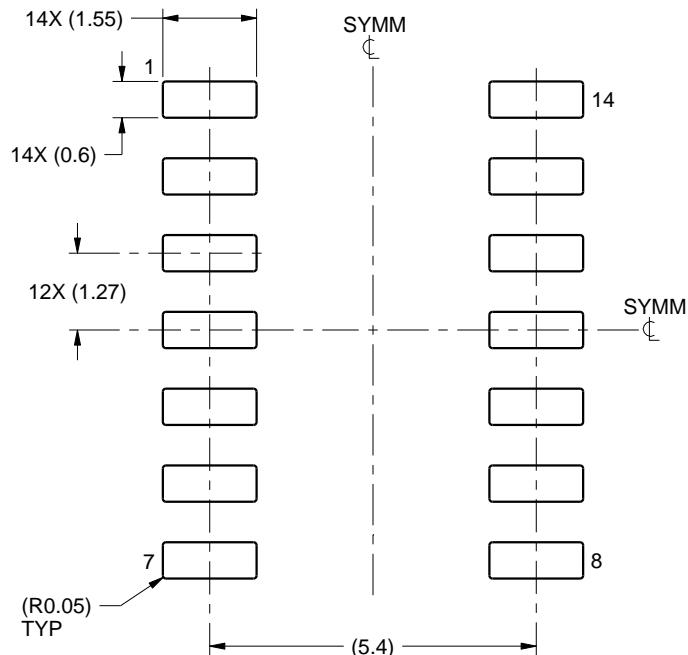
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

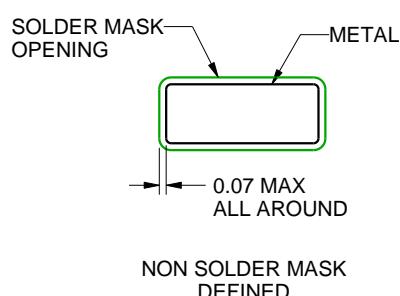
D0014A

SOIC - 1.75 mm max height

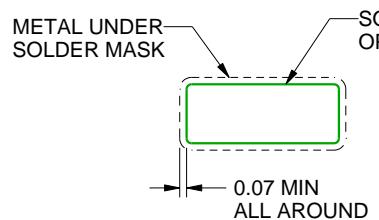
SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



NON SOLDER MASK
DEFINED



SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

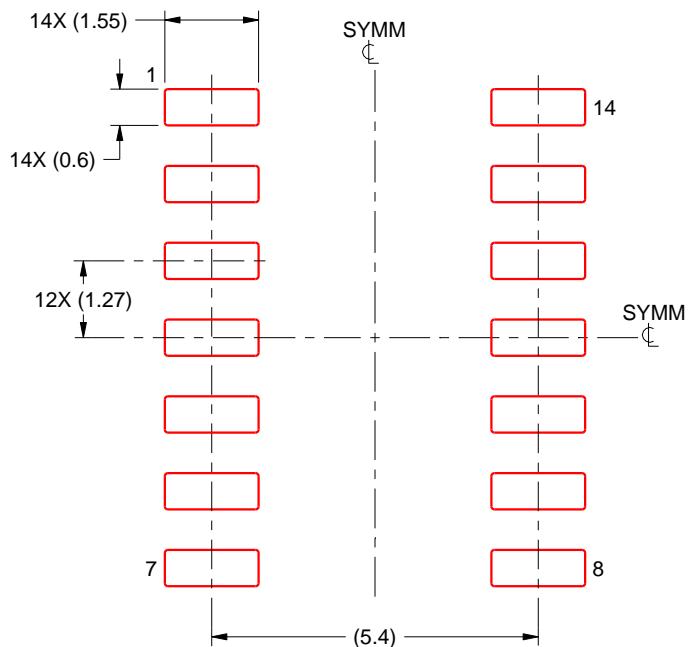
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



**SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X**

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
 9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

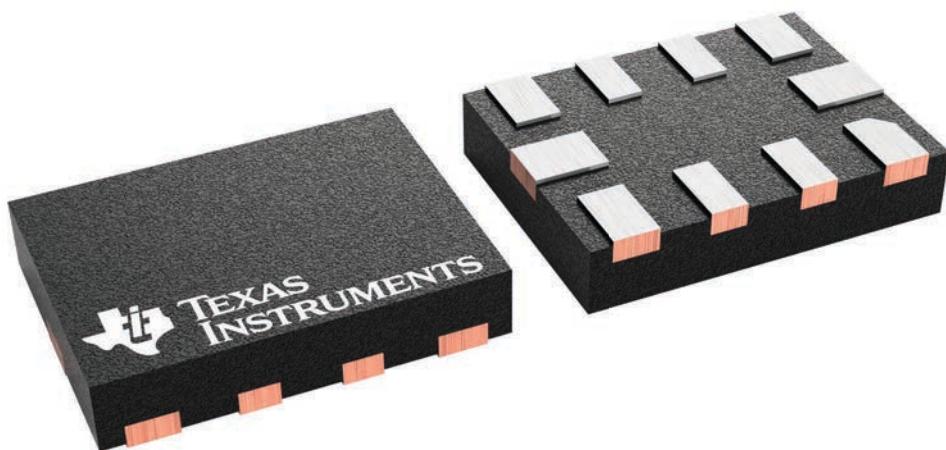
RUG 10

1.5 x 2, 0.5 mm pitch

X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

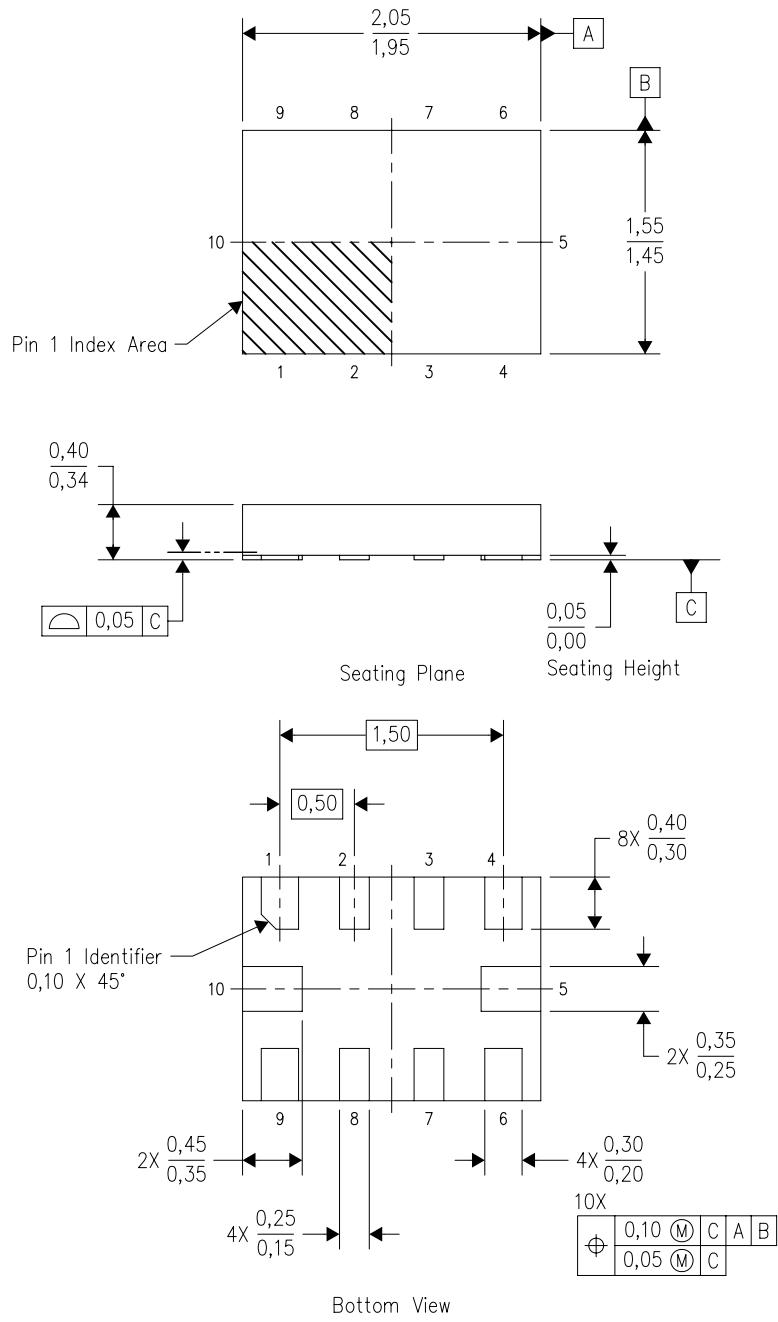


4231768/A

MECHANICAL DATA

RUG (R-PQFP-N10)

PLASTIC QUAD FLATPACK



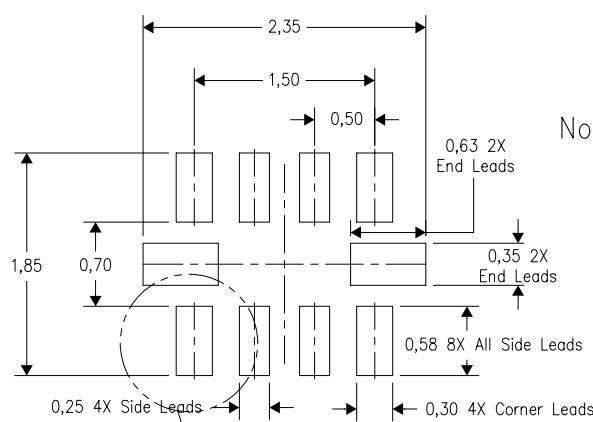
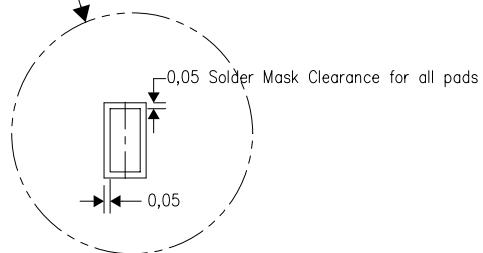
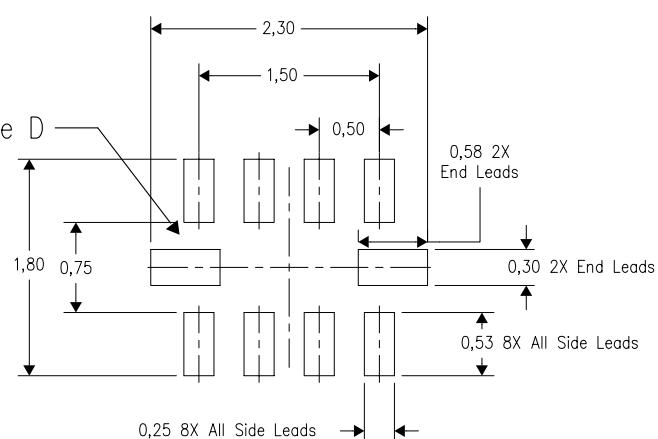
Bottom View

4208528-3/B 04/2008

- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. QFN (Quad Flatpack No-Lead) package configuration.
 - D. This package complies to JEDEC MO-288 variation X2EFD.

RUG (R-PQFP-N10)

Example Board Layout

Example Stencil Design
(Note E)

4210299-3/A 06/09

- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - Customers should contact their board fabrication site for minimum solder mask web tolerances between signal pads.
 - Maximum stencil thickness 0,127 mm (5 mils). All linear dimensions are in millimeters.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
 - Side aperture dimensions over-print land for acceptable area ratio > 0.66 . Customer may reduce side aperture dimensions if stencil manufacturing process allows for sufficient release at smaller opening.

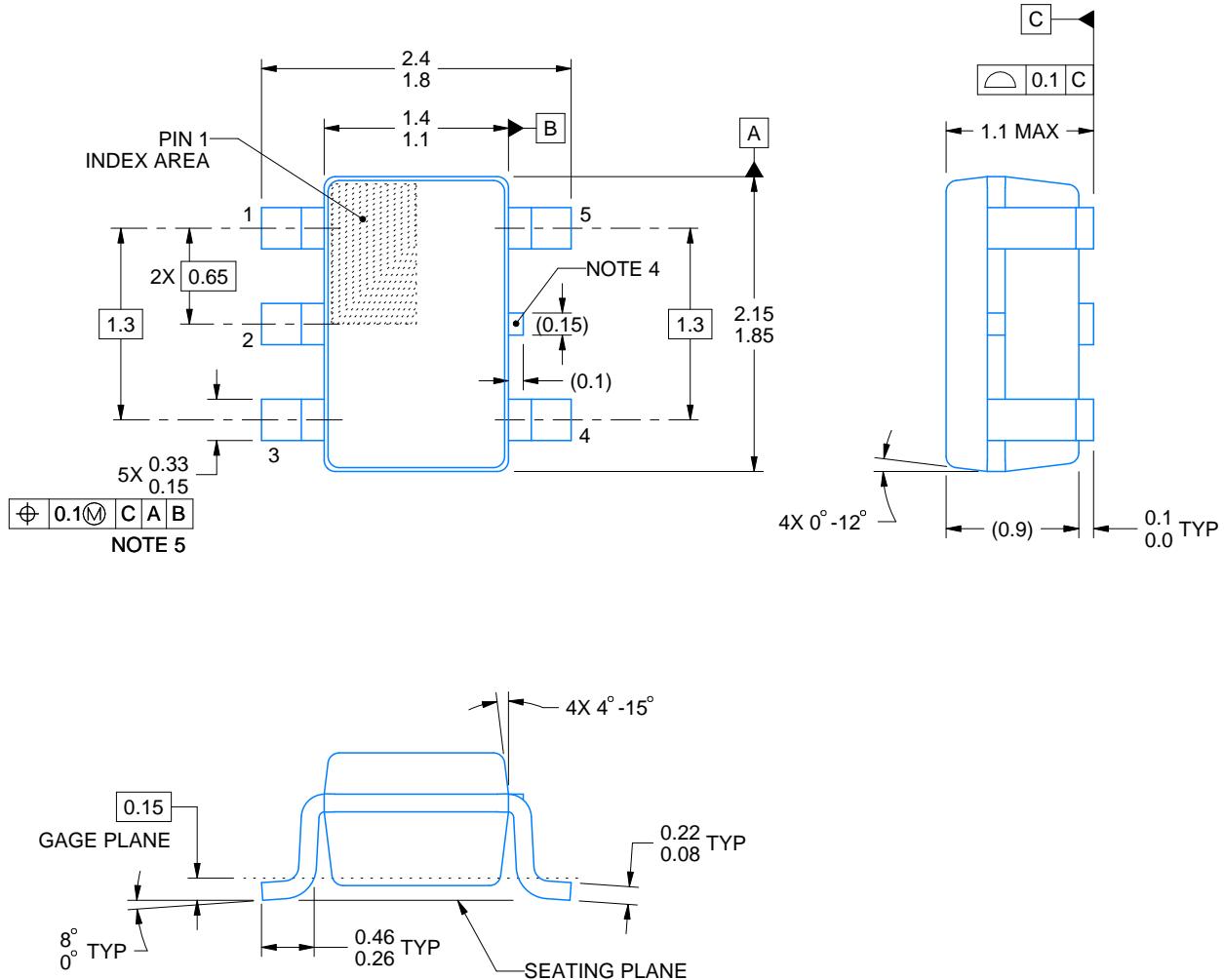
PACKAGE OUTLINE

DCK0005A



SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



4214834/G 11/2024

NOTES:

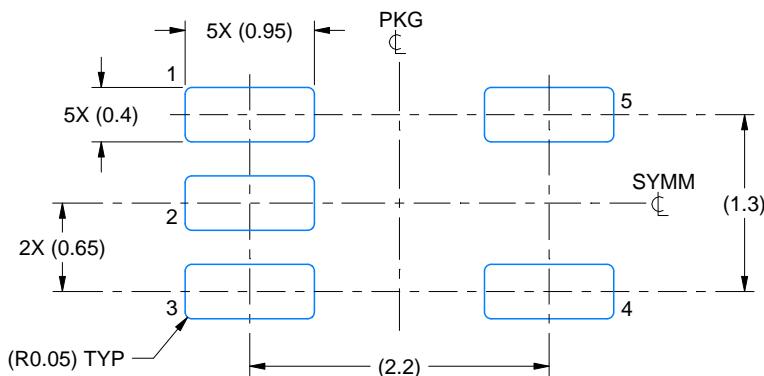
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. Reference JEDEC MO-203.
 4. Support pin may differ or may not be present.
 5. Lead width does not comply with JEDEC.
 6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side

EXAMPLE BOARD LAYOUT

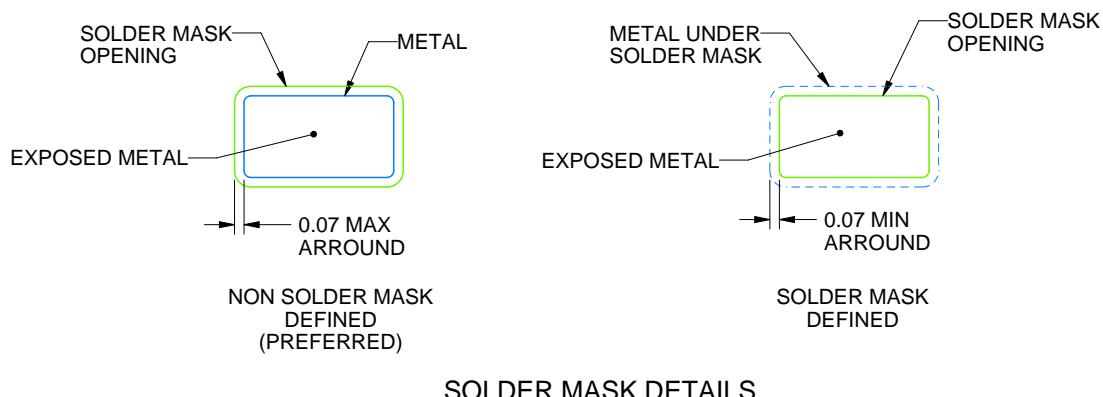
DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.

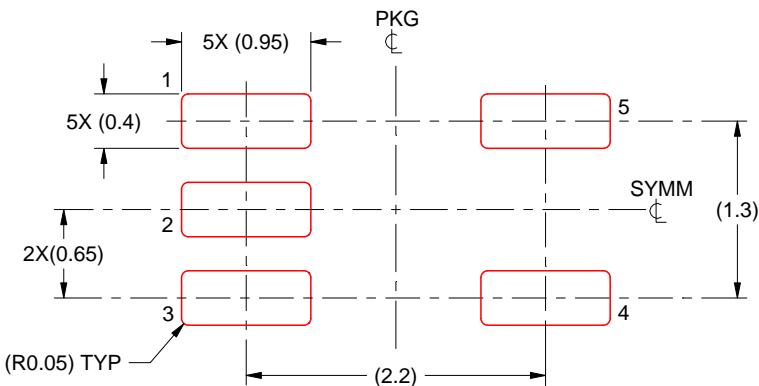
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

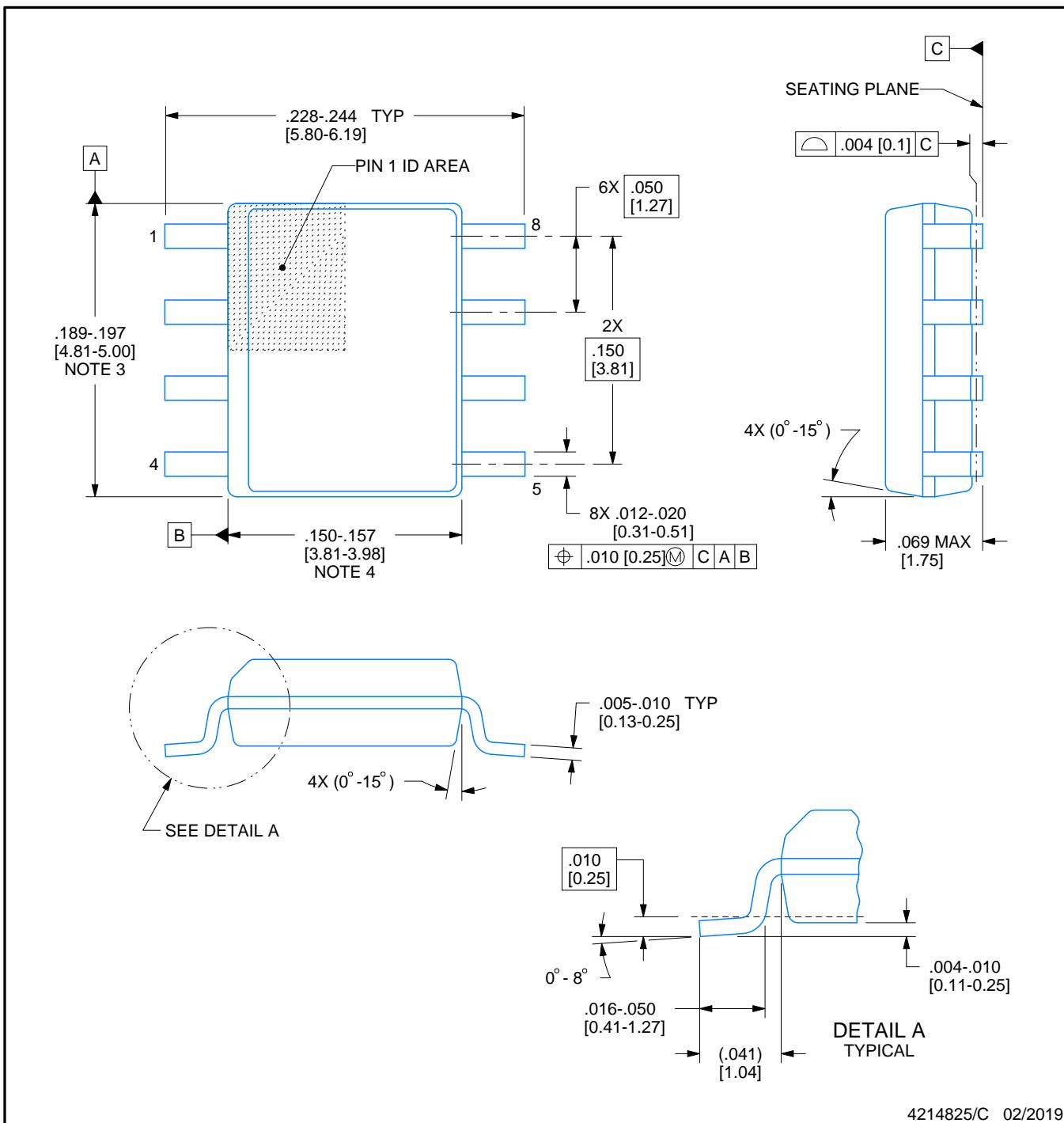
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

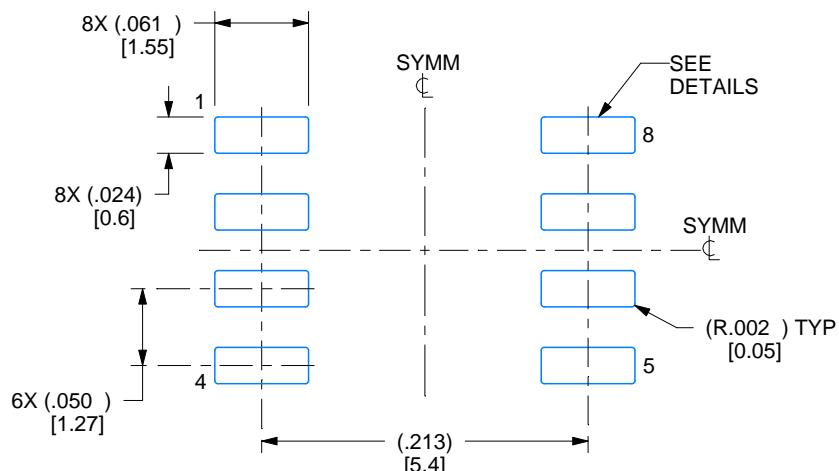
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

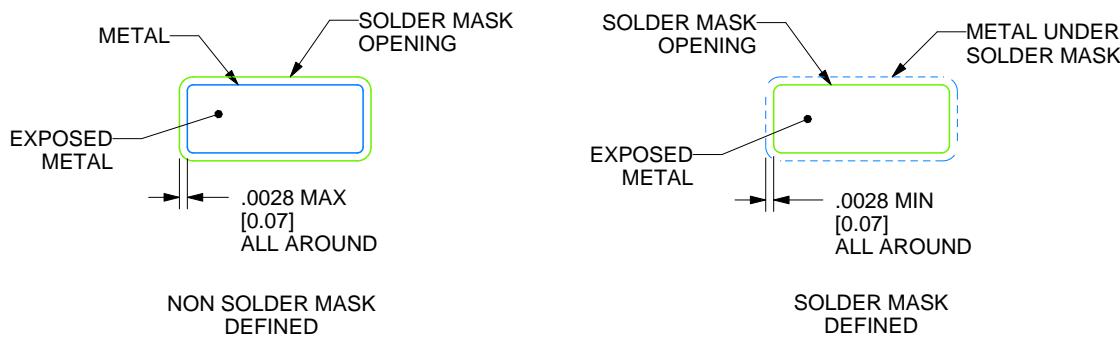
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

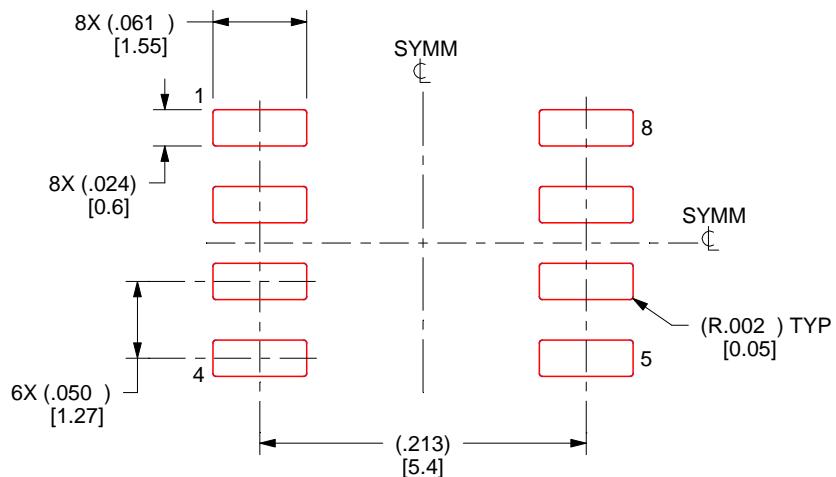
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

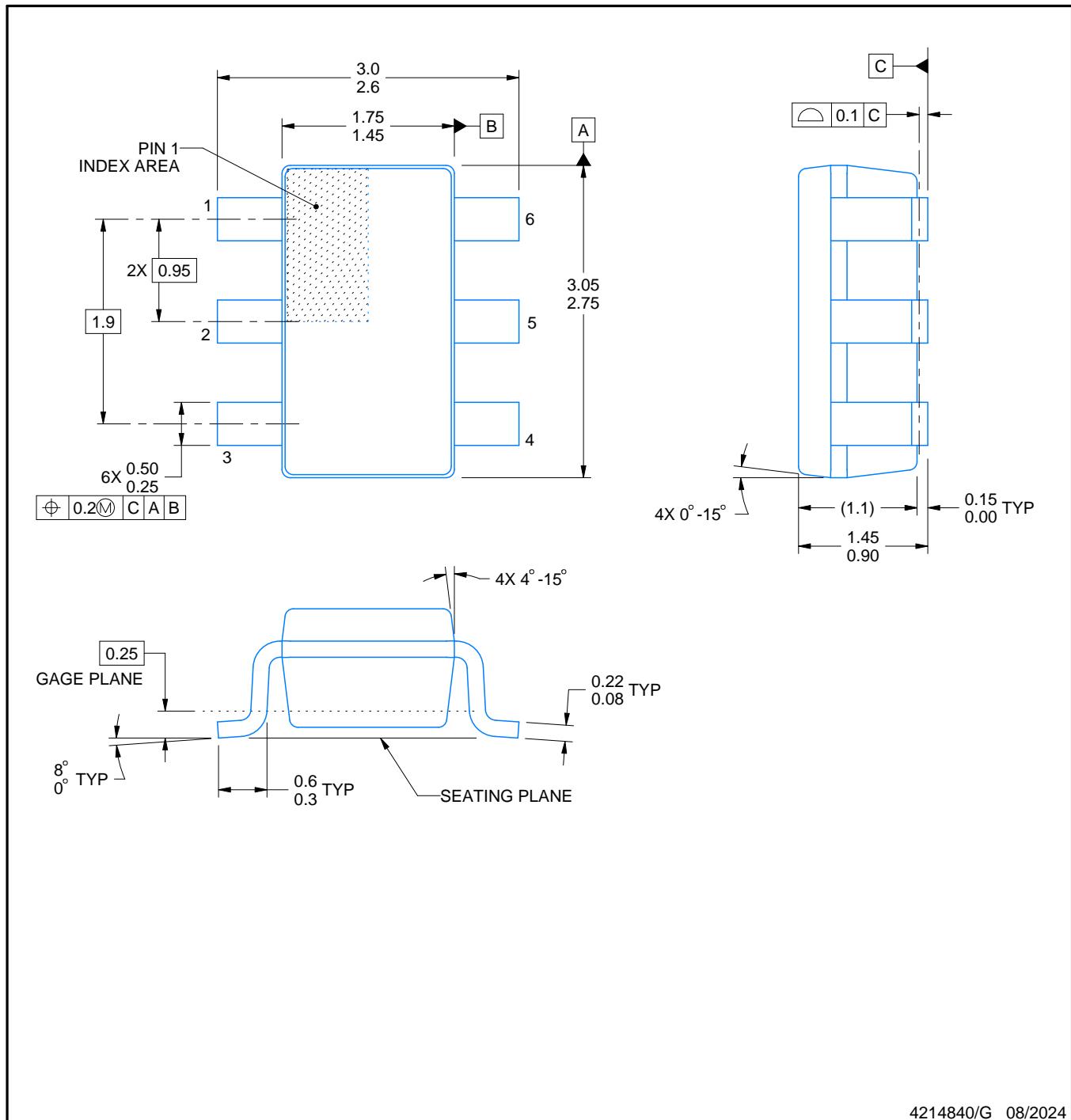
PACKAGE OUTLINE

DBV0006A



SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214840/G 08/2024

NOTES:

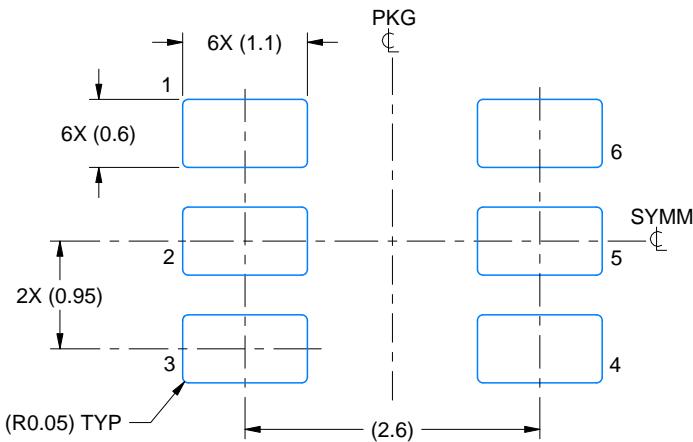
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
 4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
 5. Reference JEDEC MO-178.

EXAMPLE BOARD LAYOUT

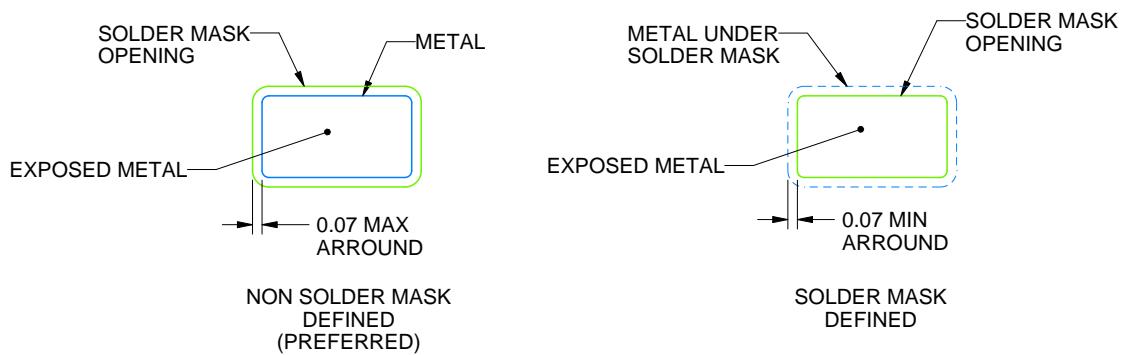
DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

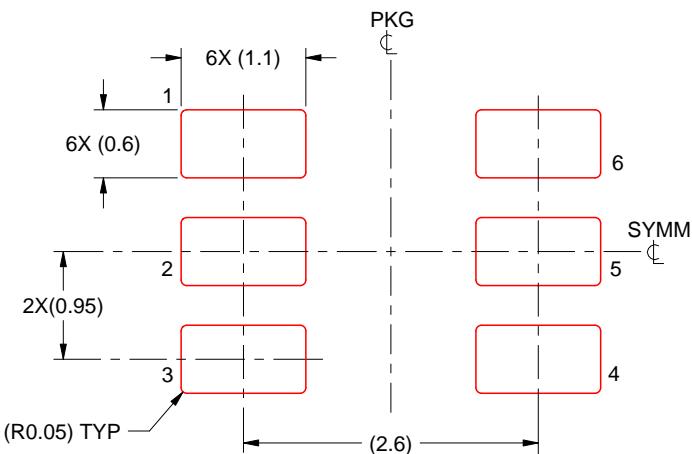
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

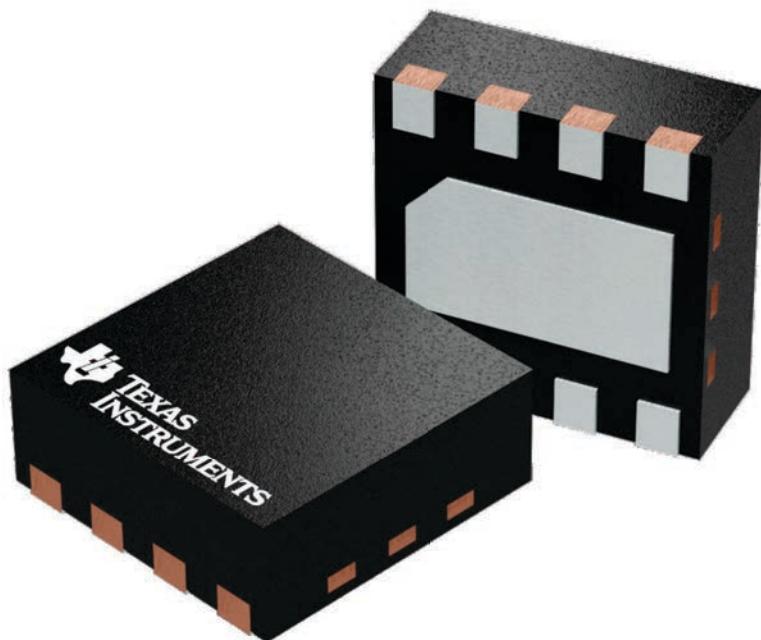
DSG 8

WSON - 0.8 mm max height

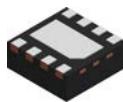
2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224783/A

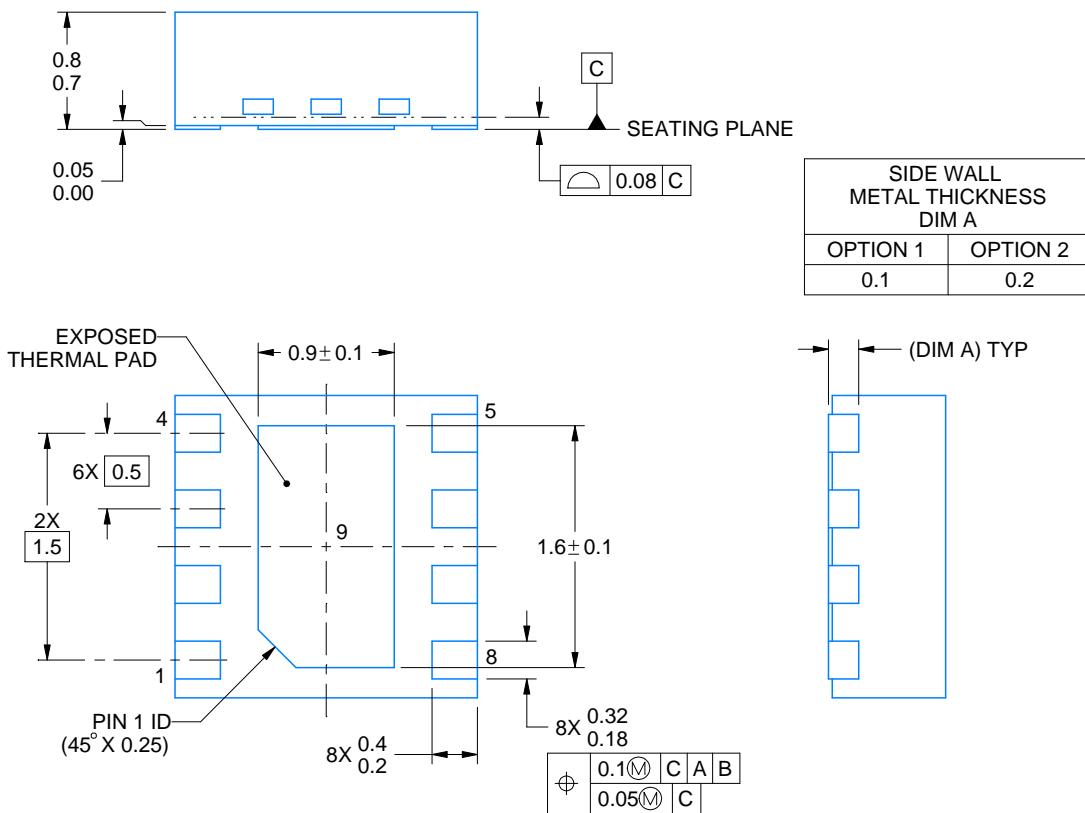
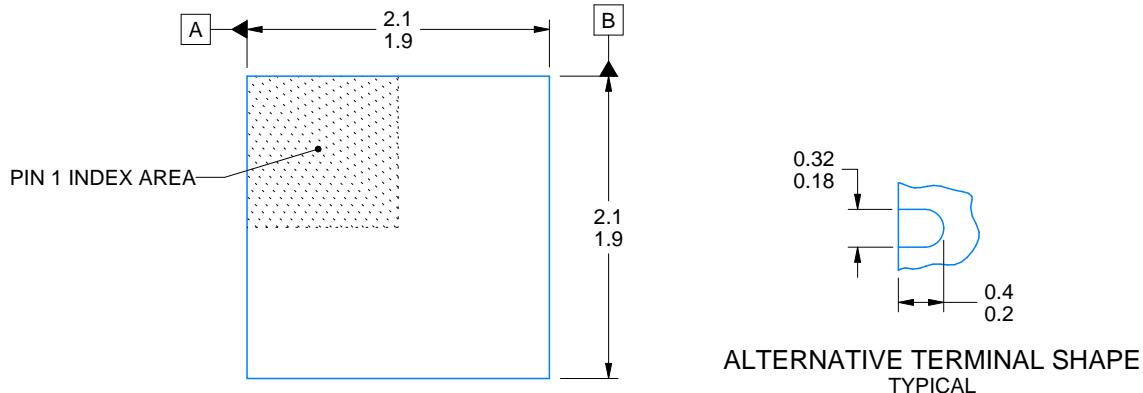


PACKAGE OUTLINE

DSG0008A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



4218900/E 08/2022

NOTES:

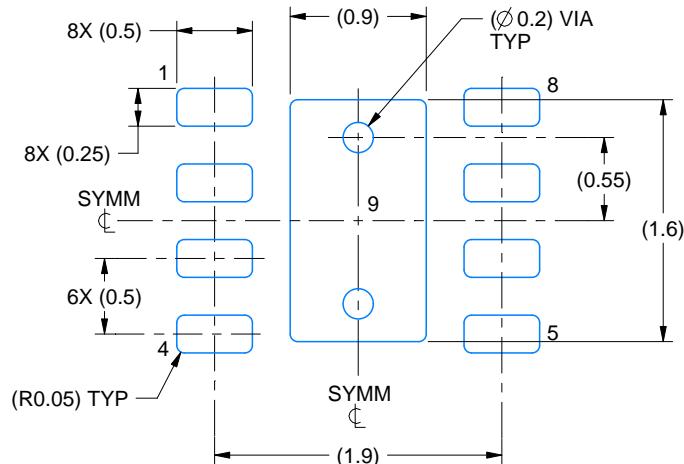
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

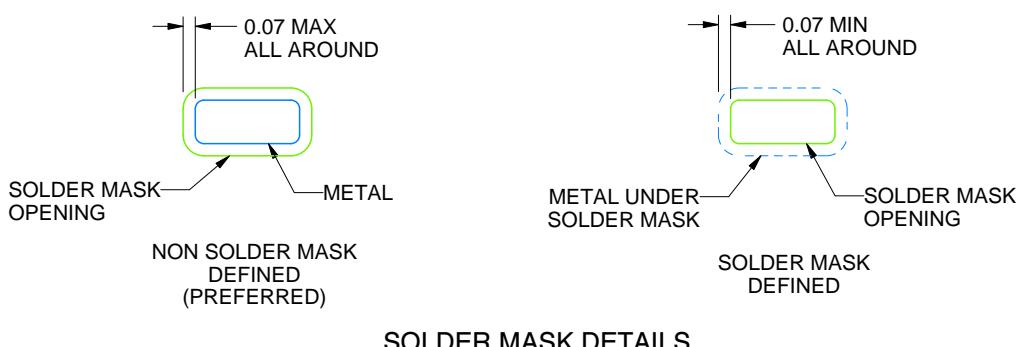
DSG0008A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
SCALE:20X



SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

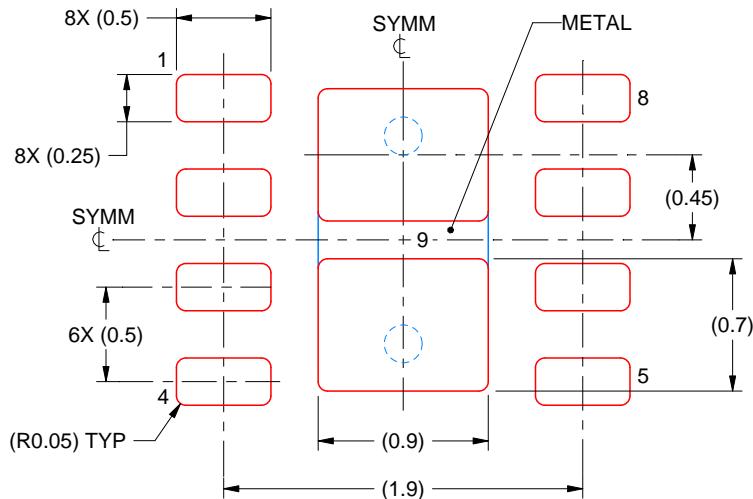
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DSG0008A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

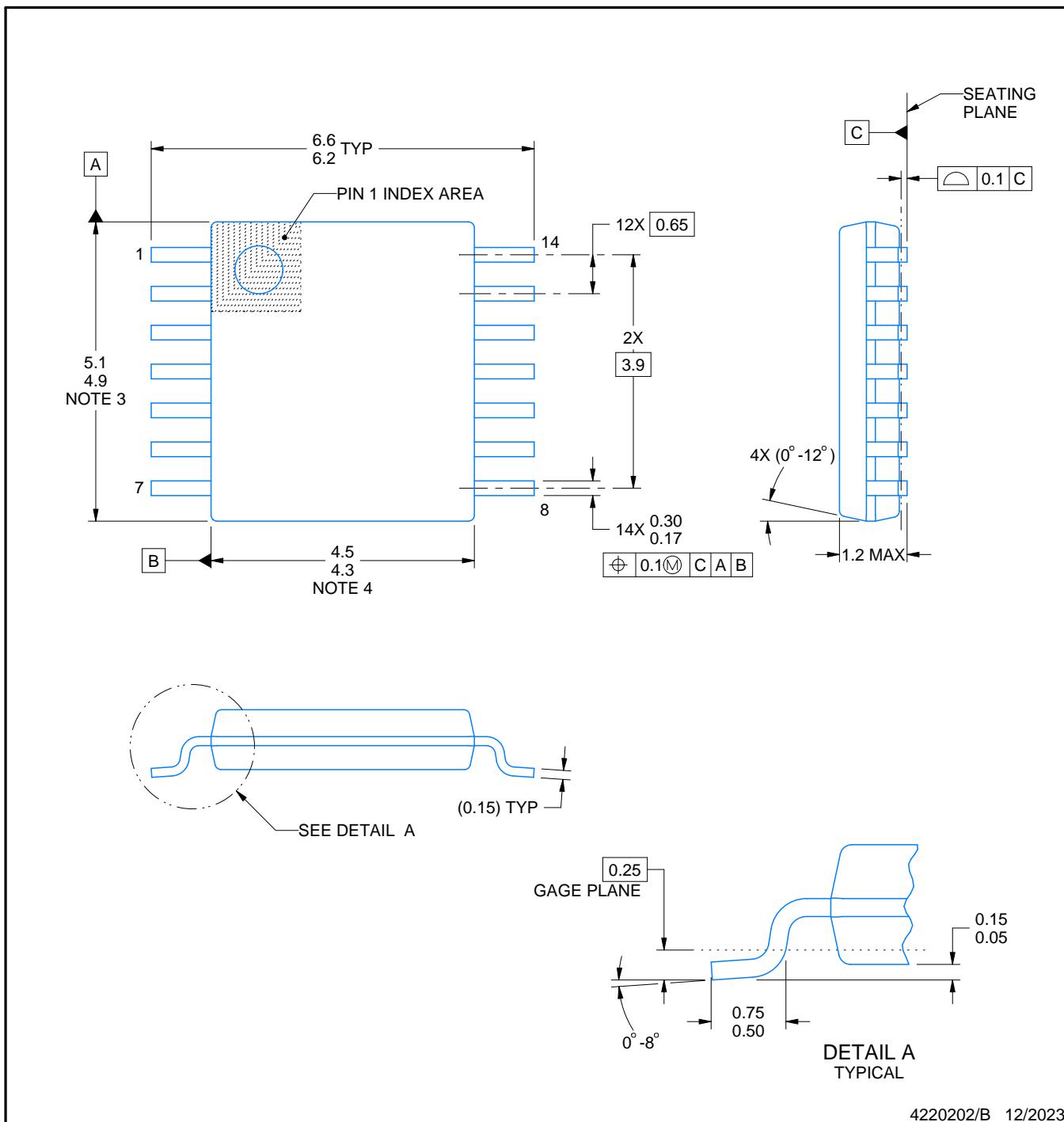
PACKAGE OUTLINE

PW0014A



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

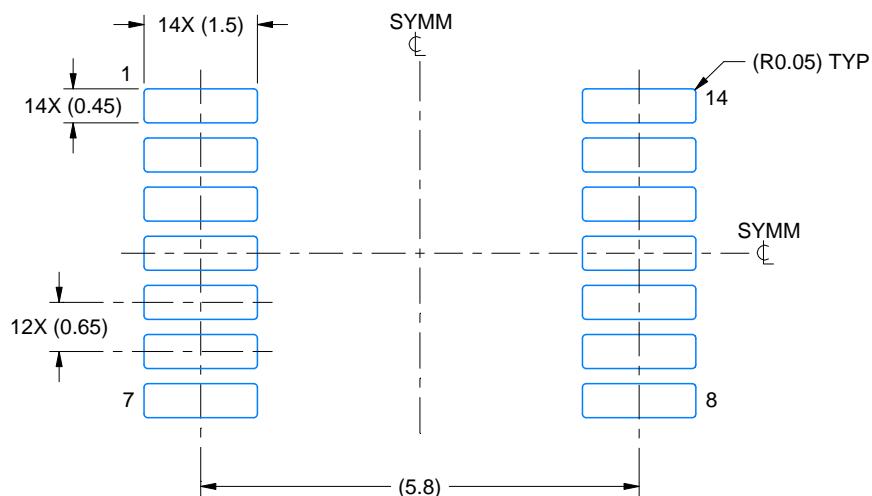
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

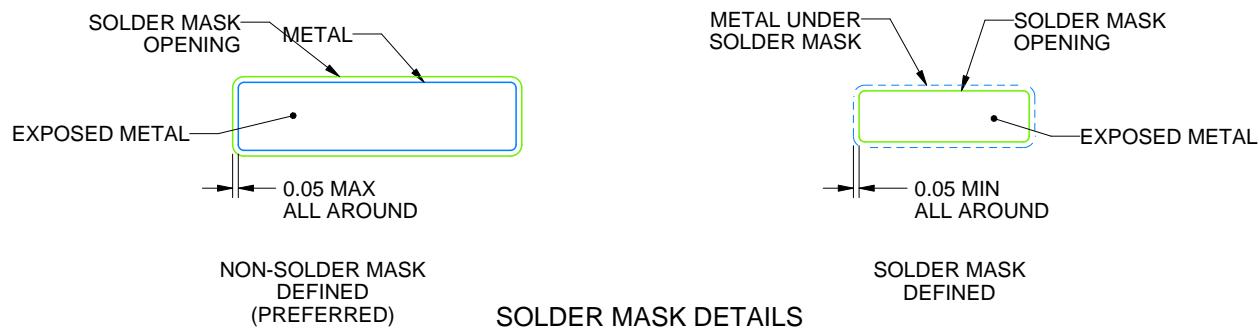
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

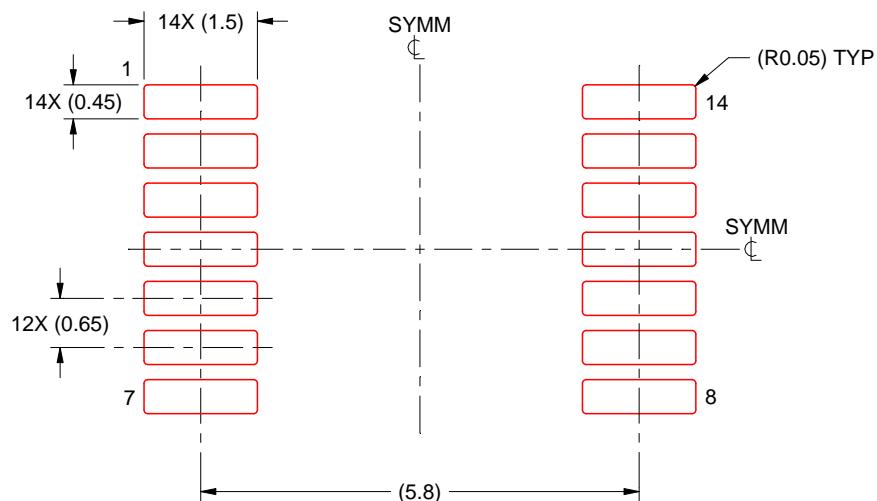
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月