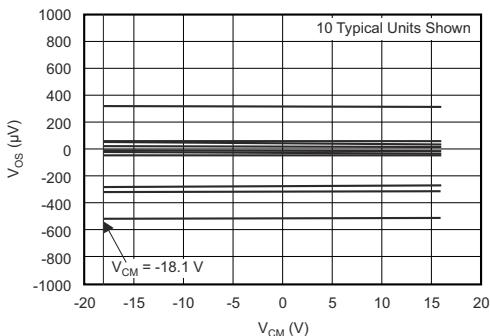


## OPAx171-Q1 36V、単一電源、汎用オペアンプ

### 1 特長

- 車載アプリケーション認定済み
- AEC-Q100 テスト ガイダンスで以下の結果:
  - 温度グレード 1:  $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$  の動作時周囲温度範囲
  - デバイス HBM ESD 分類レベル:
    - OPA171-Q1 はレベル 3A
    - OPA4171-Q1 はレベル 2
  - デバイス CDM ESD 分類レベル
    - OPA171-Q1 TLV171-Q1 はレベル C4A
    - OPA2171-Q1 はレベル C6
    - OPA4171-Q1 はレベル C6
- 電源電圧範囲:
  - 単一電源:  $2.7\text{ V} \sim 36\text{ V}$
  - デュアル電源:  $\pm 1.35\text{ V} \sim \pm 18\text{ V}$
- 低ノイズ:  $1\text{ kHz}$  で  $14\text{nV}/\sqrt{\text{Hz}}$
- 小さいオフセットドリフト:  $\pm 0.3\mu\text{V}/^{\circ}\text{C}$  (標準値)
- 入力範囲は負の電源電圧にも対応
- 入力範囲は正の電源電圧まで動作 (性能は低下)
- レールツーレール出力
- ゲイン帯域幅:  $3\text{ MHz}$
- 低い静止電流: アンプあたり  $475\mu\text{A}$
- 高い同相除去:  $120\text{dB}$  (標準値)
- 低い入力バイアス電流:  $10\text{pA}$
- 業界標準パッケージ:
  - 5 ピンの小型トランジスタ SOT-23 (DBV) パッケージ



オフセット電圧と同相電圧との関係:  
 $V_{\text{SUPPLY}} = \pm 18\text{V}$

### 2 アプリケーション

- 電源モジュールのトラッキング アンプ
- 商業施設の電源
- トランスデューサ アンプ
- ブリッジ アンプ
- 温度測定
- ひずみゲージ アンプ
- 高精度積分器
- バッテリ駆動計測器
- 試験用機器

### 3 概要

OPA171-Q1 ファミリのデバイスは 36V、単一電源、低ノイズのオペアンプで、 $2.7\text{ V} (\pm 1.35\text{ V}) \sim 36\text{ V} (\pm 18\text{ V})$  の電源で動作できます。このシリーズは複数のパッケージで供給され、低オフセット、低ドリフト、低静止電流を実現します。シングル、デュアル、クワッドの各製品で同一の仕様を備え、設計の柔軟性を高めています。

ほとんどのオペアンプでは 1 つの電源電圧でしか動作が規定されていないのに対して、OPAx171-Q1 ファミリのデバイスは  $2.7\text{ V} \sim 36\text{ V}$  での動作が規定されています。電源レールの範囲外の入力信号が位相反転を起こすことはありません。

OPAx171-Q1 ファミリのデバイスは、最大  $300\text{pF}$  の容量性負荷で安定です。通常の動作時に、入力は負のレールより  $100\text{mV}$  下まで、上限レールから  $2\text{V}$  の範囲内で動作可能です。このデバイスは、上限レールより  $100\text{mV}$  上まで完全なレールツーレール入力で動作できますが、上限レールから  $2\text{V}$  以内では性能が低下することに注意してください。

OPAx171-Q1 オペアンプは、 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$  での動作が規定されています。

### 製品情報

部品番号	パッケージ (1)	本体サイズ (公称)
OPA171-Q1	SOT-23 (5)	$2.90\text{mm} \times 1.60\text{ mm}$
OPA2171-Q1	SOIC (8)	$4.90\text{ mm} \times 3.91\text{ mm}$
	VSSOP (8)	$3.00\text{ mm} \times 3.00\text{ mm}$
OPA4171-Q1	SOIC (14)	$8.65\text{ mm} \times 3.91\text{ mm}$
	TSSOP (14)	$5.00\text{ mm} \times 4.40\text{ mm}$

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

## 目次

1 特長.....	1	7.3 機能説明.....	16
2 アプリケーション.....	1	7.4 デバイスの機能モード.....	18
3 概要.....	1	8 アプリケーションと実装.....	19
4 改訂履歴.....	2	8.1 アプリケーション情報.....	19
5 ピン構成および機能.....	3	8.2 代表的なアプリケーション.....	21
ピンの機能: OPA171-Q1, OPA2171-Q1.....	3	9 電源に関する推奨事項.....	23
ピンの機能: OPA4171-Q1.....	4	10 レイアウト.....	24
6 仕様.....	5	10.1 レイアウトのガイドライン.....	24
6.1 絶対最大定格.....	5	10.2 レイアウト例.....	24
6.2 ESD 定格.....	5	11 デバイスおよびドキュメントのサポート.....	25
6.3 推奨動作条件.....	5	11.1 ドキュメントのサポート.....	25
6.4 熱に関する情報 - OPA171-Q1 および OPA2171-Q1.....	6	11.2 関連リンク.....	25
6.5 熱に関する情報 — OPA4171-Q1.....	6	11.3 ドキュメントの更新通知を受け取る方法.....	25
6.6 電気的特性.....	7	11.4 サポート・リソース.....	25
6.7 代表的特性.....	9	11.5 商標.....	25
7 詳細説明.....	16	11.6 静電気放電に関する注意事項.....	25
7.1 概要.....	16	11.7 用語集.....	25
7.2 機能ブロック図.....	16	12 メカニカル、パッケージ、および注文情報.....	25

## 4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (December 2015) to Revision D (August 2020)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• OPA2171-Q1 の V+ ピン配置表の値をピン配置図を正しく反映するように変更.....	3
• TLV171 の商用データシートに合わせて「電気的オーバーストレス」セクションを変更.....	19

Changes from Revision B (December 2014) to Revision C (December 2015)	Page
• 「特長」の一覧で HBM と CDM の ESD 分類レベルを変更 .....	1
• OPA2171-Q1 デバイスの 8 ピン VSSOP (DGK) パッケージ オプションを追加.....	1
• 「ESD 定格」表に各デバイスの ESD の値を明記 .....	5

Changes from Revision A (September 2012) to Revision B (December 2014)	Page
• 「取り扱い定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加.....	1
• OPA2171-Q1 および OPA4171-Q1 デバイスをデータシートに追加.....	1

Changes from Revision * (June, 2011) to Revision A (September, 2012)	Page
• 「特長」に 2 番目の項目を追加: AEC-Q100 テストガイドで以下の結果- デバイス温度グレード 1: -40°C~125°C の動作時周囲温度範囲 - デバイス HBM ESD 分類レベル H2 - デバイス CDM ESD 分類レベル C3A.....	1
• 「絶対最大定格」表の ESD 定格に分類レベルを追加.....	5
• 「絶対最大定格」表に行「JESD78D 準拠のラッチアップ性能」と値「クラス 1」を追加。。	5

## 5 ピン構成および機能

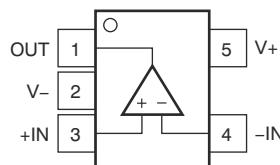


図 5-1. OPA171-Q1 DBV パッケージ  
5 ピン SOT-23  
上面図

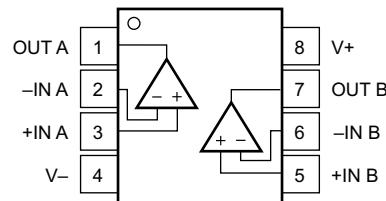


図 5-2. OPA2171-Q1 D または DGK パッケージ  
8 ピン SOIC および VSSOP  
上面図

## ピンの機能：OPA171-Q1、OPA2171-Q1

名称	ピン		I/O	説明
	OPA171-Q1 SOT-23	OPA2171-Q1 SOIC および VSSOP		
+IN	3	—	I	非反転入力
+IN A	—	3	I	非反転入力、チャネル A
+IN B	—	5	I	非反転入力、チャネル B
-IN	4	—	I	反転入力
-IN A	—	2	I	反転入力、チャネル A
-IN B	—	6	I	反転入力、チャネル B
OUT	1	—	O	出力
OUT A	—	1	O	出力、チャネル A
OUT B	—	7	O	出力、チャネル B
V+	5	8	—	正 (最高) 電源
V-	2	4	—	負 (最低) 電源

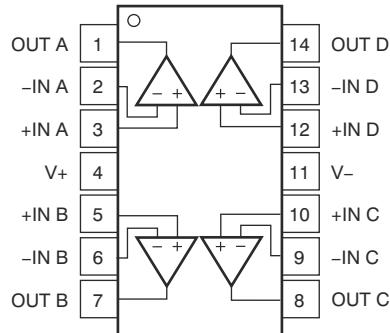


図 5-3. OPA4171-Q1 D および PW パッケージ  
14 ピン SOIC および TSSOP  
上面図

### ピンの機能 : OPA4171-Q1

ピン		I/O	説明
名称	番号		
+IN A	3	I	非反転入力、チャネル A
+IN B	5	I	非反転入力、チャネル B
+IN C	10	I	非反転入力、チャネル C
+IN D	12	I	非反転入力、チャネル D
-IN A	2	I	反転入力、チャネル A
-IN B	6	I	反転入力、チャネル B
-IN C	9	I	反転入力、チャネル C
-IN D	13	I	反転入力、チャネル D
OUT A	1	O	出力、チャネル A
OUT B	7	O	出力、チャネル B
OUT C	8	O	出力、チャネル C
OUT D	14	O	出力、チャネル D
V+	4	—	正(最高)電源
V-	11	—	負(最低)電源

## 6 仕様

### 6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

		最小値	最大値	単位
電源電圧 ( $V_S$ )		40		V
信号入力端子	電圧	( $V_-$ ) - 0.5	( $V_+$ ) + 0.5	V
	電流	±10		mA
出力短絡 <sup>(2)</sup>		連続		
接合部温度、 $T_J$		150		°C
JESD78D 準拠のラッチアップ性能		クラス 1		
保管温度、 $T_{stg}$		-65	150	°C

- (1) 絶対最大定格を超えるストレスは、デバイスに永久的な損傷を与えます。絶対最大定格の状態で長時間動作させると、デバイスの信頼性が低下します。これはストレスの定格のみについて示しており、絶対最大定格において、または規定された値を越えるいかなる条件でも、本製品の機能的な動作を暗黙に示すものではありません。
- (2) グランドへの短絡、パッケージあたり 1 台のアンプ。

### 6.2 ESD 定格

		値	単位
<b>OPA171-Q1</b>			
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠 <sup>(1)</sup>	±4000
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	±500
<b>OPA2171-Q1</b>			
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠 <sup>(1)</sup>	±4000
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	±1000
<b>OPA4171-Q1</b>			
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠 <sup>(1)</sup>	±2000
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	±1000

- (1) AEC Q100-002 は、ANSI/ESDA/JEDEC JS-001 仕様に従って HBM ストレス試験を実施することを示しています。

### 6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

	最小値	公称値	最大値	単位
電源電圧 ( $V_+ - V_-$ )	4.5 (±2.25)	36 (±18)		V
規定動作温度	-40		125	°C

## 6.4 熱に関する情報 - OPA171-Q1 および OPA2171-Q1

熱評価基準 <sup>(1)</sup>	OPA171-Q1	OPA2171-Q1		単位	
	DBV (SOT-23)	D (SOIC)	DGK (VSSOP)		
	5 ピン	8 ピン	8 ピン		
R <sub>θJA</sub>	接合部から周囲への熱抵抗	277.3	116.1	186.5	°C/W
R <sub>θJC(top)</sub>	接合部からケース (上面) への熱抵抗	193.3	69.8	78	°C/W
R <sub>θJB</sub>	接合部から基板への熱抵抗	121.2	56.6	107.8	°C/W
Ψ <sub>JT</sub>	接合部から上面への特性パラメータ	51.8	22.5	15.6	°C/W
Ψ <sub>JB</sub>	接合部から基板への特性パラメータ	109.5	56.1	106.2	°C/W

(1) 従来および最新の熱測定基準の詳細については、アプリケーションレポート『半導体および IC パッケージの熱評価基準』、[SPRA953](#) を参照してください。

## 6.5 熱に関する情報 — OPA4171-Q1

熱評価基準 <sup>(1)</sup>	OPA4171-Q1		単位	
	D (SOIC)	PW (TSSOP)		
	14 ピン	14 ピン		
R <sub>θJA</sub>	接合部から周囲への熱抵抗	93.2	106.9	°C/W
R <sub>θJC(top)</sub>	接合部からケース (上面) への熱抵抗	51.8	24.4	°C/W
R <sub>θJB</sub>	接合部から基板への熱抵抗	49.4	59.3	°C/W
Ψ <sub>JT</sub>	接合部から上面への特性パラメータ	13.5	0.6	°C/W
Ψ <sub>JB</sub>	接合部から基板への特性パラメータ	42.2	54.3	°C/W

(1) 従来および最新の熱測定基準の詳細については、アプリケーションレポート『半導体および IC パッケージの熱評価基準』、[SPRA953](#) を参照してください。

## 6.6 電気的特性

$T_A = 25^\circ\text{C}$ 、 $V_S = 2.7\text{V} \sim 36\text{V}$ 、 $V_{CM} = V_{OUT} = V_S/2$ 、 $R_{LOAD} = 10\text{k}\Omega$  を  $V_S/2$  に接続 (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位
オフセット電圧					
$V_{OS}$ 入力オフセット電圧		0.25	$\pm 1.8$		mV
全温度範囲の入力オフセット電圧	$T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$	0.3	$\pm 2$		mV
$dV_{OS}/dT$ 入力オフセット電圧ドリフト (全温度範囲)	$T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$	0.3	$\pm 2$ (2)		$\mu\text{V}/^\circ\text{C}$
PSRR 全温度範囲の入力オフセット電圧と電源電圧との関係	$V_S = 4.5\text{ V} \sim 36\text{ V}$	120	$\pm 3$		$\mu\text{V}/\text{V}$
チャネル セパレーション、DC		5			$\mu\text{V}/\text{V}$
入力バイアス電流					
$I_B$ 入力バイアス電流		$\pm 8$	$\pm 15$		pA
全温度範囲の入力バイアス電流			$\pm 3.5$		nA
$I_{os}$ 入力オフセット電流		$\pm 4$			pA
全温度範囲の入力オフセット電流			$\pm 3.5$		nA
ノイズ					
入力電圧ノイズ	$f = 0.1\text{Hz} \sim 10\text{Hz}$	3			$\mu\text{V}_{PP}$
$e_n$ 入力電圧ノイズ密度	$f = 100\text{ Hz}$	25			$\text{nV}/\sqrt{\text{Hz}}$
	$f = 1\text{ kHz}$	14			$\text{nV}/\sqrt{\text{Hz}}$
入力電圧					
$V_{CM}$ 同相電圧範囲(1)		(V-) - 0.1	(V+) - 2		V
CMRR 同相信号除去比 (全温度範囲)	$V_S = \pm 2.25\text{V}$ (V-) - 0.1V < $V_{CM}$ < (V+) - 2V	90	104		dB
	$V_S = \pm 18\text{V}$ (V-) - 0.1V < $V_{CM}$ < (V+) - 2V	104	120		dB
入力インピーダンス					
差動		100    3			$\text{M}\Omega    \text{pF}$
同相		6    3			$10^{12}\Omega    \text{pF}$
開ループゲイン					
$A_{OL}$ 開ループ電圧ゲイン (全温度範囲)	$V_S = 4.5\text{V} \sim 36\text{V}$ (V-) + 0.35V < $V_O$ < (V+) - 0.35V	110	130		dB
周波数応答					
GBP ゲイン帯域幅積		3			MHz
SR スルーレート	$G = 1$	1.5			$\text{V}/\mu\text{s}$
$t_s$ セトリング時間	0.1% まで、 $V_S = \pm 18\text{V}$ $G = 1, 10\text{V}$ ステップ	6			$\mu\text{s}$
	0.01% まで (12 ビット)、 $V_S = \pm 18\text{V}$ $G = 1, 10\text{V}$ ステップ	10			$\mu\text{s}$
過負荷回復時間	$V_{\pm IN} \times \text{ゲイン} > V_S$	2			$\mu\text{s}$
THD+N 全高調波歪み + ノイズ	$G = 1, f = 1\text{kHz}$ $V_O = 3\text{V}_{RMS}$	0.0002%			
出力					
$V_O$ レール範囲からの電圧出力スイング (全温度範囲)	$R_L = 10\text{k}\Omega$ $A_{OL} \geq 110\text{dB}$	(V-) + 0.35	(V+) - 0.35		V
$I_{SC}$ 短絡電流	ソース	25			
	シンク	-37			mA
$C_{LOAD}$ 容量性負荷駆動能力		セクション 6.7 を参照してください。			pF
$R_O$ 開ループ出力抵抗	$f = 1\text{MHz}, I_O = 0\text{A}$	150			$\Omega$
電源					
$V_S$ 規定電圧範囲	$T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$	4.5	36		V

## 6.6 電気的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = 2.7\text{V} \sim 36\text{V}$ 、 $V_{CM} = V_{OUT} = V_S/2$ 、 $R_{LOAD} = 10\text{k}\Omega$  を  $V_S/2$  に接続 (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位
$I_Q$ アンプごとの静止電流	$I_O = 0\text{A}$ 、 $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$		475	595	$\mu\text{A}$

- (1) 入力範囲は ( $V_+$ ) - 2V を超えて  $V_+$  まで拡大できますが、性能は低下します。詳細については、[セクション 6.7](#) および [セクション 7](#) を参照してください。
- (2) 実製品の検査は行っていません。

## 6.7 代表的特性

$T_S = \pm 18V$ ,  $V_{CM} = V_S/2$ ,  $R_{LOAD} = 10k\Omega$  を  $V_S/2$  に接続、 $C_L = 100pF$  (特に記述のない限り)

**表 6-1. 特性性能測定**

説明	図
オフセット電圧の生産分布	<a href="#">図 6-1</a>
オフセット電圧ドリフトの分布	<a href="#">図 6-2</a>
オフセット電圧と温度との関係	<a href="#">図 6-3</a>
オフセット電圧と同相電圧との関係	<a href="#">図 6-4</a>
オフセット電圧と同相電圧との関係 (上段)	<a href="#">図 6-5</a>
オフセット電圧と電源電圧との関係	<a href="#">図 6-6</a>
$I_B$ および $I_{OS}$ と同相電圧との関係	<a href="#">図 6-7</a>
入力バイアス電流と温度との関係	<a href="#">図 6-8</a>
出力電圧スイングと出力電流との関係 (最大供給能力)	<a href="#">図 6-9</a>
CMRR および PSRR と周波数との関係 (入力換算)	<a href="#">図 6-10</a>
CMRR と温度との関係	<a href="#">図 6-11</a>
PSRR と温度との関係	<a href="#">図 6-12</a>
0.1Hz~10Hz のノイズ	<a href="#">図 6-13</a>
入力電圧ノイズ スペクトル密度と周波数との関係	<a href="#">図 6-14</a>
THD+N 比と周波数との関係	<a href="#">図 6-15</a>
THD+N と出力振幅との関係	<a href="#">図 6-16</a>
静止電流と温度との関係	<a href="#">図 6-17</a>
静止電流と電源電圧との関係	<a href="#">図 6-18</a>
開ループ ゲインおよび位相と周波数との関係	<a href="#">図 6-19</a>
閉ループ ゲインと周波数との関係	<a href="#">図 6-20</a>
閉ループ ゲインと温度との関係	<a href="#">図 6-21</a>
閉ループ出力インピーダンスと周波数との関係	<a href="#">図 6-22</a>
小信号オーバーシュートと容量性負荷との関係 (出力ステップ 100mV)	<a href="#">図 6-23</a> 、 <a href="#">図 6-24</a>
位相反転が発生しない	<a href="#">図 6-25</a>
正の過負荷からの回復	<a href="#">図 6-26</a>
負の過負荷からの回復	<a href="#">図 6-27</a>
小信号ステップ応答 (100mV)	<a href="#">図 6-28</a> 、 <a href="#">図 6-29</a>
大信号ステップ応答	<a href="#">図 6-30</a> 、 <a href="#">図 6-31</a>
大信号セトリング タイム (10V 正ステップ)	<a href="#">図 6-32</a>
大信号セトリング タイム (10V 負ステップ)	<a href="#">図 6-33</a>
短絡電流と温度との関係	<a href="#">図 6-34</a>
最大出力電圧と周波数との関係	<a href="#">図 6-35</a>
チャネル セパレーションと周波数との関係	<a href="#">図 6-36</a>

### 6.7.1 代表的特性

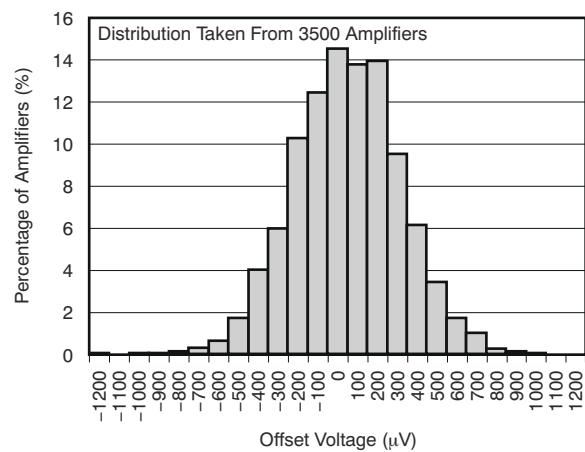


図 6-1. オフセット電圧の生産分布

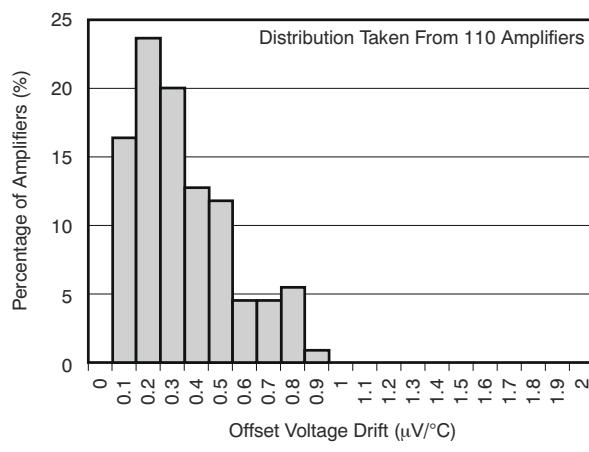


図 6-2. オフセット電圧ドリフトの分布

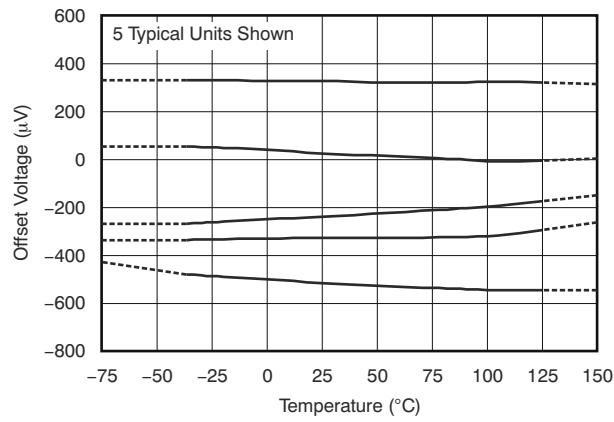


図 6-3. オフセット電圧と温度との関係

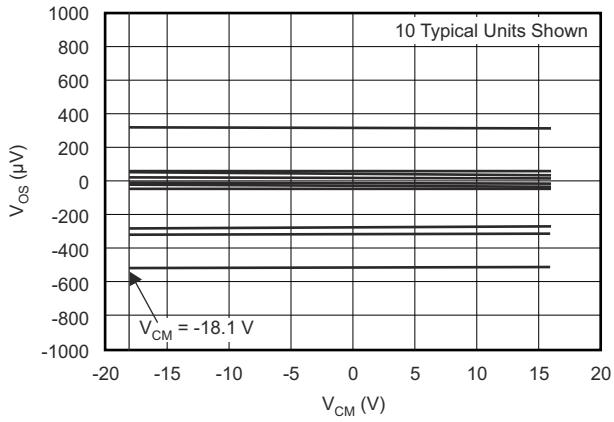


図 6-4. オフセット電圧と同相電圧との関係:  $V_{SUPPLY}$  (V) =  $\pm 18$ V

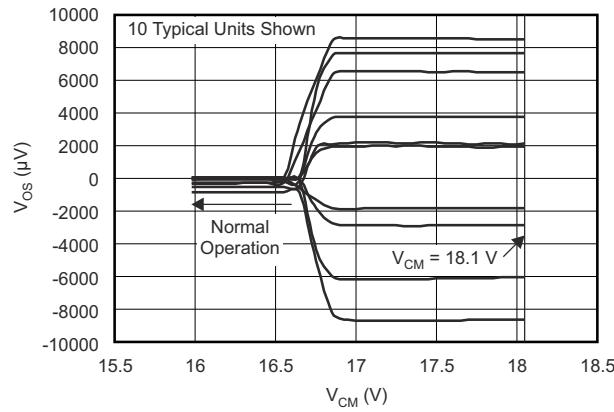


図 6-5. オフセット電圧と同相電圧との関係:  $V_{SUPPLY}$  (V) =  $\pm 18$ V  
(上段)

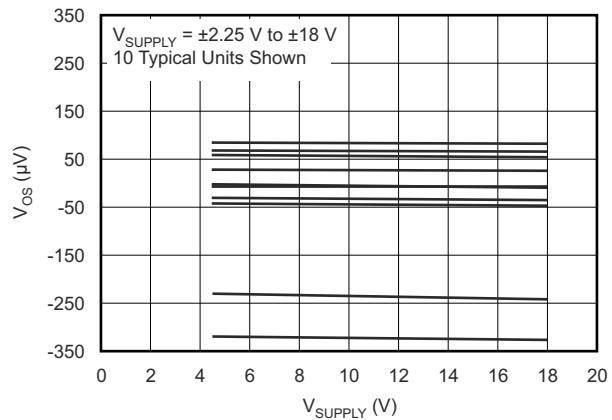


図 6-6. オフセット電圧と電源電圧との関係

### 6.7.1 代表的特性(続き)

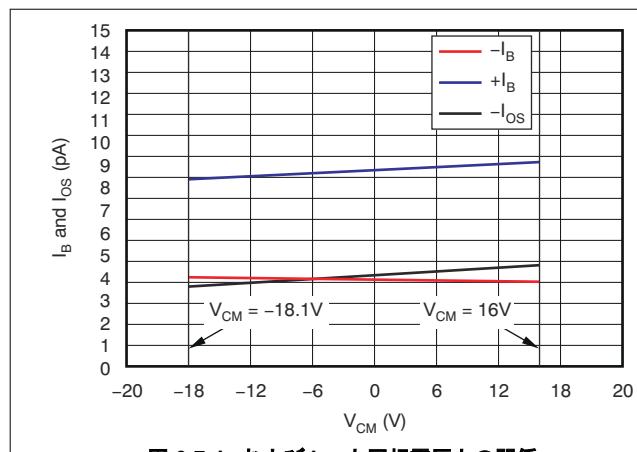


図 6-7. I<sub>B</sub> および I<sub>OS</sub> と同相電圧との関係

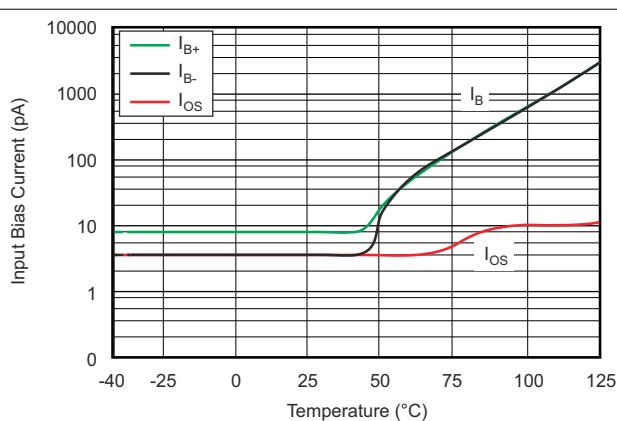


図 6-8. 入力バイアス電流と温度との関係

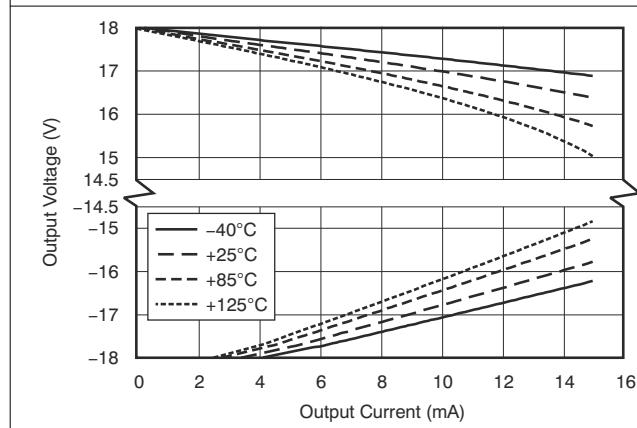


図 6-9. 出力電圧スイングと出力電流との関係(最大供給能力)

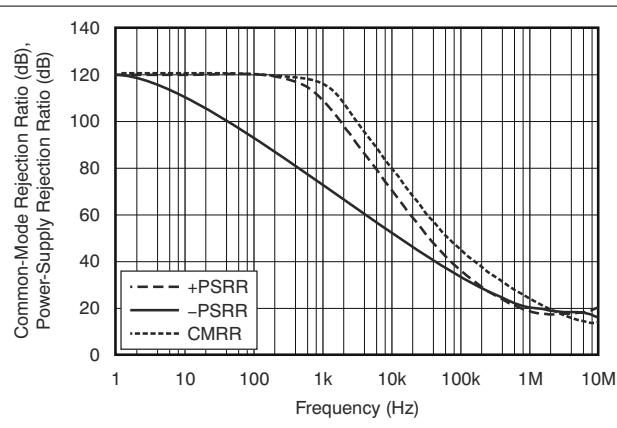


図 6-10. CMRR および PSRR と周波数との関係  
(入力換算)

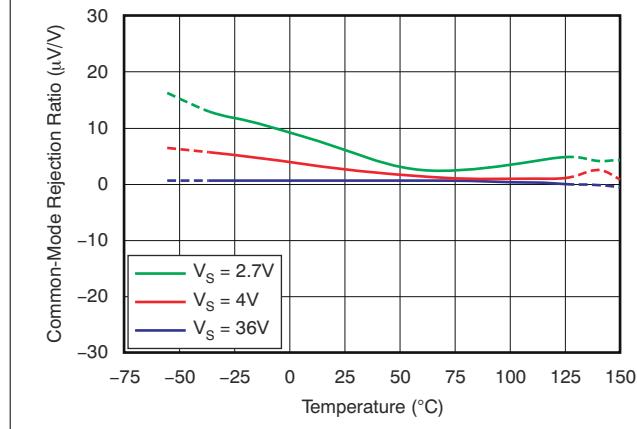


図 6-11. CMRR と温度との関係

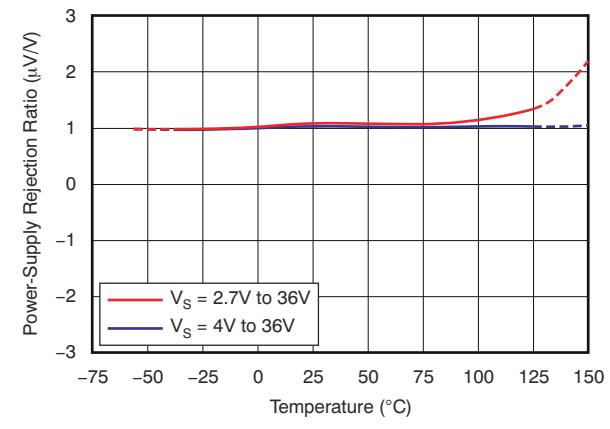


図 6-12. PSRR と温度との関係

### 6.7.1 代表的特性(続き)

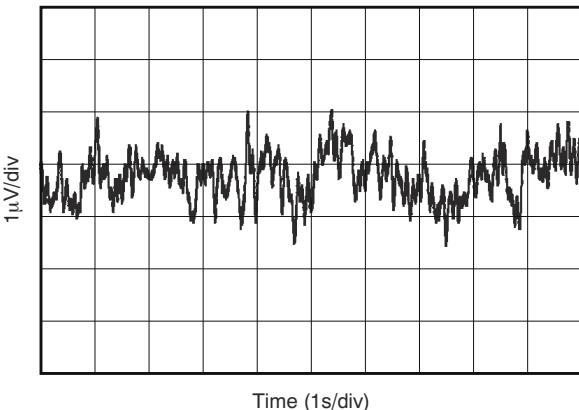


図 6-13. 0.1Hz～10Hz のノイズ

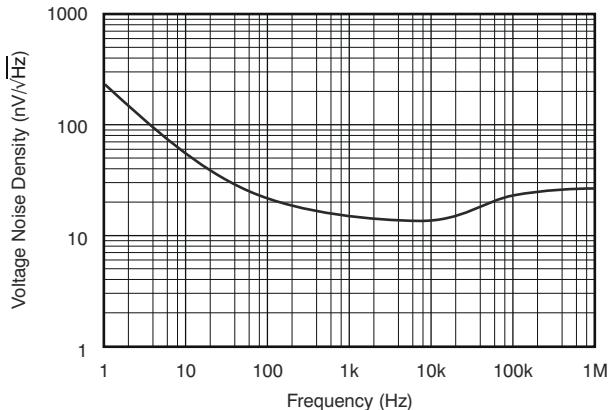


図 6-14. 入力電圧ノイズスペクトル密度と周波数との関係

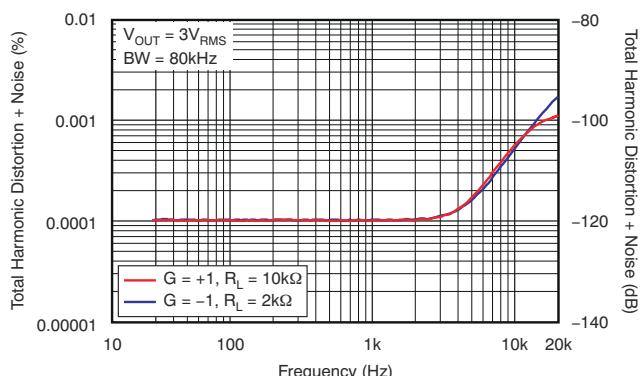


図 6-15. THD+N 比と周波数との関係

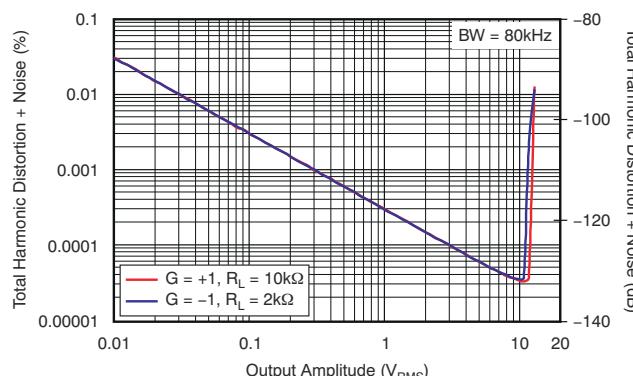


図 6-16. THD+N と出力振幅との関係

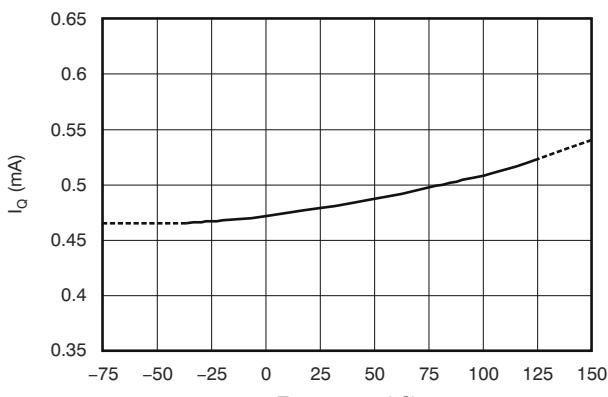


図 6-17. 静止電流と温度との関係

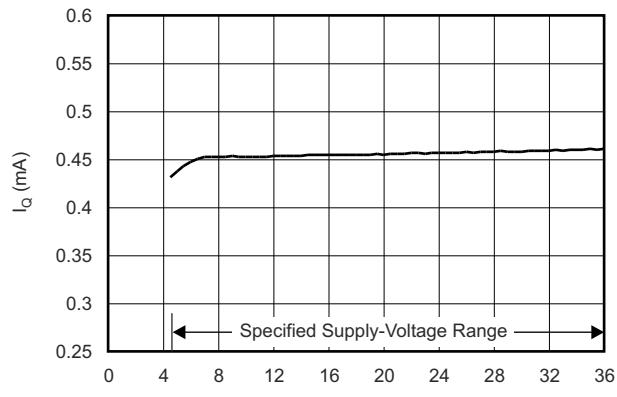


図 6-18. 静止電流と電源電圧との関係

### 6.7.1 代表的特性(続き)

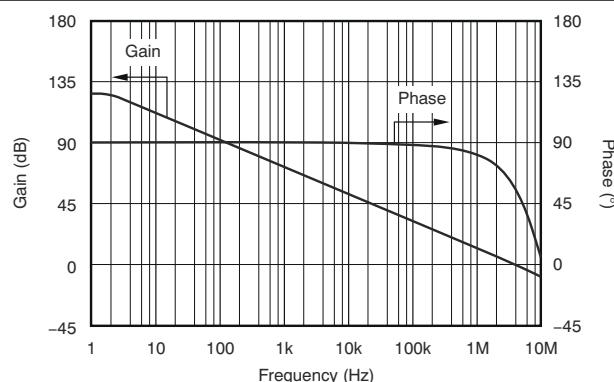


図 6-19. 開ループ ゲインおよび位相と周波数との関係

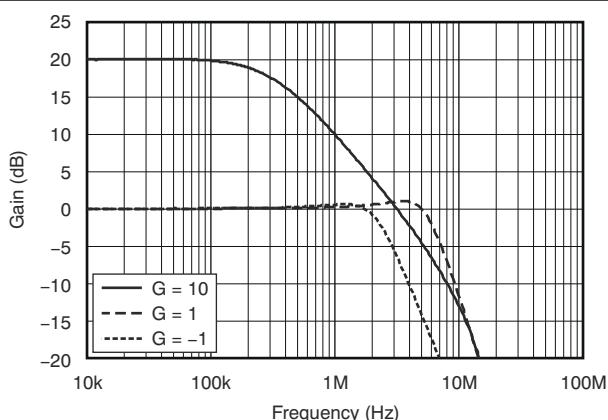


図 6-20. 閉ループ ゲインと周波数との関係

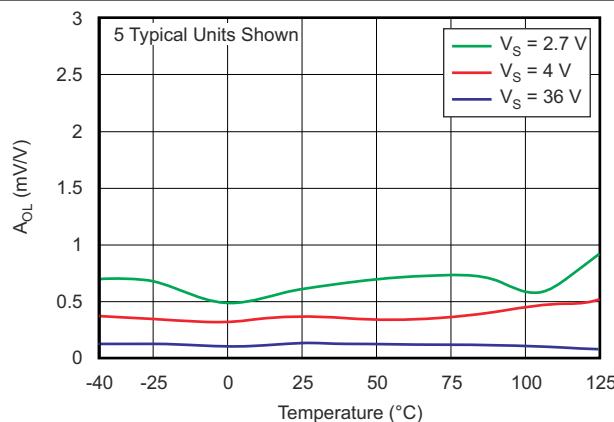


図 6-21. 開ループ ゲインと温度との関係

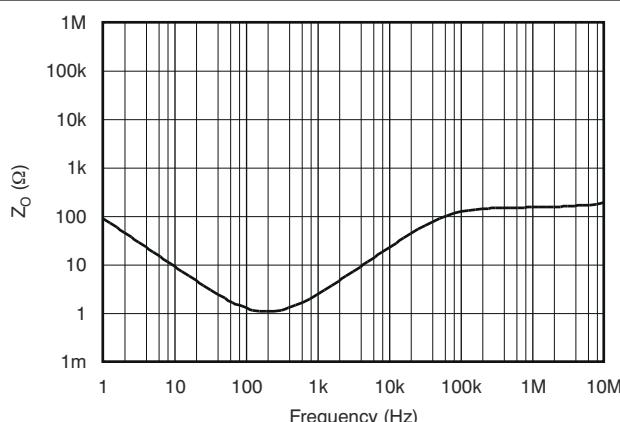


図 6-22. 開ループ出力インピーダンスと周波数との関係

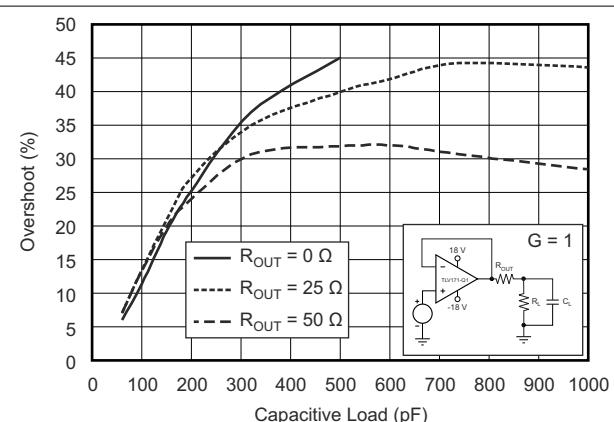


図 6-23. 小信号オーバーシュートと容量性負荷との関係  
(出力ステップ 100mV)

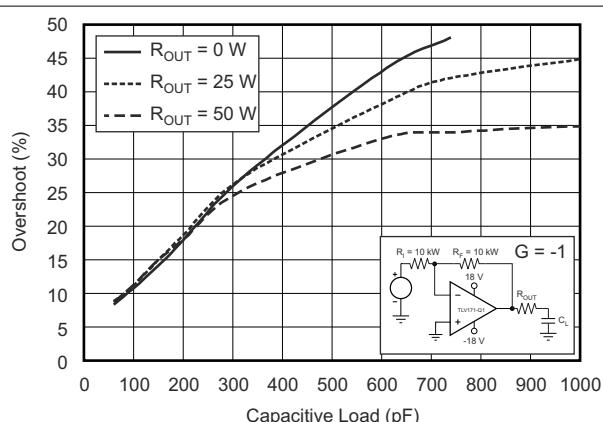
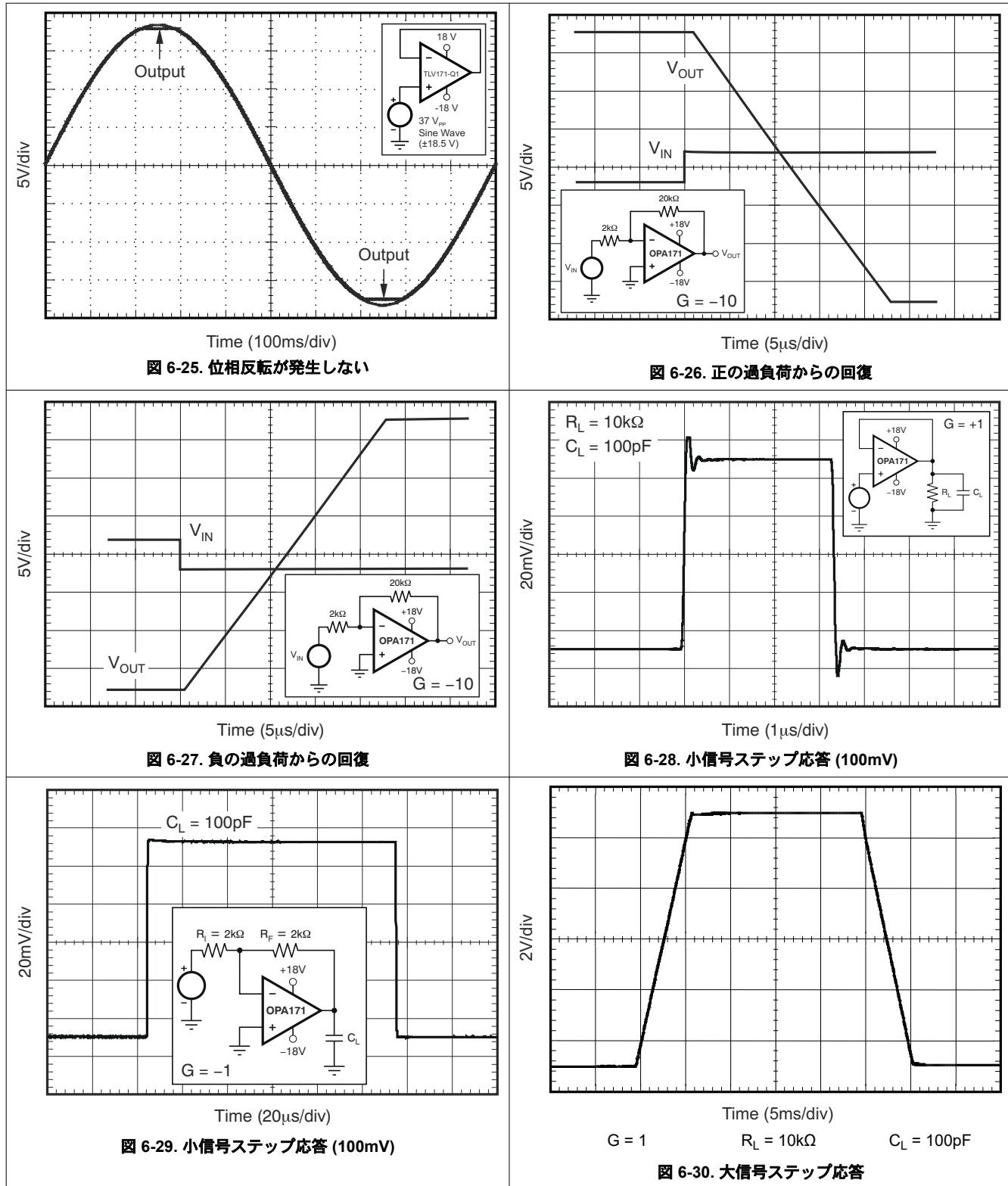
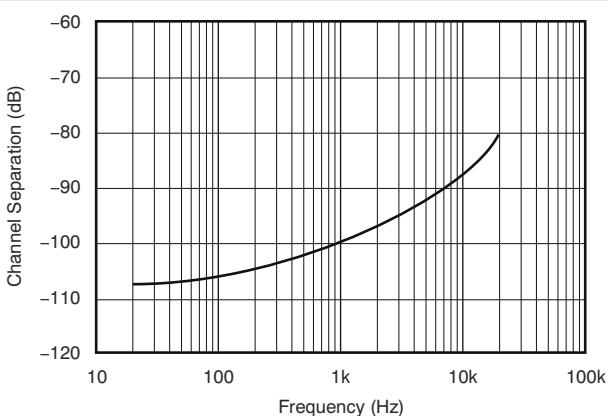
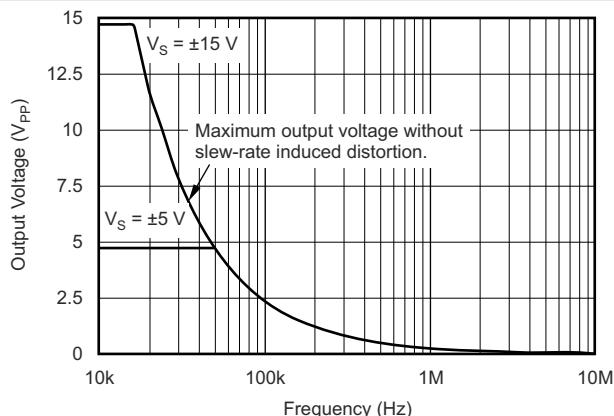
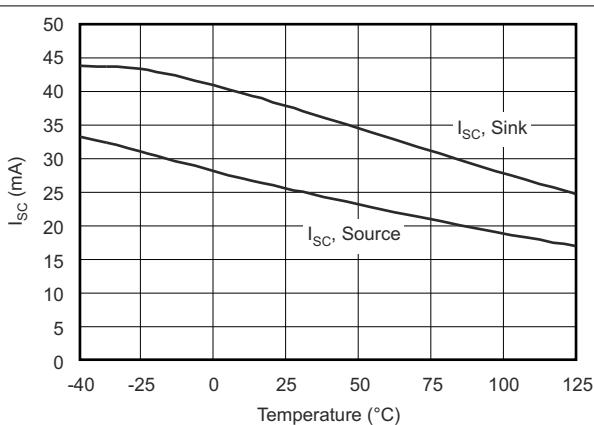
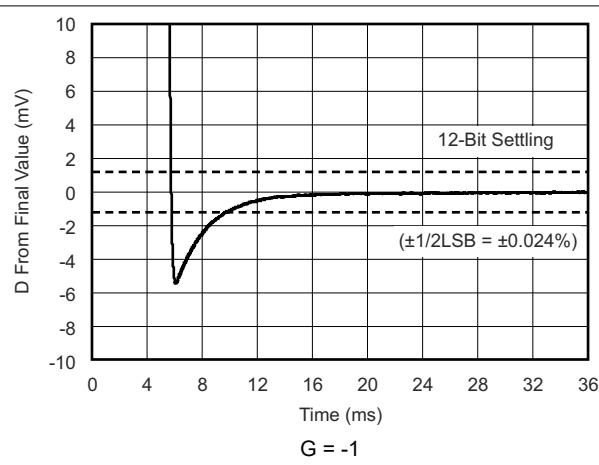
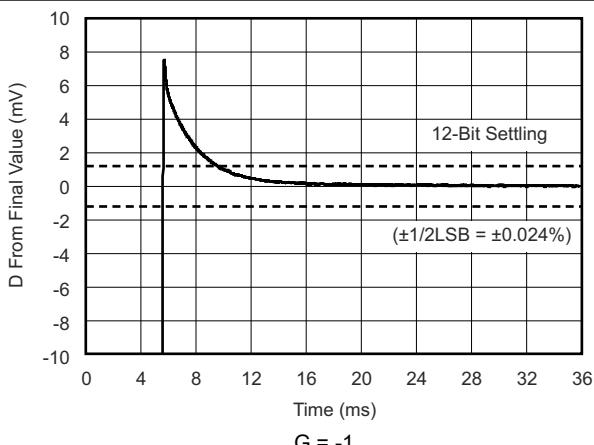
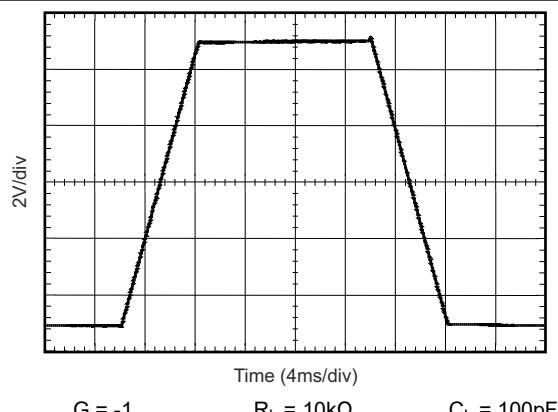


図 6-24. 小信号オーバーシュートと容量性負荷との関係  
(出力ステップ 100mV)

### 6.7.1 代表的特性(続き)



### 6.7.1 代表的特性(続き)

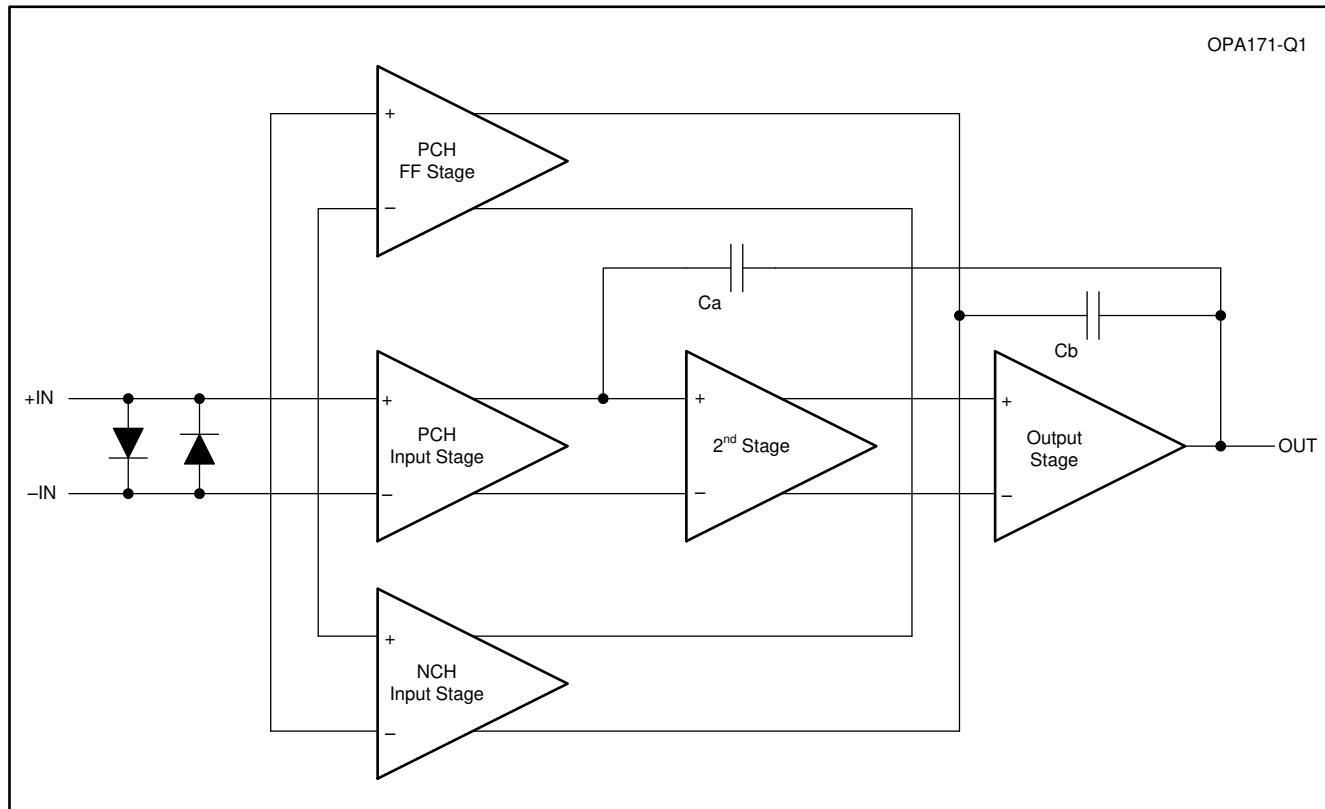


## 7 詳細説明

### 7.1 概要

OPAx171-Q1 ファミリのオペアンプは、全体的な性能が高く、多くの汎用アプリケーションに理想的です。オフセットドリフトはわずか  $1.5\mu\text{V}/^\circ\text{C}$  (最大値) で、温度範囲全体にわたって優れた安定性が得られます。さらに、このデバイスは CMRR、PSRR、AOL が高く、THD も優れているため、全体に非常に優れた性能を実現します。

### 7.2 機能ブロック図



### 7.3 機能説明

#### 7.3.1 動作特性

OPAx171-Q1 ファミリでのバイスは、 $2.7\text{V} \sim 36\text{V}$  ( $\pm 1.35\text{V} \sim \pm 18\text{V}$ ) で動作が規定されています。多くの仕様は、 $-40^\circ\text{C} \sim +125^\circ\text{C}$  の範囲に適用されます。動作電圧または温度で大きな変動のあるパラメータについては、[セクション 6.7](#) を参照してください。

#### 7.3.2 位相反転保護

OPAx171-Q1 ファミリのデバイスには、位相反転の保護機能が搭載されています。多くのオペアンプでは、入力がリニア同相範囲を超えて駆動されると、位相反転が発生します。この条件が最も多く発生するのは非反転回路で、規定された同相電圧範囲を超えて入力を駆動すると、出力は逆のレールに反転します。OPAx171-Q1 ファミリのデバイスの入力は、過剰な同相電圧による位相反転を防止します。代わりに、出力は適切なレールに制限されます。[図 7-1](#) にこの特性を示します。

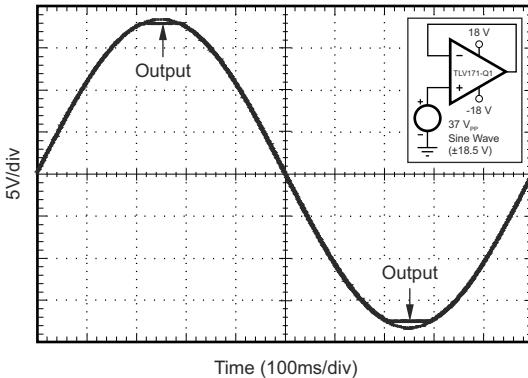


図 7-1. 位相反転が発生しない

### 7.3.3 容量性負荷および安定度

OPAx171-Q1 ファミリーのデバイスのダイナミック特性は、一般的に発生する動作条件に合わせて最適化されています。閉ループゲインが低く、容量性負荷が高いと、アンプの位相マージンが減少し、ゲインのピークや発振が発生する可能性があります。そのため、容量性負荷が大きい場合は、出力から絶縁する必要があります。この絶縁を実現する最も簡単な方法は、出力に小さな抵抗 ( $R_{OUT}$  が  $50\Omega$  など) を直列に追加することです。図 7-2 および 図 7-3 に、いくつかの  $R_{OUT}$  の値について、小信号オーバーシュートと容量性負荷との関係を示します。解析手法とアプリケーション回路の詳細については、[TI.com](#) からダウンロードできる [アプリケーションレポート AB-028](#) を参照してください。

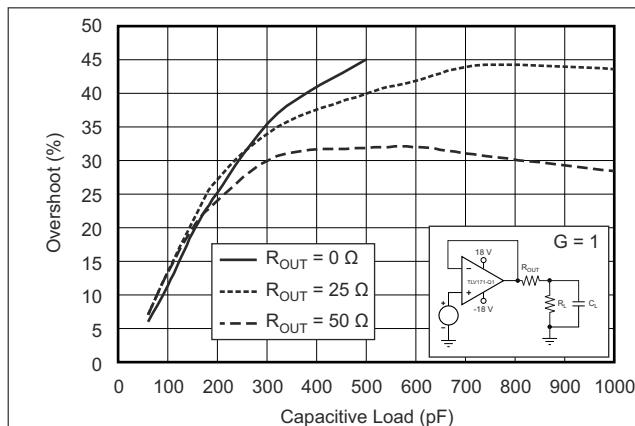


図 7-2. 小信号オーバーシュートと容量性負荷との関係  
(出力ステップ 100mV)

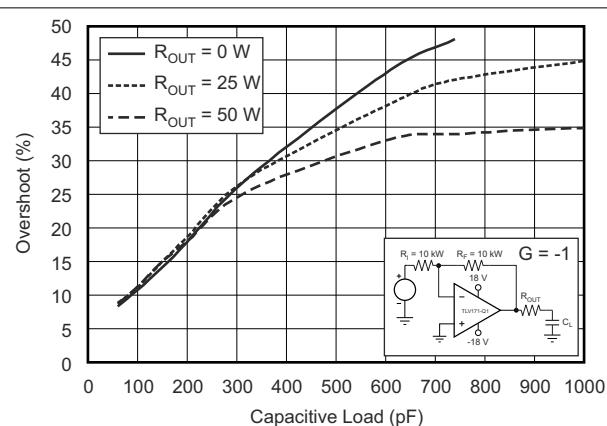


図 7-3. 小信号オーバーシュートと容量性負荷との関係  
(出力ステップ 100mV)

## 7.4 デバイスの機能モード

### 7.4.1 同相電圧範囲

OPAx171-Q1 ファミリのデバイスの入力同相電圧範囲は、通常動作において負のレールより 100mV 下、および上限レールの 2V 以内です。

このデバイスは、上限レールより 100mV 上まで完全なレール ツー レール入力で動作できますが、上限レールから 2V 以内では性能が低下することに注意してください。この範囲の代表的性能を [表 7-1](#) に示します。

**表 7-1. 代表的性能範囲**

パラメータ	最小値	代表値	最大値	単位
入力同相電圧	(V+) - 2		(V+) + 0.1	V
オフセット電圧		7		mV
オフセット電圧と温度との関係		12		µV/°C
同相除去		65		dB
開ループ ゲイン		60		dB
GBW		0.7		MHz
スルーレート		0.7		V/µs
f = 1kHz でのノイズ		30		nV/√Hz

## 8 アプリケーションと実装

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 アプリケーション情報

OPAx171-Q1 オペアンプ ファミリは、全体的な性能が高く、多くの汎用アプリケーションに理想的です。オフセット ドリフトはわずか  $2\mu\text{V}/^\circ\text{C}$  で、温度範囲全体にわたって優れた安定性が得られます。さらに、このデバイスは CMRR、PSRR、 $A_{OL}$  が高く、全体に非常に優れた性能を実現します。すべてのアンプと同様に、ノイズの多い、または高インピーダンスの電源を使用するアプリケーションでは、デバイスのピンの近くにデカッピング コンデンサが必要です。通常は、 $0.1\mu\text{F}$  のコンデンサが適しています。

#### 8.1.1 電気的オーバーストレス

設計者は、オペアンプが電気的オーバーストレスにどの程度耐えられるのかという質問をすることがあります。これらの質問は、主にデバイスの入力に関するものですが、電源電圧ピンや、さらに出力ピンにも関係する場合があります。これらの各ピンの機能には、特定の半導体製造プロセスの電圧ブレークダウン特性と、ピンに接続された特定の回路とで決まる電気的ストレスの制限値があります。また、これらの回路には内部に静電気放電 (ESD) 保護機能が組み込まれており、製品の組み立て前にも組み立て中にも、偶発的な ESD イベントから保護します。

この基本的な ESD 回路と、電気的オーバーストレス イベントとの関連性を十分に理解しておくと役に立ちます。に、に含まれる ESD 回路の図を示します (破線で囲まれている部分)。ESD 保護回路には、いくつかの電流ステアリング ダイオードが含まれており、入力ピンや出力ピンから内部の電源ラインへ戻るように配線されています。さらに、これらのダイオードは、オペアンプ内部の吸収デバイスにも接続されます。この保護回路は、通常の回路動作中は非アクティブに保たれるよう設計されます。

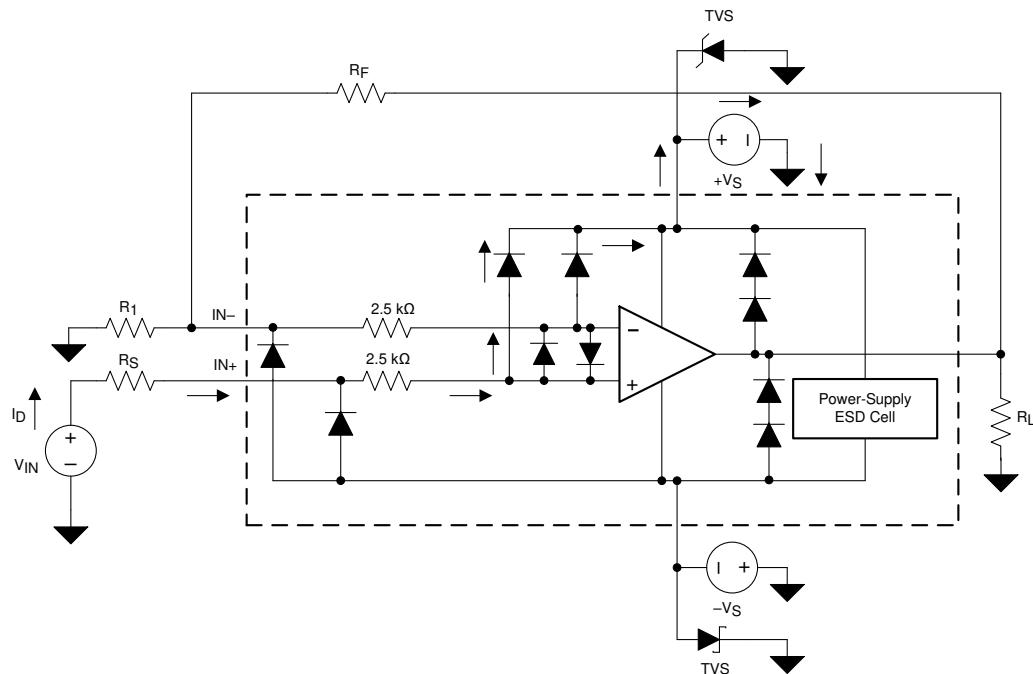


図 8-1. 代表的な回路アプリケーションと比較して等価な内部 ESD 回路

ESD イベントがあると、短時間の高電圧パルスが発生し、それが半導体デバイスを通して放電する際に、短時間の大電流パルスに変わります。ESD 保護回路は、オペアンプコアを迂回する電流経路を提供して、損傷を防止するように設計されています。保護回路によって吸収されたエネルギーは、熱として放散されます。

2つ以上のアンプ デバイスピンの間に ESD 電圧が発生すると、電流は1つまたは複数のステアリング ダイオードを流れます。電流が流れる経路に応じて、吸収デバイスがアクティブになります。吸収デバイスのトリガまたはスレッショルド電圧は、OPAx171-Q1 の通常動作電圧より高く、デバイスのブレークダウン電圧レベルよりも低くなっています。このスレッショルドを超えると、吸収デバイスが迅速にアクティブになり、電源レールの電圧を安全なレベルにクランプします。

オペアンプを回路に接続したとき(参照)、ESD 保護部品は非アクティブのままであり、アプリケーション回路の動作に関与しません。ただし、印加された電圧が特定のピンの動作電圧範囲を超える状況が発生する可能性があります。この状況が発生した場合、一部の内部 ESD 保護回路がオンになって電流が流れるリスクがあります。このような電流の流れは、ステアリング ダイオード パスを経由して発生し、吸収デバイスが関係することはほとんどありません。

に、入力電圧 ( $V_{IN}$ ) が正電源電圧 ( $V_+$ ) を 500mV 以上上回る具体的な例を示します。この回路で発生する現象の多くは、電源の特性によって異なります。 $V_+$  が電流をシンクできる場合、上側の入力ステアリング ダイオードの1つが導通し、電流を  $V_+$  へ導きます。 $V_{IN}$  が高くなると、非常に高いレベルの電流が流れる可能性があります。その結果、データシートの仕様では、アプリケーションが入力電流を 10mA に制限することを推奨しています。

電源が電流をシンクできない場合、 $V_{IN}$  はオペアンプへの電流ソースを開始し、その後、正の電源電圧供給を引き継ぐことができます。この場合の危険は、電圧がオペアンプの絶対最大定格を超えるレベルまで上昇する可能性があることです。

もう1つのよくある質問は、電源電圧 ( $V_+$  または  $V_-$ ) が 0V のときに入力に入力信号が印加された場合、アンプがどのように動作するかです。この質問は、0V 時または入力信号振幅より低いレベルでの電源特性に依存します。見かけ上、電源のインピーダンスが高い場合、オペアンプの電流は入力ソースから電流ステアリング ダイオードを経由して供給されます。この状態は正常なバイアス状態ではありません。アンプは正常に動作しない可能性が高くなります。電源のインピーダンスが低い場合には、ステアリング ダイオードを流れる電流が非常に大きくなる可能性があります。電流レベルは、入力ソースが電流を供給できる能力と、入力バスに存在する抵抗によって異なります。

この電流を吸収する電源の能力が不確実である場合は、外部ツェナー ダイオードを電源ピンに追加します。を参照してください。通常動作中にダイオードがオンにならないようなツェナー電圧を選択します。ただし、電源ピンが安全な動作電源電圧レベルを超えた場合にはツェナー ダイオードが導通する程度に、ツェナー電圧を低くする必要があります。

OPAx171-Q1 の入力ピンは、バックツー バック ダイオードにより、過剰な差動電圧から保護されています。を参照してください。ほとんどの回路アプリケーションでは、入力保護回路は何の影響も及ぼしません。ただし、低ゲインまたは  $G = 1$  の回路では、アンプの出力が入力ランプに十分な速さで応答できなかったため、これらのダイオードに高速ランプ入力信号によって順バイアスがかかる可能性があります。入力信号が十分に速く、この順バイアスの状況が発生する場合は、入力信号電流を 10mA 以下に制限してください。入力信号電流が本質的に制限されていない場合は、入力直列抵抗を使用して入力信号電流を制限できます。この入力直列抵抗は、OPAx171-Q1 の低ノイズ性能を低下させます。に、電流を制限する帰還抵抗を実装する構成例を示します。

## 8.2 代表的なアプリケーション

### 8.2.1 絶縁抵抗の使用による容量性負荷駆動のソリューション

OPAx171-Q1 デバイスは、ケーブルシールド、リファレンスバッファ、MOSFETゲート、ダイオードなどの容量性負荷に使用できます。回路で絶縁抵抗( $R_{ISO}$ )を使用してオペアンプ出力を安定化させます。 $R_{ISO}$ でシステムの開ループゲインを変更することで回路の十分な位相マージンを維持します。

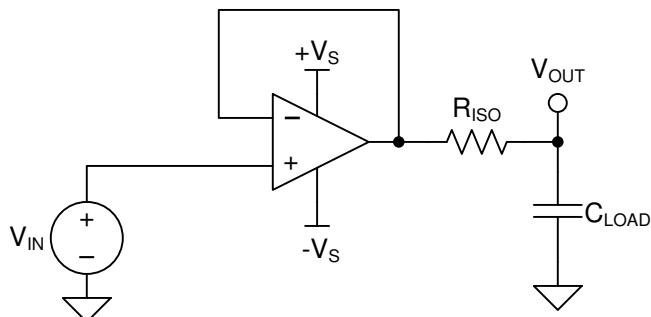


図 8-2. ユニティゲインバッファ、 $R_{ISO}$  安定性補償

#### 8.2.1.1 設計要件

設計要件は次のとおりです。

- 電源電圧: 30V ( $\pm 15V$ )
- 容量性負荷: 100pF, 1000pF, 0.01μF, 0.1μF, 1μF
- 位相マージン: 45° および 60°

#### 8.2.1.2 詳細な設計手順

図 8-3 は容量性負荷を駆動するユニティゲインバッファを示したものです。式 1 は 図 8-3 の回路の伝達関数を示しています。図 8-3 には、オペアンプの開ループ出力抵抗  $R_o$  は示されていません。

$$T(s) = \frac{1 + C_{LOAD} \times R_{ISO} \times s}{1 + (R_o + R_{ISO}) \times C_{LOAD} \times s} \quad (1)$$

式 1 の伝達関数には極と零点があります。極の周波数( $f_p$ )は、 $(R_o + R_{ISO})$  と  $C_{LOAD}$  によって決まります。零点の周波数( $f_z$ )は、成分  $R_{ISO}$  と  $C_{LOAD}$  によって決まります。 $R_{ISO}$  を選択すると、開ループゲイン( $A_{OL}$ )と  $1/\beta$  の間の ROC (Rate Of Closure) が 20dB/dec となる安定したシステムが得られます。この概念を 図 8-3 に示します。ユニティゲインバッファの  $1/\beta$  曲線は 0dB です。

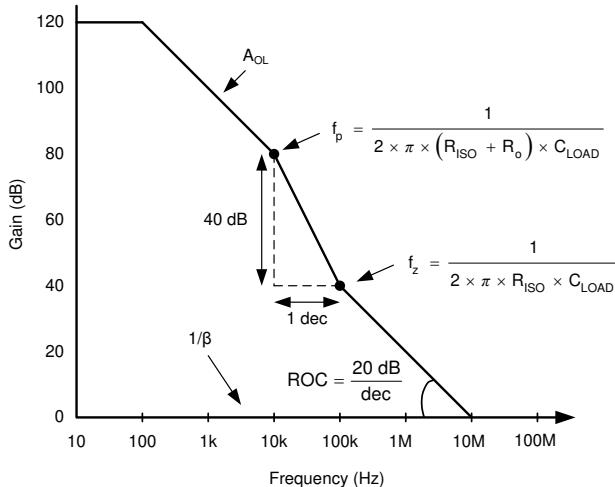


図 8-3. ユニティ ゲイン アンプ、 $R_{ISO}$  補償

ROC の安定性解析をシミュレーションするのが一般的です。この解析の妥当性は複数の要因に依存し、特に  $R_o$  を正確にモデル化することが重要です。ROC のシミュレーションのほかに堅牢な安定性解析としては、ファンクション ジェネレータ、オシロスコープ、ゲイン / 位相アナライザを使用して回路のオーバーシュートの割合と AC ゲインのピークを測定する手法があります。その後、それらの測定値から位相マージンを計算します。表 8-1 に、45° と 60° の位相マージンに対応するオーバーシュートの割合と AC ゲインのピークを示します。この設計の詳細と OPA171-Q1 の代わりに使用できるデバイスについては、「絶縁抵抗の使用による容量性負荷駆動のソリューション」を参照してください。

表 8-1. 位相マージンとオーバーシュートおよび AC ゲインのピークとの関係

位相マージン	オーバーシュート	AC ゲインのピーク
45°	23.3%	2.35 dB
60°	8.8%	0.28 dB

#### 8.2.1.3 アプリケーション曲線

OPAx171-Q1 シリーズは、30V の電源電圧要件を満たしています。OPAx171-Q1 デバイスは、さまざまな容量性負荷に対してテストされ、表 8-1 に対応するオーバーシュートを達成するように  $R_{ISO}$  が調整されています。図 8-4 にテスト結果を示します。

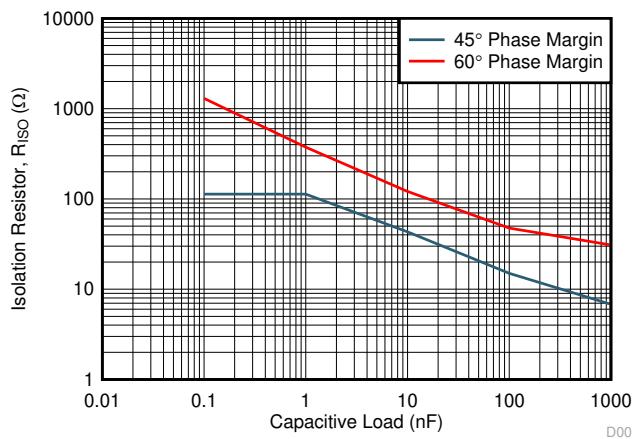


図 8-4.  $R_{ISO}$  と  $C_{LOAD}$  との関係

## 9 電源に関する推奨事項

OPAx171-Q1 ファミリのデバイスは 4.5V～36V ( $\pm 2.25V \sim \pm 18V$ ) で動作が規定されており、多くの仕様は -40°C～+125°C で適用されます。動作電圧または温度に関して大きな変動を示す可能性があるパラメータについては、[セクション 6.7](#) を参照してください。

### 注意

電源電圧が 40V を超えると、デバイスに恒久的な損傷を与える可能性があります。[セクション 6.1](#) の表を参考してください。

電源ピンの近くに  $0.1\mu F$  のバイパスコンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源から混入する誤差を低減できます。バイパスコンデンサの配置の詳細については、[セクション 10](#) を参照してください。

## 10 レイアウト

### 10.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するため、以下のような優れた PCB レイアウト手法を使用してください。

- ノイズが回路全体の電源ピンとオペアンプ自体を経由して、アナログ回路に伝播することがあります。バイパスコンデンサは、アナログ回路に対してローカルに低インピーダンスの電源を供給し、結合ノイズを低減するために使用されます。
  - 各電源ピンとグランドとの間に、低 ESR の  $0.1\mu\text{F}$  セラミックバイパスコンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、V+ からグランドに対して 1 つのバイパスコンデンサを接続します。
- 回路のアナログ部とデジタル部を別々に接地することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグランドプレーン専用です。グランドプレーンは熱を分散させ、EMI ノイズを拾いにくくする役割を果たします。グランド電流の流れに注意して、デジタルグランドとアナロググランドを物理的に確実に分離してください。
- 寄生カップリングを低減するには、入力配線を電源配線や出力配線からできるだけ離して配置します。これらの配線を離して配置できない場合、影響を受けやすい配線をノイズの多い配線と平行にするのではなく、直角に交差させる方がはるかに良い結果が得られます。
- 外付け部品は、可能な限りデバイスに近く配置します。図 10-1 に示すように、寄生容量を最小限に抑えるため、RF と RG は反転入力の近くに配置します。
- 入力トレースは、できる限り短くします。入力トレースは、回路の最も影響を受ける部分であることに常に注意してください。
- 重要なトレースの周囲に、駆動される低インピーダンスのガードリングを配置することを検討してください。ガードリングを使用すると、付近に存在する、さまざまな電位のトレースからのリーク電流を大幅に低減できます。

### 10.2 レイアウト例

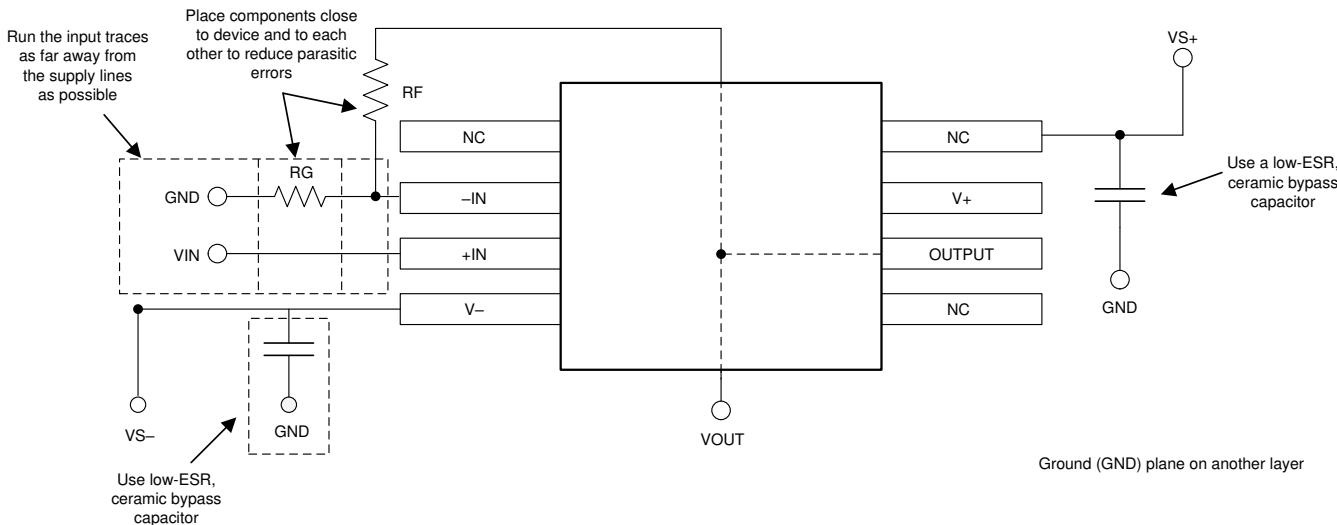


図 10-1. 非反転構成のオペアンプ基板のレイアウト

## 11 デバイスおよびドキュメントのサポート

### 11.1 ドキュメントのサポート

#### 11.1.1 関連資料

関連資料については、以下を参照してください。

- [アプリケーション レポート AB-028](#)
- [絶縁抵抗の使用による容量性負荷駆動のソリューション](#)

#### 11.2 関連リンク

次の表に、クリック アクセス リンクを示します。カテゴリには、技術資料、サポートおよびコミュニティリソース、ツールとソフトウェア、およびサンプル注文またはご購入へのクリック アクセスが含まれます。

表 11-1. 関連リンク

製品	プロダクト フォルダ	サンプルとご購入	技術資料	ツールとソフトウェア	サポートとコミュニティ
OPA171-Q1	<a href="#">こちらをクリック</a>				
OPA2171-Q1	<a href="#">こちらをクリック</a>				
OPA4171-Q1	<a href="#">こちらをクリック</a>				

#### 11.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス 製品 フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

#### 11.4 サポート・リソース

[TI E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により、現状のまま提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

#### 11.5 商標

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

#### 11.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい ESD 対策をとらないと、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

#### 11.7 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報はそのデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA171AQDBVRQ1	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU   SN	Level-2-260C-1 YEAR	-40 to 125	OULQ
OPA171AQDBVRQ1.A	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OULQ
OPA2171AQDGKRQ1	Active	Production	VSSOP (DGK)   8	2500   LARGE T&R	Yes	NIPDAU   NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	2171
OPA2171AQDGKRQ1.A	Active	Production	VSSOP (DGK)   8	2500   LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	2171
OPA2171AQDRQ1	Active	Production	SOIC (D)   8	2500   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	2171AQ
OPA2171AQDRQ1.A	Active	Production	SOIC (D)   8	2500   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	2171AQ
OPA4171AQDRQ1	Active	Production	SOIC (D)   14	2500   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4171Q1
OPA4171AQDRQ1.A	Active	Production	SOIC (D)   14	2500   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4171Q1
OPA4171AQPWRQ1	Active	Production	TSSOP (PW)   14	2000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	O4171Q1
OPA4171AQPWRQ1.A	Active	Production	TSSOP (PW)   14	2000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	O4171Q1

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

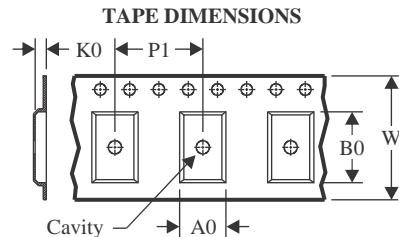
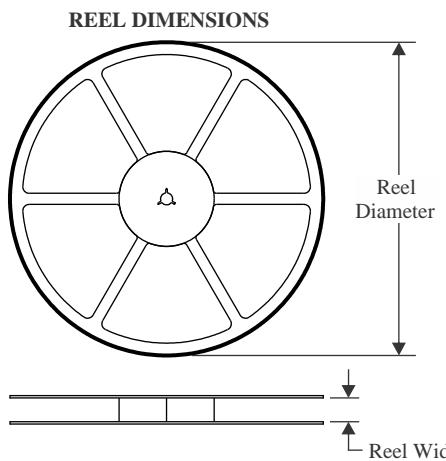
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF OPA171-Q1, OPA2171-Q1, OPA4171-Q1 :**

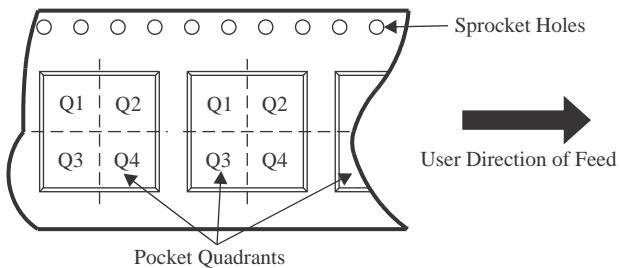
- Catalog : [OPA171](#), [OPA2171](#), [OPA4171](#)
- Enhanced Product : [OPA2171-EP](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

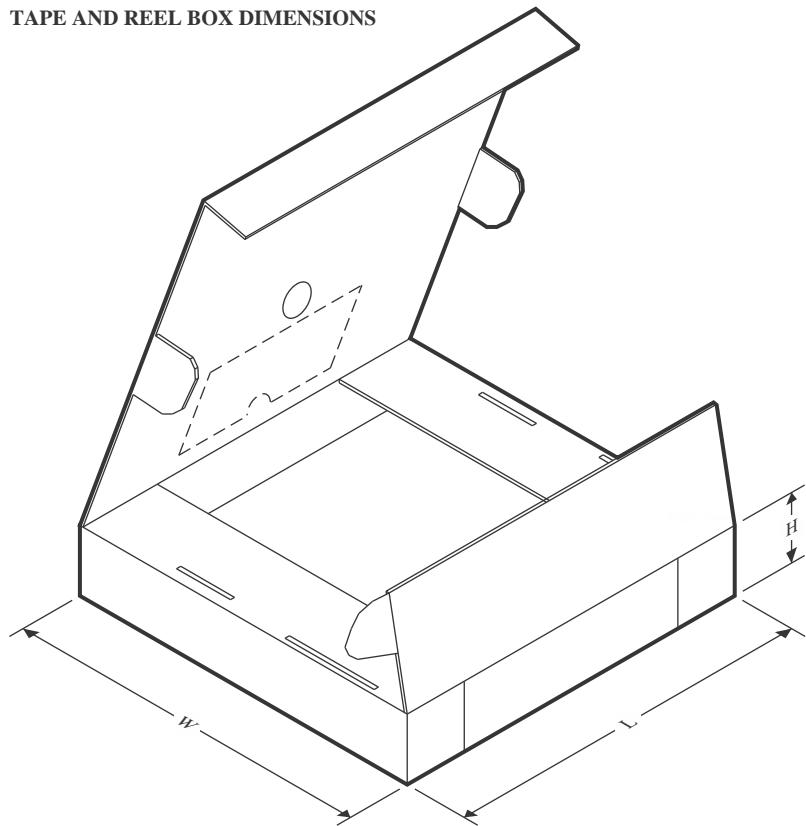
**TAPE AND REEL INFORMATION**

A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**

\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA171AQDBVRQ1	SOT-23	DBV	5	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
OPA2171AQDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2171AQDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA4171AQDRQ1	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
OPA4171AQPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA171AQDBVRQ1	SOT-23	DBV	5	3000	202.0	201.0	28.0
OPA2171AQDGKRQ1	VSSOP	DGK	8	2500	366.0	364.0	50.0
OPA2171AQDRQ1	SOIC	D	8	2500	353.0	353.0	32.0
OPA4171AQDRQ1	SOIC	D	14	2500	353.0	353.0	32.0
OPA4171AQPWRQ1	TSSOP	PW	14	2000	353.0	353.0	32.0

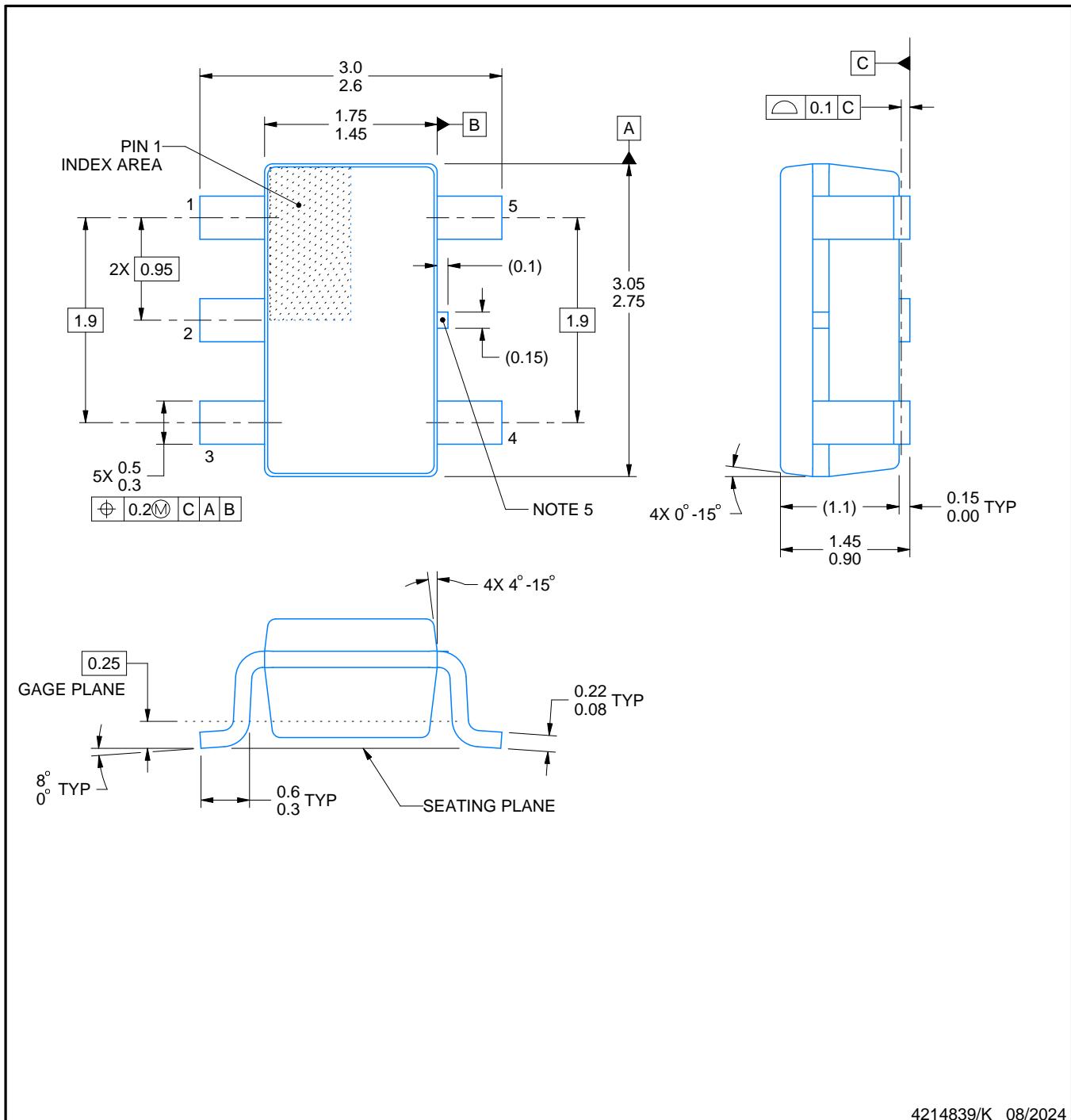
## **PACKAGE OUTLINE**

**DBV0005A**



## **SOT-23 - 1.45 mm max height**

## SMALL OUTLINE TRANSISTOR



4214839/K 08/2024

## NOTES:

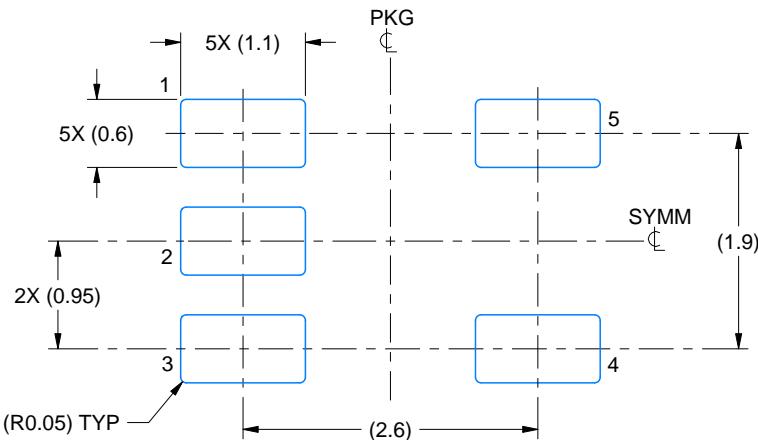
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
  2. This drawing is subject to change without notice.
  3. Reference JEDEC MO-178.
  4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
  5. Support pin may differ or may not be present.

# EXAMPLE BOARD LAYOUT

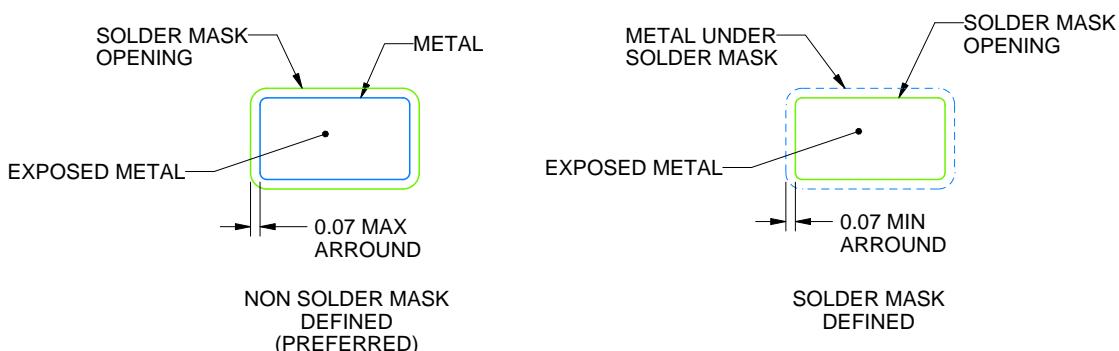
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

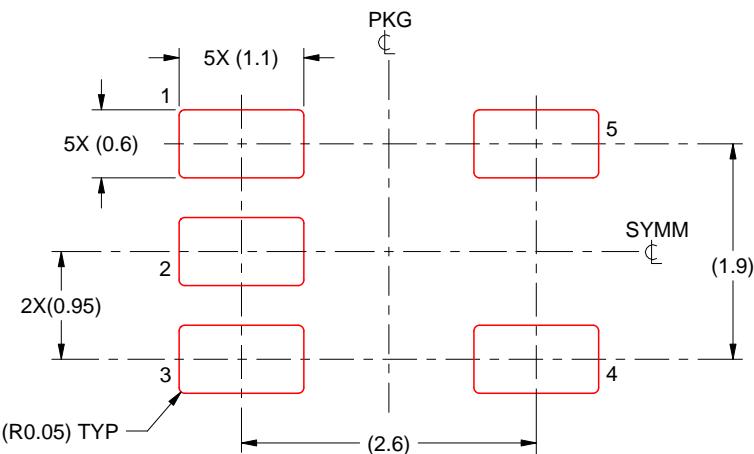
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

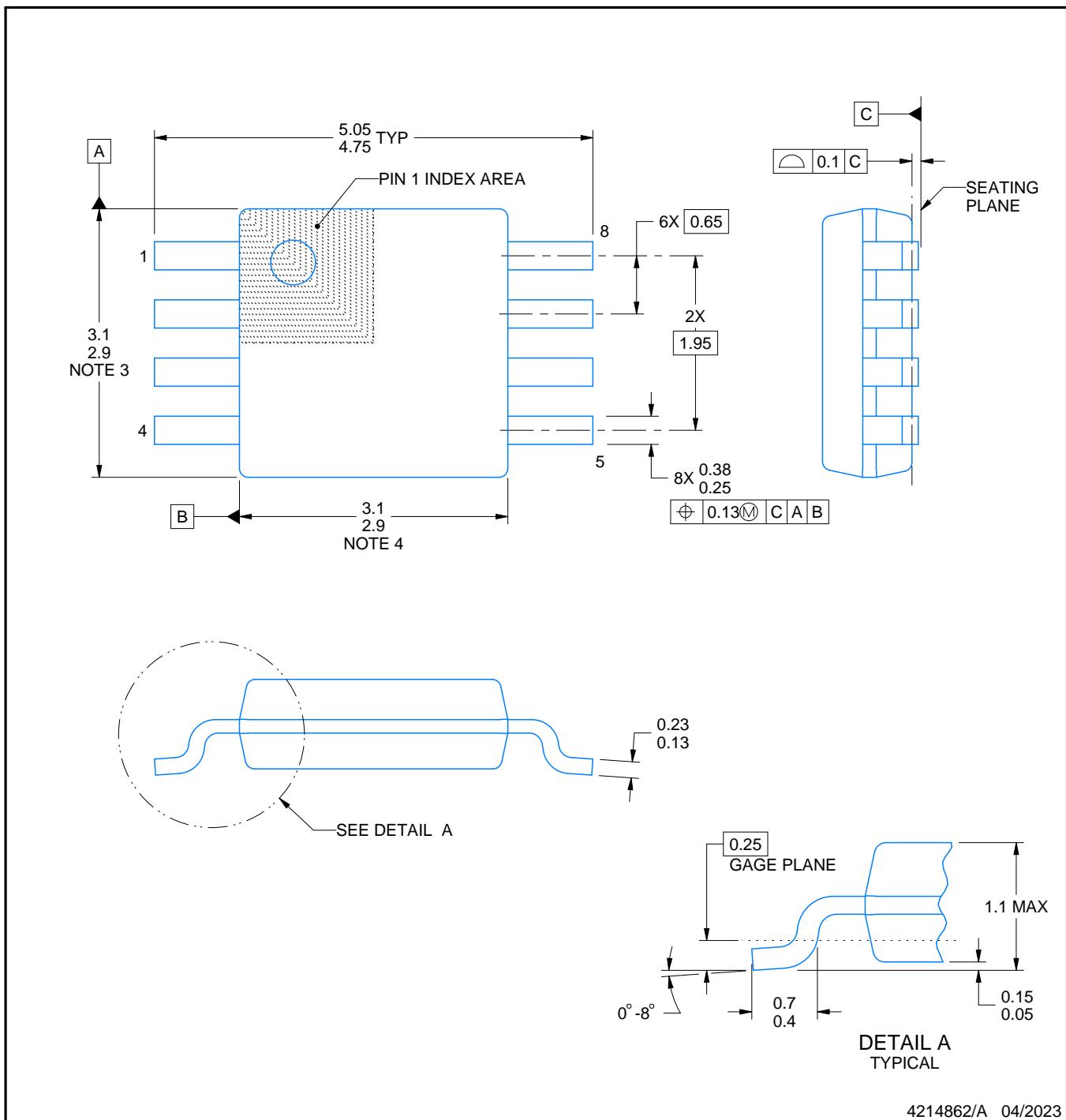
DGK0008A



# PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES:

PowerPAD is a trademark of Texas Instruments.

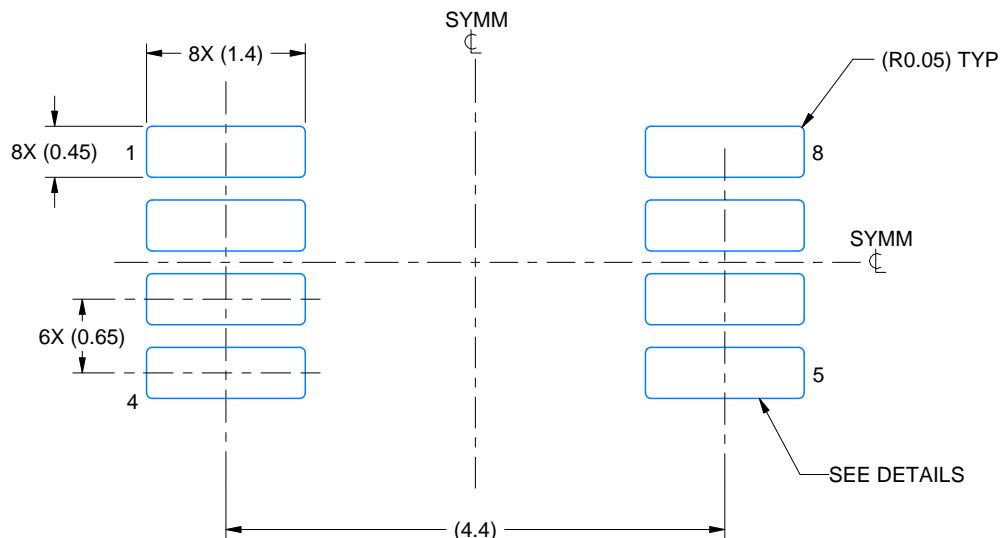
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

# EXAMPLE BOARD LAYOUT

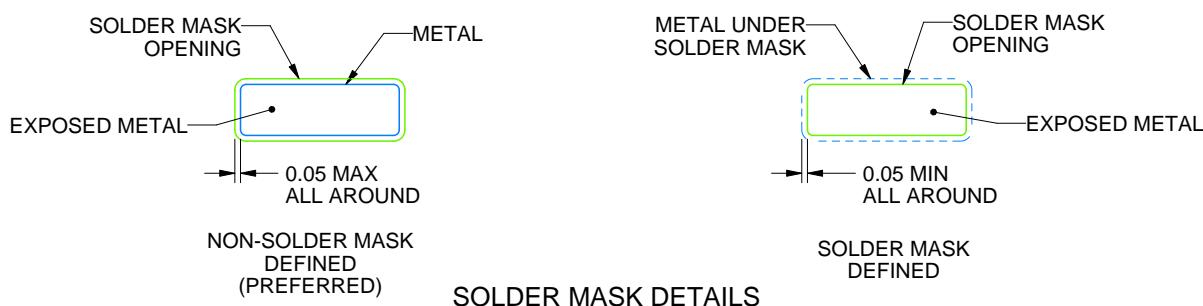
DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 15X



4214862/A 04/2023

NOTES: (continued)

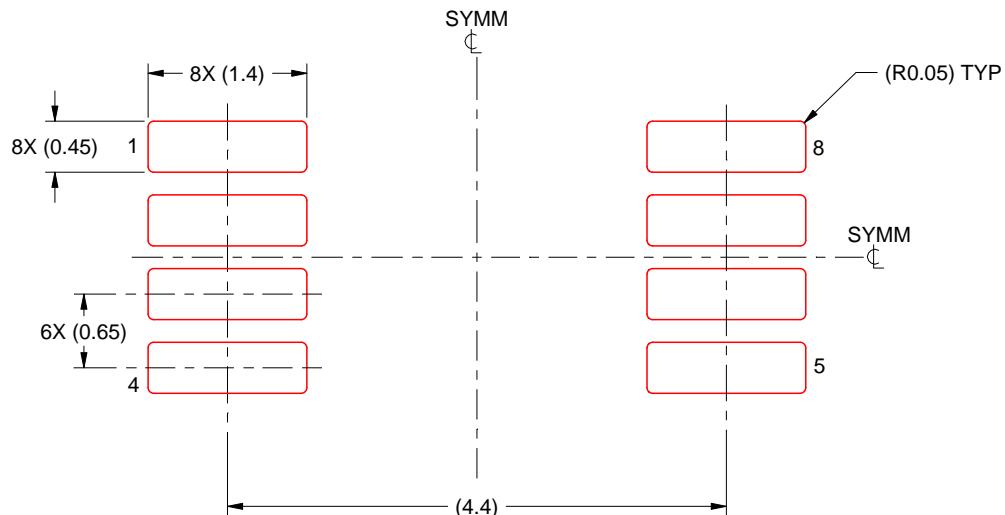
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

# EXAMPLE STENCIL DESIGN

DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE  
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

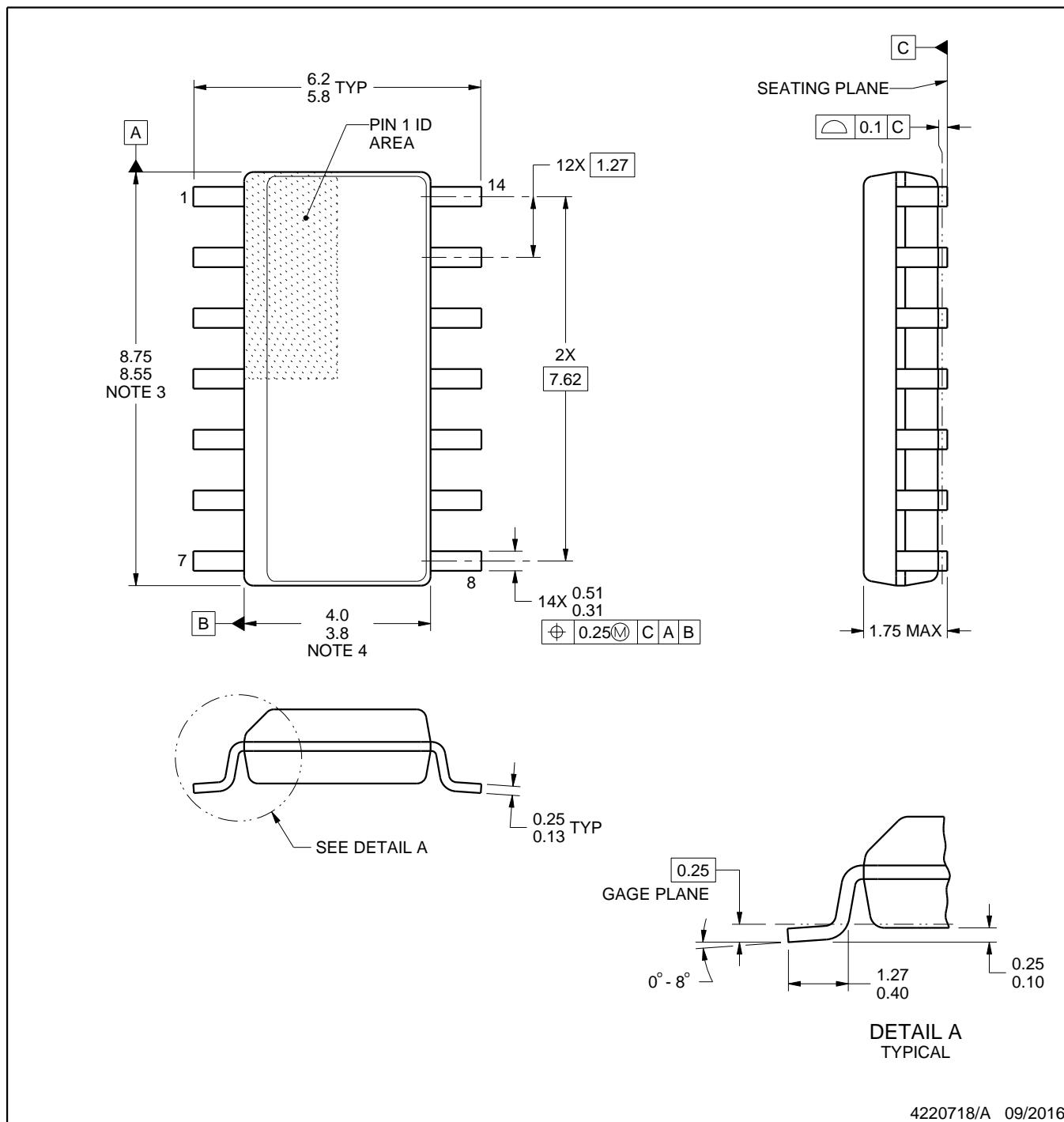
11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

# PACKAGE OUTLINE

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

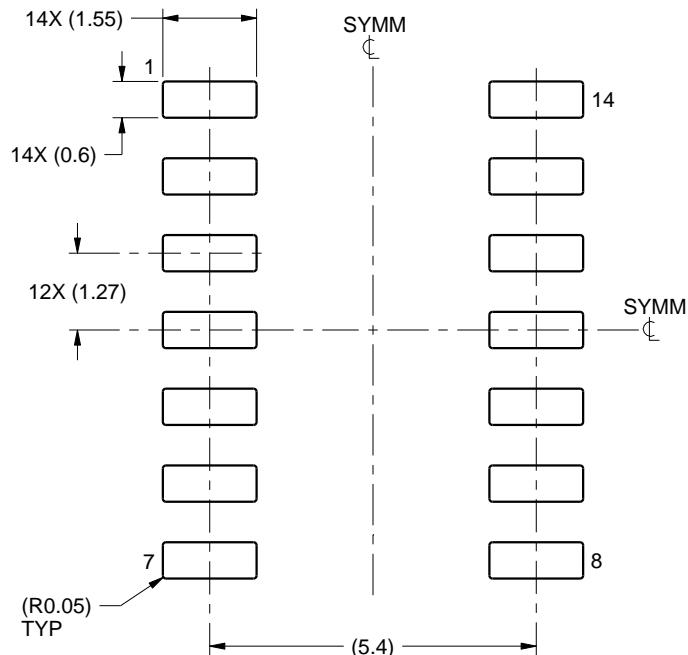
- All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
- Reference JEDEC registration MS-012, variation AB.

# EXAMPLE BOARD LAYOUT

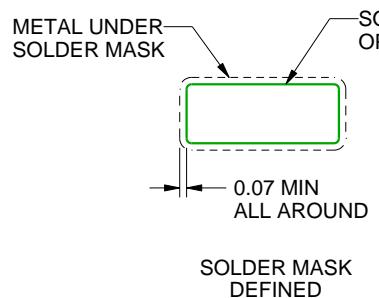
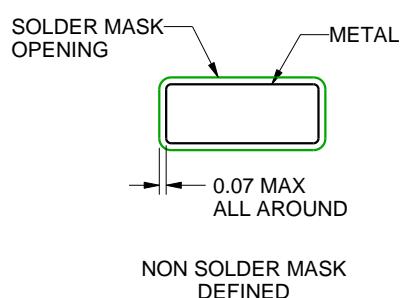
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE  
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

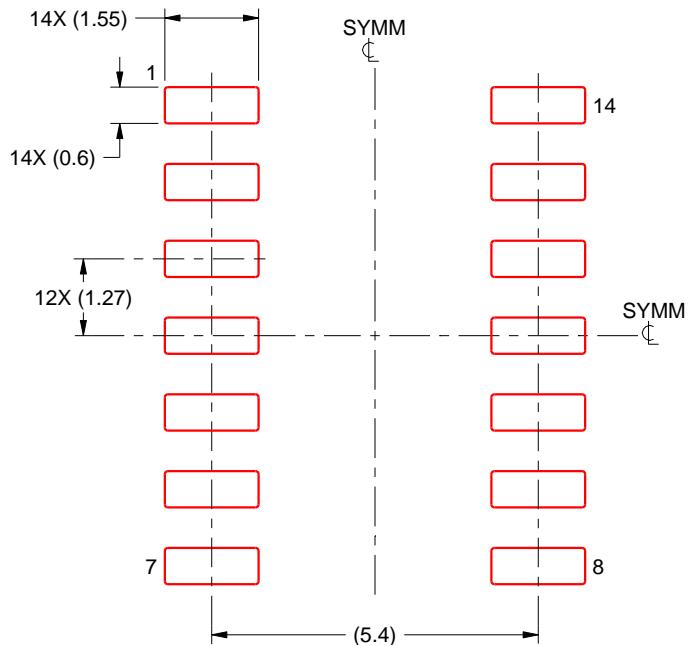
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

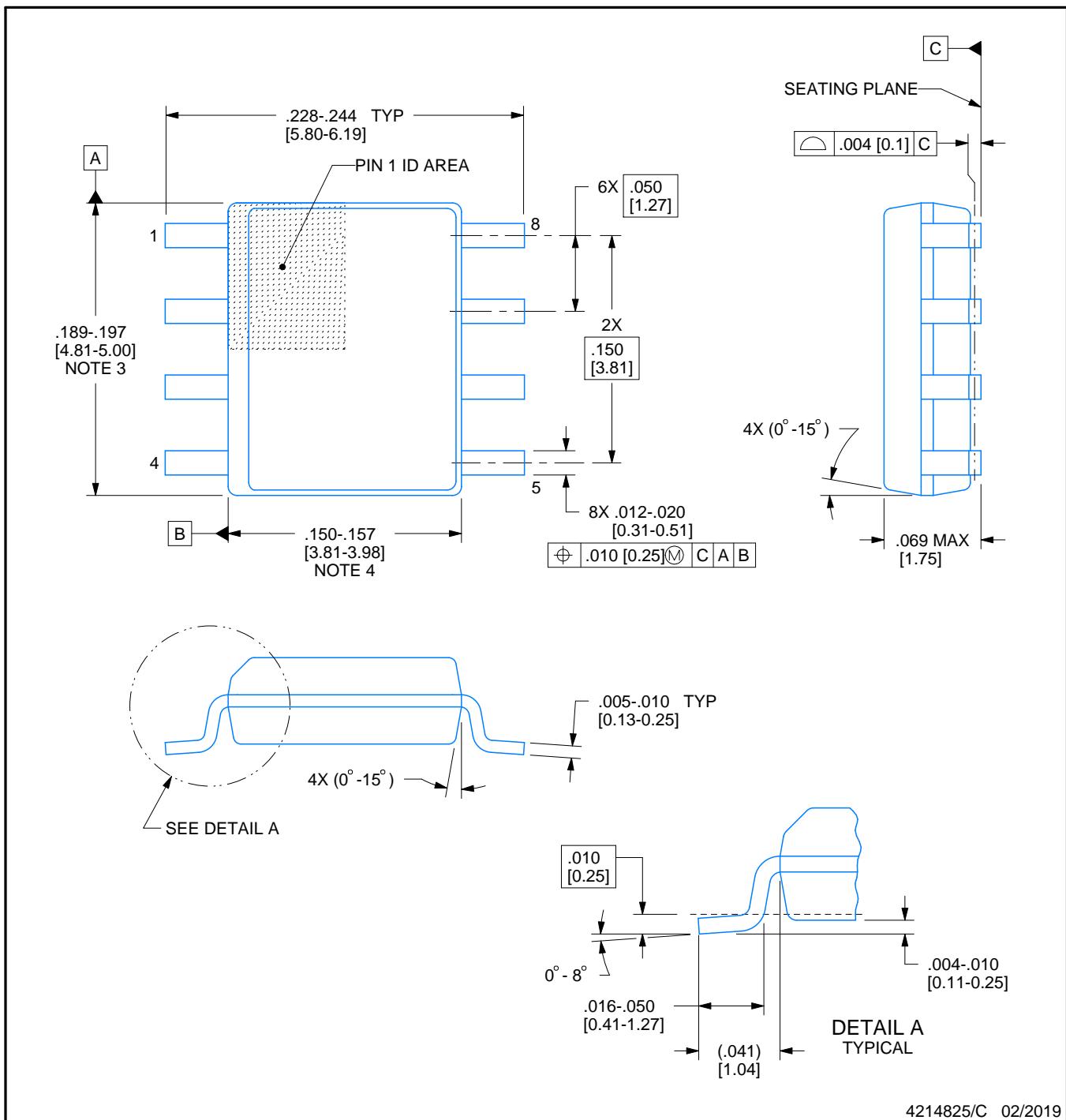
D0008A



# PACKAGE OUTLINE

## SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



### NOTES:

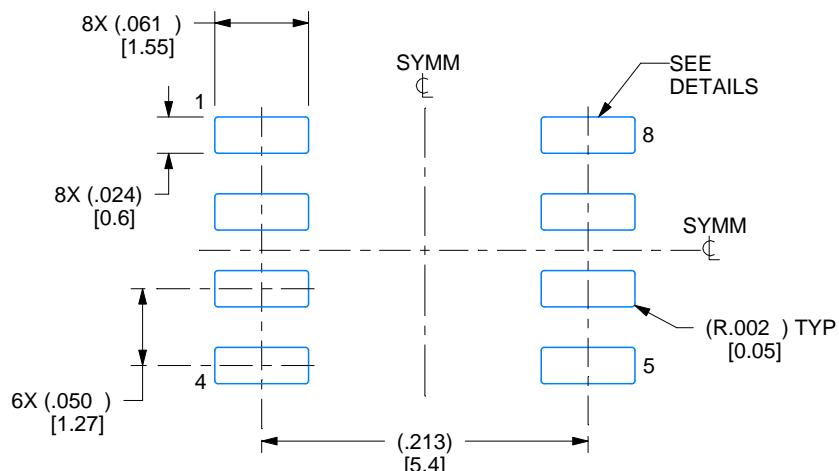
- Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
- This dimension does not include interlead flash.
- Reference JEDEC registration MS-012, variation AA.

# EXAMPLE BOARD LAYOUT

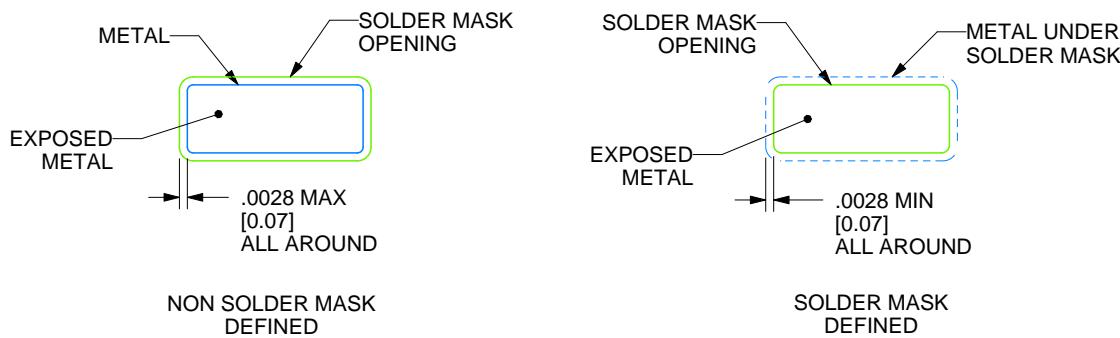
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

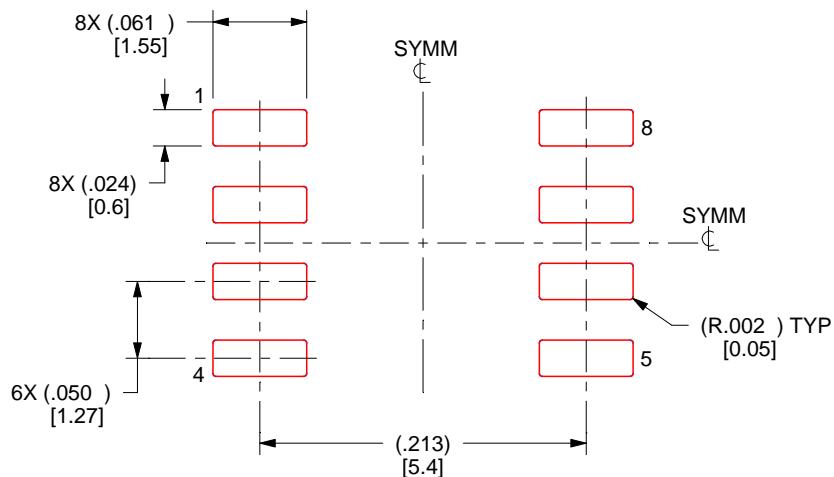
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE  
BASED ON .005 INCH [0.125 MM] THICK STENCIL  
SCALE:8X

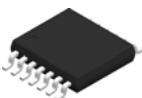
4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

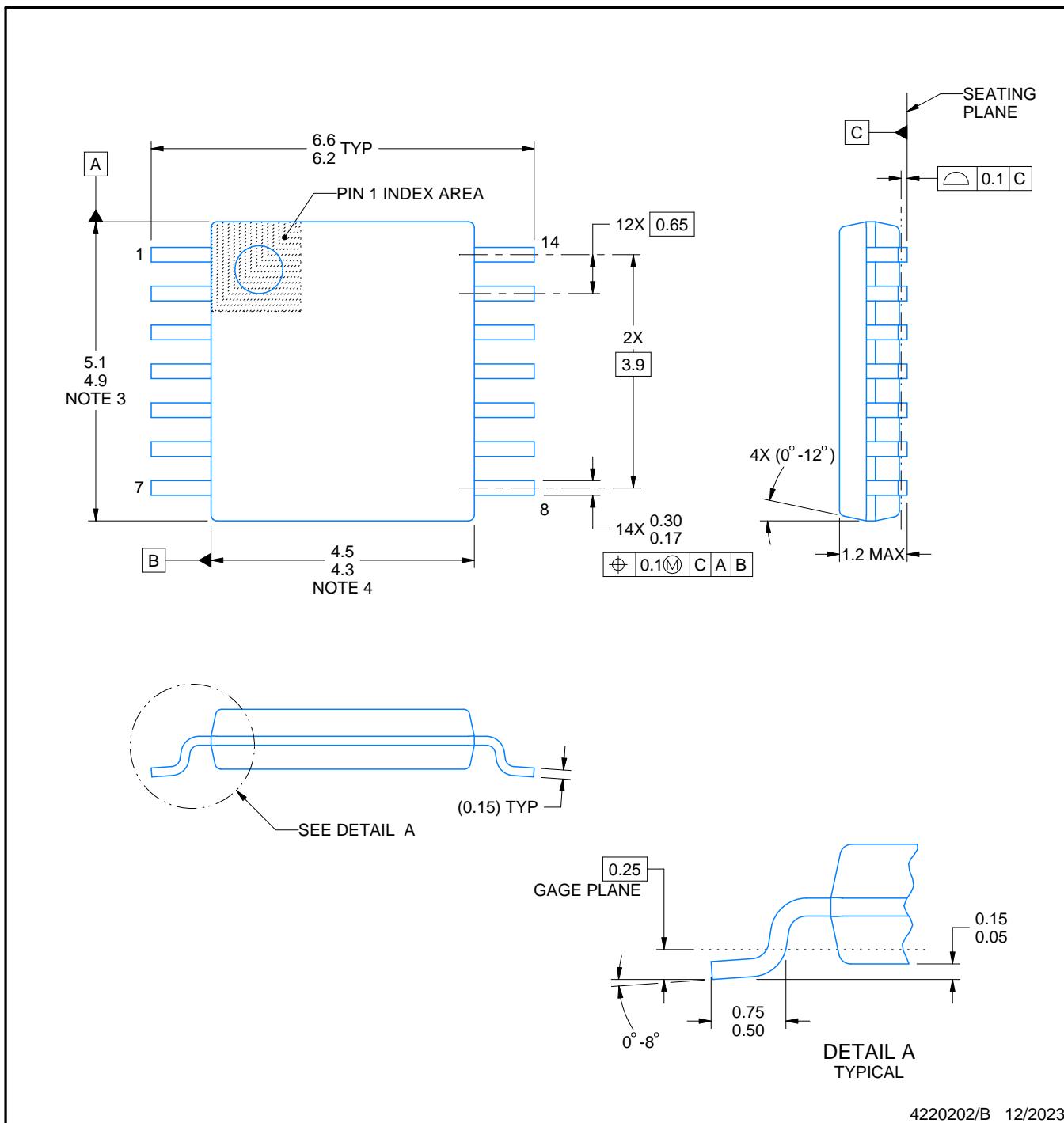
# PACKAGE OUTLINE

PW0014A



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

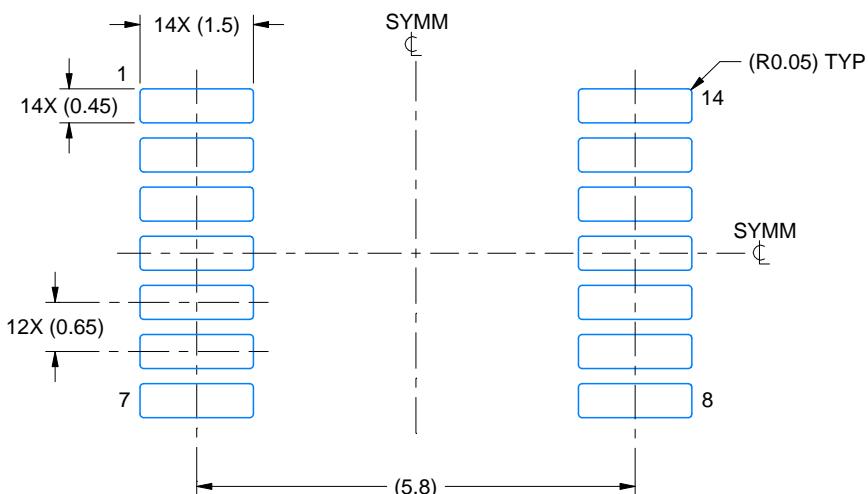
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
- Reference JEDEC registration MO-153.

# EXAMPLE BOARD LAYOUT

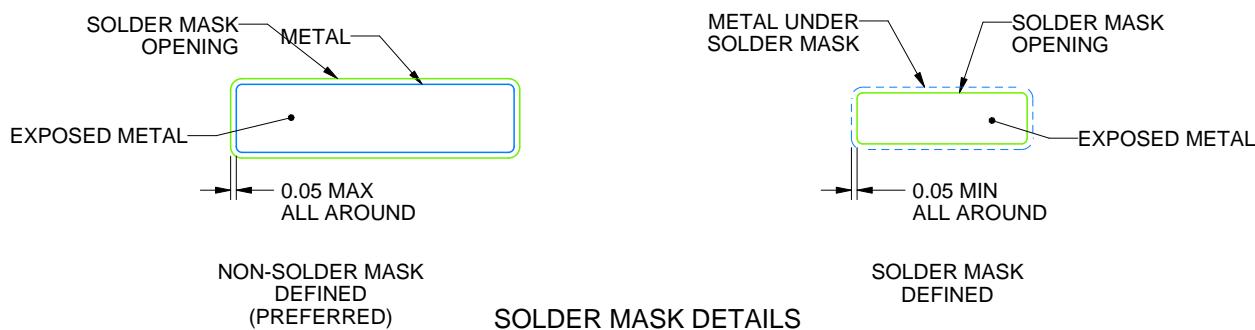
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

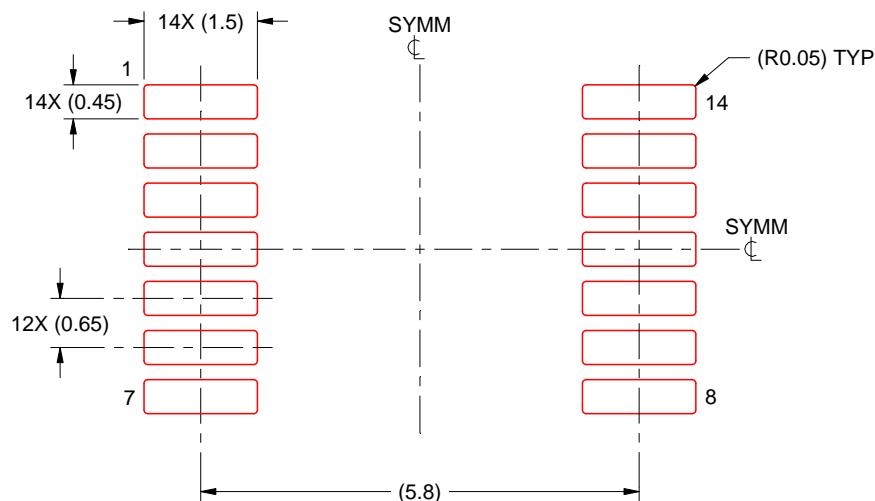
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月