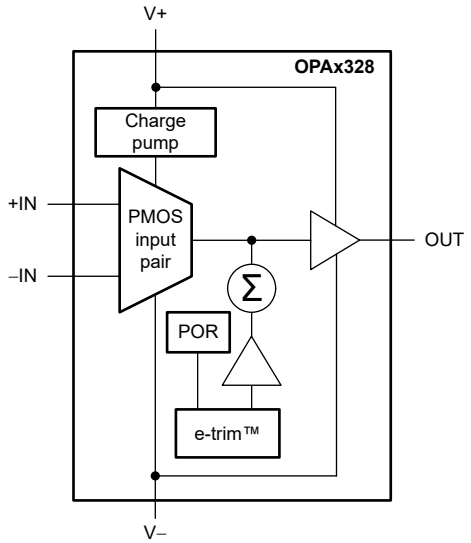
OPAx328 高精度、40MHz 1.0pA、低ノイズ、RRIO、CMOS オペアンプ、シャットダウン機能付き

1 特長

- ゼロ クロスオーバー歪みで高精度:
  - 低いオフセット電圧:50μV (最大値)
  - 高い CMRR:120 dB
  - レール ツー レール I/O
- 広い帯域幅:40MHz
- 低い入力バイアス電流:1pA (最大値)
- 低ノイズ:10kHz で 6.1nV/√Hz
- スルーレート:30V/μs
- 速い 0.01% セトリング タイム:180ns
- 単一電源電圧範囲:2.2V～5.5V
- ユニティ ゲイン安定

2 アプリケーション

- 光学モジュール
- 位置センサ
- マルチパラメータ・メディカル・モニタ
- CT および PET スキャナ
- 化学およびガス分析器
- 400V および 800 V と LV (低電圧) との双方向変換
- 商用ネットワークおよびサーバーの PSU (電源)
- ストリング・インバータ
- 太陽光発電オプティマイザ



ブロック図

3 概要

シングル チャネル OPA328 およびデュアル チャネル OPA2328 (OPAx328) は、超低ノイズと広帯域幅に最適化された高精度、低電圧 CMOS オペアンプの新世代ファミリです。

OPAx328 のリニア入力段は、ゼロ クロスオーバー歪みを特長とし、入力範囲全体で 120dB (標準値) の優れた同相除去比 (CMRR) を実現しています。入力同相範囲は、負および正の電源レールよりも 100mV 拡張されています。出力電圧のスイングは通常、レールから 10mV の範囲内です。

また、OPAx328 は、テキサス・インスツルメンツ独自の e-trim™ オペアンプ技術を採用しており、入力スイッチングやオートゼロ技術を必要とせずに、超低オフセットと低入力オフセット ドリフトという独自の組み合わせを実現します。

低ノイズ (6.1nV/√Hz) と高速動作 (40 MHz、30V/μs) により、これらのデバイスはサンプリング A/D コンバータ (ADC) の駆動にも適しています。

OPAx328 は、高インピーダンス入力、単一電源アプリケーションにも最適です。入力バイアス電流が小さく入力容量も小さいため、低い光電流 (1nA 未満) で高周波数のトランスインピーダンス ゲインを実現できます。

製品情報

部品番号	チャネル / シャットダウン	パッケージ (1)
OPA328	シングル / なし	DBV (SOT-23、5)
OPA328S(2)	シングル / あり	DBV (SOT-23、6)
OPA2328	デュアル / なし	D (SOIC、8)
		DGK (VSSOP、8)
		DRG (WSON、8)
		YBJ (DSBGA、24)
OPA4328(2)	クワッド / なし	PW (TSSOP、14)
	クワッド / あり	RUM (WQFN、16)

(1) 詳細については、セクション 10 を参照してください。
(2) 開発中製品情報 (量産データではありません)。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 ピン構成および機能.....3
5 仕様.....7
5.1 絶対最大定格.....7
5.2 ESD 定格.....7
5.3 推奨動作条件.....7
5.4 熱に関する情報 - OPA328.....8
5.5 熱に関する情報 - OPA2328.....8
5.6 電気的特性.....9
5.7 代表的特性.....11
6 詳細説明.....17
6.1 概要.....17
6.2 機能ブロック図.....17
6.3 機能説明.....18
6.4 デバイスの機能モード.....19
7 アプリケーションと実装.....20
7.1 アプリケーション情報.....20
7.2 代表的なアプリケーション.....20
7.3 電源に関する推奨事項.....24
7.4 レイアウト.....24
8 デバイスおよびドキュメントのサポート.....25
8.1 デバイスのサポート.....25
8.2 ドキュメントのサポート.....26
8.3 ドキュメントの更新通知を受け取る方法.....26
8.4 サポート・リソース.....26
8.5 商標.....26
8.6 静電気放電に関する注意事項.....26
8.7 用語集.....26
9 改訂履歴.....26
10 メカニカル、パッケージ、および注文に関する情報.....27

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

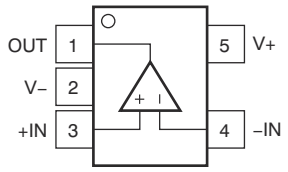


図 4-1. OPA328 DBV パッケージ、5 ピン SOT-23 (上面図)

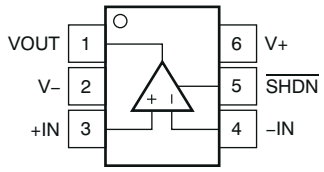


図 4-2. OPA328S DBV パッケージ (開発中製品) 6 ピン SOT-23 (上面図)

ピンの機能：OPA328、OPA328S

ピン			タイプ	説明
名称	OPA328	OPA328S		
–IN	4	4	入力	負 (反転) 入力
+IN	3	3	入力	正 (非反転) 入力
OUT、VOUT	1	1	出力	出力
$\overline{\text{SHDN}}$	—	5	入力	シャットダウン、アクティブ "Low"
V-	2	2	電源	負 (最低) 電源
V+	5	6	電源	正 (最高) 電源

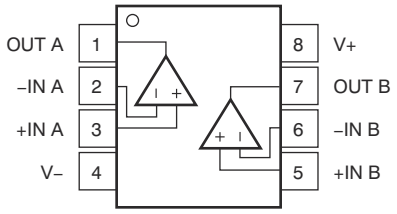


図 4-3. OPA2328 D パッケージ、8 ピン SOIC および DGK パッケージ、8 ピン VSSOP (上面図)

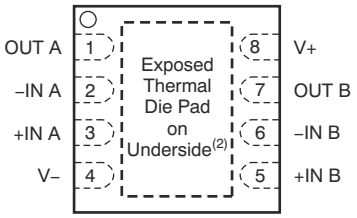


図 4-4. OPA2328 DRG パッケージ、8 ピン WSON (上面図)

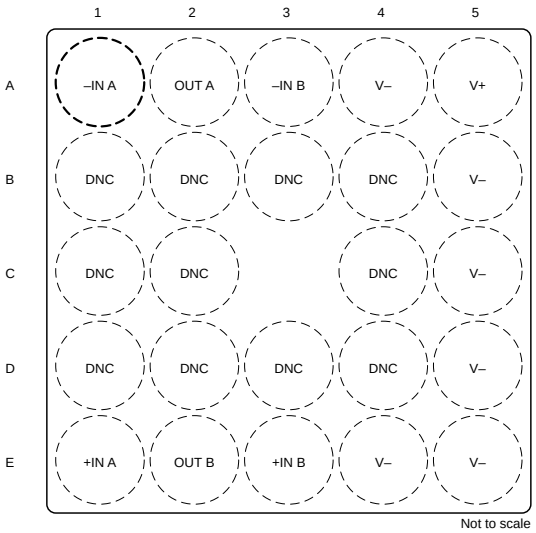


図 4-5. OPA2328 YBJ パッケージ、24 ピン DSBGA (上面図)

ピンの機能：OPA2328

ピン			タイプ	説明
名称	D (SOIC)、DGK (VSSOP)、P (WSON)	YBJ (DSBGA)		
-IN A	2	A1	入力	反転入力、チャネル A
+IN A	3	E1	入力	非反転入力、チャネル A
-IN B	6	A3	入力	反転入力、チャネル B
+IN B	5	E3	入力	非反転入力、チャネル B
OUT A	1	A2	出力	出力、チャネル A
OUT B	7	E2	出力	出力、チャネル B
V-	4	A4、B5、C5、D5、E4、E5	電源	負 (最低) 電源
V+	8	A5	電源	正 (最高) 電源
DNC	—	B1、B2、B3、B4、C1、C2、C4、D1、D2、D3、D4	—	接続しない

Copyright © 2025 Texas Instruments Incorporated

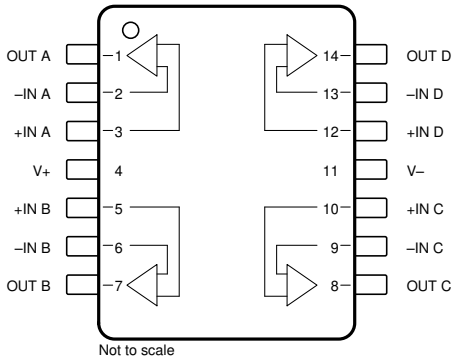


図 4-6. OPA4328 PW パッケージ (開発中製品)、14 ピン TSSOP (上面図)

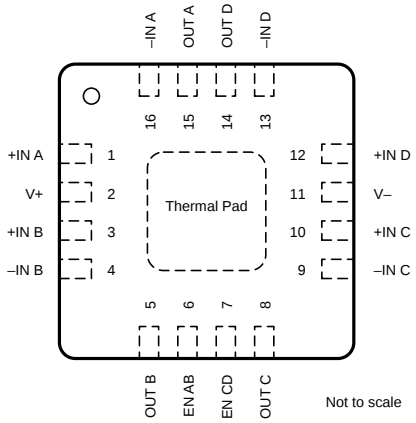


図 4-7. OPA4328 RUM パッケージ (開発中製品)、16 ピン WQFN (上面図)

表 4-1. ピンの機能：OPA4328

ピン			タイプ	説明
名称	番号			
	PW (TSSOP)	RUM (WQFN)		
EN AB	—	6	入力	A および B アンプのイネーブル ピン。High = アンプ A および B がイネーブル。
EN CD	—	7	入力	C および D アンプのイネーブル ピン。High = アンプ C および D がイネーブル。
-IN A	2	16	入力	反転入力、チャネル A
+IN A	3	1	入力	非反転入力、チャネル A
-IN B	6	4	入力	反転入力、チャネル B
+IN B	5	3	入力	非反転入力、チャネル B
–IN C	9	9	入力	反転入力、チャネル C
+IN C	10	10	入力	非反転入力、チャネル C
–IN D	13	13	入力	反転入力、チャネル D
+IN D	12	12	入力	非反転入力、チャネル D
OUT A	1	15	出力	出力、チャネル A
OUT B	7	5	出力	出力、チャネル B
OUT C	8	8	出力	出力、チャネル C
OUT D	14	14	出力	出力、チャネル D
サーマル パッド	—	サーマル パッド	電源	サーマル パッドを V- に接続

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能：OPA4328 (続き)

ピン			タイプ	説明
名称	番号			
	PW (TSSOP)	RUM (WQFN)		
V-	11	11	電源	負 (最低) 電源
V+	4	2	電源	正 (最高) 電源

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)[1]

		最小値	最大値	単位
V_S	電源電圧、V_S = (V+) - (V-)	-0.3	6	V
	入力電圧、すべてのピン	(V-) - 0.3	(V+) + 0.3	V
	入力電流 (INA+、INA-、INB+、INB-、INSA/B、OUTSA/B/1/2/3)	-10	10	mA
	出力短絡[2]	連続	連続	
T_A	動作温度	-55	150	℃
T_J	接合部温度	-55	150	℃
T_{stg}	保存温度	-65	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) グランドへの短絡、パッケージあたり 1 台のアンプ。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[1]	2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 [2]	500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_S	電源電圧	単電源	2.2		5.5	V
		両電源	±1.1		±2.75	V
T_A	規定温度		-40		125	℃

5.4 熱に関する情報 - OPA328

熱評価基準[1]		OPA328 DBV (SOT-23) 5 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	163.2	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	97.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	62.8	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	40.7	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	62.5	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、*「半導体および IC パッケージの熱評価基準」*アプリケーション ノートを参照してください。

5.5 熱に関する情報 - OPA2328

熱評価基準[1]		OPA2328 D (SOIC) 8 ピン	OPA2328 DGK (VSSOP) 8 ピン	OPA2328 DRG (WSON) 8 ピン	OPA2328 YBJ (DSBGA) 24 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	123.9	165	50.3	66.4	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	63.1	53	50.2	0.2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	67.4	87	23.4	15.6	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	15.7	4.9	0.8	0.1	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	66.6	85	23.4	15.6	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	7.3	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、*「半導体および IC パッケージの熱評価基準」*アプリケーション ノートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

5.6 電気的特性

T_A = 25℃ の場合、V_S = ±1.1V ～ ±2.75V (V_S = 2.2V ～ 5.5V)、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_{OUT} = V_S/2、製造最終テストで規定された最小および最大仕様 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V_{OS}	入力オフセット電圧	OPA2328D、DGK、DRG			±3	±50	μV
		OPA328DBV			±3	±75	
dV_{OS}/dT	入力オフセット電圧ドリフト	T_A = –40℃～+125℃	OPA328DBV、OPA2328D、DGK		±0.15	±1	μV/℃
			OPA2328DRG		±0.15	±1.5	
PSRR	電源除去比	V_S = ±1.1V～±2.75V			±1	±10	μV/V
		V_S = ±1.1V～±2.75V、T_A = –40℃～+125℃			±15	±40	
	チャネル セパレーション (デュアル、クワッド)	f = dc			140		dB
		f = 100kHz			75		
入力バイアス電流							
I_B	入力バイアス電流				±0.2	±1	pA
		T_A = 0℃～85℃				10	
		T_A = –40℃～+125℃				100	
I_{OS}	入力オフセット電流				±0.2	±1	pA
		T_A = 0℃～85℃				10	
		T_A = –40℃～+125℃				100	
ノイズ							
	入力電圧ノイズ	f = 0.1Hz～10Hz			3		$μV_{PP}$
e_N	入力電圧ノイズ密度	f = 100Hz			25		nV/√Hz
		f = 1kHz			9.8		
		f = 10kHz			6.1		
i_N	入力電流ノイズ	f = 10kHz			0.125		pA/√Hz
入力電圧							
V_{CM}	同相電圧			(V-) - 0.1		(V+) + 0.1	V
CMRR	同相除去比	(V–) – 0.1V < V_{CM} < (V+) + 0.1V		106	120		dB
			T_A = –40℃～+125℃	96	110		
入力容量							
Z_{ID}	差動				1 || 4		TΩ || pF
Z_{ICM}	同相				1 || 2		TΩ || pF
開ループ ゲイン							
A_{OL}	開ループ電圧ゲイン	(V–) + 100mV < V_O < (V+) – 100mV		108	132		dB
			T_A = –40℃～+125℃	96	130		
		(V–) + 200mV < V_O < (V+) – 200mV、R_L = 2kΩ		106	123		
			T_A = –40℃～+125℃	90			
周波数応答							
GBW	ゲイン帯域幅積	ゲイン = 100			40		MHz
SR	スルー レート	4V ステップ、ゲイン = +1			30		V/μs
t_S	セトリング時間	0.1% まで、1-V ステップ、ゲイン = +1			0.1		μs
		0.01% まで、1-V ステップ、ゲイン = +1			0.18		
	過負荷回復時間	V_{IN} × ゲイン > V_S			0.5		μs

5.6 電気的特性 (続き)

T_A = 25℃ の場合、V_S = ±1.1V ～ ±2.75V (V_S = 2.2V ～ 5.5V)、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_{OUT} = V_S/2、製造最終テストで規定された最小および最大仕様 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
THD+N	全高調波歪み + ノイズ	V_O = 1V_{RMS}、ゲイン = +1、f = 1kHz			0.0001		%
出力							
	両方のレールからの電圧出力スイング	V_S = 2.2V				5	mV
			R_L = 2kΩ			15	
		V_S = 5.5V	OPA328DBV、OPA2328D、DGK			5	
			OPA2328DRG			10	
			R_L = 2kΩ、OPA328DBV、OPA2328D、DGK			15	
			R_L = 2kΩ、OPA2328DRG			20	
I_{SC}	短絡電流	シンク、V_S = 5.5V			-65		mA
		ソース、V_S = 5.5V			55		
C_{LOAD}	容量性負荷駆動能力	ゲイン = +1			28		pF
R_O	オープン ループ出力インピーダンス	f = 10kHz			55		Ω
電源							
I_Q	アンプごとの静止電流	I_O = 0 A			3.8	4.5	mA
		I_O = 0A、T_A = –40℃～+125℃				5.0	
シャットダウン (OPA328SDBV および OPA4328RUM)							
I_{QSD}	シャットダウン時の静止電流	すべてのアンプがディセーブル			30	50	μA
Z_{OFF}	シャットダウン時の出力インピーダンス	すべてのアンプがディセーブル			100 || 16		GΩ || pF
V_{IH}	High レベル入力電圧	アンプがイネーブル		(V+) – 0.5			V
V_{IL}	Low レベル入力電圧	アンプがディセーブル				(V-) + 0.5	V
t_{ON}	出力イネーブル時間	G = 1、V_{OUT} = 0.9 × V_S/2、すべてのアンプがイネーブル			10		μs
t_{OFF}	出力ディスエーブル時間	G = 1、V_{OUT} = 0.1 × V_S/2、すべてのアンプがディセーブル			3		μs
	EN ピン入力リーク電流	V_{IH} = V+			0.02		μA
		V_{IL} = V-			1		

Copyright © 2025 Texas Instruments Incorporated

5.7 代表的特性

T_A = 25°C、V_S = 5.5V、V_{CM} = V_{OUT} = 中電圧、C_L = 20pF、および R_L = 10kΩ (特に記述のない限り)

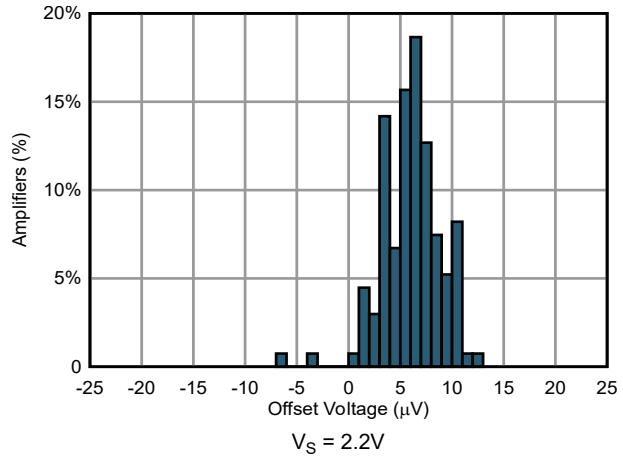


図 5-1. オフセット電圧の製品分布

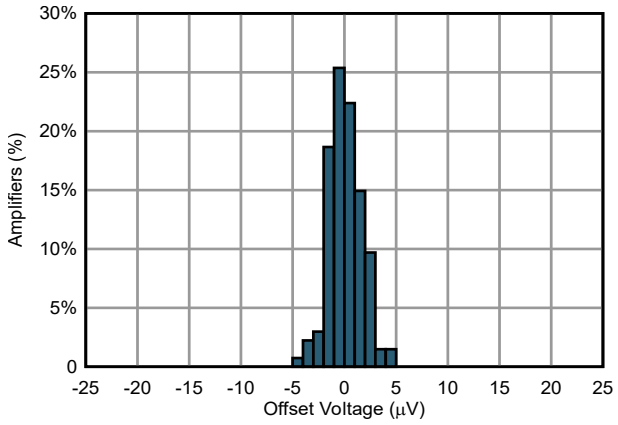


図 5-2. オフセット電圧の製品分布

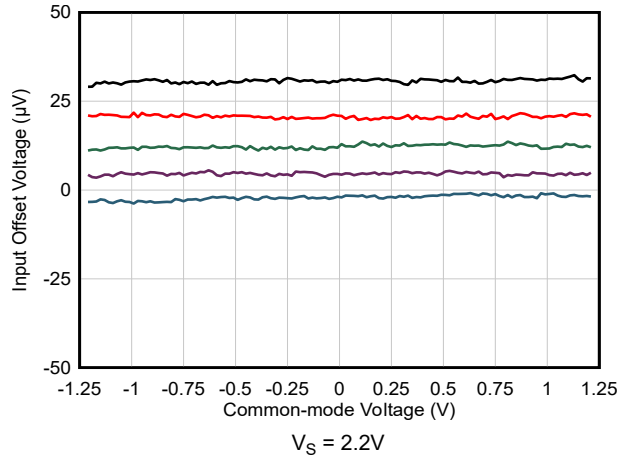


図 5-3. オフセット電圧と同相電圧との関係

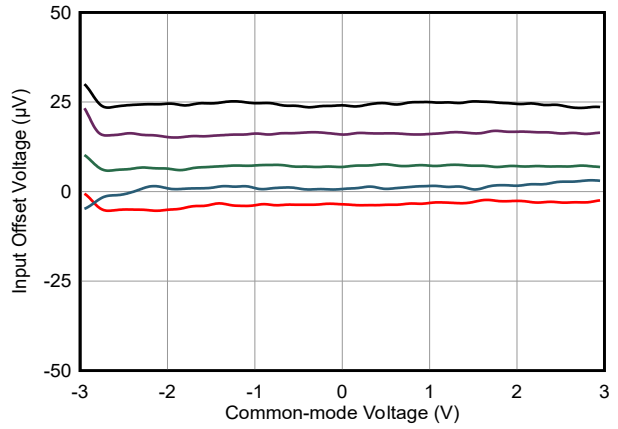


図 5-4. オフセット電圧と同相電圧との関係

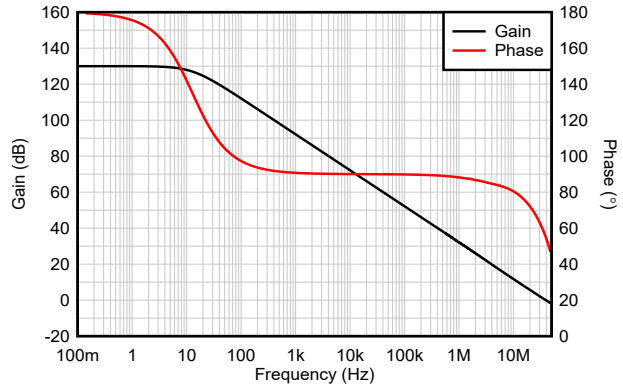


図 5-5. 開ループ・ゲインおよび位相と周波数との関係

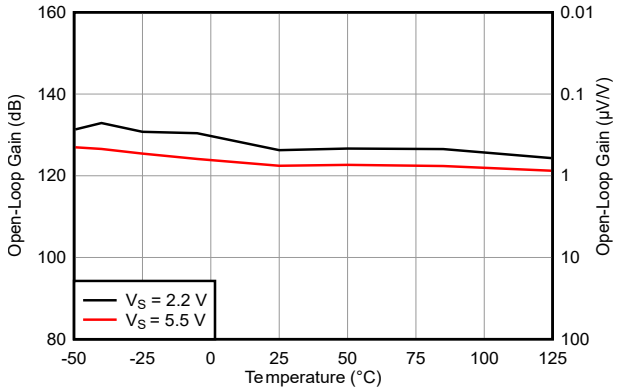


図 5-6. 開ループ・ゲインと温度との関係

5.7 代表的特性 (続き)

T_A = 25°C、V_S = 5.5V、V_{CM} = V_{OUT} = 中電圧、C_L = 20pF、および R_L = 10kΩ (特に記述のない限り)

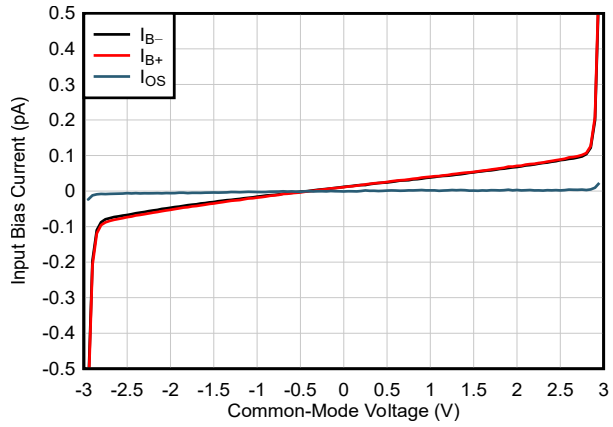


図 5-7. 入力バイアス電流と同相電圧との関係

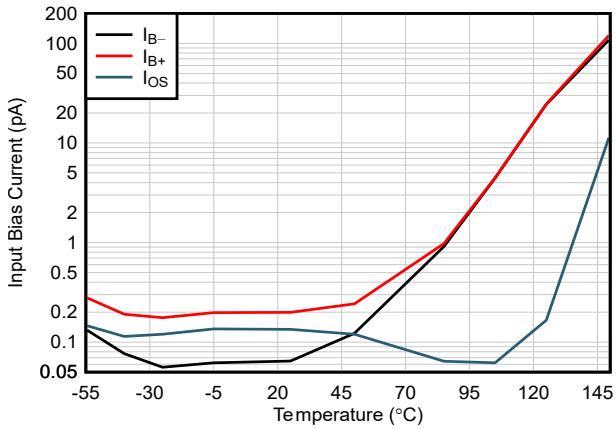


図 5-8. 入力バイアス電流と温度との関係

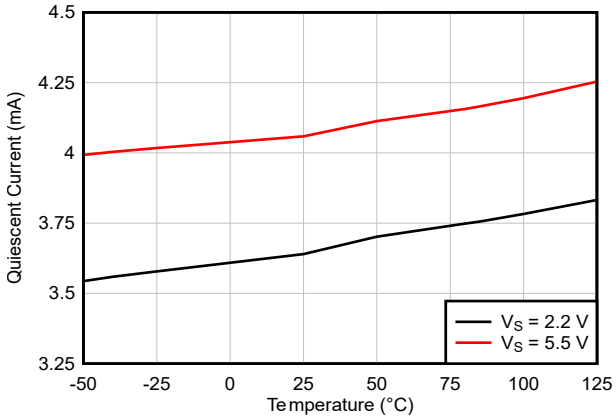


図 5-9. 静止電流と電源電圧との関係

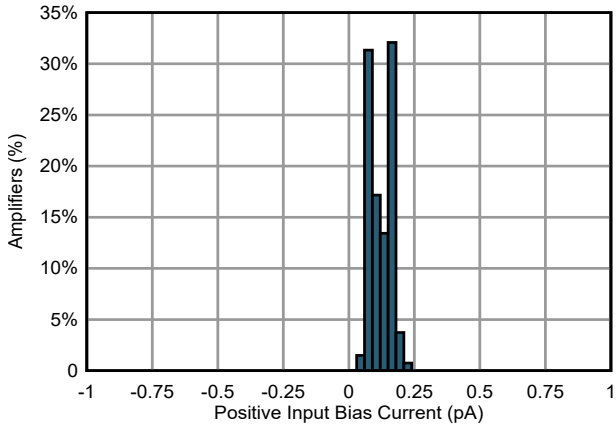


図 5-10. 正の入力バイアス電流の分布

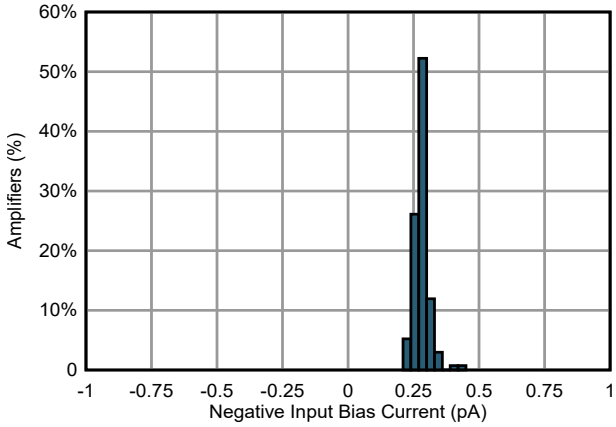


図 5-11. 負の入力バイアス電流の分布

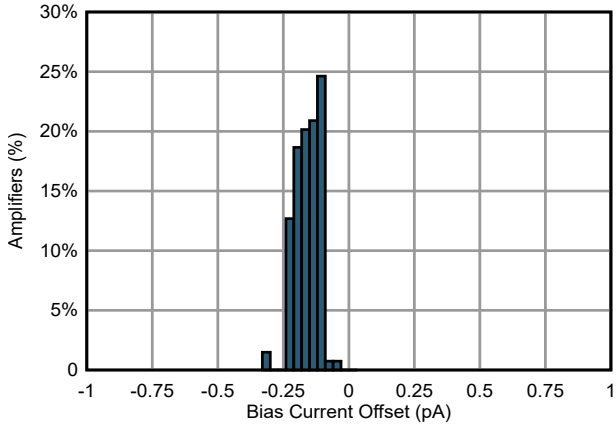


図 5-12. 入力バイアス・オフセット電流の分布

Copyright © 2025 Texas Instruments Incorporated

5.7 代表的特性 (続き)

T_A = 25°C、V_S = 5.5V、V_{CM} = V_{OUT} = 中電圧、C_L = 20pF、および R_L = 10kΩ (特に記述のない限り)

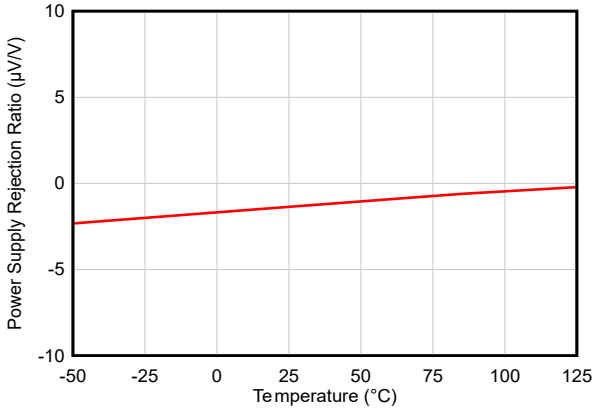


図 5-13. PSRR と温度との関係

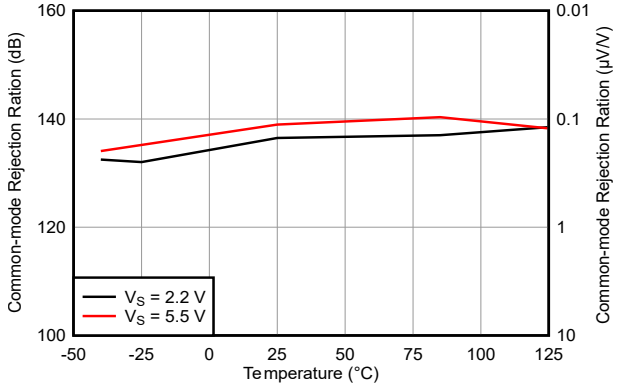


図 5-14. CMRR と温度との関係

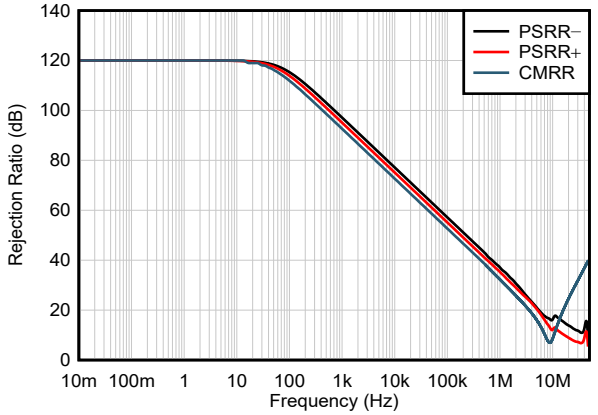


図 5-15. CMRR および PSRR と周波数との関係

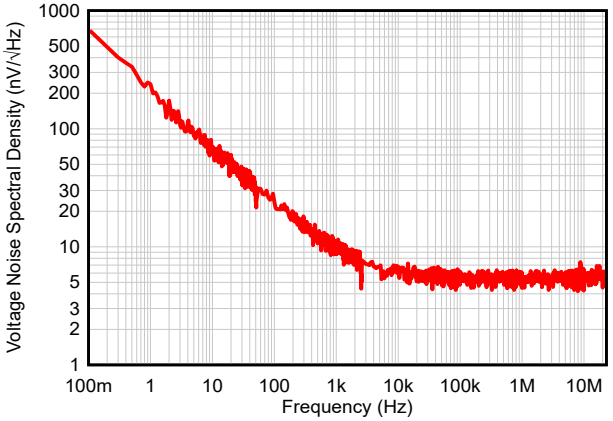


図 5-16. 入力電圧ノイズのスペクトル密度と周波数との関係

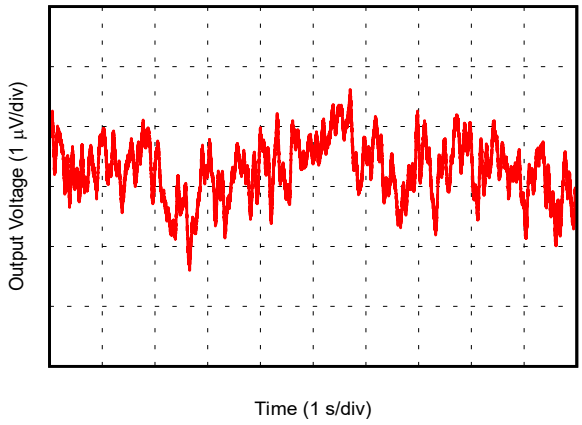


図 5-17. 0.1Hz～10Hz の入力電圧ノイズ

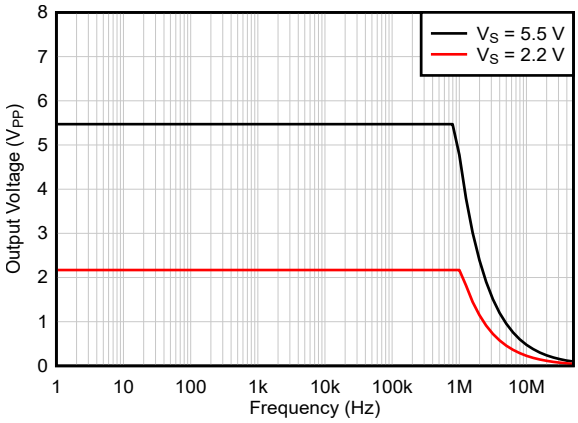
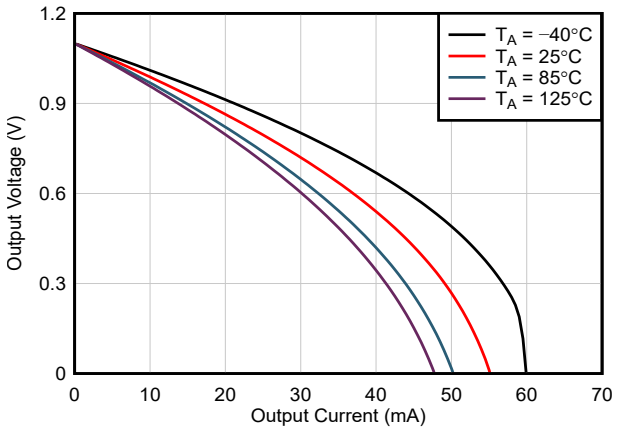


図 5-18. 最大出力電圧と周波数との関係

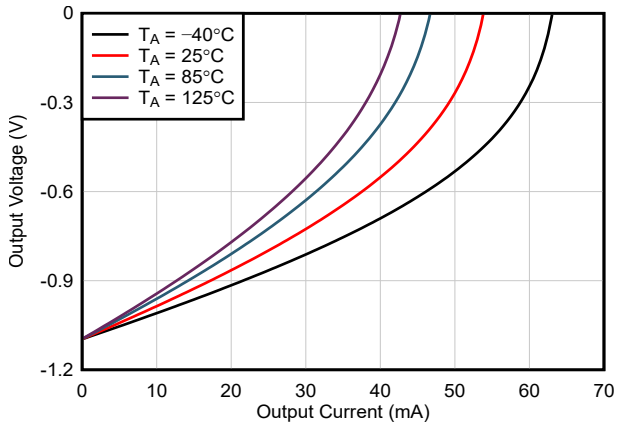
5.7 代表的特性 (続き)

T_A = 25°C、V_S = 5.5V、V_{CM} = V_{OUT} = 中電圧、C_L = 20pF、および R_L = 10kΩ (特に記述のない限り)



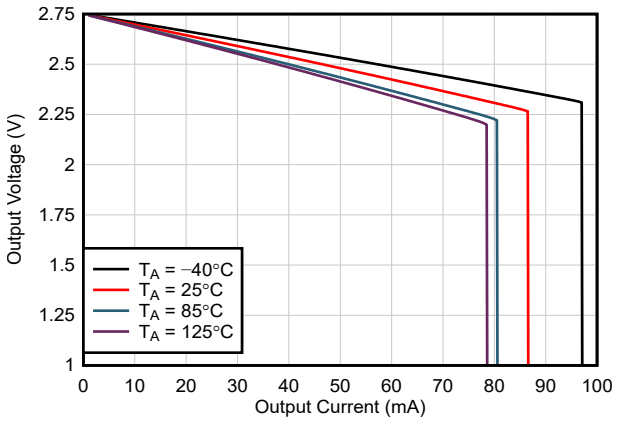
V_{V+} = 1.1V、$V_{V–}$ =–1.1V、電流ソース負荷

図 5-19. 出力電圧スイングと出力電流との関係



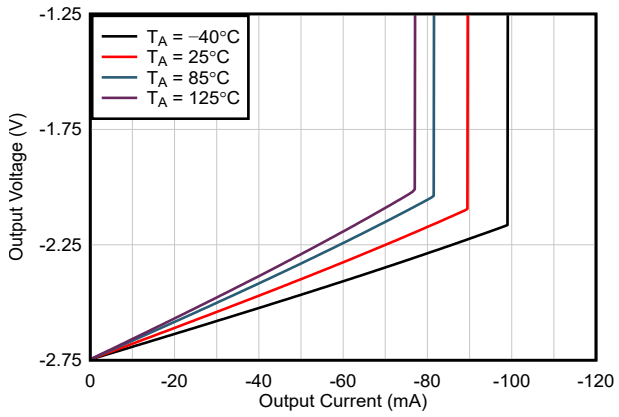
V_{V+} = 1.1V、$V_{V–}$ =–1.1V、電流ソース負荷

図 5-20. 出力電圧スイングと出力電流との関係



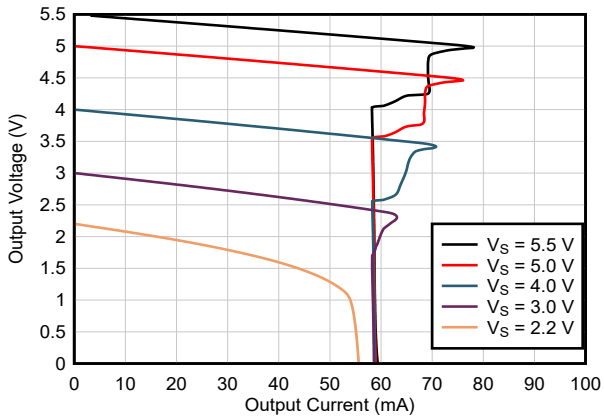
V_{V+} = 2.75 V、$V_{V–}$ =–2.75 V、電流ソース負荷

図 5-21. 出力電圧スイングと出力電流との関係



V_{V+} = 2.75 V、$V_{V–}$ =–2.75 V、電流ソース負荷

図 5-22. 出力電圧スイングと出力電流との関係



V_{V+} = 5.5V、$V_{V–}$ = 0V、電圧ソース負荷

図 5-23. 出力電圧スイングと出力電流との関係

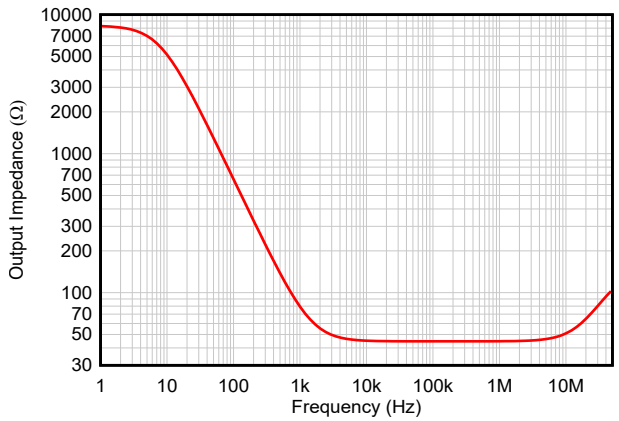


図 5-24. 開ループの出力インピーダンスと周波数との関係

Copyright © 2025 Texas Instruments Incorporated

5.7 代表的特性 (続き)

T_A = 25°C、V_S = 5.5V、V_{CM} = V_{OUT} = 中電圧、C_L = 20pF、および R_L = 10kΩ (特に記述のない限り)

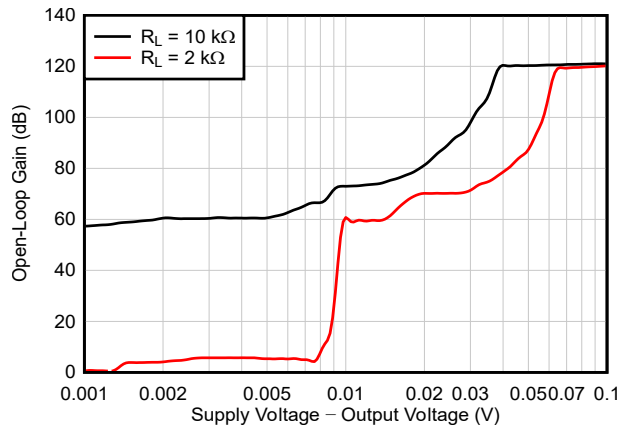
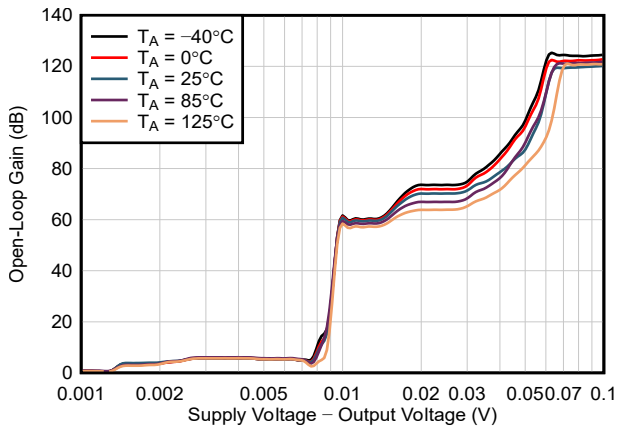
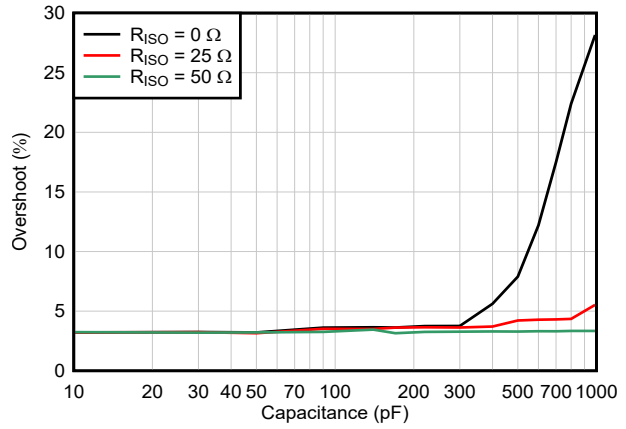


図 5-25. 開ループ・ゲインと電源電圧デルタへの出力との関係



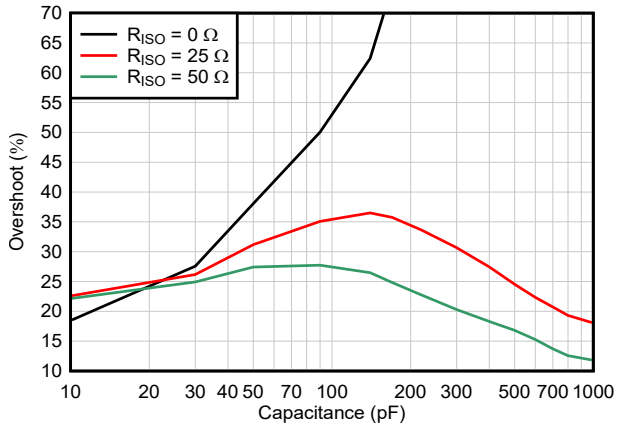
R_L = 2kΩ

図 5-26. 開ループ・ゲインと電源電圧デルタへの出力との関係



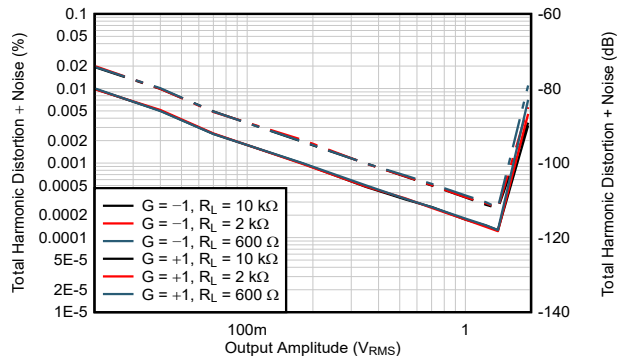
G = -1

図 5-27. 小信号のオーバーシュートと負荷容量との関係



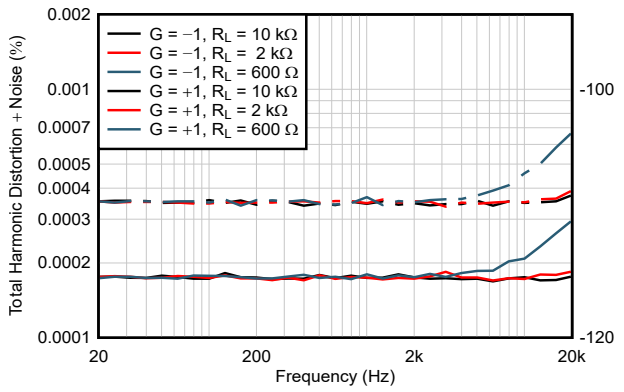
G = +1

図 5-28. 小信号のオーバーシュートと負荷容量との関係



f = 1kHz

図 5-29. THD+N と振幅との関係



V_{OUT} = 1V_{RMS}

図 5-30. THD+N と周波数との関係

5.7 代表的特性 (続き)

T_A = 25°C、V_S = 5.5V、V_{CM} = V_{OUT} = 中電圧、C_L = 20pF、および R_L = 10kΩ (特に記述のない限り)

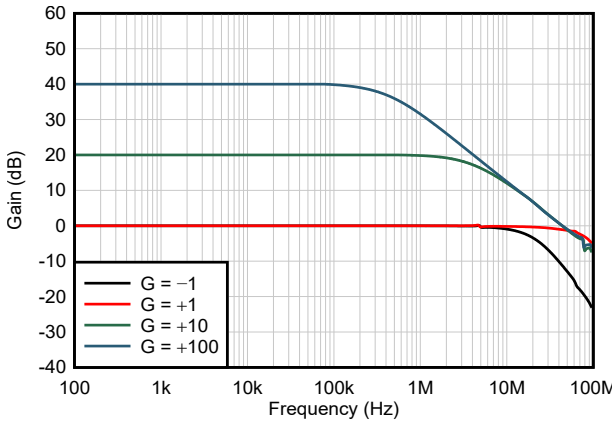


図 5-31. 閉ループ・ゲインと周波数との関係

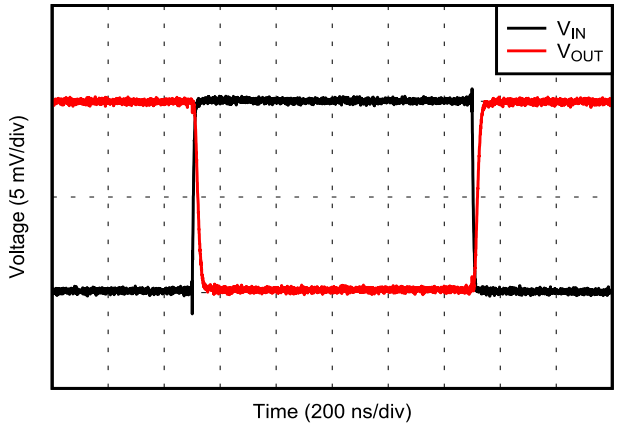


図 5-32. 小信号ステップ応答

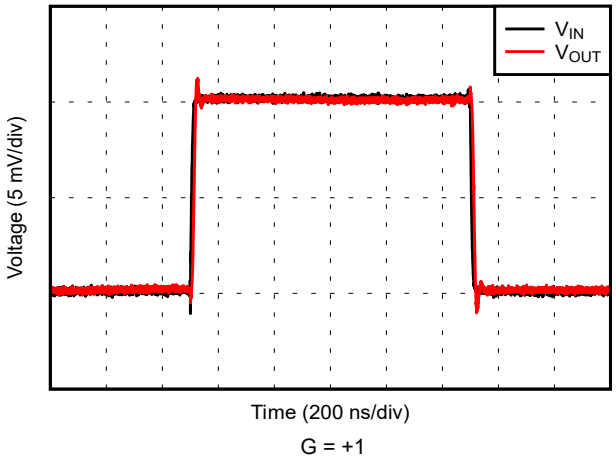


図 5-33. 小信号ステップ応答

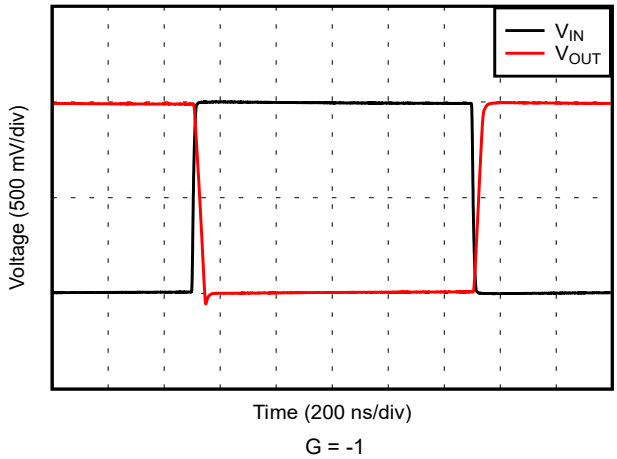


図 5-34. 大信号ステップ応答

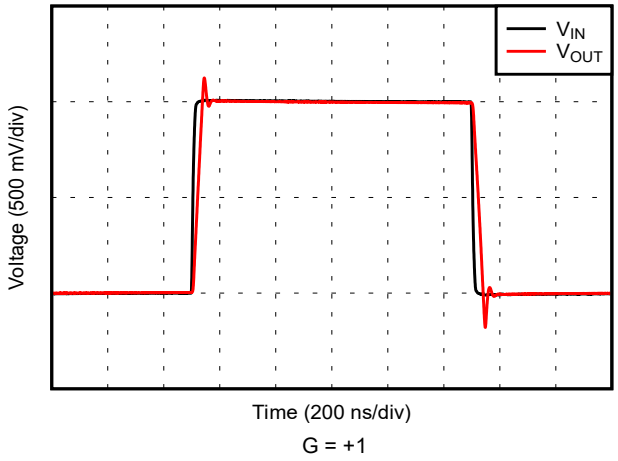


図 5-35. 大信号ステップ応答

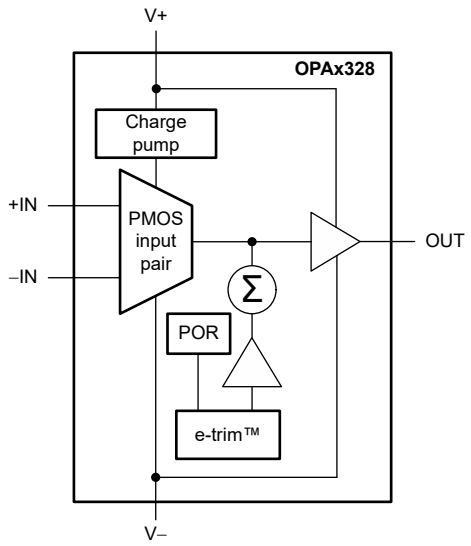
Copyright © 2025 Texas Instruments Incorporated

6 詳細説明

6.1 概要

OPAx328 ファミリは、高速で高精度のアンプを搭載しているため、このオペアンプ・ファミリは高分解能 A/D コンバータ (ADC) の駆動に最適です。フラットな周波数特性とゼロ・クロスオーバー歪み回路を備えた低出力インピーダンスにより、入力同相範囲全体にわたって高い直線性を実現し、2.2V~5.5V の単一電源で真のレール・ツー・レール入力を実現します。

6.2 機能ブロック図



6.3 機能説明

6.3.1 入力および ESD 保護

OPAx328 には、すべてのピンに内部静電気放電 (ESD) 保護回路が組み込まれています。入力ピンおよび出力ピンの場合、主にこの保護回路は、入力ピンと電源ピンの間に接続された電流ステアリング ダイオードで構成されます。これらの ESD 保護ダイオードは、電流が 10mA に制限されている限り、回路内で入力オーバードライブも保護します。多くの入力信号は、本質的に 10mA 未満に制限された電流であり、制限抵抗は必要はありません。図 6-1 に、入力電流を制限するために駆動入力に直列入力抵抗 (R_{IN}) を追加する方法を示します。追加された抵抗はアンプ入力で熱ノイズを引き起こすため、ノイズに敏感なアプリケーションではこの値を最小限に抑える必要があります。

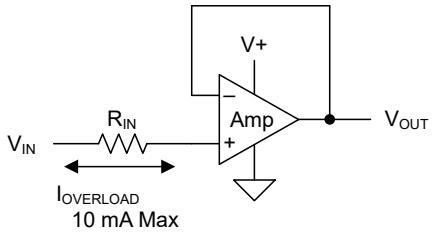


図 6-1. 入力電流保護

6.3.2 レール ツー レール入力

OPAx328 は真のレール ツー レール入力動作を特長とし、最小 ±1.1V (2.2V) の電源電圧で動作します。OPAx328 アンプの設計には内部チャージ ポンプが含まれており、外部電源 (V_{S+}) より約 1.6V 高い電圧で内部電源レールを使用してアンプの入力段に電力を供給します。この内部電源レールにより、単一の差動入力ペアを動作させ、非常に広い入力同相範囲にわたって非常に線形性の高い状態を維持できます。独自のゼロ クロスオーバー入力トポロジにより、多くのレール ツー レール相補入力段オペアンプ特有の、入力オフセット遷移領域が除去されます。このトポロジにより、OPAx328 は同相入力範囲全体にわたって優れた同相性能 (CMRR > 120dB、標準値) を実現し、両方の電源レールを 100mV 上回る範囲まで拡張できます。A/D コンバータ (ADC) を駆動する場合、OPAx328 の高い線形 V_{CM} 範囲により、最大の直線性と最小の歪みを実現します。

6.3.3 位相反転

OPAx328 オペアンプは、入力ピンが電源電圧を超えた場合に位相反転の影響を受けないように設計されているため、システム内での安定性と予測可能性がさらに向上します。図 6-2 は、入力電圧が位相反転なしで電源電圧を超えていることを示します。

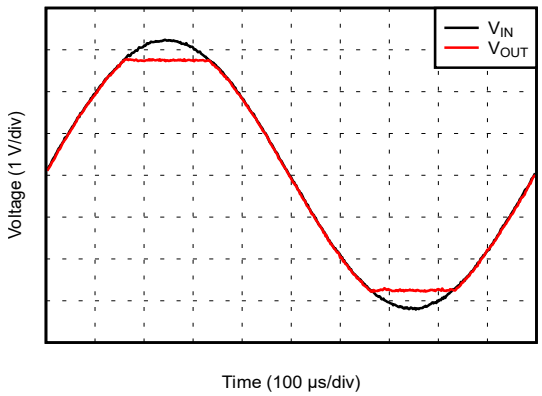


図 6-2. 位相反転が発生しない

Copyright © 2025 Texas Instruments Incorporated

6.4 デバイスの機能モード

OPAx328 オペアンプは、2.2V~5.5V の電源電圧が印加されたときに動作します。S 接尾辞付きのデバイスは、シャットダウン機能を備えています。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

OPAx328 は、優れた DC および AC 性能を実現します。これらのデバイスは最大 5.5V の電源で動作し、超低入力バイアス電流と 40MHz の帯域幅を実現します。これらの特長から、OPAx328 ファミリの堅牢なオペアンプは、通信と産業用の両方のアプリケーションに最適です。

7.1.1 容量性負荷および安定度

OPAx328 は、トランスインピーダンス アンプ (TIA) および ADC 入力駆動アンプの高速アプリケーションで使用するように設計されています。すべてのオペアンプと同様に、OPAx328 が不安定になる特定の場合があり得ます。アンプが動作時に安定するかどうか判断するには、オペアンプの回路構成、レイアウト、ゲイン、出力負荷など、いくつかの要因を考慮します。容量性負荷を駆動するユニティ ゲイン (1V/V) バッファ構成のオペアンプは、より高いノイズ ゲインで動作するアンプよりも不安定になる傾向があります (図 5-28 を参照)。容量性負荷は、オペアンプの出力抵抗と相まって、位相マージンを劣化させる極をループ ゲイン内に形成します。容量性負荷が大きくなるにつれて、位相マージンの劣化は大きくなります。ユニティ ゲイン構成で動作している場合、OPAx328 は最大 100pF までの純容量性負荷で安定した状態を維持します。

図 7-1 に、ユニティ ゲイン構成で動作するアンプの容量性負荷駆動能力を高める 1 つの手法として、一般的に 10Ω～50Ω の小さな抵抗 (R_S) を出力と直列に挿入することを示しています。この抵抗は、大きな容量性負荷に伴うオーバーシュートとリンギングを大幅に低減します。

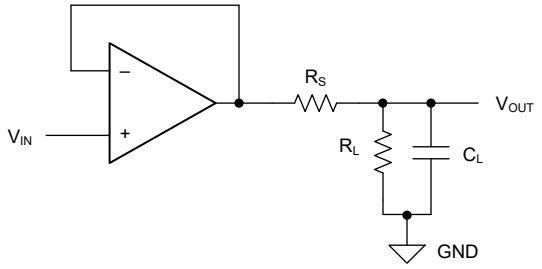


図 7-1. 容量性負荷駆動の向上

7.2 代表的なアプリケーション

7.2.1 双方向電流センシング

この単一電源、ローサイド、双方向電流センシングの設計例は、–1A～+1A の負荷電流を検出します。シングルエンド出力の範囲は 110mV～3.19V です。この設計では、オフセット電圧が低く、レール・ツー・レールの入出力が小さいため、OPAx328 を使用します。一方のアンプは差動アンプとして構成され、もう一方のアンプは基準電圧を供給します。

図 7-2 に回路図を示します。

Copyright © 2025 Texas Instruments Incorporated

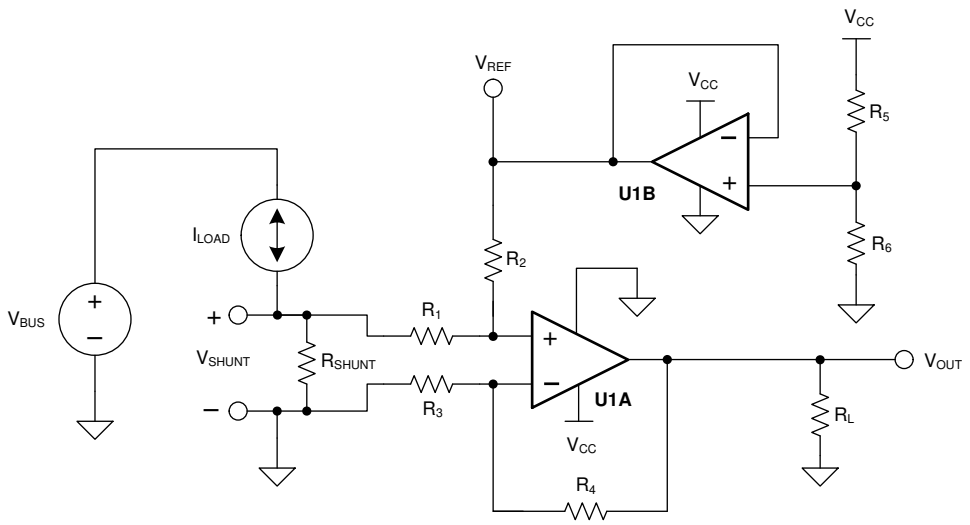


図 7-2. 双方向電流センシング回路図

7.2.1.1 設計要件

この設計例には、次の要件があります。

- 電源電圧:3.3V
- 入力:-1A～+1A
- 出力:1.65V±1.54V (110mV～3.19V)

7.2.1.2 詳細な設計手順

負荷電流、I_{LOAD} はシャント抵抗 R_{SHUNT} を通ってシャント電圧 V_{SHUNT} を発生させます。その後、シャント電圧は U1A と R_1～R_4 で構成される差動アンプによって増幅されます。この差動アンプのゲインは、R_4 と R_3 の比によって設定されます。誤差を最小化するため、$R_2 = R_4$ かつ $R_1 = R_3$ に設定します。リファレンス電圧 V_{REF} は、U1B を使用して抵抗デバイダをバッファリングすることで供給されます。伝達関数は式 1 で与えられます。

$$V_{OUT} = V_{SHUNT} \times Gain_{Diff_Amp} + V_{REF} \tag{1}$$

ここで、

- $V_{SHUNT} = I_{LOAD} \times R_{SHUNT}$
- $Gain_{Diff_Amp} = \frac{R_4}{R_3}$
- $V_{REF} = V_{CC} \times \left(\frac{R_6}{R_5 + R_6}\right)$

この設計には、オフセットとゲインという 2 種類の誤差があります。ゲイン誤差は、シャント抵抗の許容誤差と R_4 と R_3 の比、および同様に R_2 と R_1 の比によって発生します。分圧器 (R_5 と R_6) によってオフセット誤差が発生し、R_4/R_3 の比が R_2/R_1 とどの程度近いかがわかります。後者の値は差動アンプの CMRR に影響を及ぼし、最終的にオフセット誤差につながります。

V_{SHUNT} はローサイド測定であるため、V_{SHUNT} の値はシステム負荷のグランド電位です。したがって、最大値を V_{SHUNT} に配置する必要があります。この設計では、V_{SHUNT} の最大値を 100mV に設定します。式 2 では、最大シャント電圧が 100mV、最大負荷電流が 1A の場合のシャント抵抗の最大値を計算します。

$$R_{SHUNT(Max)} = \frac{V_{SHUNT(Max)}}{I_{LOAD(Max)}} = \frac{100\ mV}{1\ A} = 100\ m\Omega \tag{2}$$

R_{SHUNT} の許容誤差は、コストに正比例します。この設計では、許容誤差 0.5% のシャント抵抗を選択します。より高い精度が必要な場合は、0.1% 以下の抵抗を選択してください。

負荷電流は双方向であるため、シャント電圧範囲は -100mV～+100mV です。この電圧は、オペアンプ U1A に達する前に、R_1 と R_2 で分割されます。U1A の非反転ノードに存在する電圧が、デバイスの同相範囲内であることを確認します。そのため、OPAx328 などのオペアンプを使用します。このオペアンプは、負の電源電圧を下回る同相範囲を備えています。最後に、オフセット誤差を最小限に抑えるため、OPAx328 の標準オフセット電圧はわずか±3μV (最大±25μV) です。

対称負荷電流が-1A~+1A の場合、分圧抵抗 (R_5 と R_6) は等しくする必要があります。シャント抵抗と整合するように、許容誤差 0.5% を選択します。消費電力を最小限に抑えるために、10kΩ の抵抗を使用します。

差動アンプのゲインを設定するには、OPAx328 の同相範囲と出力スイングを考慮する必要があります。式 3 および 式 4 に、3.3V 電源での OPAx328 の一般的な同相範囲と最大出力スイングをそれぞれ示します。

$$-100\text{mV} < V_{CM} < 3.4\text{V} \tag{3}$$

$$100\text{mV} < V_{OUT} < 3.2\text{V} \tag{4}$$

差動アンプのゲインは、式 5 に示すように計算できるようになりました。

$$\text{Gain}_{\text{Diff_Amp}} = \frac{V_{OUT_Max} - V_{OUT_Min}}{R_{SHUNT} \times (I_{MAX} - I_{MIN})} = \frac{3.2\text{ V} - 100\text{ mV}}{100\text{ m}\Omega \times [1\text{ A} - (-1\text{A})]} = 15.5\ \frac{\text{V}}{\text{V}} \tag{5}$$

R_1 と R_3 に選択される抵抗値は 1kΩ です。R_2 と R_4 には 15.4kΩ の値を選択します。この値は最も近い標準値だからです。したがって、差動アンプの計算上のゲインは 15.4V/V です。

回路のゲイン誤差は主に、R_1～R_4 に依存します。この依存性の結果、0.1% の抵抗が選択されます。この構成により、設計で 2 点較正が必要になる可能性が低くなります。必要に応じて、単純な 1 点較正により、0.5% の抵抗によって生じるオフセット誤差を除去します。

7.2.1.3 アプリケーション曲線

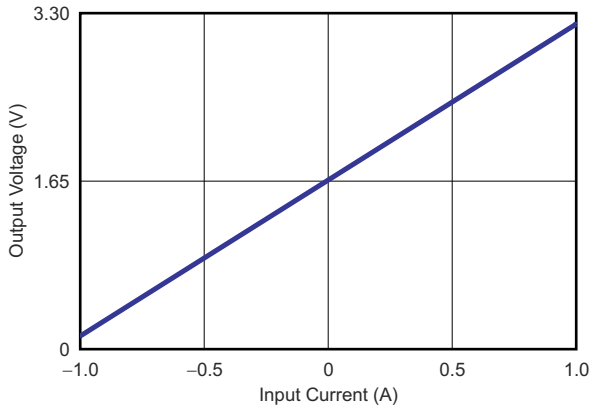


図 7-3. 双方向電流センシング回路の性能：出力電圧と入力電流との関係

7.2.2 トランスインピーダンス アンプ

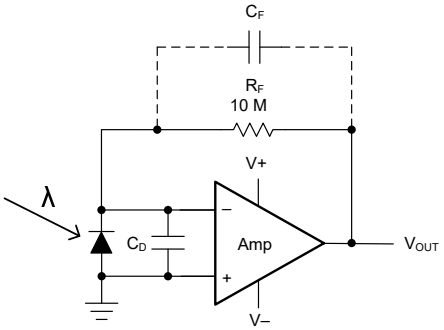
広ゲイン帯域幅、低入力バイアス電流、低入力電圧、低電流ノイズによって、OPAx328 は優れた広帯域フォトダイオードトランスインピーダンス アンプとなっています。フォトダイオード容量によって、回路の実効ノイズ ゲインが高周波で大きくなるため、低電圧ノイズは重要です。

Copyright © 2025 Texas Instruments Incorporated

図 7-4 は、トランスインピーダンス設計の主要な要素が次のとおりであることを示しています。

- 寄生入力同相電圧と差動モード入力容量を含む予期ダイオード容量 (C_D)
- 目的のトランスインピーダンス ゲイン (R_F)
- ゲイン帯域幅 (GBW) = 40 MHz

これらの 3 つの変数セットを使用して、フィードバック容量 (C_F) の値を設定し、周波数応答を制御できます。C_F には、標準的な表面実装抵抗で 0.2pF となる R_F の浮遊容量が含まれます。



注：C_F はゲインのピークを防止するためのオプションであり、R_F の浮遊容量も含まれます。

図 7-4. デュアル電源のトランスインピーダンス アンプ

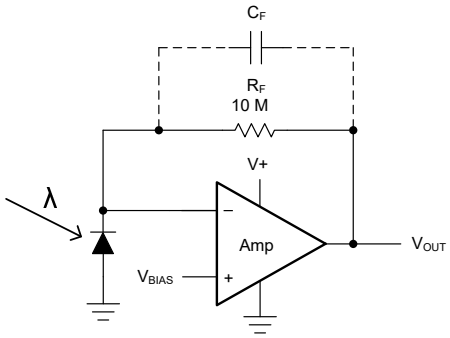
周波数応答を最適化するには、式 6 を使用してフィードバック極を設定します。

$$\frac{1}{2\pi R_F C_F} = \sqrt{\frac{GBW}{4\pi R_F C_D}} \tag{6}$$

式 7 は次の帯域幅を計算します。

$$f_{-3dB} = \sqrt{\frac{GBW}{2\pi R_F C_D}} \quad \text{(Hz)} \tag{7}$$

単一電源アプリケーションの場合は、+IN 入力を正 DC 電圧でバイアスをかけて、フォトダイオードが光に露出していなければ出力を正確に 0 にし、負のレールから生じる遅延を追加せずに応答させることができます。この構成を 図 7-5 に示します。このバイアス電圧は、フォトダイオード全体にも見られ、高速動作では逆バイアスがかかります。



注：C_F はゲインのピークを防止するためのオプションであり、R_F の浮遊容量も含まれます。

図 7-5. 単一電源のトランスインピーダンス アンプ

詳細については、『トランスインピーダンス アンプの直感的な補償』アプリケーション レポートを参照してください。

7.3 電源に関する推奨事項

OPAx328 は 2.2V～5.5V (±1.1V～±2.75V) で動作が規定されており、多くの仕様は -40℃～+125℃ で適用されます。動作電圧または温度に関して大きな変動を示す可能性があるパラメータについては、*セクション 5.7* を参照してください。

> **注意**
>
> 6V を超える電源電圧を印加すると、デバイスに永続的な損傷を与える可能性があります。*セクション 5.1* を参照してください。

電源ピンの近くに 0.1µF のバイパス・コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源からの誤差を低減できます。バイパス・コンデンサの配置の詳細については、セクション 7.4 を参照してください。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

OPA328 は広帯域アンプです。デバイスの完全な動作性能を実現するには、良好な高周波 PCB レイアウト手法を使用します。各電源ピンとグランドとの間に、バイパス コンデンサを可能な限りデバイスの近くに接続します。インダクタンスが最小になるようにバイパス コンデンサのトレースを設計します。

7.4.2 レイアウト例

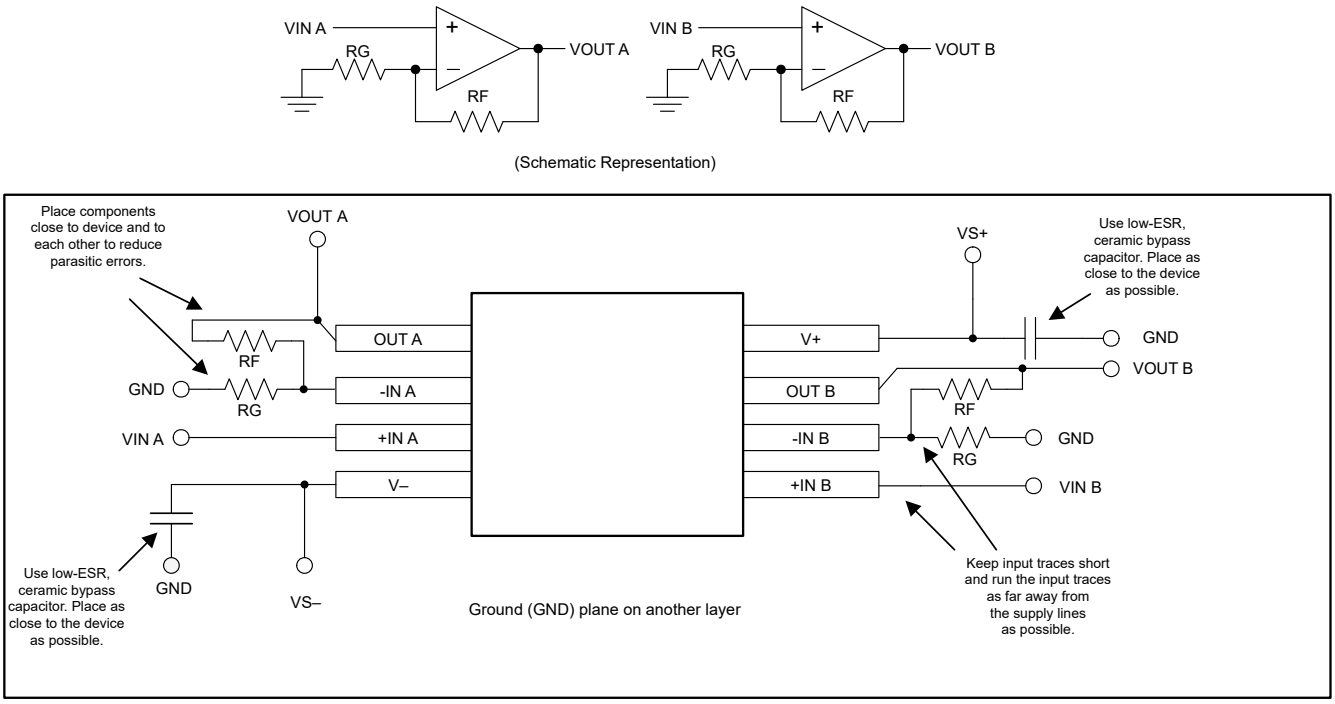


図 7-6. 非反転構成のオペアンプ基板のレイアウト

Copyright © 2025 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 デバイスのサポート

8.1.1 開発サポート

8.1.1.1 PSpice® for TI

PSpice® for TI は、アナログ回路の性能評価に役立つ設計およびシミュレーション環境です。レイアウトと製造に移る前に、サブシステムの設計とプロトタイプ・ソリューションを作成することで、開発コストを削減し、市場投入までの期間を短縮できます。

8.1.1.2 TINA-TI™ シミュレーション ソフトウェア (無償ダウンロード)

TINA-TI™ シミュレーション ソフトウェアは、SPICE エンジンをベースにした単純かつ強力な、使いやすい回路シミュレーション プログラムです。TINA-TI シミュレーション ソフトウェアは、TINA™ ソフトウェアのすべての機能を持つ無償バージョンで、パッシブ モデルとアクティブ モデルに加えて、マクロモデルのライブラリがプリロードされています。TINA-TI シミュレーション ソフトウェアには、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

TINA-TI シミュレーション ソフトウェアは設計およびシミュレーション ツール Web ページから無料でダウンロードでき、ユーザーが結果をさまざまな形式で処理できる、広範な後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプローブして、動的なクイック スタート ツールを作成できます。

注

これらのファイルを使用するには、TINA ソフトウェアまたは TINA-TI ソフトウェアがインストールされている必要があります。TINA-TI™ ソフトウェア フォルダから、無償の TINA-TI シミュレーション ソフトウェアをダウンロードしてください。

8.1.1.3 DIP アダプタ評価基板

DIP アダプタ評価基板は、オペアンプの迅速なプロトタイプ製作とテストを可能にする評価基板です。小型の表面実装デバイスとのインターフェイスを迅速、容易、低コストで実現します。付属の Samtec 端子ストリップか、直接配線により既存の回路へサポートされているオペアンプを接続します。DIP アダプタ評価基板キットは、以下の業界標準パッケージをサポートしています。D または U (SOIC-8)、PW (TSSOP-8)、DGK (VSSOP-8)、DBV (SOT-23-6、SOT-23-5、および SOT-23-3)、DCK (SC70-6 および SC70-5)、および DRL (SOT563-6)。

8.1.1.4 DIYAMP-EVM

DIYAMP-EVM は、実際のアンプ回路を提供する独自の評価基板 (EVM) であり、設計コンセプトの迅速な評価とシミュレーションの検証を実現します。この評価基板は、3 つの業界標準パッケージ (SC70、SOT23、SOIC) で供給されており、シングル / デュアル電源向けに、アンプ、フィルタ、安定性補償、コンパレータの各構成など、12 の一般的なアンプ構成が可能です。

8.1.1.5 Analog Filter Designer

Analog Filter Designer は、設計およびシミュレーション ツール Web ページから Web ベースのツールとして利用でき、包括的な複数段アクティブ フィルタ ソリューションの設計、最適化、シミュレーションをわずか数分で行います。

8.2 ドキュメントのサポート

8.2.1 関連資料

このデバイスの参考文献として、次のドキュメントをお勧めします。これは www.tij.co.jp からダウンロードできます。

- テキサス インスツルメンツ、*『ソフトウェア ペースメーカー検出』*設計ガイド
- テキサス・インスツルメンツ、*『TIDA-00378 の回路図とブロック図』*
- テキサス インスツルメンツ、*『大気環境監視向け PM2.5/PM10 粒子センサ アナログ フロントエンド』*設計ガイド
- テキサス・インスツルメンツ、『QFN/SON の PCB 実装』アプリケーション ノート
- テキサス・インスツルメンツ、『クワッド フラットパック リード端子なしロジック パッケージ』アプリケーション ノート
- テキサス インスツルメンツ、*『トランスインピーダンス アンプの直感的な補償』アプリケーション ノート*
- テキサス インスツルメンツ、*『FET トランスインピーダンス アンプのノイズ解析』アプリケーション ノート*
- テキサス インスツルメンツ、*『高速オペアンプのノイズ解析』アプリケーション ノート*

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

e-trim™, TINA-TI™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
TINA™ is a trademark of DesignSoft, Inc.
PSpice® is a registered trademark of Cadence Design Systems, Inc.
すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (December 2023) to Revision E (January 2025) **Page**

- *「製品情報」*に OPA2328 YBJ パッケージを追加しました..... 1
- OPA2328 YBJ (WCSP、14) のピン構成とピン機能の表を追加しました..... 3
- *「熱に関する情報 - OPA2328」*セクションに YBJ (DSBGA) パッケージを追加しました..... 8

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision C (May 2023) to Revision D (December 2023) **Page**

- OPA2328 D (SOIC、8) および DRG (WSON、8) パッケージのステータスをプレビューから量産データ (アクティブ) に変更し、関連コンテンツを追加 1

Changes from Revision B (November 2022) to Revision C (May 2023) **Page**

- OPA328 の DBV (SOT-23、5) パッケージを事前情報 (開発中製品) から量産データ (アクティブ) に変更 1
- OPA4328 PW (TSSOP、14) および RUM (WQFN、16) のピン構成とピン機能の表を追加 3

Changes from Revision A (June 2022) to Revision B (November 2022) **Page**

- OPA328 デバイスのステータスを開発中製品から事前情報に変更 1
- 「絶対最大定格」に接合部温度を追加 7

Changes from Revision * (February 2022) to Revision A (June 2022) **Page**

- OPA2328 を事前情報 (プレビュー) から量産データ (アクティブ) に変更 1

10 メカニカル、パッケージ、および注文に関する情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2328DGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2K6S
OPA2328DGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2K6S
OPA2328DGKT	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2K6S
OPA2328DGKT.A	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2K6S
OPA2328DR	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2328W
OPA2328DR.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2328W
OPA2328DRGR	Active	Production	SON (DRG) | 8	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2328W
OPA2328DRGR.A	Active	Production	SON (DRG) | 8	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2328W
OPA2328YBJR	Active	Production	DSBGA (YBJ) | 24	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	OPA2328
OPA2328YBJR.A	Active	Production	DSBGA (YBJ) | 24	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	OPA2328
OPA328DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	OP328
OPA328DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	OP328

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

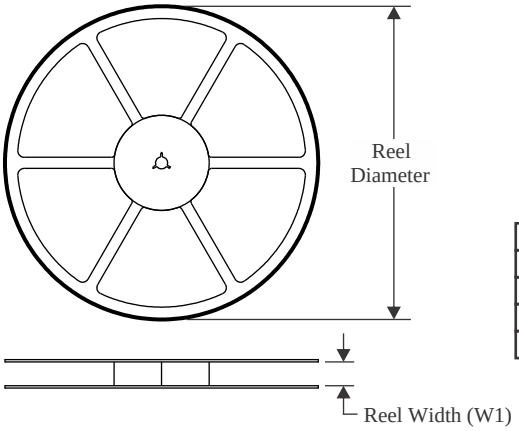
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

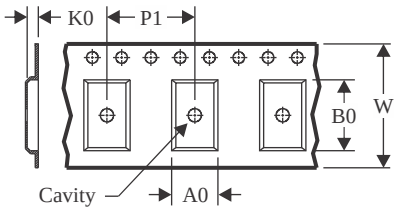
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

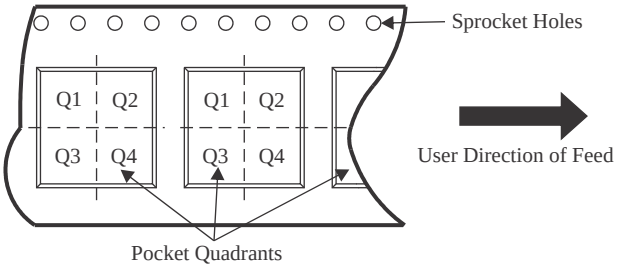


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

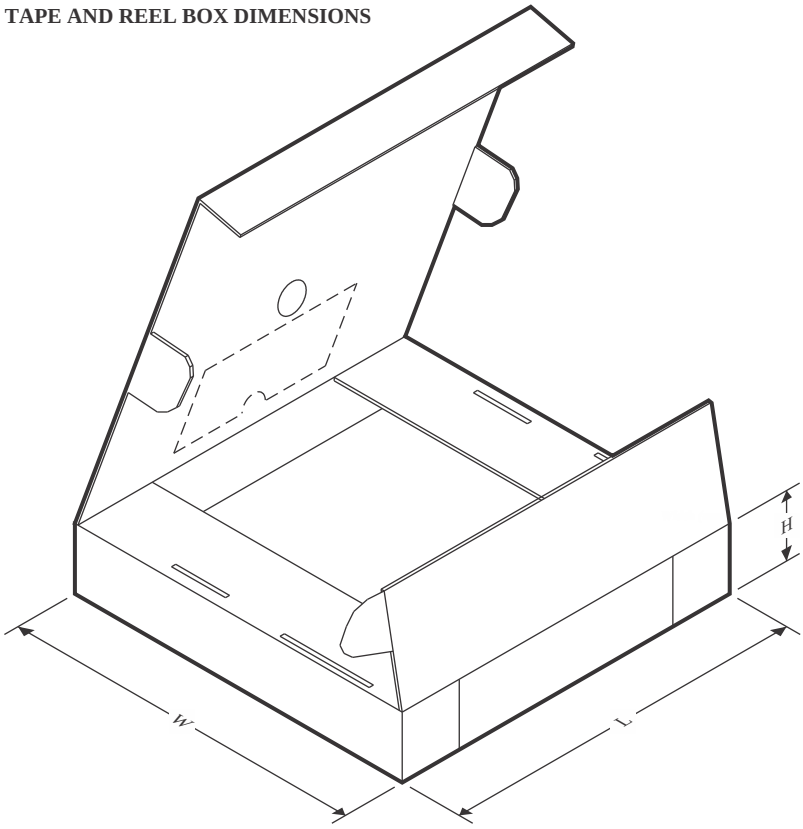
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2328DGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2328DR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2328DRGR	SON	DRG	8	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
OPA2328YBJR	DSBGA	YBJ	24	3000	180.0	8.4	2.24	2.24	0.45	4.0	8.0	Q1
OPA328DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2328DGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA2328DR	SOIC	D	8	3000	353.0	353.0	32.0
OPA2328DRGR	SON	DRG	8	5000	367.0	367.0	35.0
OPA2328YBJR	DSBGA	YBJ	24	3000	182.0	182.0	20.0
OPA328DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0

GENERIC PACKAGE VIEW

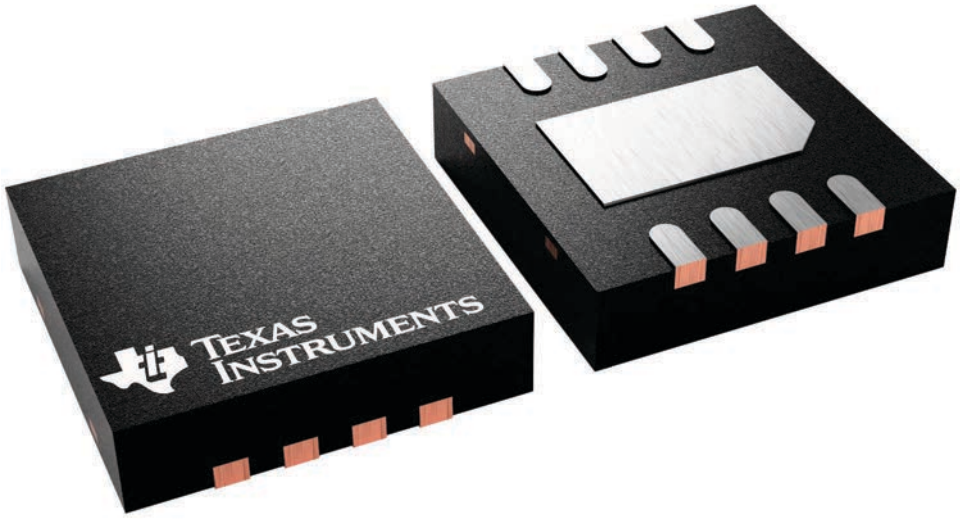
DRG 8

WSON - 0.8 mm max height

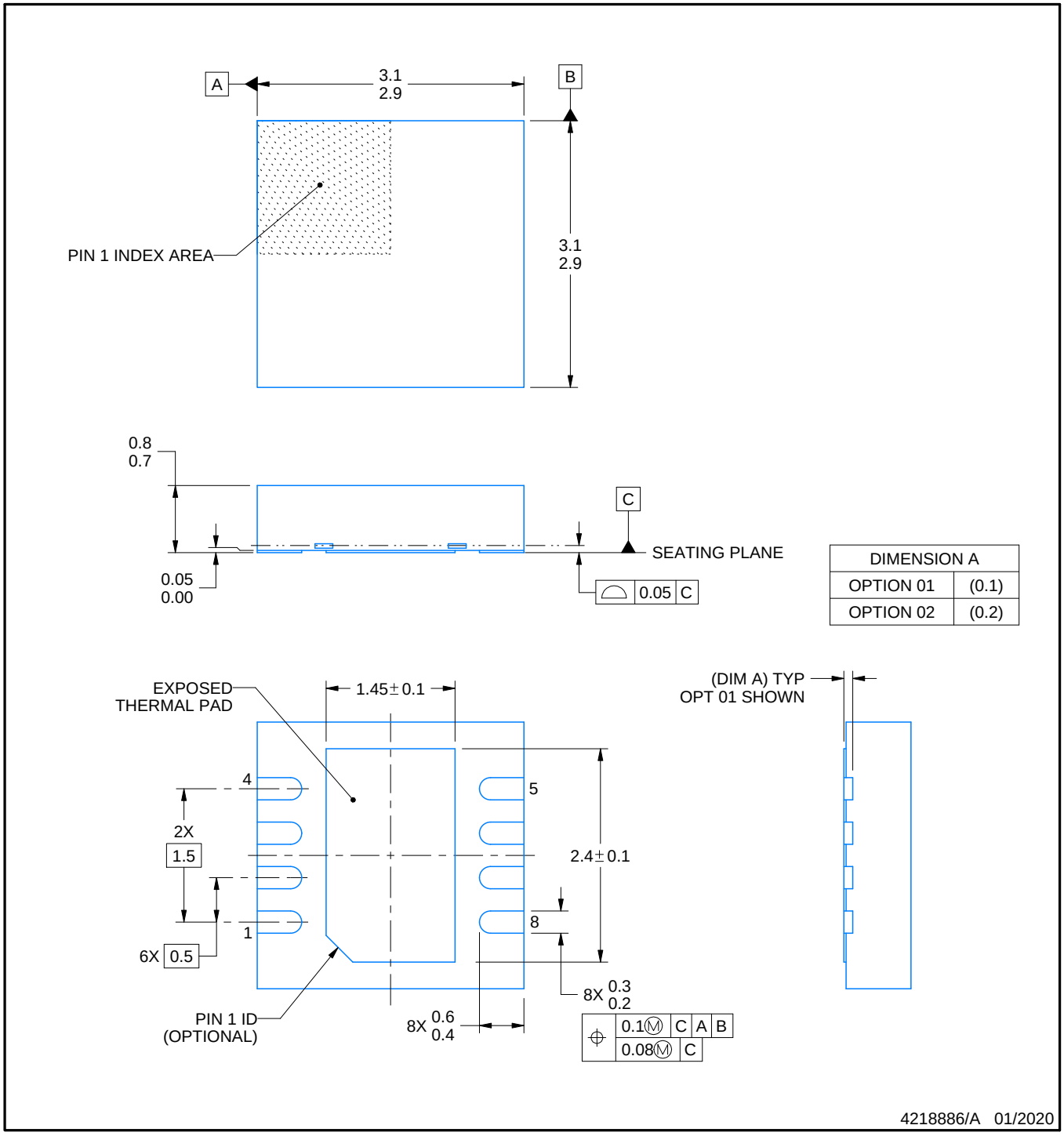
3 x 3, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



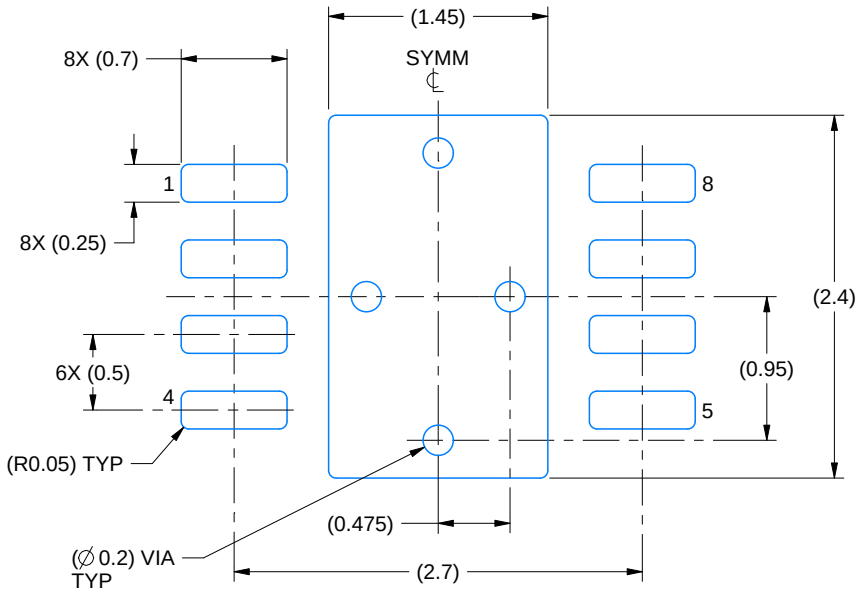
4225794/A



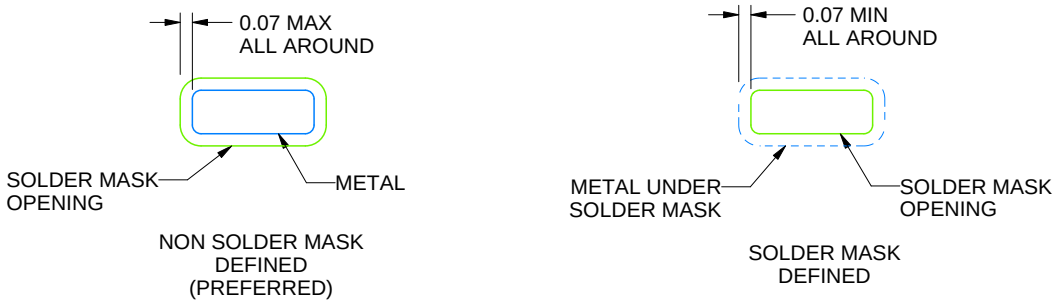
DIMENSION A	
OPTION 01	(0.1)
OPTION 02	(0.2)

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

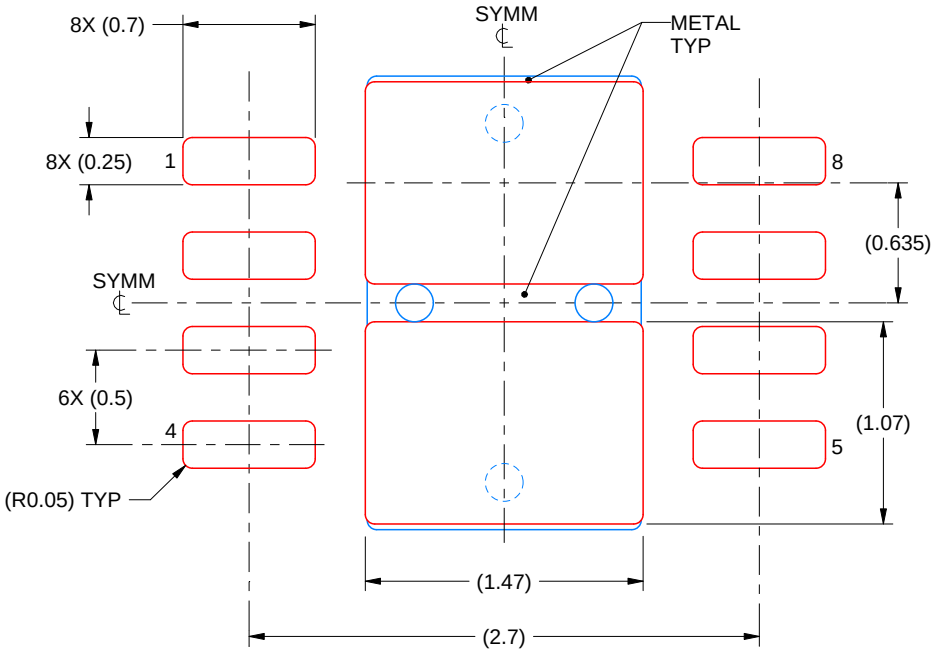


SOLDER MASK DETAILS

4218886/A 01/2020

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



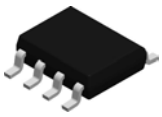
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
82% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4218886/A 01/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

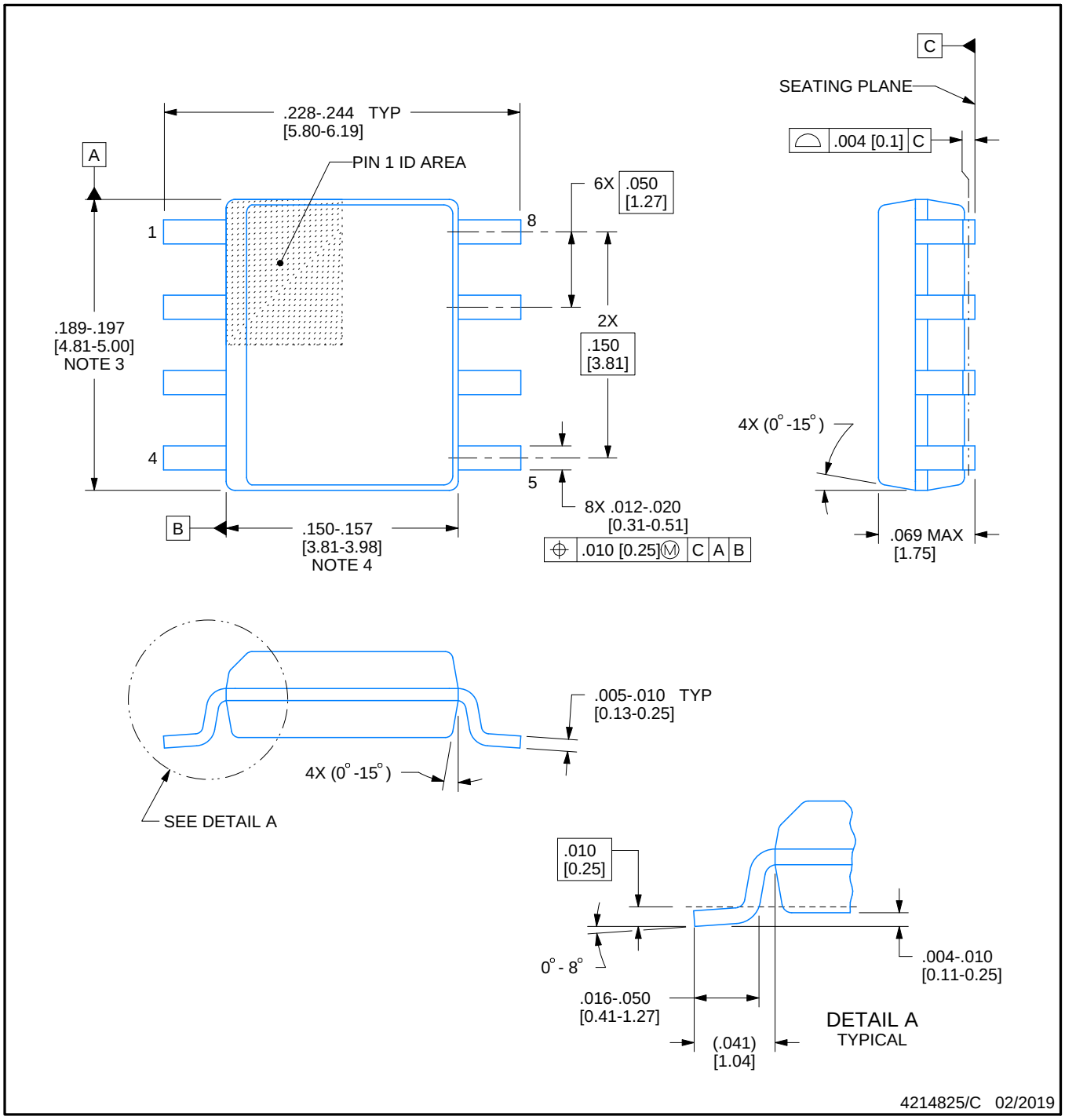


PACKAGE OUTLINE

D0008A

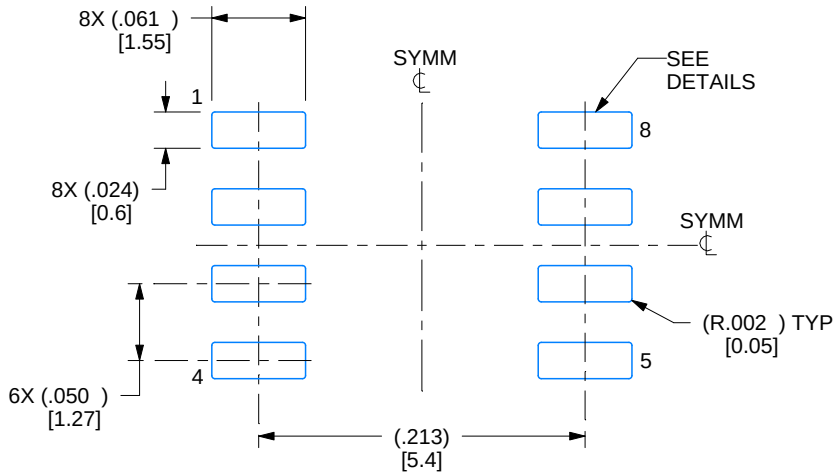
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

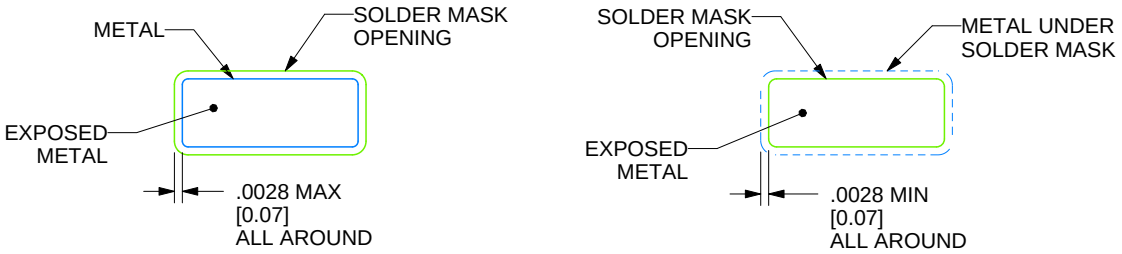


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

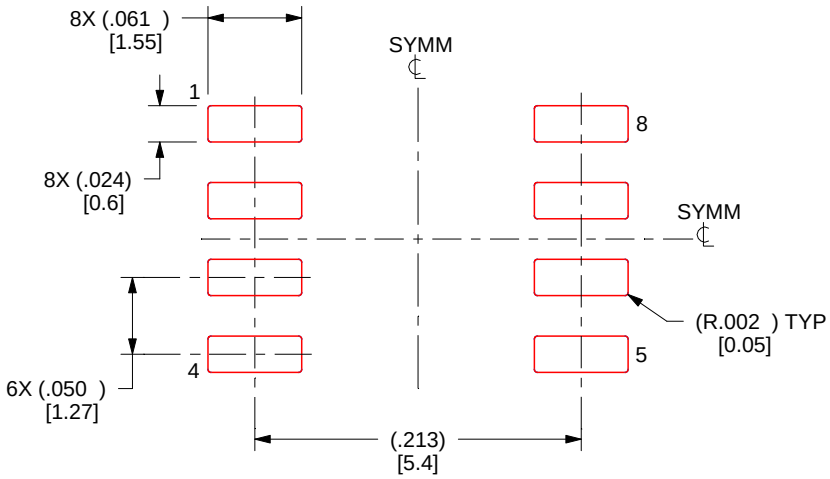


SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

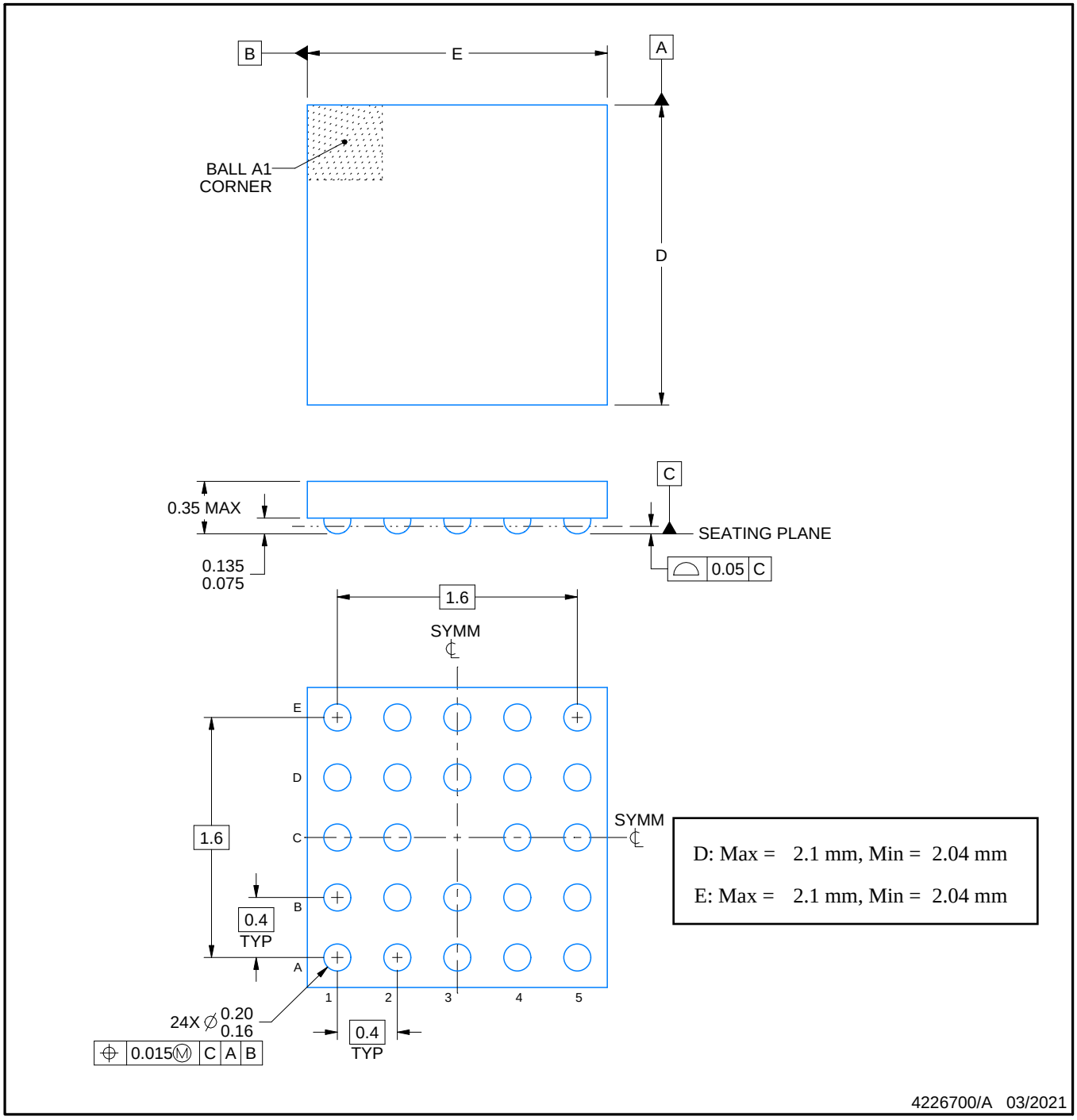


SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

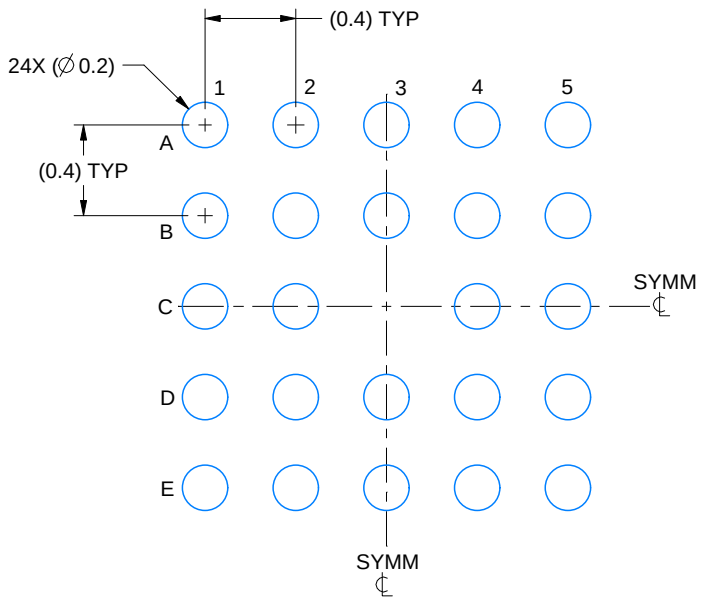
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

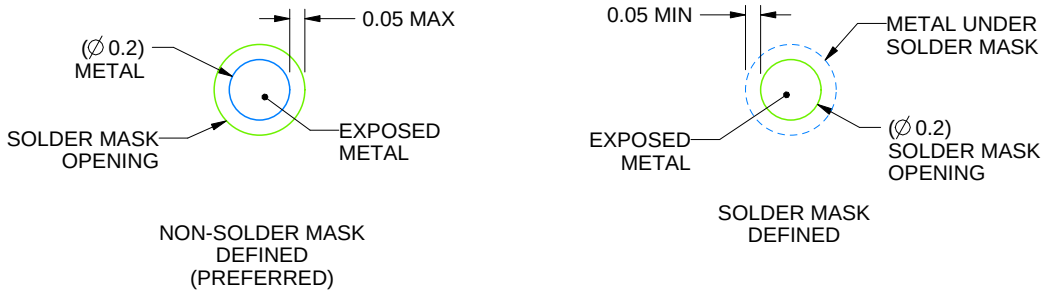


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 30X

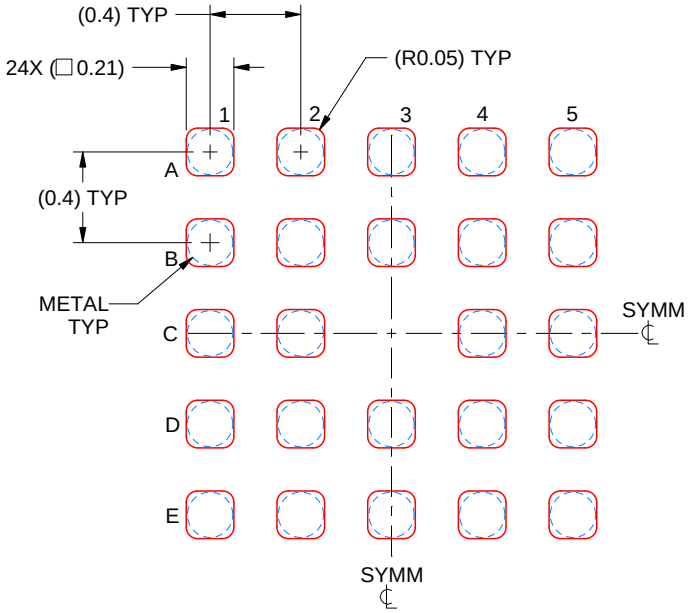


SOLDER MASK DETAILS
NOT TO SCALE

4226700/A 03/2021

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
   See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

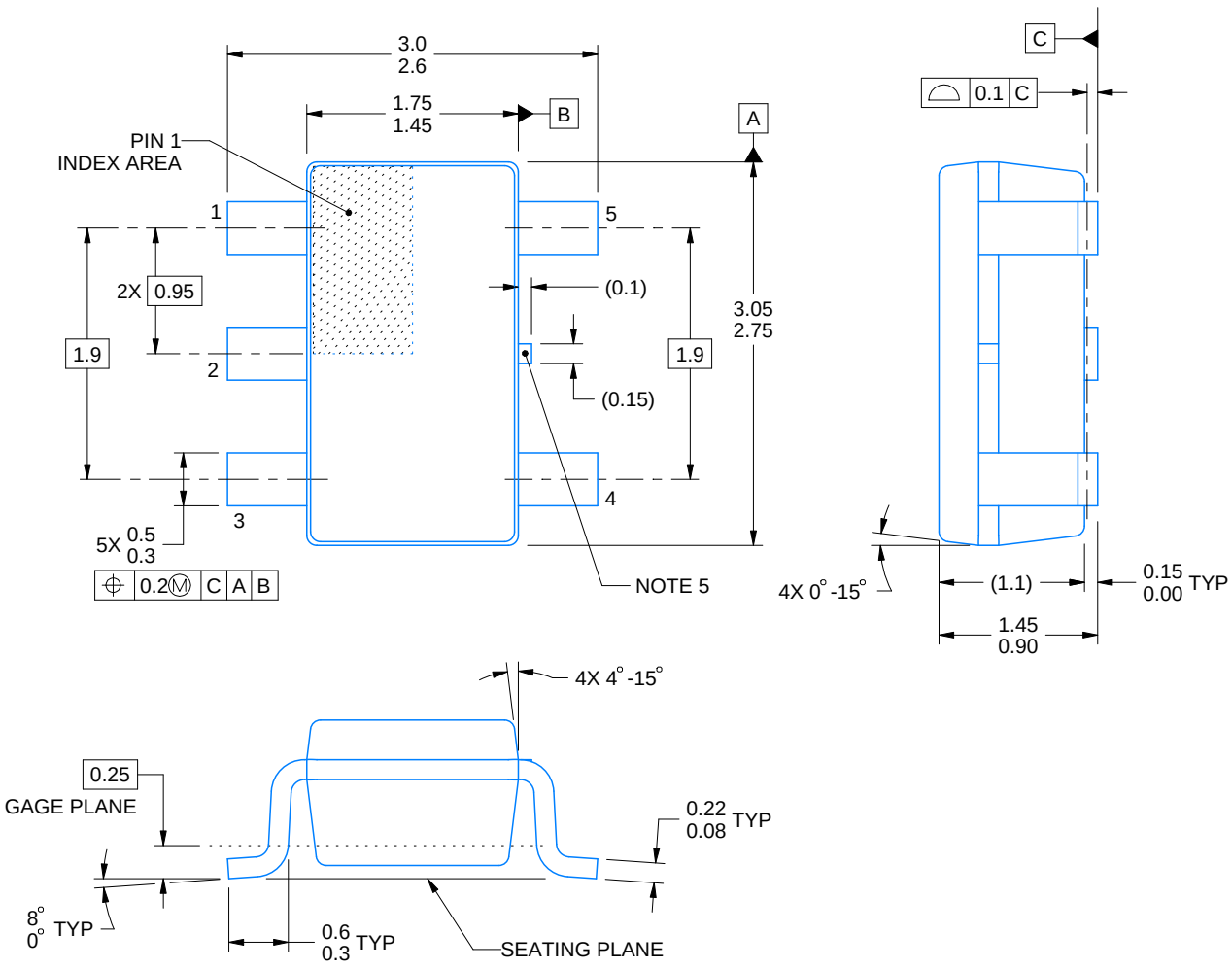


SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 30X

4226700/A 03/2021

NOTES: (continued)

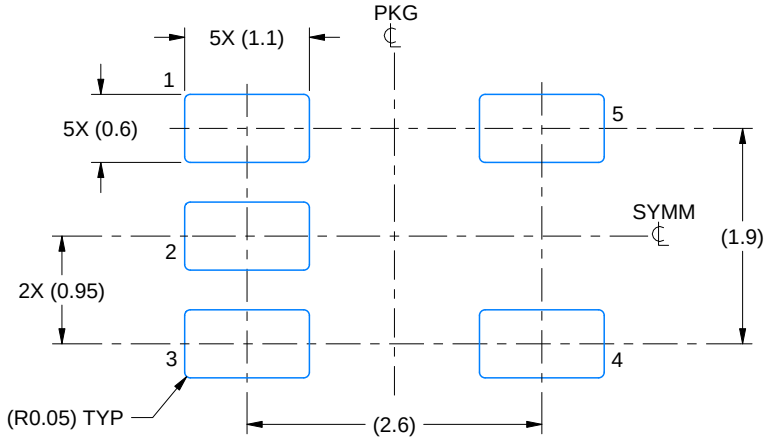
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.



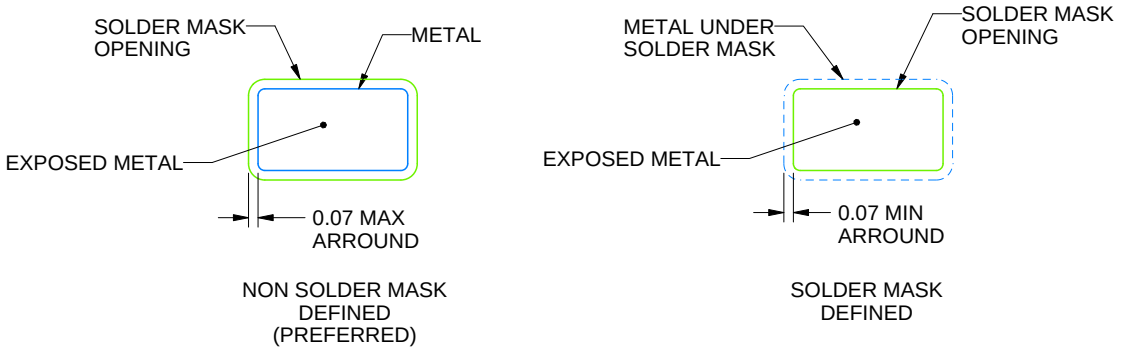
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

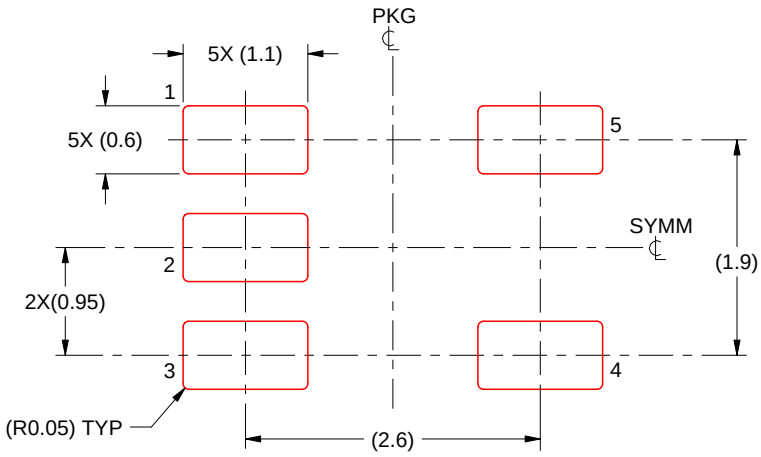


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

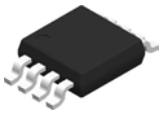
4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

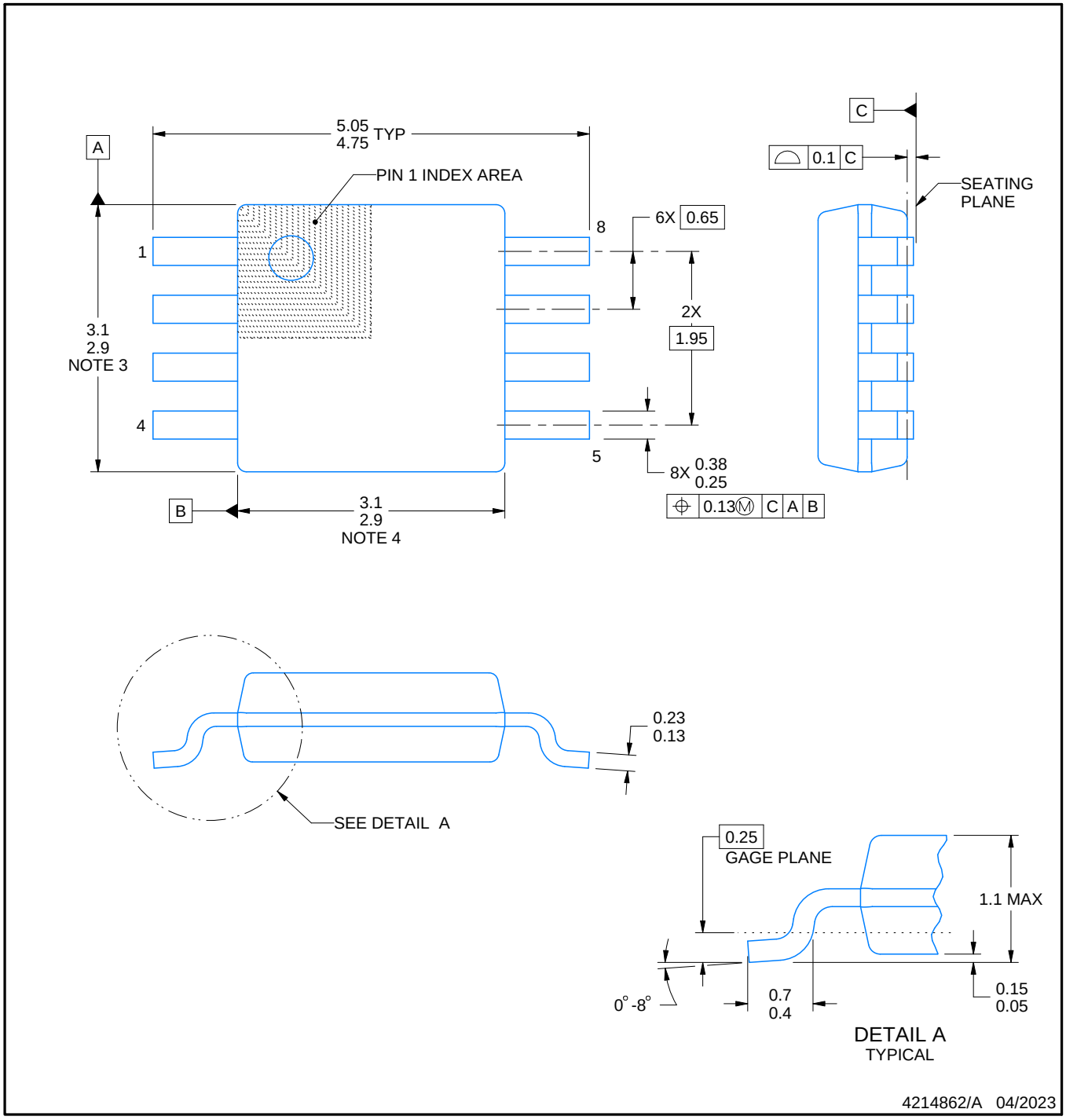
PACKAGE OUTLINE

DGK0008A



VSSOP - 1.1 mm max height

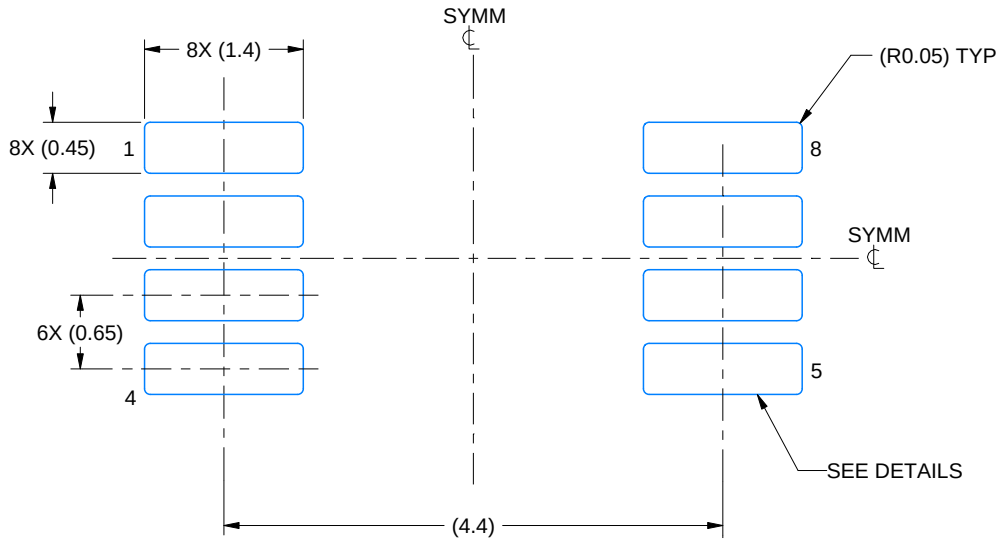
SMALL OUTLINE PACKAGE



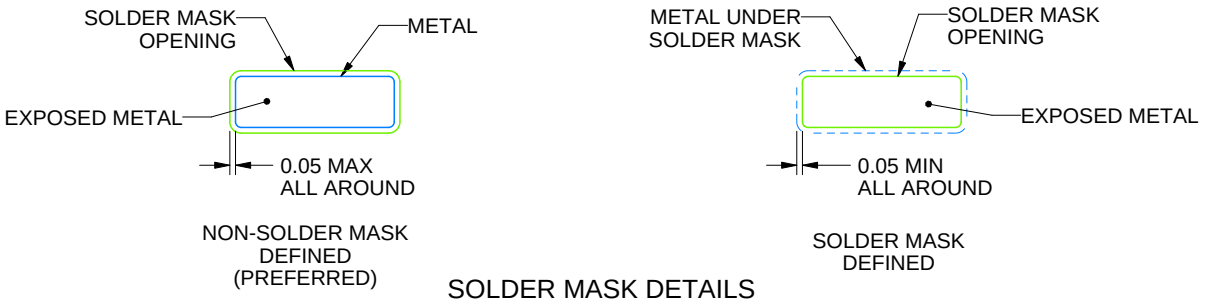
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

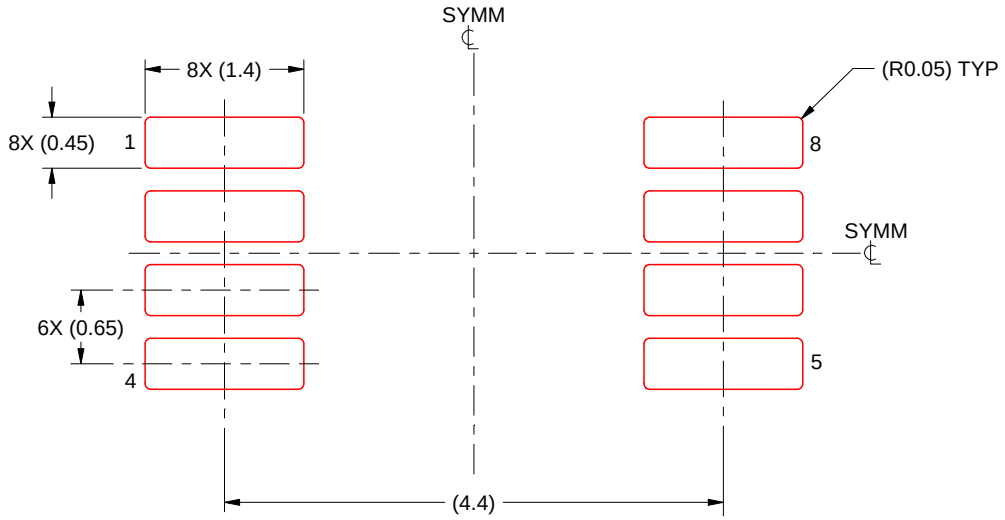


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated