



# 2チャンネル、低電力、広帯域、電圧帰還オペアンプ ディスエーブル付き

## 特長

- フレキシブルな電源範囲：  
+2.6V ~ +12V単電源  
±1.3V ~ ±6Vデュアル電源
- ユニティ・ゲイン安定
- 広帯域±5V動作：60MHz (G = +2V/V)
- 出力電圧振幅：±4V
- 高スルーレート：250V / μs
- 低静止電流：460μA / チャンネル
- 低ディスエーブル時電流：18μA / チャンネル

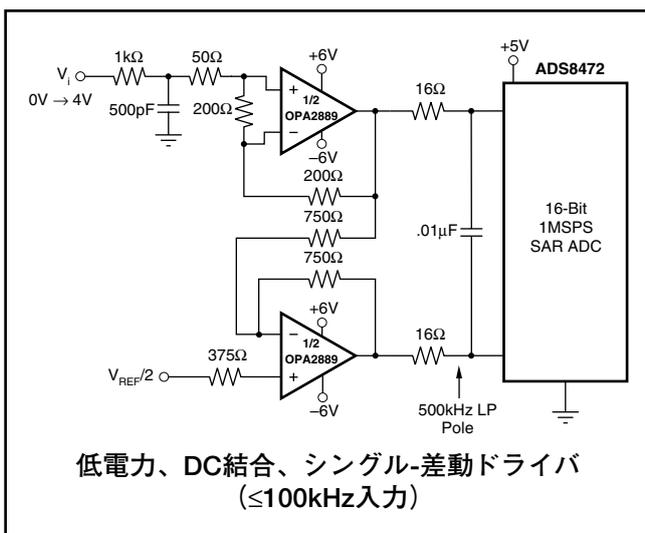
## アプリケーション

- ビデオ・ライン・ドライバ
- xDSLライン・レシーバ
- 高速イメージング・チャンネル
- ADCバッファ
- 携帯機器
- トランスインピーダンス・アンプ
- アクティブ・フィルタ

## 概要

OPA2889は、ユニティ・ゲイン安定の電圧帰還オペアンプにおける大きな前進を示しています。新しい内部アーキテクチャにより、従来は広帯域の電流帰還オペアンプにしか見られなかったスルーレートとフルパワー帯域幅が実現されています。これら能力によって、並外れたフルパワー帯域幅が得られています。±5Vのデュアル電源を使用すると、OPA2889は40mA以上の駆動電流および60MHzの帯域幅で、±4Vの出力振幅を提供できます。これらの特長の組み合わせにより、OPA2889はRGBライン・ドライバや単電源ADコンバータ(ADC)の入力ドライバ、低電力ツイスト・ペアのライン・レシーバに最適です。

OPA2889の460μA/チャンネルという低静止電流は、+25°Cにて正確にトリミングされています。オプションのディスエーブル制御端子を使用すると、システム電力をさらに低減できます。このディスエーブル端子をオープンあるいは“High”に保つと、OPA2889は通常動作を行います。また、これを“Low”にすると、OPA2889の電源電流は20μA/チャンネルより低減され、出力はハイインピーダンス状態になります。



## 関連オペアンプ製品

	1チャンネル	2チャンネル	3チャンネル
Low-Power Voltage-Feedback with Disable	OPA890	OPA2890	
Voltage-Feedback Amplifier with Disable (1800V/μs)	OPA690	OPA2690	OPA3690
Current-Feedback Amplifier with Disable (2100V/μs)	OPA691	OPA2691	OPA3691
Fixed Gain	OPA692		OPA3692

すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。





## 静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

### 製品情報(1)

製品名	パッケージ・リード	パッケージ・コード	規定温度範囲	パッケージ・マーキング	注文番号	出荷形態、数量
OPA2889	SO-8	D	-40°C ~ +85°C	OP2889	OPA2889ID	Rail, 75
					OPA2889IDR	Tape and Reel, 2500
OPA2889	MSOP-10	DGS	-40°C ~ +85°C	BZY	OPA2889IDGST	Tape and Reel, 250
					OPA2889IDGSR	Tape and Reel, 2500

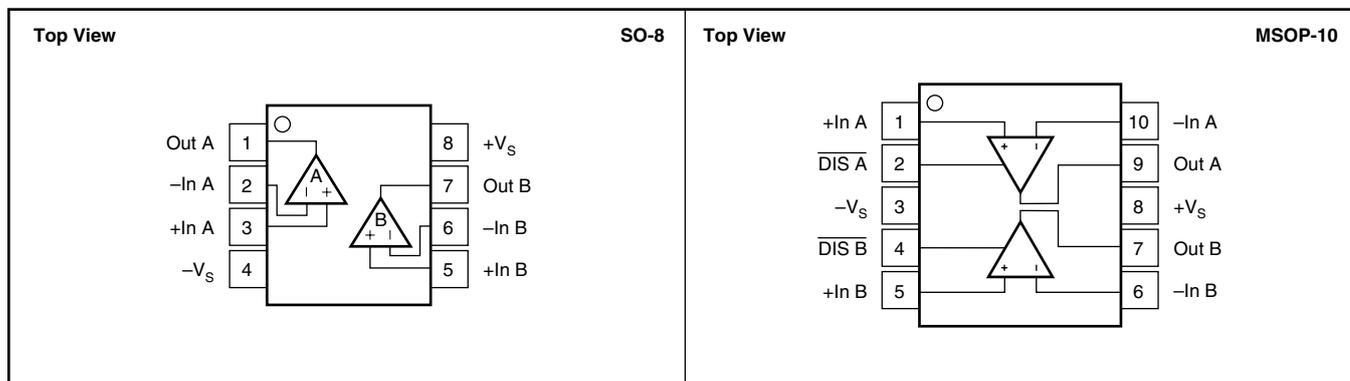
(1) 最新の現行パッケージおよび注文情報については、本文書の巻末の「パッケージ・オプション」、あるいはTIウェブサイト [www.tij.co.jp](http://www.tij.co.jp) もしくは [www.ti.com](http://www.ti.com) をご覧ください。

### 絶対最大定格(1)

	OPA2889	単位
電源	±6.5	V
内部電力消費	熱的特性を参照	
入力電圧範囲	±V <sub>S</sub>	V
保存温度範囲	-65 ~ +125	°C
リード温度(半田付け、10秒)	+260	°C
最大ジャンクション温度(T <sub>J</sub> )	+150	°C
最大ジャンクション温度(T <sub>J</sub> )、連続動作	+140	°C
ESD定格		
HBM (Human Body Model)	2000	V
CDM (Charge Device Model)	1000	V
MM (Machine Model)	150	V

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

### ピン配置



## 電気的特性： $V_S = \pm 5V$

$T_A = +25^\circ C$ 、 $R_F = 750\Omega$ 、 $G = +2V/V$ 、および  $R_L = 100\Omega$  (特に記述のない限り)。

パラメータ	条件	OPA2889ID, IDGS				単位	MIN/ MAX	テスト・ レベル <sup>(1)</sup>
		TYP	温度範囲内の MIN/MAX					
			+25°C	+25°C <sup>(2)</sup>	0°C ~ +70°C <sup>(3)</sup>			
<b>AC特性</b>								
小信号帯域幅	$G = +1V/V$ , $V_O = 100mV_{PP}$ , $R_F = 0\Omega$	115				MHz	typ	C
	$G = +2V/V$ , $V_O = 100mV_{PP}$	60	40	36	32	MHz	min	B
	$G = +10V/V$ , $V_O = 100mV_{PP}$	8	6	5	4.5	MHz	min	B
ゲイン帯域幅積	$G > +20V/V$	75	60	50	45	MHz	min	B
0.1dB平坦度帯域幅	$G = +2V/V$ , $V_O = 100mV_{PP}$	14				MHz	typ	C
+1V/Vゲイン時のピーキング	$V_O < 100mV_{PP}$ , $R_F = 0\Omega$	1				dB	typ	C
大信号帯域幅	$G = +2V/V$ , $V_O = 2V_{PP}$	70				MHz	typ	C
スルーレート	$G = +2V/V$ , $V_O = 2V$ ステップ	250	175	160	150	V/ $\mu s$	min	B
立ち上がり/立ち下がり時間	0.2V ステップ	6				ns	typ	C
0.02%までのセトリング・タイム	$G = +1V/V$ , $V_O = 2V$ ステップ	36				ns	typ	C
0.1%までのセトリング・タイム		25				ns	typ	C
高調波歪み	$G = +2V/V$ , $f = 1MHz$ , $V_O = 2V_{PP}$							
2次高調波	$R_L = 200\Omega$	-75	-65	-62	-60	dBc	max	B
	$R_L \geq 500\Omega$	-80	-73	-68	-65	dBc	max	B
3次高調波	$R_L = 200\Omega$	-80	-74	-70	-68	dBc	max	B
	$R_L \geq 500\Omega$	-82	-80	-75	-72	dBc	max	B
入力電圧ノイズ	$f > 100kHz$	8.4	10	11.5	12	$nV/\sqrt{Hz}$	max	B
入力電流ノイズ	$f > 100kHz$	0.7	1	1.2	1.4	$pA/\sqrt{Hz}$	max	B
微分ゲイン	$G = +2V/V$ , $V_O = 1.4V_{PP}$ , $R_L = 150\Omega$	0.06				%	typ	C
微分位相	$G = +2V/V$ , $V_O = 1.4V_{PP}$ , $R_L = 150\Omega$	0.04				°	typ	C
チャンネル間クロストーク	$f = 5MHz$ 、入力換算	-85				dB	typ	C
<b>DC特性<sup>(4)</sup></b>								
開ループ電圧ゲイン ( $A_{OL}$ )	$V_O = 0V$ , $R_L = 100\Omega$	66	60	58	57	dB	min	A
入力オフセット電圧	$V_{CM} = 0V$	$\pm 1.5$	$\pm 5$	$\pm 5.9$	$\pm 6.3$	mV	max	A
平均オフセット電圧ドリフト	$V_{CM} = 0V$			$\pm 20$	$\pm 20$	$\mu V/^\circ C$	max	B
入力バイアス電流	$V_{CM} = 0V$	$\pm 150$	$\pm 750$	$\pm 840$	$\pm 880$	nA	max	A
平均入力バイアス電流ドリフト	$V_{CM} = 0V$			$\pm 2$	$\pm 2$	$nA/^\circ C$	max	B
入力オフセット電流	$V_{CM} = 0V$	$\pm 50$	$\pm 200$	$\pm 225$	$\pm 235$	nA	max	A
平均入力オフセット電流ドリフト	$V_{CM} = 0V$			$\pm 0.5$	$\pm 0.5$	$nA/^\circ C$	max	B
<b>入力</b>								
同相入力範囲 (CMIR) <sup>(5)</sup>		$\pm 3.9$	$\pm 3.8$	$\pm 3.7$	$\pm 3.6$	V	min	A
同相除去比 (CMRR)	$V_{CM} = 0V$ 、入力換算	70	60	59	58	dB	min	A
入力インピーダンス								
差動	$V_{CM} = 0V$	3.5    0.5				M $\Omega$    pF	typ	C
同相	$V_{CM} = 0V$	170    0.8				M $\Omega$    pF	typ	C

(1) テスト・レベル：(A) +25°Cで100%試験。温度範囲におけるリミットは、特性評価およびシミュレーションにより設定。

(B) リミットは、特性評価およびシミュレーションにより設定。

(C) typ値のみ設定。

(2) +25°Cで試験される仕様では、ジャンクション温度 = 周囲温度。

(3) 温度範囲の仕様では、低温リミットはジャンクション温度 = 周囲温度、高温リミットはジャンクション温度 = 周囲温度+4°C。

(4) 電流は流れ出しが正。 $V_{CM}$ は入力同相電圧。

(5)  $\pm$ CMIRリミットでは、CMRRのMIN規格値より3dB以下である。

## 電気的特性：V<sub>S</sub> = ±5V

T<sub>A</sub> = +25°C、R<sub>F</sub> = 750Ω、G = +2V/V、および R<sub>L</sub> = 100Ω(特に記述のない限り)。

パラメータ	条件	OPA2889ID, IDGS				単位	MIN/ MAX	テスト・ レベル <sup>(1)</sup>
		TYP	温度範囲内での MIN/MAX					
			+25°C	+25°C <sup>(2)</sup>	0°C ~ +70°C <sup>(3)</sup>			
<b>出力</b>								
出力電圧振幅	無負荷	±4.0	±3.9	±3.8	±3.7	V	min	A
	R <sub>L</sub> = 100 Ω	±3.3	±3.0	±2.95	±2.85	V	min	A
出力電流(ソース、シンク)	V <sub>O</sub> = 0V	±40	±28	±25	±22	mA	min	A
ピーク出力電流	出力をグラウンドに短絡	±60				mA	typ	C
閉ループ出力インピーダンス	G = +2V/V, f = 100kHz	0.04				Ω	typ	C
<b>ディセーブル (MSOP-10のみ)</b>	ディセーブルを“Low”							
パワーダウン時電源電流(+V <sub>S</sub> )	V <sub>DIS</sub> = 0、両チャンネル	36	50	53	55	μA	max	A
ディセーブル・タイム	V <sub>IN</sub> = 1V <sub>DC</sub>	70				μs	typ	C
イネーブル・タイム	V <sub>IN</sub> = 1V <sub>DC</sub>	200				ns	typ	C
オフ時絶縁	G = +2V/V, f = 5MHz	70				dB	typ	C
ディセーブル時出力容量		4				pF	typ	C
イネーブル電圧		3.3	3.4	3.5	3.55	V	min	A
ディセーブル電圧		1.2	1.0	0.9	0.85	V	max	A
制御端子入力バイアス電流(V <sub>DIS</sub> )	V <sub>DIS</sub> = 0、各チャンネル	15	25	30	35	μA	max	A
<b>電源</b>								
規定動作電圧		±5				V	typ	C
最小動作電圧			1.3			V	typ	C
最大動作電圧			±6.0	±6.0	±6.0	V	max	A
最大静的消費電流	V <sub>S</sub> = ±5V、両チャンネル	0.92	1	1.05	1.1	mA	max	A
最小静的消費電流	V <sub>S</sub> = ±5V、両チャンネル	0.92	0.8	0.75	0.7	mA	min	A
電源除去比(+PSRR)	+V <sub>S</sub> = 4.5V ~ 5.5V	64	62	61	60	dB	min	A
(-PSRR)	-V <sub>S</sub> = -4.5V ~ -5.5V	74	72	71	70	dB	min	A
<b>熱的特性</b>								
DおよびDGSパッケージの 規定動作範囲		-40 ~ +85				°C	typ	C
熱抵抗、θ <sub>JA</sub>	ジャンクション - 周囲間							
D	SO-8	100				°C/W	typ	C
DGS	MSOP-10	135				°C/W	typ	C

(1) テスト・レベル：(A) +25°Cで100%試験。温度範囲におけるリミットは、特性評価およびシミュレーションにより設定。

(B) リミットは、特性評価およびシミュレーションにより設定。

(C) typ値のみ設定。

(2) +25°Cで試験される仕様では、ジャンクション温度 = 周囲温度。

(3) 温度範囲の仕様では、低温リミットはジャンクション温度 = 周囲温度、高温リミットはジャンクション温度 = 周囲温度+4°C。

(4) 電流は流れ出しが正。V<sub>CM</sub>は入力同相電圧。

# 電気的特性：V<sub>S</sub> = +5V

T<sub>A</sub> = +25°C、R<sub>F</sub> = 750Ω、G = +2V/V、および R<sub>L</sub> = 100Ω (特に記述のない限り)。

パラメータ	条件	OPA2889ID, IDGS				単位	MIN/ MAX	テスト・ レベル <sup>(1)</sup>
		TYP	温度範囲内での MIN/MAX					
		+25°C	+25°C <sup>(2)</sup>	0°C ~ +70°C <sup>(3)</sup>	-40°C ~ +85°C <sup>(3)</sup>			
<b>AC特性</b>								
小信号帯域幅	G = +1V/V, V <sub>O</sub> = 100mV <sub>pp</sub> , R <sub>F</sub> = 0Ω	100				MHz	typ	C
	G = +2V/V, V <sub>O</sub> = 100mV <sub>pp</sub>	50	30	26	22	MHz	min	B
	G = +10V/V, V <sub>O</sub> = 100mV <sub>pp</sub>	7	5.5	4.5	4	MHz	min	B
ゲイン帯域幅積	G > +20V/V	70	55	45	40	MHz	min	B
0.1dB平坦度帯域幅	G = +2V/V, V <sub>O</sub> = 100mV <sub>pp</sub>	14				MHz	typ	C
+1V/Vゲイン時のピーキング	V <sub>O</sub> < 100mV <sub>pp</sub> , R <sub>F</sub> = 0Ω	1				dB	typ	C
大信号帯域幅	G = +2V/V, V <sub>O</sub> = 2V <sub>pp</sub>	60				MHz	typ	C
スルーレート	G = +2V/V, V <sub>O</sub> = 2V ステップ	200	125	110	100	V/μs	min	B
立ち上がり/立ち下がり時間	0.2V ステップ	6.5				ns	typ	C
0.02%までのセトリング・タイム	G = +1V/V, V <sub>O</sub> = 2V ステップ	38				ns	typ	C
0.1%までのセトリング・タイム		27				ns	typ	C
<b>高調波歪み</b>								
G = +2V/V, f = 1MHz, V <sub>O</sub> = 2V <sub>pp</sub>								
2次高調波	R <sub>L</sub> = 200Ω	-71	-61	-58	-56	dBc	max	B
	R <sub>L</sub> ≥ 500Ω	-76	-69	-64	-61	dBc	max	B
3次高調波	R <sub>L</sub> = 200Ω	-76	-70	-66	-64	dBc	max	B
	R <sub>L</sub> ≥ 500Ω	-76	-74	-69	-66	dBc	max	B
入力電圧ノイズ	f > 100kHz	8.5	10.5	12	12.5	nV/√Hz	max	B
入力電流ノイズ	f > 100kHz	0.7	1	1.1	1.2	pA/√Hz	max	B
微分ゲイン	G = +2V/V, V <sub>O</sub> = 1.4V <sub>pp</sub> , R <sub>L</sub> = 150 Ω	0.06				%	typ	C
微分位相	G = +2V/V, V <sub>O</sub> = 1.4V <sub>pp</sub> , R <sub>L</sub> = 150 Ω	0.04				°	typ	C
チャンネル間クロストーク	f = 5MHz、入力換算	-85				dB	typ	C
<b>DC特性<sup>(4)</sup></b>								
開ループ電圧ゲイン (A <sub>OL</sub> )	V <sub>O</sub> = 0V, R <sub>L</sub> = 100Ω	64	58	56	55	dB	min	A
入力オフセット電圧	V <sub>CM</sub> = 0V	±1.5	±5	±5.9	±6.3	mV	max	A
平均オフセット電圧ドリフト	V <sub>CM</sub> = 0V			±20	±20	μV/°C	max	B
入力バイアス電流	V <sub>CM</sub> = 0V	±150	±800	±890	±930	nA	max	A
平均入力バイアス電流ドリフト	V <sub>CM</sub> = 0V			±2	±2	nA/°C	max	B
入力オフセット電流	V <sub>CM</sub> = 0V	±50	±250	±275	±285	nA	max	A
平均入力オフセット電流ドリフト	V <sub>CM</sub> = 0V			±0.5	±0.5	nA/°C	max	B
<b>入 力</b>								
最大正入力電圧		4	3.9	3.8	3.75	V	min	A
最小正入力電圧		1	1.1	1.2	1.25	V	max	A
同相除去比 (CMRR)	V <sub>CM</sub> = 0V、入力換算	68	58	57	56	dB	min	A
入力インピーダンス								
差動	V <sub>CM</sub> = 0V	3.5    0.5				MΩ    pF	typ	C
同相	V <sub>CM</sub> = 0V	170    0.8				MΩ    pF	typ	C

(1) テスト・レベル：(A) +25°Cで100%試験。温度範囲におけるリミットは、特性評価およびシミュレーションにより設定。

(B) リミットは、特性評価およびシミュレーションにより設定。

(C) typ値のみ設定。

(2) +25°Cで試験される仕様では、ジャンクション温度 = 周囲温度。

(3) 温度範囲の仕様では、低温リミットはジャンクション温度 = 周囲温度、高温リミットはジャンクション温度 = 周囲温度+4°C。

(4) 電流は流れ出しが正。V<sub>CM</sub>は入力同相電圧。

## 電気的特性：V<sub>S</sub> = +5V

T<sub>A</sub> = +25°C、R<sub>F</sub> = 750Ω、G = +2V/V、および R<sub>L</sub> = 100Ω (特に記述のない限り)。

パラメータ	条件	OPA2889ID, IDGS				単位	MIN/ MAX	テスト・ レベル <sup>(1)</sup>
		TYP	温度範囲内での MIN/MAX					
			+25°C	+25°C <sup>(2)</sup>	0°C ~ +70°C <sup>(3)</sup>			
<b>出力</b>								
最大正出力電圧	無負荷	4	3.9	3.8	3.7	V	min	A
	R <sub>L</sub> = 100Ω	3.85	3.7	3.6	3.55	V	min	A
最小正出力電流	無負荷	1	1.1	1.2	1.3	V	max	A
	R <sub>L</sub> = 100 Ω	1.15	1.3	1.4	1.45	V	max	A
出力電流 (ソース、シンク)	V <sub>O</sub> = 0V	±35	±24	±21	±18	mA	min	A
ピーク出力電流	出力をグラウンドに短絡	±50				mA	typ	C
閉ループ出力インピーダンス	G = +2V/V, f = 100kHz	0.04				Ω	typ	C
<b>ディセーブル (MSOP-10のみ)</b>	ディセーブルをLOW							
パワーダウン時電源電流 (+V <sub>S</sub> )	V <sub>DIS</sub> = 0、両チャネル	36	50	53	55	μA	max	A
ディセーブル・タイム	V <sub>IN</sub> = 1V <sub>DC</sub>	70				μs	typ	C
イネーブル・タイム	V <sub>IN</sub> = 1V <sub>DC</sub>	200				ns	typ	C
オフ時絶縁	G = +2V/V, f = 5MHz	70				dB	typ	C
ディセーブル時出力容量		4				pF	typ	C
イネーブル電圧		3.3	3.4	3.5	3.55	V	min	A
ディセーブル電圧		1.2	1.0	0.9	0.85	V	max	A
制御端子入力バイアス電流 (V <sub>DIS</sub> )	V <sub>DIS</sub> = 0V、各チャネル	15	25	30	35	μA	max	A
<b>電源</b>								
規定動作電圧		+5				V	typ	C
最小動作電圧			+2.6			V	typ	C
最大動作電圧			+12	+12	+12	V	max	A
最大静的消費電流	V <sub>S</sub> = +5V、両チャネル	0.85	0.95	1.0	1.05	mA	max	A
最小静的消費電流	V <sub>S</sub> = +5V、両チャネル	0.85	0.75	0.7	0.65	mA	min	A
電源除去比 (+PSRR)	+V <sub>S</sub> = 4.5V ~ 5.5V	60				dB	typ	C
<b>熱的特性</b>								
DおよびDGSパッケージの規定動作範囲		-40 ~ +85				°C	typ	C
熱抵抗、θ <sub>JA</sub>	ジャンクション - 周囲間							
D	SO-8	100				°C/W	typ	C
DGS	MSOP-10	135				°C/W	typ	C

(1) テスト・レベル：(A) +25°Cで100%試験。温度範囲におけるリミットは、特性評価およびシミュレーションにより設定。

(B) リミットは、特性評価およびシミュレーションにより設定。

(C) typ値のみ設定。

(2) +25°Cで試験される仕様では、ジャンクション温度 = 周囲温度。

(3) 温度範囲の仕様では、低温リミットはジャンクション温度 = 周囲温度、高温リミットはジャンクション温度 = 周囲温度+4°C。

(4) 電流は流れ出しが正。V<sub>CM</sub>は入力同相電圧。

# 代表的特性： $V_S = \pm 5V$

$T_A = +25^\circ C$ 、 $G = +2V/V$ 、 $R_F = 750\Omega$ 、および $R_L = 100\Omega$  (特に記述のない限り)。図50参照。

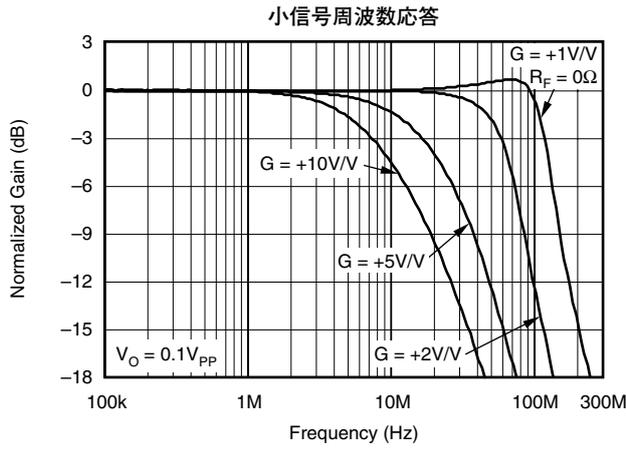


図1

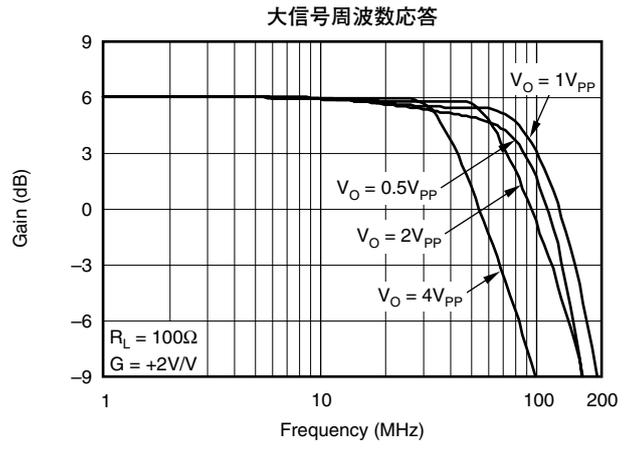


図2

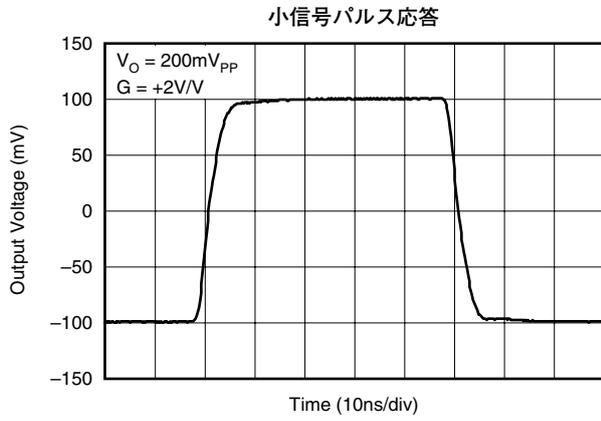


図3

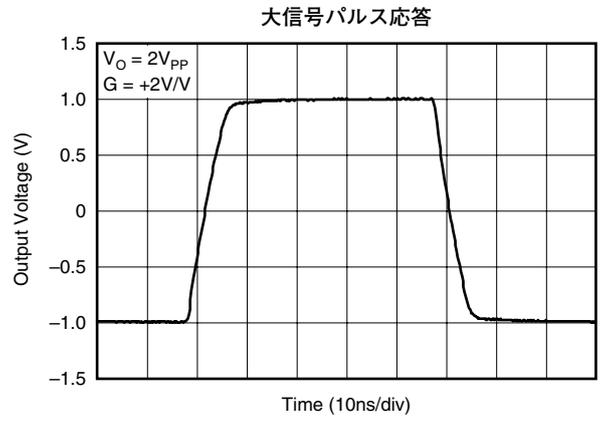


図4

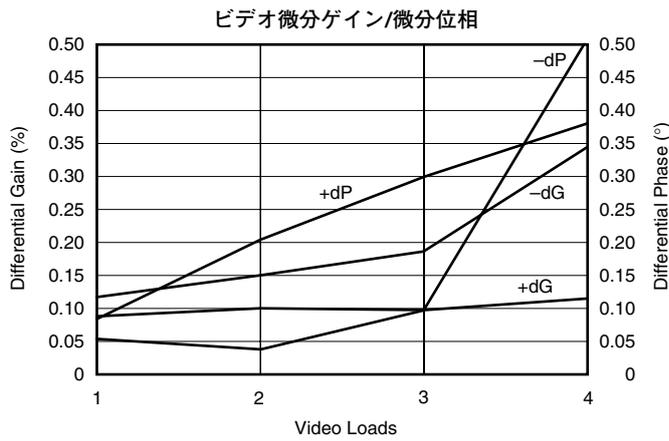


図5

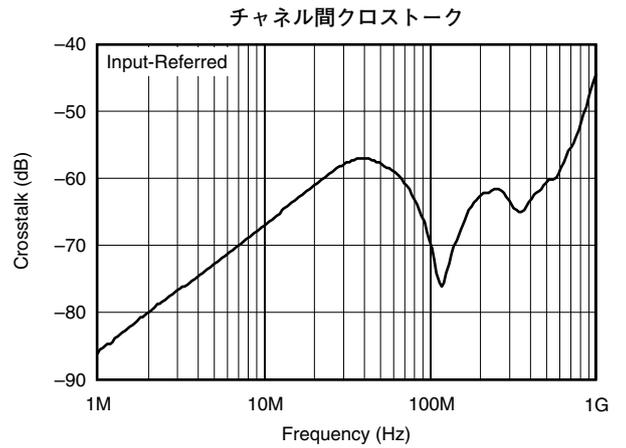


図6

# 代表的特性： $V_S = \pm 5V$

$T_A = +25^\circ C$ 、 $G = +2V/V$ 、 $R_F = 750\Omega$ 、および $R_L = 100\Omega$  (特に記述のない限り)。図50参照。

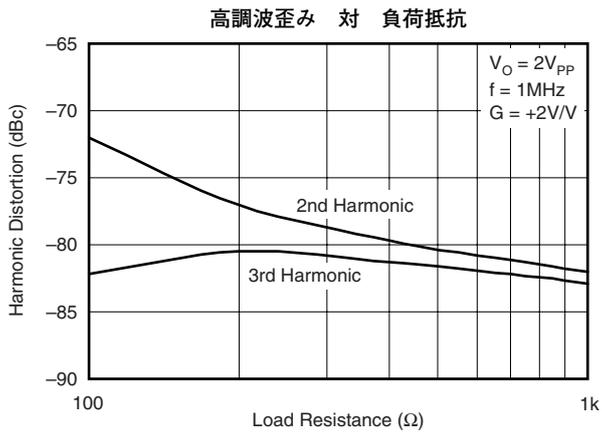


図7

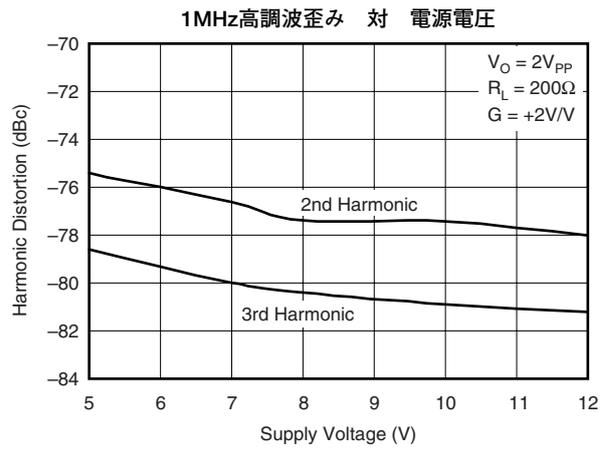


図8

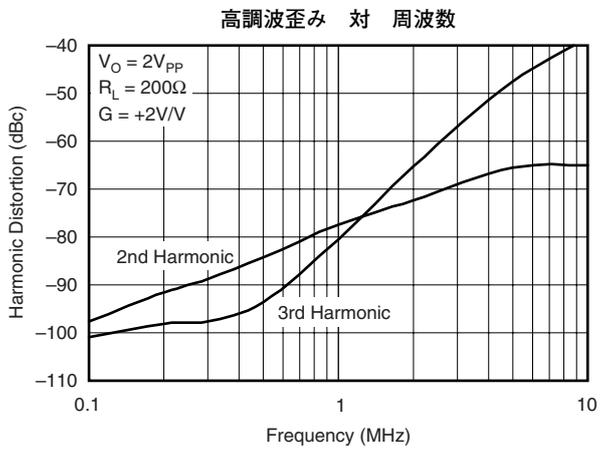


図9

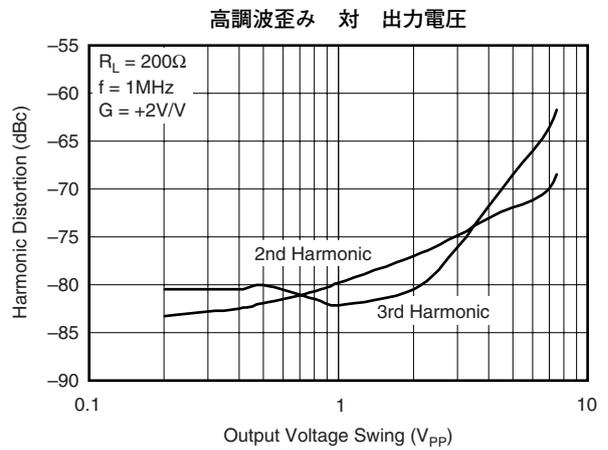


図10

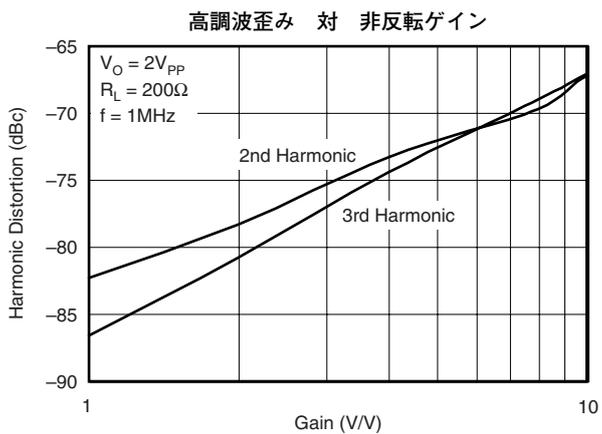


図11

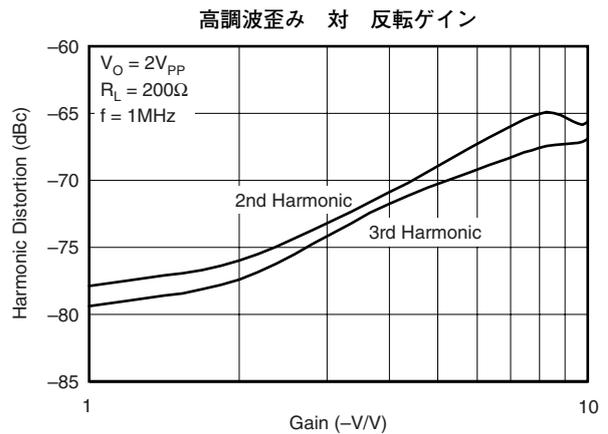


図12

# 代表的特性： $V_S = \pm 5V$

$T_A = +25^\circ C$ 、 $G = +2V/V$ 、 $R_F = 750\Omega$ 、および $R_L = 100\Omega$  (特に記述のない限り)。図50参照。

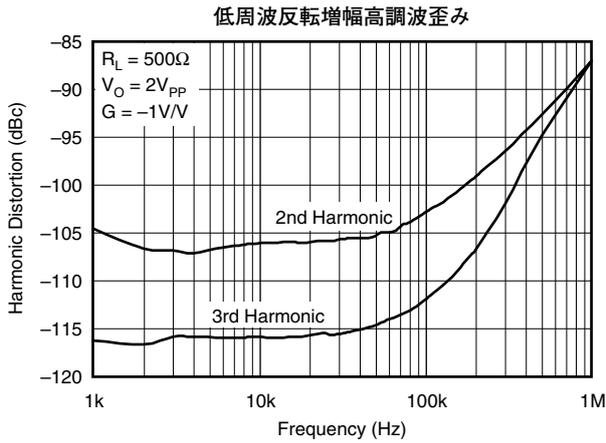


図13

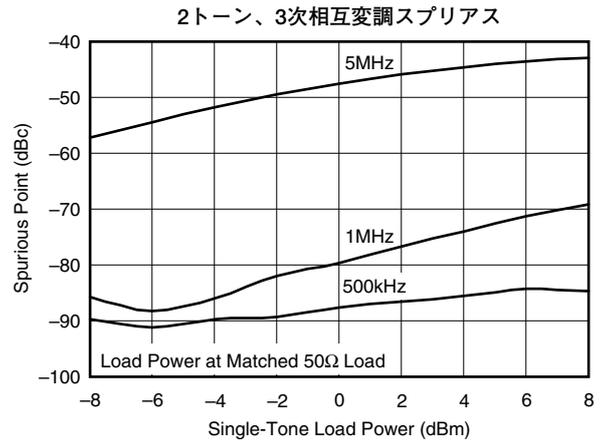


図14

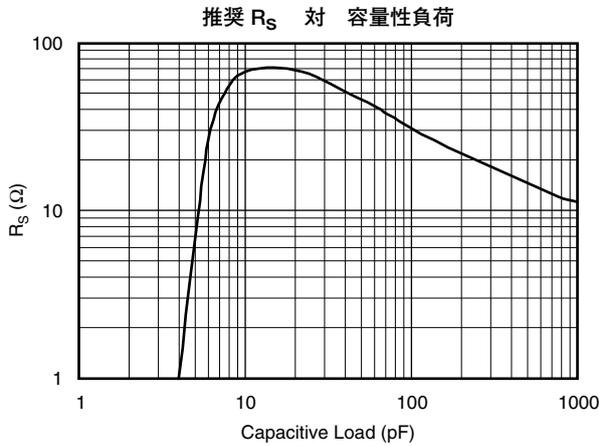


図15

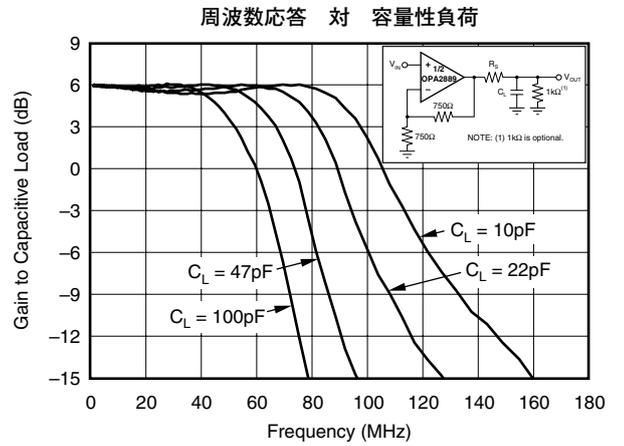


図16

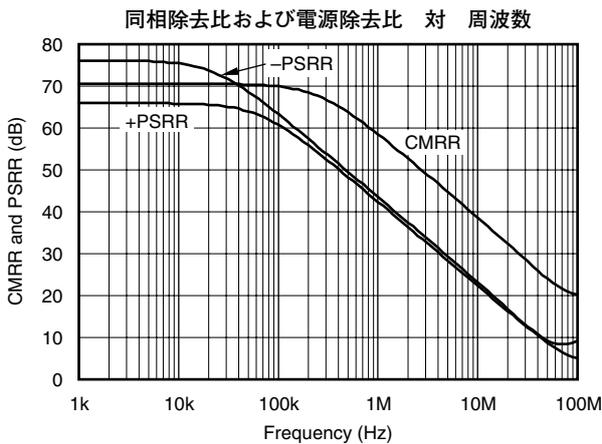


図17

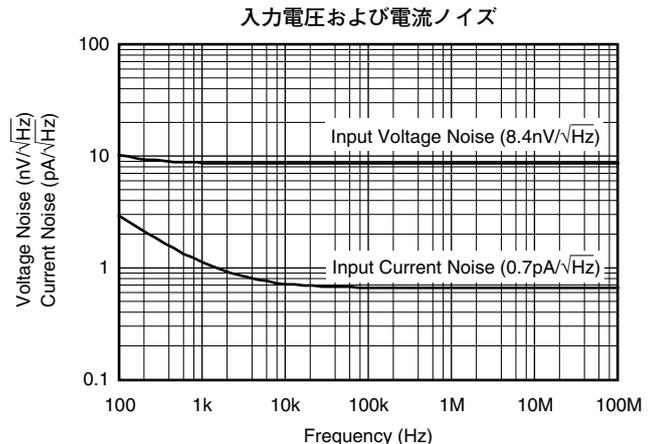


図18

# 代表的特性： $V_S = \pm 5V$

$T_A = +25^\circ C$ 、 $G = +2V/V$ 、 $R_F = 750\Omega$ 、および $R_L = 100\Omega$  (特に記述のない限り)。図50参照。

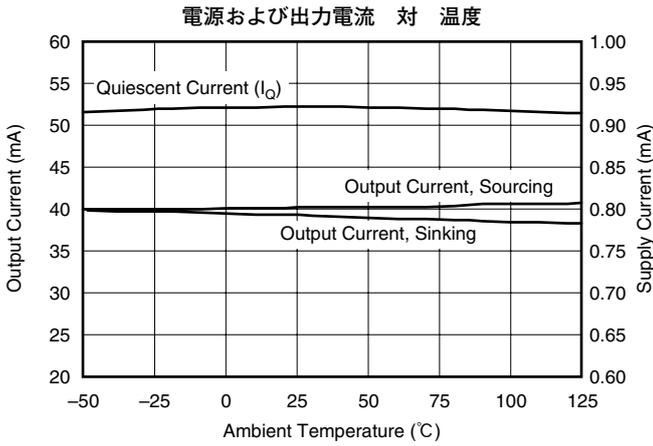


図19

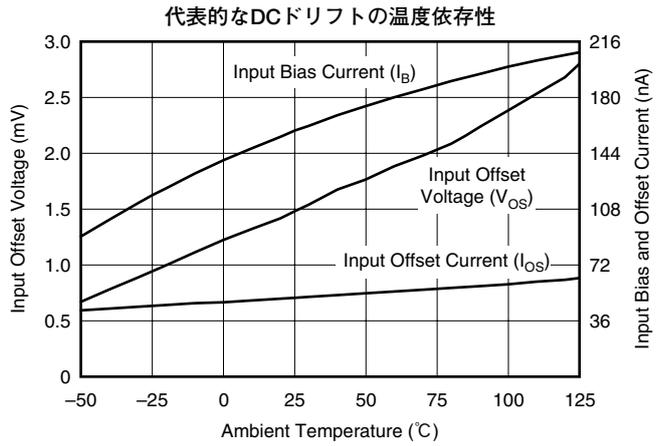


図20

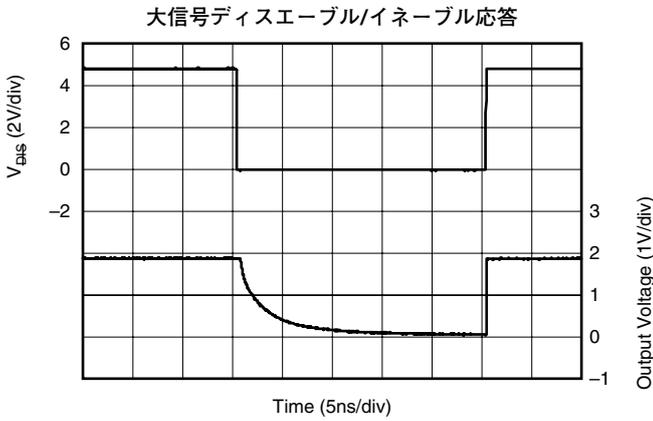


図21

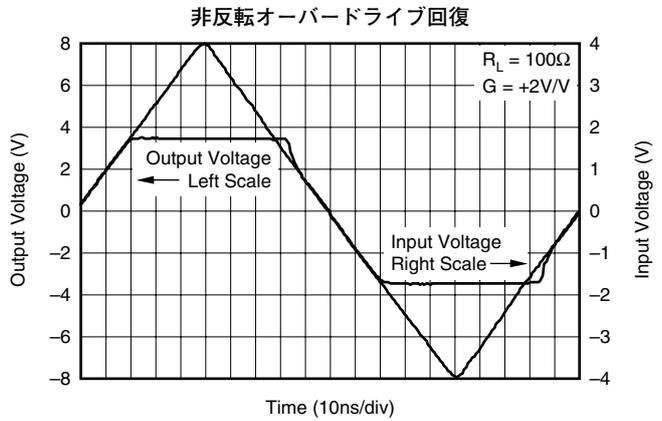


図22

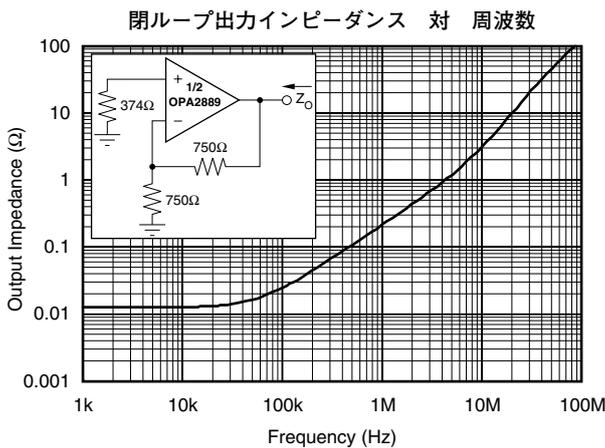


図23

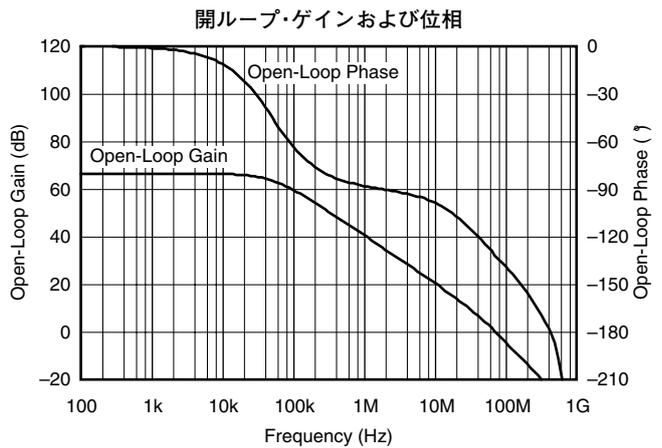


図24

代表的特性： $V_S = \pm 5V$

$T_A = +25^\circ C$ 、 $G = +2V/V$ 、 $R_F = 750\Omega$ 、および $R_L = 100\Omega$  (特に記述のない限り)。図50参照。

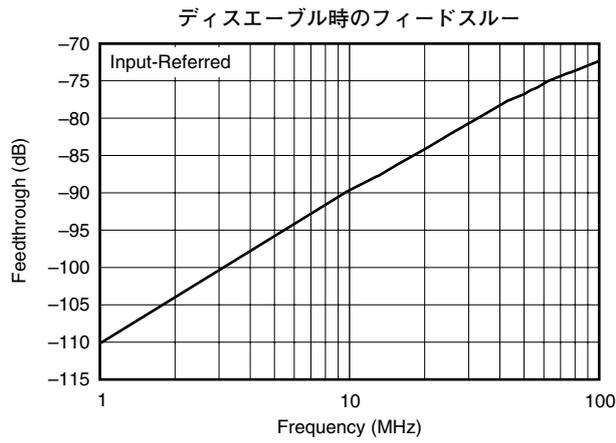


図25

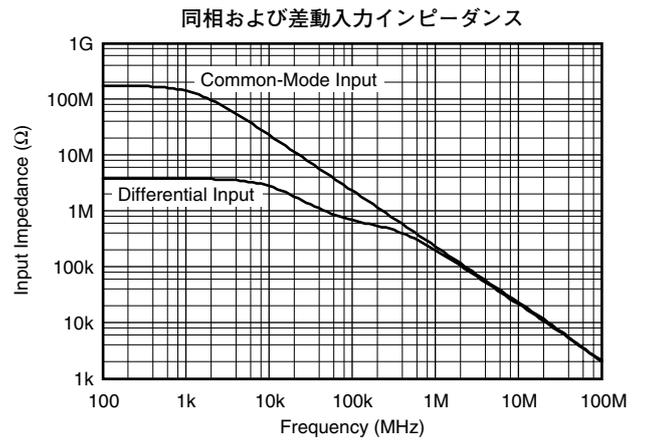


図26

# 代表的特性： $V_S = \pm 5V$ 、差動

$T_A = +25^\circ C$ 、差動ゲイン =  $+2V/V$ 、および  $R_L = 200\Omega$  (特に記述のない限り)。図52および図53参照。

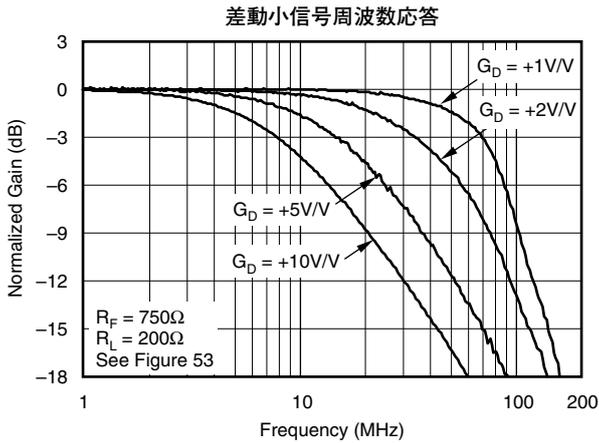


図27

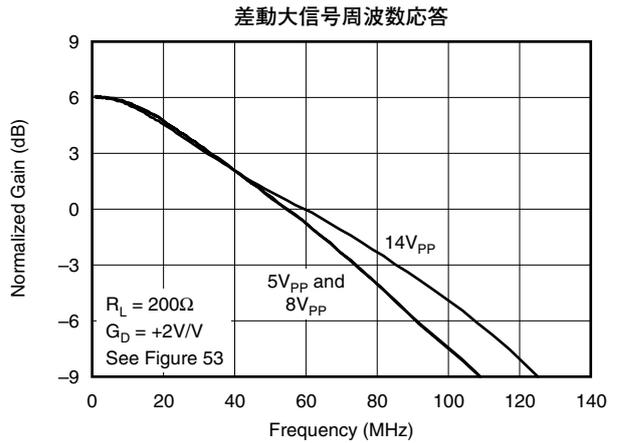


図28

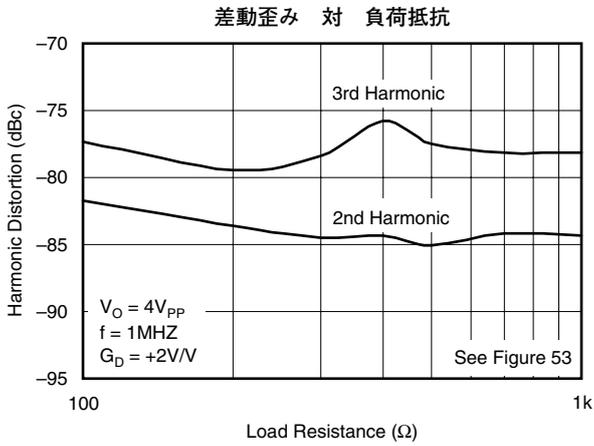


図29

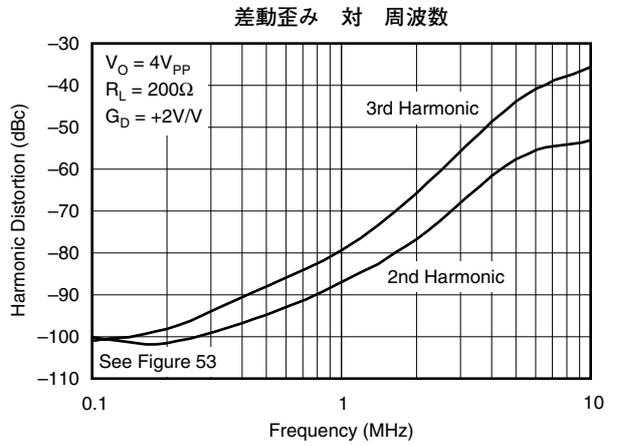


図30

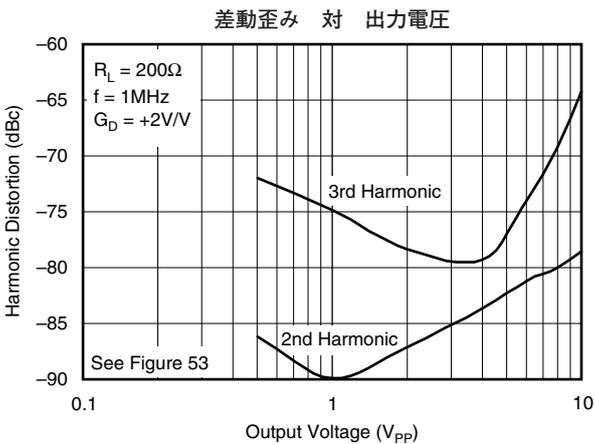


図31

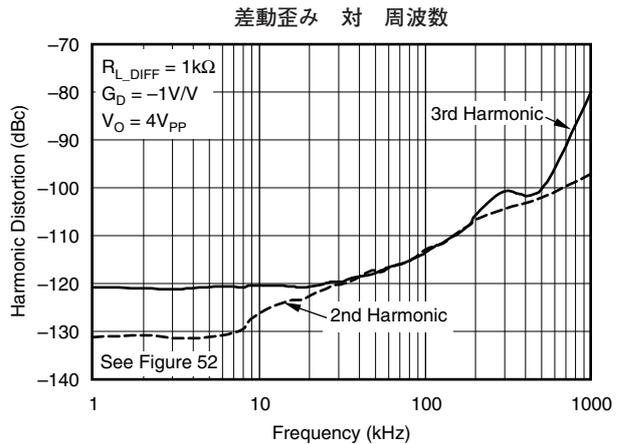


図32

# 代表的特性： $V_S = +5V$

$T_A = +25^\circ C$ 、差動ゲイン =  $+2V/V$ 、および  $R_L = 200\Omega$  (特に記述のない限り)。図51参照。

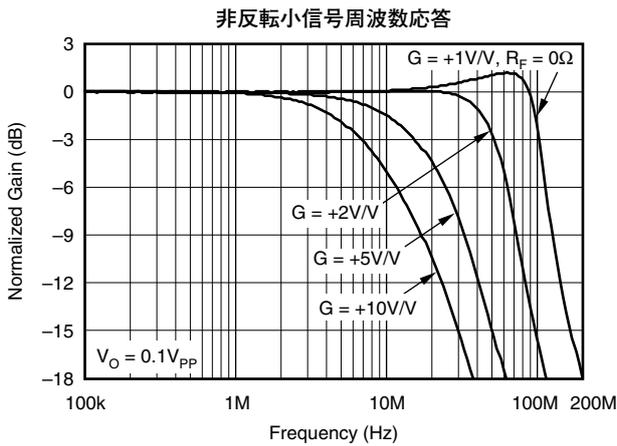


図33

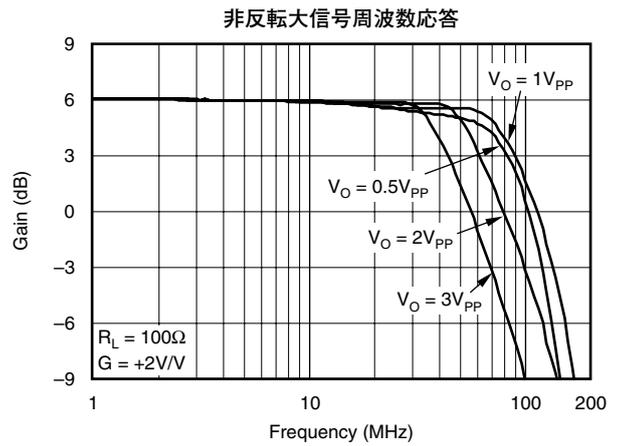


図34

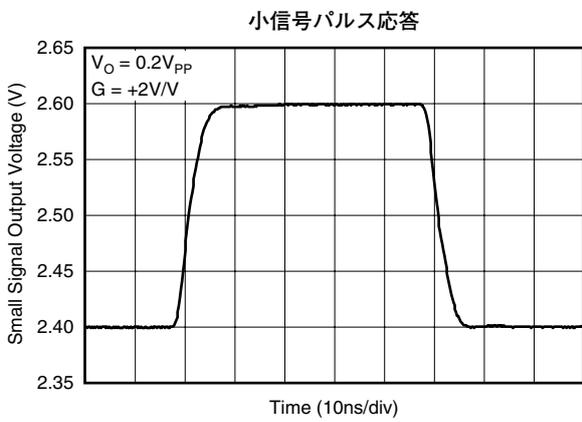


図35

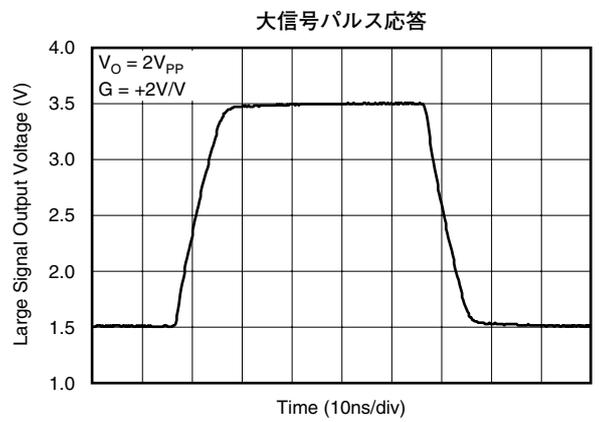


図36

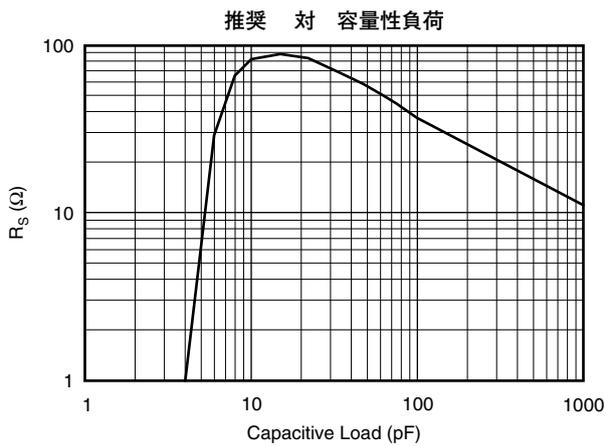


図37

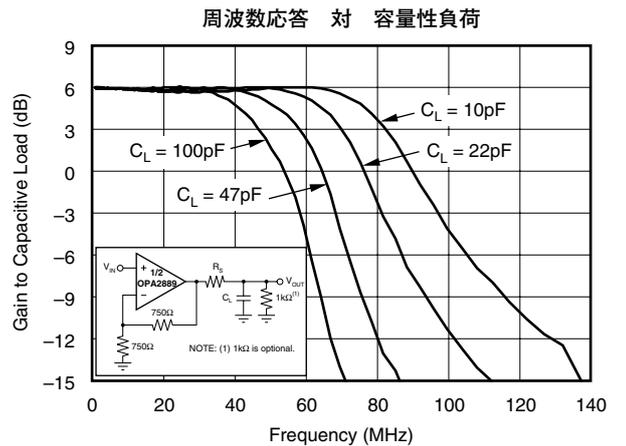


図38

# 代表的特性： $V_S = +5V$

$T_A = +25^\circ C$ 、差動ゲイン =  $+2V/V$ 、および  $R_L = 200\Omega$  (特に記述のない限り)。図51参照。

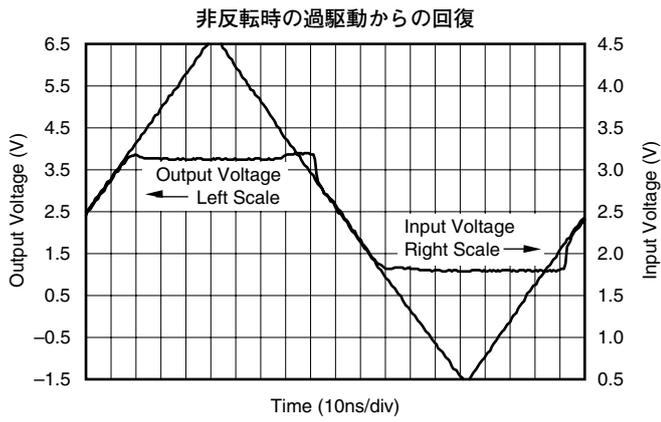


図39

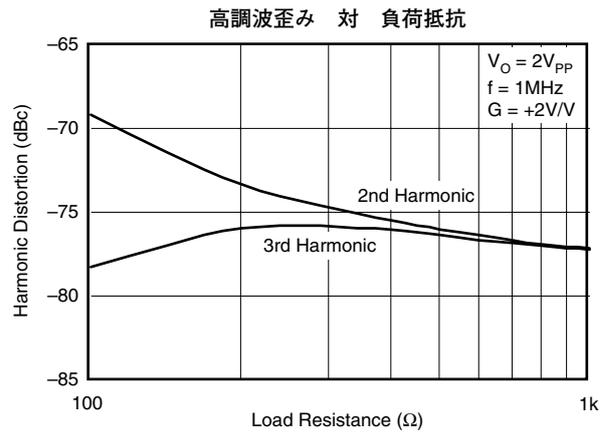


図40

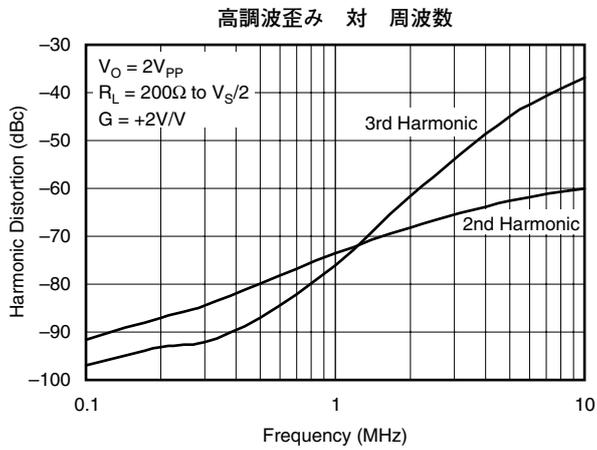


図41

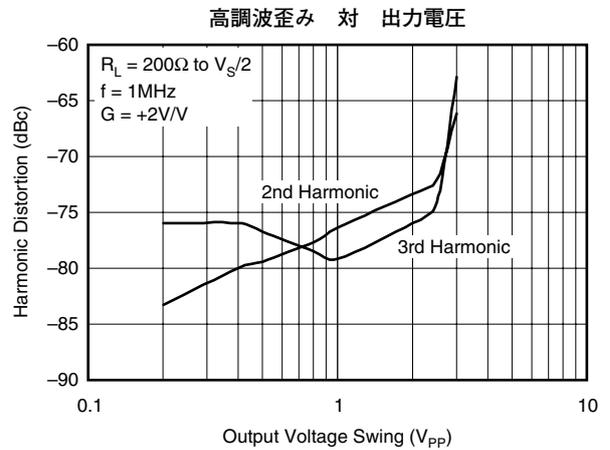


図42

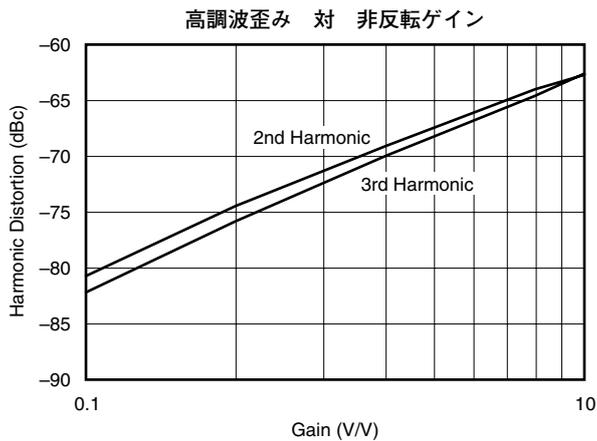


図43

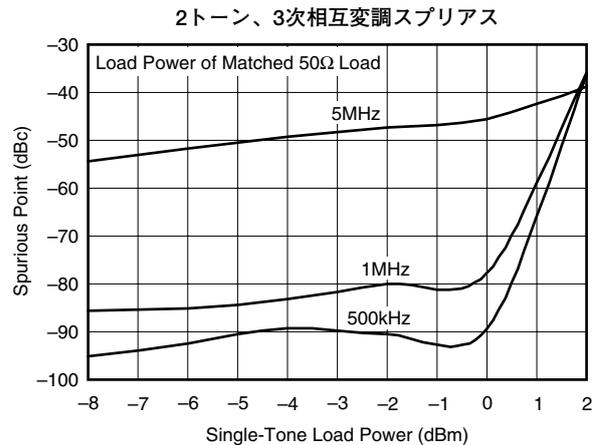


図44

## 代表的特性： $V_S = +5V$ 、差動

$T_A = +25^\circ\text{C}$ 、差動ゲイン =  $+2V/V$ 、および  $R_L = 200\Omega$  (特に記述のない限り)。図52参照。

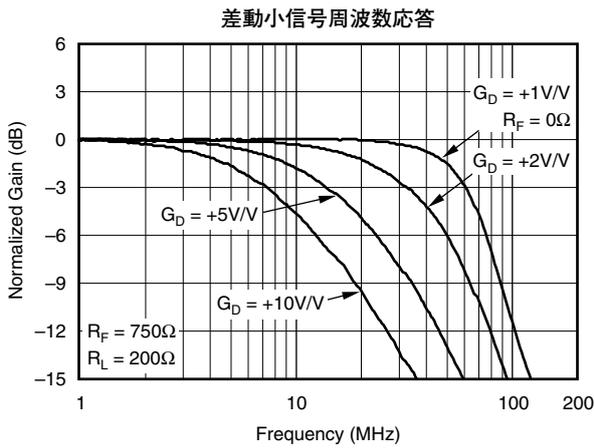


図45

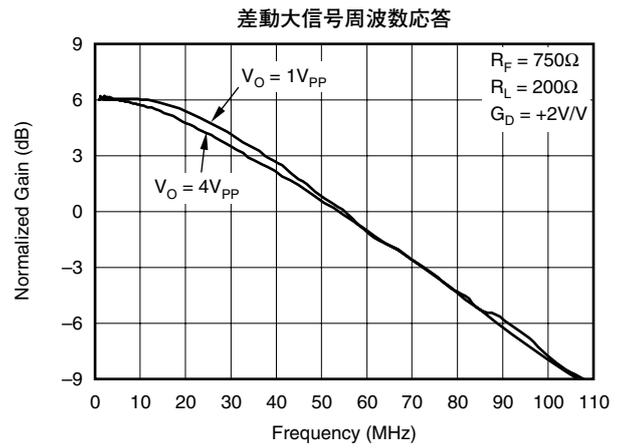


図46

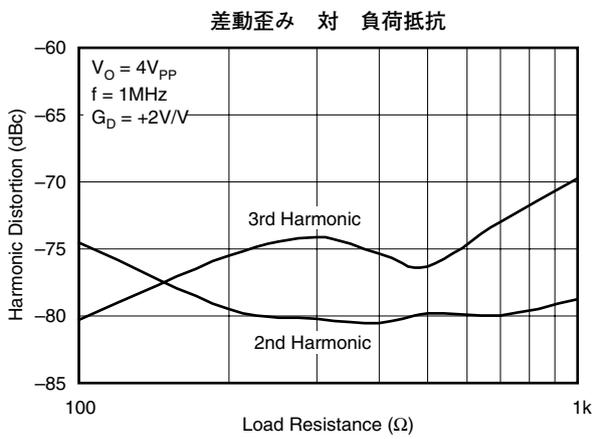


図47

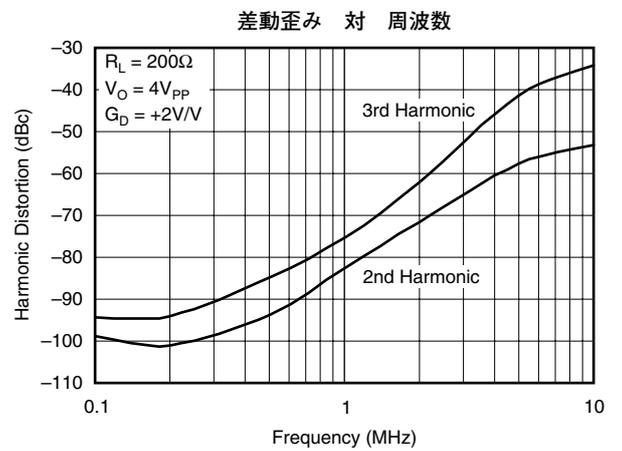


図48

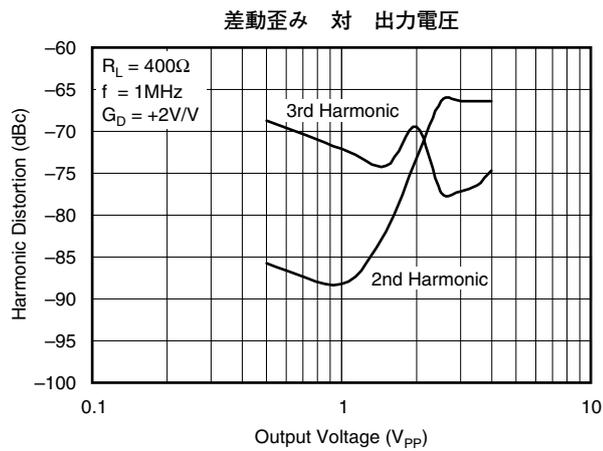


図49

# アプリケーション情報

## 広帯域電圧帰還動作

OPA2889は、新しい高スルーレートの入力段を使用したデュアル、広帯域、ユニティ・ゲイン安定の電圧帰還オペアンプで、かつ大出力能力をもつ性能を提供しています。電圧帰還オペアンプに使用される標準的な差動入力段では、補償用コンデンサに固定バイアス電流を供給するように設計し、スルーレートのリミットを設定しています。OPA2889では、相互コンダクタンス素子を2入力バッファ間に配置する新しい入力段を採用し、出力電流を順方向信号として使用しています。2入力間の誤差電圧が増加すると、補償用コンデンサに供給される電流が増加します。この構成により、非常に低い静止時電流(460 $\mu$ A/チャンネル)でありながら、高いスルーレート(250V/ $\mu$ s)を実現しています。この並外れたフルパワー特性は、他の代替アーキテクチャよりわずかに大きい入力ノイズ電圧を犠牲にするだけで実現しています。OPA2889の8.4nV/ $\sqrt{\text{Hz}}$ 入力電圧ノイズは、この種の入力段では群を抜いた低さです。

図50に、「 $\pm 5\text{V}$ の電気的特性」および「 $\pm 5\text{V}$ の代表的特性」の測定に使用する、DC結合で+2V/Vゲインの2電源の回路構成を示します。この図は1チャンネルだけを示していますが、他方のチャンネルも同様に接続します。試験目的では、入力インピーダンスはグラウンドに接続する抵抗で50 $\Omega$ に設定し、出力インピーダンスは100 $\Omega$ に設定します。「電気的特性」で示す電圧振幅は入力および出力端子で直接測定し、出力電力(dBm)は整合のとれた50 $\Omega$ 負荷で測定します。図50の回路では、合計の実効負荷は100 $\Omega \parallel 1.5\text{k}\Omega$ になります。ディスエーブル制御ライン(MSOP-10パッケージのみ)は、通常のアンプ動作時は一般にオープンにします。図50には2つのオプション部品があります。まず、非反転入力と直列に抵抗(350 $\Omega$ )が追加されています。この抵抗は、信号発生器に向かって見える25 $\Omega$ のDC信号源合成抵抗との組み合わせにより、反転入力にある375 $\Omega$ の抵抗と同じにし、入力バイアス電流分をキャンセルします(「DC精度およびオフセット制御」節を参照)。次に、グラウンドに接続された一般的な電源デカップリング用コンデンサに加えて、0.1 $\mu\text{F}$ のコンデンサが2つの電源端子間に接続されています。実際のプリント回路基板(PCB)のレイアウトでは、このオプションで追加したコンデンサにより、2次高調波歪み特性が3dBから6dB改善されます。

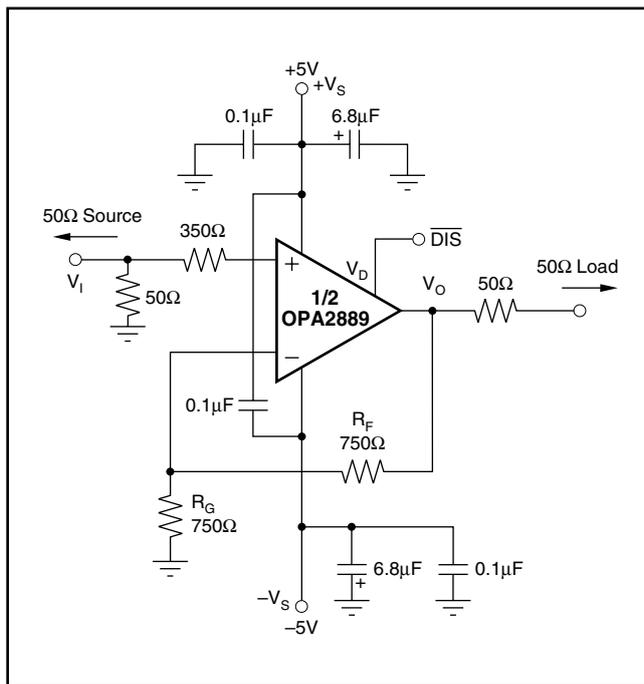


図50. DC結合、G = +2、両電源、仕様および試験回路

図51に、「+5Vの電気的特性」および「+5Vの代表的特性」に使用する、AC結合、2V/Vゲイン、単電源の回路構成を示します。レール・ツー・レール設計でないにもかかわらず、OPA2889は他の広帯域な電圧帰還オペアンプに比較して、入力および出力電圧のヘッドルームが少なくすみます。またOPA2889は、+5Vの単電源時に2.8V<sub>PP</sub>の出力振幅と50MHz以上の帯域幅を提供します。広帯域の単電源動作のキーポイントは、入力および出力の信号振幅を入出力において電圧動作範囲内に保つことです。図51の回路では、+5V電源からの単純な抵抗分圧器(2個の698 $\Omega$ 抵抗)により中点バイアスを設定しています。各入力で別々のバイアス回路網が必要です。入力信号は中点電圧バイアスへAC結合します。入力電圧は両電源の1.1V以内までシングでき、電源間の中心に位置する2V<sub>PP</sub>の入力信号範囲を得ることができます。試験に使用する入力インピーダンス整合用抵抗(59 $\Omega$ )は、バイアス分圧回路網がある場合の50 $\Omega$ 入力負荷を得るために調整されています。

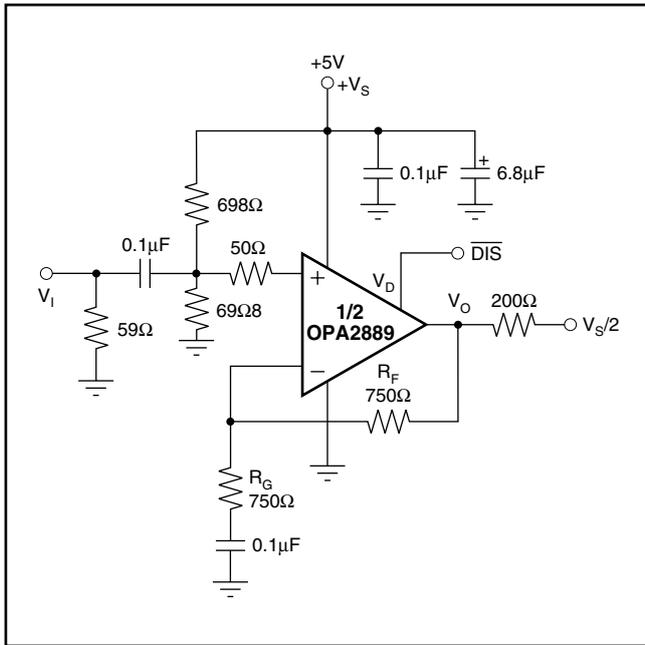


図51. AC結合、 $G = +2$ 、単電源、仕様および試験回路

ここでも、追加抵抗（この場合50Ω）が非反転入力に直列に接続されています。この最小推奨値は、非反転入力バイアス電流と整合用のDC信号源抵抗の一部が与えられます。また、本抵抗は入力寄生容量とともに寄生ポールを形成し、非常に高周波（> 500MHz）における周波数応答のロールオフにも使用されます。ゲイン抵抗（ $R_G$ ）はAC結合されており、そのため回路のDCゲインは+1になり、入力のDCバイアス電圧（2.5V）が出力にも設定されます。出力電圧は > 40mAの出力電流を供給しながら、各電源電圧の1V以内までスイングできます。

## 差動動作

図52は、±5Vおよび+5Vの「代表的特性」にて使用される反転入力差動構成を示します。この回路は、低静止消費電流と優れた歪み特性の組み合わせを提供します。

OPA2889のその他の可能性は、図53に示す差動構成に使用することです。本図は、各種の前段アンプと比べて高い入力インピーダンスの差動非反転入力構成を示します。

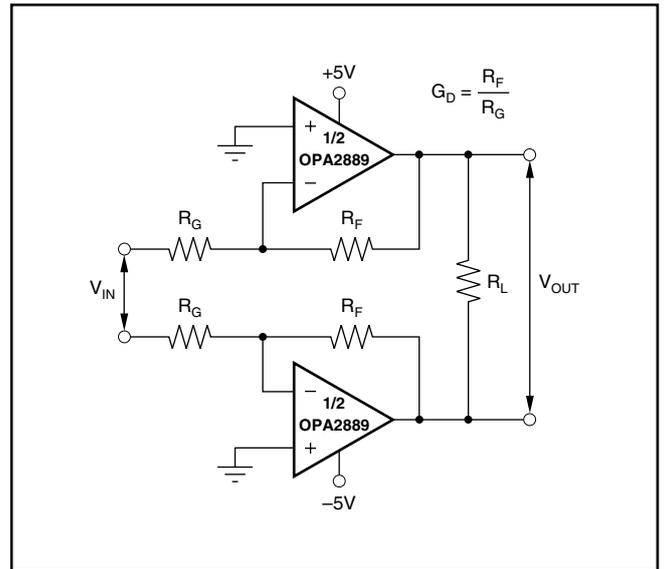


図52. 差動反転仕様および試験回路

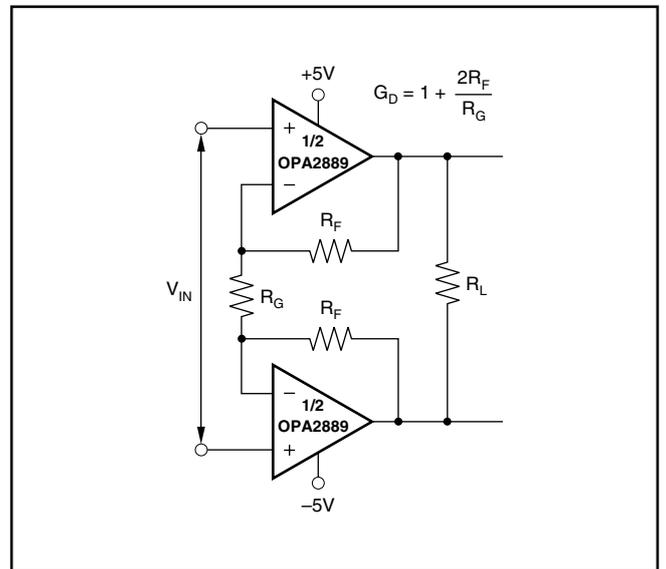


図53. 差動非反転仕様および試験回路

## 高性能DACトランスインピーダンス・アンプ

高周波DDS DAコンバータ (DAC) には、実際の負荷に対するSFDRを保つために低歪みの出力アンプが必要です。図54にシングルエンド出力ドライブの実例を示します。本図では、信号出力電流がOPA2889の仮想グランド加算接合点に接続されており、これはトランスインピーダンス段すなわちI-V変換器を構築しています。動作上、DACの出力をグランドではなくコンプライアンス電圧に設定する必要がある場合、適当な電位をOPA2889の非反転入力に供給できます。この回路のDCゲインは $R_F$ になります。高周波では、DACの出力容量 (図54の $C_D$ ) によりOPA2889のノイズ・ゲインにゼロが生成され、閉ループ周波数応答にてピーキングが生じます。このノイズ・ゲインのピーキングを補償するために、 $R_F$ の両端に $C_F$ を追加します。平坦なトランスインピーダンス周波数応答を実現するには、各々の帰還回路網のポールを以下のように設定します。

$$\frac{1}{2\pi R_F C_F} = \sqrt{\frac{GBP}{4\pi R_F C_D}} \quad (1)$$

これによって、およそ次のカットオフ周波数 $f_{-3dB}$ が得られます。

$$f_{-3dB} = \sqrt{\frac{GBP}{2\pi R_F C_D}} \quad (2)$$

## 広帯域ビデオ・マルチプレキシング

ディスプレイ端子付きのビデオ速度のアンプに関する一般的なアプリケーションに、複数のアンプ出力を相互に接続するということがあります。このとき、発生し得るいくつかのビデオ入力の一つを選択して単一のラインに供給します。この簡便なワイヤードORしたビデオ・マルチプレクサは、図55に示すようにOPA2889IDGS (MSOP-10パッケージのみ) を用いると容易に実現できます。

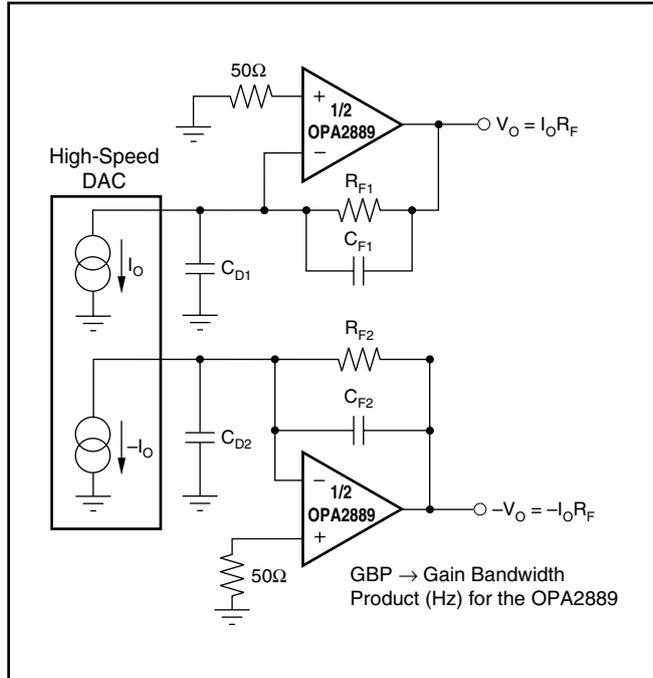


図54. DACトランスインピーダンス・アンプ

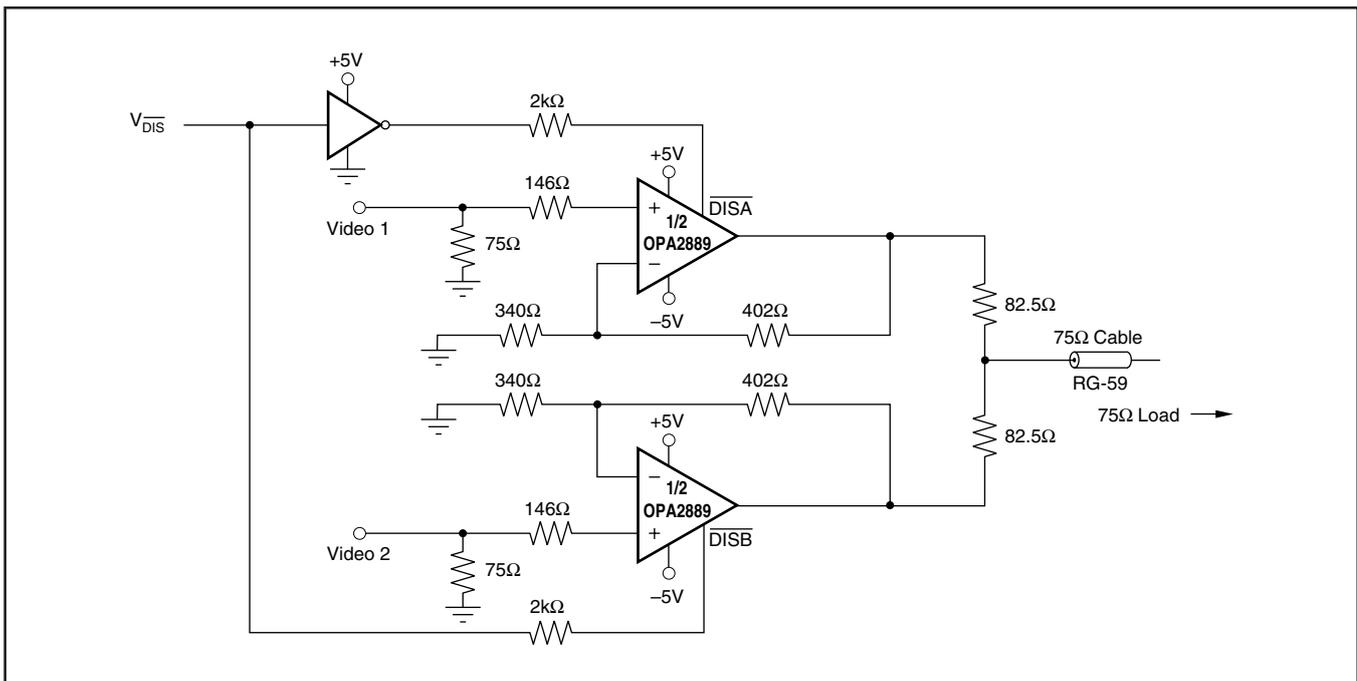


図55. 2チャンネル・ビデオ・マルチプレクサ (SO-14パッケージのみ)

チャンネル切り換えは、一般にビデオ信号のシンクあるいは帰線時間のいずれかで行われます。この時点では、2入力は大抵等しいです。OPA2889のディスエーブルのメーク・ビフォア・ブレイク特性は、図55に示すようなワイヤードOR回路を使用する場合、1アンプが常にラインを制御していることを保証します。チャンネル間の遷移時に両入力に短期間だけオンし得るため、出力インピーダンス整合抵抗(この場合82.5Ω)を通して両出力は結合します。一方のチャンネルがディスエーブルの場合、その帰還回路網は出力インピーダンスの一部を形成し、ケーブルに到達する出力信号がわずかに減衰します。整合負荷にて+1V/Vの信号ゲインを得て、ケーブルに対する出力インピーダンスを75Ωとするためには、ゲインおよび出力整合抵抗はわずかに大きくなります。また、ビデオ・マルチプレクサ接続(図55参照)も、非選択チャンネルの入力の最大差動電圧が、標準ビデオ信号レベルの定格最大値である±1.2Vを超えないように保証します。

ターンオンおよびターンオフ・スイッチング時のグリッチは、単一チャンネルに0V入力を使用すると±50mV (typ) より小さいです。これについては、「ディスエーブル動作」節をご覧ください。2出力を切り換えると(図55参照)、メーク・ビフォア・ブレイクのディスエーブル・タイミングの結果、出力ラインは常に一方のアンプあるいは他方のアンプの制御下にあります。この場合、2つの0V入力時のスイッチング・グリッチは20mVより低下します。

## 高速遅延回路

OPA2889は、様々なアクティブ・フィルタの設計に理想的なアンプです。2段アナログ遅延回路を設計するために、デュアルOPA2889内の2アンプを使用した回路を図56に示します。簡単のために、この回路は両電源(±5V)動作を採用していますが、単電源で動作するように修正することもできます。第1フィルタ段への入力はゲイン2V/VでOPA890によりドライブし、信号入力をフィルタ回路網から分離しています。2つのフィルタ段は、それぞれ電圧ゲイン+1V/Vの1次フィルタです。1フィルタを通過する遅延時間は、式(3)で与えられます。

$$t_{GR0} = 2RC \quad (3)$$

この回路をより詳細に解析するには、アンプの群遅延について考察してください。例えばOPA2889の場合、帯域幅1MHzから100MHzまでの群遅延は約1.0nsです。この遅延を考慮に入れると、伝達関数を修正し、次式になります。

$$t_{GR} = 2(2RC + T_D) \quad (4)$$

ここで、 $T_D = (1/360) \times (d\phi/df) =$  オペアンプ自体の遅延です。抵抗 $R_F$  および  $R_G$  の値は等価で、かつ小さくし、寄生効果を排除します。全パス・フィルタで非常に短い遅延時間を設計する場合、寄生基板容量を含めて正確な遅延時間を計算します。このアプリケーションをOPA2889のPSPICEモデルでシミュレーションすると、必要な特性に合った設計をすることができます。

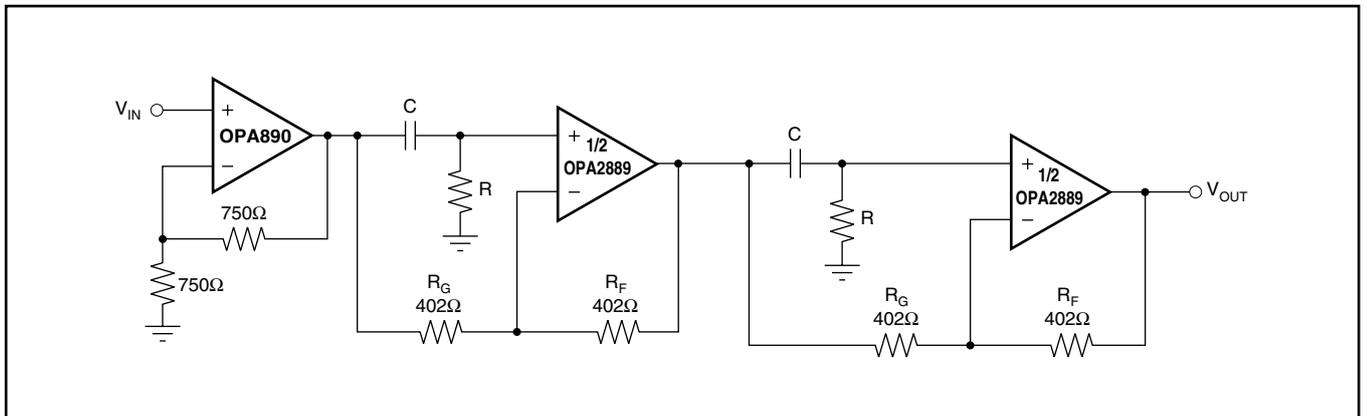


図56. 2段、全パス回路網

## 差動レシーバ/ドライバ

デュアル・オペアンプの非常に融通の利くアプリケーションは、図57に示す差動アンプ構成です。OPA2889の両アンプを非反転動作に接続したこの回路は、1個の抵抗 $R_G$ だけでゲインが容易に設定できる一方で、高い入力インピーダンスを提供します。この回路を低ゲインで動作させると、出力振幅はアンプ自体の同相入力振幅リミットで制限されます。この回路の興味深い変形に、 $R_G$ と直列にコンデンサを配置するものがあります。すると、両側のDCゲインは $+1V/V$ に低減し、ACゲインは $G = 1 + 2R_F/R_G$ の標準的な伝達関数に従います。この変形は、DCや非常に低周波を除外した周波数帯域だけを処理するアプリケーションに有利です。入力バイアス電流により生じる入力DC電圧は、ACゲインによって増幅されないため小さく抑えることができます。この回路は差動ライン・レシーバ、ドライバ、あるいは差動入力ADCへのインターフェイスとして使用できます。

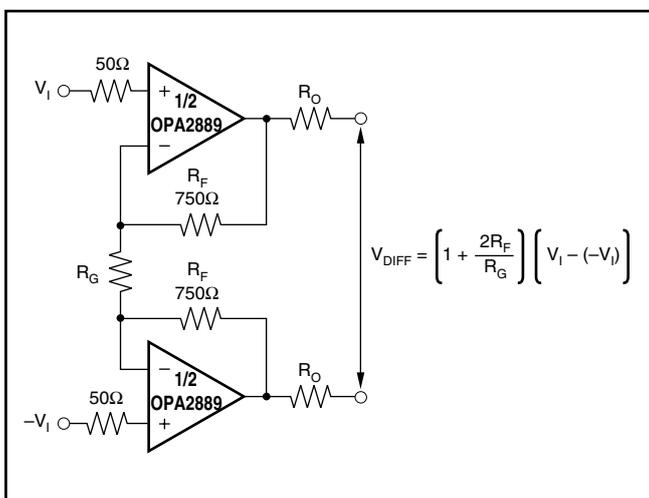


図57. 高速差動レシーバ

## 単電源MFB差動アクティブ・フィルタ： 2MHzバタワース構成

図59に示すアクティブ・フィルタ回路は、OPA2889を使用すると容易に実現できます。この回路構成では、OPA2889の各アンプは積分器として動作します。そのため、この種のアプリケーションは「無限ゲイン・フィルタ」とも呼ばれます。バタワース・フィルタは、以下の部品比を使用して実現できます。

$$f_0 = \frac{1}{2 \times \pi \times R \times C}$$

$$R_1 = R_2 = 0.65 \times R$$

$$R_3 = 0.375 \times R$$

$$C_1 = C$$

$$C_2 = 2 \times C$$

2MHzバタワース・フィルタの周波数応答を図58に示します。この種のフィルタを使用する利点の1つは、 $\omega_0$ と $Q$ の設定が独立していることです。抵抗 $R_{3A}$ および $R_{3B}$ を変更すると、 $Q$ は $\omega_0$ に影響することなく容易に調整できます。

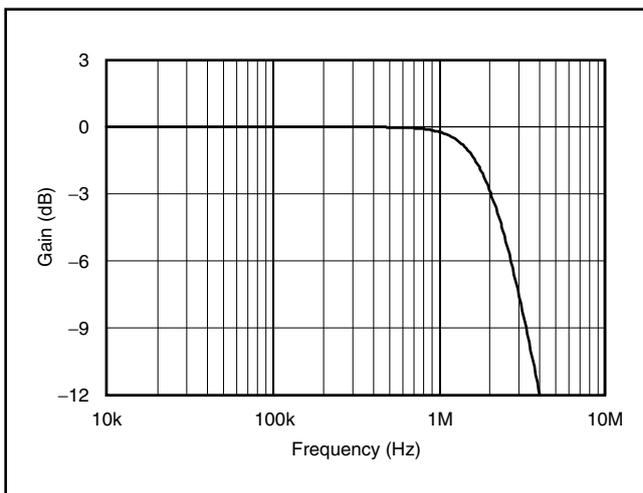


図58. 多重帰還型フィルタの周波数応答

## ≤ 100kHz入力用の低電力、DC結合、シングル入力・差動ドライバ

入力が差動のシステム（表紙の図を参照）では、OPA2889を反転構成で使用できます。このとき、ADS8472の入力をその定格動作電圧範囲に保つため、正入力にDCバイアスを印加します。DCバイアスは、REF3220あるいはREF3240リファレンス電圧ICから得ることができます。本データシートの1ページに示す入力構成は、200kHzの入力周波数時に100dBのSNRおよび-100dBcのTHD以上の良好な特性を提供できます。入力のフィルタリングにバンドパス・フィルタを使用する場合、バンドパス・フィルタの入力における信号振幅が小さいことを保証し、

フィルタにより生じる歪みを最小限にするため注意を払います。このような場合、本データシートの1ページに示す回路のゲインを増加して、システムのSNRを高く保つためにADS8472の入力を大きくすることができます。このような構成におけるOPA2889の正入力から出力へのシステム・ゲインは、AC信号ゲインの関数であることに注意してください。抵抗分圧器を使用すると、REF3220やREF3240の出力をスケールしてOPA2889のDC入力電圧を下げ、コンバータの入力電圧をその定格動作範囲に保つことができます。

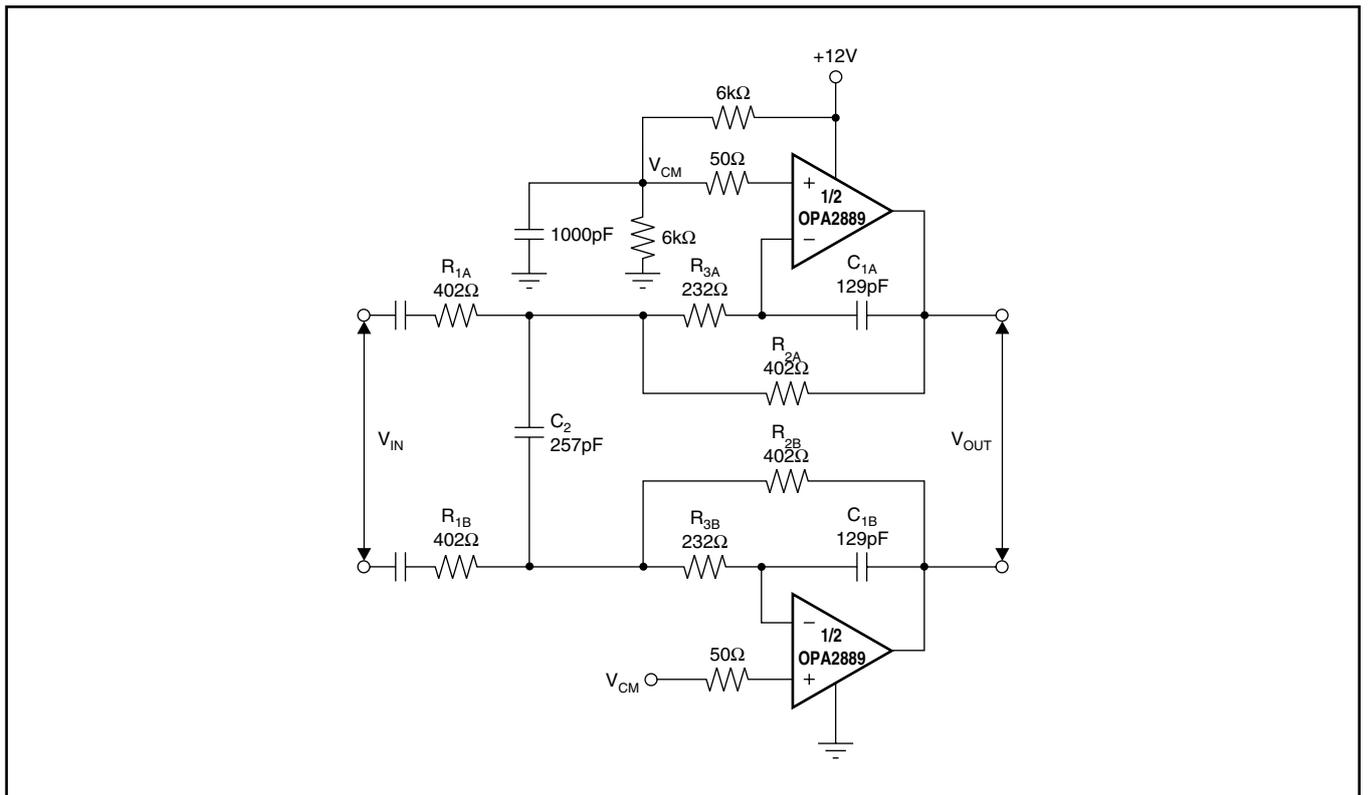


図59. 単電源、MFBアクティブ・フィルタ、2MHz LPパタワース

## デザイン・ツール

### 開発ボード

OPA2889を使用した回路特性の初期評価を支援するため、その2つのパッケージ・オプションとして、2枚のプリント回路基板(PCB)が用意されています。これらは両方とも未実装のPCBで無料であり、ユーザーガイドとともに提供しています。これらの情報を表1に示します。

製品	パッケージ	注文番号	文献番号
OPA2889ID	SO-8	DEM-OPA-SO-2A	SBOU003A
OPA2889IDGS	MSOP-10	DEM-OPA-MSOP-2B	SBOU040

表1. パッケージごとのデモンストレーション用付属品

開発ボードは、テキサス・インスツルメンツのウェブサイト(www.tij.co.jpもしくはwww.ti.com)のOPA2889製品フォルダから求められます。

### 抵抗値の最適化

OPA2889はユニティ・ゲイン安定の電圧帰還オペアンプなので、帰還およびゲイン設定抵抗に広範な抵抗値が使用できます。これらの抵抗値の主な限度は、ダイナミック・レンジ(ノイズと歪み)および寄生容量に関する考察により制限されます。非反転ユニティ・ゲイン・フォロワのアプリケーションでは、帰還接続は直接短絡して行います。通常、帰還抵抗値は200Ωから1.5kΩの間にします。200Ωを下回ると、帰還回路網はOPA2889の高調波歪み特性を劣化する余分な出力負荷になります。1.5kΩを上回ると、帰還抵抗の両端の標準的な寄生容量(およそ0.2pF)により、アンプ応答にて意図しない帯域制限が生じます。

目安としては、 $R_F$ および $R_G$ の並列合成値(図50参照)を約400Ωより小さくします。合成インピーダンス $R_F \parallel R_G$ は反転入力容量と相互に作用して、余分なポールが帰還回路網に発生し、ひいては順方向応答にゼロが発生します。反転ノードの合計の寄生容量を2pFと想定すると、 $R_F \parallel R_G < 400\Omega$ とすることで、このポールを160MHz以上に追放します。この制約自体で、帰還抵抗は高ゲイン時に数kΩにできることを意味します。 $R_F$ およびそれと並列に存在する寄生容量により形成されるポールが、関心の対象となる周波数範囲外であれば、この抵抗値の増加は許容できます。

## マクロモデル

SPICEを用いた回路特性のコンピュータ・シミュレーションは、アナログ回路およびシステムの特性解析に役立つことが多いです。寄生の容量およびインダクタンスが回路特性に大きく影響するビデオとRFアンプ回路では、この原則が特に当てはまります。OPA2889のSPICEモデルは、テキサス・インスツルメンツ社のウェブページ(www.ti.com)から入手できます。このモデルは、広範な動作条件下における小信号ACおよび遷移特性の予測に良い働きをします。しかし、高調波歪みやdG/dP特性の予測には不向きです。このモデルは、小信号AC特性の予測時にパッケージ種類の区別は行いません。

## 推奨動作

### 帯域幅対ゲイン：非反転動作

電圧帰還オペアンプでは、信号ゲインが増加すると閉ループ帯域幅が減少します。理論上、この関係は「電気的特性」に示すゲイン帯域幅積(GBP)で説明されます。理論的には、GBPを非反転信号ゲイン(ノイズ・ゲインまたはNGとも呼ばれる)で除すると、閉ループ帯域幅が予測されます。実際には、この原理は位相余裕が90°に近くなるまで成立します。なぜなら、この原理は高ゲイン設定時に成立するからです。低ゲイン(帰還係数が大)時は、大半のアンプが低い位相余裕で、もっと複雑な応答を示します。OPA2889は、非反転ゲイン+2V/V(図50参照)でわずかにピーキングがあるように補償されています。この補償によりゲイン+2V/Vで60MHzの帯域幅が標準で得られ、75MHzのGBPを2で除した予測をはるかに超えています。ゲインを増加すると、位相余裕が90°に近くなり、帯域幅は予測値の(GBP/NG)に接近します。ゲインが+10の場合、「電気的特性」に示す8MHz帯域幅は、単純な式と75MHzの標準GBPを用いた予測値に密接に一致します。

+2V/Vのゲインの周波数応答は、単純にノイズ・ゲインを2.5V/Vに増加することで、優れた平坦度を得るように修正できます。+2V/Vの信号ゲインに影響せずに応答を修正する1つの方法は、図50の回路に示すように、2入力間に750Ωの抵抗を追加することです。類似した手法は、ユニティ・ゲイン(ボルテージ・フォロワ)のアプリケーションにおけるピーキングの低減に使用できます。例えば、750Ωの帰還抵抗をオペアンプの2入力間の750Ωとともに使用すると、ボルテージ・フォロワの応答は、図51のゲインが+2V/Vの応答に類似します。オペアンプ入力間の抵抗値を低くすると、ノイズ・ゲインの増加により周波数応答がより制限されます。

OPA2889は単電源(+5V)動作をすると、±5Vに比較してわずかに帯域幅が低減します。この動作は、電源端子間の合計の電源電圧が変化するとき、内部のバイアス制御回路が静止時消費電流をほぼ一定に保つため生じます。

## 反転アンプ動作

OPA2889は汎用で広帯域の電圧帰還オペアンプです。したがって、一般のオペアンプのアプリケーション回路は、すべて実現できます。反転動作は、より一般的であり、いくつかの特性上の利点があります。標準的な反転構成については、図60を見てください。図50の入出力インピーダンスおよび信号ゲインが反転回路構成でも保たれています。

反転回路構成では、3つの点に注意が必要です。第1は、ゲイン抵抗 ( $R_G$ ) が信号チャネルの入力インピーダンスの一部になることです。入力インピーダンス整合 (信号がケーブル、ツイスト・ペア、長いPCBトレース、あるいは他の伝送ラインの導体を経由して結合する場合、これは有効です) が必要な場合、 $R_G$  は要求される終端値に設定し、 $R_F$  は所要のゲインを得るように調整できます。この考察は最も簡単なアプローチであり、最適な帯域幅およびノイズ特性が得られます。しかし、反転ゲインが低い場合、得られた帰還抵抗値はアンプ出力の大きな負荷になります。 $-2V/V$ の反転ゲインの場合、入力整合のために $R_G$  を $50\Omega$ に設定すると $R_M$ は不要になりますが、 $100\Omega$ の帰還抵抗が必要になります。このアプローチには、次のような興味深い利点があります。すなわち、ノイズ・ゲインが $50\Omega$ 信号源インピーダンスの $2V/V$ と等しく、これは図50で考察した非反転回路と同様です。しかし、アンプ出力からは $100\Omega$ の帰還抵抗が外部負荷と並列に見えます。一般に、帰還抵抗は $200\Omega$ から $1.5k\Omega$ の範囲に制限します。本アプローチの場合、おおよびの値の両方を大きくし (図60を参照)、グランドに接続した3番目の抵抗 ( $R_M$ ) で入力インピーダンスの整合を実現するのが好ましいです。合計の入力インピーダンスは、 $R_G$ および $R_M$ の並列合成値になります。

前の段落で触れた主要な考察の2番目は、信号源インピーダンスがノイズ・ゲイン式の一部になり、帯域幅に影響することです。図60の例で、外部の $50\Omega$ の信号源インピーダンスと並列な $R_M$ 値により、実効的な駆動インピーダンスは $50\Omega \parallel 57.6\Omega = 26.7\Omega$ になります。このインピーダンスは、ノイズ・ゲイン (NG) の計算では $R_G$ に直列に加わります。その結果のNGは、前に議論したように $R_M$ が無い場合の $2V/V$ だけに対して、図60で $2.86V/V$ になります。したがって、図60の回路のゲイン $-2V/V$ の帯域幅は、図50の回路のゲイン $+2V/V$ の場合よりもわずかに小さくなります。

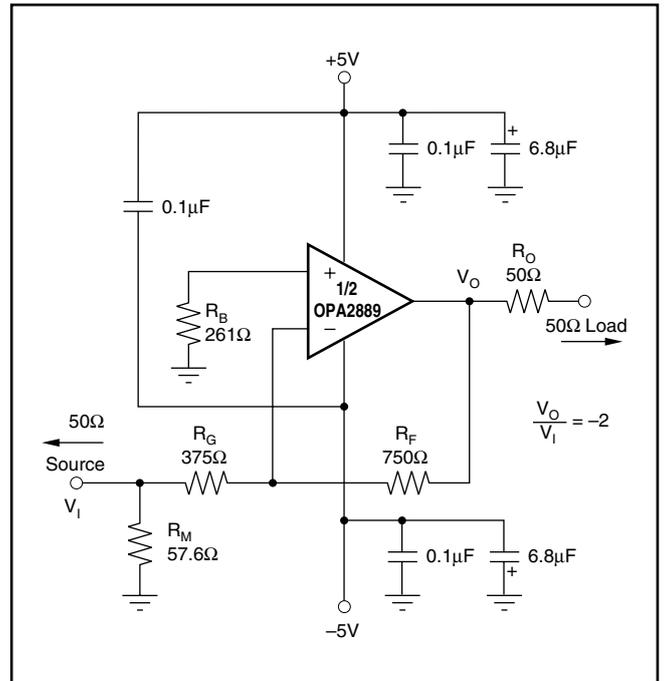


図60.  $-2V/V$ ゲインの回路例

反転アンプ設計における3番目に重要な考察は、非反転入力でのバイアス電流キャンセル抵抗 ( $R_B$ ) の設定です。この抵抗を反転ノードから見える合計のDC抵抗と等しく設定すると、入力バイアス電流により生じる出力DC誤差は、(入力オフセット電流)  $\times R_F$ まで低減します。図60で $50\Omega$ の信号源インピーダンスがDC結合すると、反転入力における対グランドの合計抵抗は $402\Omega$ になります。この抵抗値を帰還抵抗と並列に組み合わせると、この例で使用されている $R_B = 261\Omega$ になります。この抵抗により生じる追加の高周波ノイズを低減するため、抵抗をコンデンサでバイパスすることがあります。 $R_B < 350\Omega$ であれば、他の全ノイズ要素によるノイズ寄与の合計がオペアンプの入力ノイズ電圧より小さいため、このコンデンサは不要になります。OPA2889は、寄生により誘起されるピーキングを阻止するために、最低限 $50\Omega$ の $R_B$ 値が必要です。非反転入力をグランドへ直接短絡すると、入力段にて高周波帯域での不安定性のリスクを負います。

## 容量性負荷のドライブ

最も厳しく、かつ一般的なオペアンプ負荷条件の1つが容量性負荷です。容量性負荷は、ADCの入力であることが多く、これには、ADCの直線性を改善するために推奨される外付けの容量が含まれます。OPA2889のような高速で高い開ループ・ゲインのアンプは、容量性負荷が出力端子に直接に接続されると、安定性の低下および閉ループ応答ピーキングの影響を受けやすくなります。アンプの開ループ出力抵抗を考察すると、この容量性負荷により位相余裕を少なくするポールが信号パスに追加されます。この問題に対して外部からのソリューションが、いくつか提案されています。主要な検討項目が周波数応答の平坦度、パルス応答の忠実度、あるいは歪みの場合、最も単純で最も効果的なソリューションは、直列に分離用の抵抗をアンプ出力と容量性負荷の間に挿入して、容量性負荷を帰還ループから分離することです。このソリューションはループ応答からポールを排除しませんが、それをかなりシフトして、かつ、より高周波にゼロを作ります。この追加されたゼロは容量性負荷のポールによる位相遅れを相殺するので、位相余裕が増加して安定性が改善されます。

±5Vの「代表的特性」に、推奨 $R_S$ 対容量性負荷(図15および図16を参照)と、その負荷における周波数応答を示します。寄生の容量性負荷が2pFより大きくなると、OPA2889の特性が低下し始めます。長いPCBトレース、不整合のケーブル、および複数デバイスとの接続があると、容易にこの値を超えます。この影響を常に注意深く検討し、推奨の直列抵抗をOPA2889の出力端子のできるだけ近くに追加してください(「基板レイアウトのガイドライン」節を参照)。

## 歪み特性

OPA2889は、±5V電源で200Ω負荷時に優れた歪み特性を提供します。代替ソリューションに比べ、+5V単電源での動作時に、より軽い負荷に特に良い特性を提供します。一般に、基本信号が非常に高周波や高電力レベルに達するまで、2次高調波が歪みで支配的であり、3次高調波成分は無視できます。そこで2次高調波に着目すると、負荷インピーダンスの増加により歪みが直接的に改善されます。全体の負荷には帰還回路網が含まれることを認識してください。非反転構成(図50を参照)では、この合計値は $R_F + R_G$ になり、反転構成では $R_F$ だけになります。また、電源デカップリング用コンデンサ(0.1μF)を電源端子間に追加すると(両電源動作時)、2次歪みがわずかに改善します(3dBから6dB)。さらに、差動的な動作(1ページの図を参照)も2次歪み項を低下させます。

ほとんどのオペアンプでは、出力電圧振幅を増加すると高調波歪みが増加します。OPA2889で採用する出力段は、基本波電力と2次および3次高調波電力間の差を、特に大出力振幅(> 4V<sub>pp</sub>)が要求されるまでは、出力電力の増加に対して比較的一定に保持します。この結果は、2トーン、3次相互変調スプリアス(IM3)応答曲線にも現れます。3次のスプリアス・レベルは、低出力電力レベル時に特に低くなります。出力段は基本波電力が高レベルに達しても、これらの電力レベルを低く保ち続けます。「代表的特性」で示すように、スプリアス相互変調電力は従来のインターセプト・モデルによる予測通りには増大しません。基本波電力レベルが増加すると、ダイナミック・レンジは著しくは低下しません。整合のとれた50Ω負荷で4dBm/トーンの1MHzを中心とする2トーンの場合(すなわち、負荷にて各トーンで1V<sub>pp</sub>であり、出力端子での2トーン全体のエンベロープに4V<sub>pp</sub>を要する)、「代表的特性」は試験トーン電力と3次相互変調スプリアス電力とで、-73dBcの差を示します。この特性は、内部電力消費がわずか4.6mWのアンプでは並外れたものです。

## ノイズ特性

高スルーレート、ユニティ・ゲイン安定の電圧帰還オペアンプでは、一般に高入力ノイズ電圧を犠牲にしてスルーレートを実現しています。しかし、OPA2889の8.4nV/√Hzという入力電圧ノイズは、比較対象となるアンプよりはるかに低いです。入力換算電圧ノイズおよび2つの入力換算電流ノイズ項の組み合わせは、広範な動作条件下で低出力ノイズを実現しています。図61に、すべてのノイズ項を含めたオペアンプのノイズ解析モデルを示します。このモデルでは、全ノイズ項は単位がnV/√HzあるいはpA/√Hzのノイズ電圧または電流密度項として表されています。

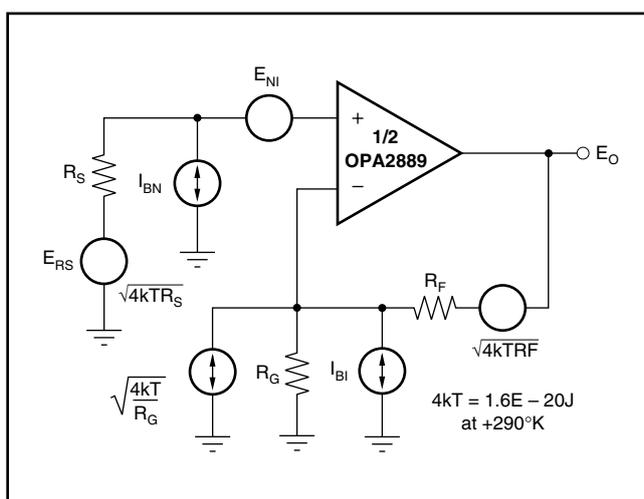


図61. オペアンプのノイズ解析モデル

全出力スポット・ノイズ電圧は、出力ノイズ電圧要素の平方値をすべて加算し、その平方根として算出できます。図61に示すノイズ項を使用して、式(5)に出力ノイズ電圧の一般形を示します。

$$E_O = \sqrt{[E_{NI}^2 + (I_{BN}R_S)^2 + 4kTR_S]NG^2 + (I_{BI}R_F)^2 + 4kTR_F}NG \quad (5)$$

この式をノイズ・ゲイン ( $NG = 1 + R_F/R_G$ ) で除算すると、非反転入力における等価入力換算スポット・ノイズ電圧が、式(6)のように得られます。

$$E_N = \sqrt{E_{NI}^2 + (I_{BN}R_S)^2 + 4kTR_S + \left(\frac{I_{BI}R_F}{NG}\right)^2 + \frac{4kTR_F}{NG}} \quad (6)$$

これら2式をOPA2889の回路と部品定数(図50参照)について評価すると、全体の出力スポット・ノイズ電圧は $18.2\text{nV}/\sqrt{\text{Hz}}$ になり、全体の等価入力スポット・ノイズ電圧は $9.1\text{nV}/\sqrt{\text{Hz}}$ になります。この合計には、非反転入力のバイアス電流キャンセル用抵抗 ( $350\Omega$ ) により加わるノイズが含まれます。この全入力換算スポット・ノイズ電圧は、オペアンプ単独の電圧ノイズの仕様 $8.2\text{nV}/\sqrt{\text{Hz}}$ よりわずかに高くなります。この結果は、オペアンプの各入力に現れるインピーダンスが前に推奨した最大値 $400\Omega$ に制限されていれば成立します。 $(R_F \parallel R_G)$  および非反転入力インピーダンスの両方を $400\Omega$ 以下に保つと、ノイズおよび周波数応答の平坦度の検討項目がともに満たされます。抵抗に起因するノイズは比較的に無視できるため、バイアス電流キャンセル用抵抗 ( $R_B$ ) の両端での容量デカップリングは、図60の反転オペアンプ構成には不要です。

### DC精度およびオフセット制御

広帯域電圧帰還オペアンプの平衡入力段は、多くのアプリケーションで優れた出力DC精度を実現します。OPA2889の電源電流トリミングにより、比較対象のアンプより厳しい制御が可能です。高速入力段では比較的低い $\pm 0.75\mu\text{A}$ の入力バイアス電流がありますが、その整合を厳密に行うと、この電流に起因する出力DC誤差を低減できます。全体の出力オフセット電圧は、2入力に見られるDC信号源抵抗の整合により低減できます。この整合は、入力バイアス電流による出力オフセット電流と帰還抵抗の積に起因する出力DC誤差を低減します。図50の回路構成を評価すると、 $+25^\circ\text{C}$ における入力オフセット電圧と電流仕様の最悪ケースを使用して、次の最悪ケース出力オフセット電圧が得られます。

$$\begin{aligned} & \pm(NG \times V_{OS(\text{MAX})}) \pm (R_F \times I_{OS(\text{MAX})}) \\ & = \pm(2 \times 5\text{mV}) \pm (750\Omega \times 0.75\mu\text{A}) \\ & = \pm 10.6\text{mV} \quad (\text{ここで、} NG = \text{非反転信号ゲイン}) \end{aligned}$$

出力オフセット・ゼロへの微調やDC動作点調整は、しばしば必要になります。オペアンプ回路にDCオフセット制御を導入するには、数多くの手法があります。これらの手法の大半は、つまるところ帰還抵抗を通してDC電流を加える方式に帰着します。オフセットをトリミングする方法の選択で鍵となるのは、所要の信号パスの周波数応答への影響です。信号パスを非反転にする場合、信号源との相互作用を回避するため反転加算信号を適用してオフセット制御するのが最適です。また、信号パスを反転にするならば、非反転入力にオフセット制御を適用することが考えられます。しかし、加算結合点におけるDCオフセット電圧は、信号源へ戻るDC電流を生じさせることを考慮しなければなりません。オフセット調整を反転オペアンプ入力に適用すると、ノイズ・ゲインおよび周波数応答平坦度が変化します。DC結合の反転アンプについて、信号の周波数応答への影響が最小とできるオフセット調整手法の1例を図62に示します。この場合、DCオフセット電流は信号パスにある抵抗よりはるかに大きい抵抗を通して、反転入力ノードに流れます。この手法は、調整回路がループ・ゲインひいては周波数応答に最小限の影響しか与えません。

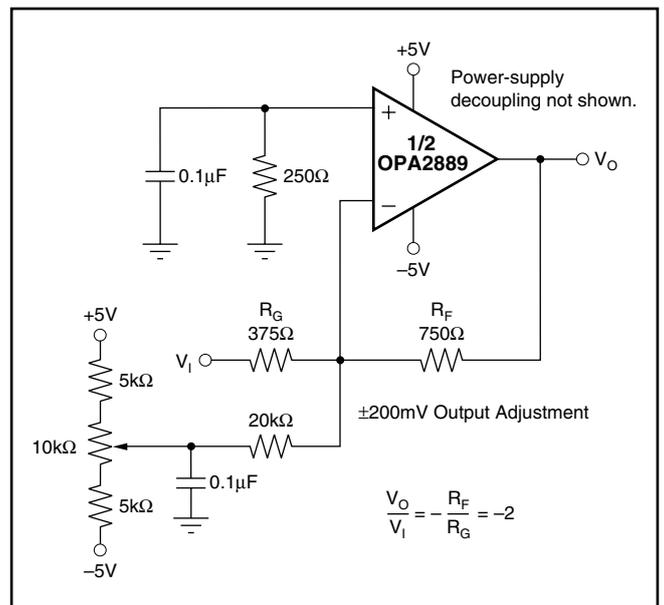


図62. DC結合、反転ゲイン $-2\text{V}/\text{V}$ 、オフセット調整付き

## ディスエーブル動作 (MSOP-10パッケージのみ)

OPA2889IDGSには、システム電力の低減あるいは簡便なチャンネル・マルチプレキシング動作に使用できる、オプションのディスエーブル機能があります。DIS制御端子を非接続状態にすると、OPA2889IDGSは通常の動作を行います。ディスエーブルを行うには、この制御端子に“Low”を入力します。図63に、ディスエーブル制御機能の簡略化した内部回路を示します。

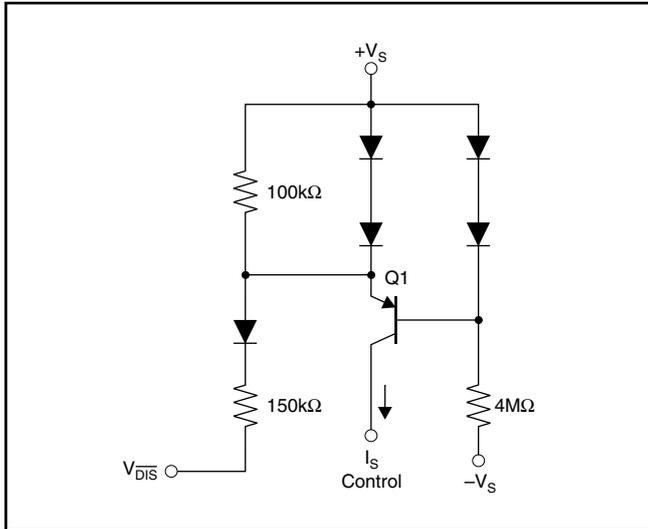


図63. 簡略化したディスエーブル制御回路

通常動作では、Q1のベース電流は4MΩ抵抗を通して供給され、100kΩ抵抗を通るエミッタ電流は、Q1のエミッタに接続される2個のダイオードがオンするには不十分な電圧降下を作り出します。V<sub>DIS</sub>を“Low”に下げると、追加の電流が100kΩ抵抗を通して引かれ、最終的にこれらの2ダイオードがオンします(≈ 18μA)。この時点で、これ以上にV<sub>DIS</sub>から引かれる電流は2ダイオードを通り、Q1のエミッタ・ベース間電圧をおよそ0Vにします。この電流によってQ1からのコレクタ電流はオフし、アンプがオフします。したがって、ディスエーブル・モードでの電源電流は、図63の回路動作に必要な電流だけになります。別の付加回路が、ターンオン時間がターンオフ時間より短いこと(メーク・ビフォア・ブレイク)を保証しています。

ディスエーブルの場合、出力および入力ノードはハイインピーダンス状態に入ります。OPA2889が+1V/Vのゲインで動作している場合、デバイスは出力の非常に高インピーダンスと、より良い信号絶縁特性を示します。+1V/Vより大きいゲインで動作している場合、帰還回路網全体の抵抗(R<sub>F</sub> + R<sub>G</sub>)が出力から見たインピーダンスとして現れます。しかし、それでもデバイスは、非常に高い順方向および逆方向の絶縁特性を示します。反転アンプとして設定すると、入力と出力は帰還回路網の抵抗(R<sub>F</sub> + R<sub>G</sub>)で接続され、結果として絶縁は非常に貧弱になります。

## 熱的解析

規定の最大ジャンクション温度により、最大許容内部電力消費が以下に述べるように設定されます。どのような場合でも、最大ジャンクション温度は+150℃を超えてはなりません。

動作ジャンクション温度(T<sub>J</sub>)はT<sub>A</sub> + P<sub>D</sub> × θ<sub>JA</sub>で与えられます。全内部電力消費(P<sub>D</sub>)は無信号時電力(P<sub>DQ</sub>)と、負荷電力を供給するために出力段で消費される追加の電力(P<sub>DL</sub>)の和になります。無信号時電力は、単に規定の無負荷電源電流とデバイスにかかる全電源電圧の積になります。P<sub>DL</sub>は所要の出力信号および負荷に依存します。グラウンド接続した抵抗性負荷では、P<sub>DL</sub>は出力がいずれかの電源電圧の1/2に固定された場合(両電源の電圧が等しい場合)に最大になります。この条件下で、P<sub>DL</sub> = V<sub>S</sub><sup>2</sup> / (4 × R<sub>L</sub>)です。ここで、R<sub>L</sub>は帰還回路網負荷を含みます。

P<sub>DL</sub>は内部電力消費を定める出力段での電力であり、負荷の電力でないことに注意してください。

最悪ケース例として、図50の回路でOPA2889ID(SO-8パッケージ)を使って最大T<sub>J</sub>を算出してください。このときデバイスは、最大規定周囲温度+85℃にて両出力がグラウンド接続された75Ω負荷を+2.5Vに駆動しています。

$$P_D = 10V \times 2.5mA + 2[5^2 / (4 \times (75\Omega \parallel 1.5k\Omega))] = 200mW$$

$$\text{最大 } T_J = +85^\circ\text{C} + (200mW \times 125^\circ\text{C/W}) = +110^\circ\text{C}$$

この絶対最悪ケース条件は、規定最大ジャンクション温度を超えません。実際のは、通常ここで考察した値よりも低いです。お客様のアプリケーションにて、注意深く最大を検討してください。

## 基板レイアウトのガイドライン

OPA2889のような高周波アンプで最適特性を実現するには、基板レイアウトにおける寄生効果および外付け部品の種類に慎重な注意が必要です。特性を最適化する推奨項目は以下の通りです。

- a) すべての信号I/O端子のACグラウンドに対する寄生容量を最小限にしてください。出力および反転入力端子の寄生容量は不安定性の原因になります。非反転入力端子の寄生容量は信号源インピーダンスと作用し、意図しない帯域制限を引き起こします。不要な容量を低減するには、信号I/O端子の周辺すべてのグラウンド面と電源面に窓を開けます。他には、グラウンドおよび電源面が基板上で途切れないようにします。

- b) 電源端子から高周波0.1 $\mu$ Fのデカップリング用コンデンサまでの距離を、最小限(<0.25")にしてください。信号I/O端子のデバイス端子部分のレイアウトでは、グランド面および電源面を接近させないようにします。狭いグランドおよび電源の配線を避け、端子とデカップリング・コンデンサ間のインダクタンスを最小限にします。電源配線は必ずこれらのコンデンサでデカップリングします。2つの電源(両極性電源動作の場合)間にオプショで電源デカップリング・コンデンサ(0.1 $\mu$ F)を接続すると、2次高調波歪み特性が改善されます。より大きいデカップリング用コンデンサ(2.2 $\mu$ Fから6.8 $\mu$ F)は低周波で有効であり、これも主電源端子に使用します。この大容量コンデンサは、少しばかりデバイスから離れても良く、また、プリント回路基板(PCB)の同じ領域の数デバイスで共有してもかまいません。
- c) 外付け部品を注意深く選択および配置すると、OPA2889の高周波特性が保たれます。抵抗は特に低リアクタンス型にします。表面実装型の抵抗が最適であり、レイアウト全体を緻密にできます。また、金属皮膜や軸方向リードの固体カーボン抵抗も、優れた高周波特性が得られます。重複しますが、リードおよびPCBトレースをできるだけ短くしてください。高周波アプリケーションでは、巻線型抵抗を決して使用しないでください。出力端子と反転入力端子が寄生容量に最も敏感なので、帰還および直列出力抵抗があれば、これらを必ず出力端子のできるだけ近くに配置してください。非反転入力端子の終端抵抗のような他の回路網部品も、パッケージの近くに配置します。外付け抵抗をシャントする低寄生容量でも、過大な抵抗値は特性を劣化する大きな時定数を作り出します。良質な軸方向金属皮膜や表面実装型抵抗には、抵抗をシャントする約0.2pFの寄生容量を持ちます。>1.5k $\Omega$ の抵抗値では、寄生容量によりポールおよび/またはゼロが500MHz以下に追加され、回路動作に影響します。負荷駆動と同様、抵抗値はできるだけ小さくしてください。「電気的特性」で使用されている750 $\Omega$ の帰還抵抗は、設計の良き開始ポイントです。ユニティ・ゲイン・フォロワのアプリケーションには、0 $\Omega$ の帰還抵抗が推奨されていることに注意してください。
- d) 基板上での他の広帯域デバイスへの接続は、短い直接トレースや基板上の伝送ラインで行うことができます。短い接続については、トレースおよび次のデバイスへの入力は集中容量性負荷と見なしてください。比較的広いトレース(50ミルから100ミル)を使い、好ましくは、その周辺のグランド面と電源面を開けるようにします。容量性負荷の全体を見積もり、図15と図16のプロットから $R_S$ を設定します。寄生容量が小さい負荷(<3pF)には、OPA2889は2pFの寄生負荷での動作が名目上補償されているので、 $R_S$ は必要ありません。信号ゲインが増加すると(無負荷時の位相余裕が増加する。図24を参照。)、 $R_S$ が無くてもより大きい寄生容量負荷が可能で、長いトレースが必要であり、2重終端伝送ラインに固有の6dBの信号損失が許される場合、マイクロストリップやストリップライン技術を使用して、インピーダン

ス整合した伝送ラインを実装します(マイクロストリップおよびストリップラインのレイアウト技術は、ECL設計ハンドブックを参考にしてください)。基板には一般に50 $\Omega$ 環境は必要でなく、むしろインピーダンス環境が高いと、歪み対負荷プロットが示すように歪みが改善されます。基板トレースの特性インピーダンス(基板材質とトレース寸法に基づく)を明確にして、宛先デバイスの入力をシャント抵抗で終端するとともに、整合用直列抵抗をOPA2889の出力からトレースに挿入します。また、終端インピーダンスは、シャント抵抗と宛先デバイスの入力インピーダンスとの並列合成値であることに注意してください。この全体の実効インピーダンスを、トレースのインピーダンスと整合するように設定します。

- e) OPA2889のような高速デバイスにソケットを使用するのは推奨できません。ソケットにより追加されたリード長とピン間容量により、スムーズで安定な周波数応答の実現をほとんど不可能にする、極度に厄介な寄生網が形成されます。最適な結果は、OPA2889を基板上に半田付けすると得られます。

### 入力およびESD保護

OPA2889は非常に高速なコンプリメンタリ・バイポーラ・プロセスで造られています。内部ジャンクションのブレイクダウン電圧は、これらの微細なデバイスにとって比較的低いです。このブレイクダウン電圧は、「絶対最大定格」表に反映されています。すべてのデバイス端子は、図64に示すように、両方の電源に接続された内部ESD保護ダイオードで保護されています。

これらのダイオードは、電源電圧を超える入力過電圧からも適度に保護しています。保護ダイオードは、標準で30mAの連続電流に対応しています。もっと大電流が生じ得る場合(例えば、 $\pm 15$ V電源の部品がOPA2889を駆動するシステム)、電流制限用の直列抵抗を2入力に接続します。抵抗値が高いとノイズ特性と周波数応答の両方を悪化させるので、これらの抵抗値は極力小さくします。

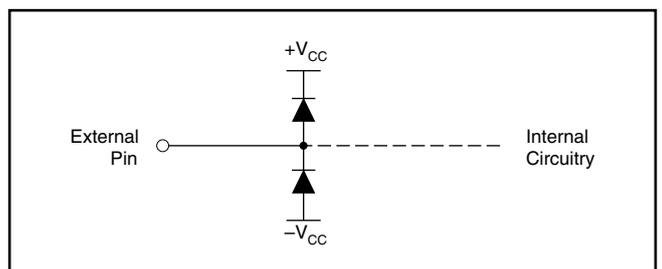


図64. 内部ESD保護

## パッケージ情報

Orderable Device	Status <sup>(1)</sup>	Package Type	Package Drawing	Pins	Package Qty	Eco Plan <sup>(2)</sup>	Lead/Ball Finish	MSL Peak Temp <sup>(3)</sup>
OPA2889ID	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA2889IDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA2889IDGSR	ACTIVE	MSOP	DGS	10	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA2889IDGSRG4	ACTIVE	MSOP	DGS	10	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA2889IDGST	ACTIVE	MSOP	DGS	10	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA2889IDGSTG4	ACTIVE	MSOP	DGS	10	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA2889IDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA2889IDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

(1) マーケティング・ステータスは次のように定義されています。

**ACTIVE**：製品デバイスが新規設計用に推奨されています。

**LIFEBUY**：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

**NRND**：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

**PREVIEW**：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

**OBSOLETE**：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

**TBD**：Pb-Free/Green変換プランが策定されていません。

**Pb-Free (RoHS)**：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

**Pb-Free (RoHS Exempt)**：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

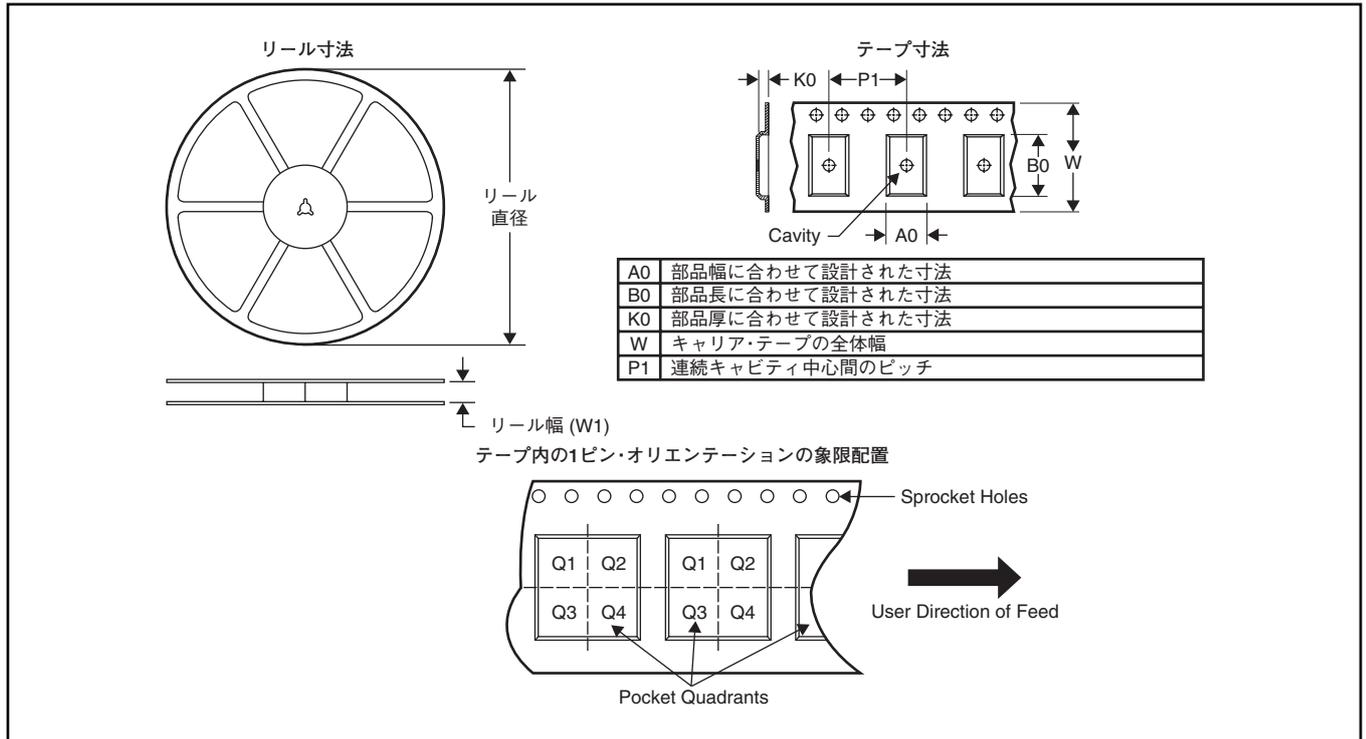
**Green (RoHS & no Sb/Br)**：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

**重要な情報および免責事項**：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

# パッケージ・マテリアル情報

## テープおよびリール・ボックス情報

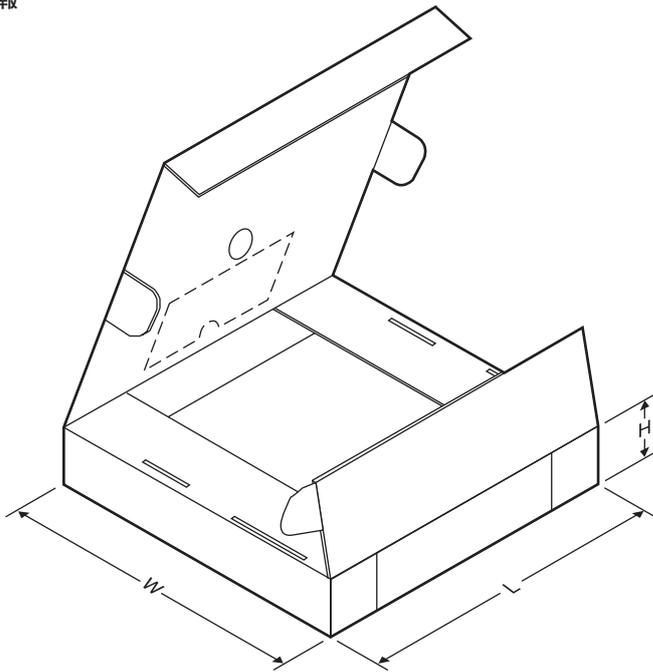


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2889IDGSR	MSOP	DGS	10	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2889IDGST	MSOP	DGS	10	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2889IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

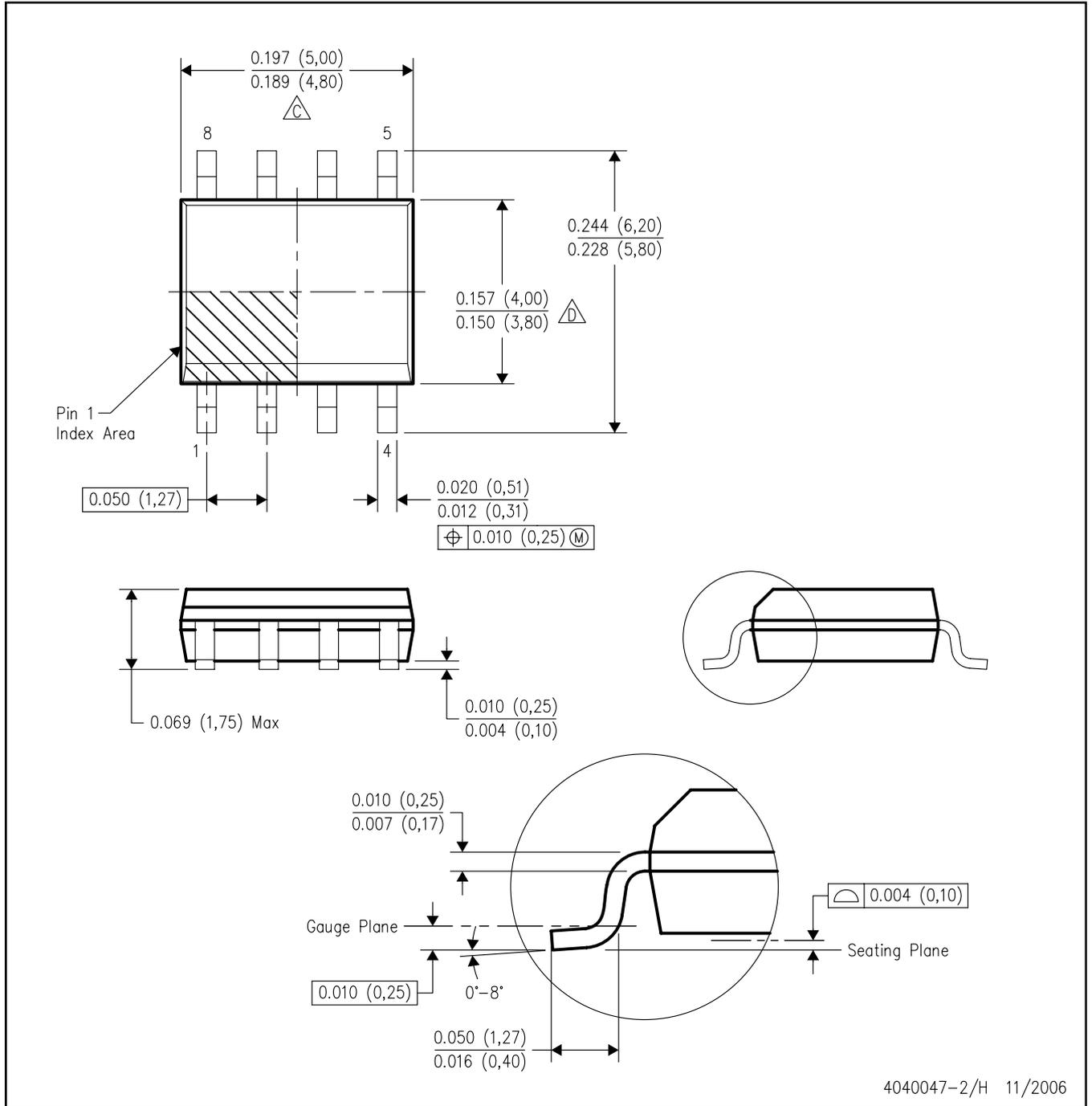
## パッケージ・材料情報

テープおよびリール・ボックス情報



\*All dimensions are nominal

Device	PackageType	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2889IDGSR	MSOP	DGS	10	2500	346.0	346.0	29.0
OPA2889IDGST	MSOP	DGS	10	250	190.5	212.7	31.8
OPA2889IDR	SOIC	D	8	2500	346.0	346.0	29.0



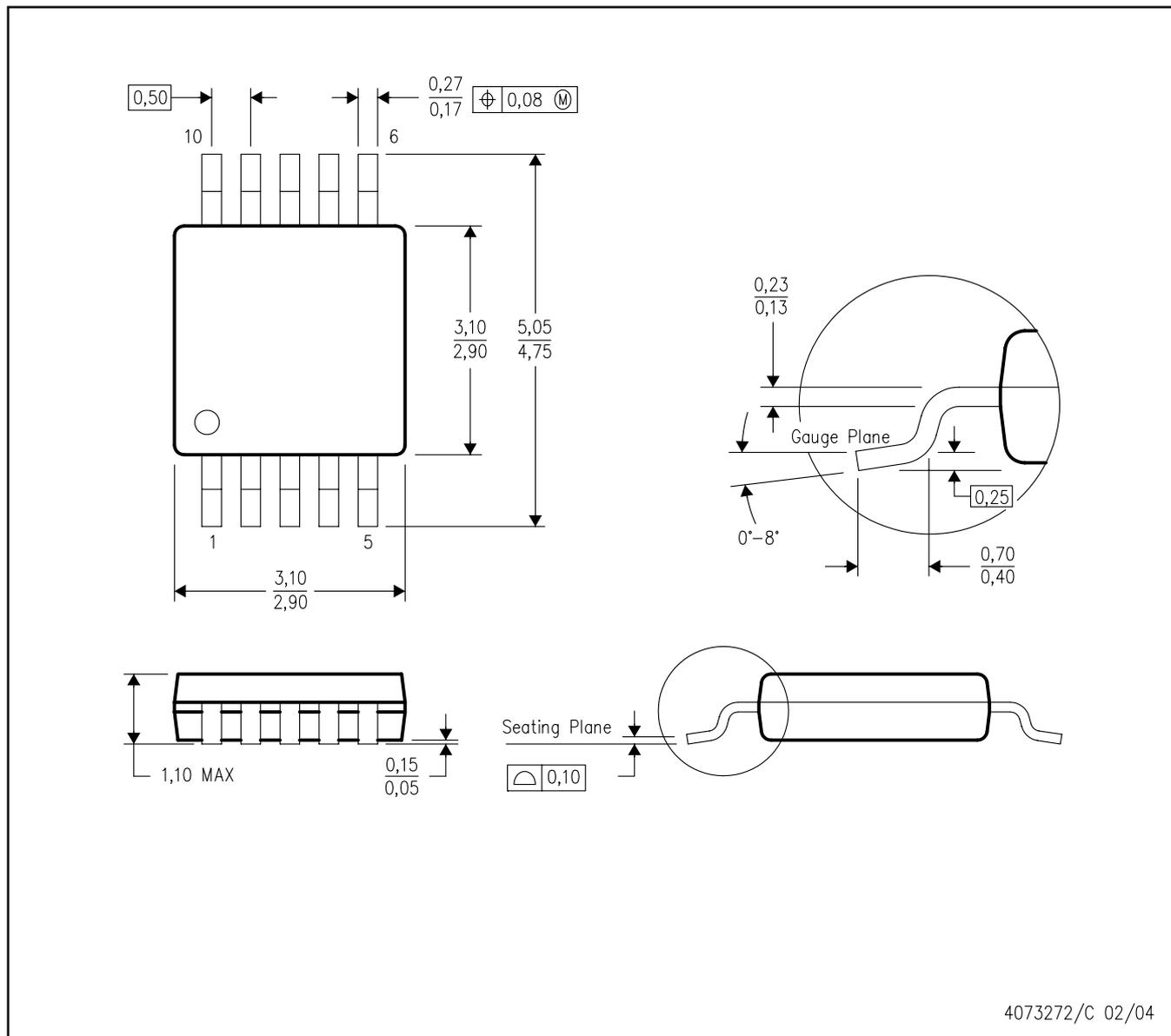
注：A. 直線寸法はすべてインチ(ミリメートル)です。

B. 本図は予告なく変更することがあります。

△C ボディ長には、モールド・フラッシュや突起、ゲート・バーは含まれません。モールド・フラッシュや突起、ゲート・バーは、片側で0.006(0,15)を超えることはありません。

△D ボディ幅には、インターリード・フラッシュは含まれません。インターリード・フラッシュは、片側で0.017(0,43)を超えることはありません。

E. JEDEC MS-012 バリエーションAAを参照。



4073272/C 02/04

- 注：A. 直線寸法はすべてミリメートルです。  
 B. 本図は予告なく変更することがあります。  
 C. ボディの寸法には、0,15を超えるモールド・フラッシュや突起は含まれません。  
 D. JEDEC MO-187 バリエーションBAに準拠します。

# ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従ひまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従ひ販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従ひ合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

温度: 0~40、相対湿度: 40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

### 3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従ひ基板実装すること。

### 4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

### 5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

### 6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上