

OPAx182 36V、5MHz、低ノイズ、ゼロドリフト、MUX 対応、高精度オペアンプ

1 特長

- 非常に高い精度:
 - ゼロドリフト: $0.003\mu\text{V}/^\circ\text{C}$
 - 非常に小さいオフセット電圧: $4\mu\text{V}$ 以下
- 非常に優れた DC 精度:
 - CMRR: 168dB
 - 開ループ・ゲイン: 170dB
- 低ノイズ:
 - 1kHz での $e_n: 5.7\text{nV}/\sqrt{\text{Hz}}$
 - 0.1Hz~10Hz のノイズ: $0.12\mu\text{V}_{\text{PP}}$
- 非常に優れた動的性能:
 - ゲイン帯域幅: 5MHz
 - スルーレート: $10\text{V}/\mu\text{s}$
 - 高速セトリング: 10V ステップ、0.01% まで $1.7\mu\text{s}$
- 堅牢性の高い設計:
 - MUX 対応入力
 - 入力の RFI/EMI フィルタ処理
- 広い電源範囲: $\pm 2.25\text{V} \sim \pm 18\text{V}$ 、 $4.5\text{V} \sim 36\text{V}$
- 静止電流: 0.85mA
- レール・ツー・レール出力
- 入力に負のレールも含む

2 アプリケーション

- バッテリー試験装置
- DC 電源、AC 電源、電子負荷
- データ・アキュイジション (DAQ)
- 半導体試験装置
- 重量計
- アナログ入力モジュール
- 流量トランスミッタ

3 概要

OPA182、OPA2182、OPA4182 (OPAx182) は、超低ノイズ、高速セトリング、ゼロドリフト、高精度のオペアンプであり、レール・ツー・レール出力動作を実現し、独自の MUX 対応アーキテクチャと制御されたスタートアップ・システムを採用しています。また、これらのデバイスは優れた AC 性能と、わずか $0.45\mu\text{V}$ のオフセット電圧、温度範囲全体で $0.003\mu\text{V}/^\circ\text{C}$ のドリフトを実現しています。これらの特長により、OPAx182 はデータ収集、バッテリー・テスト、アナログ入力モジュール、重量計、その他の高い DC 精度と低ノイズを必要とするシステムに最適です。

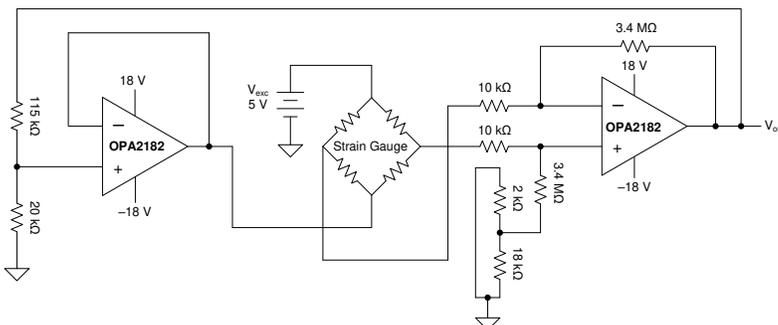
MUX 対応の入力アーキテクチャにより、大きな入力差動電圧が印加されたときに突入電流を防止できるため、マルチチャンネル・システムのセトリング性能が向上します。さらに、制御されたスタートアップ・システムにより、電源レールのランプアップ時に突入電流を防止し、また、輸送、取り扱い、組み立て時には堅牢な ESD 保護を実現します。

このデバイスは $-40^\circ\text{C} \sim +125^\circ\text{C}$ で動作が規定されています。

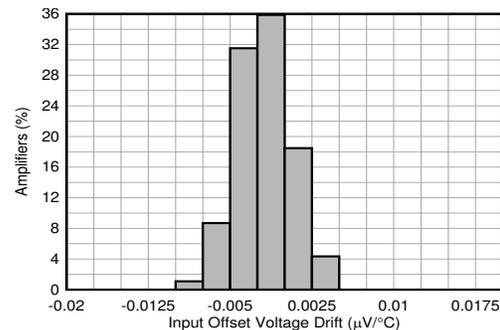
パッケージ情報

部品番号	パッケージ (1)	本体サイズ (公称)
OPA182	D (SOIC, 8)	4.90mm × 3.90mm
	DBV (SOT-23, 5)	2.90mm × 1.60mm
OPA2182	D (SOIC, 8)	4.90mm × 3.90mm
	DGK (VSSOP, 8)	3.00mm × 3.00mm
OPA4182	D (SOIC, 14)	8.65mm × 3.91mm
	PW (TSSOP, 14) プレビュー	5.00mm × 4.40mm

- (1) 利用可能なすべてのパッケージについては、このデータシートの末尾にあるパッケージ・オプションについての付録を参照してください。



OPA2182 ブリッジ・センサ・アプリケーション



OPAx182 のオフセット・ドリフト



目次

1 特長.....	1	8.2 機能ブロック図.....	18
2 アプリケーション.....	1	8.3 機能説明.....	19
3 概要.....	1	8.4 デバイスの機能モード.....	22
4 改訂履歴.....	2	9 アプリケーションと実装.....	23
5 デバイス比較表.....	3	9.1 アプリケーション情報.....	23
6 ピン構成および機能.....	4	9.2 代表的なアプリケーション.....	23
7 仕様.....	6	9.3 電源に関する推奨事項.....	29
7.1 絶対最大定格.....	6	9.4 レイアウト.....	29
7.2 ESD 定格.....	6	10 デバイスおよびドキュメントのサポート.....	31
7.3 推奨動作条件.....	6	10.1 デバイスのサポート.....	31
7.4 熱に関する情報: OPA182.....	7	10.2 ドキュメントのサポート.....	31
7.5 熱に関する情報: OPA2182.....	7	10.3 Receiving Notification of Documentation Updates..	32
7.6 熱に関する情報: OPA4182.....	7	10.4 サポート・リソース.....	32
7.7 電気的特性.....	8	10.5 商標.....	32
7.8 代表的特性.....	10	10.6 Electrostatic Discharge Caution.....	32
8 詳細説明.....	18	10.7 Glossary.....	32
8.1 概要.....	18	11 メカニカル、パッケージ、および注文情報.....	32

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (December 2021) to Revision E (August 2022)	Page
• OPA182 DBV (SOT-23) パッケージをプレビューからアクティブに変更し、関連する内容を追加.....	1

Changes from Revision C (January 2021) to Revision D (December 2021)	Page
• OPA182 および OPA4182 量産データ (アクティブ) デバイスおよび関連する内容を追加.....	1

Changes from Revision B (July 2020) to Revision C (January 2021)	Page
• VSSOP-8 (DGK) パッケージをプレビューから量産データ (アクティブ) に変更.....	1

Changes from Revision A (May 2020) to Revision B (July 2020)	Page
• VSSOP-8 (DGK) のプレビュー・パッケージと関連する内容をデータシートに追加.....	1
• 容量性負荷ドライブの仕様を「未定」から「代表的特性を参照」に変更.....	8

Changes from Revision * (December 2019) to Revision A (May 2020)	Page
• デバイスのステータスを事前情報 (プレビュー) から量産データ (アクティブ) に変更.....	1

5 デバイス比較表

製品名	特長
OPA2189	オフセット 0.4 μ V、ドリフト 0.005 μ V/ $^{\circ}$ C、5.2nV/ $\sqrt{\text{Hz}}$ 、レール・ツー・レール出力、36V、ゼロドリフト、MUX 対応 CMOS
OPA2188	オフセット 6 μ V、ドリフト 0.03 μ V/ $^{\circ}$ C、8.8nV/ $\sqrt{\text{Hz}}$ 、レール・ツー・レール出力、36V、ゼロドリフト、MUX 対応 CMOS
OPA2187	オフセット 1 μ V、ドリフト 0.001 μ V/ $^{\circ}$ C、静止電流 100 μ A、レール・ツー・レール出力、36V、ゼロドリフト CMOS
OPA2388	オフセット 0.25 μ V、ドリフト 0.005 μ V/ $^{\circ}$ C、7nV/ $\sqrt{\text{Hz}}$ 、10MHz、真のレール・ツー・レール入出力、5.5V、ゼロドリフト、ゼロ・クロスオーバー CMOS
OPA2180	120 μ V、10MHz、5.1nV/ $\sqrt{\text{Hz}}$ 、36V JFET 入力産業用オペアンプ

6 ピン構成および機能

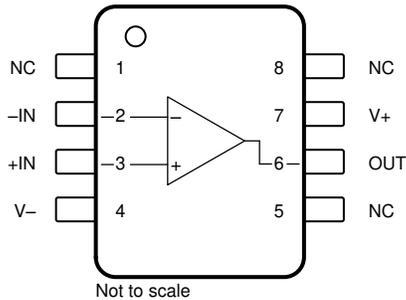


図 6-1. OPA182 D (8 ピン SOIC) パッケージ、上面図

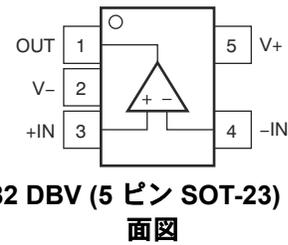


図 6-2. OPA182 DBV (5 ピン SOT-23) パッケージ、上面図

表 6-1. ピンの機能 : OPA182

ピン			種類	説明
名称	D (SOIC)	DBV (SOT-23)		
-IN	2	4	入力	反転入力
+IN	3	3	入力	非反転入力
NC	1, 5, 8	—	—	内部接続なし、フローティングのままでも可。
OUT	6	1	出力	出力チャンネル
V-	4	2	電源	負電源
V+	7	5	電源	正電源

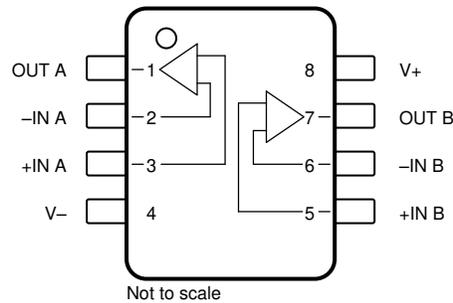


図 6-3. D (8 ピン SOIC) パッケージおよび DGK (8 ピン VSSOP) パッケージ、上面図

表 6-2. ピンの機能 : OPA2182

ピン		種類	説明
名称	番号		
-IN A	2	入力	反転入力、チャンネル A
+IN A	3	入力	非反転入力、チャンネル A
-IN B	6	入力	反転入力、チャンネル B
+IN B	5	入力	非反転入力、チャンネル B
OUT A	1	出力	出力チャンネル A
OUT B	7	出力	出力チャンネル B
V-	4	電源	負電源
V+	8	電源	正電源

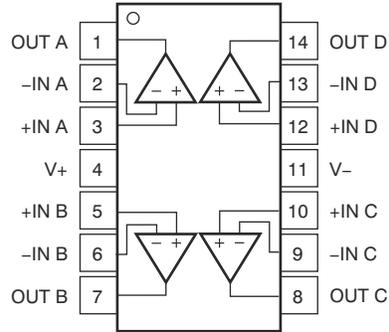


図 6-4. D (14 ピン SOIC) および PW (14 ピン TSSOP、プレビュー) パッケージ、上面図

表 6-3. ピンの機能 : OPA4182

ピン		種類	説明
名称	番号		
-IN A	2	入力	反転入力、チャンネル A
+IN A	3	入力	非反転入力、チャンネル A
-IN B	6	入力	反転入力、チャンネル B
+IN B	5	入力	非反転入力、チャンネル B
-IN C	9	入力	反転入力、チャンネル C
+IN C	10	入力	非反転入力、チャンネル C
-IN D	13	入力	反転入力、チャンネル D
+IN D	12	入力	非反転入力、チャンネル D
OUT A	1	出力	出力チャンネル A
OUT B	7	出力	出力チャンネル B
OUT C	8	出力	出力チャンネル C
OUT D	14	出力	出力チャンネル D
V-	11	電源	負電源
V+	4	電源	正電源

7 仕様

7.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

			最小値	最大値	単位
V _S	電源電圧	単一電源、V _S = (V+)		40	V
		デュアル電源、V _S = (V+) – (V–)		±20	
	信号入力電圧	同相	(V–) - 0.5	(V+) + 0.5	V
		差動		(V+) - (V–) + 0.2	
	電流			±10	mA
	出力短絡 ⁽²⁾		連続	連続	
T _A	動作温度範囲		-55	150	°C
T _J	接合部温度			150	°C
T _{stg}	保存温度		-65	150	°C

- (1) 絶対最大定格の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、このデータシートの「推奨動作条件」に示された値を超える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の範囲内であっても、推奨動作条件の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) グランドへの短絡、1 パッケージ当たり 1 アンペア。

7.2 ESD 定格

			値	単位
V _(ESD)	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±4000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	±1000	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

7.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V _S	電源電圧	単一電源、V _S = (V+)	4.5		36	V
		デュアル電源、V _S = (V+) – (V–)	±2.25		±18	
T _A	動作温度範囲		-40		125	°C

7.4 熱に関する情報 : OPA182

熱評価基準 ⁽¹⁾		OPA182		単位
		D (SOIC)	DBV (SOT-23)	
		8 ピン	5 ピン	
R _{θJA}	接合部から周囲への熱抵抗	112.9	138.2	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	50.8	63.8	°C/W
R _{θJB}	接合部から基板への熱抵抗	56.2	35.5	°C/W
Ψ _{JT}	接合部から上部までの特性評価パラメータ	10.1	17.1	°C/W
Ψ _{JB}	接合部から基板までの特性評価パラメータ	55.4	35.4	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	N/A	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション・レポートを参照してください。

7.5 熱に関する情報 : OPA2182

熱評価基準 ⁽¹⁾		OPA2182		単位
		D (SOIC)	DGK (VSSOP)	
		8 ピン	8 ピン	
R _{θJA}	接合部から周囲への熱抵抗	108.1	150.2	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	45.8	43.9	°C/W
R _{θJB}	接合部から基板への熱抵抗	51.3	71.4	°C/W
Ψ _{JT}	接合部から上部までの特性評価パラメータ	7.2	2.9	°C/W
Ψ _{JB}	接合部から基板までの特性評価パラメータ	50.6	70.0	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	N/A	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション・レポートを参照してください。

7.6 熱に関する情報 : OPA4182

熱評価基準 ⁽¹⁾		OPA4182	単位
		D (SOIC)	
		14 ピン	
R _{θJA}	接合部から周囲への熱抵抗	112.9	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	50.8	°C/W
R _{θJB}	接合部から基板への熱抵抗	56.2	°C/W
Ψ _{JT}	接合部から上部までの特性評価パラメータ	10.1	°C/W
Ψ _{JB}	接合部から基板までの特性評価パラメータ	55.4	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	N/A	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション・レポートを参照してください。

7.7 電気的特性

$T_A = 25^\circ\text{C}$ 、 $V_{CM} = V_{OUT} = V_S / 2$ 、 $R_L = 10\text{k}\Omega$ を $V_S / 2$ に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	代表値	最大値	単位	
オフセット電圧								
V_{OS}	入力オフセット電圧				± 0.45	± 4	μV	
		$T_A = 0^\circ\text{C} \sim 85^\circ\text{C}$				± 4		
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$				± 4		
dV_{OS}/dT	入力オフセット電圧ドリフト	$T_A = 0^\circ\text{C} \sim 85^\circ\text{C}$	OPA182ID、OPA2182		± 0.003	± 0.012	$\mu\text{V}/^\circ\text{C}$	
			OPA182IDBV、OPA4182ID		± 0.003	± 0.020		
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	OPA182ID、OPA2182		± 0.003	± 0.012		
			OPA182IDBV、OPA4182ID		± 0.003	± 0.020		
PSRR	電源電圧変動除去比	$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	OPA182		± 0.005	± 0.07	$\mu\text{V}/\text{V}$	
			OPA2182、OPA4182ID		± 0.005	± 0.05		
入力バイアス電流								
I_B	入力バイアス電流	$Z_{IN} = 100\text{k}\Omega \parallel 500\text{pF}$			± 50	± 350	pA	
			$T_A = 0^\circ\text{C} \sim 85^\circ\text{C}$				± 1	nA
			$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$				± 7	
I_{OS}	入力オフセット電流	$Z_{IN} = 100\text{k}\Omega \parallel 500\text{pF}$			± 140	± 700	pA	
			$T_A = 0^\circ\text{C} \sim 85^\circ\text{C}$				± 2	nA
			$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$				± 3	
ノイズ								
E_n	入力電圧ノイズ	$f = 0.1\text{Hz} \sim 10\text{Hz}$			18		nV_{RMS}	
					0.119		μV_{PP}	
e_n	入力電圧ノイズ密度	$f = 10\text{Hz}$			5.7		$\text{nV}/\sqrt{\text{Hz}}$	
			$f = 100\text{Hz}$			5.7		
			$f = 1\text{kHz}$			5.7		
			$f = 10\text{kHz}$			5.7		
i_n	入力電流ノイズ密度	$f = 1\text{kHz}$			165		$\text{fA}/\sqrt{\text{Hz}}$	
入力電圧								
V_{CM}	同相電圧範囲			$(V-) - 0.1$		$(V+) - 2.5$	V	
CMRR	同相信号除去比	$(V-) - 0.1\text{V} \leq V_{CM} \leq (V+) - 2.5\text{V}$	$V_S = \pm 2.25\text{V}$		120	140	dB	
			$V_S = \pm 18\text{V}$ 、OPA182		141	168		
			$V_S = \pm 18\text{V}$ 、OPA2182、OPA4182ID		143	168		
			$V_S = \pm 2.25\text{V}$		120			
			$V_S = \pm 18\text{V}$ 、OPA182、OPA2182		140			
		$(V-) - 0.1\text{V} \leq V_{CM} \leq (V+) - 2.5\text{V}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	$V_S = \pm 18\text{V}$ 、OPA4182ID		130			

7.7 電気的特性 (continued)

$T_A = 25^\circ\text{C}$, $V_{CM} = V_{OUT} = V_S / 2$, $R_L = 10\text{k}\Omega$ を $V_S / 2$ に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	代表値	最大値	単位
入力インピーダンス							
Z_{id}	差動入力インピーダンス			0.1 3.7		G Ω pF	
Z_{ic}	差動入力インピーダンス			60 2.3		T Ω pF	
開ループ・ゲイン							
A_{OL}	開ループ電圧ゲイン	$V_S = \pm 18\text{V}$, (V_-) + 0.3V < V_O < (V_+) - 0.3V, $R_{LOAD} = 10\text{k}\Omega$	OPA182, OPA2182	150	170	dB	
			OPA4182ID	145	170		
			$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	146			
		$V_S = \pm 18\text{V}$, (V_-) + 0.6V < V_O < (V_+) - 0.6V, $R_{LOAD} = 2\text{k}\Omega$	OPA182, OPA2182	150	170		
			OPA4182ID	145	170		
			$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	140			
周波数特性							
UGB	ユニティ・ゲイン帯域幅	$A_V = 1$			3.6	MHz	
GBW	ゲイン帯域幅積	$A_V = 1000$			5	MHz	
SR	スルーレート	ゲイン = 1, 10V ステップ				10	V/ μs
THD+N	全高調波歪 + ノイズ	ゲイン = 1, $f = 1\text{kHz}$, $V_O = 3.5V_{RMS}$				0.00008%	
	クロストーク	OPA2182	DC 時			150	dB
			$f = 10\text{kHz}$			120	
t_s	セトリング時間	0.1% まで	$V_S = \pm 18\text{V}$, ゲイン = 1, 10V ステップ			1.3	μs
			$V_S = \pm 18\text{V}$, ゲイン = 1, 10V ステップ、立ち下がり			1.7	
			$V_S = \pm 18\text{V}$, ゲイン = 1, 10V ステップ、立ち上がり			3.4	
t_{OR}	過負荷復帰時間	$V_{IN} \times \text{ゲイン} = V_S = \pm 18\text{V}$				220	ns
出力							
V_O	レールからの電圧出力スイング	正電圧レール	無負荷	5	15	mV	
			$R_{LOAD} = 10\text{k}\Omega$	20	110		
			$R_{LOAD} = 2\text{k}\Omega$	80	500		
		負電圧レール	無負荷	5	15		
			$R_{LOAD} = 10\text{k}\Omega$	20	110		
			$R_{LOAD} = 2\text{k}\Omega$	80	500		
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$, 両方のレール		20	120		
I_{SC}	短絡電流			± 65		mA	
C_{LOAD}	容量性負荷ドライブ			「代表的特性」を参照		pF	
Z_O	開ループ出力インピーダンス	$f = 1\text{MHz}$		320		Ω	
電源							
I_Q	アンプごとの静止電流	$V_S = \pm 2.25\text{V} \sim \pm 18\text{V}$	$T_A = 25^\circ\text{C}$	0.85	1	mA	
			$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	1.1			

7.8 代表的特性

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 18\text{V}$ 、 $V_{CM} = V_S / 2$ 、 $R_{LOAD} = 10\text{k}\Omega$ を $V_S / 2$ に接続、 $C_L = 100\text{pF}$ の場合 (特に記述のない限り)

表 7-1. 代表的特性グラフ

説明	図
オフセット電圧の製品分布	図 7-1
オフセット電圧ドリフトの分布: $-40^\circ\text{C} \sim 125^\circ\text{C}$	図 7-2
入力バイアス電流の製品分布	図 7-3
入力オフセット電流の製品分布	図 7-4
オフセット電圧と温度との関係	図 7-5
オフセット電圧と同相電圧との関係	図 7-6
オフセット電圧と電源電圧との関係	図 7-7
開ループ・ゲインおよび位相と周波数との関係	図 7-8
閉ループ・ゲインと周波数との関係	図 7-9
入力バイアス電流と同相電圧との関係	図 7-10
入力バイアス電流およびオフセット電流と温度との関係	図 7-11
出力電圧スイングと出力電流との関係 (ソース)	図 7-12
出力電圧スイングと出力電流との関係 (シンク)	図 7-13
CMRR および PSRR と周波数との関係	図 7-14
CMRR と温度との関係	図 7-15
PSRR と温度との関係	図 7-16
0.1Hz~10Hz の電圧ノイズ	図 7-17
入力電圧ノイズのスペクトル密度と周波数との関係	図 7-18
THD+N 比と周波数との関係	図 7-19
THD+N と出力振幅との関係	図 7-20
静止電流と電源電圧との関係	図 7-21
静止電流と温度との関係	図 7-22
開ループ・ゲインと温度との関係 (10k Ω)	図 7-23
開ループ出力インピーダンスと周波数との関係	図 7-24
小信号オーバーシュートと容量性負荷との関係 (10mV ステップ)	図 7-25 、 図 7-26
位相反転が発生しない	図 7-27
正の過負荷からの回復	図 7-28
負の過負荷からの回復	図 7-29
小信号ステップ応答 (10mV ステップ)	図 7-30 、 図 7-31
大信号ステップ応答 (10V ステップ)	図 7-32 、 図 7-33
セトリング時間	図 7-34
短絡電流と温度との関係	図 7-35
最大出力電圧と周波数との関係	図 7-36
EMIRR と周波数との関係	図 7-37
チャネル・セパレーション	図 7-38

7.8 代表的特性 (continued)

$T_A = 25^\circ\text{C}$, $V_S = \pm 18\text{V}$, $V_{CM} = V_S / 2$, $R_{LOAD} = 10\text{k}\Omega$ を $V_S / 2$ に接続、 $C_L = 100\text{pF}$ の場合 (特に記述のない限り)

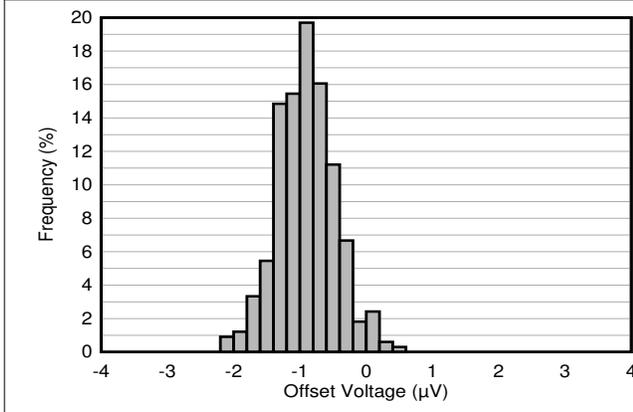


図 7-1. オフセット電圧の製品分布

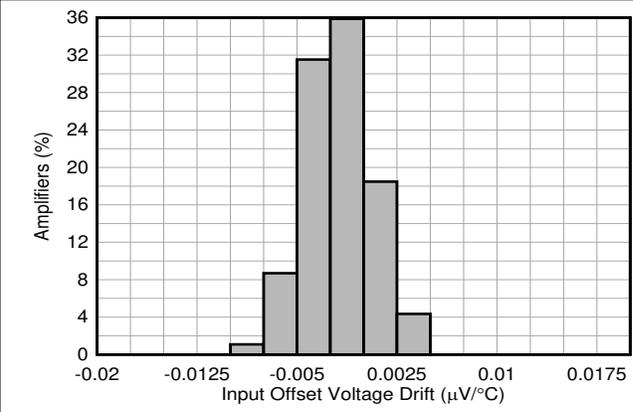


図 7-2. オフセット電圧ドリフトの分布

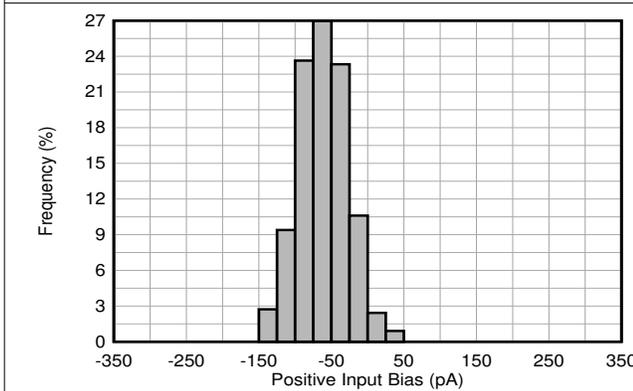


図 7-3. 入力バイアス電流の製品分布

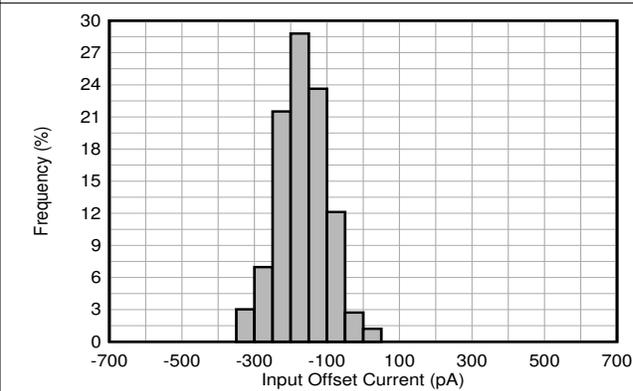


図 7-4. 入力オフセット電流の製品分布

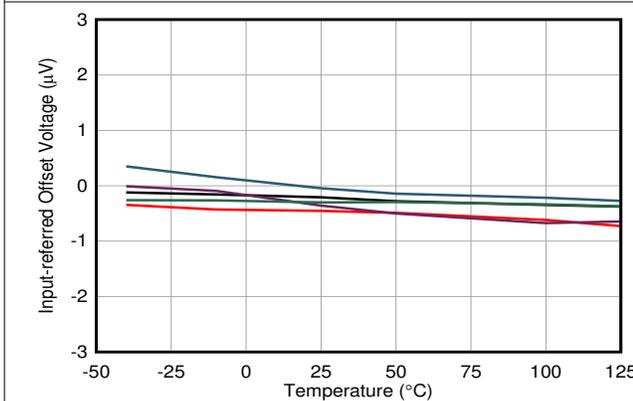


図 7-5. オフセット電圧と温度との関係

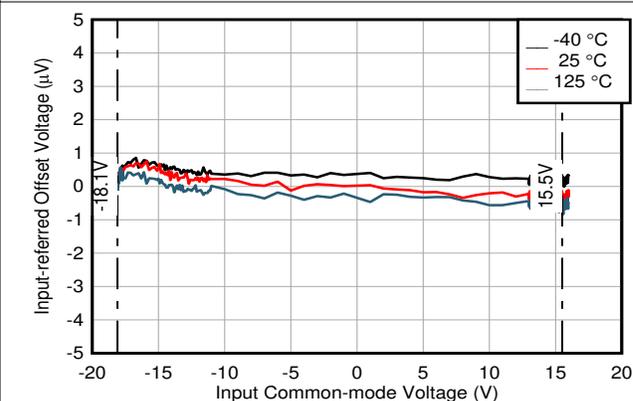
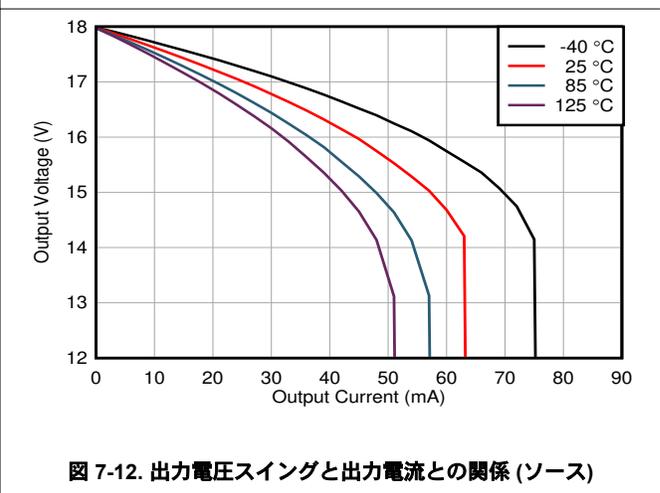
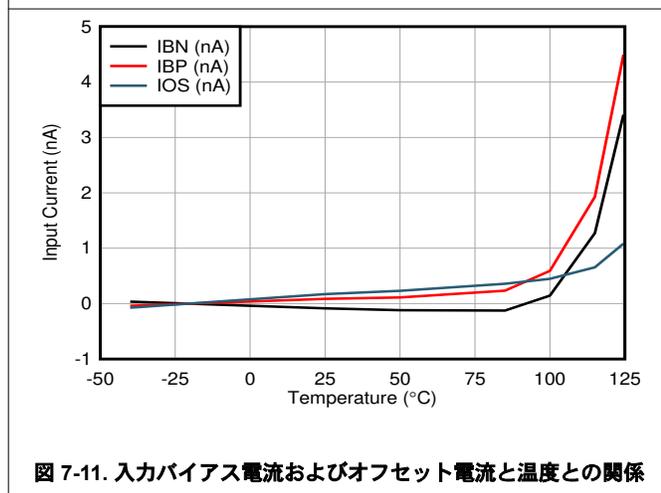
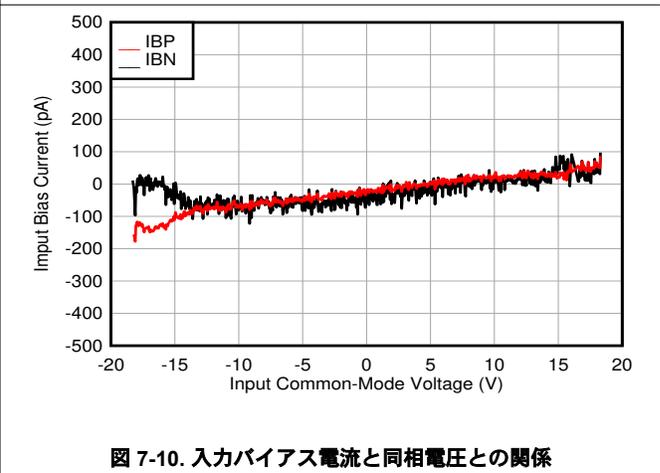
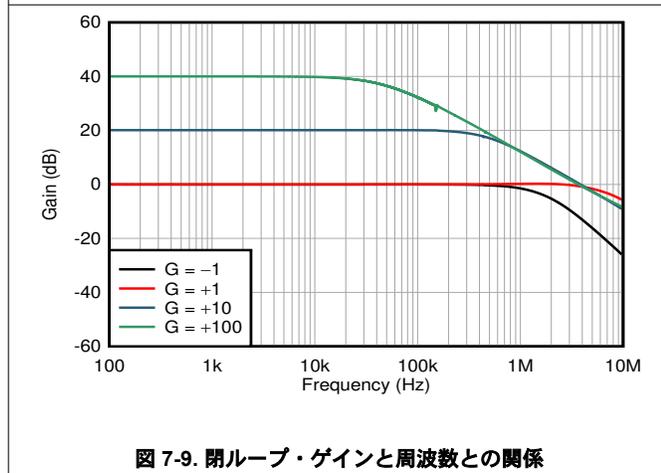
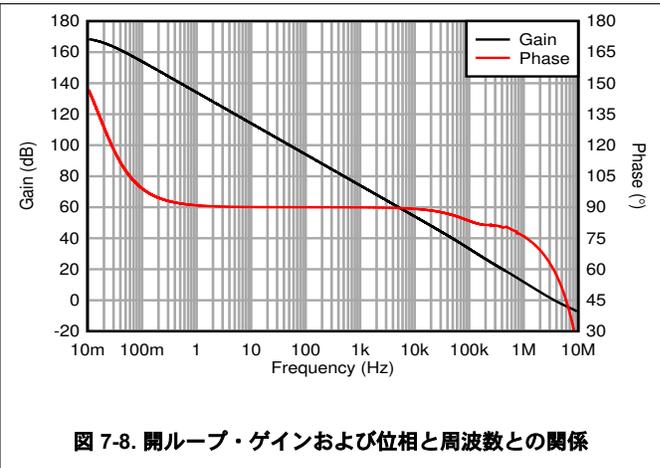
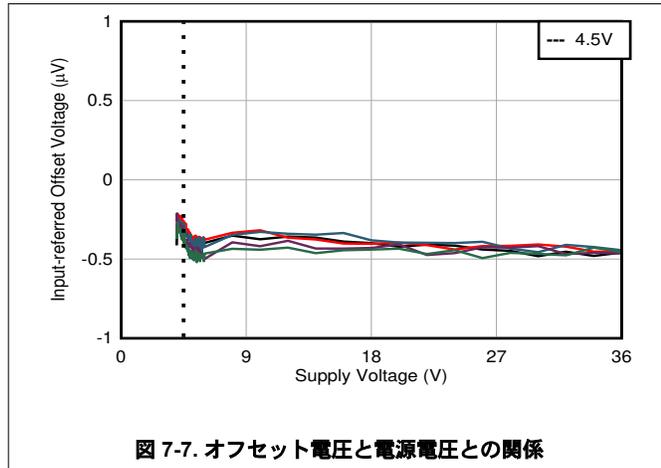


図 7-6. オフセット電圧と同相電圧との関係

7.8 代表的特性 (continued)

$T_A = 25^\circ\text{C}$, $V_S = \pm 18\text{V}$, $V_{CM} = V_S / 2$, $R_{LOAD} = 10\text{k}\Omega$ を $V_S / 2$ に接続、 $C_L = 100\text{pF}$ の場合 (特に記述のない限り)



7.8 代表的特性 (continued)

$T_A = 25^\circ\text{C}$, $V_S = \pm 18\text{V}$, $V_{\text{CM}} = V_S / 2$, $R_{\text{LOAD}} = 10\text{k}\Omega$ を $V_S / 2$ に接続、 $C_L = 100\text{pF}$ の場合 (特に記述のない限り)

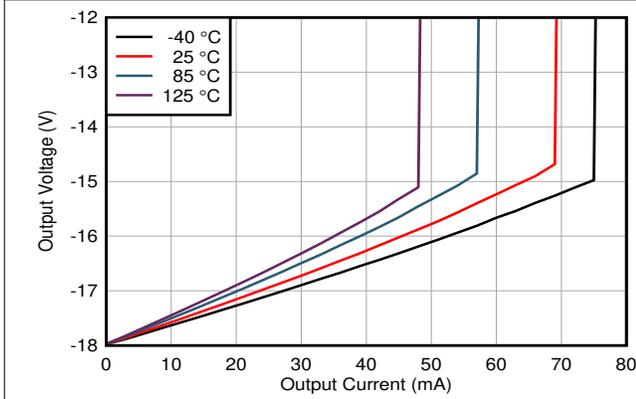


図 7-13. 出力電圧スイングと出力電流との関係 (シンク)

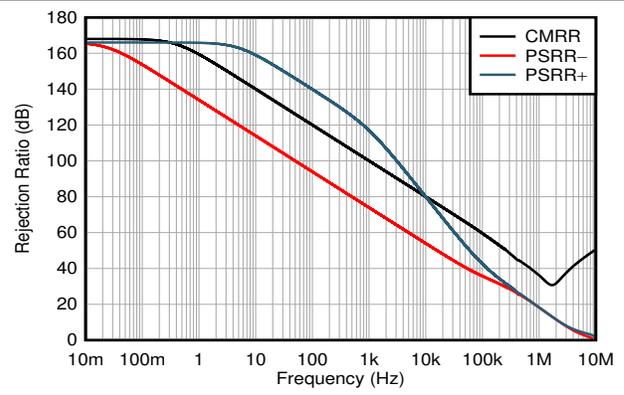


図 7-14. CMRR および PSRR と周波数との関係

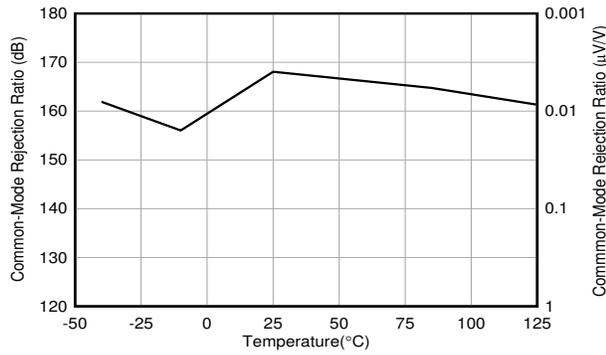


図 7-15. CMRR と温度との関係

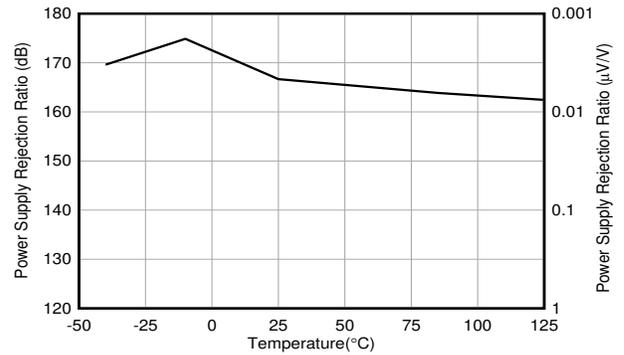


図 7-16. PSRR と温度との関係

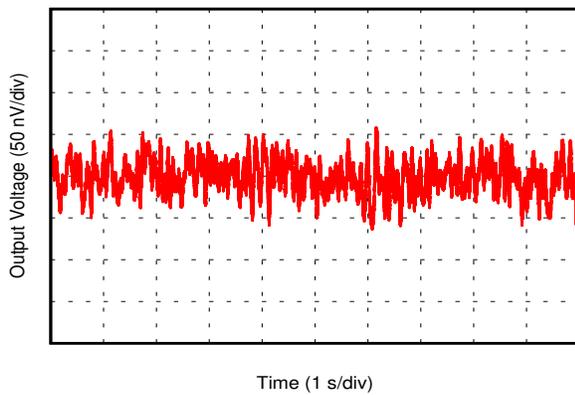


図 7-17. 0.1Hz~10Hz の電圧ノイズ

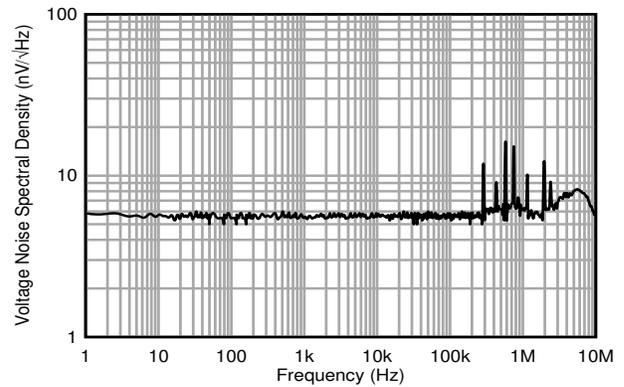


図 7-18. 入力電圧ノイズのスペクトル密度と周波数との関係

7.8 代表的特性 (continued)

$T_A = 25^\circ\text{C}$, $V_S = \pm 18\text{V}$, $V_{CM} = V_S / 2$, $R_{LOAD} = 10\text{k}\Omega$ を $V_S / 2$ に接続、 $C_L = 100\text{pF}$ の場合 (特に記述のない限り)

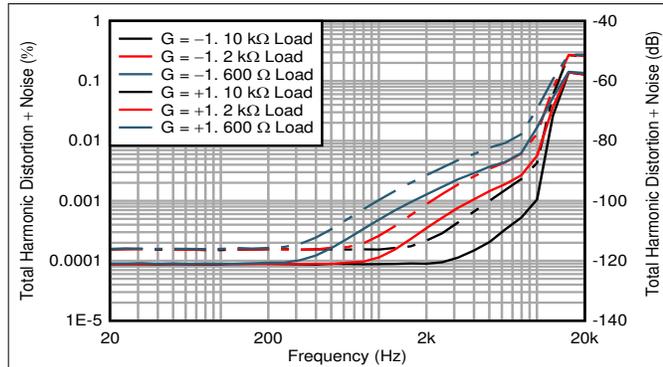


図 7-19. THD+N 比と周波数との関係

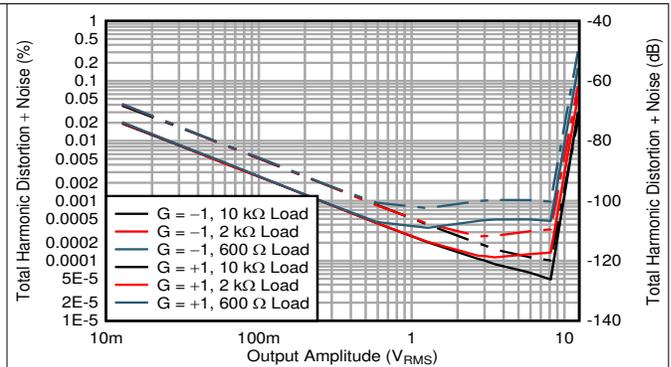


図 7-20. THD+N と出力振幅との関係

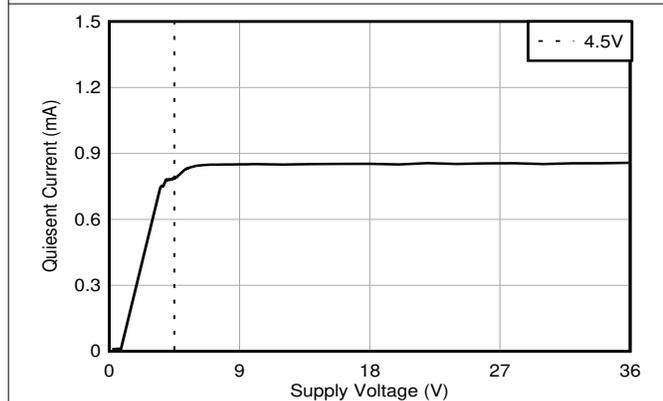


図 7-21. 静止電流と電源電圧との関係

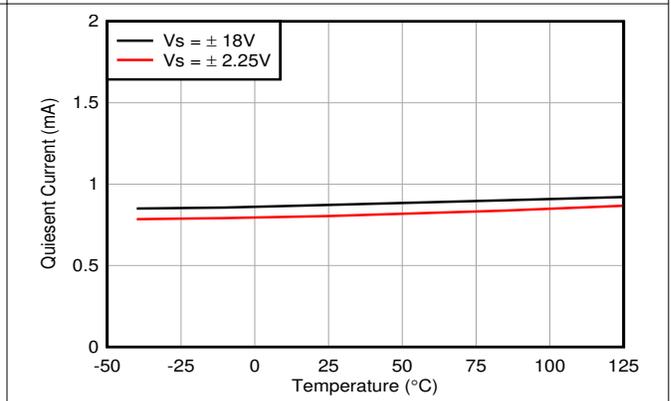


図 7-22. 静止電流と温度との関係

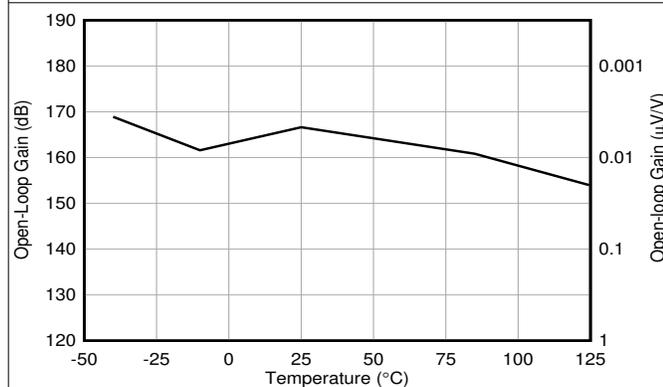


図 7-23. 開ループ・ゲインと温度との関係 (10kΩ)

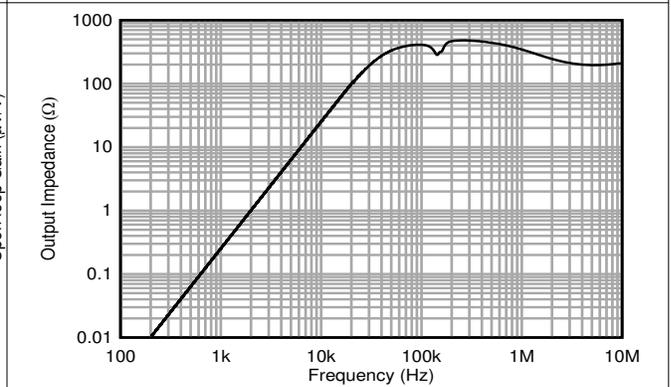


図 7-24. 開ループ出力インピーダンスと周波数との関係

7.8 代表的特性 (continued)

$T_A = 25^\circ\text{C}$, $V_S = \pm 18\text{V}$, $V_{CM} = V_S / 2$, $R_{LOAD} = 10\text{k}\Omega$ を $V_S / 2$ に接続、 $C_L = 100\text{pF}$ の場合 (特に記述のない限り)

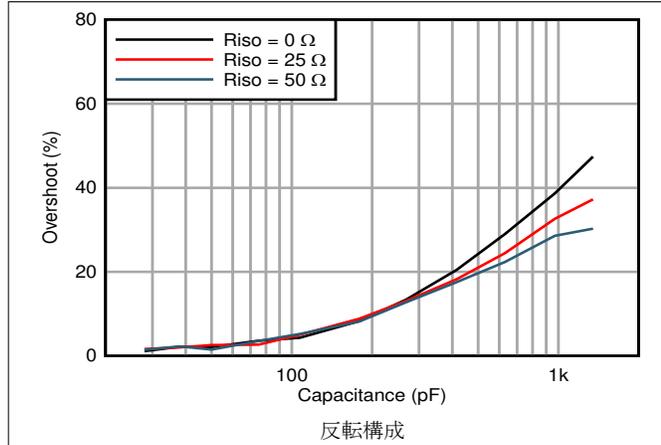


図 7-25. 小信号オーバーシュートと容量性負荷との関係

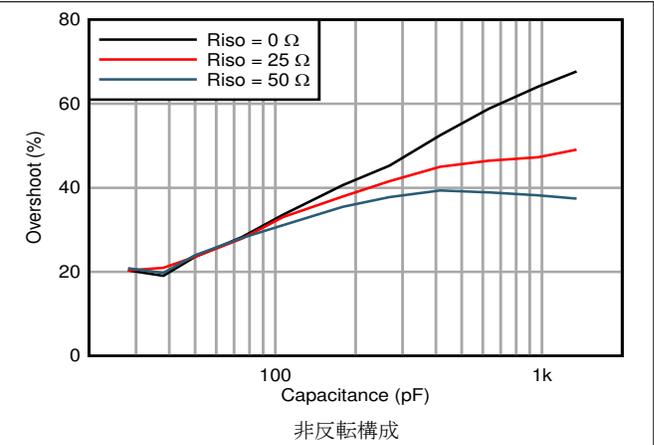


図 7-26. 小信号オーバーシュートと容量性負荷との関係

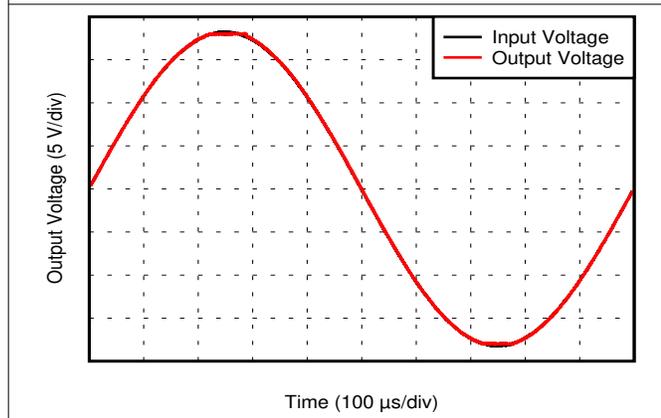


図 7-27. 位相反転が発生しない

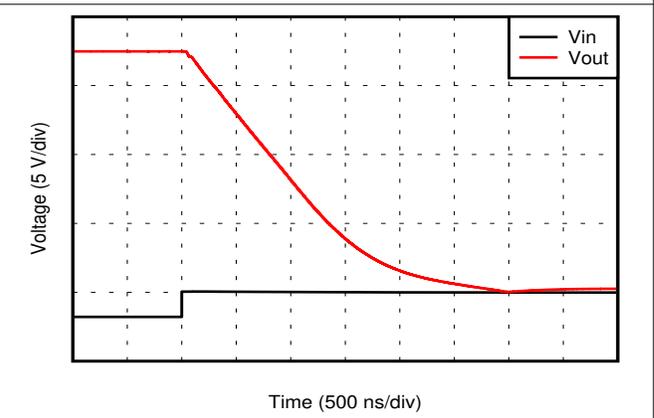


図 7-28. 正の過負荷からの回復

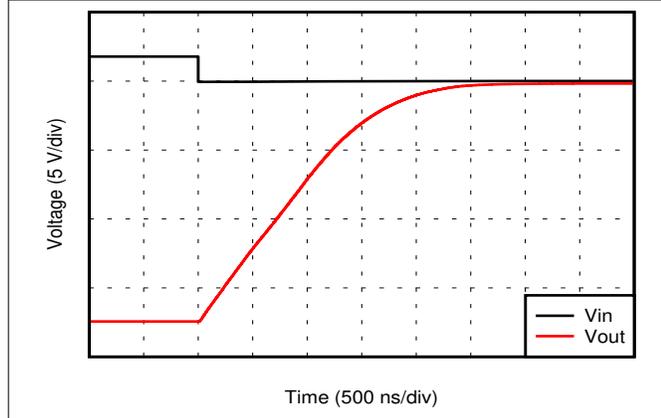


図 7-29. 負の過負荷からの回復

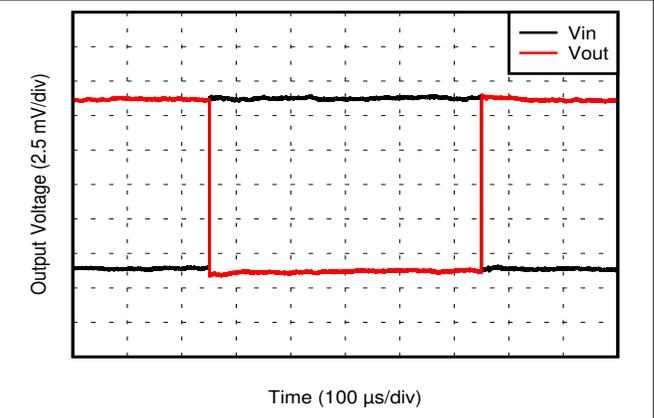
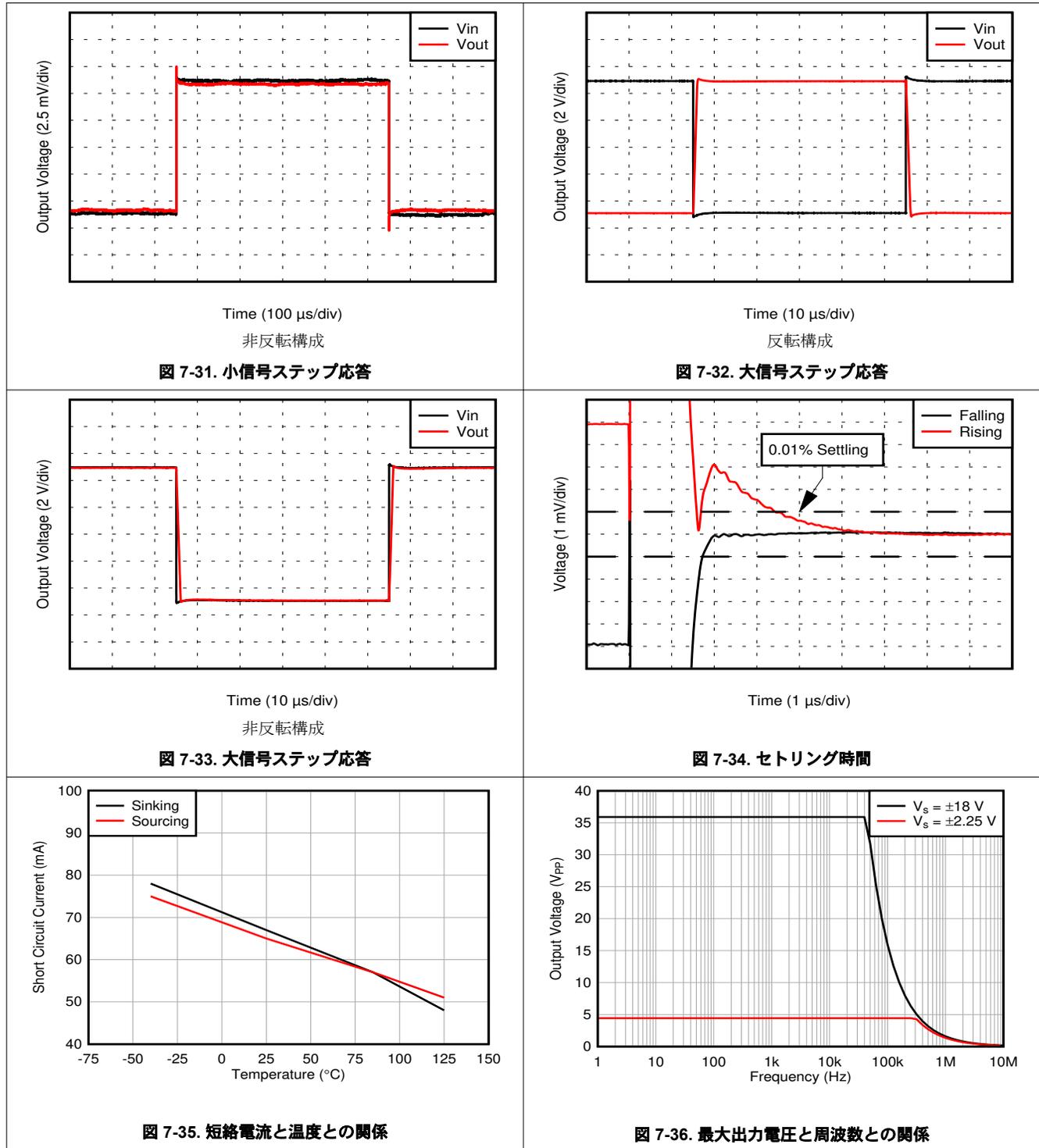


図 7-30. 小信号ステップ応答

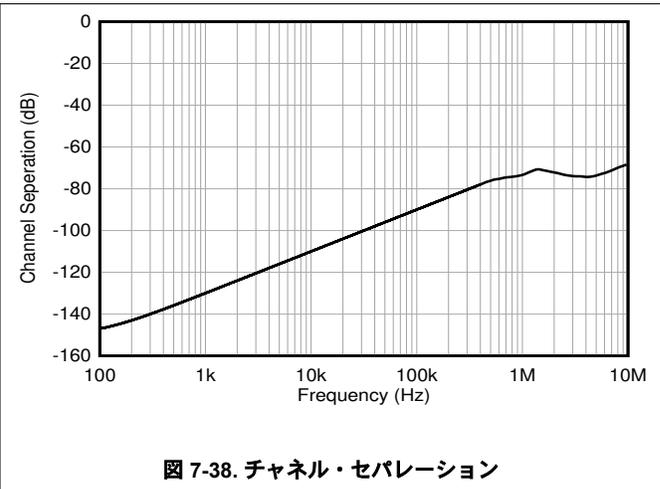
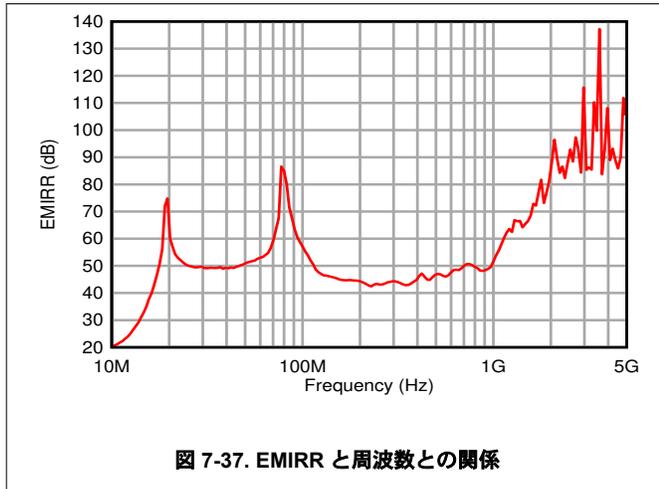
7.8 代表的特性 (continued)

$T_A = 25^\circ\text{C}$, $V_S = \pm 18\text{V}$, $V_{CM} = V_S / 2$, $R_{LOAD} = 10\text{k}\Omega$ を $V_S / 2$ に接続、 $C_L = 100\text{pF}$ の場合 (特に記述のない限り)



7.8 代表的特性 (continued)

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 18\text{V}$ 、 $V_{CM} = V_S / 2$ 、 $R_{LOAD} = 10\text{k}\Omega$ を $V_S / 2$ に接続、 $C_L = 100\text{pF}$ の場合 (特に記述のない限り)



8 詳細説明

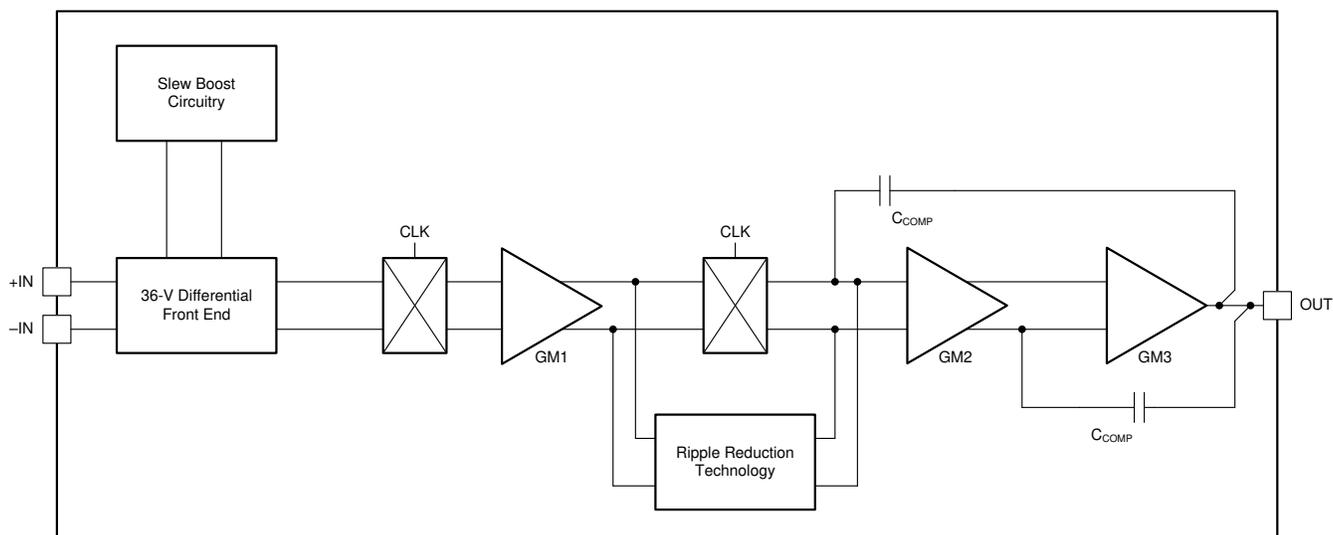
8.1 概要

OPAx182 ファミリのオペアンプは、高精度のオフセットとドリフト、優れた全体的性能を兼ね備えているため、さまざまな高精度アプリケーションに最適です。オフセット・ドリフトの精度は、わずか $0.005\mu\text{V}/^\circ\text{C}$ で、温度範囲全体にわたって安定性が得られます。さらに、これらのデバイスは、**CMRR**、**PSRR**、**A_{OL}** が高く、優れた線形性能を実現します。すべてのアンプと同様に、ノイズの多い、または高インピーダンスの電源を使用するアプリケーションでは、デバイスのピンの近くにデカップリング・コンデンサが必要です。通常は、 $0.1\mu\text{F}$ のコンデンサが適しています。詳細およびレイアウト例については、「[レイアウトのガイドライン](#)」を参照してください。

OPAx182 は、ゼロドリフト、MUX 対応のレール・ツー・レール出力オペアンプです。本デバイスは $4.5\text{V}\sim 36\text{V}$ で動作し、ユニティ・ゲインで安定しているため、さまざまな汎用かつ高精度のアプリケーションに適しています。ゼロドリフト・アーキテクチャにより、入力オフセット電圧が非常に低く、さらに、温度変化および時間の経過に伴う入力オフセット電圧ドリフトがほぼゼロになっています。また、このアーキテクチャの選択により、非常に低い広帯域ノイズ、ゼロフリッカーノイズ、チョッパ周波数未満で動作する際にも優れた歪み性能など、優れた **AC** 性能を実現します。

8.2 機能ブロック図

機能ブロック図は、独自の OPAx182 アーキテクチャを示しています。



8.3 機能説明

OPAx182 オペアンプには、すべての動作条件にわたって高いレベルの精度を維持するのに役立つ機能がいくつか内蔵されています。これらの機能としては、位相反転保護、入力バイアス電流クロック・フィードスルー、MUX 対応入力などがあります。

8.3.1 位相反転保護

OPAx182 には、位相反転保護が内蔵されています。多くのオペアンプでは、入力のリニア同相範囲を超えて駆動されると、位相反転が発生します。この条件が最も多く発生するのは非反転回路で、規定された同相電圧範囲を超えて入力を駆動すると、出力は逆のレールに反転します。OPAx182 入力には、過剰な同相電圧による位相反転を防止します。代わりに、出力は適切なレールに制限されます。この特性を [図 8-1](#) に示します。

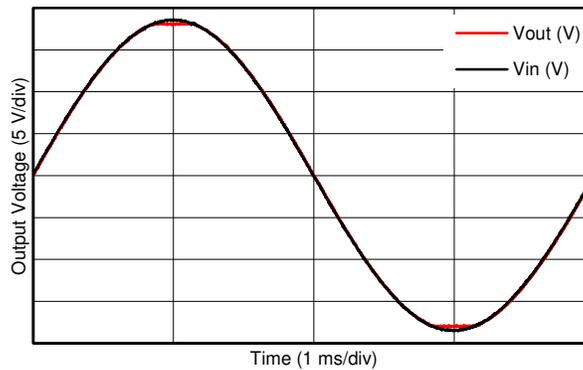


図 8-1. 位相反転が発生しない

8.3.2 入力バイアス電流クロック・フィードスルー

OPAx182 などのゼロドリフト・アンプは、入力のスイッチングを使用して、アンプ固有のオフセットとドリフトを補正します。入力の内蔵スイッチからのチャージ・インジェクションがあると、アンプの入力バイアス電流に短い過渡現象が発生する可能性があります。パルスの持続時間が非常に短いため、このパルスは増幅されません。ただし、フィードバック回路を経由して、パルスがアンプの出力に結合される可能性があります。入力バイアス電流の過渡現象がアンプ出力に追加のノイズを発生させないようにする最も効果的な方法は、RC ネットワークなどのローパス・フィルタを使用することです。

8.3.3 EMI 除去

OPAx182 は、内蔵の電磁干渉 (EMI) フィルタを使用して、ワイヤレス通信や、アナログ信号チェーンとデジタル部品を組み合わせた高密度実装のボードなどから発生する EMI 干渉の影響を低減します。EMI 耐性は、回路設計手法により改善可能です。OPAx182 は、このような設計の改善を活用しています。テキサス・インスツルメンツは、10MHz から 6GHz までの幅広い周波数スペクトルにわたって、オペアンプの耐性を正確に測定および数量化する方法を開発しました。OPAx182 でこのテストを行った結果を [図 8-2](#) に示します。実際のアプリケーションで一般的に発生する特定の周波数における OPAx182 の EMIRR IN+ 値を [表 8-1](#) に示します。[表 8-1](#) に示すアプリケーションは、表に示す特定の周波数を中心として、またはその周波数の付近で運用されます。詳細については、『[オペアンプの EMI 除去率](#)』アプリケーション・レポートを参照してください。このアプリケーション・レポートは www.ti.com からダウンロードできます。

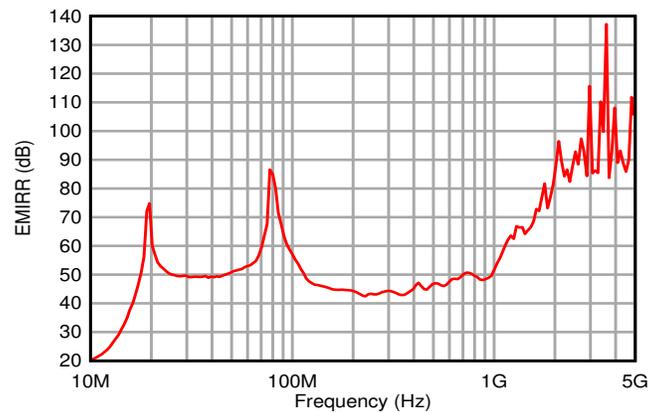
電磁干渉 (EMI) 除去比 (EMIRR) は、オペアンプの EMI 耐性を表します。多くのオペアンプに共通する悪影響は、RF 信号の整流によるオフセット電圧の変化です。EMI によって発生するこのオフセットの変化を除去するのにより効率的なオペアンプは、EMIRR が高いものであり、これはデシベルの値で定量化されます。EMIRR の測定はさまざまな方法で実行できますが、このセクションでは EMIRR +IN について説明します。これは、特に、RF 信号がオペアンプの非反転入力ピンに印加されたときの EMIRR 性能を示すものです。一般に、以下の 3 つの理由により、EMIRR については非反転入力のみがテストされます。

- オペアンプの入力ピンは、EMI の影響を最も受けやすいことが知られており、通常は電源ピンまたは出力ピンよりも強く RF 信号を整流します。
- 非反転および反転オペアンプ入力は、対称的な物理レイアウトを採用しており、EMIRR 性能がほぼ一致しています

- 非反転入力端子を PCB 上で絶縁できるため、非反転ピンでの EMIRR 測定は、他のピンよりも簡単です。この絶縁により、RF 信号を非反転入力端子に直接印加でき、他の部品との複雑な相互作用や PCB 配線の接続は発生しません。

帯域幅外のスペクトル成分を持つ信号に対しては、それを補正するためのアンプのループ・ゲインが不十分なので、いずれかのオペアンプ・ピンに対して高周波信号が伝導または放射されると、悪影響が発生する可能性があります。入力、電源、または出力で伝導または放射による EMI があると、予期しない DC オフセット、過渡電圧、その他の未知の動作が発生する可能性があります。ノイズの多い無線信号、デジタル・クロック、インターフェイスから、敏感なアナログ・ノードを適切にシールドし、分離するように注意してください。

OPAx182 の EMIRR +IN の周波数特性を 図 8-2 に示します。利用可能であれば、デュアルおよびクワッドのオペアンプ・デバイスのバージョンは、いずれも、ほぼ同等の EMIRR +IN 性能を備えています。OPAx182 のゲイン帯域幅は 5MHz です。この周波数以下での EMIRR 性能は、干渉する信号がオペアンプの帯域幅内にあることを示しています。


図 8-2. EMIRR テスト
表 8-1. 特定周波数における OPAx182 の EMIRR IN+

周波数	アプリケーションおよび割り当て	EMIRR IN+
400MHz	モバイル無線、モバイル衛星、宇宙での運用、気象、レーダー、極超短波 (UHF) アプリケーション	44.9dB
900MHz	GSM 移動通信システム、無線通信、ナビゲーション、GPS (最高 1.6GHz まで)、GSM、航空移動通信、UHF アプリケーション	48.4dB
1.8GHz	GSM アプリケーション、モバイル・パーソナル通信、ブロードバンド、衛星、L バンド (1GHz~2GHz)	81.7dB
2.4GHz	802.11b、802.11g、802.11n、Bluetooth®、モバイル・パーソナル通信、産業用、科学用および医療用 (ISM) 無線帯域、アマチュア無線および衛星、S バンド (2GHz~4GHz)	87.9dB
3.6GHz	無線測位、航空通信およびナビゲーション、衛星、モバイル、S バンド	137.2dB
5GHz	802.11a、802.11n、航空通信とナビゲーション、モバイル通信、宇宙と衛星の運用、C バンド (4GHz~8GHz)	99.2dB

8.3.4 電氣的オーバーストレス

設計者は、オペアンプが電氣的オーバーストレスにどの程度耐えられるのかという質問をすることがよくあります。これらの質問は、主にデバイスの入力に関するものですが、電源電圧ピンや、さらに出力ピンにも関係する場合があります。これらの各ピンの機能には、特定の半導体製造プロセスの電圧ブレイクダウン特性と、ピンに接続された特定の回路とで決まる電氣的ストレスの制限値があります。また、これらの回路には内部に静電気放電 (ESD) 保護機能が組み込まれており、製品の組み立て前にも組み立て中にも、偶発的な ESD イベントから保護します。

この基本的な ESD 回路と、電氣的オーバーストレス・イベントとの関連性を十分に理解しておく役に立ちます。OPAx182 に含まれる ESD 回路の図については、[図 8-3](#) を参照してください (破線で囲まれた部分)。ESD 保護回路には、いくつかの電流ステアリング・ダイオードが含まれており、入力ピンや出力ピンから内部の電源ラインへ戻るように配線されています。さらに、これらのダイオードは、オペアンプ内部の吸収デバイスにも接続されます。この保護回路は、通常の回路動作中は非アクティブに保たれるよう設計されます。

ESD イベントがあると、短時間の高電圧パルスが発生し、それが半導体デバイスを通して放電する際に、短時間の大電流パルスに変わります。ESD 保護回路は、オペアンプ・コアを迂回する電流経路を提供して、損傷を防止するように設計されています。保護回路によって吸収されたエネルギーは、熱として放散されます。

2 つ以上のアンプ・デバイス・ピンの間に ESD 電圧が発生すると、電流は 1 つまたは複数のステアリング・ダイオードを流れます。電流が流れる経路に応じて、吸収デバイスがアクティブになります。吸収デバイスのトリガまたはスレッショルド電圧は、OPAx182 の通常動作電圧より高く、デバイスのブレイクダウン電圧レベルよりも低くなっています。このスレッショルドを超えると、吸収デバイスが迅速にアクティブになり、電源レールの電圧を安全なレベルにクランプします。

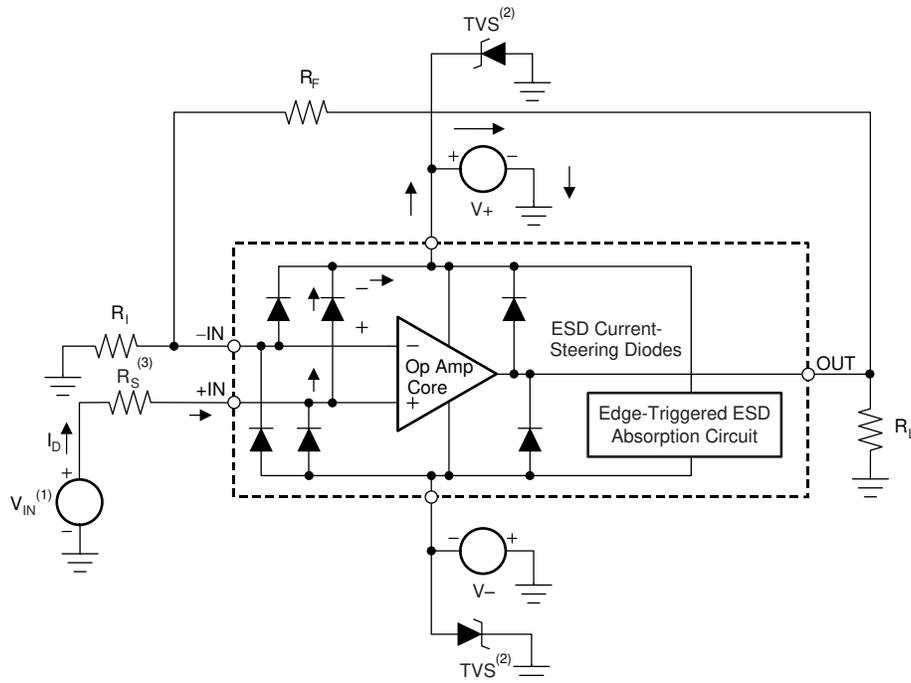
オペアンプを回路に接続したとき ([図 8-3](#) 参照)、ESD 保護部品は非アクティブのままであり、アプリケーション回路の動作に関与しません。ただし、印加された電圧が特定のピンの動作電圧範囲を超える状況が発生する可能性があります。この状況が発生した場合、一部の内部 ESD 保護回路のバイアスがオンになって電流が流れるリスクがあります。このような電流の流れは、ステアリング・ダイオード・パスを経由して発生し、吸収デバイスが関係することはほとんどありません。

[図 8-3](#) に、入力電圧 (V_{IN}) が正電源電圧 ($V+$) を 500mV 以上上回る具体的な例を示します。この回路で発生する現象の多くは、電源の特性によって異なります。 $V+$ が電流をシンクできる場合、上側の入力ステアリング・ダイオードの 1 つが導通し、電流を $+V_S$ へ導きます。 V_{IN} が高くなると、非常に高いレベルの電流が流れる可能性があります。その結果、データシートの仕様では、アプリケーションが入力電流を 10mA に制限することを推奨しています。

電源が電流をシンクできない場合、 V_{IN} はオペアンプへの電流ソースを開始し、その後、正の電源電圧供給を引き継ぐことができます。この場合の危険は、電圧がオペアンプの絶対最大定格を超えるレベルまで上昇する可能性があることです。

もう 1 つのよくある質問は、電源電圧 $V+$ または $V-$ が 0V のときに入力に入力信号が印加された場合、アンプがどのように動作するかです。この質問は、0V 時または入力信号振幅より低いレベルでの電源特性に依存します。見かけ上、電源のインピーダンスが高い場合、オペアンプの電源電流は、入力ソースから電流ステアリング・ダイオードを経由して供給できます。この状態は正常なバイアス状態ではありません。アンプは正常に動作しない可能性がきわめて高くなります。電源のインピーダンスが低い場合には、ステアリング・ダイオードを流れる電流が非常に大きくなる可能性があります。電流レベルは、入力ソースが電流を供給できる能力と、入力パスに存在する抵抗によって異なります。

この電流を吸収する電源の能力が不確実である場合は、[図 8-3](#) に示すように、外部ツェナー・ダイオードを電源ピンに追加する必要があります。このツェナー電圧は、通常動作中にダイオードがオンにならないように選択する必要があります。ただし、電源ピンが安全な動作電源電圧レベルを超えそうになった場合にはツェナー・ダイオードが導通する程度に、ツェナー電圧を低くする必要があります。



(1) $V_{IN} = V+ + 500\text{mV}$.

(2) TVS: $40\text{V} > V_{TVSBR}(\text{min}) > V+$. ここで、 $V_{TVSBR}(\text{min})$ は、過渡電圧サプレッサのブレイクダウン電圧の最小規定値です。

(3) 推奨値は、過電圧条件で約 $5\text{k}\Omega$ です。

図 8-3. 代表的な回路アプリケーションと比較して等価な内部 ESD 回路

8.3.5 MUX 対応入力

OPAx182 には独自の入力段設計が採用されており、高い入力インピーダンスを維持しながら、入力差動電圧を印加できます。通常、高電圧の CMOS またはバイポーラ接合入力アンプには、半導体プロセスの最大値を超えていてデバイスに永続的な損傷を与える可能性のある、大きい V_{GS} 電圧から入力トランジスタを保護する逆並列ダイオードが搭載されています。大きいステップ入力を印加したとき、またはチャネル間を切り替えたとき、またはアンプをコンパレータとして使う場合、大きい V_{GS} 電圧が発生してしまう可能性があります。詳細については、『MUX 対応高精度オペアンプ』アプリケーション・ブリーフを参照してください。

OPAx182 は、大きい差動電圧が印加されたときに大きい入力バイアス電流が発生することを防止するスイッチ入力手法により、これらの問題を解決します。この入力アーキテクチャは、スイッチまたは多重化アプリケーションで見られる多くの問題を解決します。このようなアプリケーションでは、大きい電位差の高速な切り替えによって、RC フィルタリング・ネットワークで大きい混乱が発生します。OPAx182 は、これらの設計の革新により、優れたセティング性能を得るとともに、スルーレートの向上と広い帯域幅を実現しています。OPAx182 は、コンパレータとしても使用できます。差動および同相 **絶対最大定格** は、電源について同様に適用されます。

8.4 デバイスの機能モード

OPAx182 には単一の機能モードがあり、電源電圧が $4.5\text{V} (\pm 2.25\text{V})$ を上回ると動作します。最大電源電圧は、 $36\text{V} (\pm 18\text{V})$ です。

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

OPAx182 オペアンプは、高精度のオフセットとドリフト、優れた全体的性能を兼ね備えているため、多くの高精度アプリケーションに最適です。オフセット・ドリフトの精度はわずか $0.005\mu\text{V}/^\circ\text{C}$ で、温度範囲全体にわたって安定性が得られます。さらに、これらのデバイスは、優れた CMRR、PSRR、および A_{OL} dc 性能と、優れた低ノイズ動作を組み合わせています。すべてのアンプと同様に、ノイズの多い、または高インピーダンスの電源を使用するアプリケーションでは、デバイスのピンの近くにデカップリング・コンデンサが必要です。通常は、 $0.1\mu\text{F}$ のコンデンサが適しています。

以下のアプリケーション例は、OPAx182 を使用できる回路のほんの一部を示しています。

9.2 代表的なアプリケーション

9.2.1 歪みゲージのアナログ線形化

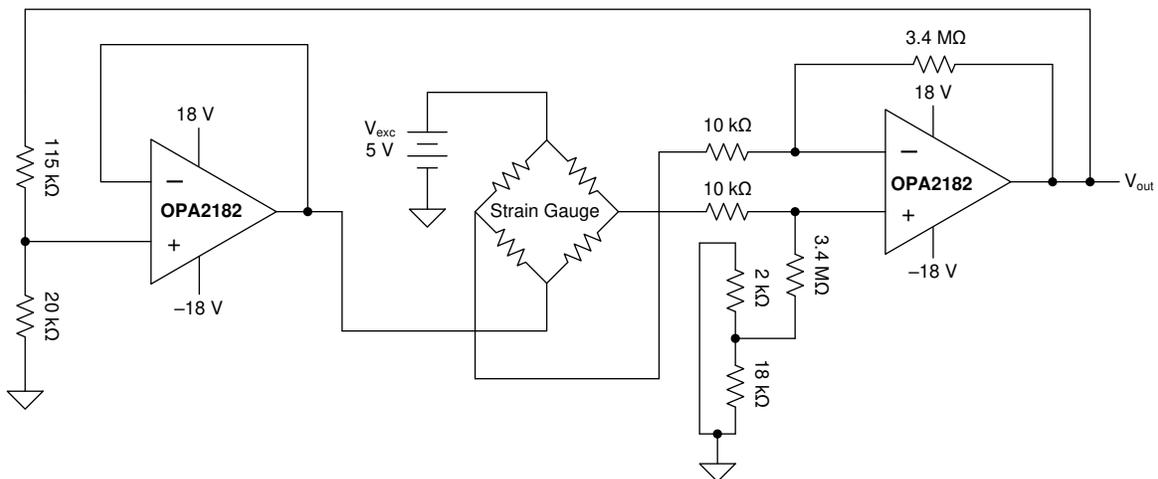


図 9-1. OPA2182 によるブリッジ・センサのアナログ線形化

9.2.1.1 設計要件

歪みゲージは、ホイートストン・ブリッジ構成での電気抵抗を利用して、外部からの力による変形を測定するために使用されます。ホイートストン・ブリッジは、 $\text{m}\Omega$ の範囲で非常に低い抵抗値を正確に測定するために使われます。ブリッジに励起電圧を印加して、ブリッジの中間で出力電圧を測定します。出力電圧の合計変化は比較的小さく、通常は mV の範囲です。したがって、オペアンプを使用して信号を増幅します。OPA2182 は、高精度の増幅を実現するように設計されています。

この設計例では、以下のパラメータを使用します。

- オペアンプの線形出力動作範囲内で使用してください。この範囲は通常、 A_{OL} のテスト条件に記載されています。同相電圧は、入力信号と同じです。
- システムに大きいノイズを発生させないオペアンプを使用します。そうでなければ、ホイートストン・ブリッジからの小さい出力電圧が失われます。
- 入力信号を増幅する必要があるため、入力オフセット電圧 (V_{OS}) が低いオペアンプを使用します
- 入力信号を増幅する必要があるため、必要な増幅を行うのに十分な開ループ・ゲインを持つオペアンプを使用します

9.2.1.2 詳細な設計手順

ブリッジ・センサの信号フロー・モデルを [図 9-2](#) に示します。

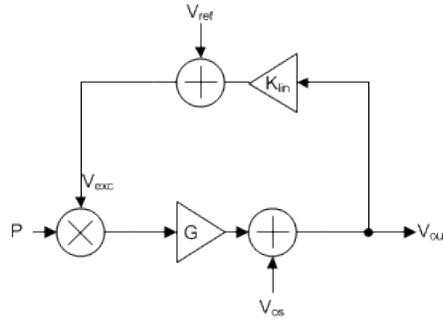


図 9-2. ブリッジ・センサの信号フロー・モデル

ブリッジ・センサは、乗算器としてモデル化され、励起電圧および圧力センサからの入力によって、[式 1](#) で与えられる出力電圧が生成されます。

$$V_{\text{bridge}}(P, V_{\text{exc}}) = V_{\text{exc}} \times K_p(P) \quad (1)$$

K_p はブリッジ・センサの感度であり、通常は mV/V 単位で規定されます。 P はセンサ領域に対する圧力を表し、0 から 1 までのスケールに正規化されています。信号フロー・モデルで与えられた変数を使ってこの式を解くと、その結果として V_{out} は [式 2](#) のようになります。

$$V_{\text{out}}(P) = \frac{V_{\text{OS}} + V_{\text{ref}} \times G \times K_p(P)}{1 - G \times K_{\text{lin}} \times K_p(P)} \quad (2)$$

この式には V_{OS} 、 G 、 K_{lin} という 3 つの変数があり、これを解くには 3 つの式が必要です。これらの式を解くためには、センサについて、無負荷、中間スケール、全負荷条件での K_p の値が必要です。これらの値を使って、システムを線形化できます。

既知の値 K_p を使って、 K_{lin} は、[式 3](#) に示すように計算されます。

$$K_{\text{lin}} = \frac{4 \times B_v \times V_{\text{ref}}}{(V_{\text{out_high}} - V_{\text{out_low}}) - 2 \times B_v \times (V_{\text{out_high}} + V_{\text{out_low}})} \quad (3)$$

この式では、 B_v はブリッジの非直線性を表し、[式 4](#) に示すように計算されます。

$$B_v = \frac{K_p(0.5) - \frac{K_p(1) + K_p(0)}{2}}{K_p(1) - K_p(0)} \quad (4)$$

センサの仕様に基づいて B_v を解いて、この式を使って K_{lin} を求めます。次に、[式 5](#) および [式 6](#) を使ってシステム・ゲインを計算します。

$$V_{\text{out_high}} = \frac{V_{\text{OS}} + V_{\text{ref}} \times G \times K_p(1)}{1 - G \times K_{\text{lin}} \times K_p(1)} \quad (5)$$

$$V_{\text{out_low}} = \frac{V_{\text{OS}} + V_{\text{ref}} \times G \times K_p(0)}{1 - G \times K_{\text{lin}} \times K_p(0)} \quad (6)$$

この2つの式で V_{OS} を求めて、まとめると式 7 が得られます。

$$V_{out_high}(1-G \times K_{lin} \times K_p(1)) - V_{ref} \times G \times K_p(1) = V_{out_low}(1-G \times K_{lin} \times K_p(0)) - V_{ref} \times G \times K_p(0) \quad (7)$$

これを解いて G を求めれば、式 8 が得られます。

$$G = \frac{V_{out_high} - V_{out_low}}{K_p(1) \times (K_{lin} \times V_{out_high} + V_{ref}) - K_p(0) \times (K_{lin} \times V_{out_low} + V_{ref})} \quad (8)$$

K_{lin} と G が計算されたので、 V_{OS} は式 9 に示すようになります。

$$V_{OS} = V_{out_low}(1-G \times K_{lin} \times K_p(0)) - V_{ref} \times G \times K_p(0) \quad (9)$$

無負荷時の K_p が 0.0003mV/V、中間スケール 0.0017mV/V、および 0.00289mV/V のセンサの場合、対応する非直線性は約 4%です。 K_{lin} 、 G 、 V_{OS} を求めると、表 9-1 に示す値が得られます。

表 9-1.ブリッジ計算の例

K_{lin}	0.173913
G	323.8178
V_{OS}	-0.48573

9.2.1.3 アプリケーション曲線

先に使用したのと同じ K_p 値を使用して、シミュレーションします。ブリッジの非直線性は 4% ピーク、出力は 0V から 5V まで線形、補正したシステムの非直線性は 約±0.1% です。

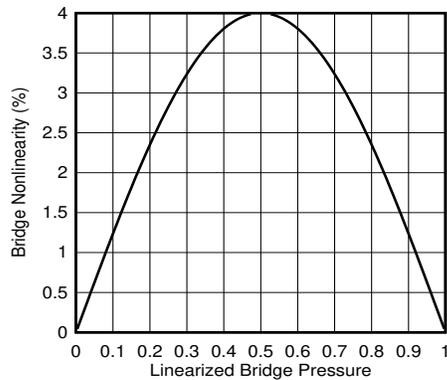


図 9-3.ブリッジの非直線性

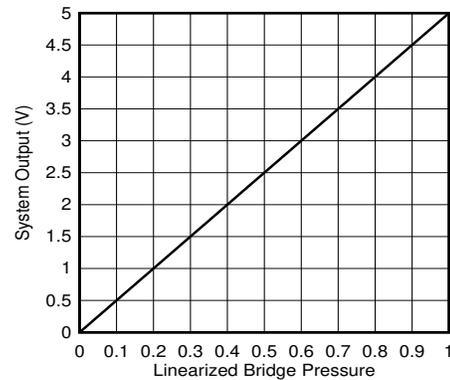


図 9-4.ブリッジ出力

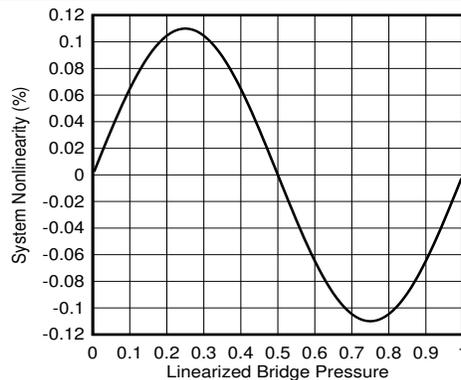
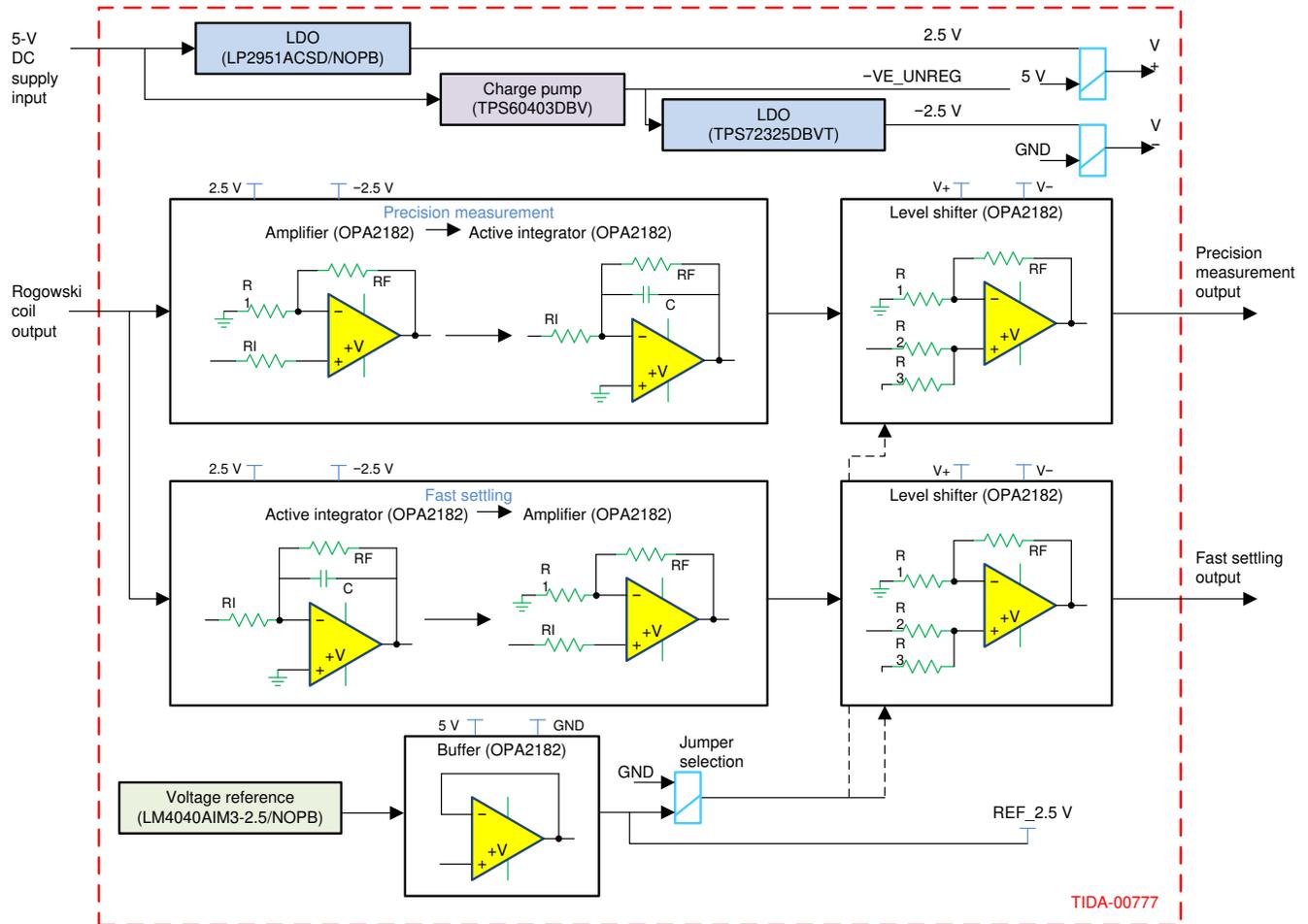


図 9-5. システムの非直線性

9.2.2 ログスキー・コイル積分器

図 9-6 に、ログスキー・コイルのためのアクティブ積分器、レベル・シフタ、高精度電圧リファレンス・バッファとして構成された OPA2182 を示します。この回路は、保護リレーの電流を高精度で間接的に測定するために使用されます。このデザインには 2 つの主な信号パスがあります。1 つ目のパスを使用してログスキー・コイルを流れる電流を正確に測定し、もう 1 つの高速パスを使用して短絡などの高速過渡を検出します。OPA2182 は、低いオフセット電圧 ($0.45\mu\text{V}$) とオフセット・ドリフト ($0.003\mu\text{V}/^\circ\text{C}$) により、キャリブレーションの必要性を最小限に抑え、全温度範囲にわたって高い精度を維持することができるので、このアプリケーションに最適です。また、このデバイスは DC を含む広い周波数範囲にわたってノイズが平坦であり、ログスキー・コイルからの幅広い入力電流にわたって精度と再現性を向上させます。この設計の詳細については、『リレーおよびブレーカ向けの精度を向上させたログスキー・コイル用アクティブ積分器のリファレンス・デザイン』を参照してください。



Copyright © 2016, Texas Instruments Incorporated

図 9-6. プログラマブル電源

9.2.3 システム例

9.2.3.1 24 ビット、デルタ・シグマ、差動ロード・セルまたは歪みゲージ・センサの信号コンディショニング

OPA2182 は、ADS1225 とあわせて、24 ビットの差動ロード・セルまたは歪みゲージ・センサの信号コンディショニング・システムで使用されます。OPA2182 アンプは、2 個の計測アンプ (IA) で構成されており、帯域制限によりノイズを低減し、大きな容量性負荷の駆動を可能にします。ロード・セルには、5V の励起電圧 (V_{EX}) から電力が供給され、作用する力に比例する差動電圧が得られます。差動電圧は非常に小さく、両方の出力が $V_{EX} / 2$ にバイアスされています。

この例では、優れた入力オフセット電圧 ($0.45\mu\text{V}$) と入力オフセット電圧ドリフト ($0.003\mu\text{V}/^\circ\text{C}$)、低い広帯域ノイズ ($5.7\text{nV}/\sqrt{\text{Hz}}$)、ゼロフリッカー・ノイズ、優れた直線性、高い入力インピーダンスにより、OPA2182 を採用しています。アンプ 2 個の IA 構成により、DC バイアスを除去し、目的の差動信号を増幅し、24 ビットのデルタ・シグマ ADS1225 A/D コンバータ (ADC) を駆動してアキュイジションと変換を行います。ADS1225 は、100SPS のデータ・レート、シングル・サイクル・セトリング、および専用のスタート・ピン付きのシンプルな変換制御機能を備えています。

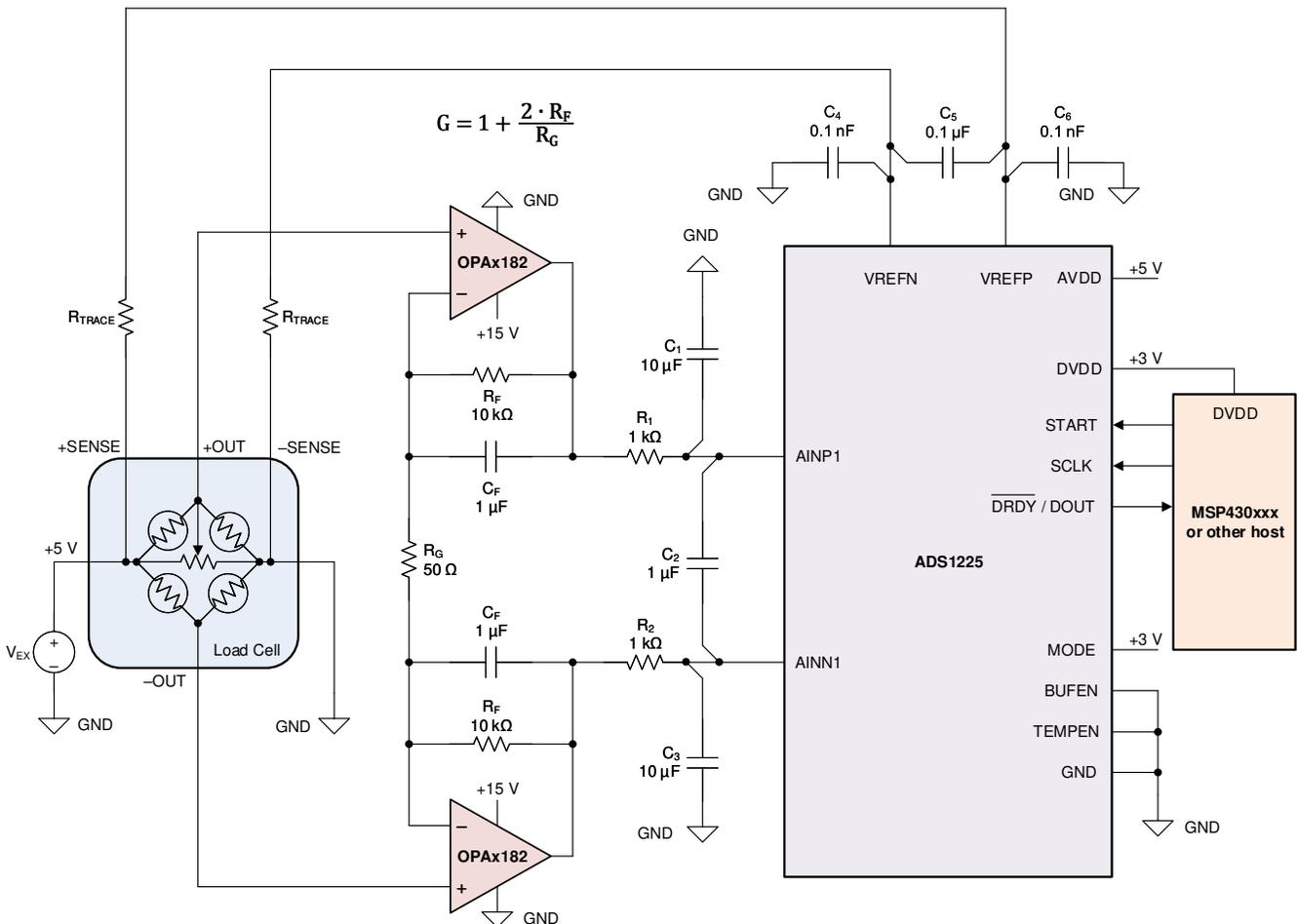


図 9-7. 24 ビット差動ロード・セルまたは歪みゲージ・センサの信号コンディショニング回路図

9.3 電源に関する推奨事項

OPAx182 は、4.5V～36V ($\pm 2.25V \sim \pm 18V$) での動作が規定されています。多くの仕様は、 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ で適用されます。「代表的特性」セクションには、動作電圧または温度によって大きな変動を示す可能性のあるパラメータが記載されています。

注意

40V を超える電源電圧を印加すると、デバイスに永続的な損傷を与える可能性があります。「絶対最大定格」を参照してください。

電源ピンの近くに $0.1\mu\text{F}$ のバイパス・コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源から混入する誤差を低減できます。バイパス・コンデンサの配置の詳細については、「レイアウト」セクションを参照してください。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

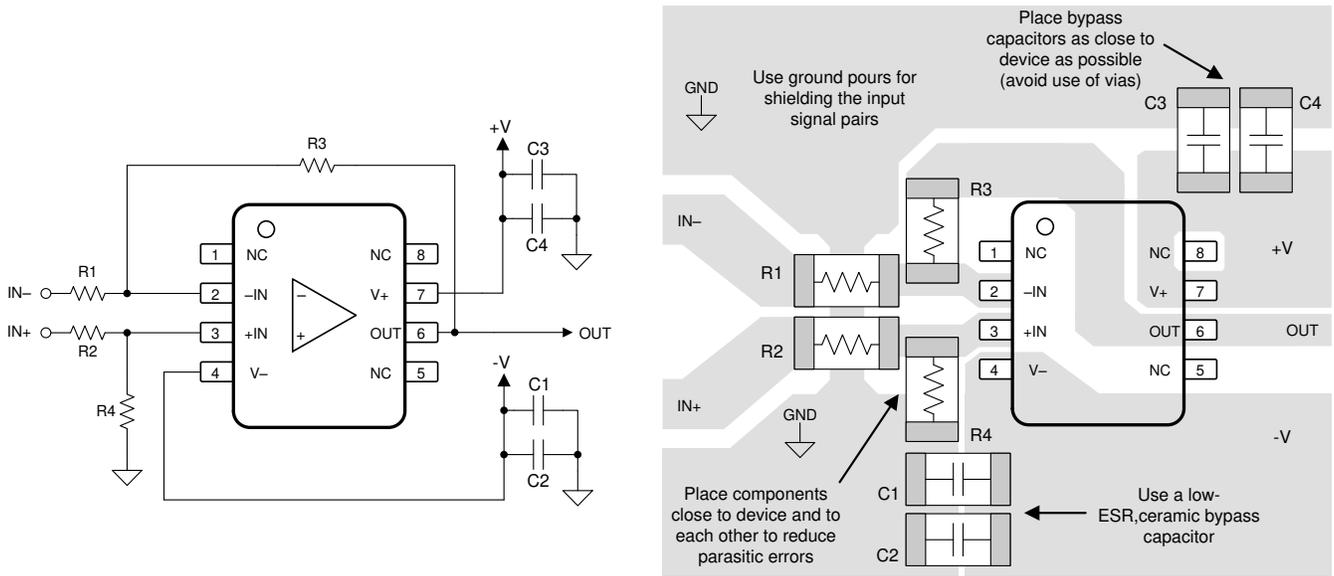
デバイスで最高の動作性能を実現するため、以下のような優れた PCB レイアウト手法を使用してください。

- ノイズが、回路全体とオペアンプ自体の電源ピンを経由して、アナログ回路に伝播することがあります。バイパス・コンデンサは、アナログ回路に対して局所的に低インピーダンスの電源を供給することにより、結合ノイズを低減します。
 - 各電源ピンとグラウンドの間に低 ESR $0.1\mu\text{F}$ のセラミック・バイパス・コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、 $V+$ からグラウンドに対して 1 つのバイパス・コンデンサを接続します。
- 回路のアナログ部分とデジタル部分のグラウンドを分離することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグラウンド・プレーン専用です。グラウンド・プレーンは熱の分散に役立つとともに、EMI ノイズを拾う可能性を低減します。グラウンド電流の流れに注意して、デジタル・グラウンドとアナログ・グラウンドを物理的に確実に分離するようにします。詳細については、『PCB はオペアンプ設計のコンポーネント』を参照してください。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらの配線を分離して配置できない場合、敏感な配線をノイズの多い配線と平行にするよりは、垂直に交差させる方がはるかに良い結果が得られます。
- デカップリング・コンデンサをデバイスのできるだけ近くに配置します。図 9-10 に示すように、寄生容量を最小限に抑えるため、RF と RG は反転入力の上に配置します。
- 入力配線は、できる限り短くします。入力配線は、回路の最も敏感な部分であることに常に注意してください。
- 重要な配線の周囲に、駆動される低インピーダンスのガード・リングを配置することを検討します。ガード・リングを使用すると、付近に存在する、さまざまな電位の配線からのリーク電流を大幅に低減できます。
- 基板組み立ての後、PCB を洗浄します。
- 高精度の集積回路では、プラスチック・パッケージへの水分の侵入により性能が変化する場合があります。PCB を水で洗浄した後で、PCB アセンブリをベーキングして、洗浄中にデバイスのパッケージに取り込まれた水分を除去します。ほとんどの場合、洗浄後に 85°C で 30 分間の低温ベーキングを行えば十分です。

オフセット電圧を最小限に抑えるため、異なる導体の接続部に形成される熱電対接合部で熱電効果 (ゼーベック効果) が発生するような温度勾配を避けます。

- 熱電係数の低い条件を使用します (異なる金属は避けてください)。
- 電源や他の熱源から部品を熱的に絶縁します。
- オペアンプおよび入力回路を、冷却ファンなどの空気流から遮蔽します。

9.4.2 レイアウト例



Copyright © 2017, Texas Instruments Incorporated

図 9-10. 差動アンプ構成のオペアンプ基板のレイアウト

10 デバイスおよびドキュメントのサポート

10.1 デバイスのサポート

10.1.1 開発サポート

10.1.1.1 PSpice® for TI

PSpice® for TI は、アナログ回路の性能評価に役立つ設計およびシミュレーション環境です。レイアウトと製造に移る前に、サブシステムの設計とプロトタイプ・ソリューションを作成することで、開発コストを削減し、市場投入までの期間を短縮できます。

10.1.1.2 TINA-TI™ シミュレーション・ソフトウェア (無償ダウンロード)

TINA-TI™ シミュレーション・ソフトウェアは、SPICE エンジンに基づいた単純かつ強力な、使いやすい回路シミュレーション・プログラムです。TINA-TI シミュレーション・ソフトウェアは、TINA™ ソフトウェアのすべての機能を持つ無償バージョンで、パッシブ・モデルとアクティブ・モデルに加えて、マクロモデルのライブラリがプリロードされています。TINA-TI シミュレーション・ソフトウェアには、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

TINA-TI シミュレーション・ソフトウェアは設計ツールとシミュレーション Web ページから無料でダウンロードでき、ユーザーが結果をさまざまな方法でフォーマットできる、広範な後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプローブして、動的なクイック・スタート・ツールを作成できます。

注

これらのファイルを使用するには、TINA ソフトウェアまたは TINA-TI ソフトウェアがインストールされている必要があります。TINA-TI™ ソフトウェア・フォルダから、無償の TINA-TI シミュレーション・ソフトウェアをダウンロードしてください。

10.1.1.3 TI のリファレンス・デザイン

TI のリファレンス・デザインは、TI の高精度アナログ・アプリケーション専門家により作成されたアナログ・ソリューションです。TI のリファレンス・デザインは、動作原理、部品の選択、シミュレーション、完全な PCB 回路図およびレイアウト、部品表、測定済みの性能を提供します。TI のリファレンス・デザインは、<http://www.ti.com/ww/en/analog/precision-designs/> からオンラインで入手できます。

10.2 ドキュメントのサポート

10.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『ゼロドリフト・アンプ: 特長と利点』アプリケーション・レポート
- テキサス・インスツルメンツ、『PCB はオペアンプ設計のコンポーネント』テクニカル・ブリーフ
- テキサス・インスツルメンツ、『オペアンプのゲイン安定性、第 3 部: AC ゲイン誤差の分析』テクニカル・ブリーフ
- テキサス・インスツルメンツ、『オペアンプのゲイン安定性、第 2 部: DC ゲイン誤差の分析』テクニカル・ブリーフ
- テキサス・インスツルメンツ、『完全差動アクティブ・フィルタにおける無限ゲイン、MFB フィルタ・トポロジの使用』テクニカル・ブリーフ
- テキサス・インスツルメンツ、『オペアンプの性能分析』アプリケーション・レポート
- テキサス・インスツルメンツ、『オペアンプの単一電源動作』アプリケーション・レポート
- テキサス・インスツルメンツ、『アンプのチューニング』アプリケーション・レポート
- テキサス・インスツルメンツ、『鉛フリー仕上げ部品の保管寿命評価』アプリケーション・レポート
- テキサス・インスツルメンツ、『フィードバック・プロットによるオペアンプ AC 性能の定義』アプリケーション・レポート
- テキサス・インスツルメンツ、『オペアンプの EMI 除去率』アプリケーション・レポート
- テキサス・インスツルメンツ、『測温抵抗体のアナログ線形化』テクニカル・ブリーフ
- テキサス・インスツルメンツ、『TI 高精度設計 TIPD102 ハイサイド電圧・電流 (V-I) コンバータ』リファレンス・ガイド

10.3 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on [ti.com](https://www.ti.com). Click on *Subscribe to updates* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

10.4 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の [使用条件](#) を参照してください。

10.5 商標

TINA-TI™ and TI E2E™ are trademarks of Texas Instruments.

TINA™ is a trademark of DesignSoft, Inc.

Bluetooth® is a registered trademark of Bluetooth SIG, Inc.

PSPICE® is a registered trademark of Cadence Design Systems, Inc.

すべての商標は、それぞれの所有者に帰属します。

10.6 Electrostatic Discharge Caution



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

10.7 Glossary

[TI Glossary](#) This glossary lists and explains terms, acronyms, and definitions.

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA182IDBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	2RXQ
OPA182IDBVR.B	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	2RXQ
OPA182IDBVT	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	2RXQ
OPA182IDBVT.B	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	2RXQ
OPA182IDR	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	OP182
OPA182IDR.B	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	OP182
OPA182IDT	Active	Production	SOIC (D) 8	250 SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	OP182
OPA182IDT.B	Active	Production	SOIC (D) 8	250 SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	OP182
OPA2182ID	Active	Production	SOIC (D) 8	75 TUBE	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	OP2182
OPA2182ID.B	Active	Production	SOIC (D) 8	75 TUBE	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	OP2182
OPA2182IDGKR	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	26RQ
OPA2182IDGKR.B	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	26RQ
OPA2182IDGKT	Active	Production	VSSOP (DGK) 8	250 SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	26RQ
OPA2182IDGKT.B	Active	Production	VSSOP (DGK) 8	250 SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	26RQ
OPA2182IDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	OP2182
OPA2182IDR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	OP2182
OPA4182IDR	Active	Production	SOIC (D) 14	3000 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	OP4182
OPA4182IDR.B	Active	Production	SOIC (D) 14	3000 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	OP4182
OPA4182IDT	Active	Production	SOIC (D) 14	250 SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	OP4182
OPA4182IDT.B	Active	Production	SOIC (D) 14	250 SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	OP4182

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

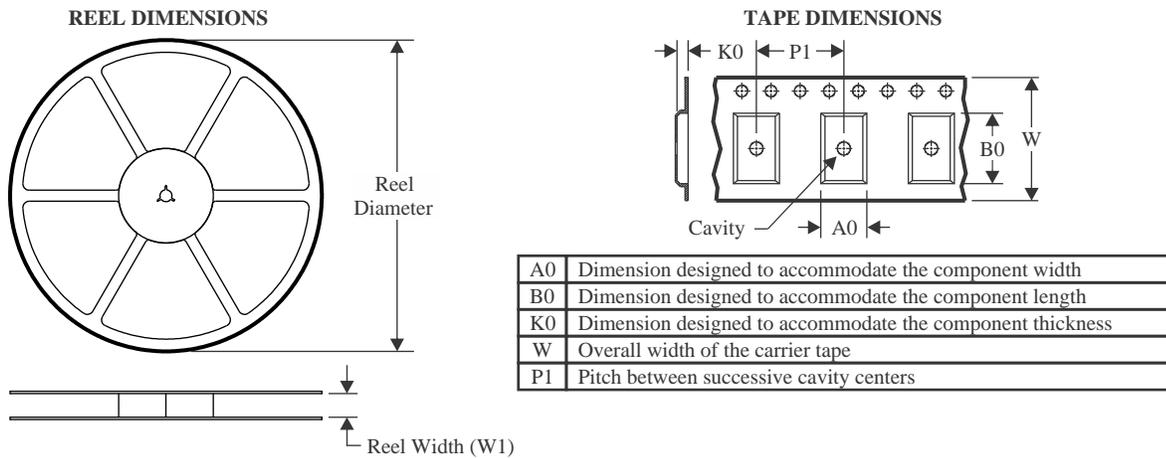
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

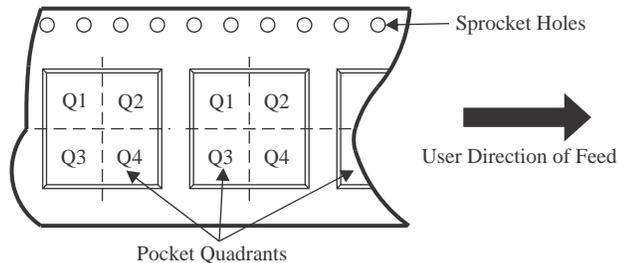
Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

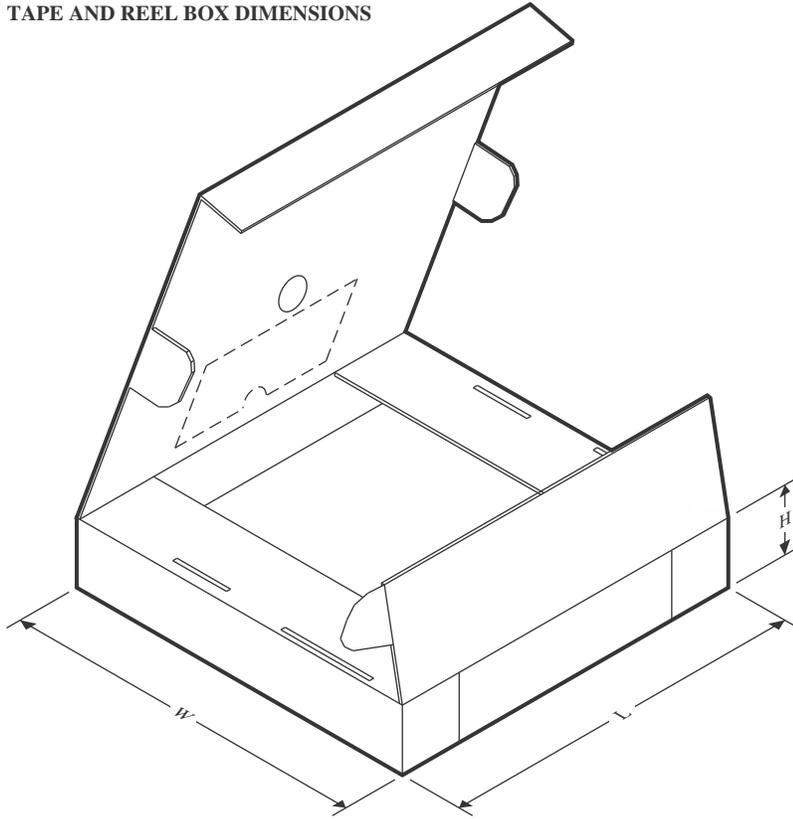


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



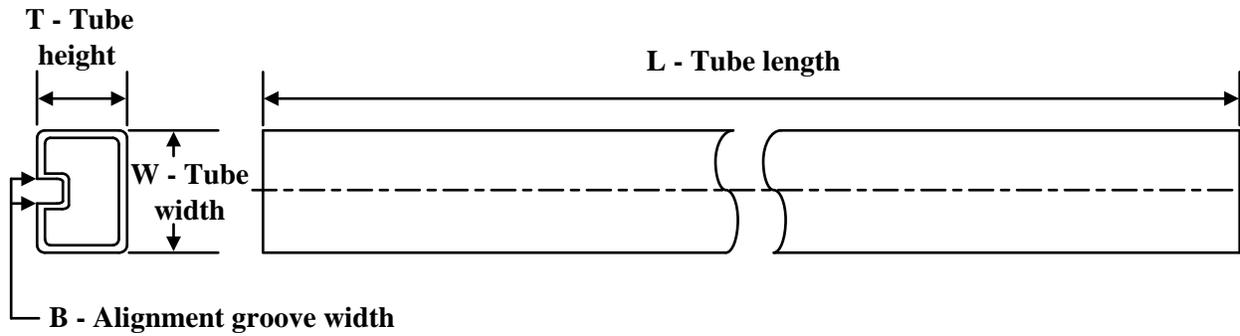
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA182IDBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
OPA182IDBVT	SOT-23	DBV	5	250	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
OPA182IDR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA182IDT	SOIC	D	8	250	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2182IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
OPA2182IDGKT	VSSOP	DGK	8	250	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
OPA2182IDR	SOIC	D	8	2500	330.0	12.8	6.4	5.2	2.1	8.0	12.0	Q1
OPA4182IDR	SOIC	D	14	3000	330.0	16.4	6.5	9.5	2.3	8.0	16.0	Q1
OPA4182IDT	SOIC	D	14	250	330.0	16.4	6.5	9.5	2.3	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA182IDBVR	SOT-23	DBV	5	3000	190.0	190.0	30.0
OPA182IDBVT	SOT-23	DBV	5	250	190.0	190.0	30.0
OPA182IDR	SOIC	D	8	3000	366.0	364.0	50.0
OPA182IDT	SOIC	D	8	250	366.0	364.0	50.0
OPA2182IDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
OPA2182IDGKT	VSSOP	DGK	8	250	366.0	364.0	50.0
OPA2182IDR	SOIC	D	8	2500	366.0	364.0	50.0
OPA4182IDR	SOIC	D	14	3000	366.0	364.0	50.0
OPA4182IDT	SOIC	D	14	250	366.0	364.0	50.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
OPA2182ID	D	SOIC	8	75	509	7.9	3800	2.81
OPA2182ID.B	D	SOIC	8	75	509	7.9	3800	2.81

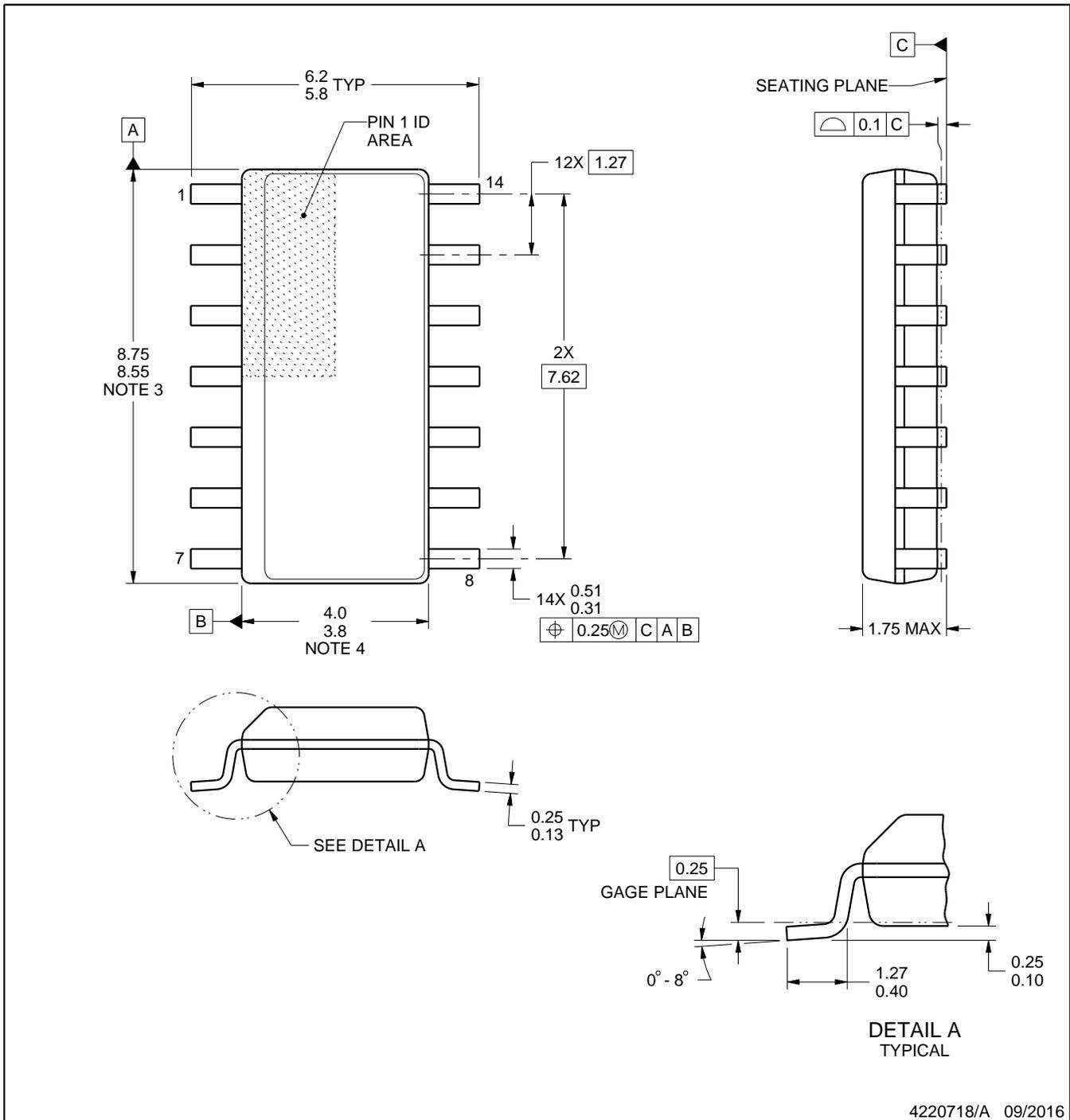


D0014A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

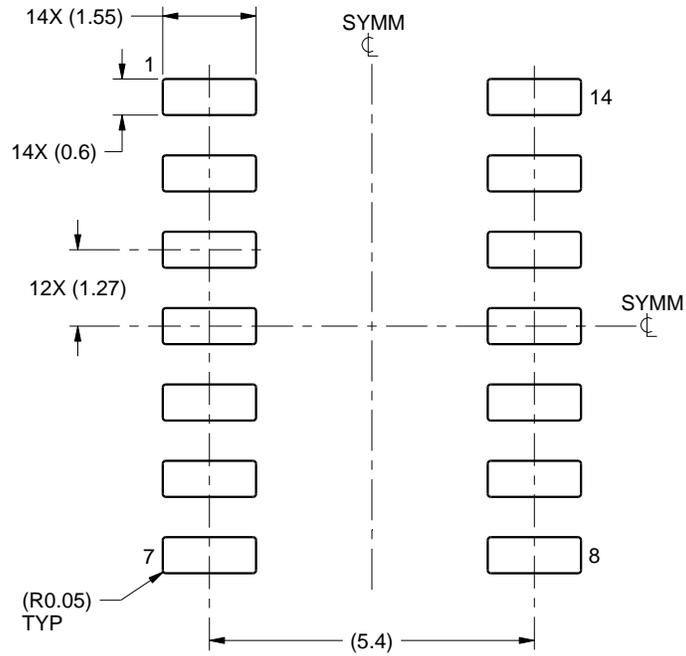
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

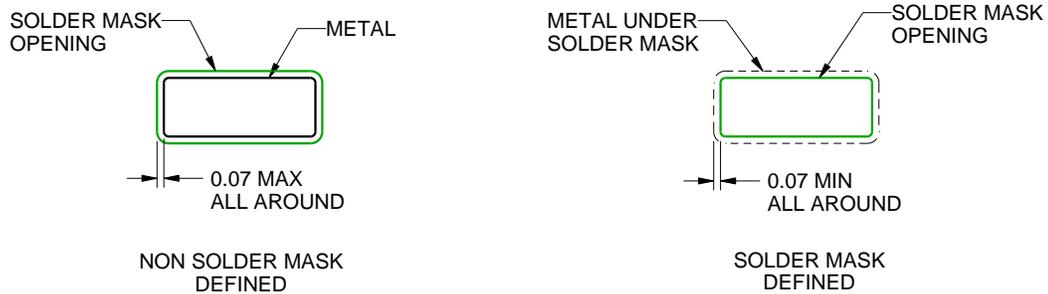
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

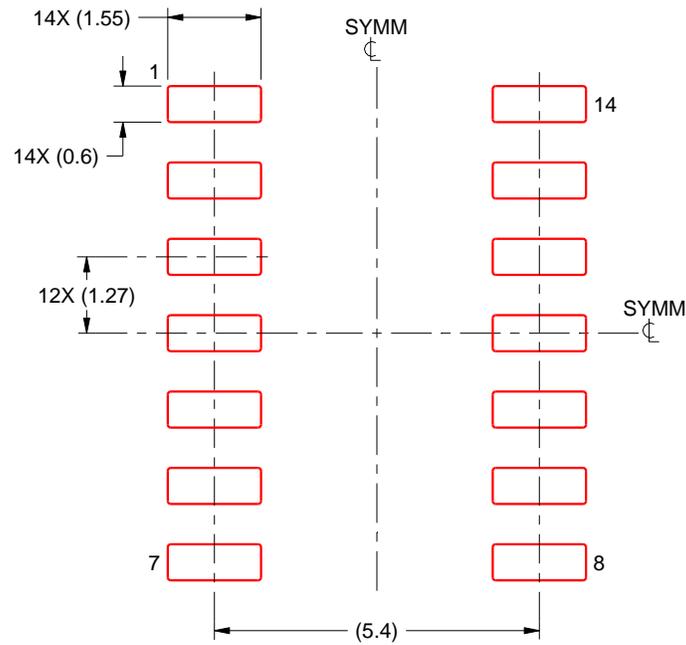
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

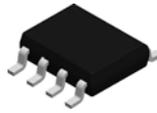


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

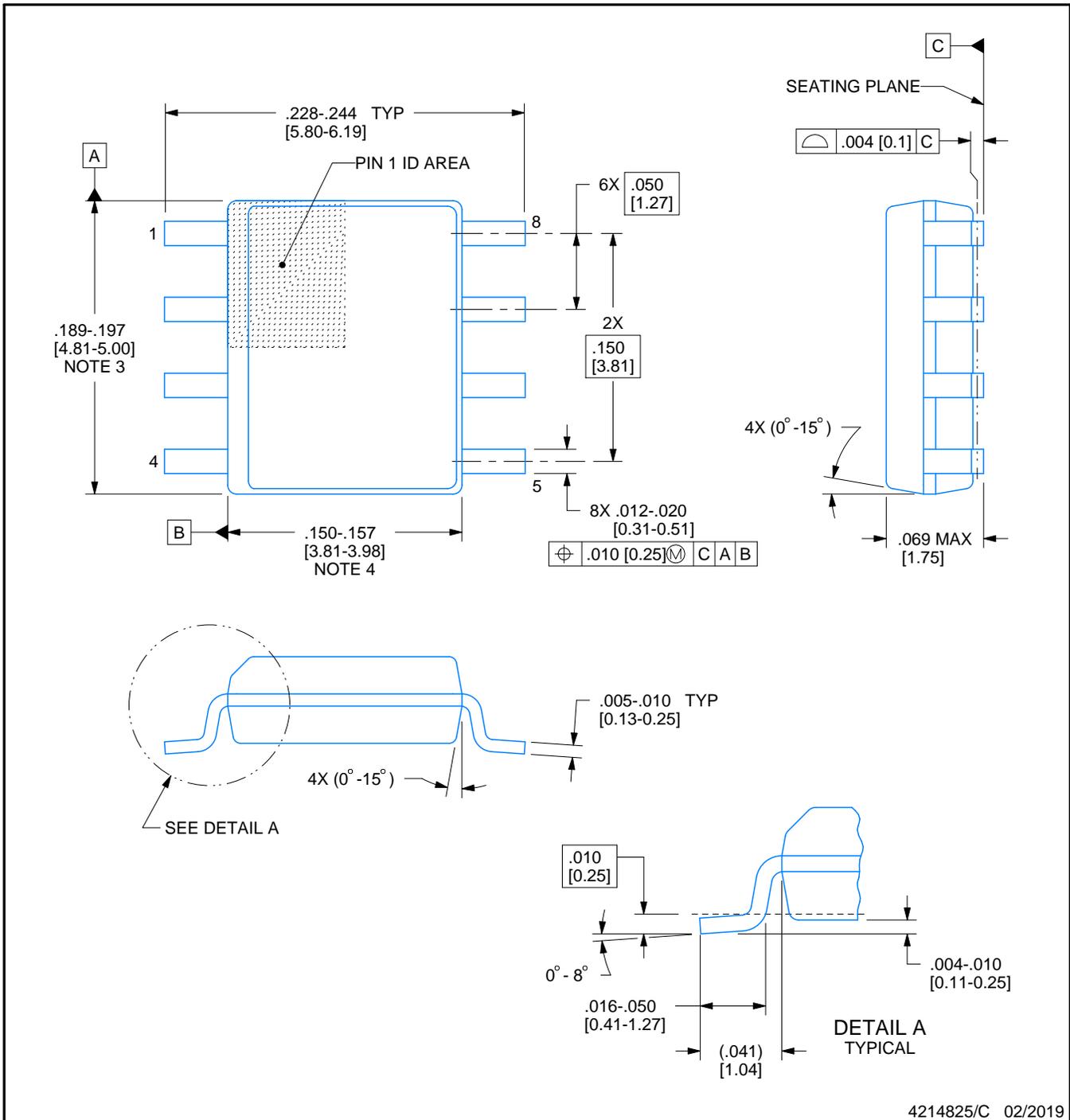


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

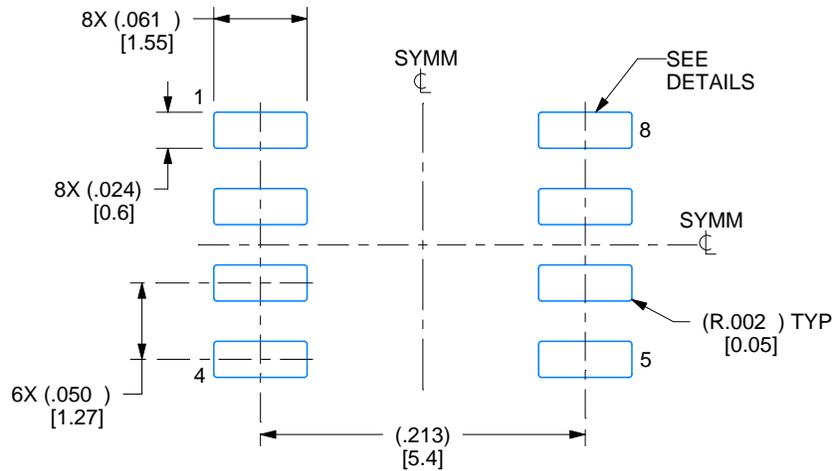
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed $.006$ [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

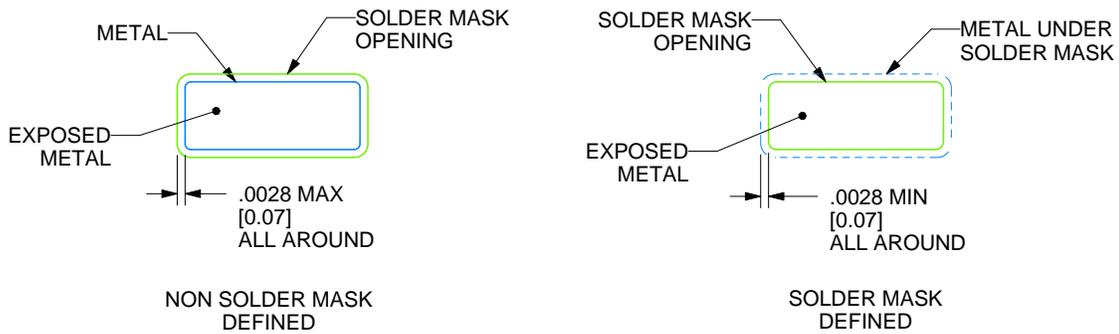
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
 EXPOSED METAL SHOWN
 SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

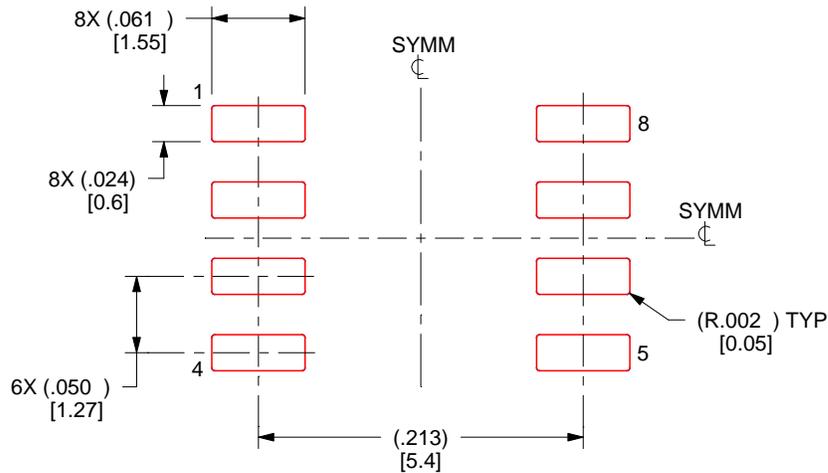
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

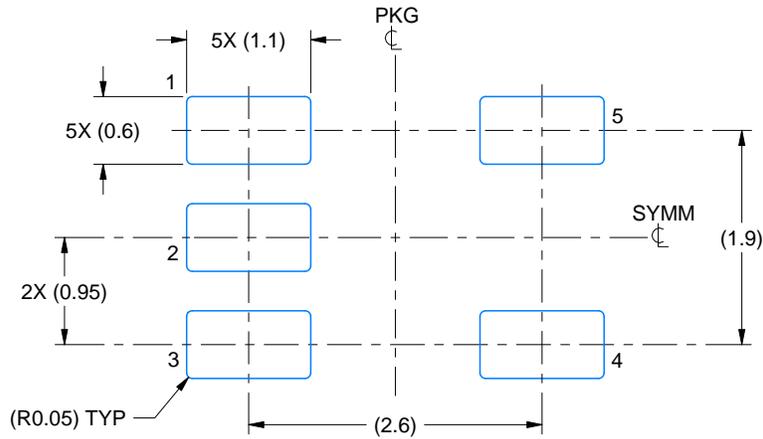
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

EXAMPLE BOARD LAYOUT

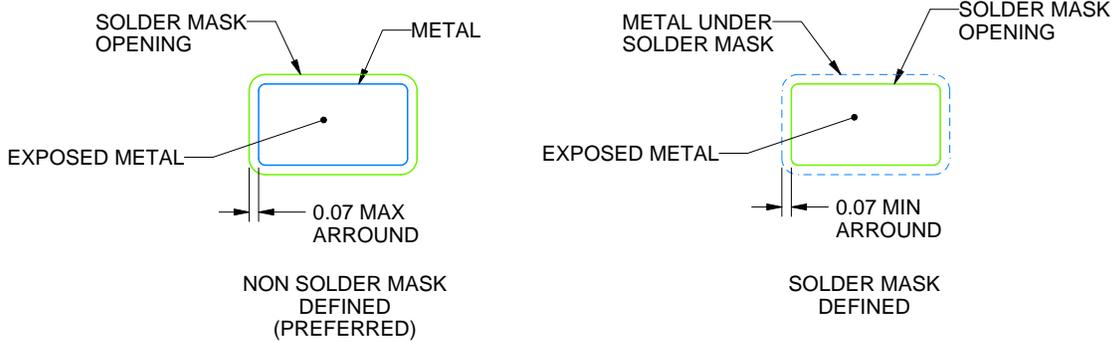
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

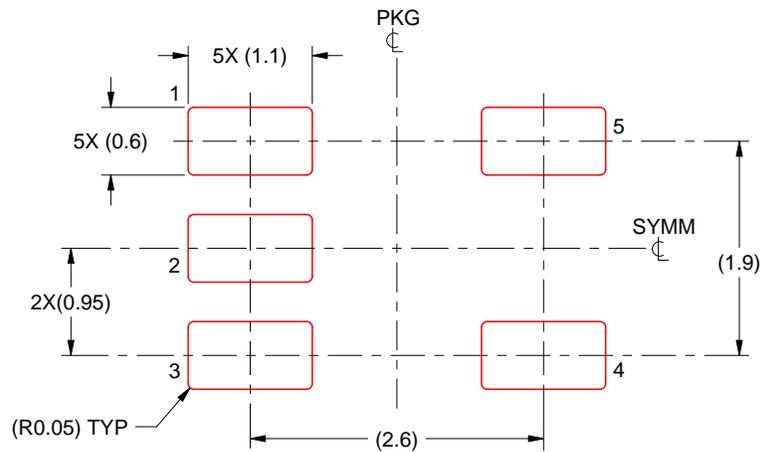
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



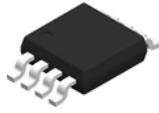
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

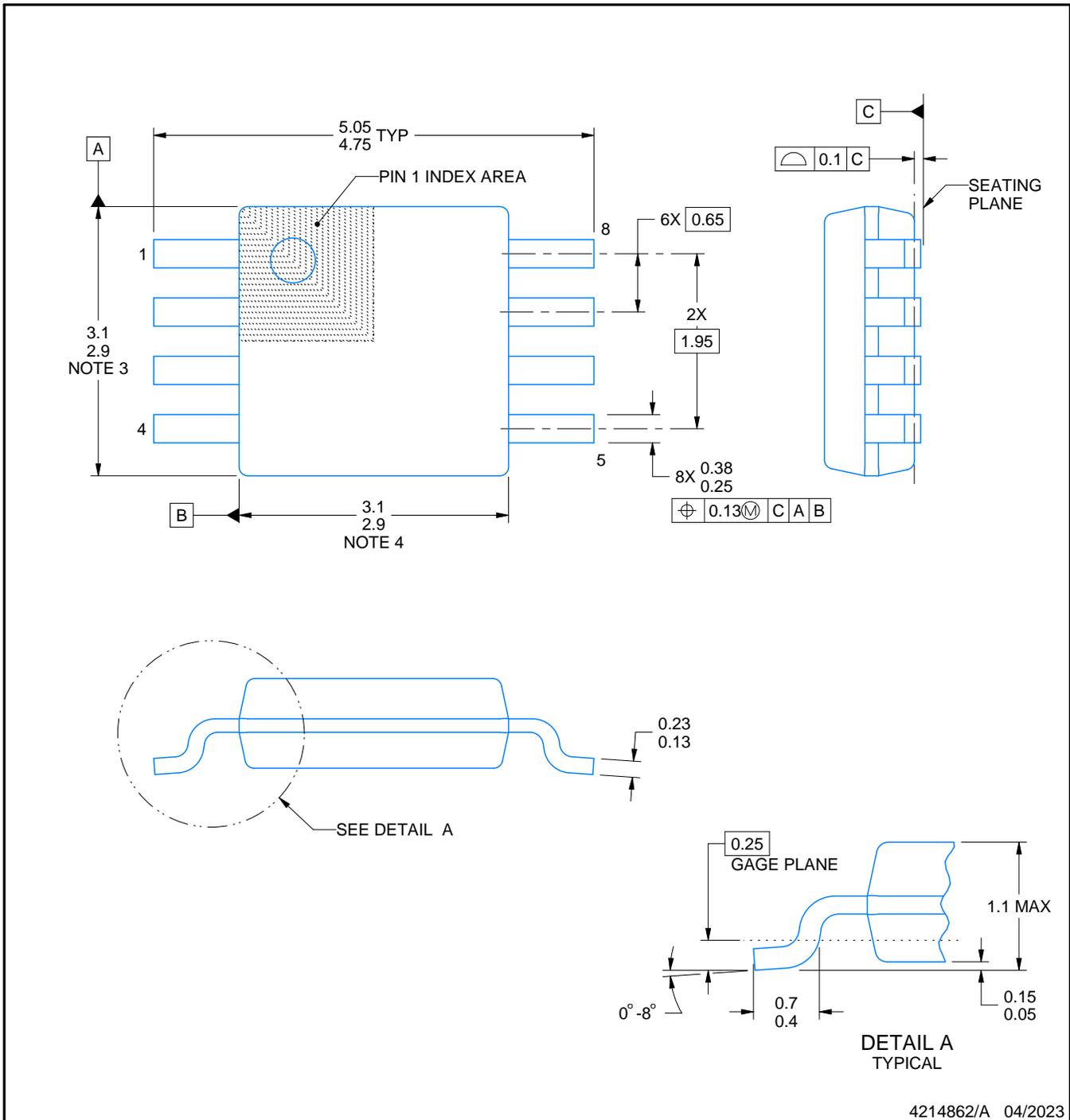
DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES:

PowerPAD is a trademark of Texas Instruments.

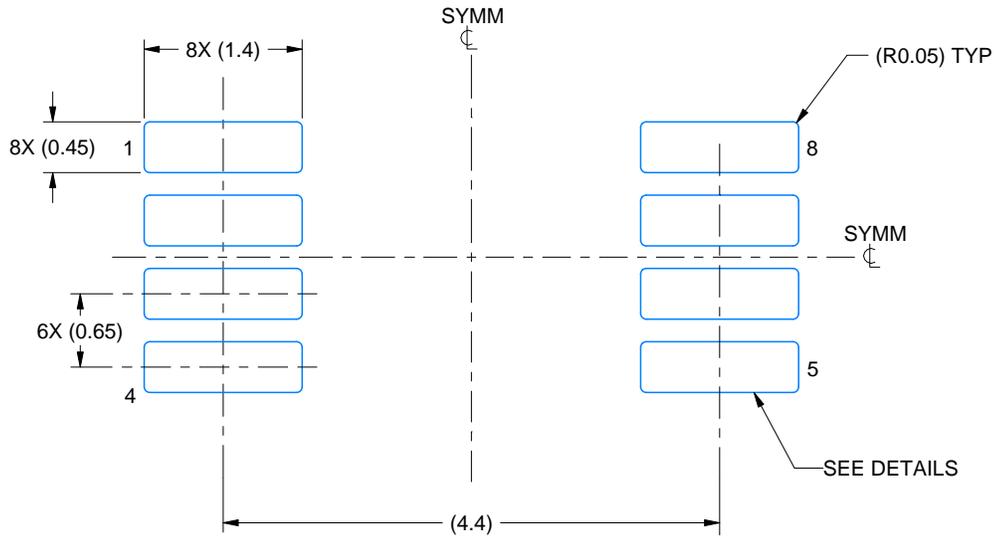
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

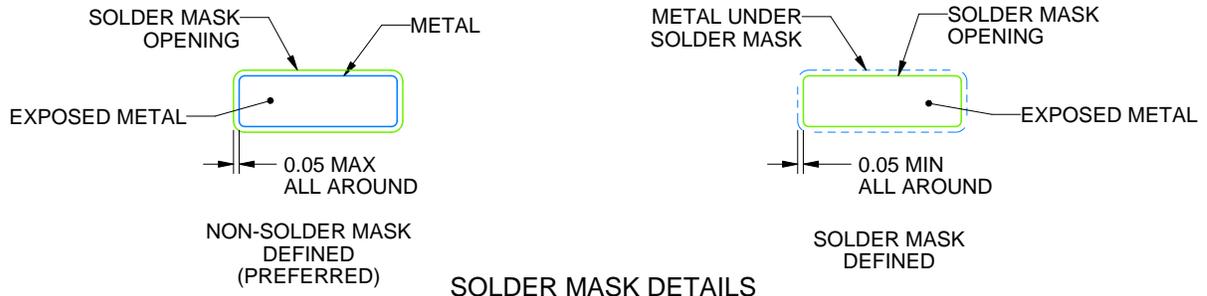
DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

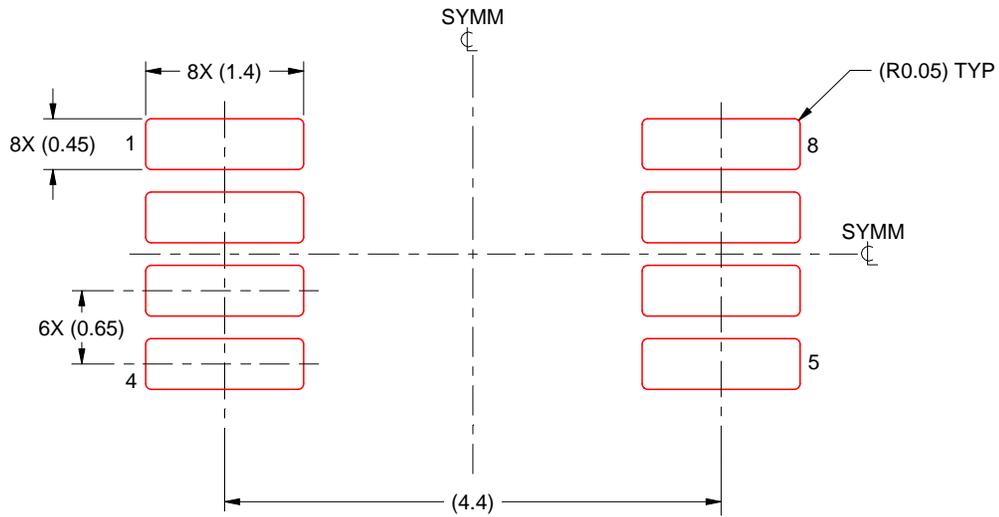
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、ます。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated