

OPA177 オフセット・ドリフト $0.1\mu\text{V}/^\circ\text{C}$ 、オフセット $10\mu\text{V}$ 、低ノイズ、バイポーラ・オペアンプ

1 特長

- 低いオフセット電圧： $25\mu\text{V}$ (最大値)
- 低いオフセット電圧ドリフト： $0.3\mu\text{V}/^\circ\text{C}$ (最大値)
- 高いオープン・ループ・ゲイン： 134dB (最小値)
- 低静止電流： 1.3mA (標準値)
- 低入力バイアス $\pm 2\text{nA}$ (最大値)
- 広い電源電圧範囲： $6\text{V} \sim 36\text{V}$
- 以下の業界標準のオペアンプの代用：OP-07、OP-77、OP-177、AD707 など
- $\pm 40\text{V}$ の過電圧保護の性能を改善するには、[OPA206](#) を参照

2 アプリケーション

- [アナログ入力モジュール](#)
- [データ・アキュイジション \(DAQ\)](#)
- [バッテリー試験装置](#)
- [実験室およびフィールド計測](#)
- [温度トランスミッタ](#)

3 概要

OPA177 高精度バイポーラ・オペアンプは、オフセット電圧とドリフトが非常に小さいことを特長としています。レーザ・トリムされたオフセット、ドリフト、入力バイアス電流により、コストのかかる外部トリミングが事実上不要になります。高性能と低コストにより、これらのデバイスはさまざまな高精度計測機器に最適です。

OPA177 は静止電流が低いため、入力相互接続における熱電気的効果によるウォームアップ・ドリフトと誤差を大幅に低減できます。OPA177 は、チョッパ安定化アンプの効果的な代替品です。OPA177 はノイズが低いため、最大のシグナル・インテグリティの維持を可能にします。

OPA177 の性能グレード・アウトが利用可能です。パッケージ・オプションとして、8 ピンのプラスチック DIP および SO-8 表面実装パッケージを用意しています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ・サイズ ⁽²⁾
OPA177	D (SOIC, 8)	4.9mm × 6mm
	P (PDIP, 8)	9.81mm × 9.43mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- (2) パッケージ・サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

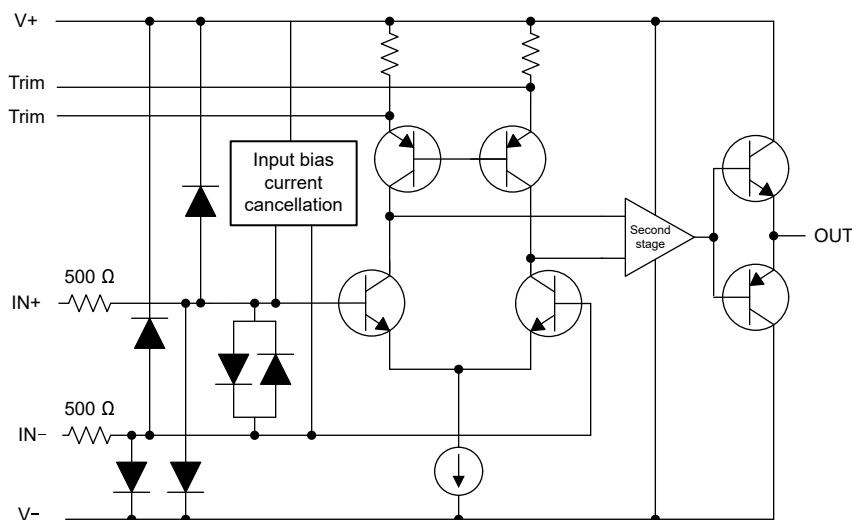


Table of Contents

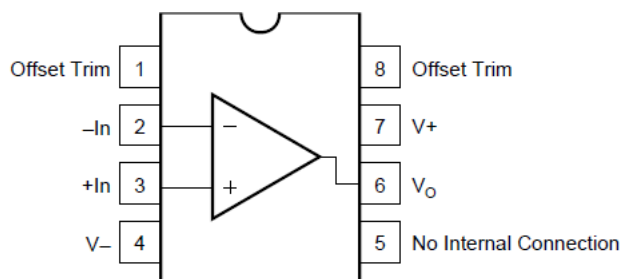
1 特長	1	7 Application and Implementation	10
2 アプリケーション	1	7.1 Application Information.....	10
3 概要	1	7.2 Typical Application.....	11
4 Revision History	2	8 Device and Documentation Support	12
5 Pin Configuration and Functions	3	8.1 デバイスのサポート.....	12
6 Specifications	4	8.2 ドキュメントの更新通知を受け取る方法.....	13
6.1 Absolute Maximum Ratings.....	4	8.3 サポート・リソース.....	13
6.2 ESD Ratings.....	4	8.4 Trademarks.....	13
6.3 Recommended Operating Conditions.....	4	8.5 静電気放電に関する注意事項.....	13
6.4 Thermal Information.....	4	8.6 用語集.....	13
6.5 Electrical Characteristics.....	5	9 Mechanical, Packaging, and Orderable Information ..	13
6.6 Typical Characteristics.....	7		

4 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (September 2000) to Revision A (September 2023)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
明確化のためデータシートのタイトルを変更.....	1
「パッケージ情報」の表、「代表的なアプリケーション、デバイスとドキュメントのサポート、メカニカル、パッケージ、および注文情報」のセクションを追加.....	1
「特長」の箇条書き項目を追加し、電気的特性に合わせていくつかの仕様を更新.....	1
リンクされたアプリケーションを表示するようにアプリケーションの箇条書き項目を変更.....	1
明確化のために説明文を変更.....	1
表紙の図を更新.....	1
Added pin functions table.....	3
Changed supply voltage from $\pm 22\text{ V}$ (44 V) to 40 V in <i>Absolute Maximum Ratings</i>	4
Moved operating temperature from <i>Absolute Maximum Ratings</i> to <i>Recommended Operating Conditions</i>	4
Deleted lead temperature from <i>Absolute Maximum Ratings</i>	4
Moved junction to ambient thermal information from <i>Absolute Maximum Ratings</i> to <i>Thermal Information</i>	4
Added <i>ESD Ratings</i> and <i>Thermal Information</i>	4
Changed several parameter names for consistency with modern data sheets in <i>Electrical Characteristics</i>	5
Updated the format of <i>Electrical Characteristics</i>	5
Added test conditions to the header of <i>Electrical Characteristics</i>	5
Moved test conditions from condition column to the header of <i>Electrical Characteristics</i>	5
Changed open-loop voltage gain unit from V/mV to dB in <i>Electrical Characteristics</i>	5
Changed large signal voltage gain to open-loop voltage gain in <i>Electrical Characteristics</i>	5
Changed Power Supply parameters no load test condition to $I_O = 0\text{ A}$ in <i>Electrical Characteristics</i>	5
Updated quiescent current maximum over temperature specification value from 25 mA (typo) to $\pm 2.5\text{ mA}$	5
Changed supply current to quiescent current in <i>Electrical Characteristics</i>	5
Added information about integrated overvoltage protection including OPAx206 to Input Protection.....	10
Updated Noise Performance with new products such as the OPAx828, OPAx140, and OPAx210.....	10
Changed operational amplifier recommendations to reflect new product developments.....	10

5 Pin Configuration and Functions



**図 5-1. D Package, 8-Pin SOIC
and P Package, 8-Pin PDIP
(Top View)**

表 5-1. Pin Functions

PIN		TYPE	DESCRIPTION
NAME	NO.		
+In	3	Input	Noninverting input
-In	2	Input	Inverting input
No Internal Connection	5	—	No internal connection (can be left floating)
Offset Trim	1, 8	—	Input offset voltage trim (leave floating if not used)
V+	7	Power	Positive (highest) power supply
V-	4	Power	Negative (lowest) power supply
V _O	6	Output	Output

6 Specifications

6.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

		MIN	MAX	UNIT
V _S	Supply voltage, V _S = (V+) – (V–)		40	V
	Input voltage	(V–)	(V+)	V
	Differential input voltage	–30	30	V
I _{SC}	Output short circuit ⁽²⁾	Continuous		
T _J	Junction temperature		150	°C
T _{STG}	Storage temperature	–65	125	°C

(1) Stresses beyond those listed under *Absolute Maximum Ratings* may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Conditions*. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

(2) Short-circuit to ground, one amplifier per package.

6.2 ESD Ratings

			VALUE	UNIT
V _(ESD)	Electrostatic discharge	Human-body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±1000	V

(1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.

6.3 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

			MIN	NOM	MAX	UNIT
V _S	Supply voltage, V _S = (V+) – (V–)	Single supply	6	30	36	V
		Dual supply	±3	±15	±18	
T _A	Ambient temperature		–40		85	°C

6.4 Thermal Information

THERMAL METRIC ⁽¹⁾		OPA177		UNIT
		D (SOIC)	P (PDIP)	
		8 PINS	8 PINS	
R _{θJA}	Junction-to-ambient thermal resistance	160.0	100.0	°C/W

(1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report

6.5 Electrical Characteristics

at $T_A = 25^\circ\text{C}$, $V_S = 30\text{ V}$ ($\pm 15\text{ V}$), $V_{CM} = V_{OUT} = V_S / 2$, and $R_L = 2\text{ k}\Omega$ connected to $V_S / 2$ (unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
OFFSET VOLTAGE							
VOS	Input offset voltage	F grade		±10	±25	μV	
		G grade		±20	±60		
		T _A = −40°C to +85°C	F grade	±15	±40		
			G grade	±20	±100		
dV _{OS} /dT	Input offset voltage drift	T _A = −40°C to +85°C	F grade	±0.1	±0.3	μV/°C	
			G grade	±0.7	±1.2		
	Offset adjustment range	R _p = 20 kΩ		±3		mV	
	Long-term drift ⁽¹⁾	F grade		0.3		μV/mo	
		G grade		0.4			
PSRR	Power-supply rejection ratio	V _S = ±3 V to ±18 V	F grade	115	125	dB	
			G grade	110	120		
		V _S = ±3 V to ±18 V T _A = −40°C to +85°C	F grade	110	120		
			G grade	106	115		
INPUT BIAS CURRENT							
I _B	Input bias current	F grade		±0.5	±2	nA	
		G grade		±0.5	±2.8		
		T _A = −40°C to +85°C	F grade	±0.5	±4		
			G grade	±0.5	±6		
	Input bias current drift ⁽²⁾	T _A = −40°C to +85°C	F grade	±8	±40	pA/°C	
			G grade	±15	±60		
I _{OS}	Input offset current	F grade		±0.3	±1.5	nA	
		G grade		±0.3	±2.8		
		T _A = −40°C to +85°C	F grade	±0.5	±2.2		
			G grade	±0.5	±4.5		
NOISE							
	Input bias current drift ⁽²⁾	F grade		±1.5	±40	pA/°C	
		G grade		±1.5	±85		
	Input voltage noise	f = 1 Hz to 100 Hz ⁽³⁾		85	150	nV _{rms}	
	Input current noise	f = 1 Hz to 100 Hz		45		pA _{rms}	
INPUT VOLTAGE							
V _{CM}	Common-mode voltage range ⁽⁴⁾			±13	±14	V	
		T _A = −40°C to +85°C		±13	±13.5		
CMRR	Common-mode rejection ratio	V _{CM} = ±13 V	F grade	130	140	dB	
			G grade	115	140		
		V _{CM} = ±13 V T _A = −40°C to +85°C	F grade	120	140		
			G grade	110	140		
INPUT IMPEDANCE							
R _{in}	Input resistance	Differential mode ⁽⁵⁾	F grade	26	45	MΩ	
			G grade	18.5	45		
		Common-mode		200		GΩ	

6.5 Electrical Characteristics (続き)

at $T_A = 25^\circ\text{C}$, $V_S = 30\text{ V}$ ($\pm 15\text{ V}$), $V_{CM} = V_{OUT} = V_S / 2$, and $R_L = 2\text{ k}\Omega$ connected to $V_S / 2$ (unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
OPEN-LOOP GAIN							
A _{OL}	Open-loop voltage gain ⁽⁶⁾	−10 V ≤ V _O ≤ 10 V	F grade	134	141	dB	
			G grade	126	135		
		−10 V ≤ V _O ≤ 10 V T _A = −40°C to +85°C	F grade	126	135		
			G grade	120	132		
FREQUENCY RESPONSE							
BW _{CL}	Closed-loop bandwidth	G = 1		0.4	0.6		MHz
SR	Slew rate			0.1	0.3		V/μs
OUTPUT							
V _O	Voltage output swing	R _L ≥ 2 kΩ		±13.5	±14	V	
			T _A = −40°C to +85°C	±12	±13		
		R _L ≥ 10 kΩ		±12.5	±13		
			R _L ≥ 1 kΩ		±12		±12.5
I _{SC}	Short-circuit current			±35			mA
R _O	Open-loop output resistance			60			Ω
POWER SUPPLY							
	Power consumption	I _O = 0 A		40	60	mW	
			T _A = −40°C to +85°C	60	75		
I _Q	Quiescent current	I _O = 0 A		1.3	2	mA	
			T _A = −40°C to +85°C	2	2.5		

- (1) Long-term input offset voltage stability refers to the averaged trend line of V_{OS} vs time over extended periods after the first 30 days of operation. Excluding the initial hour of operation, changes in V_{OS} during the first 30 operating days are typically less than $2\text{ }\mu\text{V}$.
- (2) Specified by characterization.
- (3) Sample tested.
- (4) Specified CMRR test condition.
- (5) Specified by design.
- (6) To maintain high open-loop gain throughout the $\pm 10\text{-V}$ output range, A_{OL} is tested at $-10\text{ V} \leq V_O \leq 0\text{ V}$, $0\text{ V} \leq V_O \leq +10\text{ V}$, and $-10\text{ V} \leq V_O \leq +10\text{ V}$.

6.6 Typical Characteristics

at $T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{ V}$ (unless otherwise noted)

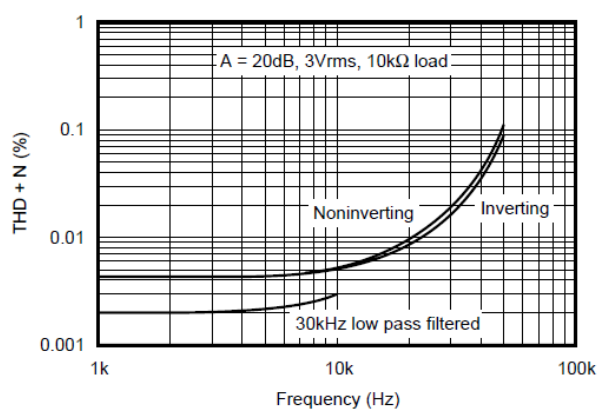


図 6-1. Total Harmonic Distortion and Noise vs Frequency

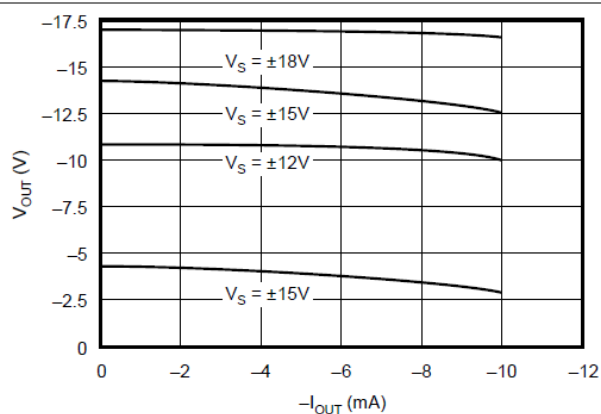


図 6-2. Maximum V_{OUT} vs I_{OUT}
(Negative Swing)

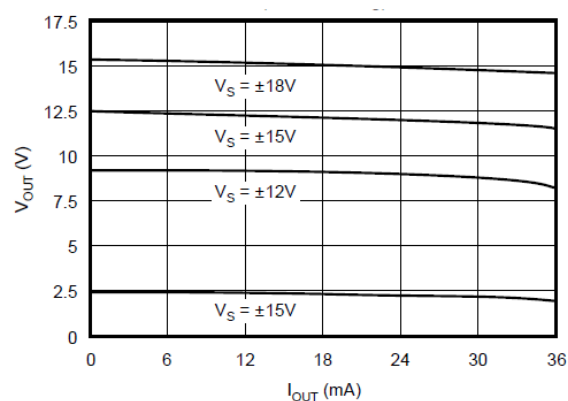


図 6-3. Maximum V_{OUT} vs I_{OUT}
(Positive Swing)

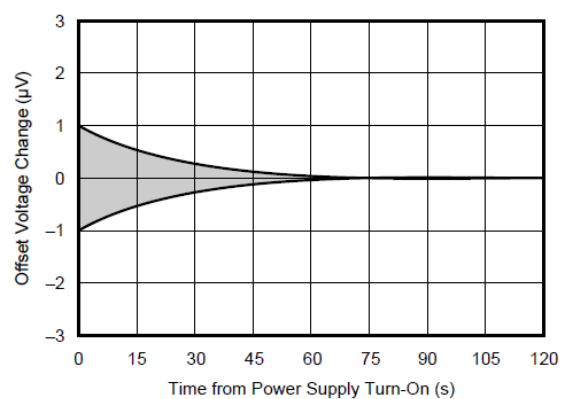


図 6-4. Warm-Up Offset Voltage Drift

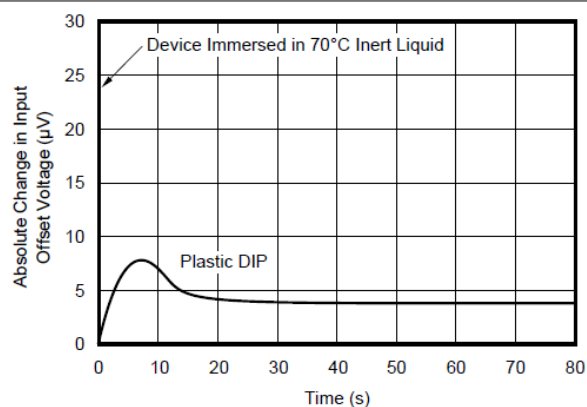


図 6-5. Offset Voltage Change Due To Thermal Shock

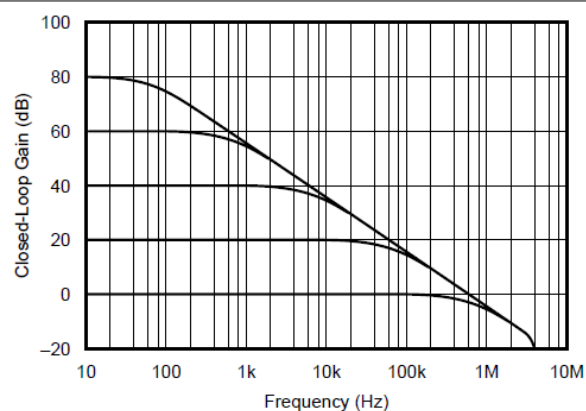


図 6-6. Closed-Loop Response vs Frequency

6.6 Typical Characteristics (continued)

at $T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{ V}$ (unless otherwise noted)

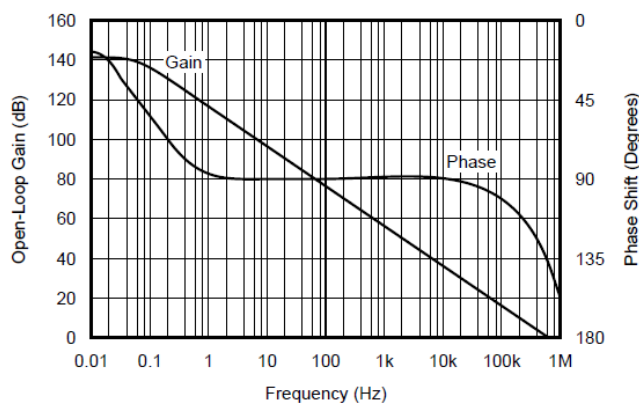


図 6-7. Open-Loop Gain/Phase vs Frequency

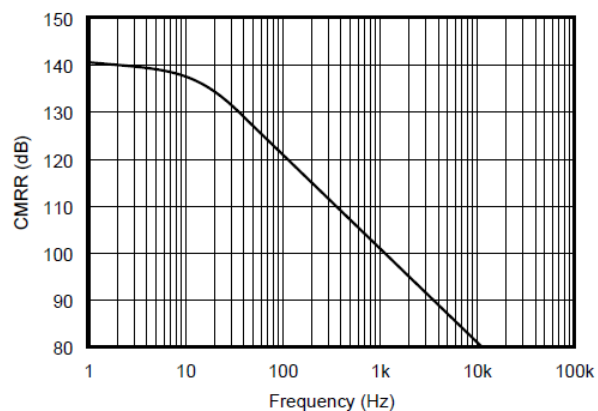


図 6-8. CMRR vs Frequency

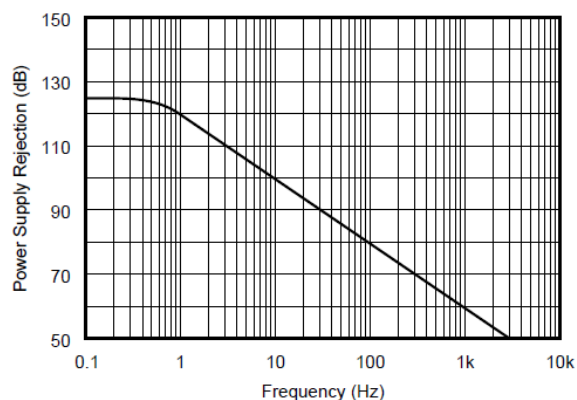


図 6-9. Power Supply Rejection vs Frequency

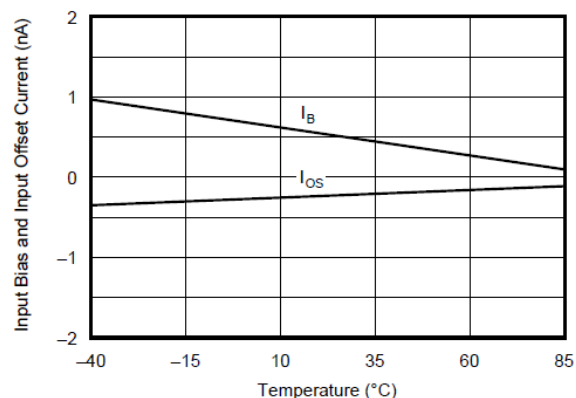


図 6-10. Input Bias and Input Offset Current vs Temperature

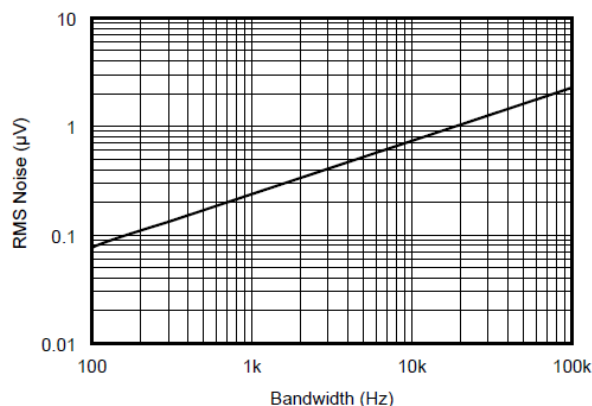


図 6-11. Total Noise vs Bandwidth (0.1Hz to Frequency Indicated)

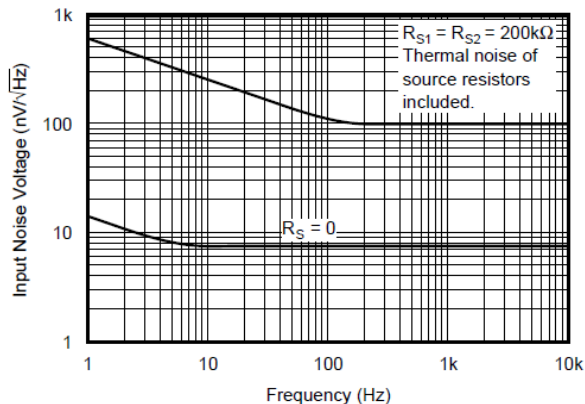


図 6-12. Input Noise Voltage Density vs frequency

6.6 Typical Characteristics (continued)

at $T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{ V}$ (unless otherwise noted)

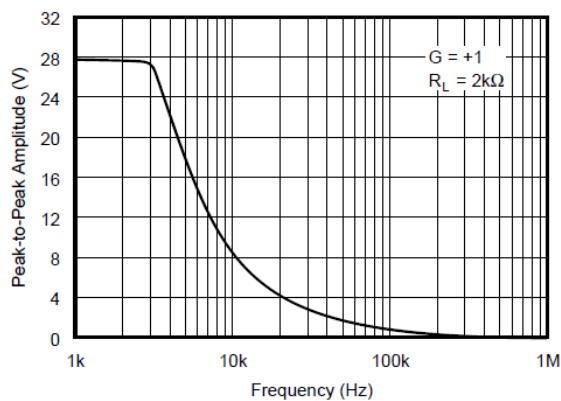


図 6-13. Maximum Output Swing vs Frequency

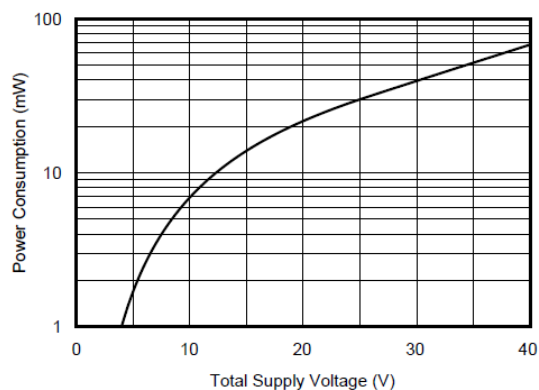


図 6-14. Power Consumption vs Power Supply

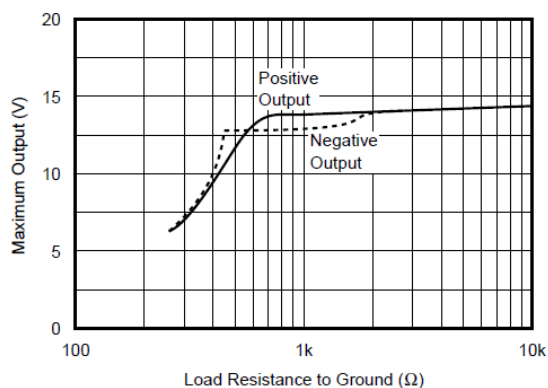


図 6-15. Maximum Output Voltage vs Load Resistance

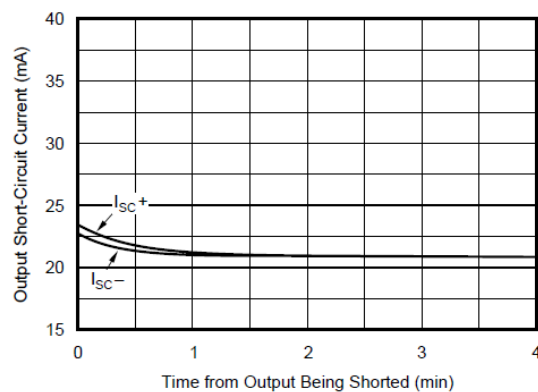


図 6-16. Output Short-Circuit Current vs Time

7 Application and Implementation

注

Information in the following applications sections is not part of the TI component specification, and TI does not warrant its accuracy or completeness. TI's customers are responsible for determining suitability of components for their purposes, as well as validating and testing their design implementation to confirm system functionality.

7.1 Application Information

The OPA177 is unity-gain stable, making this device easy to use and free from oscillations in the widest range of circuitry. Applications with noisy or high-impedance power-supply lines can require decoupling capacitors close to the device pins. In most cases, 0.1- μ F ceramic capacitors are adequate.

The OPA177 has very low offset voltage and drift. To achieve highest performance, optimize circuit layout and mechanical conditions. Offset voltage and drift degrades because of small thermoelectric potentials at the op-amp inputs. Connections of dissimilar metals generate thermal potential that can degrade the ultimate performance of the OPA177. To cancel these thermal potentials, make sure the thermal potentials are equal in both input pins.

1. Keep connections made to the two input pins close together.
2. Locate heat sources as far as possible from the critical input circuitry.
3. Shield the op amp and input circuitry from air currents, such as cooling fans.

7.1.1 Offset Voltage Adjustment

The OPA177 has been laser-trimmed for low offset voltage and drift; therefore, most circuits do not require external adjustment. [Figure 7-1](#) shows the optional connection of an external potentiometer to adjust offset voltage. Do not use this adjustment to compensate for offsets created elsewhere in a system because this adjustment can introduce excessive temperature drift.

7.1.2 Input Protection

The inputs of the OPA177 are protected with 500- Ω series input resistors and diode clamps as shown in the simplified circuit diagram on the front page. The inputs can withstand ± 30 -V differential inputs without damage. The protection diodes conduct current when the inputs are overdriven. This conducted current can disturb the slewing behavior of unity-gain follower applications, but does not damage the op amp. Some applications, such as programmable logic controllers (PLCs) require a robust input-protection design. An input-protection circuit can be implemented using four Schottky diodes; however, the temperature and voltage dependent leakage of the diodes can present undesirable nonlinear errors at the input. For applications requiring high precision and robust input protection, the [OPAx206](#) family of op amps are an excellent choice, offering integrated input overvoltage protection that eliminates the need for external clamping circuits.

7.1.3 Noise Performance

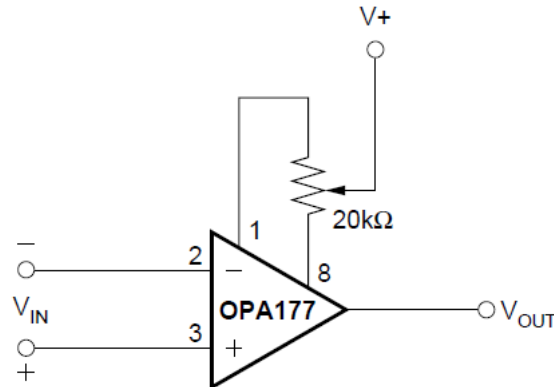
The OPA177 noise performance is optimized for a circuit impedance range of 2 k Ω to 50 k Ω . Total noise in an application is a combination of the op-amp input voltage noise and input bias current noise reacting with circuit impedance. For applications with higher source impedance, the [OPAx828](#) and [OPAx140](#) FET-input op amps generally provide lower noise due to the inherently low input current noise. For low-impedance, low-noise applications, the [OPAx210](#) is an excellent choice because of the exceptionally low op-amp input-voltage noise.

7.1.4 Input Bias Current Cancellation

The input stage base current of the OPA177 is internally compensated with an equal and opposite cancellation current. The resulting input bias current is the difference between the input stage base current and the cancellation current. This residual input bias current can be positive or negative.

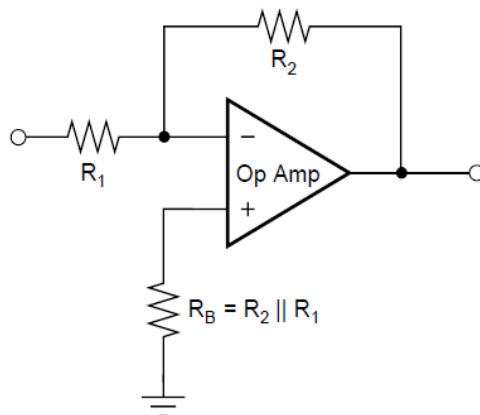
When the bias current is canceled in this manner, the input bias current and input offset current are approximately the same magnitude. As a result, there is no need to balance the dc resistance seen at the two input pins (Figure 7-2 and Figure 7-3). A resistor added to balance the input resistances can actually increase offset and noise.

7.2 Typical Application



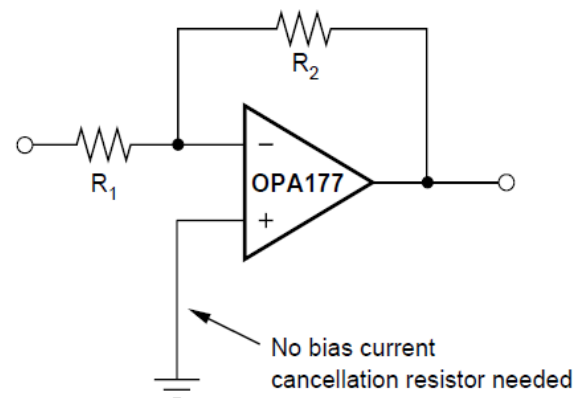
Trim range is approximately ± 3.0 mV.

Figure 7-1. Optional Offset Nulling Circuit



Conventional op amp with external bias current cancellation resistor.

Figure 7-2. Input Bias Current Cancellation With Conventional Op Amp



OPA177 with no external bias current cancellation resistor.

Figure 7-3. Input Bias Current Cancellation With OPA177

8 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

8.1 デバイスのサポート

8.1.1 開発サポート

8.1.1.1 PSpice® for TI

PSpice® for TI は、アナログ回路の性能評価に役立つ設計およびシミュレーション環境です。レイアウトと製造に移る前に、サブシステムの設計とプロトタイプ・ソリューションを作成することで、開発コストを削減し、市場投入までの期間を短縮できます。

8.1.1.2 TINA-TI™ シミュレーション・ソフトウェア (無償ダウンロード)

TINA-TI™ シミュレーション・ソフトウェアは、SPICE エンジンに基づいた単純かつ強力な、使いやすい回路シミュレーション・プログラムです。TINA-TI シミュレーション・ソフトウェアは、TINA™ ソフトウェアのすべての機能を持つ無償バージョンで、パッシブ・モデルとアクティブ・モデルに加えて、マクロモデルのライブラリがプリロードされています。TINA-TI シミュレーション・ソフトウェアには、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

TINA-TI シミュレーション・ソフトウェアは [設計ツールとシミュレーション Web ページ](#) から [無料でダウンロード](#) でき、ユーザーが結果をさまざまな方法でフォーマットできる、広範な後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプローブして、動的なクイック・スタート・ツールを作成できます。

注

これらのファイルを使用するには、TINA ソフトウェアまたは TINA-TI ソフトウェアがインストールされている必要があります。[TINA-TI™ ソフトウェア・フォルダ](#) から、無償の TINA-TI シミュレーション・ソフトウェアをダウンロードしてください。

8.1.1.3 DIP アダプタ評価基板

DIP アダプタ評価基板は、オペアンプの迅速なプロトタイプ製作とテストを可能にする評価基板です。小型の表面実装デバイスとのインターフェイスを迅速、容易、低コストで実現します。付属の Samtec 端子ストリップが、直接配線により既存の回路へサポートされているオペアンプを接続します。DIP アダプタ評価基板キットは、以下の業界標準パッケージをサポートしています。D または U (SOIC-8)、PW (TSSOP-8)、DGK (VSSOP-8)、DBV (SOT-23-6、SOT-23-5、および SOT-23-3)、DCK (SC70-6 および SC70-5)、および DRL (SOT563-6)。

8.1.1.4 DIYAMP-EVM

DIYAMP-EVM は、実際のアンプ回路を提供する独自の評価基板 (EVM) であり、設計コンセプトの迅速な評価とシミュレーションの検証を実現します。この評価基板は、3 つの業界標準パッケージ (SC70、SOT23、SOIC) で供給されており、シングル / デュアル電源向けに、アンプ、フィルタ、安定性補償、コンパレータの各構成など、12 の一般的なアンプ構成が可能です。

8.1.1.5 TI のリファレンス・デザイン

TI のリファレンス・デザインは、TI の高精度アナログ・アプリケーション専門家により作成されたアナログ・ソリューションです。TI のリファレンス・デザインは、動作原理、部品の選択、シミュレーション、完全な PCB 回路図およびレイアウト、部品表、測定済みの性能を提供します。TI のリファレンス・デザインは、<http://www.ti.com/ww/en/analog/precision-designs/> からオンラインで入手できます。

8.1.1.6 フィルタ設計ツール

フィルタ設計ツールは単純で強力な、使いやすいアクティブ・フィルタ設計プログラムです。フィルタ設計ツールを使用すると、TI のベンダ・パートナーからの TI 製オペアンプやパッシブ・コンポーネントを使用して、最適なフィルタ設計を作成できます。

フィルタ設計ツールは、設計ツールとシミュレーション Web ページから Web 対応ツールとして利用でき、包括的な複数段アクティブ・フィルタ・ソリューションをわずか数分で設計、最適化、シミュレーションできます。

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[ti.com](https://www.ti.com) のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

8.4 Trademarks

TINA-TI™ and TI E2E™ are trademarks of Texas Instruments.

TINA™ is a trademark of DesignSoft, Inc.

PSpice® is a registered trademark of Cadence Design Systems, Inc.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA177FP	Obsolete	Production	PDIP (P) 8	-	-	Call TI	Call TI	-	OPA177FP
OPA177GP	Obsolete	Production	PDIP (P) 8	-	-	Call TI	Call TI	-40 to 85	OPA177GP
OPA177GS	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-	OPA 177GS
OPA177GS.B	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	OPA 177GS
OPA177GS/2K5	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-	OPA 177GS
OPA177GS/2K5.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	OPA 177GS

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA177GS/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA177GS/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA177GS/2K5	SOIC	D	8	2500	356.0	356.0	35.0
OPA177GS/2K5	SOIC	D	8	2500	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
OPA177GS	D	SOIC	8	75	506.6	8	3940	4.32
OPA177GS.B	D	SOIC	8	75	506.6	8	3940	4.32

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated