MSPM0G150x ミクスト シグナル マイクロ

1 特長

- コア
  - Arm® 32 ビット Cortex®-M0+ CPU、メモリ保護ユニット付き、最高 80MHz の周波数
- 動作特性
  - 拡張動作温度範囲：-40°C～最高 125°C
  - 広い電源電圧範囲：1.62V ～ 3.6V
- メモリ
  - 最大 128KB のフラッシュ メモリ、誤り訂正符号 (ECC) 付き
  - 最大 32KB の SRAM、ハードウェア パリティ付き
- 高性能アナログ ペリフェラル
  - 最大 17 の外部チャネルを持つ 2 つの同時サンプリング 12 ビット 4Msps A/D コンバータ (ADC)
    - 250ksps で 14 ビットの実効分解能、ハードウェア平均化付き
  - 1 つの 12 ビット、1Msps、D/A コンバータ (DAC)、出力バッファ内蔵
  - 2 つのゼロドリフト ゼロクロスオーバー チョッパ オペアンプ (OPA)
    - チョッピングによる 0.5µV/°Cのドリフト
    - 最大 32 倍のプログラマブル ゲイン段を内蔵
  - 1 つの汎用アンプ (GPAMP)
  - 3 つの高速コンパレータ (COMP)、8 ビットリファレンス電圧 DAC 内蔵
    - 高速モードでの 32ns の伝搬遅延
    - 最小 1µA の低消費電力モード動作をサポート
  - ADC、OPA、GPAMP、COMP、DAC 間のアナログ接続をプログラム可能
  - 1.4V または 2.5V の構成可能な内部共有電圧リファレンス (VREF)
  - 温度センサ内蔵
- 最適化された低消費電力モード
  - RUN：101µA/MHz (CoreMark)
  - SLEEP：40µA/MHz
  - STOP：190µA (4MHz 時)
  - STANDBY：32KHz LFXT の 1.5µA、SRAM 付き RTC、CPU 状態、およびレジスタが保持されます
  - SHUTDOWN：80nA (IO を保持、IO ウェークアップ機能あり)
- インテリジェント デジタル ペリフェラル
  - 7 チャネル DMA コントローラ
  - 演算アクセラレータ。DIV、SQRT、MAC、TRIG の各計算をサポート
  - 最大 22 の PWM チャネルをサポートする 7 つのタイマ
    - 1 つの 16 ビット汎用タイマ、QEI をサポート
    - 2 つの 16 ビット汎用タイマ、STANDBY モードでの低消費電力動作をサポート
    - 1 つの 32 ビット汎用タイマ
    - 2 つの 16 ビット高度タイマ、最大 12 個の PWM チャネルのデッドバンド サポートおよび相補出力
  - 2 つのウィンドウ付きウォッチドッグ タイマ (WWDT)
  - RTC、アラームおよびカレンダー モード付き
- 拡張通信インターフェイス
  - 4 つの UART インターフェイス
    - 1 つは LIN、IrDA、DALI、スマート カード、マンチェスターをサポート
    - 3 つは STANDBY モードでの低消費電力動作をサポート
  - 2 つの I^2C インターフェイスは FM+ (1Mbit/s)、SMBus/PMBus、STOP モードからのウェークアップをサポート
  - 2 つの SPI。1 つの SPI で最大 32Mbit/s をサポート。
- クロック システム
  - ±1.2% 精度 (SYSOSC) の 4MHz～32MHz 内部発振器 (SYSOSC)
  - 最高 80MHz のフェーズ ロック ループ (PLL)
  - ±3% 精度の 32kHz 低周波数内部発振器 (LFOSC)
  - 外部 4MHz～48MHz 水晶発振器 (HFXT)
  - 外部 32kHz 水晶発振器 (LFXT)
  - 外部クロック入力
- データの整合性と暗号化
  - 巡回冗長検査 (CRC-16、CRC-32)
  - 真性乱数生成器 (TRNG)
  - 128 ビットまたは 256 ビットのキーによる AES 暗号化
- 柔軟な I/O 機能
  - 最大 60 の GPIO
    - 2 つの 5V 許容オープンドレイン IO
    - 20mA の駆動能力を持つ 2 つの高駆動 IO
    - 最大 5 個の高速 IO
- 開発サポート
  - 2 ピン シリアル ワイヤ デバッグ (SWD)
- パッケージ オプション
  - 64 ピン LQFP (PM) (0.5mm ピッチ)
  - 48 ピン LQFP (PT) (0.5mm ピッチ)
  - 24 ピン VQFN (RGE) (0.5mm ピッチ)
  - 48 ピン VQFN (RGZ) (0.5mm ピッチ)
  - 32 ピン VQFN (RHB) (0.5mm ピッチ)
  - 32 ピン VSSOP (32DGS) (0.5mm ピッチ)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

  - 28 ピン VSSOP (28DGS) (0.5mm ピッチ)
  - 28 ピン DSBGA (YCJ) (0.35mm ピッチ)
- ファミリ製品 (「*デバイスの比較*」も参照)
  - MSPM0G1505：32KB フラッシュ、16KB RAM
  - MSPM0G1506：64KB フラッシュ、32KB RAM
  - MSPM0G1507：128KB フラッシュ、32KB RAM
- 開発キットとソフトウェア (*「ツールとソフトウェア」*も参照)
  - LP-MSPM0G3507 LaunchPad™ 開発キット
  - MSPM0 ソフトウェア開発キット (SDK)

2 アプリケーション

- モータ制御
- 家電製品
- 無停電電源およびインバータ
- 電子 POS (EPOS) システム
- 医療 / ヘルスケア
- 試験および測定機器
- ファクトリ オートメーション / 制御
- 産業用輸送
- グリッド インフラ
- スマート メーター
- 通信モジュール
- 照明器具
- パーソナル エレクトロニクス

3 説明

MSPM0G150x マイクロコントローラ (MCU) は、最大 80MHz の周波数で動作する拡張 Arm® Cortex®-M0+ 32 ビット コア プラットフォームベースにした MSP 高集積超低消費電力 32 ビット MCU ファミリの一部です。コスト最適化されたこれらの MCU は高性能アナログ ペリフェラルを統合しており、-40℃ ～ 125℃ の拡張温度範囲をサポートし、1.62V ～ 3.6V の電源電圧で動作します。

MSPM0G150x デバイスは、最大 128KB の組込みフラッシュ プログラム メモリ (ECC (誤り訂正符号) 内蔵)、最大 32KB の SRAM (ハードウェア パリティ付き) を搭載しています。また、メモリ保護ユニット、7 チャネル DMA、演算アクセラレータに加えて、2 つの 12 ビット 4MSPS ADC、構成可能な内部共有電圧リファレンス、1 つの 12 ビット 1MSPS DAC、リファレンス DAC を内蔵した 3 つの高速コンパレータ、ゲインをプログラム可能な 2 つのゼロドリフト ゼロクロスオーバー オペアンプ、1 つの汎用アンプなど各種の高性能アナログ ペリフェラルも内蔵しています。これらのデバイスは、2 つの 16 ビット高度制御タイマ、5 つの汎用タイマ (QEI インターフェイス用の 1 つの 16 ビット汎用タイマ、STANDBY モード用の 2 つの 16 ビット汎用タイマ、1 つの 32 ビット汎用タイマ)、2 つのウィンドウ付きウォッチドッグ タイマ、アラームとカレンダー モードを備えた 1 つの RTC など、インテリジェントなデジタル ペリフェラルも搭載しています。これらのデバイスは、データ整合性と暗号化ペリフェラル (AES、CRC、TRNG)、および拡張通信インターフェイス (4 つの UART、2 つの I2C、2 つの SPI)を提供します。

テキサス・インスツルメンツの MSPM0 ファミリの低消費電力 MCU は、アナログとデジタルの統合度が異なるデバイスで構成されており、お客様はプロジェクトのニーズを満たす MCU を見つけることができます。MSPM0 MCU ファミリは、ARM Cortex-M0+ プラットフォームと包括的な超低消費電力のシステム アーキテクチャを組み合わせたもので、システム設計者は性能向上と消費電力低減を同時に実現できます。

MSPM0G150x MCU は、広範囲にわたるハードウェアおよびソフトウェアのエコシステムによってサポートされており、リファレンス デザインやコード サンプルを使って設計を迅速に開始できます。購入可能な開発キットには、LaunchPad™ 開発キットもあります。また、テキサス・インスツルメンツは無償の MSP ソフトウェア開発キット (SDK) も提供しており、Code Composer Studio™ IDE デスクトップのコンポーネントとして利用できます。また、TI Resource Explorer ではクラウド バージョンを利用できます。MSPM0 MCU には、広範囲にわたるオンライン資料、MSP Academy によるトレーニング、TI E2E™ サポート フォーラムによるオンライン サポートも用意されています。

モジュールの詳細については、*『MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル』*を参照してください。

表 3-1. デバイスの比較

型番	パッケージ	パッケージ サイズ
MSPM0G1505SPMR	64 LQFP	12mm × 12mm
MSPM0G1506SPMR		
MSPM0G1507SPMR		

Copyright © 2025 Texas Instruments Incorporated

表 3-1. デバイスの比較 (続き)

型番	パッケージ	パッケージ サイズ
MSPM0G1505SPTR	48 LQFP	9mm × 9mm
MSPM0G1506SPTR		
MSPM0G1507SPTR		
MSPM0G1505SRGZR	48 VQFN	7mm × 7mm
MSPM0G1506SRGZR		
MSPM0G1507SRGZR		
MSPM0G1505RHBR	32 VQFN	5mm × 5mm
MSPM0G1506SRHBR		
MSPM0G1507SRHBR		
MSPM0G1505SDGSR28	28 VSSOP	7.1mm × 4.9mm
MSPM0G1506SDGSR28		
MSPM0G1507SDGSR28		
MSPM0G1505SRGER	24 VQFN	4mm × 4mm
MSPM0G1506SRGER		
MSPM0G1507SRGER		
MSPM0G1506SYCJR	28 DSBGA	2.65mm × 1.57mm
MSPM0G1507SYCJR		

注意

電気的な過剰ストレスや、データやコード メモリの不安定化を防止するために、デバイス レベルの ESD 仕様に従って、システム レベルの ESD 保護を適用する必要があります。詳細については、*『MSP430™ のシステム レベルの ESD 考慮事項』*を参照してください。このアプリケーション ノートに記載されている原則は、MSPM0 MCU に適用されます。

Copyright © 2025 Texas Instruments Incorporated

4 機能ブロック図

図 4-1 に、MSPM0G150x の機能ブロック図を示します。

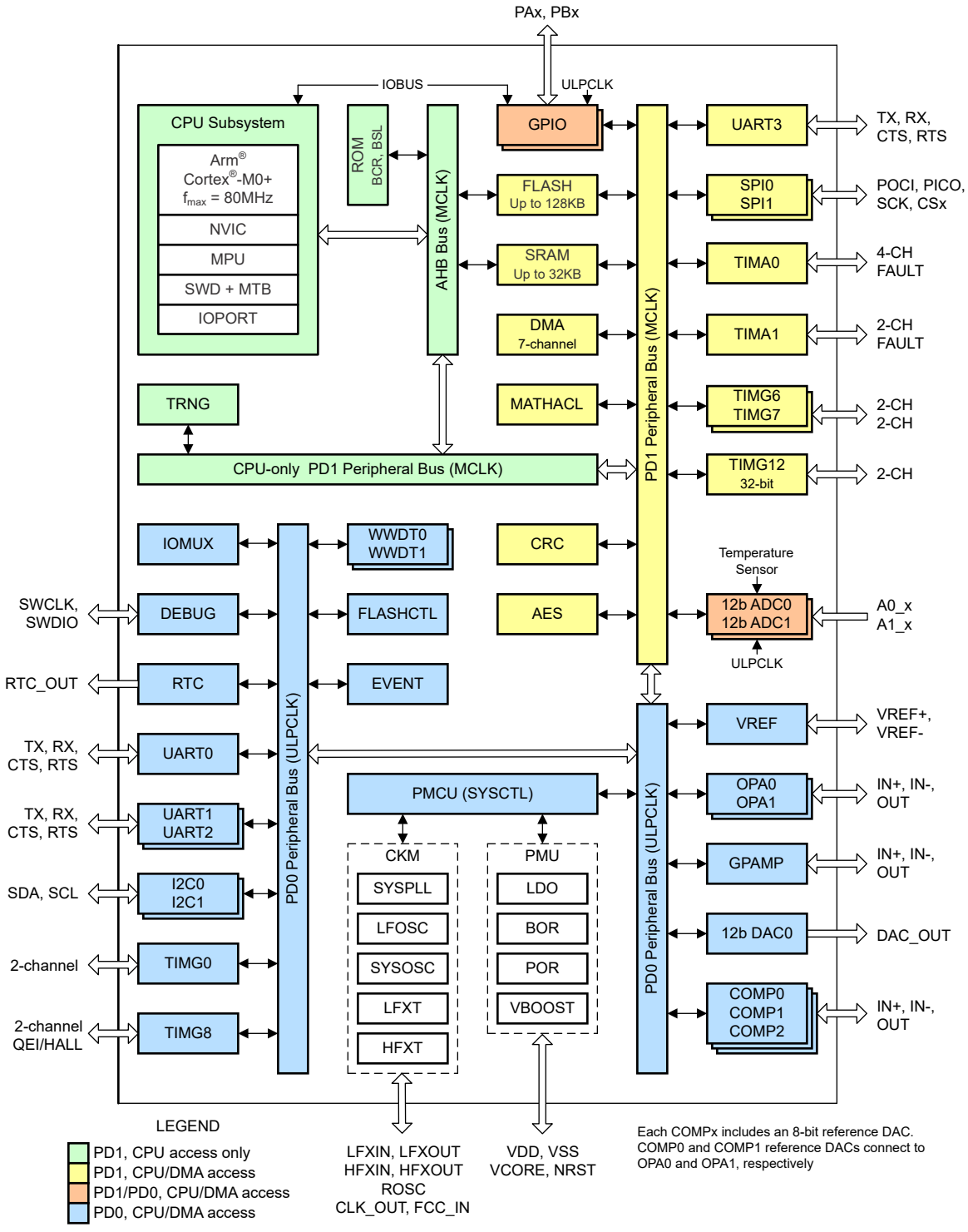


図 4-1. MSPM0G150x の機能ブロック図

Copyright © 2025 Texas Instruments Incorporated

目次

1 特長 ... 1
2 アプリケーション ... 2
3 説明 ... 2
4 機能ブロック図 ... 4
5 デバイスの比較 ... 6
6 ピン構成および機能 ... 7
6.1 ピン配置図 ... 7
6.2 ピン属性 ... 13
6.3 信号の説明 ... 17
6.4 未使用ピンの接続 ... 29
7 仕様 ... 30
7.1 絶対最大定格 ... 30
7.2 ESD 定格 ... 30
7.3 推奨動作条件 ... 30
7.4 熱に関する情報 ... 31
7.5 電源電流特性 ... 33
7.6 電源シーケンス ... 34
7.7 フラッシュ メモリの特性 ... 35
7.8 タイミング特性 ... 36
7.9 クロック仕様 ... 37
7.10 デジタル IO ... 40
7.11 アナログ マルチプレクサ VBOOST ... 44
7.12 ADC ... 44
7.13 代表的な接続図 ... 46
7.14 温度センサ ... 47
7.15 VREF ... 47
7.16 コンパレータ (COMP) ... 48
7.17 DAC ... 49
7.18 GPAMP ... 50
7.19 OPA ... 51
7.20 I2C ... 54
7.21 SPI ... 55
7.22 UART ... 57
7.23 TIMx ... 58
7.24 TRNG ... 58
7.25 エミュレーションおよびデバッグ ... 58
8 詳細説明 ... 59
8.1 CPU ... 59
8.2 動作モード ... 59
8.3 パワー マネージメント ユニット (PMU) ... 61
8.4 クロック モジュール (CKM) ... 62
8.5 DMA ... 62
8.6 イベント ... 63
8.7 メモリ ... 64
8.8 フラッシュ メモリ ... 67
8.9 SRAM ... 68
8.10 GPIO ... 68
8.11 IOMUX ... 68
8.12 ADC ... 69
8.13 温度センサ ... 69
8.14 VREF ... 70
8.15 COMP ... 70
8.16 DAC ... 71
8.17 OPA ... 72
8.18 GPAMP ... 73
8.19 TRNG ... 73
8.20 AES ... 73
8.21 CRC ... 73
8.22 UART ... 74
8.23 I2C ... 74
8.24 SPI ... 75
8.25 WWDT ... 75
8.26 RTC ... 75
8.27 タイマ (TIMx) ... 76
8.28 デバイスのアナログ接続 ... 78
8.29 入力 / 出力の回路図 ... 80
8.30 シリアル ワイヤ デバッグ インターフェイス ... 81
8.31 ブートストラップ ローダ (BSL) ... 81
8.32 デバイス ファクトリ定数 ... 82
8.33 識別 ... 82
9 アプリケーション、実装、およびレイアウト ... 83
9.1 代表的なアプリケーション ... 83
10 デバイスおよびドキュメントのサポート ... 84
10.1 入門と次のステップ ... 84
10.2 デバイスの命名規則 ... 84
10.3 ツールとソフトウェア ... 85
10.4 ドキュメントのサポート ... 86
10.5 サポート・リソース ... 86
10.6 商標 ... 86
10.7 静電気放電に関する注意事項 ... 86
10.8 用語集 ... 86
11 改訂履歴 ... 86
12 メカニカル、パッケージ、および注文情報 ... 89

Copyright © 2025 Texas Instruments Incorporated

5 デバイスの比較

本データシートに記載されている各デバイスの特長は、以下の表のとおりです。

表 5-1. デバイスの比較

型番 (1) (4)	フラッシュ / SRAM (KB)	QUAL (2)	MATH ACCEL	ADC / CHAN	COMP	DAC	OPA	GPAMP	UART / I2C / SPI	TIMA	TIMG	GPIO	パッケージ [パッケージ サイズ] (3)
MSPM0G1505SPMR	32 / 16	S	Y	2 / 17	3	1	2	1	4 / 2 / 2	2	5	60	64 LQFP (0.5mm pitch) [12mm × 12mm]
MSPM0G1506SPMR	64 / 32												
MSPM0G1507SPMR	128 / 32												
MSPM0G1505SPTR	32 / 16	S	Y	2 / 16	3	1	2	1	4 / 2 / 2	2	5	44	48 LQFP (0.5mm pitch) [9mm × 9mm]
MSPM0G1506SPTR	64 / 32												
MSPM0G1507SPTR	128 / 32												
MSPM0G1505SRGZR	32 / 16	S	Y	2 / 16	3	1	2	1	4 / 2 / 2	2	5	44	48 VQFN (0.5mm pitch) [7mm × 7mm]
MSPM0G1506SRGZR	64 / 32												
MSPM0G1507SRGZR	128 / 32												
MSPM0G1505RHBR	32 / 16	S	Y	2 / 11	3 (5)	1	2	1	4 / 2 / 2	2	5	28	32 VQFN (0.5mm pitch) [5mm × 5mm]
MSPM0G1506SRHBR	64 / 32												
MSPM0G1507SRHBR	128 / 32												
MSPM0G1505SDGS28R	32 / 16	S	Y	2 / 11	3 (5)	1	2	1	4 / 2 / 2	2	5	24	28 VSSOP (0.5mm pitch) [7.1mm × 4.9mm]
MSPM0G1506SDGS28R	64 / 32												
MSPM0G1507SDGS28R	128 / 32												
MSPM0G1505SRGER	32 / 16	S	Y	2 / 9	3 (5)	1	2	1	4 / 2 / 2	2	5	20	24 VQFN (0.5mm pitch) [4mm × 4mm]
MSPM0G1506SRGER	64 / 32												
MSPM0G1507SRGER	128 / 32												
MSPM0G1506SYCJR	64 / 32	S	Y	2 / 10	3 (5)	1	1	1	3 / 2 / 2	2	5	24	28 DSBGA (0.35mm pitch) [2.65 mm × 1.57 mm]
MSPM0G1507SYCJR	128 / 32												

(1) 提供中の全デバイスに関する最新の製品、パッケージ、および注文情報については、セクション 12 の「*付録:パッケージ オプション*」または TI の Web サイトを参照してください。
(2) デバイス認定:
- S = -40℃～125℃

(3) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。公差を含めたパッケージの寸法については、セクション 12 を参照してください。
(4) 型番の詳細については、セクション 10.2 を参照してください。
(5) COMP2 の内部 8 ビット DAC を利用して、両方のチャネルを活用します

Copyright © 2025 Texas Instruments Incorporated

6 ピン構成および機能

システム構成ツール は、ピンの多重化およびピン設定を容易にするための初期化コードを有効にしたり、構成したり、生成するグラフィカル インターフェイスを提供します。以下のピン配置図は、デバイスのピン配置を簡素化するために、主要なペリフェラル機能、内蔵デバイス機能の一部、使用可能なクロック信号を示しています。ピンの機能の詳細については、「ピンの属性」および「信号の説明」セクションを参照してください。

6.1 ピン配置図

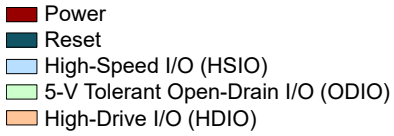


図 6-1. ピン配置図の色分け

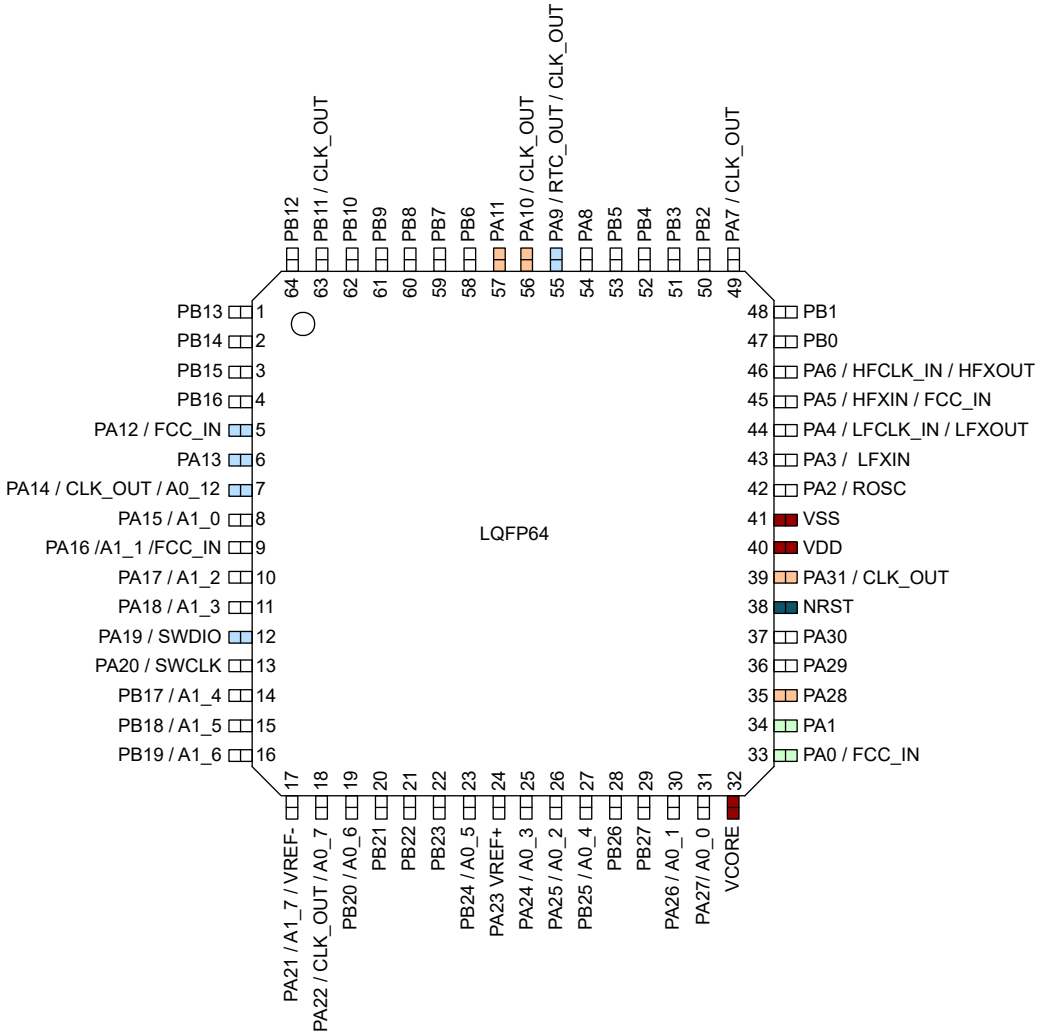


図 6-2. 64 ピン PM (LQFP) (上面図)

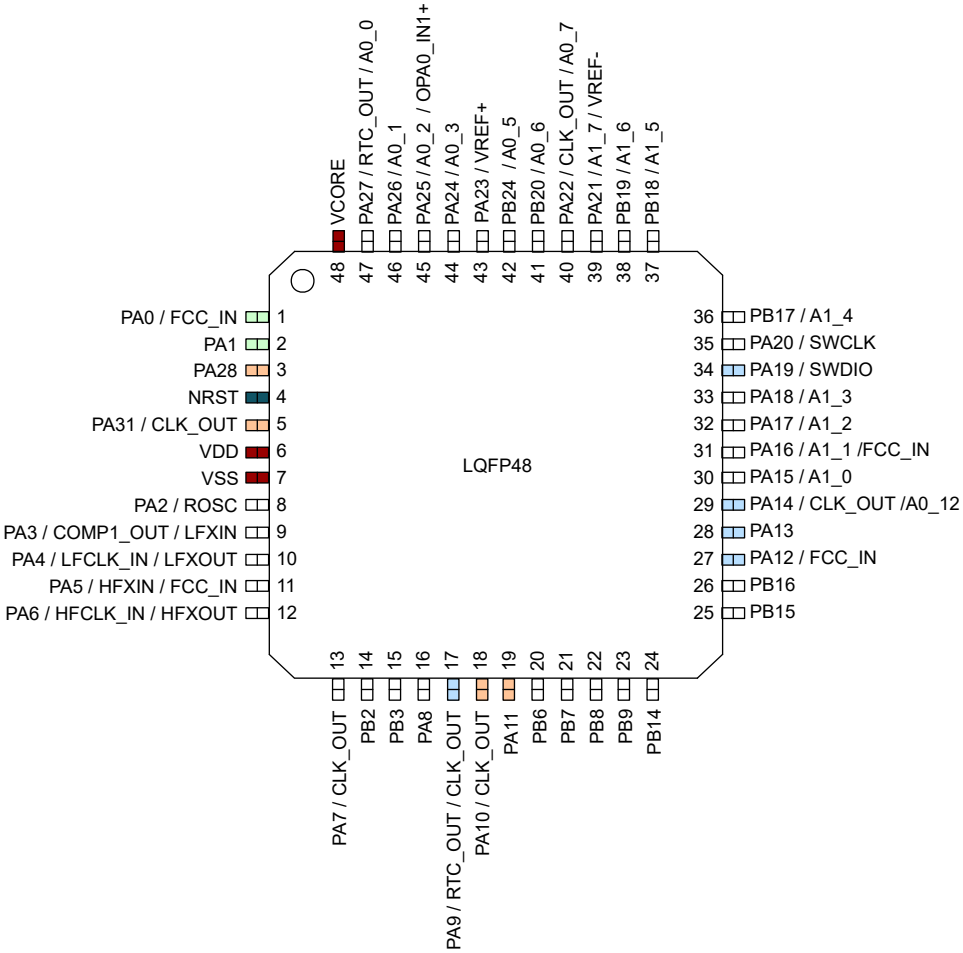


図 6-3. 48 ピン PT (LQFP) (上面図)

Copyright © 2025 Texas Instruments Incorporated

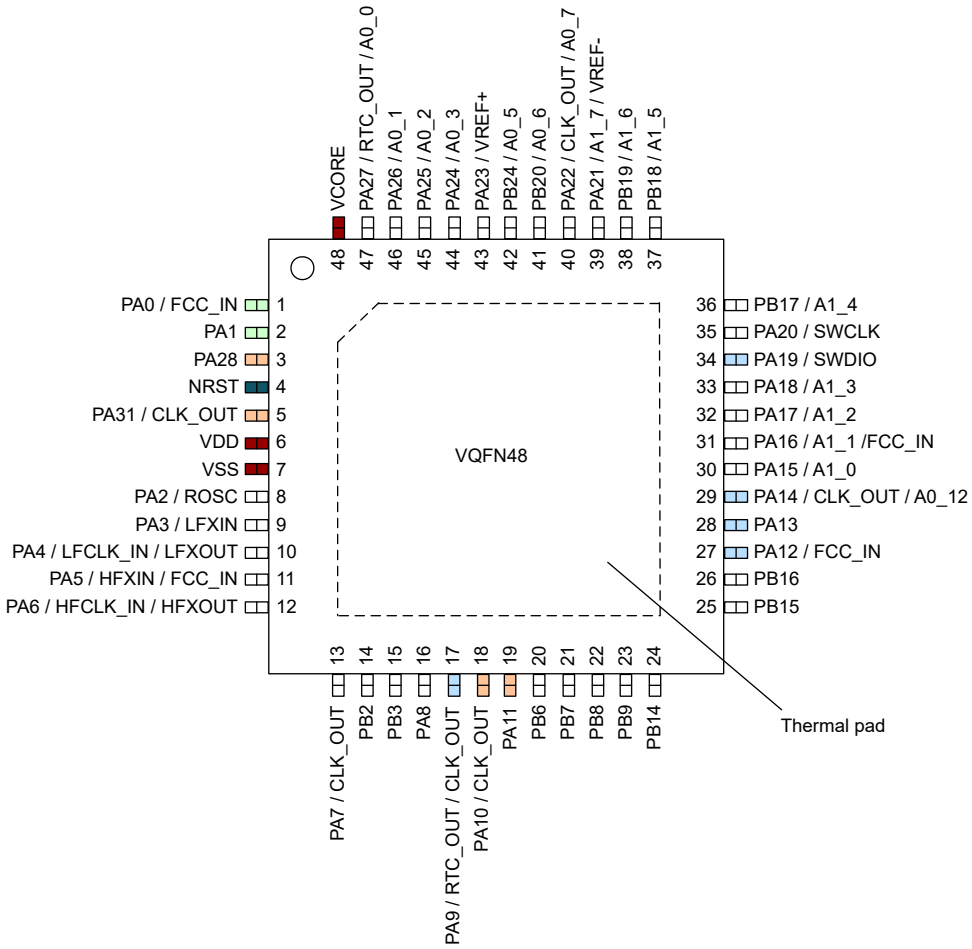


図 6-4. 48 ピン RGZ (VQFN) (上面図)

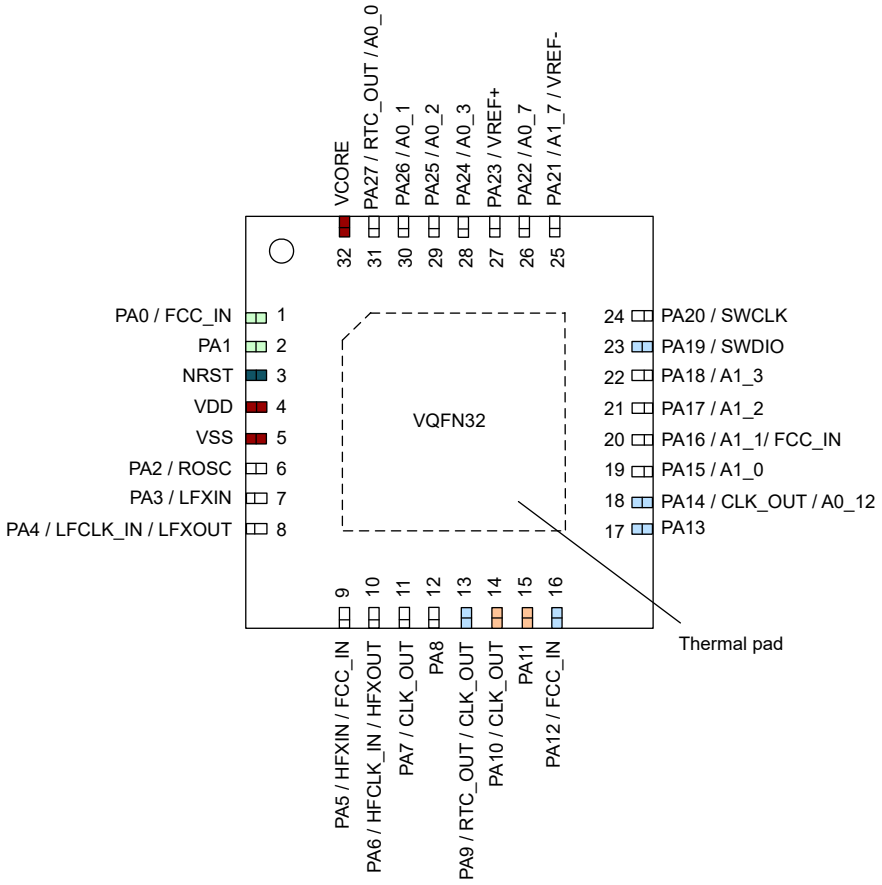


図 6-5. 32 ピン RHB (VQFN) (上面図)

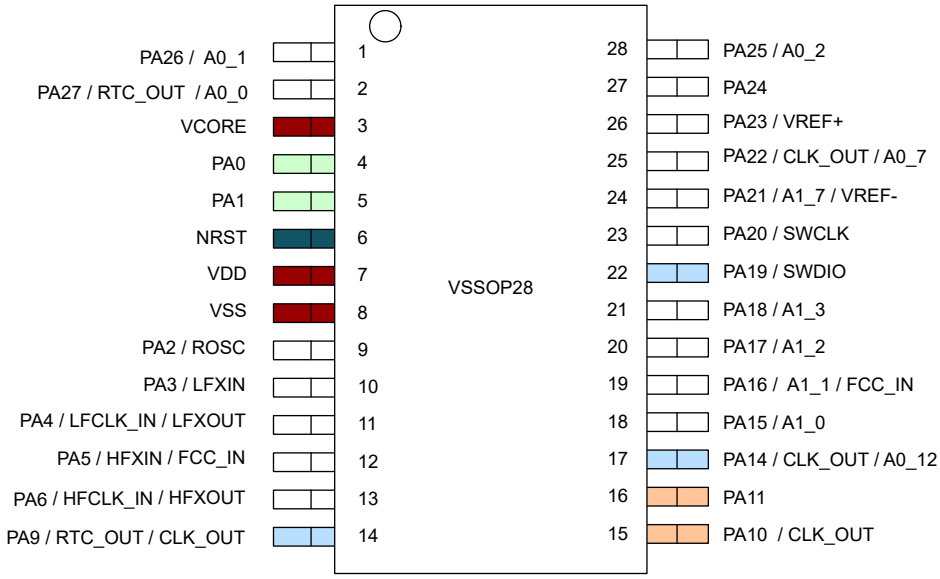


図 6-6. 28 ピン DGS28 (VSSOP) (上面図)

Copyright © 2025 Texas Instruments Incorporated

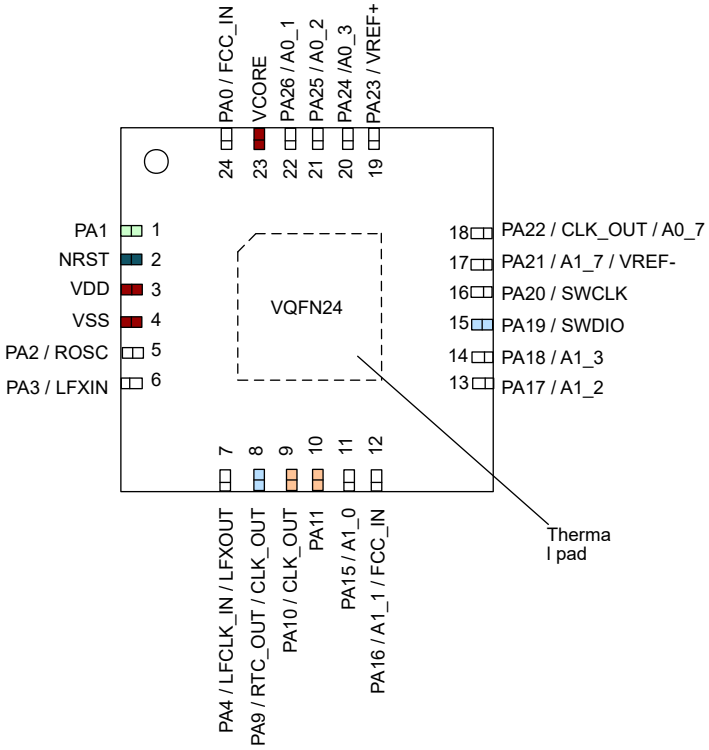


図 6-7. 24 ピン RGE (VQFN) (上面図)

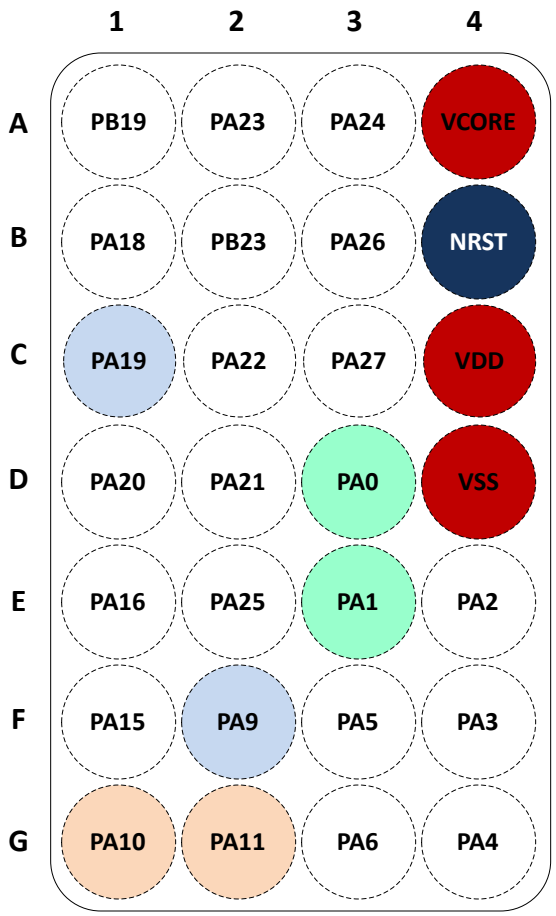


図 6-8. 28 ピン YCJ (BSBGA) (上面図)

注

各パッケージ オプションの完全なピン構成および機能については、

「ピンの属性」および「信号の説明」を参照してください。

Copyright © 2025 Texas Instruments Incorporated

6.2 ピン属性

次の表に、各デバイス パッケージの各ピンで利用可能な機能を示します。

注

デバイス上の各デジタル I/O は、専用のピン制御管理レジスタ (PINCMx) に割り当てられており、ユーザーが PINCM.PF 制御ビットを使って必要なピン機能を設定できます。

表 6-1. IO タイプ別のデジタル IO 機能

IO 構造	反転制御	駆動能力制御	ヒステリシス制御	プルアップ抵抗	プルダウン抵抗	ウェークアップロジック
標準駆動	Y			Y	Y	
ウェイク機能付き標準ドライブ(1)	Y			Y	Y	Y
高駆動	Y	Y		Y	Y	Y
高速	Y	Y		Y	Y	
5V 対応のオープンドレイン	Y		Y		Y	Y

表 6-2. ピン属性

PINCMx	ピン名	信号名		ピン番号						IO 構造
		アナログ	*デジタル [ピン機能]* (1)	64 LQFP	48 LQFP、VQFN	32 VQFN	28 VSSOP	24 VQFN	28 DSBGA	
該当なし		VDD		40	6	4	7	3	C4	電源
該当なし		VSS		41	7	5	8	4	D4	電源
該当なし		VCORE		32	48	32	3	23	A4	電源
該当なし		NRST		38	4	3	6	2	B4	リセット
1	PA0		UART0_TX [2] / I2C0_SDA [3] / TIMA0_C0 [4] / TIMA_FAL1 [5] / TIMG8_C1 [6] / FCC_IN [7] / (デフォルト BSL I2C_SDA)	33	1	1	4	24	D3	5V 対応のオープンドレイン
2	PA1		UART0_RX [2] / I2C0_SCL [3] / TIMA0_C1 [4] / TIMA_FAL2 [5] / TIMG8_IDX [6] / TIMG8_C0 [7] / (デフォルト BSL I2C_SCL)	34	2	2	5	1	E3	5V 対応のオープンドレイン
7	PA2	ROSC	TIMG8_C1 *[2]* / SPI0_CS0 *[3]* / TIMG7_C1 *[4]* / SPI1_CS0 *[5]*	42	8	6	9	5	E4	標準
8	PA3	LFXIN	TIMG8_C0 *[2]* / SPI0_CS1 [3] / UART2_CTS [4] / TIMA0_C2 [5] / COMP1_OUT [6] / TIMG7_C0 [7] / TIMA0_C1 [8] / I2C1_SDA [9]	43	9	7	10	6	F4	標準
9	PA4	LFXOUT	TIMG8_C1 *[2]* / SPI0_POCI *[3]* / UART2_RTS *[4]* / TIMA0_C3 *[5]* / LFCLK_IN *[6]* / TIMG7_C1 *[7]* / TIMA0_C1N *[8]* / I2C1_SCL *[9]*	44	10	8	11	7	G4	標準
10	PA5	HFXIN	TIMG8_C0 *[2]* / SPI0_PICO *[3]* / TIMA_FAL1 *[4]* / TIMG0_C0 *[5]*/ TIMG6_C0 *[6]* / FCC_IN *[7]*	45	11	9	12	-	F3	標準
11	PA6	HFXOUT	TIMG8_C1 *[2]* / SPI0_SCK *[3]* / TIMA_FAL0 *[4]* / TIMG0_C1 *[5]* / HFCLK_IN *[6]* / TIMG6_C1 *[7]* / TIMA0_C2N *[8]*	46	12	10	13	-	G3	標準

Copyright © 2025 Texas Instruments Incorporated

表 6-2. ピン属性 (続き)

PINCMx	ピン名	信号名		ピン番号						IO 構造
		アナログ	デジタル [ピン機能] (1)	64 LQFP	48 LQFP、VQFN	32 VQFN	28 VSSOP	24 VQFN	28 DSBGA	
14	PA7		COMP0_OUT *[2]* / CLK_OUT *[3]* / TIMG8_C0 *[4]* / TIMA0_C2 *[5]* / TIMG8_IDX *[6]* / TIMG7_C1 *[7]* / TIMA0_C1 *[8]*	49	13	11	-	-	-	標準
19	PA8		UART1_TX *[2]* / SPI0_CS0 *[3]* / UART0_RTS *[4]* / TIMA0_C0 *[5]* / TIMA1_C0N *[6]*	54	16	12	-	-	-	標準
20	PA9		UART1_RX *[2]* / SPI0_PICO *[3]* / UART0_CTS *[4]* / TIMA0_C1 *[5]* / RTC_OUT *[6]* / TIMA0_C0N *[7]* / TIMA1_C1N *[8]* / CLK_OUT *[9]*	55	17	13	14	8	F2	高速
21	PA10		UART0_TX [2] / SPI0_POCI [3] / I2C0_SDA [4] / TIMA1_C0 [5] / TIMG12_C0 [6] / TIMA0_C2 [7] / I2C1_SDA [8] / CLK_OUT [9] / (デフォルト BSL UART_TX)	56	18	14	15	9	G1	高駆動
22	PA11		UART0_RX [2] / SPI0_SCK [3] / I2C0_SCL [4] / TIMA1_C1 [5] / COMP0_OUT [6]/ TIMA0_C2N [7] / I2C1_SCL [8] / (デフォルト BSL UART_RX)	57	19	15	16	10	G2	高駆動
34	PA12		UART3_CTS *[2]* / SPI0_SCK *[3]* / TIMG0_C0 *[4]* / TIMA0_C3 *[6]* / FCC_IN *[7]*	5	27	16	-	-	-	高速
35	PA13	COMP0_IN2-	UART3_RTS *[2]* / SPI0_POCI *[3]* / UART3_RX *[4]* / TIMG0_C1 *[5]* / TIMA0_C3N *[7]*	6	28	17	-	-	-	高速
36	PA14	COMP0_IN2+ / A0_12	UART0_CTS *[2]* / SPI0_PICO *[3]* / UART3_TX *[4]* / TIMG12_C0 *[5]* / CLK_OUT *[6]*	7	29	18	17	-	-	高速
37	PA15	A1_0 / DAC_OUT / OPA0_IN2+ / OPA1_IN2+/ COMP0_IN3+ / COMP1_IN3+	UART0_RTS *[2]* / SPI1_CS2 *[3]* / I2C1_SCL *[4]* / TIMA1_C0 *[5]* / TIMG8_IDX *[6]* / TIMA1_C0N *[7]* / TIMA0_C2 *[8]*	8	30	19	18	11	F1	標準
38	PA16	A1_1 / OPA1_OUT	COMP2_OUT *[2]* / SPI1_POCI *[3]* / I2C1_SDA *[4]* / TIMA1_C1 *[5]* / TIMA1_C1N *[6]* / TIMA0_C2N *[7]* / FCC_IN *[8]*	9	31	20	19	12	E1	標準
39	PA17	A1_2 / OPA1_IN1- / COMP0_IN1-	UART1_TX *[2]* / SPI1_SCK *[3]* / I2C1_SCL *[4]* / TIMA0_C3 *[5]* / TIMG7_C0 *[6]* / TIMA1_C0 *[7]*	10	32	21	20	13	-	標準 (ウェーク付き)(2)
40	PA18	A1_3 / OPA1_IN1+ / COMP0_IN1+ / GPAMP_IN-	UART1_RX [2] / SPI1_PICO [3] / I2C1_SDA [4] / TIMA0_C3N [5] / TIMG7_C1 [6] / TIMA1_C1 [7] / デフォルト BSL_Invoke	11	33	22	21	14	B1	標準 (ウェーク付き)(2)
41	PA19		SWDIO *[2]*	12	34	23	22	15	C1	高速
42	PA20		SWCLK *[2]*	13	35	24	23	16	D1	標準
46	PA21	A1_7 / COMP2_IN1- / VREF-	UART2_TX *[2]* / TIMG8_C0 *[3]* / UART1_CTS *[4]* / TIMA0_C0 *[5]* / TIMG6_C0 *[6]*	17	39	25	24	17	D2	標準

Copyright © 2025 Texas Instruments Incorporated

表 6-2. ピン属性 (続き)

PINCMx	ピン名	信号名		ピン番号						IO 構造
		アナログ	デジタル *[ピン機能]* (1)	64 LQFP	48 LQFP、VQFN	32 VQFN	28 VSSOP	24 VQFN	28 DSBGA	
47	PA22	A0_7 / GPAMP_OUT / OPA0_OUT	UART2_RX *[2]* / TIMG8_C1 *[3]* / UART1_RTS *[4]* / TIMA0_C1 *[5]* / CLK_OUT *[6]* / TIMA0_C0N *[7]* / TIMG6_C1 *[8]*	18	40	26	25	18	C2	標準
53	PA23	COMP1_IN1- / VREF+	UART2_TX *[2]* / SPI0_CS3 *[3]* / TIMA0_C3 *[4]* / TIMG0_C0 *[5]* / UART3_CTS *[6]* / TIMG7_C0 *[7]*/ TIMG8_C0 *[8]*	24	43	27	26	19	A2	標準
54	PA24	A0_3 / OPA0_IN1-	UART2_RX *[2]* / SPI0_CS2 *[3]* / TIMA0_C3N *[4]* / TIMG0_C1 *[5]* / UART3_RTS *[6]* / TIMG7_C1 *[7]* / TIMA1_C1 *[8]*	25	44	28	27	20	A3	標準
55	PA25	A0_2 / OPA0_IN1+	UART3_RX *[2]* / SPI1_CS3 *[3]* / TIMG12_C1 *[4]* / TIMA0_C3 *[5]* / TIMA0_C1N *[6]*	26	45	29	28	21	E2	標準
59	PA26	A0_1 / COMP0_IN0+ / OPA0_IN0+ / GPAMP_IN+	UART3_TX *[2]* / SPI1_CS0 *[3]* / TIMG8_C0 *[4]* / TIMA_FAL0 *[5]* / TIMG7_C0 *[7]*	30	46	30	1	22	B3	標準
60	PA27	A0_0 / COMP0_IN0- / OPA0_IN0-	RTC_OUT *[2]* / SPI1_CS1 *[3]* / TIMG8_C1 *[4]* / TIMA_FAL2 *[5]* / TIMG7_C1 *[7]*	31	47	31	2	-	C3	標準
3	PA28		UART0_TX *[2]* / I2C0_SDA *[3]* / TIMA0_C3 *[4]* / TIMA_FAL0 *[5]* / TIMG7_C0 *[6]* / TIMA1_C0 *[7]*	35	3	-	-	-	-	高駆動
4	PA29		I2C1_SCL *[2]* / UART2_RTS *[3]* / TIMG8_C0 *[4]* / TIMG6_C0 *[5]*	36	-	-	-	-	-	標準
5	PA30		I2C1_SDA *[2]* / UART2_CTS *[3]* / TIMG8_C1 *[4]* / TIMG6_C1 *[5]*	37	-	-	-	-	-	標準
6	PA31		UART0_RX *[2]* / I2C0_SCL *[3]* / TIMA0_C3N *[4]* / TIMG12_C1 *[5]* / CLK_OUT *[6]*/ TIMG7_C1 *[7]* / TIMA1_C1 *[8]*	39	5	-	-	-	-	高駆動
12	PB0		UART0_TX [2] / SPI1_CS2 [3] / TIMA1_C0 [4] / TIMA0_C2 [5]	47	-	-	-	-	-	標準
13	PB1		UART0_RX [2] / SPI1_CS3 [3] / TIMA1_C1 [4] / TIMA0_C2N [5]	48	–	–	-	-	-	標準
15	PB2		UART3_TX *[2]* / UART2_CTS *[3]* / I2C1_SCL *[4]* / TIMA0_C3 *[5]* / UART1_CTS *[6]* / TIMG6_C0 *[7]* / TIMA1_C0 *[8]*	50	14	–	-	-	-	標準
16	PB3		UART3_RX *[2]* / UART2_RTS *[3]* / I2C1_SDA *[4]* / TIMA0_C3N*[5]* / UART1_RTS *[6]* / TIMG6_C1 *[7]* / TIMA1_C1 *[8]*	51	15	–	-	-	-	標準
17	PB4		UART1_TX *[2]* / UART3_CTS *[3]* / TIMA1_C0 *[4]* /TIMA0_C2 *[5]* / TIMA1_C0N *[6]*	52	–	–	-	-	-	標準
18	PB5		UART1_RX *[2]* / UART3_RTS *[3]* / TIMA1_C1 *[4]* / TIMA0_C2N *[5]* / TIMA1_C1N *[6]*	53	-	-	-	-	-	標準

Copyright © 2025 Texas Instruments Incorporated

表 6-2. ピン属性 (続き)

PINCMx	ピン名	信号名		ピン番号						IO 構造
		アナログ	デジタル *[ピン機能]* (1)	64 LQFP	48 LQFP、VQFN	32 VQFN	28 VSSOP	24 VQFN	28 DSBGA	
23	PB6		UART1_TX *[2]* / SPI1_CS0 *[3]* / SPI0_CS1 *[4]* / TIMG8_C0 *[5]* / UART2_CTS *[6]* / TIMG6_C0 *[7]* / TIMA1_C0N *[8]*	58	20	-	-	-	-	標準
24	PB7		UART1_RX *[2]* / SPI1_POCI *[3]* / SPI0_CS2 *[4]* / TIMG8_C1 *[5]* / UART2_RTS *[6]* / TIMG6_C1 *[7]* / TIMA1_C1N *[8]*	59	21	-	-	-	-	標準
25	PB8		UART1_CTS *[2]* / SPI1_PICO *[3]* / TIMA0_C0 *[4]* / COMP1_OUT *[5]*	60	22	-	-	-	-	標準
26	PB9		UART1_RTS [2] / SPI1_SCK [3] / TIMA0_C1 [4] / TIMA0_C0N [5]	61	23	-	-	-	-	標準
27	PB10		TIMG0_C0 [2] / TIMG8_C0 [3] / COMP1_OUT [4] / TIMG6_C0 [5]	62	-	-	-	-	-	標準
28	PB11		TIMG0_C1 *[2]* / TIMG8_C1 *[3]* / CLK_OUT *[4]* / TIMG6_C1 *[5]*	63	-	-	-	-	-	標準
29	PB12		UART3_TX [2] / TIMA0_C2 [3] / TIMA_FAL1 [4] / TIMA0_C1 [5]	64	-	-	-	-	-	標準
30	PB13		UART3_RX [2] / TIMA0_C3 [3] / TIMG12_C0 [4] / TIMA0_C1N [5]	1	-	-	-	-	-	標準
31	PB14		SPI1_CS3 *[2]* / SPI1_POCI *[3]* / SPI0_CS3 *[4]* / TIMG12_C1 *[5]* / TIMG8_IDX *[6]* / TIMA0_C0 *[7]*	2	24	-	-	-	-	標準
32	PB15		UART2_TX *[2]* / SPI1_PICO *[3]* / UART3_CTS *[4]* / TIMG8_C0 *[5]* / TIMG7_C0 *[6]*	3	25	-	-	-	-	標準
33	PB16		UART2_RX *[2]* / SPI1_SCK *[3]* / UART3_RTS *[4]* / TIMG8_C1 [5] / TIMG7_C1 [6]	4	26	-	-	-	-	標準
43	PB17	A1_4 / COMP1_IN2-	UART2_TX *[2]* / SPI0_PICO *[3]* / SPI1_CS1 *[4]* / TIMA1_C0 *[5]* / TIMA0_C2 *[6]*	14	36	-	-	-	-	標準
44	PB18	A1_5 / COMP1_IN2+	UART2_RX *[2]* / SPI0_SCK *[3]* / SPI1_CS2 *[4]* / TIMA1_C1 *[5]* / TIMA0_C2N *[6]*	15	37	-	-	-	-	標準
45	PB19	A1_6 / COMP2_IN1+ / OPA1_IN0+	COMP2_OUT *[2]* / SPI0_POCI *[3]* / TIMG8_C1 *[4]* / UART0_CTS *[5]* / TIMG7_C1 *[6]*	16	38	-	-	-	A1	標準
48	PB20	A0_6 / OPA1_IN0-	SPI0_CS2 *[2]* / SPI1_CS0 *[3]* / TIMA0_C2 *[4]* / TIMG12_C0 *[5]* / TIMA_FAL1 *[6]* / TIMA0_C1 *[7]* / TIMA1_C1N *[8]*	19	41	-	-	-	-	標準
49	PB21	COMP2_IN0+	SPI1_POCI *[2]* / TIMG8_C0 *[3]*	20	-	-	-	-	-	標準
50	PB22	COMP2_IN0-	SPI1_PICO *[2]* / TIMG8_C1 *[3]*	21	-	-	-	-	-	標準
51	PB23		SPI1_SCK *[2]* / COMP0_OUT *[3]* / TIMA_FAL0 *[4]*	22	-	-	-	-	B2	標準
52	PB24	A0_5 / COMP1_IN1+	SPI0_CS3 *[2]* / SPI0_CS1 *[3]* / TIMA0_C3 *[4]* / TIMG12_C1 *[5]* / TIMA0_C1N *[6]* / TIMA1_C0N *[7]*	23	42	-	-	-	-	標準

Copyright © 2025 Texas Instruments Incorporated

表 6-2. ピン属性 (続き)

PINCMx	ピン名	信号名		ピン番号						IO 構造
		アナログ	*デジタル [ピン機能]* (1)	64 LQFP	48 LQFP、VQFN	32 VQFN	28 VSSOP	24 VQFN	28 DSBGA	
56	PB25	A0_4	UART0_CTS *[2]* / SPI0_CS0 *[3]* / TIMA_FAL2 *[4]*	27	-	-	-	-	-	標準
57	PB26	COMP1_IN0+	UART0_RTS [2] / SPI0_CS1 [3] / TIMA0_C3 [4] / TIMG6_C0 [5]	28	-	-	-	-	-	標準
58	PB27	COMP1_IN0-	COMP2_OUT *[2]* / SPI1_CS1 *[3]* / TIMA0_C3N *[4]* / TIMG6_C1 *[5]* / TIMA1_C1 *[6]*	29	-	-	-	-	-	標準

(1) アナログ機能 (例:OPA 入力 / 出力、COMP 入力) を使う場合、IOMUX の PINCM.PF と PINCM.PC を 0 に設定してください。デバイス上の各デジタル I/O は、専用のピン制御管理レジスタ (PINCMx) に割り当てられており、ユーザーが PINCM.PF 制御ビットを使って必要なピン機能を設定できます。

(2) ウェーク付きの標準機能では、I/O を使って、最小低消費電力の SHUTDOWN モードからデバイスをウェークアップできます。すべての I/O は、それよりも高いレベルの低消費電力モードから MCU をウェークアップするように構成できます。詳細については、『MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル』の「GPIO FastWake」セクションを参照してください。

6.3 信号の説明

多くの MSPM0 信号は、複数のデバイスピンで利用可能になります。次に列ヘッダーについて説明します。

1. **信号名**:指定されたピンのいずれかに接続できる信号の名前。
2. **ピンの種類**:信号の方向と信号のタイプ:
   - I = 入力
   - O = 出力
   - IO = 入力、出力、または同時に入力と出力
   - ID = 入力、オープン ドレイン動作付き
   - OD = 出力、オープン ドレイン動作付き
   - IOD = 入力、出力、または同時に入力と出力、オープン ドレイン動作き
   - A = アナログ
   - PWR = 電源機能
3. **説明**:信号の説明。
4. **ピン**:関連するピン番号。

ピン多重化方式の詳細については、『 』と『*MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル*』の「IOMUX」の章を参照してください。

注

IOMUX は、IOMUX による 1 つのデジタル機能をピンに同時に接続することのみをサポートしています。ただし、IOMUX 非管理信号 (アナログ入力、WAKE 入力など) は、このピンにおいて IOMUX 管理デジタル機能が有効化されると同時に、このピンで有効化できます。この場合、各ピンでイネーブルされる機能間に競合がないことを設計者が確認する必要があります。

Copyright © 2025 Texas Instruments Incorporated

表 6-3. 信号の説明

機能	信号名	ピン番号 (1)						ピンの種類 (2)	説明
		64 PM	48 PT、RGZ	32 RHB	28 DGS28	24 VQFN	28 DSBGA		
ADC	A0_0	31	47	31	2	–	C3	I	ADC0 アナログ入力 0
	A0_1	30	46	30	1	22	B3	I	ADC0 アナログ入力 1
	A0_2	26	45	29	28	21	E2	I	ADC0 アナログ入力 2
	A0_3	25	44	28	27	20	A3	I	ADC0 アナログ入力 3
	A0_4	27	–	–	–	–	–	I	ADC0 アナログ入力 4
	A0_5	23	42	–	–	–	–	I	ADC0 アナログ入力 5
	A0_6	19	41	–	–	–	–	I	ADC0 アナログ入力 6
	A0_7	18	40	26	25	18	C2	I	ADC0 アナログ入力 7
	A0_12	7	29	18	17	–	-	I	ADC0 アナログ入力 12
	A1_0	8	30	19	18	11	F1	I	ADC1 アナログ入力 0
	A1_1	9	31	20	19	12	E1	I	ADC1 アナログ入力 1
	A1_2	10	32	21	20	13	-	I	ADC1 アナログ入力 2
	A1_3	11	33	22	21	14	B1	I	ADC1 アナログ入力 3
	A1_4	14	36	–	–	–	–	I	ADC1 アナログ入力 4
	A1_5	15	37	–	–	–	–	I	ADC1 アナログ入力 5
	A1_6	16	38	–	–	–	A1	I	ADC1 アナログ入力 6
	A1_7	17	39	25	24	17	D2	I	ADC1 アナログ入力 7
BSL	BSL_invoke	11	33	22	21	14	B1	I	ブートローダの呼び出しに使用する入力ピン
BSL (I^2C)	BSLSCL	34	2	2	5	1	E3	I/O	デフォルトの I^2C BSL クロック
	BSLSDA	33	1	1	4	24	D3	I/O	デフォルトの I^2C BSL データ
BSL (UART)	BSLRX	57	19	15	16	10	G2	I	デフォルトの UART BSL 受信
	BSLTX	56	18	14	15	9	G1	O	デフォルトの UART BSL 送信
クロック	CLK_OUT	7 18 39 49 55 56 63	5 13 17 18 29 40	11 13 14 18 26	14 15 17 25	8 9 18	F2 G1 C2	O	設定可能クロック出力
	HFCLK_IN	46	12	10	13	–	G3	I	デジタル高周波数クロック入力
	HFXIN	45	11	9	12	–	F3	I	高周波数水晶発振器 HFXT の入力
	HFXOUT	46	12	10	13	–	G3	O	高周波水晶発振器 HFXT の出力
	LFCLK_IN	44	10	8	11	7	G4	I	デジタル低周波数クロック入力
	LFXIN	43	9	7	10	–	F4	I	低周波数水晶発振器 LFXT の入力
	LFXOUT	44	10	8	11	7	G4	O	低周波数水晶発振器 LFXT の出力
	ROSC	42	8	6	9	5	E4	I	発振器の精度向上のために使用する外付け抵抗

Copyright © 2025 Texas Instruments Incorporated

表 6-3. 信号の説明 (続き)

機能	信号名	ピン番号 (1)						ピンの種類 (2)	説明
		64 PM	48 PT、RGZ	32 RHB	28 DGS28	24 VQFN	28 DSBGA		
コンパレータ	COMP0_IN0-	31	47	31	2	–	C3	I	コンパレータ 0 反転入力 0
	COMP0_IN0+	30	46	30	1	22	B3	I	コンパレータ 0 非反転入力 0
	COMP0_IN1-	10	32	21	20	13	-	I	コンパレータ 0 反転入力 1
	COMP0_IN1+	11	33	22	21	14	B1	I	コンパレータ 0 非反転入力 1
	COMP0_IN2-	6	28	17	–	–	-	I	コンパレータ 0 反転入力 2
	COMP0_IN2+	7	29	18	17	–	-	I	コンパレータ 0 非反転入力 2
	COMP0_IN3+	8	30	19	18	11	F1	I	コンパレータ 0 非反転入力 3
	COMP0_OUT	22 49 57	13 19	11 15	16	10	G2 B2	O	コンパレータ 0 出力
	COMP1_IN0-	29	–	–	–	–	-	I	コンパレータ 1 反転入力 0
	COMP1_IN0+	28	–	–	–	–	-	I	コンパレータ 1 非反転入力 0
	COMP1_IN1-	24	43	27	26	19	A2	I	コンパレータ 1 反転入力 1
	COMP1_IN1+	23	42	–	–	–	-	I	コンパレータ 1 非反転入力 1
	COMP1_IN2-	14	36	–	–	–	-	I	コンパレータ 1 反転入力 2
	COMP1_IN3+	8	30	19	18	11	F1	I	コンパレータ 1 非反転入力 3
	COMP1_OUT	43 60 62	9 22	7	10	6	F4	O	コンパレータ 1 出力
	COMP2_IN0-	21	–	–	–	–	-	I	コンパレータ 2 反転入力 0
	COMP2_IN0+	20	–	–	–	–	-	I	コンパレータ 2 非反転入力 0
	COMP2_IN1-	17	39	25	24	17	D2	I	コンパレータ 2 反転入力 1
	COMP2_IN1+	16	38	–	–	–	A1	I	コンパレータ 2 非反転入力 1
	COMP2_OUT	9 16 29	31 38	20	19	12	E1	O	コンパレータ 2 出力
DAC	DAC_OUT	8	30	19	18	11	F1	O	DAC 出力
デバッグ	SWCLK	13	35	24	23	16	D1	I	シリアル ワイヤ デバッグ入力クロック
	SWDIO	12	34	23	22	15	C1	I/O	シリアル ワイヤ デバッグ データ入力 / 出力
FCC	FCC_IN	5 9 33 45	1 11 27 31	1 9 16 20	4 12 19	12 24	D3 F3 E1	I	周波数クロック カウンタ入力
汎用アンプ	GPAMP_IN+	30	46	30	1	22	B3	I	GPAMP 非反転端子入力
	GPAMP_IN-	11	33	22	21	14	B1	I	GPAMP 反転端子入力
	GPAMP_OUT	18	40	26	25	18	C2	O	GPAMP 出力

Copyright © 2025 Texas Instruments Incorporated

表 6-3. 信号の説明 (続き)

機能	信号名	ピン番号 (1)						ピンの種類 (2)	説明
		64 PM	48 PT、RGZ	32 RHB	28 DGS28	24 VQFN	28 DSBGA		
GPIO	PA0	33	1	1	4	24	D3	I/O	SHUTDOWN からのウェークアップ機能を備えた汎用デジタル I/O
	PA1	34	2	2	5	1	E3	I/O	SHUTDOWN からのウェークアップ機能を備えた汎用デジタル I/O
	PA2	42	8	6	9	5	E4	I/O	汎用デジタル I/O
	PA3	43	9	7	10	6	F4	I/O	汎用デジタル I/O
	PA4	44	10	8	11	7	G4	I/O	汎用デジタル I/O
	PA5	45	11	9	12	–	F3	I/O	汎用デジタル I/O
	PA6	46	12	10	13	–	G3	I/O	汎用デジタル I/O
	PA7	49	13	11	–	–	–	I/O	汎用デジタル I/O
	PA8	54	16	12	–	–	–	I/O	汎用デジタル I/O
	PA9	55	17	13	14	8	F2	I/O	汎用デジタル I/O
	PA10	56	18	14	15	9	G1	I/O	SHUTDOWN からのウェークアップ機能を備えた汎用デジタル I/O
	PA11	57	19	15	16	10	G2	I/O	SHUTDOWN からのウェークアップ機能を備えた汎用デジタル I/O
	PA12	5	27	16	–	–	–	I/O	汎用デジタル I/O
	PA13	6	28	17	–	–	–	I/O	汎用デジタル I/O
	PA14	7	29	18	17	–	–	I/O	汎用デジタル I/O
	PA15	8	30	19	18	11	F1	I/O	汎用デジタル I/O
	PA16	9	31	20	19	12	E1	I/O	汎用デジタル I/O
	PA17	10	32	21	20	13	–	I/O	SHUTDOWN からのウェークアップ機能を備えた汎用デジタル I/O
	PA18	11	33	22	21	14	B1	I/O	SHUTDOWN からのウェークアップ機能を備えた汎用デジタル I/O
	PA19	12	34	23	22	15	C1	I/O	汎用デジタル I/O
	PA20	13	35	24	23	16	D1	I/O	汎用デジタル I/O
	PA21	17	39	25	24	17	D2	I/O	汎用デジタル I/O
	PA22	18	40	26	25	18	C2	I/O	汎用デジタル I/O
	PA23	24	43	27	26	19	A2	I/O	汎用デジタル I/O
	PA24	25	44	28	27	20	A3	I/O	汎用デジタル I/O
	PA25	26	45	29	28	21	E2	I/O	汎用デジタル I/O
	PA26	30	46	30	1	22	B3	I/O	汎用デジタル I/O
	PA27	31	47	31	2	–	C3	I/O	汎用デジタル I/O
	PA28	35	3	–	–	–	–	I/O	SHUTDOWN からのウェークアップ機能を備えた汎用デジタル I/O
	PA29	36	–	–	–	–	–	I/O	汎用デジタル I/O
	PA30	37	–	–	–	–	–	I/O	汎用デジタル I/O
	PA31	39	5	–	–	–	–	I/O	SHUTDOWN からのウェークアップ機能を備えた汎用デジタル I/O

Copyright © 2025 Texas Instruments Incorporated

表 6-3. 信号の説明 (続き)

機能	信号名	ピン番号 (1)						ピンの種類 (2)	説明
		64 PM	48 PT、RGZ	32 RHB	28 DGS28	24 VQFN	28 DSBGA		
GPIO	PB0	47	–	–	–	–	–	I/O	汎用デジタル I/O
	PB1	48	–	–	–	–	–	I/O	汎用デジタル I/O
	PB2	50	14	–	–	–	–	I/O	汎用デジタル I/O
	PB3	51	15	–	–	–	–	I/O	汎用デジタル I/O
	PB4	52	–	–	–	–	–	I/O	汎用デジタル I/O
	PB5	53	–	–	–	–	–	I/O	汎用デジタル I/O
	PB6	58	20	–	–	–	–	I/O	汎用デジタル I/O
	PB7	59	21	–	–	–	–	I/O	汎用デジタル I/O
	PB8	60	22	–	–	–	–	I/O	汎用デジタル I/O
	PB9	61	23	–	–	–	–	I/O	汎用デジタル I/O
	PB10	62	–	–	–	–	–	I/O	汎用デジタル I/O
	PB11	63	–	–	–	–	–	I/O	汎用デジタル I/O
	PB12	64	–	–	–	–	–	I/O	汎用デジタル I/O
	PB13	1	–	–	–	–	–	I/O	汎用デジタル I/O
	PB14	2	24	–	–	–	–	I/O	汎用デジタル I/O
	PB15	3	25	–	–	–	–	I/O	汎用デジタル I/O
	PB16	4	26	–	–	–	–	I/O	汎用デジタル I/O
	PB17	14	36	–	–	–	–	I/O	汎用デジタル I/O
	PB18	15	37	–	–	–	–	I/O	汎用デジタル I/O
	PB19	16	38	–	–	–	A1	I/O	汎用デジタル I/O
	PB20	19	41	–	–	–	–	I/O	汎用デジタル I/O
	PB21	20	–	–	–	–	–	I/O	汎用デジタル I/O
	PB22	21	–	–	–	–	–	I/O	汎用デジタル I/O
	PB23	22	–	–	–	–	B2	I/O	汎用デジタル I/O
	PB24	23	42	–	–	–	–	I/O	汎用デジタル I/O
	PB25	27	–	–	–	–	–	I/O	汎用デジタル I/O
	PB26	28	–	–	–	–	–	I/O	汎用デジタル I/O
	PB27	29	–	–	–	–	–	I/O	汎用デジタル I/O
I^2C	I2C0_SCL	34 39 57	2 5 19	2 15	5 16	1 10	E3 G2	I/O	I2C0 シリアル クロック
	I2C0_SDA	33 35 56	1 3 18	1 14	4 15	9 24	D3 G1	I/O	I2C0 シリアル データ
	I2C1_SCL	8 10 36 44 50 57	10 14 19 30 32	8 15 19 21	11 16 18 20	7 10 11 13	G4 G2 F1	I/O	I2C1 シリアル クロック
	I2C1_SDA	9 11 37 43 51 56	9 15 18 31 33	7 14 20 22	10 15 19 21	6 9 12 14	F4 G1 E1 B1	I/O	I2C1 シリアル データ

Copyright © 2025 Texas Instruments Incorporated

表 6-3. 信号の説明 (続き)

機能	信号名	ピン番号 (1)						ピンの種類 (2)	説明
		64 PM	48 PT、RGZ	32 RHB	28 DGS28	24 VQFN	28 DSBGA		
チョッパ安定化オペアンプ (ゼロドリフト オペアンプ)	OPA0_IN0+	30	46	30	1	22	B3	I	OPA0 非反転端子入力 0
	OPA0_IN1+	26	45	29	28	21	E2	I	OPA0 非反転端子入力 1
	OPA0_IN2+	8	30	19	18	11	F1	I	OPA0 非反転端子入力 2
	OPA0_IN0-	31	47	31	2	–	C3	I	OPA0 反転端子入力 0
	OPA0_IN1-	25	44	28	27	20	A3	I	OPA0 反転端子入力 1
	OPA0_OUT	18	40	26	25	18	C2	O	OPA0 出力
	OPA1_IN0+	16	38	–	–	–	A1	I	OPA1 非反転端子入力 0
	OPA1_IN1+	11	33	22	21	14	B1	I	OPA1 非反転端子入力 1
	OPA1_IN2+	8	30	19	18	11	F1	I	OPA1 非反転端子入力 2
	OPA1_IN0-	19	41	–	–	–	–	I	OPA1 反転端子入力 0
	OPA1_IN1-	10	32	21	20	13	–	I	OPA1 反転端子入力 1
	OPA1_OUT	9	31	20	19	12	E1	O	OPA1 出力
電源	VSS	41	7	5	8	4	D4	P	グランド電源
	VDD	40	6	4	7	3	C4	P	電源
	VCORE	32	48	32	3	23	A4	P	安定化コア電源出力
	QFN パッド	–	パッド	パッド	–	パッド	–	P	QFN パッケージの露出サーマル パッド。V_{SS} に接続することを推奨します。
RTC	RTC_OUT	31 55	17 47	13 31	2 14	8	C3 F2	O	RTC クロック出力

Copyright © 2025 Texas Instruments Incorporated

表 6-3. 信号の説明 (続き)

機能	信号名	ピン番号 (1)						ピンの種類 (2)	説明
		64 PM	48 PT、RGZ	32 RHB	28 DGS28	24 VQFN	28 DSBGA		
SPI	SPI0_CS0	27 42 54	8 16	6 12	9	5	E4	I/O	SPI0 チップ セレクト 0
	SPI0_CS1	23 28 43 58	9 20 42	7	10	6	F4	I/O	SPI0 チップ セレクト 1
	SPI0_CS2	19 25 59	21 41 44	28	27	20	A3	I/O	SPI0 チップ セレクト 2
	SPI0_CS3	2 23 24	24 42 43	27	26	19	A2	I/O	SPI0 チップ セレクト 3
	SPI0_SCK	5 15 46 57	12 19 27 37	10 15 16	13 16	10	G3 G2	I/O	SPI0 クロック信号入力 – SPI ペリフェラル モード クロック信号出力 – SPI コントローラ モード
	SPI0_POCI	6 16 44 56	10 18 28 38	8 14 17	11 15	7 9	G4 G1 A1	I/O	SPI0 コントローラ入力 / ペリフェラル出力
	SPI0_PICO	7 14 45 55	11 17 29 36	9 13 18	12 14 17	8	F3 F2	I/O	SPI0 コントローラ出力 / ペリフェラル入力
	SPI1_CS0	19 30 42 58	8 20 41 46	6 30	1 9	5 22	B3 E4	I/O	SPI1 チップ セレクト 0
	SPI1_CS1	14 29 31	36 47	31	2	–	C3	I/O	SPI1 チップ セレクト 1
	SPI1_CS2	8 15 47	30 37	19	18	11	F1	I/O	SPI1 チップ セレクト 2
	SPI1_CS3	2 26 48	24 45	29	28	21	E2	I/O	SPI1 チップ セレクト 3
	SPI1_SCK	4 10 22 61	23 26 32	21	20	13	B2	I/O	SPI1 クロック信号入力 – SPI ペリフェラル モード クロック信号出力 – SPI コントローラ モード
	SPI1_POCI	2 9 20 59	21 24 31	20	19	12	E1	I/O	SPI1 コントローラ入力 / ペリフェラル出力
	SPI1_PICO	3 11 21 60	22 25 33	22	21	14	B1	I/O	SPI1 コントローラ出力 / ペリフェラル入力
システム	NRST	38	4	3	6	2	B4	I	リセット入力 (アクティブ Low)

Copyright © 2025 Texas Instruments Incorporated

表 6-3. 信号の説明 (続き)

機能	信号名	ピン番号 (1)						ピンの種類 (2)	説明
		64 PM	48 PT、RGZ	32 RHB	28 DGS28	24 VQFN	28 DSBGA		
タイマ	TIMG0_C0	5 24 45 62	11 27 43	9 16 27	12 26	19	F3 A2	I/O	汎用タイマ 0 CCR0 キャプチャ入力または比較出力
	TIMG0_C1	6 25 46 63	12 28 44	10 17 28	13 27	20	G3 A3	I/O	汎用タイマ 0 CCR1 キャプチャ入力または比較出力
	TIMG6_C0	17 28 36 45 50 58 62	11 14 20 39	9 25	12 24	17	F3 D2	I/O	汎用タイマ 6 CCR0 キャプチャ入力または比較出力
	TIMG6_C1	18 29 37 46 51 59 63	12 15 21 40	10 26	13 25	18	G3 C2	I/O	汎用タイマ 6 CCR1 キャプチャ入力または比較出力
	TIMG7_C0	3 10 24 30 35 43	3 9 25 32 43 46	7 21 27 30	1 10 20 26	6 13 19 22	B3 F4 A2	I/O	汎用タイマ 7 CCR1 キャプチャ入力または比較出力
	TIMG7_C1	4 11 16 25 31 39 42 44 49	5 8 10 13 26 33 38 44 47	6 8 11 22 28 31	2 9 11 21 27	5 7 14 20	C3 E4 G4 B1 A3 A1	I/O	汎用タイマ 7 CCR1 キャプチャ入力または比較出力
	TIMG8_C0	3 17 20 24 30 34 36 43 45 49 58 62	2 9 11 13 20 25 39 43 46	2 7 9 11 25 27 30	1 5 10 12 24 26	1 6 17 19 22	B3 E3 F4 F3 D2 A2	I/O	汎用タイマ 8 CCR0 キャプチャ入力または比較出力

Copyright © 2025 Texas Instruments Incorporated

表 6-3. 信号の説明 (続き)

機能	信号名	ピン番号 (1)						ピンの種類 (2)	説明
		64 PM	48 PT、RGZ	32 RHB	28 DGS28	24 VQFN	28 DSBGA		
タイマ (続き)	TIMG8_C1	4 16 18 21 31 33 37 42 44 46 59 63	1 8 10 12 21 26 38 40 47	1 6 8 10 26 31	2 4 9 11 13 25	5 7 18 24	C3 D3 E4 G4 G3 C2 A1	I/O	汎用タイマ 8 CCR1 キャプチャ入力または比較出力
	TIMG8_IDX	2 8 34 49	2 13 24 30	2 11 19	5 18	1 11	E3 F1	I	汎用タイマ 8 直交エンコーダ インデックス パルス入力
	TIMG12_C0	1 7 19 56	18 29 41	14 18	15 17	9	G1	I/O	32 ビット汎用タイマ 0 CCR0 キャプチャ入力または比較出力
	TIMG12_C1	2 23 26 39	5 24 42 45	29	28	21	E2	I/O	32 ビット汎用タイマ 0 CCR1 キャプチャ入力または比較出力
	TIMA0_C0	2 17 33 54 60	1 16 22 24 39	1 12 25	4 24	17 24	D3 D2	I/O	高度制御タイマ 0 CCR0 キャプチャ入力 / 比較出力
	TIMA0_C0N	18 55 61	17 23 40	13 26	14 25	8 18	F2 C2	I/O	高度制御タイマ 0 CCR0 比較出力 (反転)
	TIMA0_C1	18 34 43 49 55 61 64	2 9 17 23 40 41	2 7 11 13 26	5 10 14 25	1 6 8 18	E3 F4 F2 C2	I/O	高度制御タイマ 0 CCR1 キャプチャ入力または比較出力
	TIMA0_C1N	1 19 23 26 44 55	10 17 42 45	8 13 29	11 14 28	7 21	G4 E2	I/O	高度制御タイマ 0 CCR1 比較出力 (反転)

Copyright © 2025 Texas Instruments Incorporated

表 6-3. 信号の説明 (続き)

機能	信号名	ピン番号 (1)						ピンの種類 (2)	説明
		64 PM	48 PT、RGZ	32 RHB	28 DGS28	24 VQFN	28 DSBGA		
タイマ (続き)	TIMA0_C2	8 14 19 43 47 49 52 56 64	9 13 18 30 36 41	7 11 14 19	10 15 18	6 9 11	F4 G1 F1	I/O	高度制御タイマ 0 CCR2 キャプチャ入力または比較出力
	TIMA0_C2N	9 15 46 48 53 57	12 19 31 37	10 15 20	13 16 19	10 12	G3 G2 E1	I/O	高度制御タイマ 0 CCR2 比較出力 (反転)
	TIMA0_C3	1 5 10 23 24 26 28 35 44 50	3 10 14 27 32 42 43 45	8 16 21 27 29	11 20 26 28	7 13 19 21	G4 A2 E2	I/O	高度制御タイマ 0 CCR3 キャプチャ入力または比較出力
	TIMA0_C3N	6 11 25 29 39 51	5 15 28 33 44	17 22 28	21 27	14 20	B1 A3	I/O	高度制御タイマ 0 CCR3 比較出力 (反転)
	TIMA1_C0	8 10 14 28 35 47 50 52 56	3 14 18 30 32 36	14 19 21	15 18 20	9 11 13	G1 F1	I/O	高度制御タイマ 1 CCR0 キャプチャ入力または比較出力
	TIMA1_C0N	8 23 52 54 58	16 20 30 42	12 19	18	11	F1	I/O	高度制御タイマ 0 CCR3 比較出力 (反転)
	TIMA1_C1	9 11 15 25 29 39 48 51 53 57	5 15 19 31 33 37 44	15 20 22 28	16 19 21 27	10 12 14 20	G2 E1 B1 A3	I/O	高度制御タイマ 1 CCR1 キャプチャ入力または比較出力

Copyright © 2025 Texas Instruments Incorporated

表 6-3. 信号の説明 (続き)

機能	信号名	ピン番号 (1)						ピンの種類 (2)	説明
		64 PM	48 PT、RGZ	32 RHB	28 DGS28	24 VQFN	28 DSBGA		
タイマ (続き)	TIMA1_C1N	9 19 53 55 59	17 21 31 41	13 20	14 19	8 12	F2 E1	I/O	高度制御タイマ 1 CCR1 比較出力 (反転)
	TIMA_FAL0	22 30 35 46	3 12 46	10 30	1 13	22	B3 G3 B2	I	高度制御タイマ 0 フォルト処理入力
	TIMA_FAL1	19 33 45 64	1 11 41	1 9	4 12	24	D3 F3	I	高度制御タイマ 1 フォルト処理入力
	TIMA_FAL2	27 31 34	2 47	2 31	2 5	1	C3 E3	I	高度制御タイマ 2 フォルト処理入力

Copyright © 2025 Texas Instruments Incorporated

表 6-3. 信号の説明 (続き)

機能	信号名	ピン番号 (1)						ピンの種類 (2)	説明
		64 PM	48 PT、RGZ	32 RHB	28 DGS28	24 VQFN	28 DSBGA		
UART	UART0_TX	33 35 47 56	1 3 18	1 14	4 15	9 24	D3 G1	O	UART0 送信データ
	UART0_RX	34 39 48 57	2 5 19	2 15	5 16	1 10	E3 G2	I	UART0 受信データ
	UART0_CTS	7 16 27 55	17 29 38	13 18	14 17	8	F2 A1	I	UART0「送信可」フロー制御入力
	UART0_RTS	8 28 54	16 30	12 19	18	11	F1	O	UART0「送信要求」フロー制御出力
	UART1_TX	10 52 54 58	16 20 32	12 21	20	13	-	O	UART1 送信データ
	UART1_RX	11 53 55 59	17 21 33	13 22	14 21	8 14	F2 B1	I	UART1 受信データ
	UART1_CTS	17 50 60	14 22 39	25	24	17	D2	I	UART1「送信可」フロー制御入力
	UART1_RTS	18 51 61	15 23 40	26	25	18	C2	O	UART1「送信要求」フロー制御出力
	UART2_TX	3 14 17 24	25 36 39 43	25 27	24 26	17 19	D2 A2	O	UART2 送信データ
	UART2_RX	4 15 18 25	26 37 40 44	26 28	25 27	18 20	C2 A3	I	UART2 受信データ
	UART2_CTS	37 43 50 58	9 14 20	7	10	6	F4	I	UART2「送信可」フロー制御入力
	UART2_RTS	36 44 51 59	10 15 21	8	11	7	G4	O	UART2「送信要求」フロー制御出力

Copyright © 2025 Texas Instruments Incorporated

表 6-3. 信号の説明 (続き)

機能	信号名	ピン番号 (1)						ピンの種類 (2)	説明
		64 PM	48 PT、RGZ	32 RHB	28 DGS28	24 VQFN	28 DSBGA		
UART (続き)	UART3_TX	7 30 50 64	14 29 46	18 30	1 17	22	B3	O	UART3 送信データ
	UART3_RX	1 6 26 51	15 28 45	17 29	28	21	E2	I	UART3 受信データ
	UART3_CTS	3 5 24 52	25 27 43	16 27	26	19	A2	I	UART3「送信可」フロー制御入力
	UART3_RTS	4 6 25 53	26 28 44	17 28	27	20	A3	O	UART3「送信要求」フロー制御出力
基準電圧 (3)	VREF+	24	43	27	26	19	A2	I/O	リファレンス電圧 (VREF) 電源 - 外部リファレンス入力または内部リファレンス出力
	VREF-	17	39	25	24	17	D2	I/O	リファレンス電圧 (VREF) 電源グランド - 外部リファレンス入力または内部リファレンス出力

(1) – = 使用不可
(2) I = 入力、O = 出力、I/O = 入出力、P = 電源
(3) VREF+ と VREF- を使用して ADC などのアナログ ペリフェラル用の外部リファレンス電圧を取り込む場合、デカップリング コンデンサを VREF+ から VREF- / GND に、外部リファレンス電源に応じた容量で配置する必要があります。

6.4 未使用ピンの接続

表 6-4 に、未使用ピンの正しい終端を示します。

表 6-4. 未使用ピンの接続

ピン (1)	電位	備考
PAx および PBx	オープン	対応するピン機能を GPIO (PINCMx.PF = 0x1) に設定し、未使用のピンが Low を出力するように、または内部プルアップまたはプルダウン抵抗をイネーブルにした入力になるように構成します。
NRST	VCC	NRST はアクティブ Low のリセット信号です。ピンを VCC にプルアップしないと、本デバイスは起動できません。詳細については、セクション 9.1 を参照してください。

(1) 汎用 I/O と共有されている機能を持つすべての未使用ピンについては、「PAx および PBx」未使用ピンの接続ガイドラインに従う必要があります。

Copyright © 2025 Texas Instruments Incorporated

7 仕様

7.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
VDD	電源電圧	VDD ピンで	-0.3	4.1	V
V_I	入力電圧	すべての 5V 許容オープンドレイン ピンに印加	-0.3	5.5	V
V_I	入力電圧	任意の通常耐圧ピンに印加	-0.3	V_{DD} + 0.3 (最大 4.1)	V
I_{VDD}	VDD ピンに流れ込む電流 (ソース)(4)	-40°C ≤ T_j ≤ 130°C		80	mA
		-40°C ≤ T_j≤ 90°C		100	mA
I_{VSS}	VSS ピンから流れ出す電流 (シンク)(4)	-40°C ≤ T_j≤ 130°C		80	mA
		-40°C ≤ T_j≤ 90°C		100	mA
I_{IO}	SDIO ピンの電流	SDIO ピンによってシンクまたはソースされる電流		6	mA
	HSIO ピンの電流	HSIO ピンによってシンクまたはソースされる電流		6	mA
	HDIO ピンの電流	HDIO ピンによってシンクまたはソースされる電流		20	mA
	ODIO ピンの電流	ODIO ピンによってシンクされる電流		20	mA
I_D	サポートされているダイオード電流(3)	すべてのデバイス ピンのダイオード電流	-2	+2	mA
T_A	周囲温度	周囲温度	-40	125	°C
T_J	接合部温度	接合部温度	-40	130	°C
T_{stg}	保存温度(2)	保存温度(2)	-40	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) ボード製造時の半田付けでは、現在の JEDEC J-STD-020 仕様に従い、ピーク リフロー温度が梱包箱またはリール上のデバイス ラベルに記載されている分類を超えなければ、より高い温度になってもかまいません。
(3) PA21 にはテスト目的で内部接続があり、このピンでは注入電流は許容されません。
(4) VDD = 1.62V で動作するアプリケーションでは、デバイスの機能を確保するために、I_VDD/I_VSS <= 20mA が必要です

7.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	±500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

7.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
VDD	電源電圧	1.62		3.6	V
VCORE	VCORE ピンの電圧 (2)		1.35		V
C_{VDD}	VDD と VSS の間に配置されたコンデンサ (1)		10		µF

Copyright © 2025 Texas Instruments Incorporated

7.3 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
C_{VCORE}	VCORE と VSS の間に配置されたコンデンサ (1) (2)		470		nF
T_A	周囲温度、S バージョン	-40		125	°C
T_J	最大接合部温度、S バージョン			130	°C
$f_{MCLK (PD1 bus clock)}$	MCLK、CPUCLK 周波数、2 フラッシュ ウェイト状態 (3)			80	MHz
	MCLK、CPUCLK 周波数、1 フラッシュ ウェイト状態 (3)			48	
	MCLK、CPUCLK 周波数、0 フラッシュ ウェイト状態 (3)			24	
$f_{ULPCLK (PD0 bus clock)}$	ULPCLK 周波数			40	MHz

(1) C_{VDD} と C_{VCORE} は、それぞれ VDD/VSS 間と VCORE/VSS 間に、本デバイスのピンにできる限り近づけて接続します。 C_{VDD} と C_{VCORE} には、容量値の誤差が ±20% までの精度の低 ESR コンデンサを使う必要があります。
(2) VCORE ピンは、C_{VCORE} にのみ接続する必要があります。 電圧を供給したり、VCORE ピンに外部負荷を加えたりしないでください。
(3) ウェイト状態はシステム コントローラ (SYSCTL) によって自動的に管理されるため、MCLK が高速クロック ソース (HFCLK または SYSPLL からソースされる HSCLK) から供給される場合以外は、アプリケーション ソフトウェアで構成する必要はありません。

7.4 熱に関する情報

熱評価基準(1)		パッケージ	値	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	VQFN-24 (RGE)	40.3	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		30.8	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		17.9	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		0.5	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		17.8	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		3.4	°C/W
$R_{\theta JA}$	接合部から周囲への熱抵抗	DSBGA-28 (YCJ)	71.0	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		0.25	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		16.6	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		0.1	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		16.5	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		該当なし	°C/W
$R_{\theta JA}$	接合部から周囲への熱抵抗	LQFP-64 (PM)	61.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		22.0	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		33.0	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		1.7	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		32.7	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		該当なし	°C/W
$R_{\theta JA}$	接合部から周囲への熱抵抗	VQFN-48 (RGZ)	30.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		20.7	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		12.5	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		0.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		12.4	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		4.2	°C/W

Copyright © 2025 Texas Instruments Incorporated

7.4 熱に関する情報 (続き)

熱評価基準(1)		パッケージ	値	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	LQFP-48 (PT)	69.2	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		27.4	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		32.6	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		2.6	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		32.3	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		該当なし	°C/W
$R_{\theta JA}$	接合部から周囲への熱抵抗	VQFN-32 (RHB)	32.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		23.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		13.0	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		0.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		13.0	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		3.3	°C/W
$R_{\theta JA}$	接合部から周囲への熱抵抗	VSSOP-28 (DGS28)	78.9	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		38.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		41.3	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		3.4	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		41.0	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

7.5 電源電流特性

7.5.1 RUN / SLEEP モード

VDD = 3.3V。 すべての入力は、0V または VDD に接続されています。出力は、電流のソースまたはシンクを行いません。 すべてのペリフェラルはディセーブルです。

パラメータ		MCLK	-40°C		25°C		85°C		105°C		125°C		単位
			標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	
RUN モード													
IDD_{RUN}	MCLK=SYSPLL、SYSPLLREF=SYSOSC、CoreMark、フラッシュから実行	80MHz	8		8.1		8.2		8.4		8.7		mA
		48MHz	5		4.9		5.3		5.2		5.8		
	MCLK=SYSOSC、CoreMark、フラッシュから実行	32MHz	3.5		3.6		3.8		3.9		4.2		
		4MHz	0.7		0.7		0.8		1.0		1.4		
	MCLK=SYSPLL、SYSPLLREF=SYSOSC、CoreMark、SRAM から実行	80MHz	6.2		6.3		6.5		6.6		7		
		48MHz	3.9		4		4.2		4.6		5.0		
	MCLK=SYSOSC、CoreMark、SRAM から実行	32MHz	2.6		2.7		2.8		3.0		3.4		
		4MHz	0.6		0.6		0.8		0.9		1.2		
IDD_{RUN}、MHz あたり	MCLK=SYSPLL、SYSPLLREF=SYSOSC、CoreMark、フラッシュから実行	80MHz	100		101		103		105		109		µA/MHz
	MCLK=SYSPLL、SYSPLLREF=SYSOSC、While(1)、フラッシュから実行	80MHz	54	63	55	66	57	70	58	78	64	85	
SLEEP モード													
IDD_{SLEEP}	MCLK=SYSPLL、SYSPLLREF=SYSOSC、CPU 停止	80MHz	3127	3280	3189	3400	3334	3893	3474	4402	3800	5509	µA
		48MHz	2134	2416	2183	2500	2325	2885	2465	3404	2785	4400	µA
	MCLK=SYSOSC、CPU 停止	32MHz	1436	1525	1473	1593	1608	2113	1745	2626	2094	3731	µA
	MCLK=SYSOSC、CPU 停止	4MHz	463	530	487	620	662	1220	738	1640	1640	2834	µA
IDD_{SLEEP} MHz あたり	MCLK=SYSPLL、SYSPLLREF=SYSOSC、CPU 停止	80MHz	39		40		42		43		48		µA/MHz

7.5.2 STOP / STANDBY モード

VDD = 3.3V。すべての入力は、0V または VDD に接続されています。 出力は、電流のソースまたはシンクを行いません。 特に記述のないすべてのペリフェラルはディセーブルです。

パラメータ		ULPCLK	-40°C		25°C		85°C		105°C		125°C		単位
			標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	
STOP モード													
IDD_{STOP0}	SYSOSC = 32MHz、USE4MHZSTOP = 0、DISABLESTOP = 0	4MHz	352	444	360	450	364	474	370	504	381	577	µA
IDD_{STOP1}	SYSOSC = 4MHz、USE4MHZSTOP = 1、DISABLESTOP = 0		184	205	190	210	195	250	200	260	213	300	
IDD_{STOP2}	SYSOSC オフ、DISABLESTOP=1、ULPCLK=LFCLK	32kHz	45	64	47	67	54	90	59	130	71	170	
STANDBY モード													

Copyright © 2025 Texas Instruments Incorporated

7.5.2 STOP / STANDBY モード (続き)

VDD = 3.3V。すべての入力は、0V または VDD に接続されています。 出力は、電流のソースまたはシンクを行いません。 特に記述のないすべてのペリフェラルはディセーブルです。

パラメータ		ULPCLK	-40°C		25°C		85°C		105°C		125°C		単位
			標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	
IDD_{STBY0}	LFCLK = LFXT、STORPCLKSTBY = 0、RTC イネーブル	32kHz	2	7	2	7	5	40	9	75	20	105	µA
IDD_{STBY1}	LFCLK = LFOSC、STORPCLKSTBY = 1、RTC イネーブル		1.4	6	1.5	7	4	40	8	70	16	100	
	LFCLK = LFXT、STORPCLKSTBY = 1、RTC イネーブル		1.4	3	1.5	4	4	40	8	70	16	100	
	LFCLK = LFXT、STORPCLKSTBY = 1、GPIOA イネーブル		1.4	3	1.5	4	4	40	8	70	16	100	

7.5.3 SHUTDOWN モード

すべての入力は、0V または VDD に接続されています。出力は、電流のソースまたはシンクを行いません。コア レギュレータはパワーダウンされています。

パラメータ		VDD	-40°C		25°C		85°C		105°C		125°C		単位
			標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	
IDD_{SHDN}	SHUTDOWN モードの電源電流	3.3V	40		80		730		1730		4800		nA

7.6 電源シーケンス

7.6.1 電源ランプ

図 7-1 に、パワーアップ / パワーダウン時の POR-、POR+、BOR0-、BOR0+ の関係を示します。

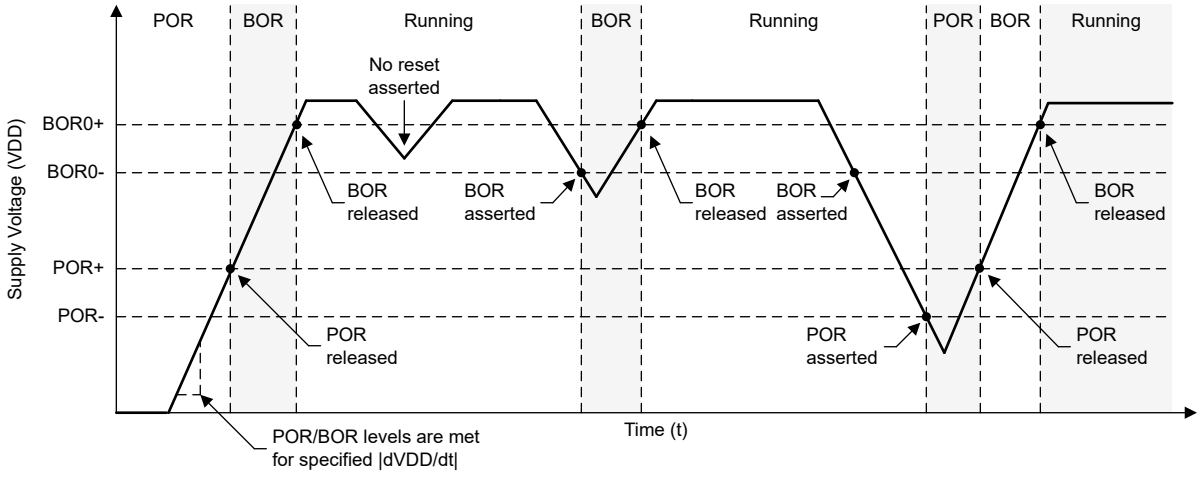


図 7-1. パワー サイクルの POR と BOR の条件

Copyright © 2025 Texas Instruments Incorporated

7.6.1.1 POR および BOR

外気温度範囲での動作時 (特に記述がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
dVDD/dt	VDD (電源電圧) のスルーレート	立ち上がり			0.1	V/µs
		立ち下がり (1)			0.01	
		立ち下がり、STANDBY			0.1	V/ms
V_{POR+}	パワーオン リセット電圧レベル	立ち上がり	0.95	1.30	1.59	V
V_{POR-}		立ち下がり	0.9	1.25	1.54	V
$V_{HYS, POR}$	POR ヒステリシス		30	58	74	mV
$V_{BOR0+, COLD}$	ブラウンアウト リセット電圧レベル 0 (デフォルトのレベル)	-40°C ≤ T_a ≤ 25°C コールド スタート、立ち上がり	1.50	1.56	1.63	V
		25°C ≤ T_a ≤ 125°C コールド スタート、立ち上がり	1.51	1.58	1.65	
V_{BOR0+}		立ち上がり (1)	1.56	1.59	1.62	
V_{BOR0-}		立ち下がり(1)	1.55	1.58	1.61	
$V_{BOR0, STBY}$		STANDBY モード	1.51	1.56	1.61	
V_{BOR1+}	ブラウンアウト リセット電圧レベル 1	立ち上がり (1)	2.13	2.17	2.21	V
V_{BOR1-}		立ち下がり(1)	2.10	2.14	2.18	
$V_{BOR1, STBY}$		STANDBY モード	2.06	2.13	2.20	
V_{BOR2+}	ブラウンアウト リセット電圧レベル 2	立ち上がり (1)	2.73	2.77	2.82	V
V_{BOR2-}		立ち下がり(1)	2.7	2.74	2.79	
$V_{BOR2, STBY}$		STANDBY モード	2.62	2.71	2.8	
V_{BOR3+}	ブラウンアウト リセット電圧レベル 3	立ち上がり (1)	2.88	2.96	3.04	V
V_{BOR3-}		立ち下がり(1)	2.85	2.93	3.01	
$V_{BOR3, STBY}$		STANDBY モード	2.82	2.92	3.02	
$V_{HYS, BOR}$	ブラウンアウト リセットのヒステリシス	レベル 0		15	21	mV
		レベル 1 ～ 3		34	40	
$T_{PD, BOR}$	BOR 伝搬遅延	RUN/SLEEP/STOP モード			5	us
		STANDBY モード			100	us

(1) デバイスは RUN、SLEEP、STOP モードで動作しています。

7.7 フラッシュ メモリの特性

外気温度範囲での動作時 (特に記述がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
$VDD_{PGM/ERASE}$	書き込みと消去の電源電圧		1.62		3.6	V
IDD_{ERASE}	消去動作中の VDD からの電源電流	電源電流の差分			10	mA
IDD_{PGM}	書き込み動作中の VDD からの電源電流	電源電流の差分			10	mA
耐久性						
NWEC (HI_ENDURANCE)	選択された 32 セクタのフラッシュに対する消去 / 書き込みサイクル耐久性 (1)		100			k サイクル

Copyright © 2025 Texas Instruments Incorporated

7.7 フラッシュ メモリの特性 (続き)

外気温度範囲での動作時 (特に記述がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
NWEC (NORMAL_ENDURANCE)	消去 / 書き込みサイクル耐久性 (HI_ENDUSTRY にフラッシュを使用しない) (1)		10			k サイクル
$NE_{(MAX)}$	故障に至るまでの全消去動作回数 (2)		802			k 回の消去動作
$NW_{(MAX)}$	セクタが消去されるまでのワード線あたりの書き込み動作回数 (3)				83	書き込み動作
保持						
t_{RET_85}	フラッシュ メモリのデータ保持	-40°C <= T_j <= 85°C	60			年
t_{RET_105}	フラッシュ メモリのデータ保持	-40°C <= T_j <= 105°C	11.4			年
書き込みと消去のタイミング						
$t_{PROG\ (WORD,\ 64)}$	フラッシュ ワードの書き込み時間 (4) (6)			50	275	µs
$t_{PROG\ (SEC,\ 64)}$	1KB セクタの書き込み時間 (5) (6)			6.4		ms
$t_{ERASE\ (SEC)}$	セクタの消去時間	2k 以下の消去 / 書き込みサイクル、T_j≧25℃		4	20	ms
$t_{ERASE\ (SEC)}$	セクタの消去時間	10k 以下の消去 / 書き込みサイクル、T_j≧25℃		20	150	ms
$t_{ERASE\ (SEC)}$	セクタの消去時間	10k 未満の消去 / 書き込みサイクル		20	200	ms
$t_{ERASE\ (BANK)}$	バンクの消去時間	10k 未満の消去 / 書き込みサイクル		22	220	ms

(1) MAIN フラッシュ バンクまたはデータ バンクから、最大 32 のアプリケーション選択セクタを高耐久性セクタとして使用できます。これにより、EEPROM エミュレーションなどのフラッシュ データを頻繁に更新するアプリケーションが可能になります。
(2) 故障に至るまでにフラッシュによってサポートされる消去動作の累積回数。セクタ消去またはバンク消去動作は、1 回の消去動作と見なします。
(3) ワード線を消去するまでに、許容されるワード線あたりの書き込み動作の最大回数。同じワード線への追加書き込みが必要な場合、ワード線あたりの書き込み動作の最大回数に達すると、セクタ消去が必要です。
(4) 書き込み時間は、書き込みコマンドがトリガされてから、フラッシュ コントローラでコマンド完了割り込みフラグがセットされるまでの時間として定義されます。
(5) セクタ書き込み時間は、最初のワード書き込みコマンドがトリガされてから、最後のワード書き込みコマンドが完了し、フラッシュ コントローラで割り込みフラグがセットされるまでの時間として定義されます。 この時間には、セクタの書き込み中にソフトウェアが (最初のフラッシュ ワードの後に) 各フラッシュ ワードをフラッシュ コントローラに読み込むために必要な時間が含まれます。
(6) フラッシュ ワード サイズは 64 データ ビット (8 バイト) です。ECC 付きデバイスの場合、フラッシュ ワード サイズの合計は 72 ビット (64 データ ビット + 8 ECC ビット) です。

7.8 タイミング特性

VDD=3.3V、T_a=25℃ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ウェークアップ タイミング						
$t_{WAKE,\ SLEEP0}$	SLEEP0 から RUN までのウェークアップ時間 (1)			1.3		us
$t_{WAKE,\ SLEEP1}$	SLEEP1 から RUN までのウェークアップ時間 (1)			1.5		us
$t_{WAKE,\ SLEEP2}$	SLEEP2 から RUN までのウェークアップ時間 (1)			2.1		us
$t_{WAKE,\ STANDBY0}$	STANDBY0 から RUN までのウェークアップ時間 (1)			15.2		us
$t_{WAKE,\ STANDBY1}$	STANDBY1 から RUN までのウェークアップ時間 (1)			15.2		us

Copyright © 2025 Texas Instruments Incorporated

7.8 タイミング特性 (続き)

VDD=3.3V、T_a=25℃ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{WAKE, STOP0}$	STOP0 から RUN までのウェークアップ時間 (SYSOSC イネーブル) (1)			12.1		us
$t_{WAKE, STOP1}$	STOP1 から RUN までのウェークアップ時間 (SYSOSC イネーブル) (1)			13.5		us
$t_{WAKE, STOP2}$	STOP2 から RUN までのウェークアップ時間 (SYSOSC ディセーブル) (1)			12.9		
$t_{WAKEUP, SHDN}$	SHUTDOWN から RUN までのウェークアップ時間 (2)	高速ブートがイネーブル		240		us
		高速ブートがディセーブル		252		
非同期高速クロック要求タイミング						
$t_{DELAY, SLEEP1}$	非同期要求のエッジから最初の 32MHz MCLK エッジまでの遅延時間	モードは SLEEP1		0.33		us
$t_{DELAY, SLEEP2}$	非同期要求のエッジから最初の 32MHz MCLK エッジまでの遅延時間	モードは SLEEP2		0.93		us
$t_{DELAY, STANDBY0}$	非同期要求のエッジから最初の 32MHz MCLK エッジまでの遅延時間	モードは STANDBY0		3.2		us
$t_{DELAY, STANDBY1}$	非同期要求のエッジから最初の 32MHz MCLK エッジまでの遅延時間	モードは STANDBY1		3.2		us
$t_{DELAY, STOP0}$	非同期要求のエッジから最初の 32MHz MCLK エッジまでの遅延時間	モードは STOP0		0.1		us
$t_{DELAY, STOP1}$	非同期要求のエッジから最初の 32MHz MCLK エッジまでの遅延時間	モードは STOP1		2.4		us
$t_{DELAY, STOP2}$	非同期要求のエッジから最初の 32MHz MCLK エッジまでの遅延時間	モードは STOP2		0.9		us
スタートアップ タイミング						
$t_{START, RESET}$	デバイスのリセット / パワーアップからのコールド スタートアップ時間 (3)	高速ブートがイネーブル		260		us
		高速ブートがディセーブル		308		
NRST のタイミング						
$t_{RST, BOOTRST}$	BOOTRST を生成するための NRST ピンのパルス長	ULPCLK≧4MHz		1.5		us
		ULPCLK=32kHz		80		
$t_{RST, POR}$	POR を生成するための NRST ピンのパルス長			1		s

(1) ウェークアップ時間は、グリッチ フィルタがディセーブル (FILTEREN=0x0)、高速ウェークアップがイネーブル (FASTWAKEONLY=1) の条件で、外部ウェークアップ信号のエッジ (GPIO ウェークアップ イベント) から、ユーザー プログラムの最初の命令が実行されるまでの時間として測定されます。

(2) ウェークアップ時間は、外部ウェークアップ信号 (IOMUX ウェークアップ イベント) のエッジから、ユーザー プログラムの最初の命令が実行されるまでの時間として測定されます。

(3) スタートアップ時間は、VDD が VBOR0- と交差 (コールド スタートアップ) した時刻から、ユーザー プログラムの最初の命令が実行されるまでの時間として測定されます。

7.9 クロック仕様

Copyright © 2025 Texas Instruments Incorporated

7.9.1 システム発振器 (SYSOSC)

自由気流での動作温度範囲内 (特に記述のない限り)。テスト条件は、記載された条件での寿命動作を示しています。

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SYSOSC}	出荷時に調整された SYSOSC 周波数	SYSOSCCFG.FREQ=00 (ベース)		32		MHz
		SYSOSCCFG.FREQ=01		4		
	ユーザー調整された SYSOSC 周波数	SYSOSCCFG.FREQ=10、SYSOSCTRIMUSER.FREQ=10		24		
		SYSOSCCFG.FREQ = 10、SYSOSCTRIMUSER.FREQ = 01		16		
f_{SYSOSC}	周波数補正ループ (FCL) がイネーブルで、理想的な ROSC 抵抗を想定した場合の SYSOSC 周波数精度 (1) (2)	SETUSEFCL=1、T_a = 25℃	-0.60		0.68	%
		SETUSEFCL=1、-40℃ ≦ T_a ≦ 85℃	-0.80		0.93	
		SETUSEFCL=1、-40℃ ≦ T_a ≦ 105℃	-0.80		1.1	
		SETUSEFCL=1、-40℃ ≦ T_a ≦ 125℃	-0.80		1.3	
f_{SYSOSC}	周波数補正ループ (FCL) がイネーブルのときの SYSOSC 精度、R_{OSC} 抵抗を R_{OSC} ピンに配置、出荷時にトリムされた周波数用 (1) (5) (6)	SETUSEFCL=1、T_a = 25℃、±0.1% ±25ppm R_{OSC}	-0.7		0.78	%
		SETUSEFCL=1、-40℃ ≦ T_a ≦ 85℃、±0.1% ±25ppm R_{OSC}	-1.1		1.2	
		SETUSEFCL=1、-40℃ ≦ T_a ≦ 105℃、±0.1% ±25ppm R_{OSC}	-1.1		1.4	
		SETUSEFCL=1、-40℃ ≦ T_a ≦ 125℃、±0.1% ±25ppm R_{OSC}	-1.1		1.7	
f_{SYSOSC}	内部 ROSC 抵抗使用、周波数補正ループ (FCL) イネーブル時の SYSOSC 周波数精度、32MHz (4) (5) (6)	SETUSEFCL = 1、T_a = 25 ℃	0		1.0	
		SETUSEFCL=1、-40℃ ≦ T_a ≦ 125℃	-2.1		1.6	%
f_{SYSOSC}	内部 ROSC 抵抗使用、周波数補正ループ (FCL) イネーブル時の SYSOSC 周波数精度、4MHz (4) (5) (6)	SETUSEFCL = 1、T_a = 25 ℃	-1.2		1.7	
		SETUSEFCL=1、-40℃ ≦ T_a ≦ 125℃	-2.3		1.8	%
f_{SYSOSC}	周波数補正ループ (FCL) がディセーブルのときの SYSOSC 精度、32MHz(5) (6)	SETUSEFCL=0、SYSOSCCFG.FREQ=00、-40℃ ≦ T_a ≦ 125℃	-2.6		1.8	%
f_{SYSOSC}	出荷時に調整された周波数 4MHz の場合、周波数補正ループ (FCL) がディセーブルのときの SYSOSC 精度(5) (6)	SETUSEFCL=0、SYSOSCCFG.FREQ=01、-40℃ ≦ T_a ≦ 125℃	-2.8		2.1	
f_{SYSOSC}	ROSC ピンと VSS の間の外付け抵抗 (1)	SETUSEFCL=1		100		kΩ
f_{SYSOSC}	目標精度に達するまでのセトリング タイム (3)	VDD>=1.8V、SETUSEFCL=1、±0.1% 25ppm R_{OSC} (1)			30	us

(1) SYSOSC 周波数補正ループ (FCL) を使うと、本デバイスの ROSC ピンと VSS との間に接続すべき外部リファレンス抵抗 (R_{OSC}) によって、SYSOSC の精度を高めることができます。 ±0.1% 25ppm の R_{OSC} に対する精度を示しています。公差の緩い抵抗も使用できます (SYSOSC の精度は低下します)。 さまざまな R_{OSC} 精度での SYSOSC 精度の計算方法の詳細については、テクニカル リファレンス マニュアルの「SYSOSC」のセクションを参照してください。 FCL をイネーブルしない場合には、R_{OSC} を実装する必要はありません。

(2) デバイスの精度のみを表します。 最終的な精度を判定するには、使用する ROSC 抵抗の公差と温度ドリフトを、この仕様と組み合わせる必要があります。 ±0.1% ±25ppm R_{OSC} についての性能が、基準点として示されています。

(3) SYSOSC がウェークアップするとき (たとえば、低消費電力モードを終了するとき)、FCL がイネーブルなら、SYSOSC は最初に目標周波数 f_{SYSOSC} を、時間 $t_{settle,SYSOSC}$ にわたって、最大 $f_{settle,SYSOSC}$ の追加誤差だけアンダーシュートします。目標の精度はこの時間後に達成されます。

(4) SYSOSC の周波数補正ループ (FCL) を使うと、内部リファレンス抵抗によって SYSOSC の精度を高めることができます。SYSOSC 精度の計算方法の詳細については、テクニカル リファレンス マニュアルの「SYSOSC」のセクションを参照してください。

(5) SYSOSC の精度は、MCLK = SYSOSC、CPU が while(1) ループを実行し、SYSPLL が無効になっているデフォルトのパワーアップ状態で測定されます。

(6) SYSOSC は、外部の 1ms パルスを測定トリガとして使用し、内部の FCC カウンタで測定されます。

7.9.2 SYSOSC の標準的な周波数精度

Copyright © 2025 Texas Instruments Incorporated

7.9.2.1 低周波数発振器 (LFOSC)

外気温度範囲での動作時 (特に記述がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{LFOSC}	LFOSC 周波数			32768		Hz
	LFOSC 精度	-40℃ ≦ T_a ≦ 125℃	-5		5	%
		-40℃ ≦ T_a ≦ 85℃	-3		3	%
I_{LFOSC}	LFOSC 消費電流			300		nA
$t_{start, LFOSC}$	LFOSC スタートアップ時間			1		ms

7.9.3 システム フェーズ ロック ループ (SYSPLL)

外気温度範囲での動作時 (特に記述がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$f_{SYSPLLREF}$	SYSPLL リファレンス周波数範囲(2)		4		48	MHz
f_{VCO}	VCO 出力周波数		80		400	MHz
f_{SYSPLL}	SYSPLL 出力周波数範囲(1)	SYSPLLCLK0、SYSPLLCLK1	2.5		200	MHz
		SYSPLLCLK2X	10		400	
DC_{PLL}	SYSPLL 出力のデューティ サイクル	$f_{SYSPLLREF}$= 32MHz、f_{VCO}= 160MHz	45		55	%
$Jitter_{SYSPLL}$	SYSPLL RMS サイクル間ジッタ	$f_{SYSPLLREF}$= 32MHz、f_{VCO}= 80MHz		60		ps
	SYSPLL RMS 周期ジッタ			45		
I_{SYSPLL}	SYSPLL 消費電流	$f_{SYSPLLREF}$= 32MHz、f_{VCO}= 160MHz		316		µA
$t_{start, SYSPLL}$	SYSPLL スタートアップ時間	$f_{SYSPLLREF}$ = 32MHz、PDIV = 3、QDIV = 39、f_{VCO} = 160Mhz、±0.5% 精度		14	24	us

(1) SYSPLL は、デバイス クロック システムでサポートされているより高い出力周波数をサポートする場合があります。 SYSPLL 出力周波数を構成するときは、デバイスの最大周波数仕様に違反しないようにしてください。
(2) 技術リファレンスマニュアルの表 2-6 にある SYSPLL チューニングパラメータを参照してください。

7.9.4 低周波数クリスタル / クロック

外気温度範囲での動作時 (特に記述がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
低周波数水晶発振器 (LFXT)						
f_{LFXT}	LFXT 周波数			32768		Hz
DC_{LFXT}	LFXT デューティ サイクル		30		70	%
OA_{LFXT}	LFXT 水晶発振余裕度			419		kΩ
$C_{L, eff}$	内部実効負荷容量(1)			1		pF
$t_{start, LFXT}$	LFXT スタートアップ時間			1000		ms
I_{LFXT}	LFXT 消費電流	XT1DRIVE = 0、LOWCAP = 1		200		nA
低周波数デジタル クロック入力 (LFCLK_IN)						
f_{LFIN}	LFCLK_IN 周波数 (2)	SETUSEEXLF = 1	29491	32768	36045	Hz
DC_{LFIN}	LFCLK_IN デューティ サイクル(2)	SETUSEEXLF = 1	40		60	%
LFCLK モニタ						
$f_{FAULTLF}$	LFCLK モニタ フォルト周波数 (3)	MONITOR=1	2800	4200	8400	Hz

(1) これには、寄生結合およびパッケージ容量 (ピンごとに約 2 pF) が含まれ、$C_{LFXIN} \times C_{LFXOUT}/(C_{LFXIN}+C_{LFXOUT})$ として計算されます。ここで、C_{LFXIN} および C_{LFXOUT} は、それぞれ LFXIN および LFXOUT における合計容量です。
(2) デジタル クロック入力 (LFCLK_IN) は、ロジック レベルの方形波クロックを受け入れます。

Copyright © 2025 Texas Instruments Incorporated

(3) LFCLK モニタは、LFXT または LFCLK_IN の監視に使用できます。 最小フォルト周波数を下回る場合には必ずフォルトが発生し、最大フォルト周波数を超える場合には決してフォルトは発生しません。

7.9.5 高周波数クリスタル / クロック

外気温度範囲での動作時 (特に記述がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
高周波数水晶発振器 (HFXT)						
f_{HFXT}	HFXT 周波数	HFXTRSEL=00	4		8	MHz
		HFXTRSEL=01	8.01		16	
		HFXTRSEL=10	16.01		32	
		HFXTRSEL=11	32.01		48	
DC_{HFXT}	HFXT デューティ サイクル	HFXTRSEL=00	40		65	%
		HFXTRSEL=01	40		60	
		HFXTRSEL=10	40		60	
		HFXTRSEL=11	40		60	
OA_{HFXT}	HFXT 水晶発振余裕度	HFXTRSEL=00 (4～8MHz の範囲)		2		kΩ
$C_{L, eff}$	内部実効負荷容量(1)			1		pF
$t_{start, HFXT}$	HFXT スタートアップ時間(2)	HFXTRSEL=11、32MHz 水晶振動子		0.5		ms
I_{HFXT}	HFXT 消費電流(2)	f_{HFXT}= 4MHz、R_m= 300Ω、C_L= 12pF		75		μA
		f_{HFXT}=48MHz、R_m=30Ω、C_L=12pF、C_m=6.26fF、L_m=1.76mH		600		
高周波数デジタル クロック入力 (HFCLK_IN)						
f_{HFIN}	HFCLK_IN 周波数 (3)	USEEXTHFCLK = 1	4		48	MHz
DC_{HFIN}	HFCLK_IN デューティ サイクル(3)	USEEXTHFCLK = 1	40		60	%

(1) これには、寄生結合およびパッケージ容量 (ピンごとに約 2 pF) が含まれ、$C_{HFXIN} \times C_{HFXOUT}/(C_{HFXIN}+C_{HFXOUT})$ として計算されます。ここで、C_{HFXIN} および C_{HFXOUT} は、それぞれ HFXIN および HFXOUT における合計容量です。
(2) HFXT スタートアップ時間 ($t_{start, HFXT}$) は、HFXT がイネーブルになってから、標準的な水晶振動子の安定した発振までの時間で測定されます。 スタートアップ時間は、水晶の周波数および水晶振動子の仕様に依存します。『MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル』の HFXT セクションを参照してください。RSEL が大きいほど消費電流が増加し、RSEL が大きいほど起動時間が減少します。
(3) デジタル クロック入力 (HFCLK_IN) は、ロジック レベルの方形波クロックを受け入れます。

7.10 デジタル IO

7.10.1 電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{IH}	High レベル入力電圧	ODIO (1)	VDD≧1.62V	0.7*VDD		5.5	V
			VDD≧2.7V	2		5.5	V
		すべての I/O (ODIO とリセットを除く)	VDD≧1.62V	0.7*VDD		VDD+0.3	V
V_{IL}	Low レベル入力電圧	ODIO	VDD≧1.62V	-0.3		0.3*VDD	V
			VDD≧2.7V	-0.3		0.8	V
		すべての I/O (ODIO とリセットを除く)	VDD≧1.62V	-0.3		0.3*VDD	V

Copyright © 2025 Texas Instruments Incorporated

7.10.1 電気的特性 (続き)

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{HYS}	ヒステリシス	ODIO		0.05*VDD			V
		すべての I/O (ODIO を除く)		0.1*VDD			V
I_{lkg}	ハイ インピーダンスのリーク電流 (PM を除くすべてのパッケージ)	SDIO(2) (3)	1.62V ≦ VDD ≦ 3.6V、-40℃ ≦ T_A ≦ 125℃			50(4)	nA
I_{lkg}	ハイ インピーダンスのリーク電流 (PM パッケージ)	SDIO(2) (3)	1.62V ≦ VDD ≦ 3.6V、-40℃ ≦ T_A ≦ 85℃			50(4)	nA
			1.62V ≦ VDD ≦ 3.6V、-40℃ ≦ T_A ≦ 105℃			200(4)	nA
			1.62V ≦ VDD ≦ 3.6V、-40℃ ≦ T_A ≦ 125℃			400(4)	nA
R_{PU}	プルアップ抵抗	すべての I/O (ODIO を除く)			40		kΩ
R_{PD}	プルダウン抵抗				40		kΩ
C_I	入力容量				5		pF

7.10.1 電気的特性 (続き)

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{OH}	High レベル出力電圧	SDIO	VDD ≥ 2.7V、$\|I_{IO}\|_{,max}$=6mA VDD ≥ 1.71V、$\|I_{IO}\|_{,max}$ = 2mA VDD ≥ 1.62V、$\|I_{IO}\|_{,max}$ = 1.5mA –40 °C ≤ T_a ≤ 25 °C	VDD-0.4			V
			VDD ≥ 2.7V、$\|I_{IO}\|_{,max}$=6mA VDD ≥ 1.71V、$\|I_{IO}\|_{,max}$ = 2mA VDD ≥ 1.62V、$\|I_{IO}\|_{,max}$ = 1.5mA –40 °C ≤ T_a ≤ 125 °C	VDD-0.45			
		HSIO	VDD≥2.7V、DRV=1、$\|I_{IO}\|_{,max}$ = 6mA VDD ≥ 1.71V、DRV = 1、$\|I_{IO}\|_{,max}$ = 3mA VDD ≥ 1.62V、DRV = 1、$\|I_{IO}\|_{,max}$ = 2mA –40 °C ≤ T_a ≤ 25 °C	VDD-0.4			
			VDD≥2.7V、DRV=1、$\|I_{IO}\|_{,max}$ = 6mA VDD ≥ 1.71V、DRV = 1、$\|I_{IO}\|_{,max}$ = 3mA VDD ≥ 1.62V、DRV = 1、$\|I_{IO}\|_{,max}$ = 2mA –40 °C ≤ T_a ≤ 125 °C	VDD-0.45			
			VDD≥2.7V、DRV=0、$\|I_{IO}\|_{,max}$ = 4mA VDD ≥ 1.71V、DRV = 0、$\|I_{IO}\|_{,max}$ = 2mA VDD ≥ 1.62V、DRV = 0、$\|I_{IO}\|_{,max}$ = 1.5mA –40 °C ≤ T_a ≤ 25 °C	VDD-0.4			
			VDD ≥ 2.7V、DRV = 0、$\|I_{IO}\|_{,max}$ = 4mA VDD ≥ 1.71V、DRV = 0、$\|I_{IO}\|_{,max}$ = 2mA VDD ≥ 1.62V、$\|I_{IO}\|_{,max}$ = 1.5mA –40 °C ≤T_a ≤ 125 °C	VDD-0.45			
		HDIO	VDD ≥ 2.7V、DRV = 1[(5)]、$\|I_{IO}\|_{,max}$ = 20mA VDD ≥ 1.71V、DRV = 1[(5)]、$\|I_{IO}\|_{,max}$ = 10mA	VDD-0.4			
			VDD ≧ 2.7V、DRV = 0、$\|I_{IO}\|_{,max}$ = 6mA VDD ≧ 1.71V、DRV = 0、$\|I_{IO}\|_{,max}$ = 2mA	VDD-0.4			

Copyright © 2025 Texas Instruments Incorporated

7.10.1 電気的特性 (続き)

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{OL}	Low レベル出力電圧	SDIO	VDD ≥ 2.7V、$\|I_{IO}\|_{,max}$=6mA VDD ≥ 1.71V、$\|I_{IO}\|_{,max}$ = 2mA VDD ≥ 1.62V、$\|I_{IO}\|_{,max}$ = 1.5mA –40 °C ≤ T_a ≤ 25 °C			0.4	V
			VDD ≥ 2.7V、$\|I_{IO}\|_{,max}$=6mA VDD ≥ 1.71V、$\|I_{IO}\|_{,max}$ = 2mA VDD ≥ 1.62V、$\|I_{IO}\|_{,max}$ = 1.5mA –40 °C ≤ T_a ≤ 125 °C			0.45	
		HSIO	VDD≥2.7V、DRV=1、$\|I_{IO}\|_{,max}$ = 6mA VDD ≥ 1.71V、DRV = 1、$\|I_{IO}\|_{,max}$ = 3mA VDD ≥ 1.62V、DRV = 1、$\|I_{IO}\|_{,max}$ = 2mA –40 °C ≤ T_a ≤ 25 °C			0.4	
			VDD≥2.7V、DRV=1、$\|I_{IO}\|_{,max}$ = 6mA VDD ≥ 1.71V、DRV = 1、$\|I_{IO}\|_{,max}$ = 3mA VDD ≥ 1.62V、DRV = 1、$\|I_{IO}\|_{,max}$ = 2mA –40 °C ≤ T_a ≤ 125 °C			0.45	
			VDD≥2.7V、DRV=0、$\|I_{IO}\|_{,max}$ = 4mA VDD ≥ 1.71V、DRV = 0、$\|I_{IO}\|_{,max}$ = 2mA VDD ≥ 1.62V、DRV = 0、$\|I_{IO}\|_{,max}$ = 1.5mA –40 °C ≤ T_a ≤ 25 °C			0.4	
			VDD≥2.7V、DRV=0、$\|I_{IO}\|_{,max}$ = 4mA VDD ≥ 1.71V、DRV = 0、$\|I_{IO}\|_{,max}$ = 2mA VDD ≥ 1.62V、DRV = 0、$\|I_{IO}\|_{,max}$ = 1.5mA –40 °C ≤ T_a ≤ 125 °C			0.45	
		HDIO	VDD ≥ 2.7V、DRV = 1[5]、$\|I_{IO}\|_{,max}$ = 20mA VDD ≥ 1.71V、DRV = 1[5]、$\|I_{IO}\|_{,max}$ = 10mA			0.4	
			VDD ≧ 2.7V、DRV = 0、$\|I_{IO}\|_{,max}$ = 6mA VDD ≧ 1.71V、DRV = 0、$\|I_{IO}\|_{,max}$ = 2mA			0.4	
		ODIO	VDD ≥ 2.7V、$I_{OL,max}$ = 8mA VDD ≥ 1.71V、$I_{OL,max}$ = 4mA –40 °C ≤ T_a ≤ 25 °C			0.4	
			VDD ≥ 2.7V、$I_{OL,max}$ = 8mA VDD ≥ 1.71V、$I_{OL,max}$ = 4mA –40 °C ≤ T_a ≤ 125 °C			0.45	

(1) I/O タイプ:ODIO = 5V 対応オープンドレイン、SDIO=標準駆動、HSIO=高速、HDIO =高駆動
(2) リーク電流は、対応するピンに VSS または VDD を印加して計測されます (特に記述のない限り)。
(3) デジタル ポート ピンのリーク電流は個別に計測されます。ポート ピンは入力として選択され、プルアップ / プルダウン抵抗は無効化されています。
(4) この値は、SDIO がアナログ入力と多重化されていない場合の値です。SDIO がアナログ入力と多重化されている場合、リーク電流はさらに大きくなる可能性があります。
(5) DRV = 1 の高駆動強度構成で HDIO を動作させる場合は、信号のスルー レートを制限するため直列抵抗が必要です

Copyright © 2025 Texas Instruments Incorporated

7.10.2 スイッチング特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
f_{max}	ポート出力周波数(1)	SDIO	VDD ≧ 1.71V、C_L = 20pF			16	MHz
			VDD ≧ 2.7V、CL = 20pF			32	
		HSIO	VDD ≧ 1.71V、DRV = 0、CL = 20pF			16	
			VDD ≧ 1.71V、DRV = 1、CL = 20pF			24	
			VDD ≧ 2.7V、DRV = 0、CL = 20pF			32	
			VDD ≧ 2.7V、DRV = 1、CL = 20pF			40	
		HDIO	VDD ≧ 2.7V、DRV = 1、(2)CL = 20pF			20	
			VDD ≧ 2.7V、DRV = 0、CL = 20pF			20	
			VDD ≧ 1.71V、DRV = 1、(2)CL = 20pF			16	
			VDD ≧ 1.71V、DRV = 0、CL = 20pF			16	
		ODIO	VDD ≧ 1.71V、FM^+、CL = 20pF～100pF			1	
t_r、t_f	出力立ち上がり / 立ち下がり時間	SDIO	VDD ≧ 2.7V、CL = 20pF			3.5	ns
			VDD ≧ 1.71V、C_L = 20pF			6.6	
		HSIO	VDD ≧ 2.7V、DRV = 1、CL = 20pF			1.8	
			VDD ≧ 2.7V、DRV = 0、CL = 20pF			5.9	
			VDD ≧ 1.71V、DRV = 1、CL = 20pF			3.7	
			VDD ≧ 1.71V、DRV = 0、CL = 20pF			12.6	
		HDIO	VDD ≧ 2.7V、DRV = 1、CL = 20pF			1.7	
			VDD ≧ 2.7V、DRV = 0、CL = 20pF			3.8	
			VDD ≧ 1.71V、DRV = 1、CL = 20pF			3.1	
			VDD ≧ 1.71V、DRV = 0、CL = 20pF			8.2	
t_f	出力立ち下がり時間	ODIO	VDD ≧ 1.71V、FM^+、CL = 20pF～100pF	20*VDD/5.5		120	ns

(1) I/O タイプ:ODIO = 5V 対応オープンドレイン、SDIO=標準駆動、HSIO=高速、HDIO =高駆動
(2) DRV = 1 の高駆動強度構成で HDIO を動作させる場合は、信号のスルー レートを制限するため直列抵抗が必要です

7.11 アナログ マルチプレクサ VBOOST

外気温度範囲での動作時 (特に記述がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{VBST}	VBOOST 電流加算器	MCLK/ULPCLK は LFCLK		0.8		μA
		MCLK/ULPCLK は LFCLK ではなく、SYSOSC の周波数は 4MHz		10.6		
$t_{START,VBST}$	VBOOST 起動時間			12	20	us

7.12 ADC

7.12.1 電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。すべての代表値は 25℃で測定されており、すべての精度パラメータは 12 ビット分解能モードを使用して測定されています (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$Vin_{(ADC)}$	アナログ入力電圧範囲(1)	すべての ADC アナログ入力ピンに適用されます	0		VDD	V

Copyright © 2025 Texas Instruments Incorporated

7.12.1 電気的特性 (続き)

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。すべての代表値は 25℃で測定されており、すべての精度パラメータは 12 ビット分解能モードを使用して測定されています (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{R+}	正の ADC リファレンス電圧	VDD から供給される V_{R+}		VDD		V
		外部リファレンス電圧ピン (VREF+) から供給される V_{R+}	1.4		VDD	V
		内部リファレンス電圧 (VREF) から供給される V_{R+}		VREF		V
V_{R-}	負の ADC リファレンス電圧			0		V
F_S	ADC サンプリング周波数	RES = 0x0 (12 ビット モード)			4	Msps
		RES = 0x1 (10 ビット モード)			4	
		RES = 0x2 (8 ビット モード)、SCOMP = 2			5.3	
$I_{(ADC)}$	VDD 端子に流れ込む動作電源電流	F_S = 4MSPS、V_{R+} = VDD		1.75(2)		mA
$C_{S/H}$	ADC サンプル ホールド容量			3.3		pF
Rin	ADC 入力抵抗			0.5		kΩ
ENOB	有効ビット数	f_in = 10KHz、外部リファレンス(3)	10.9	11.1		ビット
		f_in = 10KHz、外部リファレンス(3)、HW 平均化イネーブル、16 サンプル、2 ビット シフト	12.3	12.5		
		f_in = 10KHz、内部リファレンス、V_{R+} = VREF = 2.5V (VRSEL = 1h) (5)	9.9	10.8		
		f_in = 10KHz、内部リファレンス、V_{R+} = VREF = 2.5V (VRSEL = 2h)		9.2		
SNR	信号対雑音比	f_in = 10KHz、外部リファレンス(3)		68		dB
		f_in = 10KHz、外部リファレンス(3)、HW 平均化イネーブル、16 サンプル、2 ビット シフト		78		
		f_in = 10KHz、内部リファレンス、V_{R+} = VREF = 2.5V (VRSEL = 1h) (5)		66		
		f_in = 10KHz、内部リファレンス、V_{R+} = VREF = 2.5V (VRSEL = 2h)		57		
$PSRR_{DC}$	電源除去比、DC	外部リファレンス電圧 (3)、VDD = $VDD_{(min)}$～$VDD_{(max)}$		62		dB
		VDD = $VDD_{(min)}$～$VDD_{(max)}$ 内部リファレンス電圧、V_{R+} = VREF = 2.5V		53		
$PSRR_{AC}$	電源除去比、AC	外部リファレンス電圧 (3)、ΔVDD = 0.1V (1kHz 時)		61		dB
		ΔVDD = 0.1V (1kHz 時) 内部リファレンス電圧、V_{R+} = VREF = 2.5V		52		
T_{wakeup}	ADC ウェークアップ時間	内部リファレンス電圧はオンであると仮定			5	us
$V_{SupplyMon}$	電源モニタ分圧器 (VDD/3) の精度	ADC の入力チャネル: 電源モニタ (4) (6)	-1.5		1.5	%
$I_{SupplyMon}$	電源モニタ分圧器の消費電流	ADC の入力チャネル: 電源モニタ		10		μA

(1) 有効な変換結果を得るには、選択された ADC リファレンス電圧の範囲内 (V_{R+}～V_{R-}) にアナログ入力電圧範囲が含まれている必要があります。
(2) 内部リファレンス電圧 (VREF) の消費電流は、消費電流パラメータ ($I_{(ADC)}$) には含まれません。
(3) 外部リファレンス電圧のすべての仕様は、V_{R+} = VREF+ = VDD = 3.3V かつ V_{R-} = VREF- = VSS = 0V の条件で、VREF+ ピンの外部容量 1uF として測定されたものです。
(4) アナログ電源モニタ。チャネル 15 のアナログ入力は切り離されており、分圧器 (VDD/3) と内部的に接続されています。
(5) 内部リファレンス電圧 VREF を使用してこの ENOB を達成するには、MEMCTL レジスタの VRSEL ビットを外部リファレンス モードに設定する必要があることに注意してください。これにより、REFN が VREF- に、REFP が VREF+ に設定されます。この構成では、VREF- ピンと VREF+ ピンに外部接続はできません。REFN ピンはデバイスのグラウンドに接続してください。
(6) 外部リファレンス電圧 (VREFSEL = 1) を使用した場合の特性

7.12.2 スイッチング特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{ADCCLK}	ADC クロック周波数		4		48	MHz

Copyright © 2025 Texas Instruments Incorporated

7.12.2 スイッチング特性 (続き)

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
$t_{ADC\ trigger}$	ソフトウェア トリガの最小幅			3			ADCCLK のサイクル数
t_{Sample}	サンプリング時間 (OPA なし)(1)	12 ビット モード、R_S = 50Ω、C_{pext} = 10pF		62.5			ns
t_{Sample_PGA}	サンプリング時間 (OPA あり) (1)	12 ビット モード	GBW = 0x1、PGA ゲイン = x1	0.22			µs
			GBW = 0x1、PGA ゲイン = x2	0.48			
			GBW = 0x1、PGA ゲイン = x4	0.55			
			GBW = 0x1、PGA ゲイン = x8	0.85			
			GBW = 0x1、PGA ゲイン = x16	1.6			
			GBW = 0x1、PGA ゲイン = x32	2.6			
t_{Sample_DAC}	DAC を入力として使用したサンプリング時間 (2)			0.5			µs
t_{Sample_GPAMP}	サンプリング時間 (GPAMP あり)			3			µs
$t_{Sample_SupplyMon}$	サンプリング時間 (電源モニタ (VDD/3) あり)			5			µs

(1) OPA を備えたデバイスにのみ適用されます。
(2) DAC を備えたデバイスにのみ適用されます。

7.12.3 直線性パラメータ

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。すべての代表値は 25℃で測定されており、すべての直線性パラメータは 12 ビット分解能モードを使用して測定されています (特に記述のない限り)。(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
EI	積分直線性誤差 (INL)	外部リファレンス電圧 (2)	-2		2	LSB
E_D	微分直線性誤差 (DNL) ミッシング コードなしを保証	外部リファレンス電圧 (2)	-1		1	LSB
E_O	オフセット誤差	内部または外部のリファレンス電圧(2) (3)	-5		5	mV
E_G	ゲイン誤差	外部リファレンス電圧 (2)	-4		4	LSB

(1) し総合未調整誤差 (TUE) は、次の式を使用して、E_I、E_O、E_G から計算できます。$TUE = \sqrt{(E_I{}^2 + |E_O|^2 + E_G{}^2)}$
注: 上記の式が正確であるためには、すべての誤差を同じ単位 (通常は LSB) に変換する必要があります。
(2) 外部リファレンス電圧のすべての仕様は、V_{R+} = VREF+ = VDD、V_{R-} = VSS = 0V、VREF+ ピンの外部容量 1uF として測定されたものです。
(3) 内部リファレンス電圧 VREF を使用してこのオフセット エラーを達成するには、MEMCTL レジスタの VRSEL ビットを外部リファレンス モードに設定する必要があることに注意してください。これにより、REFN が VREF- に、REFP が VREF+ に設定されます。この構成では、VREF- ピンと VREF+ ピンに外部接続はできません。

7.13 代表的な接続図

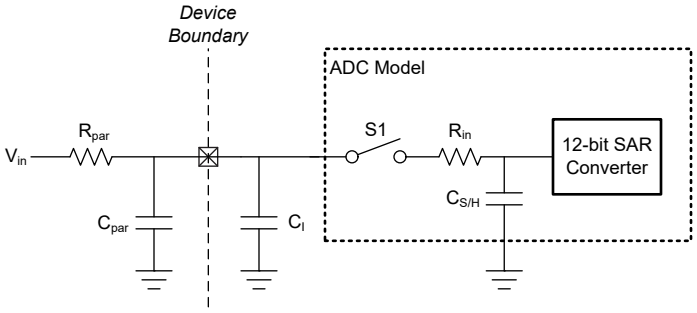


図 7-2. ADC 入力ネットワーク

1. R_{in} と $C_{S/H}$ の値については、「ADC 電気的特性」を参照してください。
2. C_I の値については、「デジタル IO 電気的特性」を参照してください。

Copyright © 2025 Texas Instruments Incorporated

3. C_{par} と R_{par} は外部 ADC 入力回路の寄生容量および抵抗を表します。

次の式を使用して、ADC 変換に必要な最小サンプリング時間 (T) を求めます。

1. $Tau = (R_{par} + R_{in}) \times C_{S/H} + R_{par} \times (C_{par} + C_I)$
2. $K = \ln(2^n / \text{セトリング誤差}) - \ln((C_{par} + C_I) / C_{S/H})$
3. T (最小サンプリング時間) = K × Tau

7.14 温度センサ

自由気流での動作温度範囲内 (特に記述のない限り) (1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
TS_{TRIM}	出荷時調整温度 (2)	ADC および VREF の構成:RES = 0 (12 ビット モード)、VRSEL = 0h (VDD = 3.3V)、ADC t_{sample} = 12.5uS	27	30	33	℃
TS_c	温度係数	-40℃ ≦ T_j ≦ 130℃	-2.1	-1.8	-1.7	mV/℃
$t_{SET, TS}$	温度センサのセトリング タイム (3)	ADC および VREF の構成:RES = 0 (12 ビット モード)、VRSEL = 0h (VDD = 3.3V)、ADC チャネル = 11			12.5	us

(1) 実際の絶対的な温度精度は、相対的温度精度と調整精度を組み合わせ、すべてのアナログ / デジタル変換誤差を考慮することで計算できます。
(2) ユーザー較正により、より高い絶対精度を実現できます。「詳細説明」セクションの「温度センサ」の章を参照してください。
(3) これは、温度センサの測定に必要な最小 ADC サンプリング時間です。

7.15 VREF

7.15.1 電圧特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
VDD_{min}	VREF 動作に必要な最低電源電圧	BUFCONFIG = 1	1.62			V
		BUFCONFIG = 0	2.7			
VREF	リファレンス電圧の出力電圧	BUFCONFIG = 1	1.38	1.4	1.42	V
		BUFCONFIG = 0	2.46	2.5	2.54	

7.15.2 電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{VREF}	VREF の動作電源電流	BUFCONFIG = {0, 1}、無負荷		189	330	µA
I_{Drive}	VREF 出力駆動能力 (1)	VREF+ デバイス ピンでサポートされる駆動能力			100	µA
I_{SC}	VREF 短絡電流				100	mA
TC_{VREF}	VREF の温度係数 (バンドギャップ + VRBUF) (2)	BUFCONFIG = {1}			80	ppm/℃
TC_{VREF}	VREF の温度係数 (バンドギャップ + VRBUF) (2)	BUFCONFIG = {0}			80	ppm/℃
TC_{drift}	VREF の長期ドリフト	時間 =1000 時間、BUFCONFIG = {0, 1}、T = 25℃			300	ppm
$PSRR_{DC}$	VREF 電源除去比、DC	VDD = 1.7V～VDDmax、BUFCONFIG = 1	57	63		dB
		VDD = 2.7V～VDDmax、BUFCONFIG = 0	49	53		
V_{noise}	VREF 出力での RMS ノイズ (0.1Hz ～100MHz)	BUFCONFIG = 1		500		µVrms
		BUFCONFIG = 0		900		

Copyright © 2025 Texas Instruments Incorporated

7.15.2 電気的特性 (続き)

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
C_{VREF}	VREF+ ピンの推奨 VREF デカップリング コンデンサ (3) (4) (5)		0.7	1	1.15	µF
$T_{startup}$	VREF 起動時間	BUFCONFIG = {0, 1}、VDD = 2.8V、C_{VREF} = 1µF			200	µs
$T_{refresh}$	VREF 外部コンデンサのリフレッシュ時間		31.25			

(1) 示された最大出力駆動能力は、デバイスでどのペリフェラルが使用されているかに関係なくサポートされます。
(2) VREF 出力の温度係数は、TC_{VRBUF} と内部バンドギャップ リファレンスの温度係数の和です。
(3) 内部リファレンス電圧 VREF を使用する場合、デカップリング コンデンサ (C_{VREF}) が必要であり、VREF+ ピンから VREF-/ GND に接続する必要があります。VREF+/- ピンを使用して外部リファレンスを供給する場合、外部リファレンス ソースに基づいてデカップリング コンデンサの値を選択する必要があります。
(4) 0805 以下のパッケージ サイズのセラミック コンデンサを推奨します。許容誤差は最大 ±20% です。
(5) VREF モジュールは、C_{VREF} が接続されているときのみイネーブルにして、それ以外の場合はイネーブルにしないでください。

7.16 コンパレータ (COMP)

7.16.1 コンパレータ電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
コンパレータ電気的特性						
Vcm	コモン モード入力範囲		0		VDD	V
V_{offset}	入力オフセット電圧		-20		20	mV
V_{hys}	DC 入力ヒステリシス	HYST = 00h		0.4		mV
		HYST = 01h		10		
		HYST = 02h		20		
		HYST = 03h		30		
t_{PD_ls}	伝搬遅延時間、応答時間	出力フィルタ オフ、オーバードライブ = 100mV、高速モード		32	50	ns
		出力フィルタ オフ、オーバードライブ = 100mV、低消費電力モード		1.2	4	µs
t_{en}	コンパレータ イネーブル時間	伝播遅延仕様に達するまでの起動時間、高速モード (コンパレータのみ)			10	µs
		伝搬遅延仕様に達するまでの起動時間、低消費電力モード (コンパレータのみ)			10	µs
I_{comp}	コンパレータの消費電流	Vcm = VDD/2、100mV オーバードライブ、リファレンス電圧は DAC 出力、VDD が DAC のリファレンス電圧、高速モード		130	200	µA
		Vcm = VDD/2、100mV オーバードライブ、リファレンス電圧は DAC 出力、VDD が DAC のリファレンス電圧、低消費電力モード		0.85	2.7	µA
		Vcm = VDD/2、100mV オーバードライブ、コンパレータのみ。高速モード		120	180	µA
		Vcm = VDD/2、100mV オーバードライブ、コンパレータのみ、低消費電力モード		0.7	2.1	µA
	低電力モード時のコンパレータ + VREF 消費電流	Vcm = VDD/2、100mV オーバードライブ、リファレンス電圧は DAC 出力 VREF が DAC のリファレンス、低電力モード。VREF レジスタ SHCYCLE=0xC0、HCYCLE=0xC0、SHMODE=1		3.5		µA
8 ビット DAC 電気的特性						
V_{dac}	DAC の出力範囲		0		VDD	V
$V_{dac\text{-}code}$	特定のコードに対する 8 ビット DAC の出力電圧	VIN = 8 ビット DAC に与えるリファレンス電圧、コード n = 0～255		VIN × (n+1) / 256		V
INL	8 ビット DAC の積分非直線性		-1		1	LSB

Copyright © 2025 Texas Instruments Incorporated

7.16.1 コンパレータ電気的特性 (続き)

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
DNL	8 ビット DAC の微分非直線性		-1		1	LSB
ゲイン誤差	8 ビット DAC のゲイン誤差	リファレンス電圧=VDD	-2		2	FSR の %
オフセット誤差	8 ビット DAC のオフセット誤差		-5		5	mV
t_{dac_settle}	スタティック モードでの 8 ビット DAC のセトリング タイム	DACCODE0 = 0 → 255、DAC 出力が 1 LSB まで正確		1.5		µs

7.17 DAC

7.17.1 DAC 電源仕様

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{REF}	リファレンス電圧	VDD、外部、内部 (1.4V、2.5V)	1.4		VDD	V
I_{DAC}	VDD からの DAC 消費電流	VREF = VDD、無負荷、DAC コード = 0x800		400		µA

7.17.2 DAC 出力仕様

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_O	出力電圧範囲	無負荷、Vref = VDD、DATA = 0x0			20	mV
V_O	出力電圧範囲	無負荷、Vref = VDD、DATA = 0xFFF	VDD-0.05	VDD-0.01	VDD	V
V_O	出力電圧範囲	R_{load} = 3.3kΩ、Vref = VDD、DATA = 0x0			0.13	V
V_O	出力電圧範囲	R_{load} = 3.3kΩ、Vref = VDD、DATA = 0xFFF	VDD-0.13	VDD-0.1	VDD	V
$C_{L(DAC)}$	負荷容量				100	pF
$I_{L(DAC)}$	負荷電流		-1		1	mA
$R_{OUT(DAC)}$	出力抵抗	R_{load} = 3.3kΩ、Vref = VDD、V_o = 0.3V ～ VDD-0.3V		1.2	10	Ω

7.17.3 DAC 動的仕様

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
SR	スルーレート	DATA = 0x80 → 0xF7F → 0x80、Vref = 外部リファレンス		5.5		V/µs
GE	グリッチ エネルギー	DATA = 0x800 → 0x7FF → 0x800、Vref = 外部リファレンス		1.2		nV-s
PSRR_DC	電源除去比、DC	ΔVDD = 100mV、DATA = 0xFFF、Vref = 外部リファレンス		79.5		dB
PSRR_AC	電源除去比、AC	ΔVDD = 100mV、100kHz、DATA = 0xFFF、Vref =外部リファレンス		25.7		dB
SNR	信号対雑音比	Vref = 外部リファレンス、4kHz 入力、1Msps サンプリング レート (1)		80.9		dB
THD	全高調波歪	Vref = 外部リファレンス、4kHz 入力、1Msps サンプリング レート (1)		71.5		dB
SINAD	信号対ノイズ + 歪	Vref = 外部リファレンス、4kHz 入力、1Msps サンプリング レート (1)		71.1		dB
ENOB	有効ビット数	Vref = 外部リファレンス、4kHz 入力、1Msps サンプリング レート (1)		11.5		ビット

(1) ローパス フィルタ (通過帯域 300Hz～4kHz) を DAC 出力ピンに接続。

7.17.4 DAC 直線性仕様

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ	テスト条件	最小値	標準値	最大値	単位
分解能			12		ビット

Copyright © 2025 Texas Instruments Incorporated

7.17.4 DAC 直線性仕様 (続き)

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
DNL	微分非直線性	Vref = 内部リファレンス、外部リファレンス、または VDD リファレンス (1)	-1		1	LSB
INL	積分非直線性		-4		4	LSB
E_G	ゲイン誤差		-2	-0.5	2	%FSR
E_O	オフセット誤差	Vref = 内部リファレンス、外部リファレンス、または VDD リファレンス、キャリブレーションあり (1)	-2	0.5	2	mV
E_O	オフセット誤差	Vref = 内部リファレンス、外部リファレンス、または VDD リファレンス電圧、キャリブレーションなし (1)	-20		20	mV
t_{cal}	オフセット キャリブレーション時間		1.3			ms

(1) DAC の有効出力範囲は 0.3～VDD-0.3 です。

7.17.5 DAC タイミング仕様

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{ON,12b}$	オフ状態からのターンオン時間 (VREF 準備完了)	DATA = 0xFFF、誤差 < ±2 LSB、Vref = 内部リファレンス		4.5	6.9	µs
$t_{S(FS)}$	フルスケール セトリング タイム	DATA = 0x1EC-> 0xFFF-> 0x1EC、誤差 < ±2 LSB、Vref = 内部リファレンス		0.8	1	µs

7.18 GPAMP

7.18.1 電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{CM}	同相電圧範囲	RRI = 0x0		-0.1		VDD-1	V
		RRI = 0x1		1		VDD-0.2	
		RRI = 0x2		-0.1		VDD-0.2	
I_q	静止電流 (オペアンプ 1 個あたり)	I_O= 0mA、RRI = 0x0			97		µA
		I_O= 0mA、RRI = 0x1 または 0x2			93		
GBW	ゲイン帯域幅積	C_L = 200pF			0.32		MHz
V_{OS}	入力オフセット電圧	非反転、ユニティ ゲイン、T_A = 25℃、VDD = 3.3V	CHOP = 0x0		±0.2	±9	mV
			CHOP = 0x1		±0.08	±0.4	
dV_{OS}/dT	入力オフセット電圧の温度ドリフト	非反転、ユニティ ゲイン	CHOP = 0x0		7.7		µV/℃
			CHOP = 0x1		0.34		
I_{bias}	SoC の多重化された I/O ピンの入力バイアス	0.1V<V_{in}<(VDD-0.3V)、VDD=3.3V、CHOP=0x0	T_A = 25℃		±40		pA
			T_A = 125℃		±4000		
		0.1V<V_{in}<(VDD-0.3V)、VDD=3.3V、CHOP=0x1	T_A = 25℃		±200		
			T_A = 125℃		±4000		
$CMRR_{DC}$	同相除去比、DC	同相電圧範囲の全範囲	CHOP = 0x0	48	77		dB
			CHOP = 0x1	56	105		
e_n	入力電圧ノイズ密度	非反転、ユニティ ゲイン	f = 1kHz		43		nV/√Hz
e_n			f = 10kHz		19		
R_{in}	入力抵抗 (1)				0.65		kΩ

Copyright © 2025 Texas Instruments Incorporated

7.18.1 電気的特性 (続き)

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
C_{in}	入力容量	同相		4		pF
		差動		2		
A_{OL}	開ループ電圧ゲイン、DC	R_L = 350kΩ、0.3 < Vo < (VDD-0.3)	82	90	107	dB
PM	位相マージン	C_L = 200pF、R_L= 350kΩ	69	70	72	度
SR	スルーレート	非反転、ユニティ ゲイン、C_L = 40pF		0.32		V/µs
THDN	全高調波歪 + ノイズ			0.012		%
I_{Load}	出力負荷電流			4		mA
C_{Load}	出力負荷容量				200	pF

(1) ここでの R_{in} は、GPAMP 内のマルチプレクサの入力抵抗を意味します。

7.18.2 スイッチング特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
t_{EN}	GPAMP のイネーブル時間	ENABLE = 0x0～0x1、バンドギャップ リファレンスはオン、0.1%	非反転、ユニティ ゲイン		12	20	µs
$t_{disable}$	GPAMP のディセーブル時間				4		ULPCLK サイクル
t_{SETTLE}	GPAMP のセトリング タイム	C_L = 200pF、Vstep = 0.3V～(VDD - 0.3V)、0.1%、ENABLE = 0x1	非反転、ユニティ ゲイン		9		µs

7.19 OPA

7.19.1 電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{CM}	同相電圧範囲	RRI = 0x0		-0.1		VDD-1.1	V
		RRI = 0x1		-0.1		VDD-0.3	
V_O	レール範囲からの電圧出力スイング	R_L = 10kΩ を VDD/2 に接続			20	68	mV
I_q	静止電流 (オペアンプ 1 個あたり)	I_O= 0mA、RRI = 0x0	GBW = 0x0		94		µA
			GBW = 0x1		319		
		I_O= 0mA、RRI = 0x1	GBW = 0x0		116	134	
			GBW = 0x1		401	500	
I_{BCS}	バーンアウト電流源の電流				2		µA
GBW	ゲイン帯域幅積	非反転、ユニティ ゲイン、C_L = 40pF	GBW = 0x0		1.5		MHz
			GBW = 0x1		6		
V_{OS}	入力オフセット電圧	非反転、ユニティ ゲイン、VDD = 3.3V、T_A = 25°C	CHOP = 0x0		±0.4	±2	mV
			CHOP = 0x1 または 0x2			±0.3	
		非反転、ユニティ ゲイン、VDD = 3.3V	CHOP = 0x0		±1.5	±3.5	
			CHOP = 0x1 または 0x2		±0.1	±0.5	

Copyright © 2025 Texas Instruments Incorporated

7.19.1 電気的特性 (続き)

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
dV_{OS}/dT	入力オフセット電圧の温度ドリフト	非反転、ユニティ ゲイン、CHOP = 0x0	GBW = 0x0		8.5		µV/℃
			GBW = 0x1		6		
		CHOP = 0x1 または 0x2			0.5		
$PSRR_{DC}$	電源除去比、DC	非反転、ユニティ ゲイン	CHOP = 0x0	74	86		dB
			CHOP = 0x1 または 0x2	74	86		
I_{bias}	入力バイアス電流	0.1V<V_{in}<VDD-0.3V、VDD = 3.3V、CHOP=0x0	T_A = 25℃		±50		pA
I_{bias} (PM パッケージ)	入力バイアス電流	0.1V<V_{in}<VDD-0.3V、VDD = 3.3V、CHOP=0x0	T_A = 125℃		±0.35	±400	nA
I_{bias} (PM を除くすべてのパッケージ)	入力バイアス電流	0.1V<V_{in}<VDD-0.3V、VDD = 3.3V、CHOP=0x0	T_A = 125℃		±0.35	±100	nA
I_{bias}	入力バイアス電流	0.1V<V_{in}<VDD-0.3V、VDD = 3.3V、CHOP=0x1	T_A = 25℃		±0.4		nA
I_{bias} (PM パッケージ)	入力バイアス電流	0.1V<V_{in}<VDD-0.3V、VDD = 3.3V、CHOP=0x1	T_A = 125℃		±0.4	±400	nA
I_{bias} (PM を除くすべてのパッケージ)	入力バイアス電流	0.1V<V_{in}<VDD-0.3V、VDD = 3.3V、CHOP=0x1	T_A = 125℃		±0.4	±104	nA
$CMRR_{DC}$	同相除去比、DC	RRI = 0x0: 0V<V_{CM}<VDD-1.1V RRI = 0x1: 0V<V_{CM}<VDD-0.3V	CHOP = 0x0		89		dB
			CHOP = 0x1 または 0x2	73	102		
e_n	入力電圧ノイズ密度	GBW = 0x0、非反転、ユニティ ゲイン、CHOP = 0x0	f = 1kHz		240		nV/√Hz
			f = 10kHz		88		
	積分電圧ノイズ、入力換算	f = 0.1Hz～10Hz、GBW = 0x0、非反転、ユニティ ゲイン	CHOP = 0x0		75		µVpp
			CHOP = 0x1 または 0x2		2		
	積分電圧ノイズ、出力換算	f = 0.1Hz～10MHz、GBW = 0x0、CHOP = 0x0、非反転、ユニティ ゲイン			1.5		mVpp
R_{in}	入力抵抗 (1)				2.6		kΩ
C_{in}	入力容量	同相			3		pF
A_{OL}	開ループ電圧ゲイン、DC	R_L = 20kΩ を GND との間に接続、0.3<Vo<VDD-0.3			105		dB
PM	位相マージン	C_L = 40pF	GBW = 0x0		57		度
			GBW = 0x1		50		
SR	スルーレート	非反転、ユニティ ゲイン、C_L = 40pF	GBW = 0x0		1.3		V/µs
			GBW = 0x1		4.9		
THDN	全高調波歪み + ノイズ	非反転、ユニティ ゲイン、GBW = 0x0、f = 1.5kHz、積分 BW = 100kHz			0.0034		%
		非反転、ユニティ ゲイン、GBW = 0x1、f = 6kHz、積分 BW = 100kHz			0.004		
I_{Load}	出力負荷電流	GBW = 0x0			±9		mA
		GBW = 0x1			±30		

Copyright © 2025 Texas Instruments Incorporated

7.19.1 電気的特性 (続き)

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
C_{Load}	出力負荷容量				40	pF

(1) ここでの R_{in} は、OPA 内のマルチプレクサの入力抵抗を意味します。

7.19.2 スイッチング特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
t_{EN}	OPA のイネーブル時間	ENABLE = 0x0～0x1、バンドギャップ リファレンスはオン、0.1%、非反転、ユニティ ゲイン	GBW = 0x0		7.3	12	µs
			GBW = 0x1		4.4	6	
$t_{disable}$	OPA のディセーブル時間				4		ULPCLK のサイクル数
f_{CHOP}	OPA のチョッピング周波数	CHOP = 0x1	GAIN = 0x0		125		kHz
			GAIN = 0x1		62.5		
			GAIN = 0x2		31.25		
			GAIN = 0x3		15.625		
			GAIN = 0x4		7.8		
			GAIN = 0x5		3.9		
t_{SETTLE}	OPA のセトリング タイム	C_L = 40pF、Vstep = 0.3V～(VDD - 0.3V)、0.1%、ENABLE = 0x1、非反転、ユニティゲイン、VDD>=1.8V	GBW = 0x0		2.5	9	µs
			GBW = 0x1		1.3	5	

7.19.3 PGA モード

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
G	非反転ゲイン誤差	バッファ モード(1)	-0.05		+0.05	%
		GAIN = 0x1 (	-0.6		+0.6	
		GAIN = 0x2 (	-0.8		+0.8	
		GAIN = 0x3 (	-1		+1	
		GAIN = 0x4 (	-1.5		+1.5	
		GAIN = 0x5 (	-3.2		+2	
	反転ゲイン誤差	GAIN = 0x1 (	-0.8		+0.8	
		GAIN = 0x2 (	-1.0		+1.0	
		GAIN = 0x3 (	-1.2		1.2	
		GAIN = 0x4 (	-1.5		1.5	
		GAIN = 0x5	-3.3		2.1	

Copyright © 2025 Texas Instruments Incorporated

7.19.3 PGA モード (続き)

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
R_{PGA}	プログラム可能なゲイン段の抵抗	GAIN = 0x1	R1		64		kΩ
			R2 (帰還抵抗)		64		
		GAIN = 0x2	R1		32		
			R2 (帰還抵抗)		96		
		GAIN = 0x3	R1		16		
			R2 (帰還抵抗)		112		
		GAIN = 0x4	R1		8		
			R2 (帰還抵抗)		120		
		GAIN = 0x5	R1		4		
			R2 (帰還抵抗)		124		
G/dV	電源によるゲインのドリフト				0.02	1	%/V
G/dT	温度によるゲインのドリフト				0.002	0.02	%/C
THD	全高調波歪	f = 3kHz、R_L = 1.5kΩ を VDD/2 に接続、GBW = 0x1、GAIN = 0x1			75		dB
		f = 188Hz、R_L = 1.5kΩ を VDD/2 に接続、GBW = 0x1、GAIN = 0x5			55		

(1) OPA はバッファ モードにおいてユニティ ゲインで動作し、増幅なしでインピーダンス マッチングと信号バッファリングを行います。

7.20 I2C

7.20.1 I2C 特性

外気温度範囲での動作時 (特に記述がない限り)

パラメータ		テスト条件	スタンダード モード		ファスト モード		ファスト モード プラス		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
f_{I2C}	I2C 入力クロック周波数		2	32	8	32	20	32	MHz
f_{SCL}	SCL クロック周波数		0.025	0.1		0.4		1	MHz
$t_{HD,STA}$	(リピート) スタート ホールド時間		4		0.6		0.26		us
t_{LOW}	SCL クロック Low 期間		4.7		1.3		0.5		us
t_{HIGH}	SCL クロックの High 期間		4		0.6		0.26		us
$t_{SU,STA}$	リピート スタート セットアップ時間		4.7		0.6		0.26		us
$t_{HD,DAT}$	データ ホールド時間		0		0		0		ns
$t_{SU,DAT}$	データ セットアップ時間		250		100		50		ns
$t_{SU,STO}$	ストップ セットアップ時間		4		0.6		0.26		us
t_{BUF}	ストップ コンディションとスタート コンディションの間のバス解放時間		4.7		1.3		0.5		us
$t_{VD;DAT}$	データ有効時間			3.45		0.9		0.45	us
$t_{VD;ACK}$	データ有効アクノリッジ時間			3.45		0.9		0.45	us

Copyright © 2025 Texas Instruments Incorporated

7.20.2 I2C フィルタ

外気温度範囲での動作時 (特に記述がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SP}	入力フィルタにより抑制されるスパイクのパルス持続時間	AGFSELx = 0		6		ns
		AGFSELx = 1		14	35	ns
		AGFSELx = 2		22	60	ns
		AGFSELx = 3		35	90	ns

7.20.2.1 I^2C のタイミング図

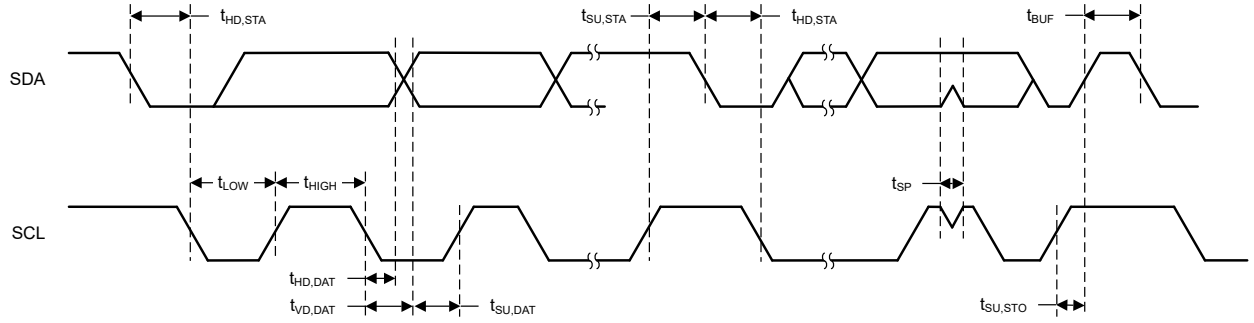


図 7-3. I2C タイミング図

7.21 SPI

7.21.1 SPI

外気温度範囲での動作時 (特に記述がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
SPI						
f_{SPI}	SPI クロック周波数	最大クロック速度 ≧ 32MHz 1.62 < VDD < 3.6V コントローラ モードまたはペリフェラル モード			16(4)	MHz
f_{SPI}	SPI クロック周波数	最大クロック速度 ≧ 48MHz 1.62 < VDD < 2.7V 高速 IO のペリフェラルまたはコントローラ モード			24(4)	MHz
f_{SPI}	SPI クロック周波数	最大クロック速度 ≧ 64MHz 2.7 < VDD < 3.6V 高速 IO のペリフェラルまたはコントローラ モード			32(4)	MHz
DC_{SCK}	SCK のデューティ サイクル		40	50	60	%
コントローラ						
$t_{SCLK_H/L}$	SCLK High または Low 時間		(tSPI/2) - 1	tSPI/2	(tSPI/2) + 1	ns
$t_{CS.LEAD}$	CS 進み時間、CS アクティブからクロックまで	SPH=0	1 SPI クロック			
$t_{CS.LEAD}$	CS 進み時間、CS アクティブからクロックまで	SPH=1	1/2 SPI クロック			
$t_{CS.LEAD}$	CS 遅れ時間、最後のクロックから CS 非アクティブまで	SPH=0	1/2 SPI クロック			
$t_{CS.LAG}$	CS 遅れ時間、最後のクロックから CS 非アクティブまで	SPH=1	1 SPI クロック			

Copyright © 2025 Texas Instruments Incorporated

7.21.1 SPI (続き)

外気温度範囲での動作時 (特に記述がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{CS.ACC}$	CS アクセス時間、CS アクティブから PICO データ出力まで				1/2 SPI クロック	
$t_{CS.DIS}$	CS ディセーブル時間、CS 非アクティブから PICO 高インピーダンスまで				1 SPI クロック	
$t_{SU.CI}$	POCI 入力データのセットアップ時間 (1)	2.7 < VDD < 3.6V、遅延サンプリングがイネーブル	1			ns
$t_{SU.CI}$	POCI 入力データのセットアップ時間 (1)	1.62 < VDD < 2.7V、遅延サンプリングがイネーブル	1			ns
$t_{SU.CI}$	POCI 入力データのセットアップ時間 (1)	2.7 < VDD < 3.6V、遅延サンプリングなし	29			ns
$t_{SU.CI}$	POCI 入力データのセットアップ時間 (1)	1.62 < VDD < 2.7V、遅延サンプリングなし	37			ns
$t_{HD.CI}$	POCI 入力データ ホールド時間	遅延サンプリングがイネーブル	24			ns
$t_{HD.CI}$	POCI 入力データ ホールド時間	遅延サンプリングなし	0			ns
$t_{VALID.CO}$	PICO 出力データの有効時間 (2)				10	ns
$t_{HD.CO}$	PICO 出力データのホールド時間 (3)		6			ns
ペリフェラル						
$t_{CS.LEAD}$	CS 進み時間、CS アクティブからクロックまで		11			ns
$t_{CS.LAG}$	CS 遅れ時間、最後のクロックから CS 非アクティブまで		1			ns
$t_{CS.ACC}$	CS アクセス時間、CS アクティブから POCI データ出力まで				26	ns
$t_{CS.DIS}$	CS ディセーブル時間、CS 非アクティブから POCI 高インピーダンスまで				26	ns
$t_{SU.PI}$	PICO 入力データ セットアップ時間		7			ns
$t_{HD.PI}$	PICO 入力データ ホールド時間		0			ns
$t_{VALID.PO}$	POCI 出力データの有効時間 (2)	2.7 < VDD < 3.6V			25	ns
$t_{VALID.PO}$	POCI 出力データの有効時間 (2)	1.62 < VDD < 2.7V			31	ns
$t_{HD.PO}$	POCI 出力データのホールド時間 (3)		5			ns

(1) 遅延サンプリング機能がイネーブルのとき、POCI 入力データのセットアップ時間を完全に補償できます。
(2) 出力が SCLK クロック エッジを変更した後、次の有効なデータを出力に駆動する時間を規定します。
(3) 出力が SCLK クロック エッジを変更した後、出力のデータが有効である間の時間を規定します。
(4) fSPIclk = 1/2tLO/HI。ただし、tLO/HI = max(tVALID, CO + tSU, PI, tSU, CI + tVALID, PO)。

Copyright © 2025 Texas Instruments Incorporated

7.21.2 SPI タイミング図

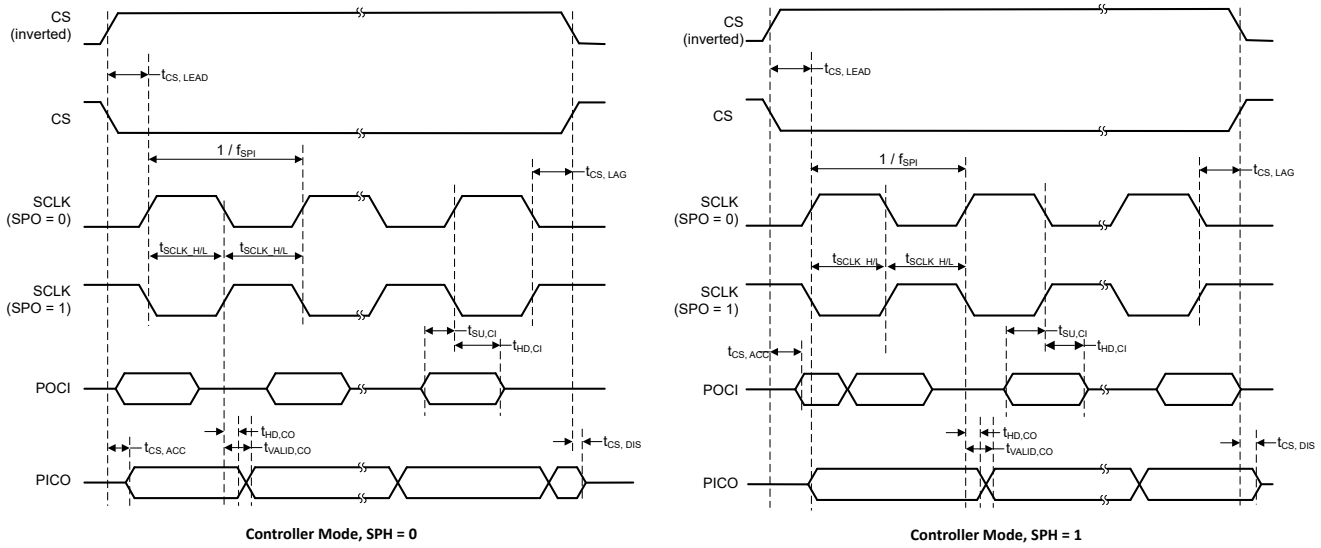


図 7-4. SPI のタイミング図 - コントローラ モード

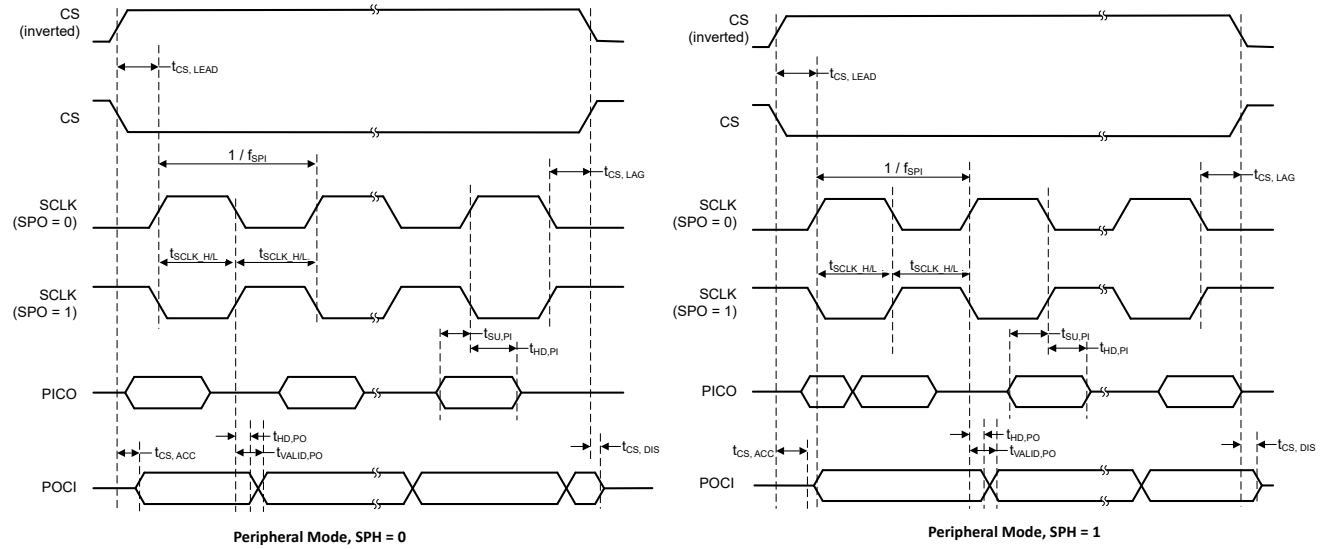


図 7-5. SPI のタイミング図 - ペリフェラル モード

7.22 UART

外気温度範囲での動作時 (特に記述がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{UART}	UART 入力クロック周波数	パワードメイン 1 の UART			80	MHz
f_{UART}	UART 入力クロック周波数	パワードメイン 0 の UART			40	MHz
f_{BITCLK}	BITCLK クロック周波数 (MBaud のボー レートに等しい)	パワードメイン 1 の UART			10	MHz
f_{BITCLK}	BITCLK クロック周波数 (MBaud のボー レートに等しい)	パワードメイン 0 の UART			5	MHz

7.22 UART (続き)

外気温度範囲での動作時 (特に記述がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{SP}	入力フィルタにより抑制されるスパイクのパルス持続時間(1)	AGFSELx = 0		6		ns
		AGFSELx = 1		14	35	ns
		AGFSELx = 2		22	60	ns
		AGFSELx = 3		35	90	ns

(1) UART 受信入力 (RX) に印加された、UART 受信グリッチ除去時間よりも短いパルスは抑制されます。そのため、選択されたグリッチ除去時間によって、使用可能な最大ボーレートが制限されることがあります。パルスが正しく認識されるようにするには、グリッチ除去時間の仕様の最大値よりもパルスの持続時間を長くする必要があります。

7.23 TIMx

外気温度範囲での動作時 (特に記述がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{res}	タイマ分解能時間	パワードメイン 1 の TIMx、$f_{TIMxCLK}$ = 80MHz	12.5			ns
		パワードメイン 0 の TIMx、$f_{TIMxCLK}$ = 40MHz	25			ns
			1			$t_{TIMxCLK}$

7.24 TRNG

7.24.1 TRNG 電気的特性

外気温度範囲での動作時 (特に記述がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$TRNG_{IACT}$	TRNG アクティブ電流	TRNG クロック = 20MHz		115		µA

7.24.2 TRNG スイッチング特性

外気温度範囲での動作時 (特に記述がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$TRNGCLK_F$	TRNG 入力クロック周波数		9.5	10	25	MHz
$TRNG_{STARTUP}$	TRNG 起動時間			520		µs
$TRNG_{LAT32}$	ランダムな 32 ビットを生成するためのレイテンシ	デシメーション比 = 4、TRNG クロック = 20MHz		6.4		µs
$TRNG_{LAT256}$	ランダムな 256 ビットを生成するためのレイテンシ	デシメーション比 = 4、TRNG クロック = 20MHz		51.2		µs

7.25 エミュレーションおよびデバッグ

7.25.1 SWD タイミング

外気温度範囲での動作時 (特に記述がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SWD}	SWD 周波数				10	MHz

Copyright © 2025 Texas Instruments Incorporated

8 詳細説明

以降のセクションでは、このデータシートのデバイスを構成するすべてのコンポーネントについて説明します。これらのデバイスに内蔵されているペリフェラルは、メモリ マップ レジスタ (MMR) を介してソフトウェアで設定されます。詳細については、『 MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル 』の対応する章を参照してください。

8.1 CPU

CPU サブシステム (MCPUSS) は、Arm Cortex-M0+ CPU、命令プリフェッチおよびキャッシュ、システム タイマ、メモリ保護ユニット、割り込み管理機能を実装しています。Arm Cortex-M0+ は、組込みアプリケーションに高性能と低消費電力を提供する、コスト最適化された 32 ビット CPU です。CPU サブシステムの主な特長は次のとおりです:

- 32MHz のクロック周波数をサポートする Arm Cortex-M0+ CPU
  - Armv6-M Thumb 命令セット (リトル エンディアン)、シングル サイクル 32×32 乗算命令付き
  - Arm シングル サイクル IO ポートを経由して、GPIO レジスタにシングル サイクルでアクセス
- シーケンシャル コード実行を改善するためのプリフェッチ ロジックと、4 つの 64 ビット キャッシュ ラインを備えた I キャッシュ
- 24 ビットのダウン カウンタと自動リロード機能を備えたシステム タイマ (SysTick)
- 8 つのプログラマブル領域を持つメモリ保護ユニット (MPU)
- 4 つのプログラム可能な優先レベルとテール チェーンを備えたネスト型ベクタ割り込みコントローラ (NVIC)
- 割り込みレイテンシを短縮するためのジャンプ インデックスを備えた、割り込みソース全体を拡張するための割り込みグループ

8.2 動作モード

MSPM0G MCU には 5 つのメイン動作モード (電力モード) があり、アプリケーションの要件に基づいてデバイスの消費電力を最適化できます。消費電力を低減するためのモードは次のとおりです。RUN、SLEEP、STOP、STANDBY、SHUTDOWN。CPU は RUN モードではコードをアクティブに実行しています。ペリフェラル割り込みイベントにより、デバイスを SLEEP、STOP、または STANDBY モードから RUN モードにウェークアップできます。SHUTDOWN モードでは、内部コア レギュレータが完全にディセーブルされ、消費電力が最小化されます。また、NRST、SWD、または特定の IO でのロジック レベルの一致によってのみウェークアップが可能です。RUN、SLEEP、STOP、STANDBY の各モードには、複数の構成可能なポリシー オプション (例:RUN.x) も含まれており、性能と消費電力のバランスを確保できます。

性能と消費電力のバランスをさらに高めるために、MSPM0G デバイスには次の 2 つの電力ドメインが実装されています。PD1 (CPU、メモリ、高性能ペリフェラル用) と PD0 (低速、低消費電力ペリフェラル用)。PD1 は、RUN モードと SLEEP モードで常に電源が供給されますが、他のすべてのモードではディセーブルになります。PD0 は、RUN、SLEEP、STOP、STANDBY の各モードで常に電源が供給されます。SHUTDOWN モードでは、PD1 と PD0 の両方がディセーブルになります。

8.2.1 動作モード別の機能 (MSPM0G150x)

各動作モードでサポートされている機能を 表 8-1 に示します。

機能キー:

- **EN**:その機能は、指定されたモードでイネーブルされます。
- **DIS**:その機能は、指定されたモードでディセーブル (クロックまたは電源のどちらかが遮断) されますが、その機能の設定は保持されます。
- **OPT**:その機能は、指定されたモードでは任意であり、イネーブルに設定されている場合はイネーブルのままです。
- **NS**:その機能は、指定されたモードで自動的にはディセーブルになりませんが、機能の使用はサポートされていません。
- **OFF**:その機能は、指定されたモードで完全に電源がオフになり、設定情報は保持されません。OFF 状態からウェークアップするときは、アプリケーション ソフトウェアですべてのモジュール レジスタを所望の設定に再構成する必要があります。

Copyright © 2025 Texas Instruments Incorporated

表 8-1. 動作モード別のサポートされている機能

動作モード		RUN			SLEEP			ストップ			STANDBY		シャットダウン
		RUN0	RUN1	RUN2	SLEEP0	SLEEP1	SLEEP2	STOP0	STOP1	STOP2	STANDBY0	STANDBY1	
発振器	SYSOSC	EN		DIS	EN		DIS	OPT (1)	EN	DIS	DIS		OFF
	LFOSC または LFXT	EN (LFOSC または LFXT)											OFF
	HFXT	OPT	DIS		OPT	DIS		DIS			DIS		OFF
	SYSPLL	OPT	DIS(4)		OPT	DIS(4)		DIS(4)			DIS(4)		OFF
クロック	CPUCLK	80MHz	32KHz		DIS								OFF
	MCLK から PD1 へ	80MHz	32KHz		80MHz	32KHz		DIS					OFF
	ULPCLK から PD0 へ	40MHz	32KHz		40MHz	32KHz		4MHz (1)	4MHz	32KHz	32KHz	DIS	OFF
	ULPCLK から TIMG0/8 へ	40MHz	32KHz		40MHz	32KHz		4MHz (1)	4MHz	32KHz	32KHz	32KHz(2)	OFF
	RTCCLK	32KHz											OFF
	MFCLK	OPT	DIS		OPT	DIS		OPT	DIS		DIS		OFF
	MFPCLK	OPT	DIS		OPT	DIS		OPT	DIS		DIS		OFF
	LFCLK から PD0/1 へ	32KHz										DIS	OFF
	LFCLK から TIMG0/8 へ	32KHz										32KHz(2)	OFF
	LFCLK モニタ	OPT											OFF
	MCLK モニタ	OPT										DIS	OFF
PMU	POR モニタ	EN											
	BOR モニタ	EN											OFF
	コア レギュレータ	高駆動能力						中駆動能力			低駆動能力		OFF
コア機能	CPU	EN			DIS								OFF
	DMA	OPT						DIS (トリガをサポート)					OFF
	フラッシュ	EN						DIS					OFF
	SRAM	EN						DIS					OFF
PD1 ペリフェラル	MATHACL	OPT						OFF					OFF
	UART3	OPT						DIS					OFF
	SPI0/1	OPT						DIS					OFF
	TIMA0/1	OPT						OFF					OFF
	TIMG6/7/12	OPT						OFF					OFF
	AES	OPT						OFF					OFF
	CRC	OPT						DIS					OFF
	TRNG	OPT						OFF					OFF

Copyright © 2025 Texas Instruments Incorporated

表 8-1. 動作モード別のサポートされている機能 (続き)

動作モード		RUN			SLEEP			ストップ			STANDBY		シャットダウン
		RUN0	RUN1	RUN2	SLEEP0	SLEEP1	SLEEP2	STOP0	STOP1	STOP2	STANDBY0	STANDBY1	
PD0 ペリフェラル	GPIOA/B(3)	OPT										OPT (2)	OFF
	UART0/1/2	OPT										OPT (2)	OFF
	I2C0/1	OPT										OPT (2)	OFF
	TIMG0/8	OPT										OPT (2)	OFF
	WWDT0/1	OPT										DIS	OFF
	RTC	OPT											OFF
アナログ	VREF	OPT											OFF
	ADC0/1 (3)	OPT								NS (トリガをサポート)			OFF
	COMP0/1/2	OPT	OPT (ULP)		OPT	OPT (ULP)		OPT		OPT (ULP)			OFF
	OPA0/1	OPT	NS		OPT	NS		OPT		NS			OFF
	DAC0	OPT								NS			OFF
	GPAMP	OPT								NS			OFF
	TEMP センサ	OPT									OFF		OFF
IOMUX および IO ウェークアップ		EN											DIS (ウェーク付き)
ウェーク ソース		該当なし			任意の IRQ			PD0 IRQ					IOMUX、NRST、SWD

(1) RUN1 から STOP0 に遷移した場合 (SYSOSC がイネーブルで、MCLK は LFCLK から供給)、RUN1 のときと同様に SYSOSC はイネーブルに維持され、ULPCLK は 32KHz に維持されます。RUN2 から STOP0 に遷移した場合 (SYSOSC がディセーブルで、MCLK は LFCLK から供給)、RUN2 のときと同様に SYSOSC はディセーブルに維持され、ULPCLK は 32KHz に維持されます。

(2) STANDBY に STANDBY1 のポリシーを使用する場合、特定のペリフェラル (TIMG0、TIMG8、および RTC) のみがクロック駆動されます。その他の PD0 ペリフェラルは、外部アクティビティが発生した際に非同期高速クロック要求を生成できますが、アクティブにクロック供給されません。

(3) ADCx および GPIO ポート A および B については、デジタル ロジックは PD0 にあり、レジスタ インターフェイスは PD1 にあります。これらのペリフェラルは、PD1 がアクティブな場合には、高速シングルサイクル レジスタ アクセスをサポートし、また、PD0 がまだアクティブなときには、STANDBY モードになるまで基本動作もサポートします。

(4) SYSPLL は自動的にディセーブルされていないため、消費電力を低減するには、SYSCTL レジスタ内の HSCLKEN.SYSPLLEN フィールドを使用して手動でディセーブルにする必要があります。

8.3 パワー マネージメント ユニット (PMU)

パワー マネージメント ユニット (PMU) は、本デバイスのための内部的に安定化されたコア電源を生成し、また外部電源 (VDD) の監視を行います。PMU は、PMU 自体とアナログ ペリフェラルで使用されるバンドギャップ基準電圧も内蔵しています。PMU の主な特長は次のとおりです。

- パワーオン リセット (POR) 電源モニタ
- ブラウンアウト リセット (BOR) 電源モニタ、プログラム可能な 3 つのスレッショルドを使った早期警告機能付き
- RUN、SLEEP、STOP、STANDBY 動作モードをサポートするコア レギュレータにより、性能と消費電力を動的に最適化
- パリティ保護されたトリムにより、パワー マネージメント トリムが破損した際、パワーオン リセット (POR) を直ちに生成

詳細については、『MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル』と、『MSPM0 L シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル』の「PMU」の章を参照してください。

Copyright © 2025 Texas Instruments Incorporated

8.4 クロック モジュール (CKM)

クロック モジュールは以下に示す発振器を備えています。

- **LFOSC**:内部低周波数発振器 (32kHz)
- **SYSOSC**:内部高周波数発振器 (4MHz または 32MHz (出荷時に調整)、16MHz または 24MHz (ユーザーによる調整))
- **LFXT/LFCKIN**:低周波の外部水晶発振器またはデジタル クロック入力 (32kHz)
- **HFXT/HFCKIN**:高周波の外部水晶発振器またはデジタル クロック入力 (4～48MHz)
- **SYSPLL**:3 出力 (32～80MHz) のシステム フェーズ ロック ループ

プロセッサ、バス、ペリフェラルで使用するために、クロック モジュールによって以下に示すクロックが分配されます。

- **MCLK**:PD1 ペリフェラルのメイン システム クロック。SYSOSC、LFCLK または HSCLK から生成。RUN および SLEEP モードでアクティブ。
- **CPUCLK**:プロセッサのクロック (MCLK から生成)。RUN モードでアクティブ。
- **ULPCLK**:PD0 ペリフェラル用の超低消費電力クロック。RUN、SLEEP、STOP、STANDBY モードでアクティブ。
- **MFCLK**:ペリフェラル用 4MHz 固定の中周波数クロック。RUN、SLEEP、STOP モードで使用可能。
- **MFPCLK**:4MHz 固定の中周波数高精度クロック。RUN、SLEEP、STOP モードで使用可能。
- **LFCLK**:ペリフェラルまたは MCLK 用 32kHz 固定の低周波数クロック。RUN、SLEEP、STOP、STANDBY モードでアクティブ。
- **ADCCLK**:ADC のクロック。RUN、SLEEP、STOP モードで使用可能。
- **CLK_OUT**:クロックを外部に出力するために使用。RUN、SLEEP、STOP、STANDBY モードで使用可能。
- **HFCLK**:HFXT または HFCLK_IN から生成される高周波数クロック。RUN および SLEEP モードで使用可能。
- **HSCLK**:HFCLK または SYSPLL から生成される高速クロック。RUN および SLEEP モードで使用可能。

詳細については、『MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル』の「CKM」の章を参照してください。

8.5 DMA

ダイレクト メモリ アクセス (DMA) コントローラを使うと、CPU を介さずに、いずれかのメモリ アドレスから別のメモリ アドレスにデータを移動できます。たとえば、DMA を使って ADC 変換メモリから SRAM にデータを移動できます。DMA を使用すると、ペリフェラルとの間でデータをやりとりするとき、CPU をウェークアップする必要がなく、低消費電力モードのまま維持できるため、システムの消費電力を削減できます。

これらのデバイスの DMA は、以下の主な機能をサポートしています。

- 7 つの独立した DMA 転送チャネル
  - 3 つのフル機能チャネル (DMA0、DMA1、DMA2)、繰り返し転送モードをサポート
  - 4 つの基本チャネル (DMA3、DMA4、DMA5、DMA6)、シングル転送モードをサポート
- DMA チャネルの優先度を設定可能
- バイト (8 ビット)、ショート ワード (16 ビット)、ワード (32 ビット)、ロング ワード (64 ビット)、またはバイトとワードの混合の転送機能
- 最大 64k のブロック サイズのすべてのデータ タイプの転送をサポートする転送カウンタ
- DMA 転送トリガの選択を設定可能
- 他のチャネルにサービスを提供するためのアクティブ チャネル割り込み
- ピンポン バッファ アーキテクチャのための早期割り込み生成
- 他のチャネルでのアクティビティ完了時のチャネルのカスケード化
- データの再構成をサポートするためのストライド モード (3 相測定アプリケーションなど)

DMA で使用可能なトリガの一覧を 表 8-3 に示します。これらは、DMA メモリ マップ レジスタの DMATCTL.DMATSEL 制御ビットで設定されます。

Copyright © 2025 Texas Instruments Incorporated

表 8-2. DMA の機能

機能	完全	基本
チャネル番号	0、1、2	3、4、5.6
反復モード	あり	-
テーブルとフィルモード	あり	-
収集モード	-	-
IRQ 前	-	-
オート イネーブル	-	-
ロング ロング (128 ビット) 転送	-	-
ストライド モード	-	-
カスケード チャネルのサポート	-	-

表 8-3. DMA のトリガの割り当て

TRIGGER 0:12	ソース	TRIGGER 13:24	ソース
0	ソフトウェア	13	SPI1 パブリッシャ 1
1	一般サブスクライバ 0 (FSUB_0)	14	SPI1 パブリッシャ 2
2	一般サブスクライバ 1 (FSUB_1)	15	UART3 パブリッシャ 1
3	AES パブリッシャ 1	16	UART3 パブリッシャ 2
4	AES パブリッシャ 2	17	UART0 パブリッシャ 1
5	AES パブリッシャ 3	18	UART0 パブリッシャ 2
6	DAC0 パブリッシャ 2	19	UART1 パブリッシャ 1
7	I2C0 パブリッシャ 1	20	UART1 パブリッシャ 2
8	I2C0 パブリッシャ 2	21	UART2 パブリッシャ 1
9	I2C1 パブリッシャ 1	22	UART2 パブリッシャ 2
10	I2C1 パブリッシャ 2	23	ADC0 パブリッシャ 2
11	SPI0 パブリッシャ 1	24	ADC1 パブリッシャ 2
12	SPI0 パブリッシャ 2		

詳細については、*『MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル』*の「DMA」の章を参照してください。

8.6 イベント

イベント マネージャは、1 つのエンティティ (ペリフェラルなど) から別のエンティティ (第 2 のペリフェラル、DMA、CPU など) にデジタル イベントを転送します。イベント マネージャは、静的なルートとプログラマブルなルートの組み合わせを含むイベント ファブリックによって相互接続された一連の定義済みイベント パブリッシャ (ジェネレータ) およびサブスクライバ (レシーバ) によるイベント転送を実装しています。

イベント マネージャによって転送されるイベントには、以下が含まれます。

- 割り込み要求 (IRQ) として CPU に転送されるペリフェラル イベント (静的イベント)
  - 例:CPU に送られる RTC 割り込み
- DMA トリガとして DMA に転送されるペリフェラル イベント (DMA イベント)
  - 例:DMA 転送を要求するための、DMA への UART データ受信トリガ
- ハードウェアでの動作を直接トリガするため、別のペリフェラルに転送されるペリフェラル イベント (汎用イベント)

Copyright © 2025 Texas Instruments Incorporated

– 例：TIMx タイマ ペリフェラルが ADC サブスクライバ ポートに周期的イベントを発行し、ADC がこのイベントを使ってサンプリング開始をトリガする。

詳細については、『MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル』の「イベント」の章を参照してください。

表 8-4. 汎用イベント チャネル

汎用ルートは、1:1 ルートと 1:2 スプリッタ ルートのどちらかです。これらのルートでは、イベントを発行しているペリフェラルは、利用可能な複数の汎用ルート チャネルの 1 つを使ってそのイベントを別の 1 つのエンティティ (スプリッタ ルートの場合は複数のエンティティ) に公開するように構成されています。ここでエンティティとは、別のペリフェラル、汎用 DMA トリガイベント、または汎用 CPU イベントです。

CHANID	汎用ルート チャネルの選択	チャネル タイプ
0	汎用イベント チャネルが選択されていない。	該当なし
1	汎用イベント チャネル 1 が選択されている。	1:1
2	汎用イベント チャネル 2 が選択されている。	1:1
3	汎用イベント チャネル 3 が選択されている。	1:1
4	汎用イベント チャネル 4 が選択されている。	1:1
5	汎用イベント チャネル 5 が選択されている。	1:1
6	汎用イベント チャネル 6 が選択されている。	1:1
7	汎用イベント チャネル 7 が選択されている。	1:1
8	汎用イベント チャネル 8 が選択されている。	1:1
9	汎用イベント チャネル 9 が選択されている。	1:1
10	汎用イベント チャネル 10 が選択されている。	1:1
11	汎用イベント チャネル 11 が選択されている。	1:1
12	汎用イベント チャネル 12 が選択されている。	1:2 (スプリッタ)
13	汎用イベント チャネル 13 が選択されている。	1:2 (スプリッタ)
14	汎用イベント チャネル 14 が選択されている。	1:2 (スプリッタ)
15	汎用イベント チャネル 15 が選択されている。	1:2 (スプリッタ)

8.7 メモリ

8.7.1 メモリ構成

本デバイスのメモリ マップを、表 8-5 に示します。メモリ領域の詳細については、『MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル』の「プラットフォーム メモリ マップ」セクションを参照してください。

表 8-5. メモリ構成

メモリ領域	サブ領域	MSPM0G1505	MSPM0G1506	MSPM0G1507
コード (フラッシュ)	ECC 訂正あり	32KB-8B (1) 0x0000.0000～0x0000.7FF8	64KB-8B (1) 0x0000.0000～ 0x0000.FFF8	128KB-8B (1) 0x0000.0000～ 0x0001.FFF8
	ECC 訂正なし	0x0040.0000～0x0040.7FF8	0x0040.0000～ 0x0040.FFF8	0x0040.0000～ 0x0041.FFF8
SRAM (SRAM)	パリティ チェックあり	0x2010.0000～0x2010.3FFF	0x2010.0000～ 0x2010.7FFF	0x2010.0000～ 0x2010.7FFF
	チェックなし	0x2020.0000～0x2020.3FFF	0x2020.0000～ 0x2020.7FFF	0x2020.0000～ 0x2020.7FFF
	パリティ コード	0x2030.0000～0x2030.3FFF	0x2030.0000～ 0x2030.7FFF	0x2030.0000～ 0x2030.7FFF

Copyright © 2025 Texas Instruments Incorporated

表 8-5. メモリ構成 (続き)

メモリ領域	サブ領域	MSPM0G1505	MSPM0G1506	MSPM0G1507
ペリフェラル	周辺機器	0x4000.0000～0x40FF.FFFF	0x4000.0000～ 0x40FF.FFFF	0x4000.0000～ 0x40FF.FFFF
	フラッシュ ECC 訂正あり	0x4100.0000～0x4100.8000	0x4100.0000～ 0x4101.0000	0x4100.0000～0x4102.0000
	フラッシュ ECC 訂正なし	0x4140.0000～0x4140.8000	0x4140.0000～ 0x4141.0000	0x4140.0000～0x4142.0000
	フラッシュ ECC コード	0x4180.0000～0x4180.8000	0x4180.0000～ 0x4181.0000	0x4180.0000～0x4182.0000
	構成 NVM (NONMAIN) ECC 訂正あり	512 バイト 0x41C0.0000～ 0x41C0.0200	512 バイト 0x41C0.0000～ 0x41C0.0200	512 バイト 0x41C0.0000～ 0x41C0.0200
	構成 NVM (NONMAIN) ECC 訂正なし	0x41C1.0000～ 0x41C1.0200	0x41C1.0000～ 0x41C1.0200	0x41C1.0000～ 0x41C1.0200
	構成 NVM (NONMAIN) ECC コード	0x41C2.0000～ 0x41C2.0200	0x41C2.0000～ 0x41C2.0200	0x41C2.0000～ 0x41C2.0200
	FACTORY、訂正あり	0x41C4.0000～ 0x41C4.0080	0x41C4.0000～ 0x41C4.0080	0x41C4.0000～ 0x41C4.0080
	FACTORY、訂正なし	0x41C5.0000～ 0x41C5.0080	0x41C5.0000～ 0x41C5.0080	0x41C5.0000～ 0x41C5.0080
	FACTORY ECC コード	0x41C6.0000～ 0x41C6.0080	0x41C6.0000～ 0x41C6.0080	0x41C6.0000～ 0x41C6.0080
サブシステム		0x6000.0000～0x7FFF.FFFF	0x6000.0000～ 0x7FFF.FFFF	0x6000.0000～ 0x7FFF.FFFF
システム PPB		0xE000.0000～ 0xE00F.FFFF	0xE000.0000～ 0xE00F.FFFF	0xE000.0000～ 0xE00F.FFFF

(1) フラッシュ メモリの上位 32KB (アドレス 0x0000.0000～0x0000.8000) の書き込み / 消去サイクルは最大 100000 回です。

8.7.2 ペリフェラル ファイル マップ

表 8-6 に、使用可能なペリフェラルと、各ペリフェラルのレジスタ ベース アドレスの一覧を示します。

表 8-6. ペリフェラルのまとめ

ペリフェラル名	ベース アドレス	サイズ
COMP0	0x40008000	0x2000
COMP1	0x4000A000	0x2000
COMP2	0x4000C000	0x2000
DAC_OUT	0x40018000	0x2000
OPA0	0x40020000	0x2000
OPA1	0x40022000	0x2000
VREF	0x40030000	0x2000
WWDT0	0x40080000	0x2000
WWDT1	0x40082000	0x2000
TIMG0	0x40084000	0x2000
TIMG8	0x40090000	0x2000
RTC	0x40094000	0x2000
GPIO0	0x400A0000	0x2000
GPIO1	0x400A2000	0x2000
SYSCTL	0x400AF000	0x3000
DEBUGSS	0x400C7000	0x2000

Copyright © 2025 Texas Instruments Incorporated

表 8-6. ペリフェラルのまとめ (続き)

ペリフェラル名	ベース アドレス	サイズ
EVENT	0x400C9000	0x3000
NVMNW	0x400CD000	0x2000
I2C0	0x400F0000	0x2000
I2C1	0x400F2000	0x2000
UART1	0x40100000	0x2000
UART2	0x40102000	0x2000
UART0	0x40108000	0x2000
MCPUSS	0x40400000	0x2000
MATHACL	0x40410000	0x2000
WUC	0x40424000	0x1000
IOMUX	0x40428000	0x2000
DMA	0x4042A000	0x2000
CRC	0x40440000	0x2000
AES	0x40442000	0x2000
TRNG	0x40444000	0x2000
SPI0	0x40468000	0x2000
SPI1	0x4046A000	0x2000
UART3	0x40500000	0x2000
ADC0	0x40000000	0x1000
ADC1	0x40002000	0x1000
ADC0(1)	0x40556000	0x1000
ADC1(1)	0x40558000	0x1000
TIMA0	0x40860000	0x2000
TIMA1	0x40862000	0x2000
TIMG6	0x40868000	0x2000
TIMG7	0x4086A000	0x2000
TIMG12	0x40870000	0x2000

(1) ADC0 および ADC1 メモリ マップ レジスタのエイリアス領域

Copyright © 2025 Texas Instruments Incorporated

8.7.3 ペリフェラルの割り込みベクタ

表 8-7 に、このデバイス内の各ペリフェラルの IRQ 番号と割り込みグループ番号を示します。

表 8-7. 割り込みベクタ番号

ペリフェラル名	NVIC IRQ	グループ IIDX
WWDT0	0	0
WWDT1	0	1
DEBUGSS	0	2
NVMNW	0	3
EVENT SUB PORT0	0	4
EVENT SUB PORT1	0	5
SYSCTL	0	6
GPIO0	1	0
GPIO1	1	1
COMP0	1	2
COMP1	1	3
COMP2	1	4
TRNG	1	5
TIMG8	2	-
UART3	3	-
ADC0	4	-
ADC1	5	-
DAC_OUT	7	-
SPI0	9	-
SPI1	10	-
UART1	13	-
UART2	14	-
UART0	15	-
TIMG0	16	-
TIMG6	17	-
TIMA0	18	-
TIMA1	19	-
TIMG7	20	-
TIMG12	21	-
I2C0	24	-
I2C1	25	-
AES	28	-
RTC	30	-
DMA	31	-

8.8 フラッシュ メモリ

実行可能なプログラム コードとアプリケーション データを格納するため、1 バンクの不揮発性フラッシュ メモリを備えています。

フラッシュの主な特長は次のとおりです。

- ハードウェア ECC 保護 (エンコードおよびデコード)、シングル ビット誤り訂正およびダブル ビット誤り検出機能付き

- 推奨電源電圧範囲全体にわたって、インサーキットでの書き込み / 消去動作をサポート
- 1KB の小さなセクタ サイズ (1KB の最小消去分解能)
- EEPROM エミュレーションアプリケーションを実現するために、最大 32 個のアプリケーション選択セクタをフラッシュ アドレス空間として使用することができます。この中には、メインバンクからのセクタとオプションのデータバンクが含まれます。データバンクを備えたデバイスでは、データバンクから一部のセクタ、メインバンクの残りのセクタを高耐久セクタとして使用できます。32KB 以下のフラッシュメモリを搭載したデバイスでは、フラッシュメモリ全体が NWEC (HI_ENDUSTINCE) の消去 / 書き込みサイクルをサポートしています

フラッシュ メモリの詳細な説明については、『テクニカル リファレンス マニュアル』の「NVM」の章を参照してください。

8.9 SRAM

MSPM0Gxx MCU には、低消費電力の高性能 SRAM が搭載されており、デバイスでサポートされている CPU 周波数範囲全体にわたってゼロ ウェイト状態でのアクセスに対応します。また、MSPM0Gxx MCU は、ハードウェア パリティ付きで最大 32KB の SRAM も備えています。SRAM は、コードに加えて、呼び出しスタック、ヒープ、グローバル データなどの揮発性情報を格納するために使用できます。SRAM の内容は、RUN、SLEEP、STOP、STANDBY 動作モードでは完全に保持され、SHUTDOWN モードでは失われます。書き込み保護メカニズムが搭載されているため、アプリケーションが SRAM の一部に意図しない変更を加えることを防止できます。書き込み保護は、実行可能コードを SRAM に配置するときに役立ちます。CPU または DMA によってコードが意図せず上書きされることに対してある程度の保護を提供するからです。SRAM にコードを配置すると、ゼロ ウェイト状態動作と低消費電力を実現することで、重要なループの性能を向上できます。

書き込み実行相互排他メカニズムが用意されており、SRAM を読み取り / 書き込み (RW) パーティションと、読み取り / 実行 (RX) パーティションの 2 つのセクションに分割できます。これらのパーティションを設定するには、SYSCTL の SRAMBOUNDARY レジスタを構成する必要があります。RX パーティションは SRAM アドレス空間の上部を占有します。書き込み保護は、実行可能コードを SRAM に配置するときに役立ちます。CPU または DMA によってコードが意図せず上書きされることに対してある程度の保護を提供するからです。SRAM にコードを配置すると、ゼロ ウェイト状態動作と低消費電力を実現することで、重要なループの性能を向上できます。RW パーティションからのコード実行を防ぐことで、コード実行の自己修正を防止することでセキュリティを向上させます。

8.10 GPIO

汎用入出力 (GPIO) ペリフェラルを使用することにより、デバイス ピンとの間でデータを読み書きできます。ポート A およびポート B GPIO ペリフェラルを使用することで、これらのデバイスは最大 60 本の GPIO ピンをサポートします。

GPIO モジュールの主な特長は次のとおりです。

- CPU からの 0 待機状態の MMR アクセス
- ソフトウェアでのリード モディファイ ライト構造を必要とせずに、複数のビットのセット、クリア、トグルが可能
- 「ウェークアップ機能付きの標準」駆動機能を持つ GPIO により、デバイスを SHUTDOWN モードからウェークアップ可能
- 任意の GPIO ポートによる、STOP および STANDBY モードからの低消費電力ウェークアップを可能にする「FastWake」機能
- ユーザー制御の入力フィルタリング

詳細については、『MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル』の「GPIO」の章を参照してください。

8.11 IOMUX

IOMUX ペリフェラルは IO パッド構成を可能にし、デバイス ピンを出入りするデジタル データの流れを制御します。IOMUX の主な特長は次のとおりです。

- IO パッド構成レジスタにより、プログラム可能な駆動強度、速度、プルアップまたはプルダウンなどを実現
- デジタル ピン多重化により、複数のペリフェラル信号を同じ IO パッドに接続可能
- PINCM レジスタを使って、ピンの機能と能力をユーザー設定可能

Copyright © 2025 Texas Instruments Incorporated

詳細については、『 MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル 』の「IOMUX」の章を参照してください。

8.12 ADC

これらのデバイスの 12 ビット アナログ / デジタル コンバータ (ADC) モジュール ADC0 および ADC1 は、いずれもシングルエンド入力で高速な 12 ビット変換をサポートし、同時サンプリング動作を実現しています。

ADC の主な特長は次のとおりです。

- 12 ビットの出力分解能、4Msps、11.1 ビットを超える ENOB
- ハードウェア平均化により、250ksps で 14 ビットの実効分解能を実現
- 個別の結果ストレージ レジスタを備えた合計最大 17 の外部入力チャネル
- 温度センシング、電源監視、アナログ信号チェーン (OPA、DAC などとの相互接続) のための内部チャネル
- ソフトウェアで選択可能なリファレンス電圧:
  - 内部リファレンス電圧を 1.4V および 2.5V に設定可能 (VREF± ピンにデカップリング コンデンサが必要)
  - MCU 電源電圧 (VDD)
  - 外部リファレンス電圧は VREF± ピンを経由して ADC に供給
- RUN、SLEEP、STOP の各モードで動作

表 8-8. ADC チャネル割り当て

CHANNEL[0:7]	信号名(2)		CHANNEL[8:15]	信号名(1) (2)	
	ADC0	ADC1		ADC0	ADC1
0	A0_0	A1_0 / DAC_OUT(4)	8	A1_7(3)	A0_7(3)
1	A0_1	A1_1	9	-	-
2	A0_2	A1_2	10	-	-
3	A0_3	A1_3	11	*温度センサ*	-
4	A0_4	A1_4	12	A0_12	*温度センサ*
5	A0_5	A1_5	13	*OPA0 出力*	*OPA1 出力*
6	A0_6	A1_6	14	*GPAMP 出力*	*GPAMP 出力*
7	A0_7	A1_7	15	*電源 / バッテリ モニタ*	*電源 / バッテリ モニタ*

(1) 信号名が斜体で記載された信号は、完全に SoC 内部の信号です。これらの信号は、内部ペリフェラルの相互接続に使用されます。
(2) デバイスのアナログ接続の詳細については、セクション 8.28 を参照してください。
(3) 各 ADC の各チャネル 8 は、反対側の ADC でサンプリングできることに注意してください。
(4) DAC_OUT を使用する場合、A1_0 を使用して外部信号をサンプリングすることはできません。DAC_OUT を使用する場合、PA15 ピンで外部回路を使用しないでください。

詳細については、『 MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル 』の「ADC」の章を参照してください。

8.13 温度センサ

温度センサは、デバイス温度に対して直線的に変化する電圧を出力します。温度センサの出力は、温度からデジタルへの変換を可能にするため、ADC 入力チャネルの 1 つに内部的に接続されています。

温度センサのユニットごとの 1 点キャリブレーション値は、ファクトリ定数メモリ領域に格納されています。このキャリブレーション値は、工場調整温度 (TS_{TRIM}) において 3.3V VDD リファレンスを使用して 12 ビット モードで測定された温度センサ値に対応する ADC 変換結果 (ADC コード形式) を表します。上記の測定において、ADC および VREF の構成は次のとおりです。RES = 0 (12 ビット モード)、VRSEL = 0h (VDD)、ADC t_{Sample} = 12.5µs。このキャリブレーション値を温度センサの温度係数 (TS_c) と組み合わせて使用することで、本デバイスの温度を推定できます。出荷時調整値を使って本デバイスの温度を推定する方法については、『*MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル*』と『』の「温度センサ」のセクションを参照してください。

8.14 VREF

これらのデバイスの共有リファレンス電圧モジュール (VREF) には、構成可能なリファレンス電圧バッファが含まれており、ユーザーはオンボードのアナログ ペリフェラルに安定したリファレンス電圧を供給できます。また、より高い精度が必要なアプリケーション向けに、外部リファレンスの取り込みもサポートしています。

VREF の主な特長は次のとおりです。

- ユーザー選択可能な 1.4V および 2.5V の内部リファレンス
- 内部リファレンスは、フルスピード ADC の動作をサポート
- VREF± デバイス ピンでの外部リファレンス取り込みをサポート
- 適切な動作のために、VREF± ピンにデカップリング コンデンサを配置する必要があります。詳細については、「VREF」仕様セクションを参照してください

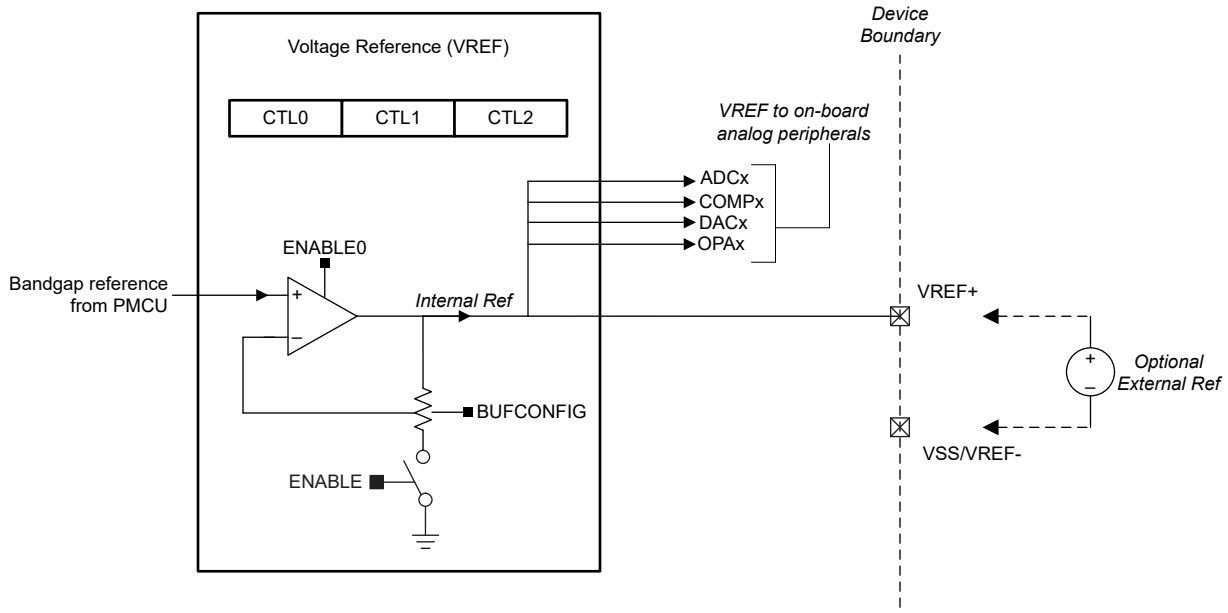


図 8-1. VREF モジュール

詳細については、*『MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル』*の「VREF」の章を参照してください。

8.15 COMP

本デバイスのコンパレータ ペリフェラルは、2 つの入力端子の電圧レベルを比較し、この比較に基づいてデジタル信号を出力します。COMP は、以下の主な機能をサポートしています。

- プログラマブル ヒステリシス
- リファレンス電圧をプログラム可能:
  - 外部リファレンス電圧 (VREF IO)
  - 内部リファレンス電圧 (1.4V、2.5V)
  - 8 ビットのリファレンス DAC を内蔵。その出力は、出力バッファとして OPA 入力端子に内部的に接続することもできます。
- 動作モードを設定可能:
  - 高速モード
  - 低消費電力モード
- 出力グリッチ フィルタ遅延をプログラム可能
- 6 つのブランキング ソースをサポート (『MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル』の CTL2 レジスタを参照)

Copyright © 2025 Texas Instruments Incorporated

- シャットダウン モードを除くほとんどの低電力モードから、出力によるデバイスのウェイクアップをサポートします。
- 先進のタイマ フォルト処理機能に接続された出力
- コンパレータ レジスタの IPSEL および IMSEL ビットを使用して、デバイス ピンまたは内部アナログ モジュールからコンパレータ チャネル入力を選択できます。

表 8-9. COMP ブランキング ソース表

CTL2.BLANKSRC の値	ブランキング ソース
1	TIMA0.CC2
2	TIMA0.CC3
3	TIMA1.CC1
4	TIMG12.CC1
5	TIMG6.CC1
6	TIMG7.CC1

表 8-10. COMP0 入力チャネル選択

IPSEL / IMSEL ビット	正端子入力	負端子入力
0x0	COMP0_IN0+	COMP0_IN0-
0x1	COMP0_IN1+	COMP0_IN1-
0x2	COMP0_IN2+	COMP0_IN2-
0x5	DAC_OUT / COMP0_IN3+ (1)	温度センス出力
0x6	OPA1 出力	OPA0 出力
0x7	COMP1 正端子信号	GPAMP 出力

表 8-11. COMP1 入力チャネル選択

IPSEL / IMSEL ビット	正端子入力	負端子入力
0x0	COMP1_IN0+	COMP1_IN0-
0x1	COMP1_IN1+	COMP1_IN1-
0x2	COMP1_IN2+	COMP1_IN2-
0x5	DAC_OUT / COMP1_IN3+ (1)	-
0x7	COMP0 正端子信号	GPAMP 出力

表 8-12. COMP2 入力チャネル選択

IPSEL / IMSEL ビット	正端子入力	負端子入力
0x0	COMP2_IN0+	COMP2_IN0-
0x1	COMP2_IN1+	COMP2_IN1-
0x5	DAC_OUT(1)	-
0x7	-	GPAMP 出力

(1) COMP0/1_IN3+ と DAC_OUT への接続には、PA15 ピンが使われます。DAC_OUT を COMP0/1_IN3+ に接続する場合、PA15 ピンに外部回路を接続しないでください。

デバイスのアナログ接続の詳細については、セクション 8.28 を参照してください。

詳細については、『*MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル*』の「COMP」の章を参照してください。

8.16 DAC

これらのデバイスの 12 ビット バッファ付き D/A コンバータ (DAC) は、デジタル入力値をアナログ電圧に変換してバッファ付き出力チャネルに出力します。これは次の主要な機能をサポートしています。

- 最大 1MSPS のサンプリング レート

- 8 ビットまたは 12 ビットの電圧出力分解能
- オフセット誤差補正用のセルフ キャリブレーション オプション
- ストレート バイナリまたは 2 の補数のデータ フォーマット
- 事前定義されたサンプリング レートを生成するための内蔵サンプリング タイム ジェネレータ
- FIFO 内蔵、DMA 動作をサポート
- 変換のためのイベント ファブリックからの 1 つのハードウェア トリガ
- プログラマブル電圧リファレンス オプション:
  - 電源電圧 (VDD)
  - 外部リファレンス電圧 (VREF IO)
  - 内部リファレンス電圧 (1.4V、2.5V)

デバイスのアナログ接続の詳細については、セクション 8.28 を参照してください。

詳細については、『MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル』の「DAC」の章を参照してください。

8.17 OPA

これらのデバイスのゼロドリフト オペアンプ (OPA) (OPA0、OPA1) は、レール ツー レール入力 / 出力とプログラム可能なゲイン段帰還ループを備えたチョッパ安定化オペアンプです。

OPA ペリフェラルは、以下の主な機能をサポートしています。

- 精度とドリフト性能を向上させる、ソフトウェアで選択可能なゼロドリフト チョッパ安定化機能
- オフセット誤差を除去するための工場出荷時トリミング
- センサの状態を監視するための内蔵バーンアウト電流源 (BCS)
- 最大 32 倍のプログラマブル ゲイン アンプ (PGA)

各種アナログ信号チェーン アンプ構成 (汎用、反転、非反転、ユニティ ゲイン、カスケード、非反転カスケード、差動など) をサポートするため、OPA は構成可能な入力マルチプレクサ (P-MUX、N-MUX、M-MUX) を備えています。各 OPA の入力チャネルの割り当てを、以下の表に示します。

表 8-13. OPA0 の入力チャネルの割り当て

PSEL	P-MUX 入力	NSEL	N-MUX 入力	MSEL	M-MUX 入力
0x0	オープン	0x0	オープン	0x0	オープン
0x1	OPA0_IN0+	0x1	OPA0_IN0-	0x1	OPA0_IN1-
0x2	OPA0_IN1+	0x2	OPA0_IN1-	0x2	GND
0x3	DAC_OUT / OPA0_IN2+(1)	0x3	OPA1_RBOT	0x3	DAC_OUT / OPA0_IN2+(1)
0x4	DAC8.0_OUT	0x4	RTAP	0x4	OPA1_RTOP
0x5	VREF	0x5	RTOP		
0x6	OPA1_RTOP				
0x7	GPAMP 出力				
0x8	グランド				

表 8-14. OPA1 の入力チャネルの割り当て

PSEL	P-MUX 入力	NSEL	N-MUX 入力	MSEL	M-MUX 入力
0x0	オープン	0x0	オープン	0x0	オープン
0x1	OPA1_IN0+	0x1	OPA1_IN0-	0x1	OPA1_IN1-
0x2	OPA1_IN1+	0x2	OPA1_IN1-	0x2	GND
0x3	DAC_OUT / OPA1_IN2+(1)	0x3	OPA0_RBOT	0x3	DAC_OUT / OPA1_IN2+(1)
0x4	DAC8.1_OUT	0x4	RTAP	0x4	OPA0_RTOP
0x5	VREF	0x5	RTOP		
0x6	OPA0_RTOP				

Copyright © 2025 Texas Instruments Incorporated

表 8-14. OPA1 の入力チャネルの割り当て (続き)

PSEL	P-MUX 入力	NSEL	N-MUX 入力	MSEL	M-MUX 入力
0x7	GPAMP 出力				
0x8	グランド				

(1) OPA と DAC_OUT への接続には、PA15 ピンが使われます。DAC_OUT を OPA に接続する場合、PA15 ピンに外部回路を接続しないでください。

デバイスのアナログ接続の詳細については、セクション 8.28 を参照してください。

詳細については、『*MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル*』と『』の「OPA」の章を参照してください。

8.18 GPAMP

汎用アンプ (GPAMP) ペリフェラルは、レール ツー レールの入力と出力を備えたチョッパ安定化汎用オペアンプです。

GPAMP は、以下の機能をサポートしています。

- ソフトウェアで選択可能なチョッパ安定化
- レール ツー レール入出力
- プログラム可能な内部ユニティ ゲイン フィードバック ループ

詳細については、『MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル』と『MSPM0 L シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル』の「ADC」の章を参照してください。

8.19 TRNG

TRNG (真性乱数生成器) は、内部回路を利用して 32 ビットの乱数を生成します。この TRNG は、FIPS-140-2 準拠のシステムを構築するために、決定論的乱数発生器 (DRNG) へのソースとして使用することを意図しています。TRNG の主な特長は次のとおりです。

- 32 ビットの乱数の生成
- 32 × 4 = 128 TRNG クロック サイクルごとに、新しい 32 ビット数値を生成可能
- 健全性テスト内蔵
- RUN および SLEEP モードで使用可能

詳細については、『MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル』の「TRNG」の章を参照してください。

8.20 AES

高度暗号化規格 (AES) アクセラレータを備えており、AES (FIPS PUB 197) の暗号化および復号動作が CPU からオフロードされます。主な特長:

- 128 ビットおよび 256 ビットの暗号化キーをサポート
- オンザフライでのキー拡張
- 復号用のオフライン キー生成
- シャドウ レジスタにすべてのキー長の初期キーを格納
- ECB、CBC、OFB、CFB 暗号モードのための DMA サポート
- AES 準備完了割り込み生成
- RUN および SLEEP モードで使用可能

詳細については、『 MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル 』の「AES」の章を参照してください。

8.21 CRC

巡回冗長検査 (CRC) モジュールは入力データ シーケンスのシグネチャを提供します。CRC モジュールの主な特長は次のとおりです。

Copyright © 2025 Texas Instruments Incorporated

- CRC16-CCITT に基づく 16 ビット CRC をサポート
- CRC32-ISO3309 に基づく 32 ビット CRC をサポート
- ビット リバーサルをサポート

詳細については、『*MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル*』と『』の「CRC」の章を参照してください。

8.22 UART

UART ペリフェラル (UART0、UART1、UART2、UART3) には、次の主な機能があります。

- スタート、ストップ、およびパリティ用の標準非同期通信ビット
- プログラマブルなシリアル インターフェイス
  - 5、6、7、または 8 データ ビット
  - 偶数パリティ ビット、奇数パリティ ビット、スティック パリティ ビット、およびパリティなしビットの生成 / 検出
  - 1 または 2 ストップ ビットの生成
  - 改行の検出
  - 入力信号のグリッチ フィルタ
  - プログラマブルなボーレート生成 (16/8/3 倍オーバーサンプリング機能付き)
  - ローカル相互接続ネットワーク (LIN) モードのサポート
- 独立した送信および受信 FIFO による DAM データ転送のサポート
- 送信および受信ループバック モード動作をサポート
- サポートされているプロトコルの詳細については、表 8-15 を参照してください

表 8-15. UART の機能

UART の機能	UART0 (拡張)	UART1 および 2 (メイン)	UART3 (メイン)
停止およびスタンバイ モードでアクティブ	あり	あり	-
送信 FIFO と受信 FIFO を分離	あり	あり	あり
ハードウェア フロー制御をサポート	あり	あり	あり
9 ビット構成をサポート	あり	あり	あり
LIN モードをサポート	あり	-	-
DALI をサポート	あり	-	-
IrDA をサポート	あり	-	-
ISO7816 スマート カードをサポート	あり	-	-
マンチェスター符号化をサポート	あり	-	-

詳細については、『 MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル 』の「UART」の章を参照してください。

8.23 I2C

これらのデバイスの I²C (Inter-Integrated Circuit Interface) ペリフェラルは、バス上のその他の I2C デバイスとの双方向データ転送を行い、次の主な機能をサポートしています。

- 複数の 7 ビット ターゲット アドレスによる 7 ビットおよび 10 ビット アドレッシング モード
- マルチ コントローラ トランスミッタ / レシーバ モード
- 設定可能クロック ストレッチング付きターゲット レシーバ / トランスミッタ モード
- 標準モード (Sm) をサポート (最大 100kbit/s のビット レート)
- 高速モード (Fm) をサポート (最大 400kbit/s のビット レート)
- 高速プラス モード (Fm+) をサポート (最大 1Mbit/s のビット レート)
  - オープンドレイン IO (ODIO) およびハイドライブ IO (HDIO) にのみ対応
- 独立した送信および受信 FIFO による DMA データ転送のサポート
- PEC、ARP、タイムアウト検出、ホスト サポートにより SMBus 3.0 をサポート

Copyright © 2025 Texas Instruments Incorporated

- アドレス一致で低消費電力モードからウェークアップ
- 入力信号のグリッチを抑制するためのアナログおよびデジタル グリッチ フィルタをサポート
- 8 エントリの送信および受信 FIFO

詳細については、『*MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル*』と『』の「I2C」の章を参照してください。

8.24 SPI

これらのデバイスのシリアル ペリフェラル インターフェイス (SPI) ペリフェラルは、以下の主な機能をサポートしています。

- コントローラ モードとペリフェラル モードの両方で、MCLK/2 のビット レートと最大 32Mbps をサポートします。[1]
- コントローラまたはペリフェラルとして構成可能
- コントローラとペリフェラルの両方に対応する構成可能なチップ セレクト
- プログラマブルなクロック プリスケーラおよびビット レート
- データ フレーム サイズを 4 ビット～16 ビット (コントローラ モード)、7 ビット～16 ビット (ペリフェラル モード) にプログラム可能
- PACKEN 機能をサポート、2 つの 16 ビット FIFO エントリを 32 ビット値にパックして CPU 性能を向上
- DMA データ転送をサポートする送信および受信 FIFO (エントリごとに 16 ビットの 4 エントリ)
- テキサス・インスツルメンツ モード、Motorola モード、National Microwire 形式をサポート

詳細については、『MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル』と、『MSPM0 L シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル』の「SPI」の章を参照してください。

8.25 WWDT

ウィンドウ付きウォッチドッグ タイマ (WWDT) は、本デバイスの動作 (特にコードの実行) を監視するために使えます。WWDT は、アプリケーション ソフトウェアが規定された時間の範囲内にウォッチドッグを正常にリセットしなかった場合に、リセットまたは割り込みを生成するために使用できます。WWDT の主な特長は次のとおりです。

- 25 ビット カウンタ
- プログラマブルなクロック分周回路
- ソフトウェアで選択可能な 8 つのウォッチドッグ タイマ期間
- ソフトウェアで選択可能な 8 つのウィンドウ サイズ
- SLEEP モードに入った際の WWDT の自動停止をサポート
- ウォッチドッグ機能を必要としないアプリケーションのためのインターバル タイマ モード

詳細については、『*MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル*』と『』の「WWDT」の章を参照してください。

8.26 RTC

リアルタイム クロック (RTC) は、32kHz の入力クロック ソース (通常は低周波数の水晶振動子) で動作し、CPU への割り込み用の複数のオプションを備えたタイム ベースをアプリケーションに提供します。RTC の主な特長は次のとおりです。

- 秒、分、時、曜日、日、月、年のカウンタ
- バイナリまたは BCD フォーマット
- うるう年の取り扱い
- 分、時、曜日、日に基づいてカスタマイズ可能な 1 つのアラーム割り込み
- 1 分ごと、1 時間ごと、深夜 12 時、または正午にウェークアップするインターバル アラーム割り込み
- インターバル アラーム割り込みによる 4096、2048、1024、512、256、128Hz の周期的なウェークアップ
- インターバル アラーム割り込みによる 64、32、16、8、4、2、1、0.5Hz の周期的なウェークアップ
- 水晶振動子のオフセット誤差のキャリブレーション (最大 ±240ppm)
- 温度ドリフトの補償 (最大 ±240ppm)

[1] HSIO ピンの SPI 信号のみが、16Mbps を超えるデータ レートをサポートしています。HSIO ピンについては、「*ピン配置図*」セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

- キャリブレーション用に RTC クロックをピンに出力

詳細については、『 MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル 』の「RTC」の章を参照してください。

8.27 タイマ (TIMx)

これらのデバイスのタイマ ペリフェラルは、以下の主な機能をサポートしています。具体的な設定については 表 8-16 を参照してください。

汎用タイマ (TIMGx) 特有の機能には以下が含まれます。

- 16 ビット タイマおよび 32 ビット タイマ、アップ、ダウン、またはアップダウンのカウント モードと反復リロード モード付き
- 選択可能 / 構成可能なクロック ソース
- カウンタ クロック周波数を分周するための 8 ビット プログラマブル プリスケーラ
- 以下のための 2 つの独立した CC チャネル
  - 出力の比較
  - 入力のキャプチャ
  - PWM 出力
  - ワンショット モード
- シャドウ CC レジスタ、TIMG6、TIMG7、TIMG12 で利用可能
- シャドウ ロード レジスタ、TIMG6、TIMG7 で利用可能
- 位置決めと移動量検出のための直交エンコーダ インターフェイス (QEI) のサポート、TIMG8 で利用可能
- 同一電力ドメイン内の異なる TIMx インスタンス間の同期とクロス トリガをサポート
- 割り込み / DMA トリガ生成とクロス ペリフェラル (ADC など) トリガ機能をサポート
- ホール センサ入力のためのクロス トリガ イベント ロジック (TIMG8)

高度制御タイマ (TIMAx) 特有の機能には以下が含まれます。

- 16 ビット タイマ、アップ、ダウン、またはアップダウンのカウント モードと反復リロード モード付き
- 選択可能 / 構成可能なクロック ソース
- カウンタ クロック周波数を分周するための 8 ビット プログラマブル プリスケーラ
- カウンタで所定のサイクル数が経過した後にのみ割り込みまたはイベントを生成する、リピート カウンタ
- 以下のための最大 4 つの独立した CC チャネル
  - 出力の比較
  - 入力のキャプチャ
  - PWM 出力
  - ワンショット モード
- キャプチャ / 比較イベント用の 5 番目と 6 番目の内部 CC チャネル
- データ保存および CC レジスタ用のシャドウ レジスタ、TIMA0 および TIMA1 で利用可能
- 相補出力 PWM
- デッドバンド挿入をプログラム可能な非対称 PWM
- フォルト状況が発生したときに、ユーザー定義による安全な状態の出力信号を確保するためのフォルト処理メカニズム
- 同一電力ドメイン内の異なる TIMx インスタンス間の同期とクロス トリガをサポート
- 割り込みおよび DMA トリガ生成とクロス ペリフェラル (ADC など) トリガ機能をサポート
- 内部イベント用の 2 つの追加キャプチャ / 比較チャネル

表 8-16. TIMx の構成

タイマ名	パワードメイン	分解能	プリスケーラ	リピート カウンタ	キャプチャ / 比較チャネル	位相ロード	シャドウ ロード	シャドウ CC	デッドバンド	フォルト	QEI
TIMG0	PD0	16 ビット	8 ビット	–	2	–	–	–	–	–	–
TIMG6	PD1	16 ビット	8 ビット	–	2	–	あり	あり	–	–	–
TIMG7	PD1	16 ビット	8 ビット	–	2	–	あり	あり	–	–	–
TIMG8	PD0	16 ビット	8 ビット	–	2	–	–	–	–	–	あり

Copyright © 2025 Texas Instruments Incorporated

表 8-16. TIMx の構成 (続き)

タイマ名	パワードメイン	分解能	プリスケーラ	リピート カウンタ	キャプチャ / 比較チャネル	位相ロード	シャドウ ロード	シャドウ CC	デッドバンド	フォルト	QEI
TIMG12	PD1	32 ビット	–	–	2	–	–	あり	–	–	–
TIMA0	PD1	16 ビット	8 ビット	8 ビット	4	あり	あり	あり	あり	あり	–
TIMA1	PD1	16 ビット	8 ビット	8 ビット	2	あり	あり	あり	あり	あり	–

表 8-17. TIMx クロス トリガ マップ (PD1)

TSEL.ETSEL の選択	TIMA0	TIMA1	TIMG6	TIMG7	TIMG12
0	TIMA0.TRIG0	TIMA0.TRIG0	TIMA0.TRIG0	TIMA0.TRIG0	TIMA0.TRIG0
1	TIMA1.TRIG0	TIMA1.TRIG0	TIMA1.TRIG0	TIMA1.TRIG0	TIMA1.TRIG0
2	TIMG6.TRIG0	TIMG6.TRIG0	TIMG6.TRIG0	TIMG6.TRIG0	TIMG6.TRIG0
3	TIMG7.TRIG0	TIMG7.TRIG0	TIMG7.TRIG0	TIMG7.TRIG0	TIMG7.TRIG0
4	TIMG12.TRIG0	TIMG12.TRIG0	TIMG12.TRIG0	TIMG12.TRIG0	TIMG12.TRIG0
5	TIMG8.TRIG0	TIMG8.TRIG0	TIMG8.TRIG0	TIMG8.TRIG0	TIMG8.TRIG0
6～15	予約済み				
16	イベント サブスクライバ ポート 0 (FSUB0)				
17	イベント サブスクライバ ポート 1 (FSUB1)				
18-31	予約済み				

表 8-18. TIMx クロス トリガ マップ (PD0)

TSEL.ETSEL の選択	TIMG0	TIMG8
0	TIMG0.TRIG0	TIMG0.TRIG0
1	TIMG8.TRIG0	TIMG8.TRIG0
2～15	予約済み	
16	イベント サブスクライバ ポート 0 (FSUB0)	
17	イベント サブスクライバ ポート 1 (FSUB1)	
18-31	予約済み	

詳細については、『*MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル*』の「TIMx」の章を参照してください。

8.28 デバイスのアナログ接続

本デバイスの内部アナログ接続を、図 8-2 に示します。

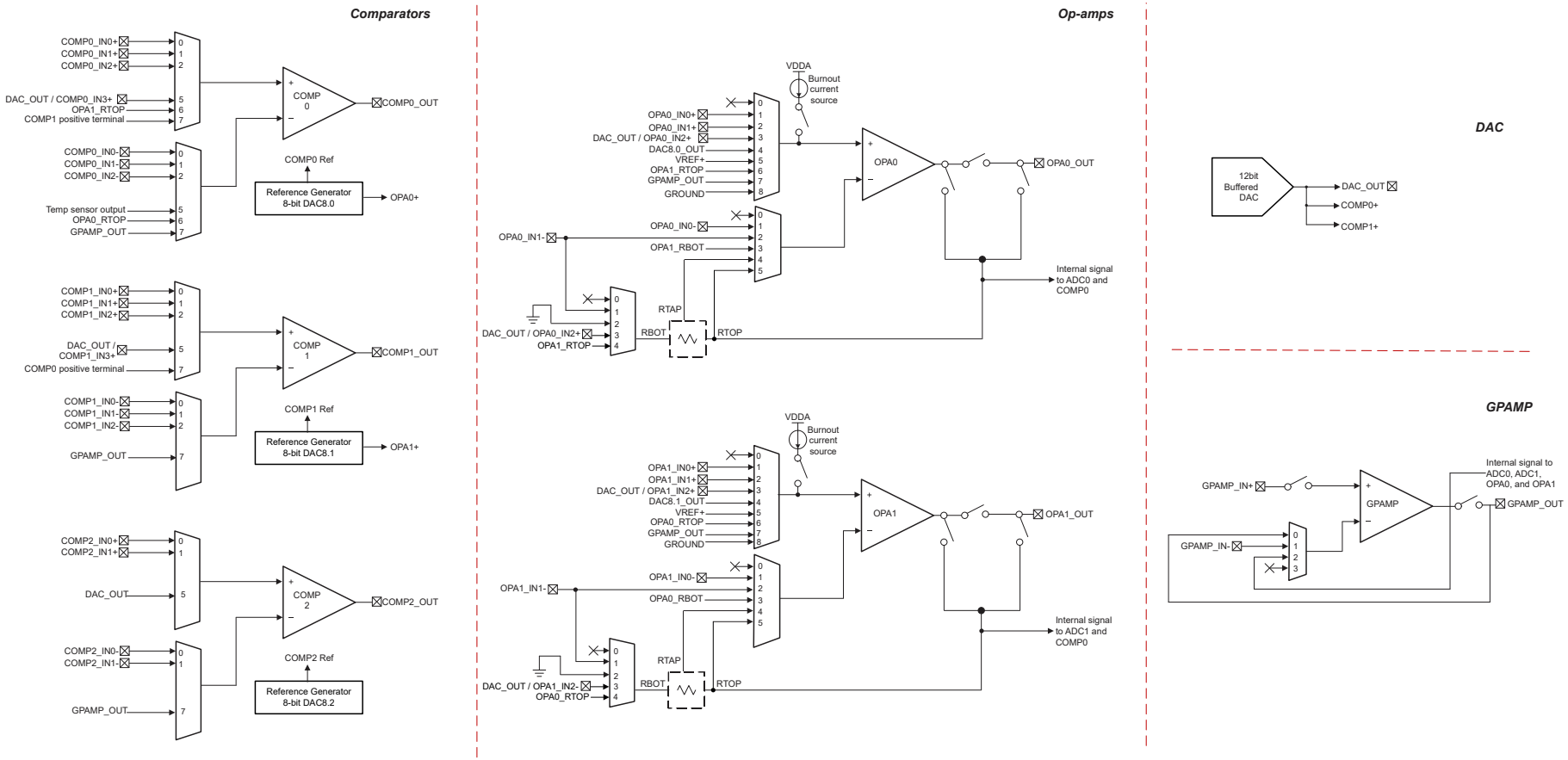


図 8-2. デバイスのアナログ接続

Copyright © 2025 Texas Instruments Incorporated

注

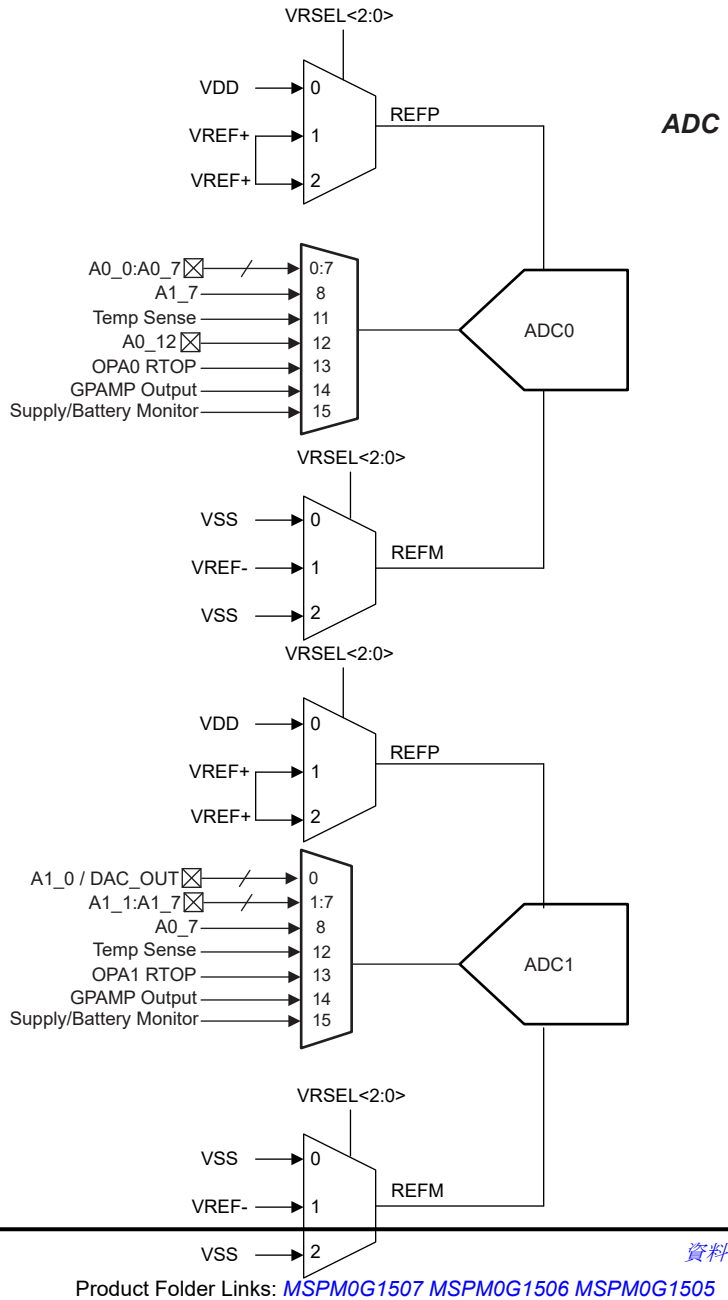


図 8-3. デバイスのアナログ接続 (ADC0 および ADC1)

DAC_OUT をイネーブルにすると PA15 に接続されるため、DAC_OUT を使用するときは、PA15 に外部信号を接続することは推奨されません。

Copyright © 2025 Texas Instruments Incorporated

8.29 入力 / 出力の回路図

IOMUX は、デジタル IO で使用するペリフェラル機能の選択を管理します。また、出力ドライバ、入力パス、SHUTDOWN モードからのウェークアップ ロジックの制御機能も備えています。詳細については、『MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル』の「IOMUX」の章を参照してください。

図 8-4 に、フル機能 IO ピンのミクスト シグナル IO ピン スライスの回路図を示します。すべてのピンに対して、アナログ機能、ウェークアップ ロジック、駆動強度制御、プルアップまたはプルダウン抵抗が利用可能であるとは限りません。特定のピンでサポートされている機能の詳細については、デバイスごとのデータシートを参照してください。

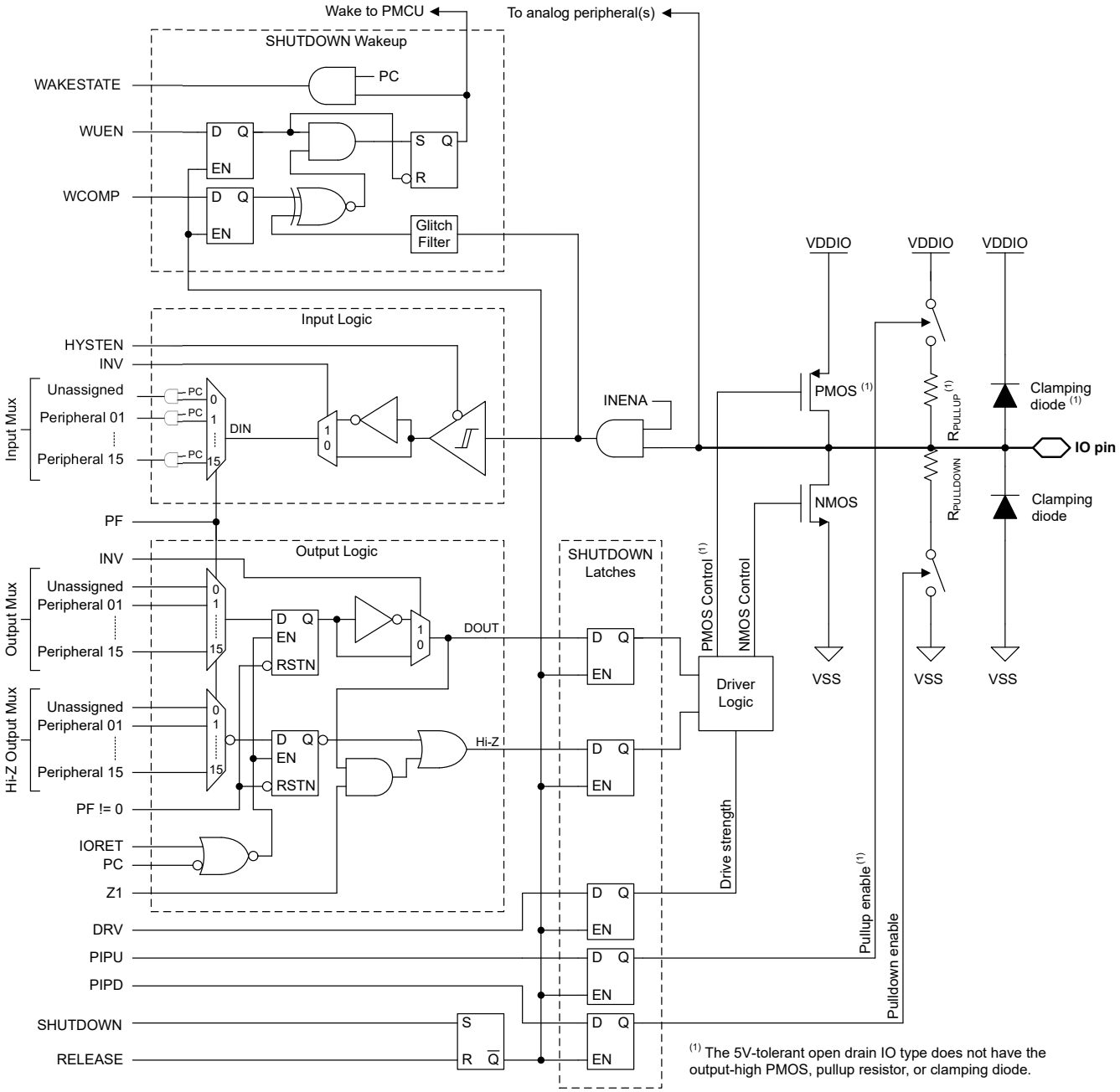


図 8-4. 入力 / 出力の回路図 (上位セット)

Copyright © 2025 Texas Instruments Incorporated

8.30 シリアル ワイヤ デバッグ インターフェイス

本デバイス内の各種デバッグ機能を利用できるように、Arm 互換シリアル ワイヤ デバッグ ポート (SW-DP) を利用したシリアル ワイヤ デバッグ (SWD) 2 線式インターフェイスが備わっています。MSPM0 デバイスが備えるデバッグ機能の詳細な説明については、テクニカル リファレンス マニュアルの「デバッグ」の章を参照してください。

表 8-19. シリアル ワイヤ デバッグ ピンの要件と機能

デバイス信号	方向	SWD 機能
SWCLK	入力	デバッグ プローブからのシリアル ワイヤ クロック
SWDIO	入力 / 出力	双方向 (共有) シリアル ワイヤ データ

8.31 ブートストラップ ローダ (BSL)

ブートストラップ ローダ (BSL) を使用すると、デバイスの構成も、デバイス メモリのプログラミングも、UART または I2C シリアル インターフェイスを介して行うことができます。BSL によるデバイス メモリへのアクセスと構成は、256 ビットのユーザー定義パスワードで保護されており、必要に応じて、デバイス構成の中で BSL を完全に無効化できます。量産プログラミング用に BSL を使用できるように、テキサス・インスツルメンツ出荷時、BSL はデフォルトで有効化されています。

BSL を使用するには、最低 2 本のピンが必要です。それは、BSLRX および BSLTX 信号 (UART の場合) または BSLSCL および BSLSDA 信号 (I^2C の場合) です。さらに、1 本または 2 本の追加ピン (BSL_invoke と NRST) を、外部ホストによるブートローダの制御された呼び出しのために使うこともできます。

有効化されている場合、BSL は次の方法で起動 (開始) されます。

- BSL_invoke ピンの状態が、定義された BSL_invoke のロジック レベルと一致している場合、ブート プロセス中に BSL が呼び出されます。本デバイスの高速ブート モードが有効化されている場合、この呼び出しチェックは省略されます。外部ホストは、呼び出し条件をアサートし、NRST ピンにリセット パルスを印加して BOOSTRST をトリガすることによって、本デバイスが BSL を実行するように指示できます。その後、本デバイスは再起動プロセス中に呼び出し条件を検証し、呼び出し条件が期待されるロジック レベルと一致している場合、BSL を開始します。
- リセット ベクタとスタック ポインタがプログラミングされていない場合、BSL はブート プロセス中に自動的に呼び出されます。したがって、テキサス・インスツルメンツから出荷されたブランク デバイスは、ブート プロセス中に BSL を呼び出します。BSL_invoke ピンにハードウェア呼び出し条件を与える必要はありません。そのため、シリアル インターフェイス信号のみで量産プログラミングが可能です。
- 実行時にアプリケーション ソフトウェアから BSL を呼び出すためには、BSL エントリ コマンドを使用して SYSRST を発行することもできます。

表 8-20. BSL ピンの要件と機能

デバイス信号	接続	BSL 機能
BSLRX	UART に必要	UART の受信信号 (RXD)、入力
BSLTX	UART に必要	UART の送信信号 (TXD)、出力
BSLSCL	I2C に必要	I^2C の BSL クロック信号 (SCL)
BSLSDA	I2C に必要	I^2C の BSL データ信号 (SDA)
BSL_invoke	オプション	ブート時に BSL を開始するために使用されるアクティブ High のデジタル入力
NRST	オプション	リセットのトリガとその後の呼び出し信号 (BSL_invoke) のチェックのために使用されるアクティブ Low のリセット ピン

BSL の機能とコマンド セットの詳細な説明については、『MSPM0 ブートローダ ユーザー ガイド』を参照してください。

8.32 デバイス ファクトリ定数

すべてのデバイスは、アプリケーション ソフトウェア用に、デバイスの機能を説明する読み出し専用データと、工場から提供された調整情報とを、メモリ内に割り当てられた FACTORY 領域に格納しています。詳細については、『 MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル 』の「ファクトリ定数」の章を参照してください。

表 8-21. DEVICEID

DEVICEID アドレスは 0x41C4.0004、PARTNUM はビット 12～27、MANUFACTURER はビット 1～11 です。

デバイス	PARTNUM	製造元
MSPM0G1505	0xBB88	0x17
MSPM0G1506	0xBB88	0x17
MSPM0G1507	0xBB88	0x17

表 8-22. USERID

USERID アドレスは 0x41C4.0008、PART はビット 0～15、VARIANT はビット 16～23 です。

デバイス	PART	バリアント	デバイス	PART	バリアント
MSPM0G1507SPMR	0x2655	0x97	MSPM0G1506SRHBR	0x5AE0	0x57
MSPM0G1507SRGZR	0x2655	0xD3	MSPM0G1506SDGS28R	0x5AE0	0x3A
MSPM0G1507SPTR	0x2655	0x2E	MSPM0G1506SRGER	0x5AE0	0x67
MSPM0G1507SRHBR	0x2655	0x4D	MSPM0G1505SPMR	0x13C4	0x53
MSPM0G1507SDGS28R	0x2655	0x6D	MSPM0G1505SRGZR	0x13C4	0x34
MSPM0G1507SRGER	0x2655	0x83	MSPM0G1505SPTR	0x13C4	0x3E
MSPM0G1506SPMR	0x5AE0	0xF6	MSPM0G1505SRHBR	0x13C4	0x30
MSPM0G1506SRGZR	0x5AE0	0x75	MSPM0G1505SDGS28R	0x13C4	0x73
MSPM0G1506SRPTR	0x5AE0	0x36	MSPM0G1505SRGER	0x13C4	0x47
MSPM0G1507SYCJR	0x2655	0x65	MSPM0G1506SYCJR	0x5AE0	9E

8.33 識別

リビジョンおよびデバイス識別

ハードウェア リビジョンとデバイスの識別値は、メモリ内に割り当てられた FACTORY 領域に格納されています (「デバイス ファクトリ定数」セクションを参照)。この領域は、アプリケーション ソフトウェア用に、デバイスの機能を説明する読み出し専用データと、工場から提供された調整情報とを提供します。詳細については、『 MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル 』の「ファクトリ定数」の章を参照してください。ROM (ファームウェア) のバージョンを識別するため、アドレス 32'h01000048 にアクセスできます。

デバイス リビジョンおよび識別情報は、デバイス パッケージの上面マーキングの一部としても記載されています。デバイスごとのエラッタ シートに、これらのマーキングが記載されています (セクション 10.4 を参照)。

Copyright © 2025 Texas Instruments Incorporated

9 アプリケーション、実装、およびレイアウト

9.1 代表的なアプリケーション

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1.1 回路図

テキサス・インスツルメンツは、10µF と 0.1µF の低 ESR セラミック デカップリング コンデンサを VDD ピンと VSS ピンの間に接続するとともに、これらのコンデンサを分離する電源ピンにできる限り近づけて配置し (数 mm 以内)、ループ面積を最小限に抑えることをおすすめします。ほとんどのアプリケーションでは 10µF のバルク デカップリング コンデンサが推奨値ですが、PCB の設計とアプリケーションの要件に基づいて、必要に応じてこの容量を調整することもできます。たとえば、より値の大きいコンデンサを使用することもできますが、電源レールの立ち上がり時間に影響を及ぼす可能性があります。

デバイスが RESET 状態から開放されてブート プロセスを開始するには、NRST RESET ピンを VDD (電源レベル) にプルアップする必要があります。ほとんどのアプリケーションでは、外部の 47kΩ プルアップ抵抗を 10nF のプルダウン コンデンサに接続し、NRST ピンを他のデバイスまたはデバッグ プローブで制御できるようにすることをおすすめします。

SYSOSC 周波数補正ループ (FCL) 回路では、公差 0.1%、温度係数 (TCR) は 25ppm/°C 以内の外付け 100kΩ 抵抗を、ROSC ピンと VSS の間に取り付けます。この抵抗はリファレンス電流を確立し、補正ループを通して SYSOSC 周波数を安定させます。この抵抗が必要なのは、FCL 機能を使用して高精度を実現する場合で、SYSOSC FCL がイネーブルになっていない場合は必要ありません。FCL モードを使用しない場合、PA2 ピンをデジタル入出力ピンとして使用できます。

VCORE ピンには 0.47µF のタンク コンデンサが必要であり、デバイスのグランドとの距離を最小限に抑えてデバイスの近くに配置する必要があります。他の回路は VCORE ピンに接続しないでください。

5V 対応のオープン ドレイン (ODIO) では、オープン ドレイン IO はローサイド NMOS ドライバのみを実装し、ハイサイド PMOS ドライバを実装しないので、I2C および UART 機能に High を出力するためプルアップ抵抗が必要です。5V 対応のオープン ドレイン IO はフェイルセーフで、VDD が供給されていない場合でも電圧が存在する可能性があります。

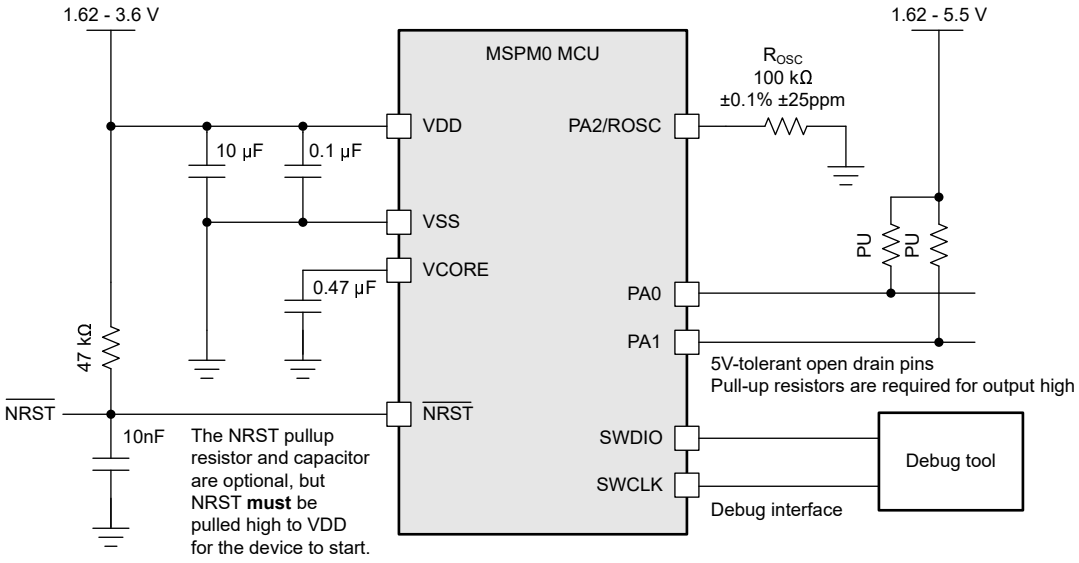


図 9-1. 基本アプリケーションの回路図

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

10.1 入門と次のステップ

MSP 低消費電力マイクロコントローラ、および開発に役立つツールやライブラリの詳細については、テキサス・インスツルメンツの「Arm Cortex-M0+ MCUs」ページを参照してください。

10.2 デバイスの命名規則

製品開発サイクルの段階を示すために、TI は MSP MCU デバイスとサポート ツールのすべての型番に接頭辞を割り当てています。。MSP MCU 商用ファミリの各番号には、MSP、X のいずれかの接頭辞があります。これらの接頭辞は、エンジニアリング プロトタイプ (X) から、完全に認定済みの量産版デバイス (M0) まで、製品開発の段階を表しています。

X または XMS - 実験段階のデバイスで、最終製品の電気的特性を表しているとは限りません。

M0 - 完全に認定済みの量産版デバイスです。

X および XMS - デバイスは、以下の免責事項付きで出荷されます。

「開発中の製品は、社内での評価用です。」MSP デバイスの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。プロトタイプ デバイス (X) は、標準的な製品版デバイスに比べて故障率が大きいと予測されます。これらのデバイスは、予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツはそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

TI デバイスの項目表記には、デバイス ファミリ名の接尾辞も含まれます。この接尾辞は、温度範囲、パッケージ タイプ、配布形式を示しています。デバイス名の各部の読み方を、図 10-1 に示します。

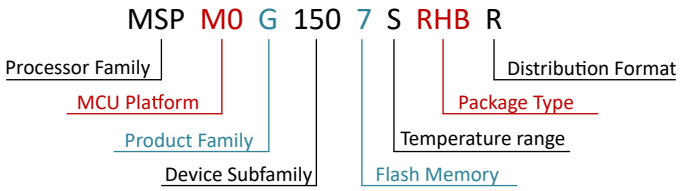


図 10-1. デバイスの命名規則

表 10-1. デバイスの命名規則

MCU プラットフォーム	MSPM0 = Arm ベース 32 ビット M0+ XMSP = 実験段階のシリコン Arm ベース 32 ビット M0+
製品ファミリ	G = 周波数 80MHz
デバイス サブファミリ	150 = 2x ADC、2x OPA、3x COMP
フラッシュ メモリ	5 = 32KB 6 = 64KB 7 = 128KB
温度範囲	S = -40℃～125℃
パッケージ タイプ	デバイスの比較セクションおよび https://www.ti.com/packaging を参照してください
配布形式	R = 大型リール

各種パッケージ タイプの MSP デバイスの注文可能な部品番号については、このデータシートの末尾にあるパッケージ注文情報または ti.com を参照するか、テキサス・インスツルメンツの販売代理店にお問い合わせください。

Copyright © 2025 Texas Instruments Incorporated

10.3 ツールとソフトウェア

設計キットと評価モジュール

MSPM0 LaunchPad (LP) ボード:LP-MSPM0G3507	業界で最も優れたアナログ機能を内蔵し、コストを最適化した汎用 MSPM0 MCU ファミリの開発をただちに開始できます。すべてのデバイス ピンと機能が見えるようなります。複数の内蔵回路、すぐに使用できるソフトウェア デモ、オンボード XDS110 デバッグ プローブ (プログラミング、デバッグ、EnergyTrace 用) が含まれています。 LP エコシステムには、機能を拡張するための多数の BoosterPack スタッカブル プラグイン モジュールが含まれています。

組込みソフトウェア

MSPM0 ソフトウェア開発キット (SDK)	ソフトウェア ドライバ、ミドルウェア ライブラリ、資料、ツール、すべての MSPM0 デバイスのための使いやすく簡単なユーザー体験を実現するサンプル コードが含まれています。
MSP ソフトウェア診断ライブラリ	お客様が機能安全の要件を満たすために役立つ機能安全ソフトウェアのコレクション。

ソフトウェア開発ツール

TI デベロッパー ゾーン	Web ブラウザ上で評価と開発を開始できます。インストールは不要です。クラウド ツールには、ダウンロード可能なオフライン バージョンもあります。
TI Resource Explorer	TI SDK へのオンライン ポータル。CCS IDE または TI クラウド ツールからアクセスできます。
SysConfig	デバイスとペリフェラルの構成、システム競合の解消、構成コードの生成、ピン多重化設定の自動化のための直感的な GUI。CCS IDE、TI Cloud Tools からアクセスできます。スタンドアロン バージョンもあります。(オフライン バージョン)
MSP Academy	さまざまなトピックを網羅するトレーニング モジュールを使用して MSPM0 MCU プラットフォームについて学習するための優れた出発点です。TIRex の一部です。
GUI Composer	コードをまったく必要としない完全統合型アナログ信号チェーンの構成と監視など、特定の MSPM0 機能の評価を簡素化する GUI。

IDE とコンパイラのツールチェーン

Code Composer Studio ™ (CCS)	Code Composer Studio は、テキサス・インスツルメンツのマイクロコントローラおよびプロセッサ向けの統合開発環境 (IDE) です。CCS は、組み込みアプリケーションの開発とデバッグに必要な一連のツールで構成されています。CCS は完全に無料で使用でき、Eclipse および Theia フレームワークで利用できます。
IAR Embedded Workbench® IDE	Arm 向け IAR Embedded Workbench は、MSPM0 向けの組込みアプリケーションの構築とデバッグに適した包括的な開発ツールチェーンを提供します。付属の IAR C/C++ コンパイラは、アプリケーション向けに高度に最適化されたコードを生成します。C-SPY デバッガは、ソース レベルおよび逆アセンブリ レベルのデバッグ用の完全統合型デバッガであり、複雑なコードおよびデータ ブレークポイントをサポートしています。
Keil® MDK IDE	Arm Keil MDK は、MSPM0 向けの組込みアプリケーションの構築とデバッグに適した、デバッガおよび C/C++コンパイラの包括的なツールチェーンです。Keil MDK には、ソース レベルおよび逆アセンブリ レベルのデバッグに適した統合型デバッガが含まれています。MDK は CMSIS に完全準拠しています。
TI Arm-Clang	TI Arm Clang は、Code Composer Studio IDE に含まれています。
GNU Arm Embedded Toolchain	MSPM0 SDK は、オープン ソースの Arm GNU ツールチェーンを使用した開発をサポートしています。Arm GCC は、Code Composer Studio IDE (CCS) でサポートされています。

Copyright © 2025 Texas Instruments Incorporated

10.4 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

以下のドキュメントでは、MSPM0 MCU について記載しています。これらのドキュメントは、インターネット上の www.ti.com から入手可能です。

テクニカル リファレンス マニュアル

『MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル』	このマニュアルは、MSPM0G デバイス ファミリのモジュールおよびペリフェラルについて解説しています。それぞれの説明は、モジュールまたはペリフェラルを一般的な意味で示しています。すべてのデバイスについて、すべてのモジュールまたはペリフェラルのすべての特長や機能を示しているわけではありません。さらに、モジュールやペリフェラルは、異なるデバイスに対して、全く同じように実装されているとは限りません。ピンの機能、内部信号の接続、および動作パラメータはデバイスによって異なります。詳細については、デバイス固有のデータシートを参照してください。

10.5 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.6 商標

LaunchPad™, Code Composer Studio™, TI E2E™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
Arm® and Cortex® are registered trademarks of Arm Limited.
すべての商標は、それぞれの所有者に帰属します。

10.7 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.8 用語集

テキサス・インスツルメンツ用語集	この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from MARCH 1, 2025 to OCTOBER 3, 2025 (from Revision D (March 2025) to Revision E (October 2025)) **Page**

- 高度なタイマ機能の説明に補助出力を追加 1
- ウィンドウ付きウォッチ ドッグ タイマの機能の説明に WWDT の略称を追加 1
- パッケージ オプションの一覧にピッチとパッケージ識別子の詳細を追加 1
- 明確化のため「通信機能」セクションのフォーマットを変更 1

Copyright © 2025 Texas Instruments Incorporated

- 5V IO の説明に「オープン ドレイン」を追加 1
- 内部接続を備えたアナログ ペリフェラルのリストに「GPAMP」を追加 1
- 「柔軟な I/O 機能」セクションに高速 IO の数を追加 1
- 最適化された「低消費電力スリープ モード」セクションを更新 1
- 産業用バリアントのデータシートから機能安全のブランドを削除 1
- YCJ パッケージのデバイス比較情報を更新 6
- リードを考慮して VSSOP の幅を 3mm から 4.9mm に変更 6
- パッケージ ピッチ情報を追加 6
- 型番からワイルドカードを削除 6
- 比較表の値を更新 6
- 配布形式を指定するため、OPN に「R」を追加 6
- DSBGA パッケージのピン属性を追加 13
- 「ピン属性」セクションの先頭に IO タイプ別のデジタル機能を移動 13
- WCSP パッケージ信号の説明を追加 17
- 「信号の説明」セクションの最初にピン タイプ情報を追加 17
- PA21 GPIO ピンのダイオード電流注入制限について、「絶対最大定格」セクションに脚注を追加 30
- VDD = 1.62V における低電流に関して、絶対最大定格に不足していた I_VDD/I_VSS の脚注を追加 30
- LFOSC スタートアップ時間の仕様を 1.7ms から 1ms に更新 30
- 仕様が他の IO タイプと一致するように、HSIO の Digital IO VOL 仕様を更新し、温度条件の参照を正しく修正 30
- HDIO を DRV=1 のドライブ強度設定で使用する場合の直列電流制限抵抗に関する脚注を追加し、Digital IO 電気的仕様およびスイッチング仕様の各セクションを更新 30
- HDIO を DRV=1 のドライブ強度設定で動作させる場合のポート出力周波数について、デジタル IO スイッチング仕様に項目を追加 30
- コンパレータ電気的仕様に、I_comp 仕様の HCYCLE レジスタ設定条件を追加 30
- パワーオン リセット電圧レベル仕様を更新 35
- BOR コールド仕様セクションを更新 35
- VBOR0 を 1.56 から 1.55 に変更 35
- SLEEP0 ウェークアップ時間を追加 36
- 「tsettle 中の fSYSOSC の追加アンダーシュート精度」の最小値を –11 から –16 に変更 38
- SYSPLLCLK0/1 を 1MHz から 2.5MHz に変更 39
- SYSPLLCLK0/1 を 1MHz から 2.5MHz に変更 39
- SYSPLL RMS サイクル間ジッタを 24ps から 60ps に変更 39
- 周期ジッタを 15.5ps から 45ps に変更 39
- SYSPLL の標準スタートアップ時間を 14us から 7us に、最大スタートアップ時間を 24us から 18us に変更 39
- VDD ≥ 2.7V、DRV = 1、CL = 20pF の仕様を 40MHz から 32MHz に変更 44
- 32 VDD ≥ 2.7V、DRV = 1、CL = 20pF の仕様を 40MHz から 32MHz に変更 44
- I_VBST を 0.7uA から 0.8uA に変更 44
- ADC 動作電流を 1.5mA から 1.75mA に変更 44
- 「f_in = 10KHz」のテスト条件を追加 44
- V_SupplyMon の最大値を 1% から 1.5% に変更 44
- オフセット エラーを ±2mV から ±3.5mV に変更 46
- ゲイン誤差を ±3LSB から ±4LSB に変更 46
- 温度センサのセトリング時間を 10us から 12.5us に変更 47
- 低電力モードにおける COMP + VREF の消費電流を追加 48
- COMP 低消費電力モードの消費電流を 0.84uA から 0.85uA に変更 48
- COMP IDD を 102uA から 120uA に変更 48
- 「コンパレータの消費電流」セクションの「パラメータ」セクションを分割 48
- COMP + VREF 低消費電力モード IDD 仕様を 2.5uA から 3.5uA に変更 48
- DAC コードのテスト条件を追加 49

Copyright © 2025 Texas Instruments Incorporated

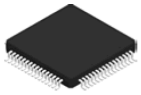
- DAC IDD を 300uA から 400uA に変更
- VDD-0.3V のテスト条件に V_o = 0.3V を追加
- 出力負荷電流から +/- を削除し、+ 4mA のみに変更。
- 非反転ゲイン誤差 (ゲイン = 32) を (-2.6 % から +2.6%) から (-3.2 % から +2%) に変更
- 反転ゲイン誤差 (ゲイン =-31) を (-2.7 % から +2.7%) から (-3.3 % から +2.1%) に変更
- 正しいレジスタ構成設定を使用し、温度センサのキャリブレーション条件を 1.4V から 3.3V に変更
- VREF モジュールのブロック図を追加

Copyright © 2025 Texas Instruments Incorporated

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

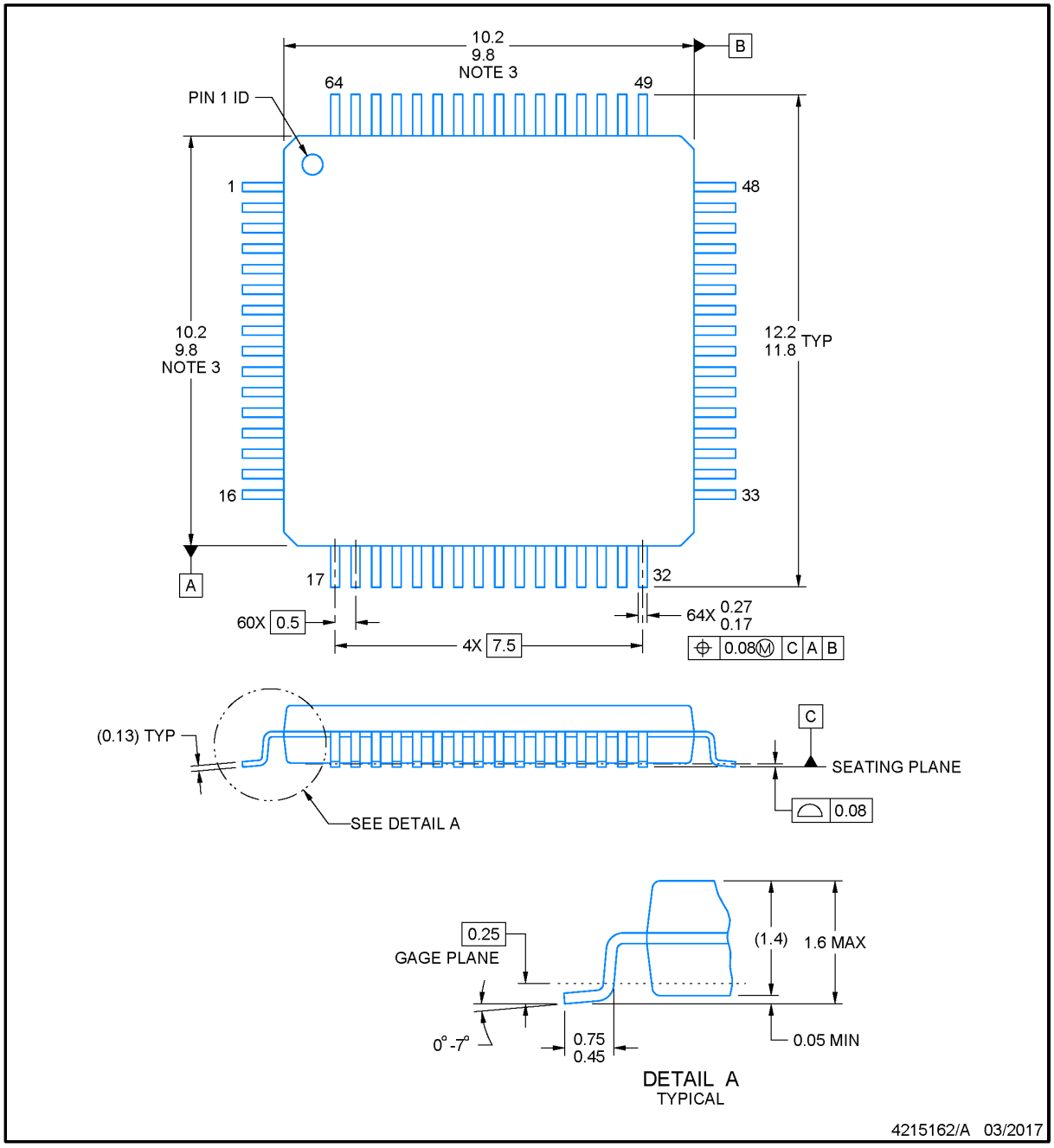


PACKAGE OUTLINE

PM0064A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.

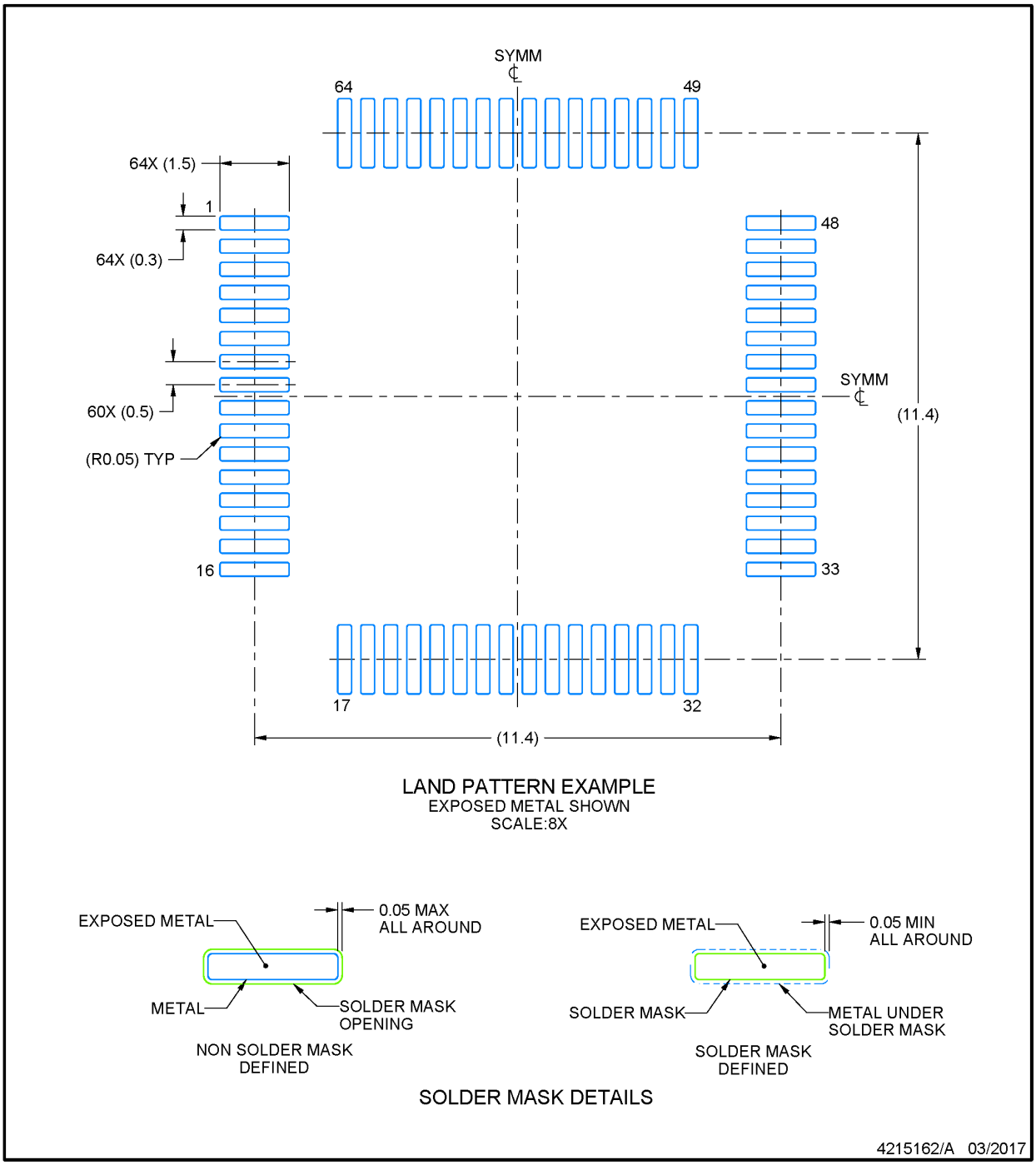
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

PM0064A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).

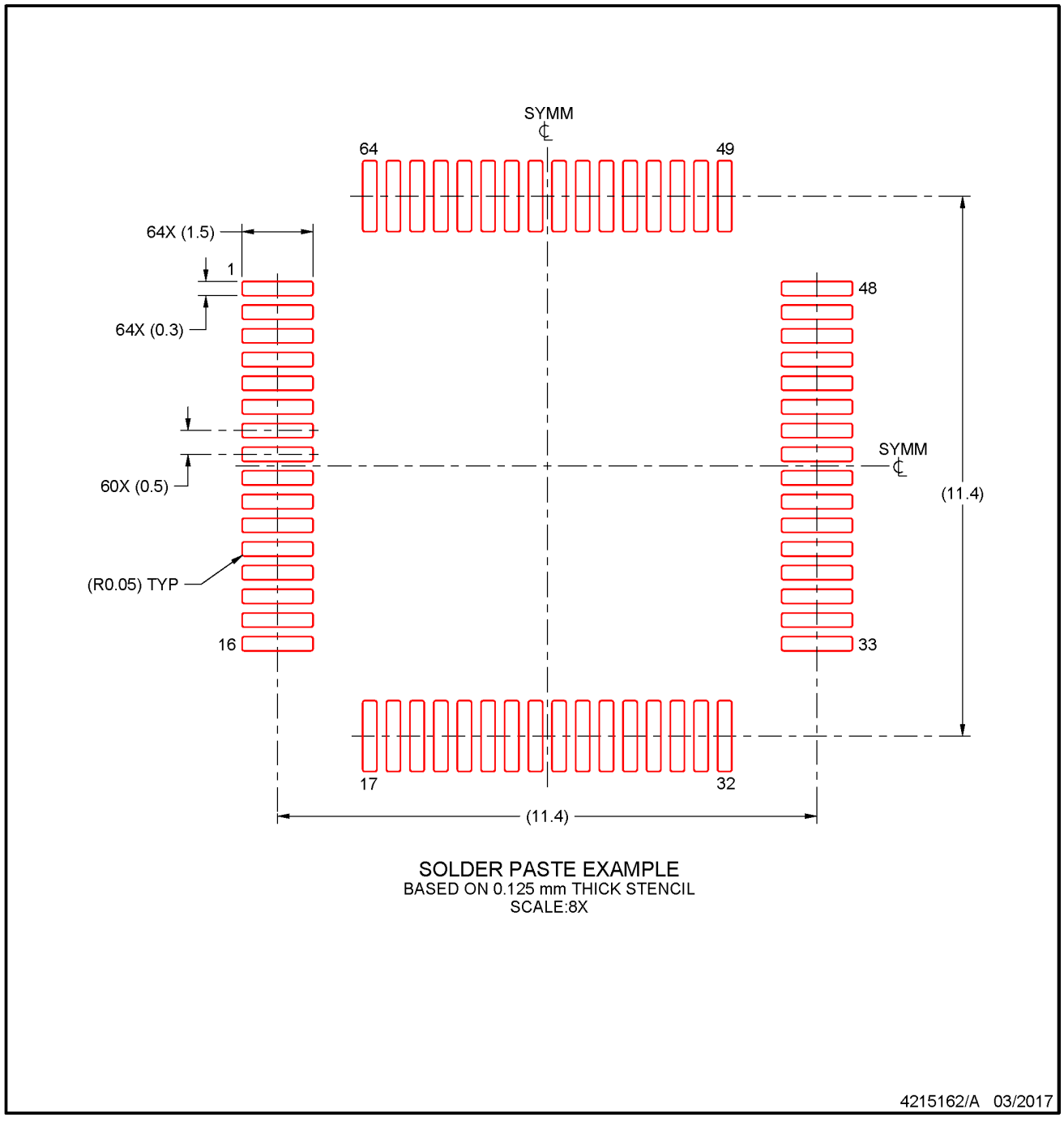
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

PM0064A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

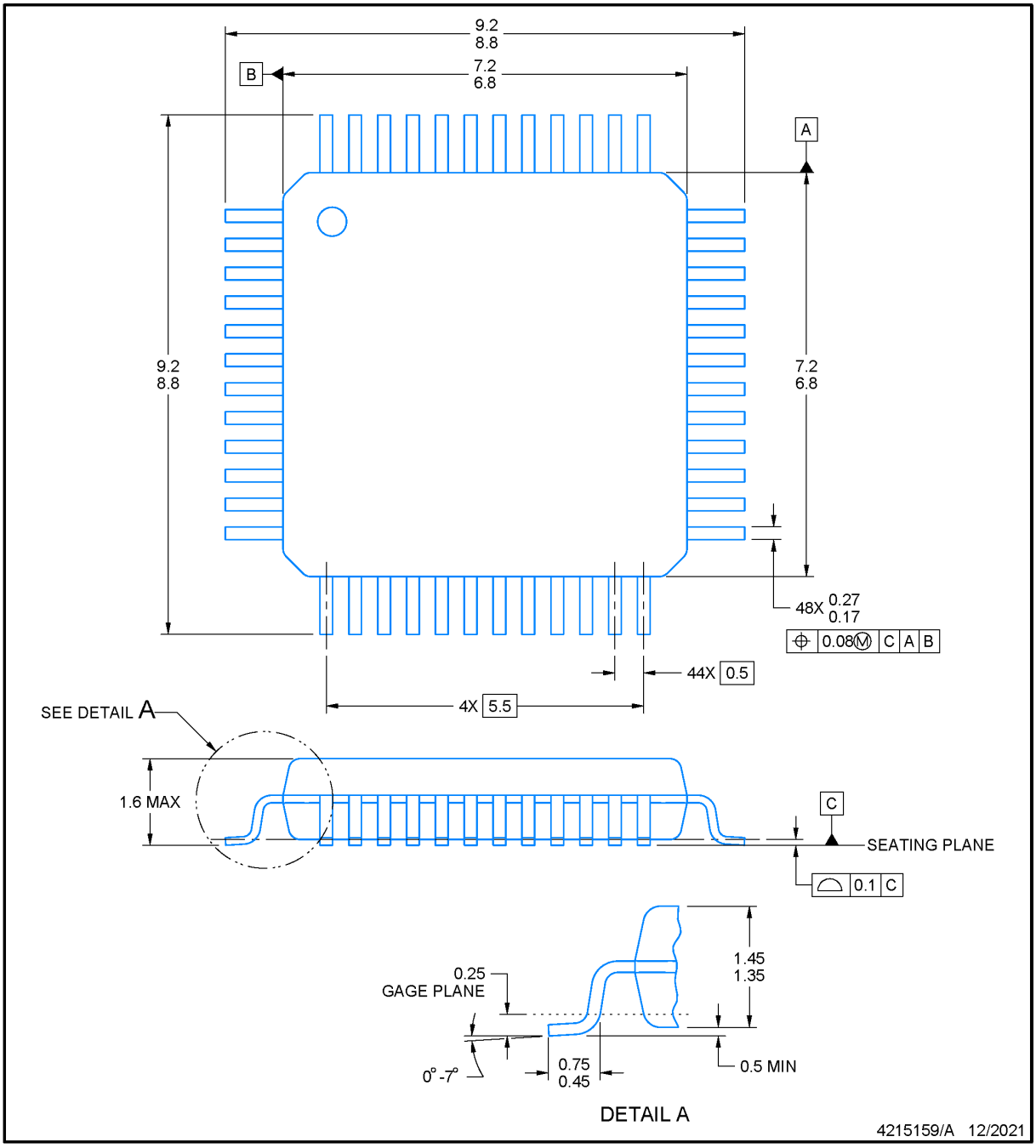
Copyright © 2025 Texas Instruments Incorporated

PACKAGE OUTLINE

PT0048A

LQFP - 1.6 mm max height

LOW PROFILE QUAD FLATPACK



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.
4. This may also be a thermally enhanced plastic package with leads conected to the die pads.

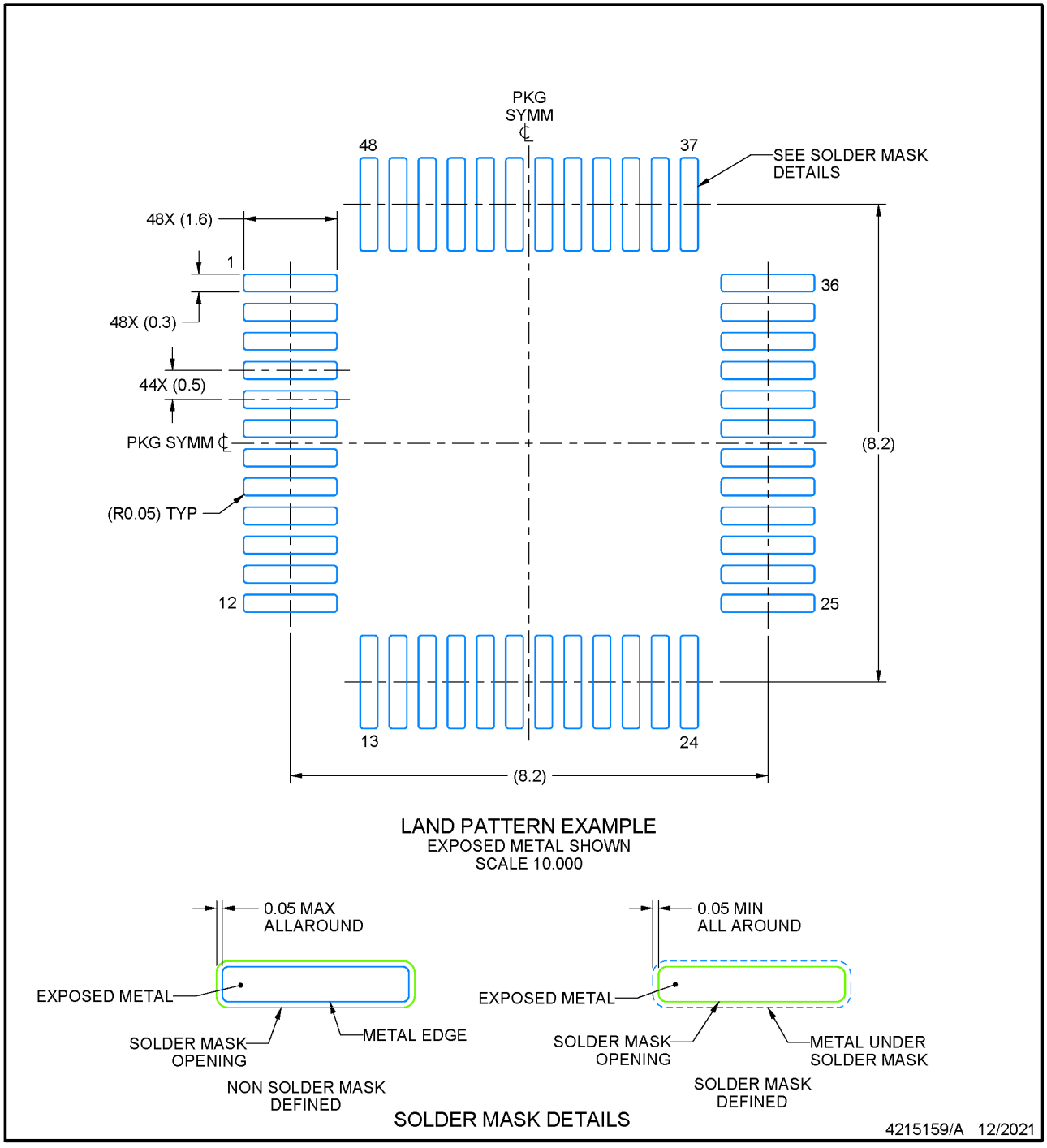
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

PT0048A

LQFP - 1.6 mm max height

LOW PROFILE QUAD FLATPACK



NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

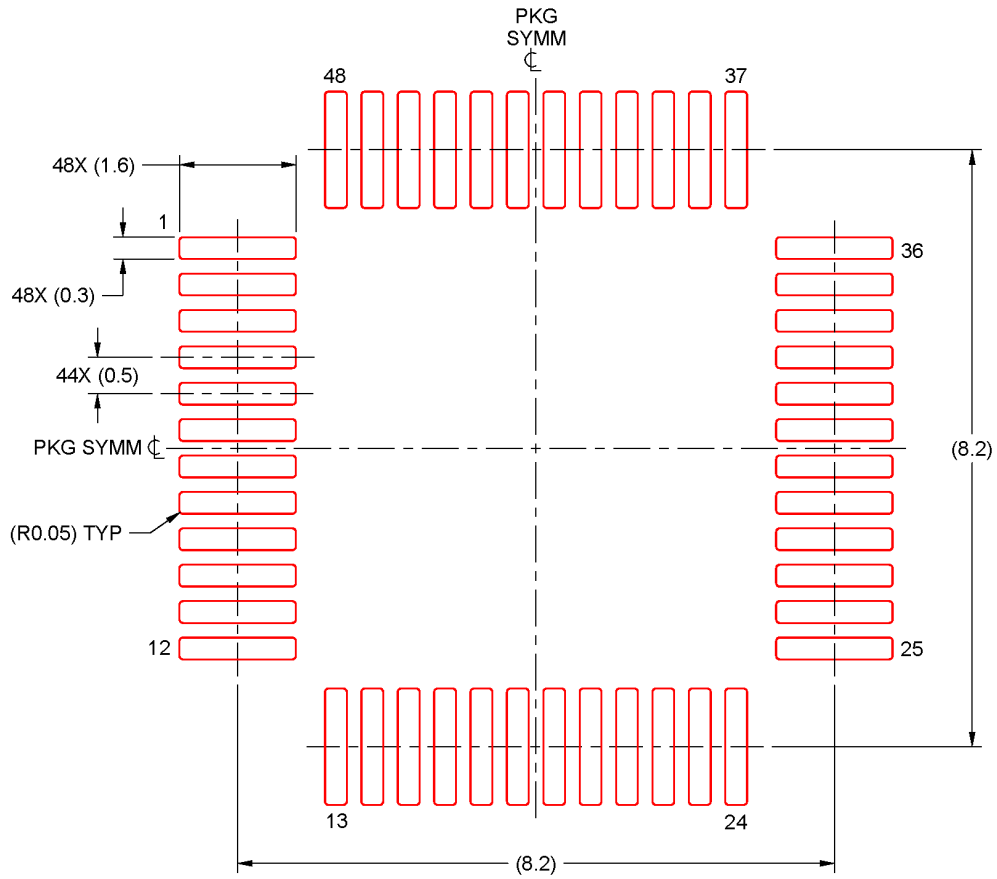
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

PT0048A

LQFP - 1.6 mm max height

LOW PROFILE QUAD FLATPACK



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 10X

4215159/A 12/2021

NOTES: (continued)

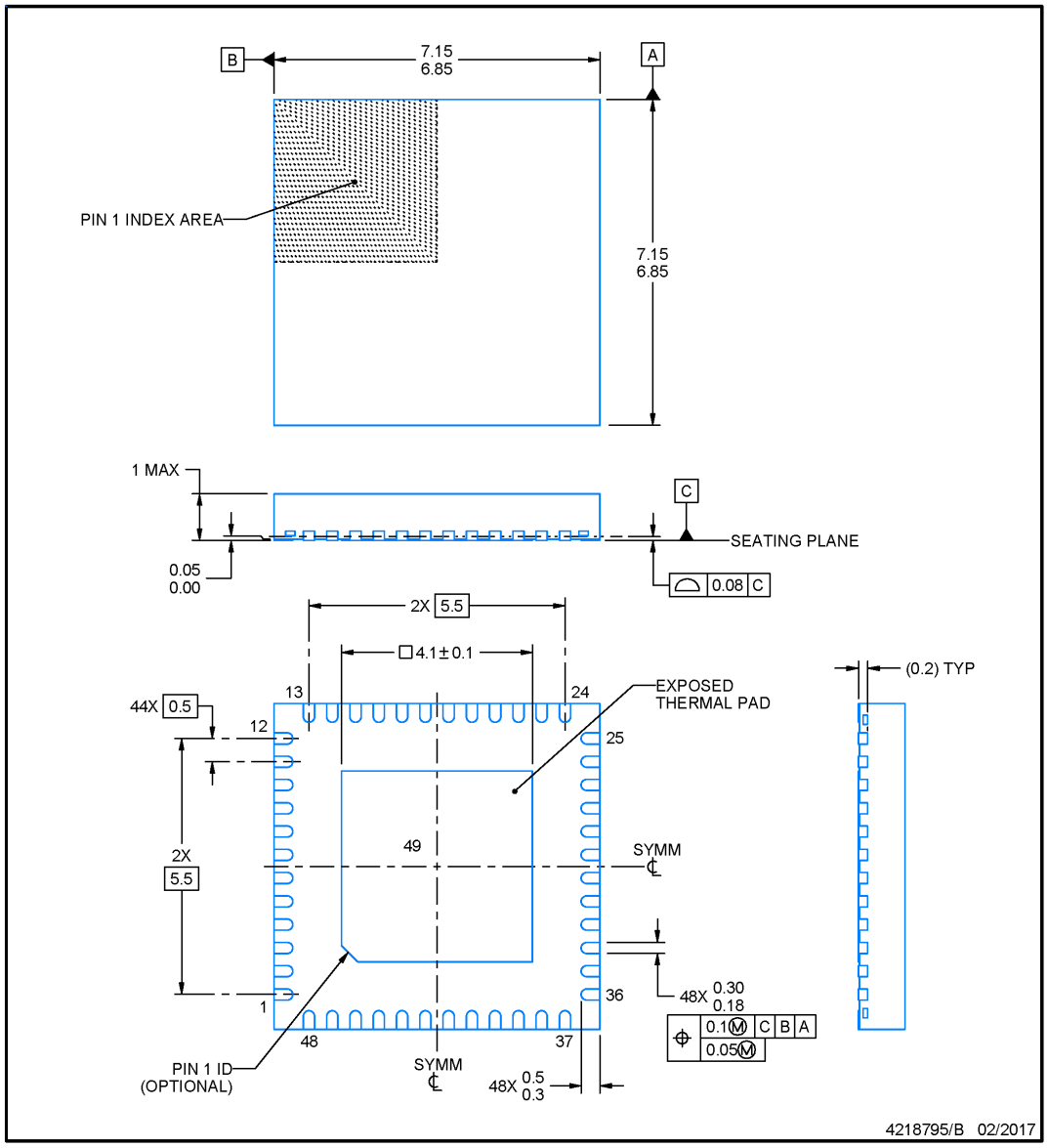
7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

RGZ0048B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

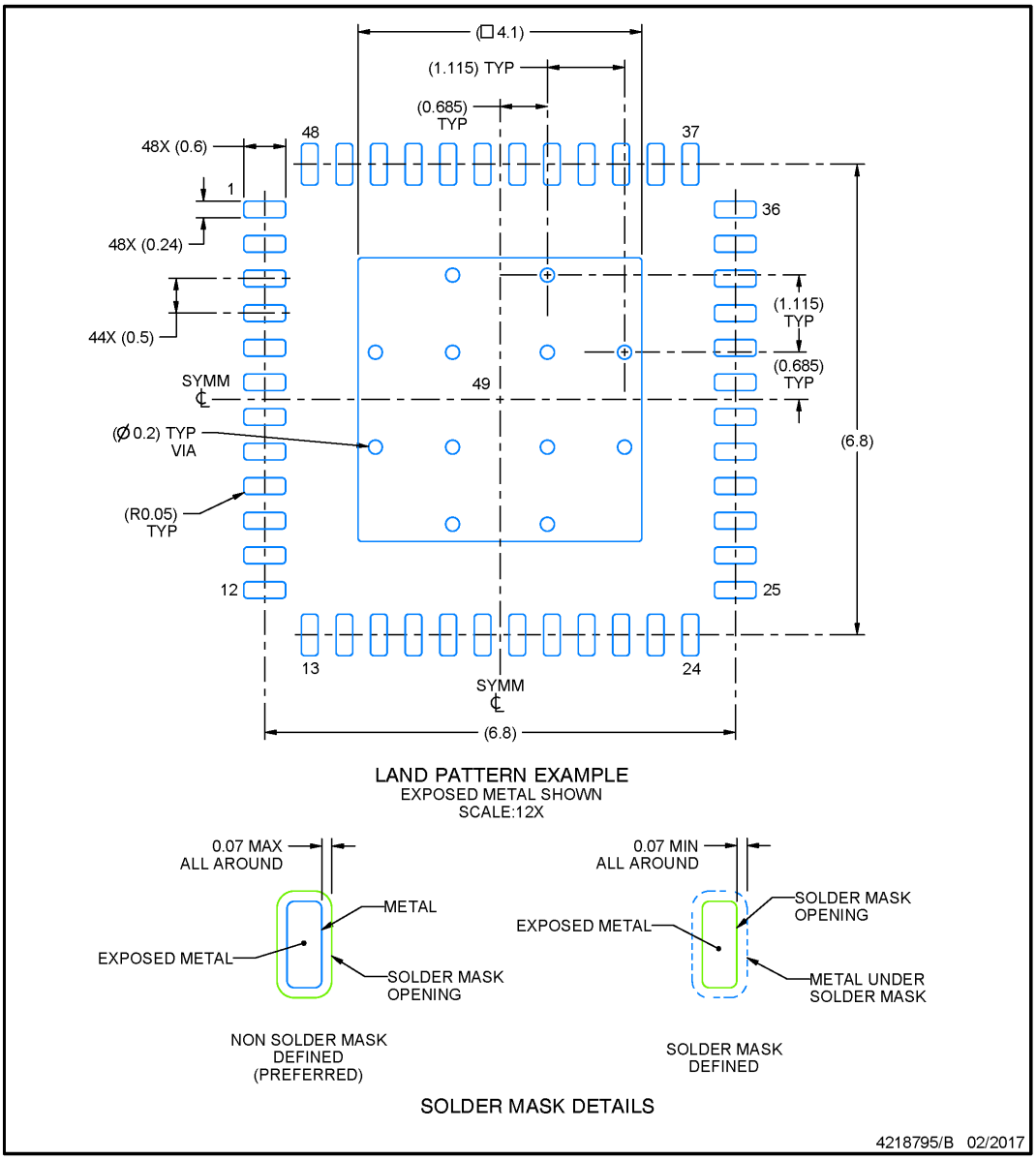
TEXAS INSTRUMENTS
www.ti.com

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

RGZ0048B — **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

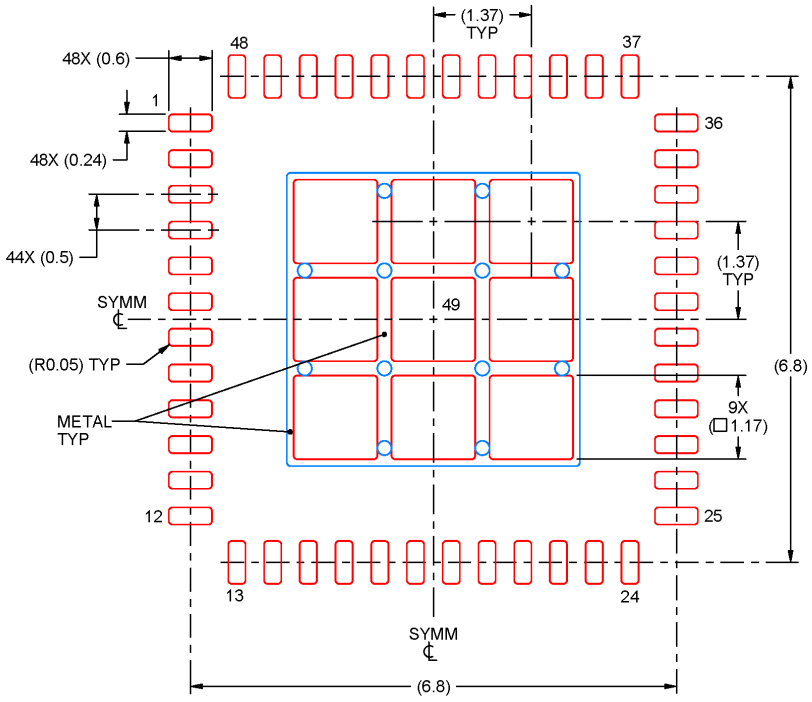
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RGZ0048B — **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 49
73% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:12X

4218795/B 02/2017

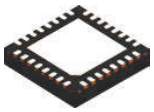
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2025 Texas Instruments Incorporated

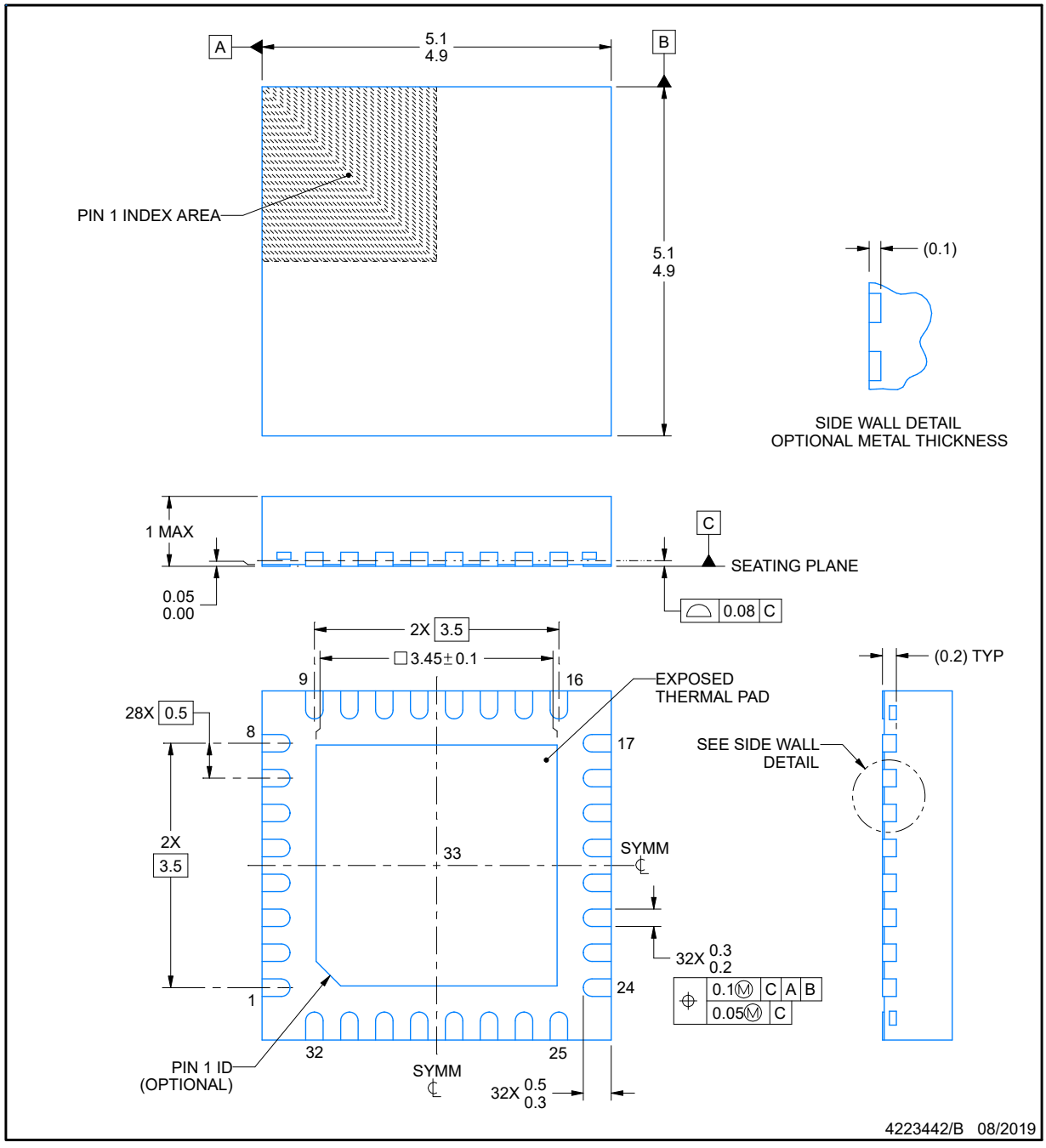
PACKAGE OUTLINE

RHB0032E



VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

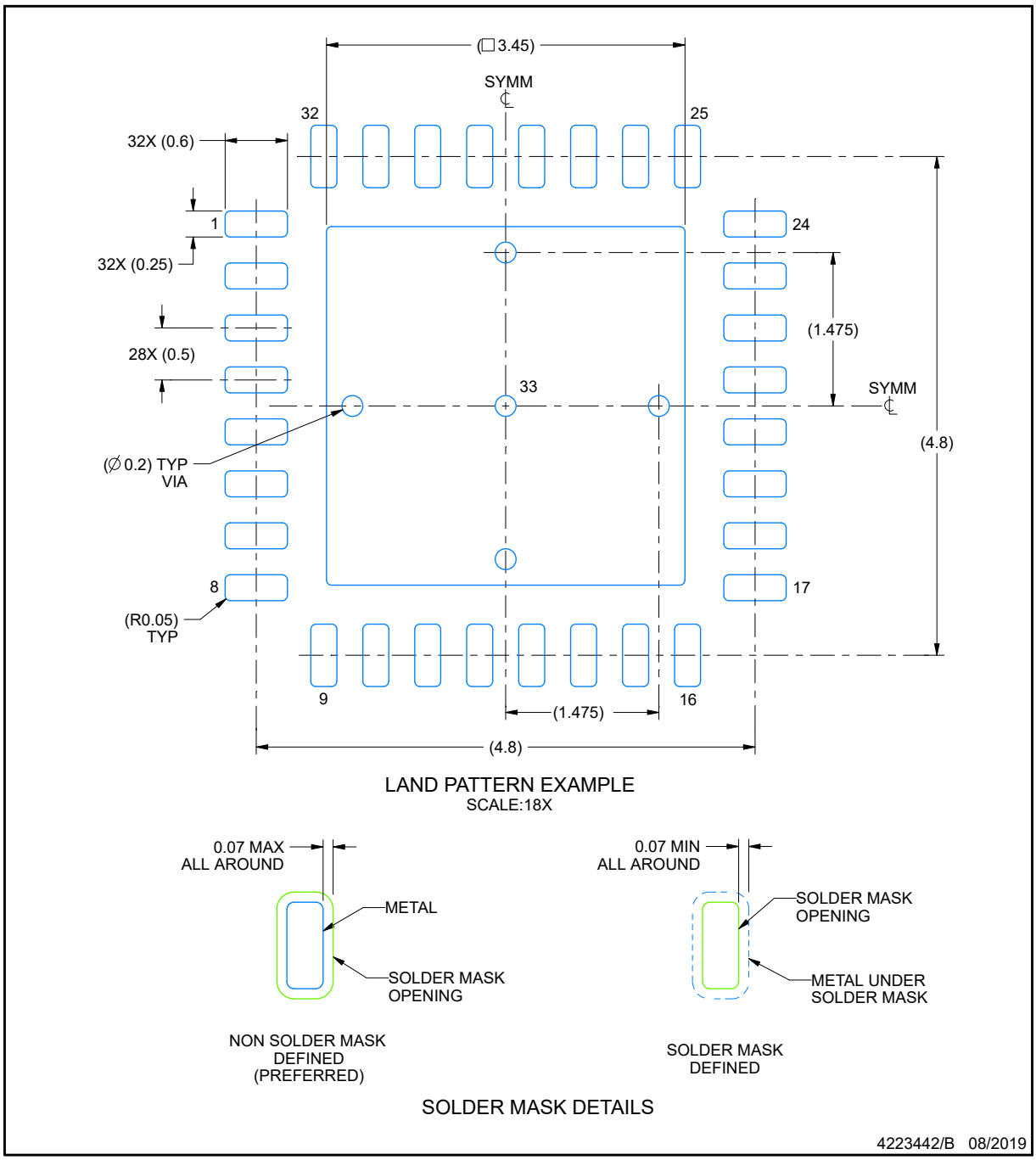
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

RHB0032E

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

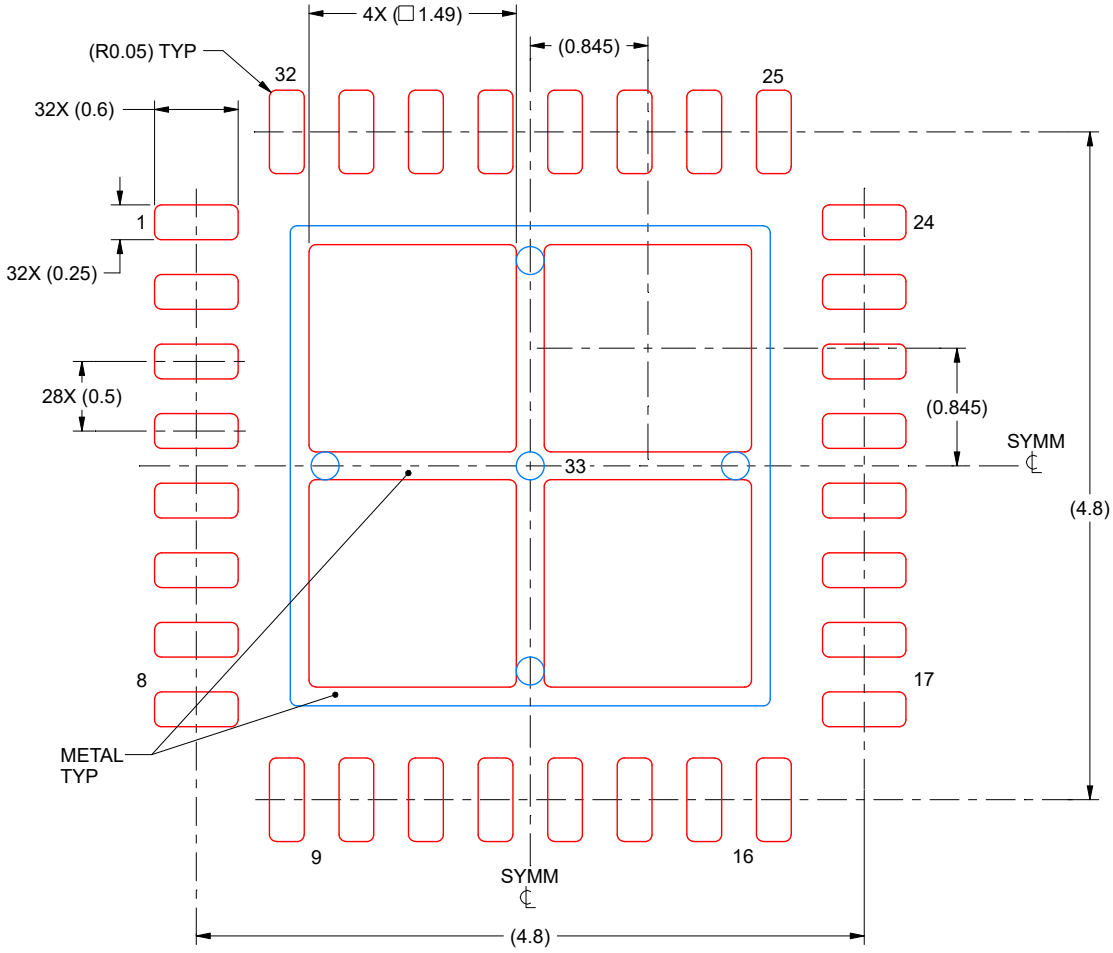
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RHB0032E

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 33:
75% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

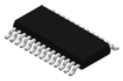
4223442/B 08/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2025 Texas Instruments Incorporated

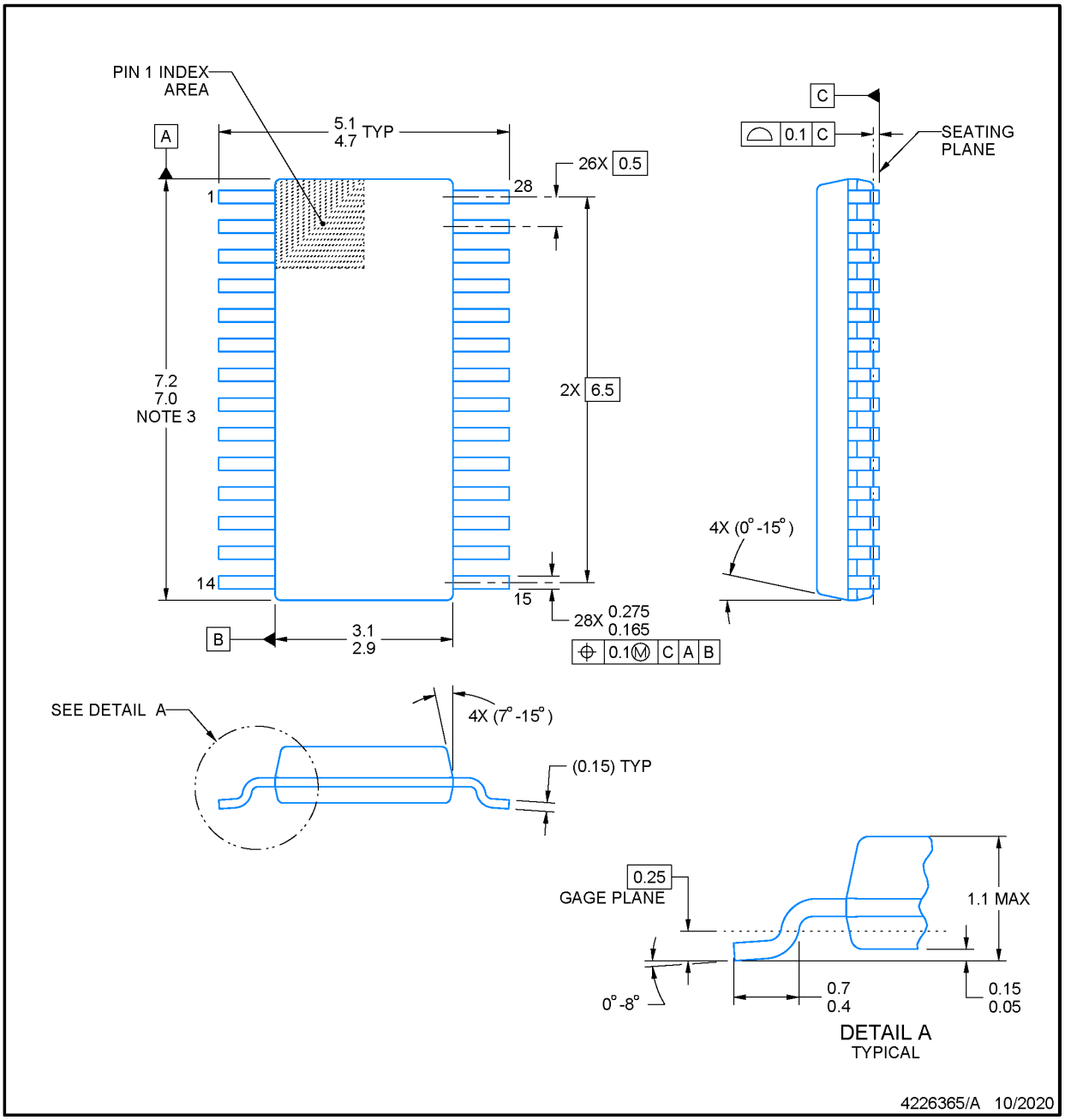
PACKAGE OUTLINE



DGS0028A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

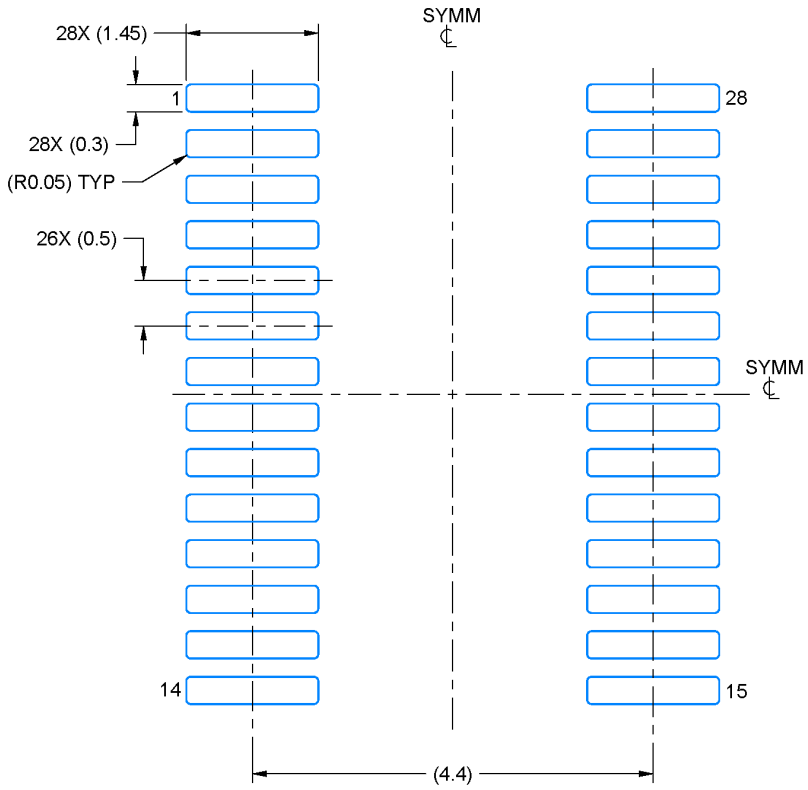
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

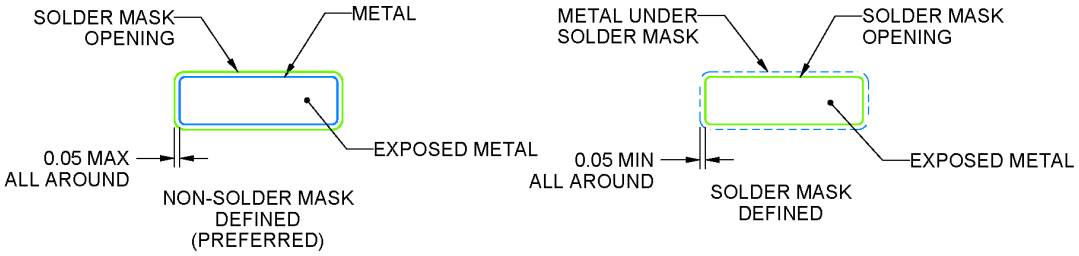
DGS0028A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE: 13X



SOLDER MASK DETAILS

4226365/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

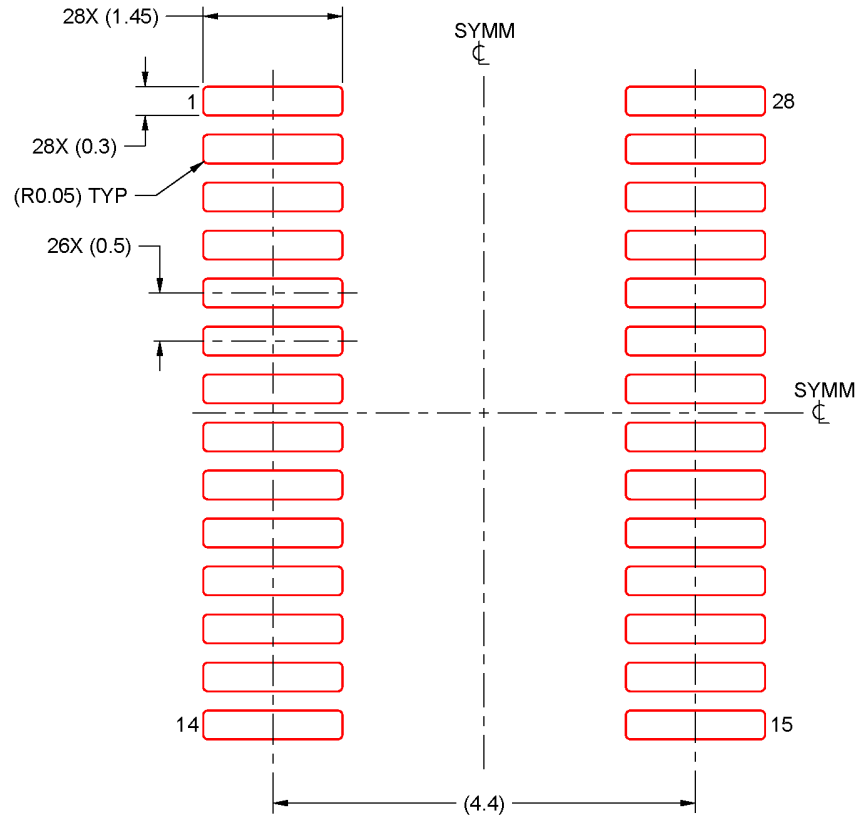
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DGS0028A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 13X

4226365/A 10/2020

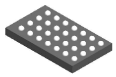
NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

Copyright © 2025 Texas Instruments Incorporated

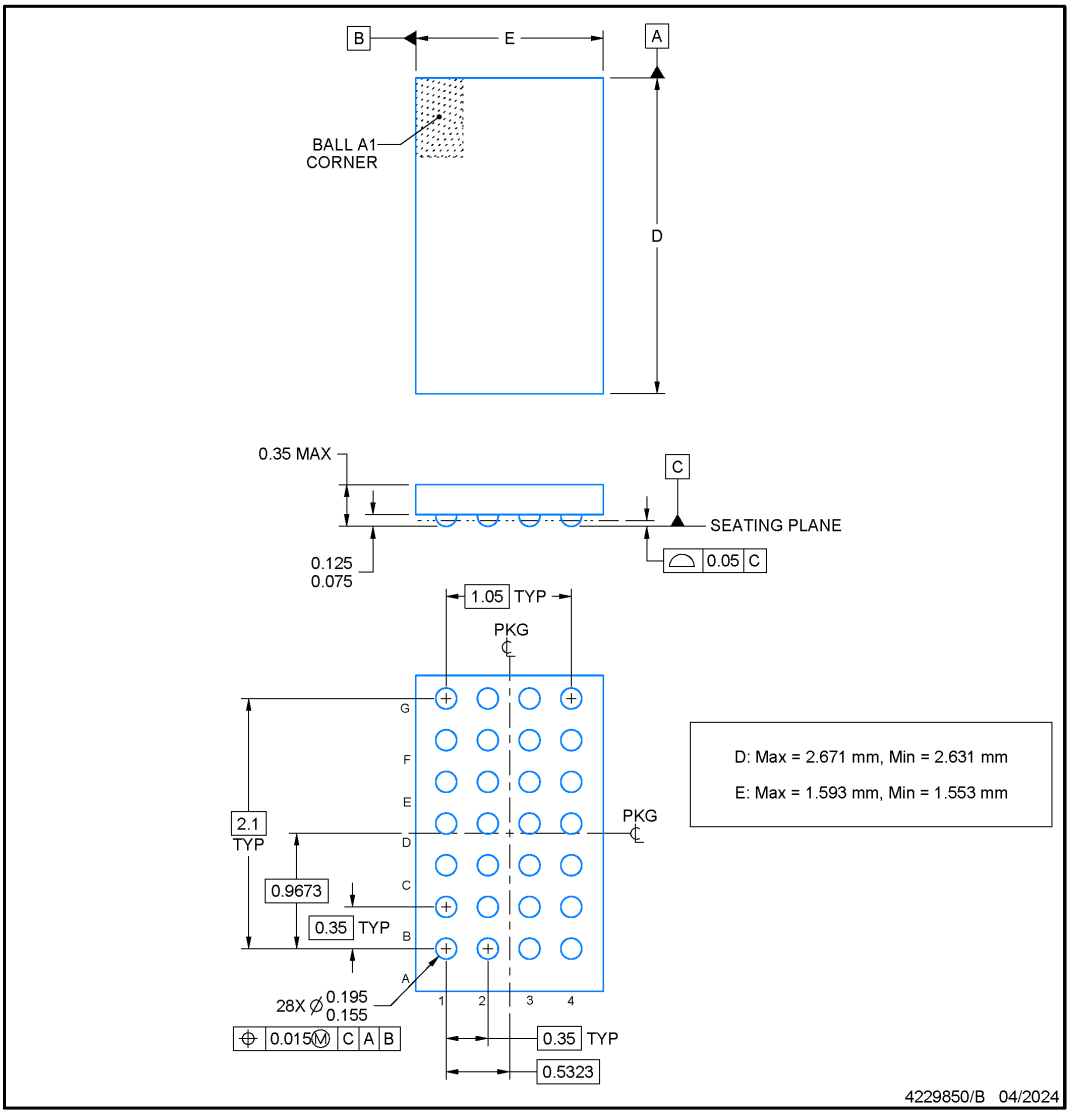
PACKAGE OUTLINE

YCJ0028-C01



DSBGA - 0.35 mm max height

DIE SIZE BALL GRID ARRAY



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

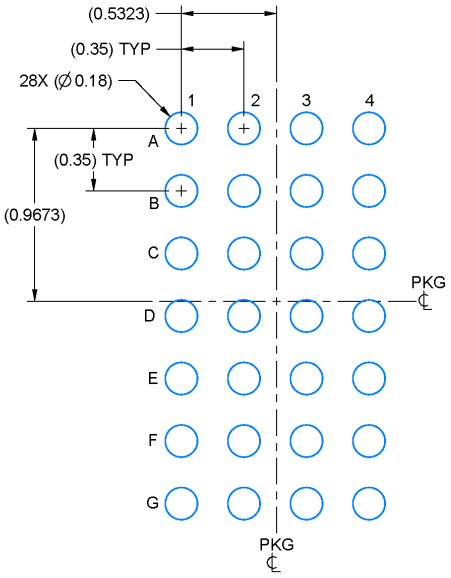
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

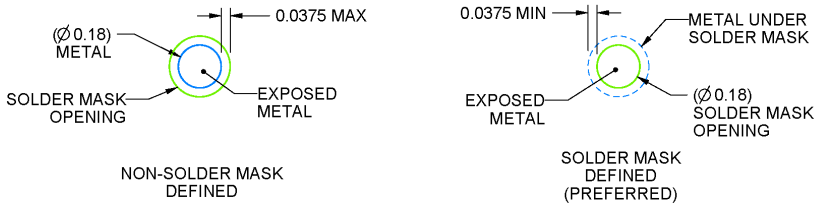
YCJ0028-C01

DSBGA - 0.35 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 30X



SOLDER MASK DETAILS
NOT TO SCALE

4229850/B 04/2024

NOTES: (continued)

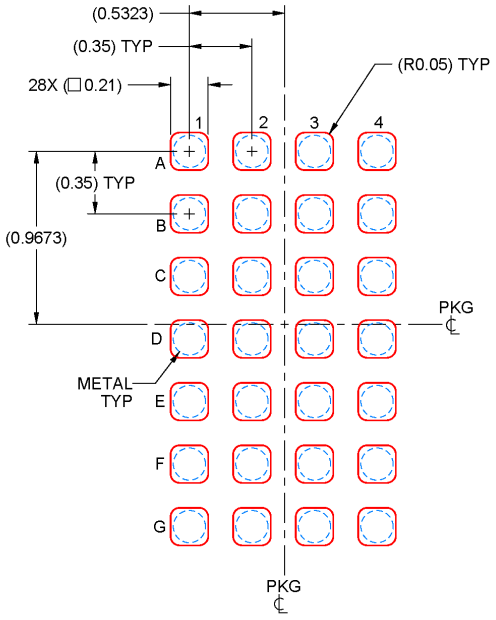
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
   See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

YCJ0028-C01 **DSBGA - 0.35 mm max height**

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.075 mm THICK STENCIL
SCALE: 30X

4229850/B 04/2024

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
MSPM0G1505SDGS28R	Active	Production	VSSOP (DGS) | 28	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	G1505S
MSPM0G1505SDGS28R.A	Active	Production	VSSOP (DGS) | 28	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	G1505S
MSPM0G1505SDGS28R.B	Active	Production	VSSOP (DGS) | 28	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	G1505S
MSPM0G1505SPMR	Active	Production	LQFP (PM) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0G1505S
MSPM0G1505SPMR.A	Active	Production	LQFP (PM) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0G1505S
MSPM0G1505SPMR.B	Active	Production	LQFP (PM) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0G1505S
MSPM0G1505SPTR	Active	Production	LQFP (PT) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0G1505S
MSPM0G1505SPTR.A	Active	Production	LQFP (PT) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0G1505S
MSPM0G1505SPTR.B	Active	Production	LQFP (PT) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0G1505S
MSPM0G1505SRGER	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MSPM0 G1505S
MSPM0G1505SRGER.A	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MSPM0 G1505S
MSPM0G1505SRGER.B	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MSPM0 G1505S
MSPM0G1505SRGZR	Active	Production	VQFN (RGZ) | 48	4000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	MSPM0 G1505S
MSPM0G1505SRGZR.A	Active	Production	VQFN (RGZ) | 48	4000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	MSPM0 G1505S
MSPM0G1505SRGZR.B	Active	Production	VQFN (RGZ) | 48	4000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	MSPM0 G1505S
MSPM0G1505SRHBR	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	MSPM0 G1505S
MSPM0G1505SRHBR.A	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	MSPM0 G1505S
MSPM0G1505SRHBR.B	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	MSPM0 G1505S
MSPM0G1506SDGS28R	Active	Production	VSSOP (DGS) | 28	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	G1506S
MSPM0G1506SDGS28R.A	Active	Production	VSSOP (DGS) | 28	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	G1506S
MSPM0G1506SDGS28R.B	Active	Production	VSSOP (DGS) | 28	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	G1506S
MSPM0G1506SPMR	Active	Production	LQFP (PM) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0G1506S

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
MSPM0G1506SPMR.A	Active	Production	LQFP (PM) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0G1506S
MSPM0G1506SPMR.B	Active	Production	LQFP (PM) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0G1506S
MSPM0G1506SPTR	Active	Production	LQFP (PT) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0G1506S
MSPM0G1506SPTR.A	Active	Production	LQFP (PT) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0G1506S
MSPM0G1506SPTR.B	Active	Production	LQFP (PT) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0G1506S
MSPM0G1506SRGER	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MSPM0 G1506S
MSPM0G1506SRGER.A	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MSPM0 G1506S
MSPM0G1506SRGER.B	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MSPM0 G1506S
MSPM0G1506SRGZR	Active	Production	VQFN (RGZ) | 48	4000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	MSPM0 G1506S
MSPM0G1506SRGZR.A	Active	Production	VQFN (RGZ) | 48	4000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	MSPM0 G1506S
MSPM0G1506SRGZR.B	Active	Production	VQFN (RGZ) | 48	4000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	MSPM0 G1506S
MSPM0G1506SRHBR	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	MSPM0 G1506S
MSPM0G1506SRHBR.A	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	MSPM0 G1506S
MSPM0G1506SRHBR.B	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	MSPM0 G1506S
MSPM0G1506SYCJR	Active	Production	DSBGA (YCJ) | 28	12000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	M0G 1506
MSPM0G1507SDGS28R	Active	Production	VSSOP (DGS) | 28	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	G1507S
MSPM0G1507SDGS28R.A	Active	Production	VSSOP (DGS) | 28	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	G1507S
MSPM0G1507SDGS28R.B	Active	Production	VSSOP (DGS) | 28	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	G1507S
MSPM0G1507SPMR	Active	Production	LQFP (PM) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0G1507S
MSPM0G1507SPMR.A	Active	Production	LQFP (PM) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0G1507S
MSPM0G1507SPMR.B	Active	Production	LQFP (PM) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0G1507S
MSPM0G1507SPTR	Active	Production	LQFP (PT) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0G1507S
MSPM0G1507SPTR.A	Active	Production	LQFP (PT) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0G1507S

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
MSPM0G1507SPTR.B	Active	Production	LQFP (PT) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0G1507S
MSPM0G1507SRGER	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MSPM0 G1507S
MSPM0G1507SRGER.A	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MSPM0 G1507S
MSPM0G1507SRGER.B	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MSPM0 G1507S
MSPM0G1507SRGZR	Active	Production	VQFN (RGZ) | 48	4000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	MSPM0 G1507S
MSPM0G1507SRGZR.A	Active	Production	VQFN (RGZ) | 48	4000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	MSPM0 G1507S
MSPM0G1507SRGZR.B	Active	Production	VQFN (RGZ) | 48	4000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	MSPM0 G1507S
MSPM0G1507SRHBR	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	MSPM0 G1507S
MSPM0G1507SRHBR.A	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	MSPM0 G1507S
MSPM0G1507SRHBR.B	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	MSPM0 G1507S
MSPM0G1507SYCJR	Active	Production	DSBGA (YCJ) | 28	12000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	M0G 1507
XMSPM0G1507SYCJR	Active	Preproduction	DSBGA (YCJ) | 28	12000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

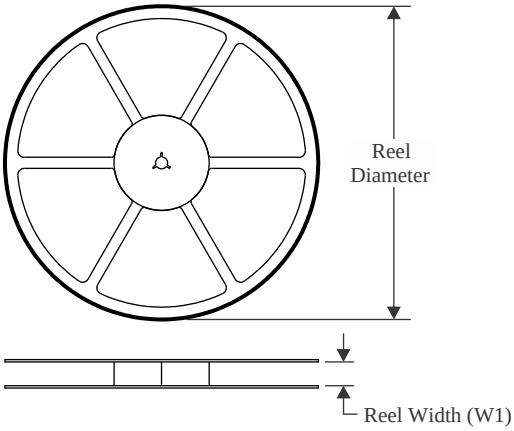
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

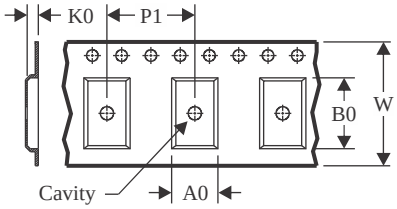
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

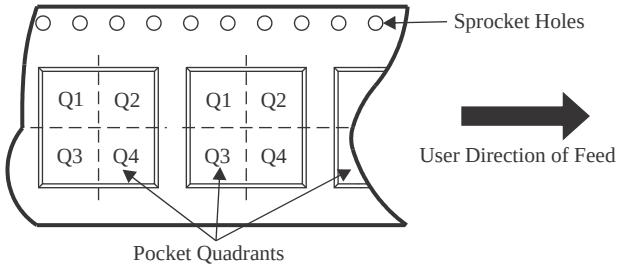


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

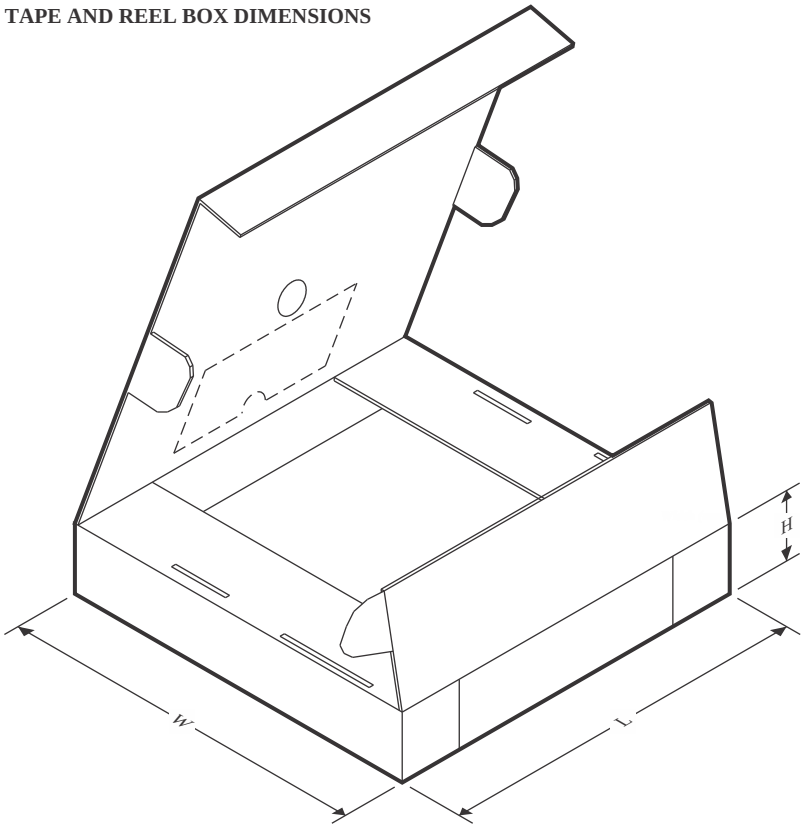


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
MSPM0G1505SDGS28R	VSSOP	DGS	28	5000	330.0	16.4	5.5	7.4	1.45	8.0	16.0	Q1
MSPM0G1505SPMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
MSPM0G1505SPTR	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
MSPM0G1505SRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSPM0G1505SRGZR	VQFN	RGZ	48	4000	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
MSPM0G1505SRHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
MSPM0G1506SDGS28R	VSSOP	DGS	28	5000	330.0	16.4	5.5	7.4	1.45	8.0	16.0	Q1
MSPM0G1506SPMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
MSPM0G1506SPTR	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
MSPM0G1506SRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSPM0G1506SRGZR	VQFN	RGZ	48	4000	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
MSPM0G1506SRHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
MSPM0G1506SYCJR	DSBGA	YCJ	28	12000	330.0	12.4	1.78	2.98	0.7	4.0	12.0	Q1
MSPM0G1507SDGS28R	VSSOP	DGS	28	5000	330.0	16.4	5.5	7.4	1.45	8.0	16.0	Q1
MSPM0G1507SPMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
MSPM0G1507SPTR	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
MSPM0G1507SRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSPM0G1507SRGZR	VQFN	RGZ	48	4000	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
MSPM0G1507SRHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
MSPM0G1507SYCJR	DSBGA	YCJ	28	12000	330.0	12.4	1.78	2.98	0.7	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
MSPM0G1505SDGS28R	VSSOP	DGS	28	5000	353.0	353.0	32.0
MSPM0G1505SPMR	LQFP	PM	64	1000	336.6	336.6	41.3
MSPM0G1505SPTR	LQFP	PT	48	1000	336.6	336.6	31.8
MSPM0G1505SRGER	VQFN	RGE	24	3000	367.0	367.0	35.0
MSPM0G1505SRGZR	VQFN	RGZ	48	4000	367.0	367.0	35.0
MSPM0G1505SRHBR	VQFN	RHB	32	3000	367.0	367.0	35.0
MSPM0G1506SDGS28R	VSSOP	DGS	28	5000	353.0	353.0	32.0
MSPM0G1506SPMR	LQFP	PM	64	1000	336.6	336.6	41.3
MSPM0G1506SPTR	LQFP	PT	48	1000	336.6	336.6	31.8
MSPM0G1506SRGER	VQFN	RGE	24	3000	367.0	367.0	35.0
MSPM0G1506SRGZR	VQFN	RGZ	48	4000	367.0	367.0	35.0
MSPM0G1506SRHBR	VQFN	RHB	32	3000	367.0	367.0	35.0
MSPM0G1506SYCJR	DSBGA	YCJ	28	12000	367.0	367.0	35.0
MSPM0G1507SDGS28R	VSSOP	DGS	28	5000	353.0	353.0	32.0
MSPM0G1507SPMR	LQFP	PM	64	1000	336.6	336.6	41.3
MSPM0G1507SPTR	LQFP	PT	48	1000	336.6	336.6	31.8
MSPM0G1507SRGER	VQFN	RGE	24	3000	367.0	367.0	35.0
MSPM0G1507SRGZR	VQFN	RGZ	48	4000	367.0	367.0	35.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
MSPM0G1507SRHBR	VQFN	RHB	32	3000	367.0	367.0	35.0
MSPM0G1507SYCJR	DSBGA	YCJ	28	12000	367.0	367.0	35.0

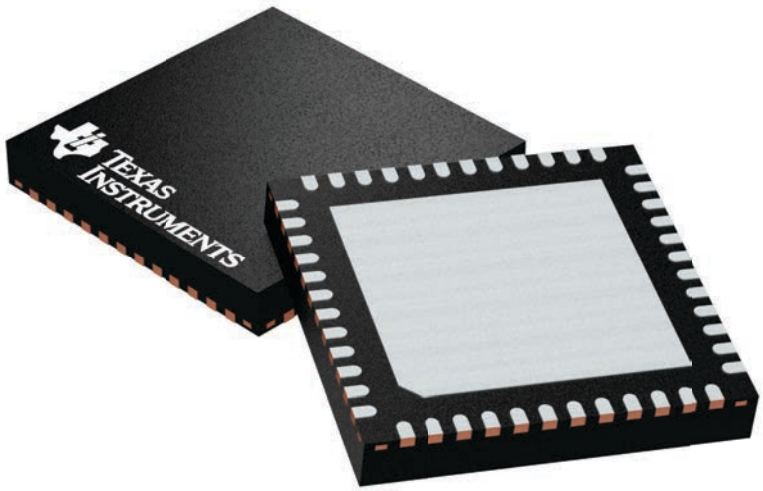
GENERIC PACKAGE VIEW

RGZ 48

VQFN - 1 mm max height

7 x 7, 0.5 mm pitch

PLASTIC QUADFLAT PACK- NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

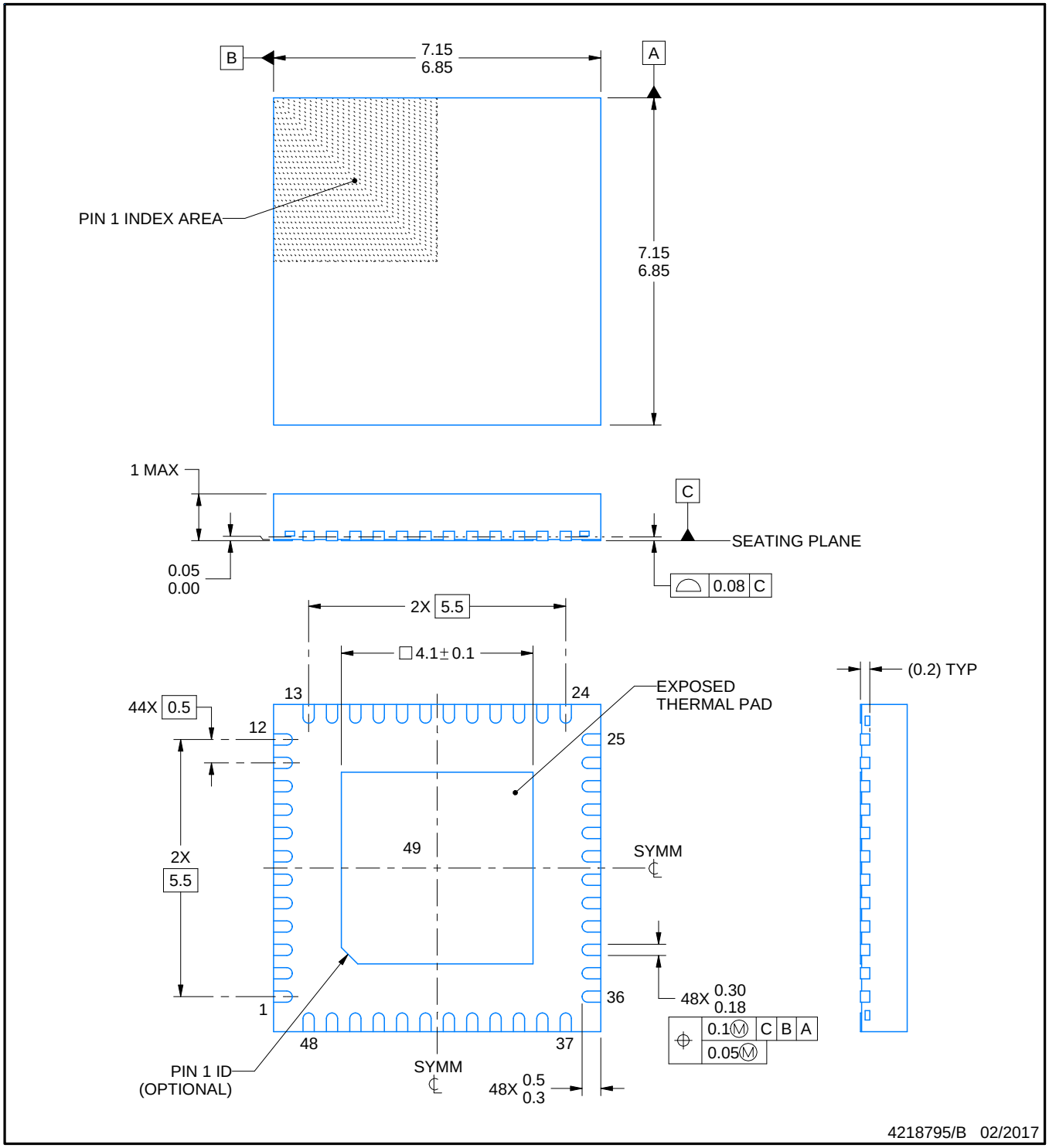
4224671/A

RGZ0048B

PACKAGE OUTLINE

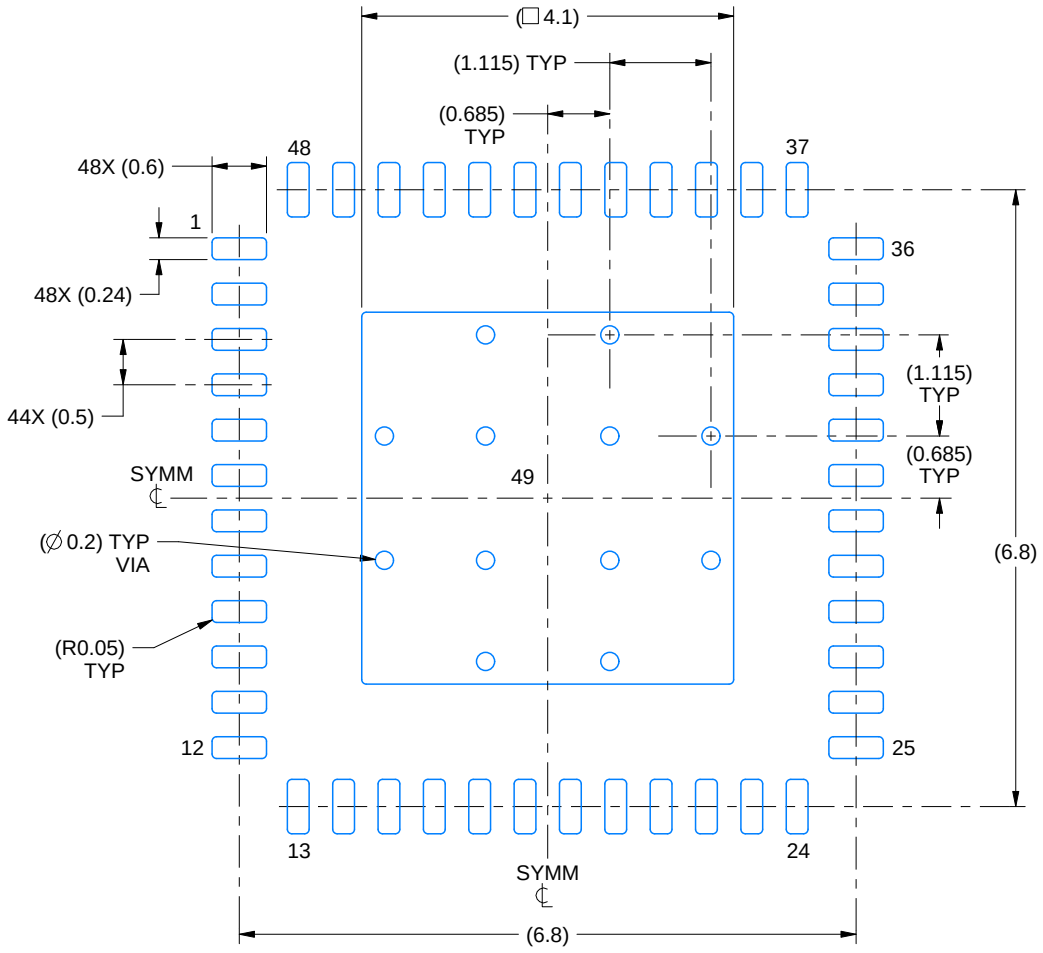
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

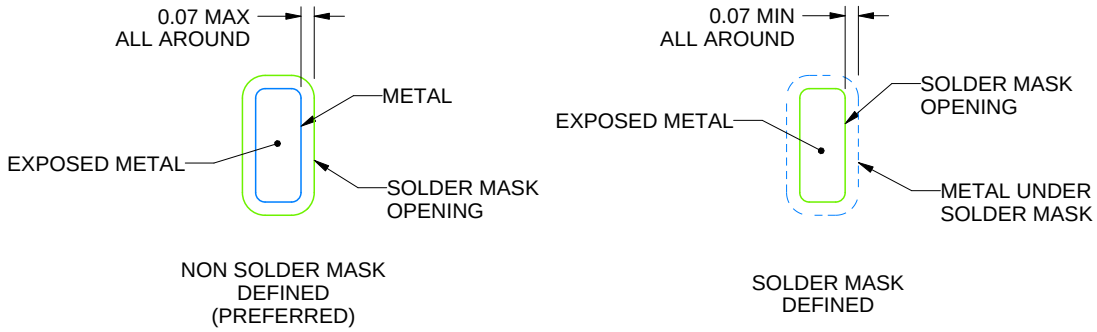


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:12X

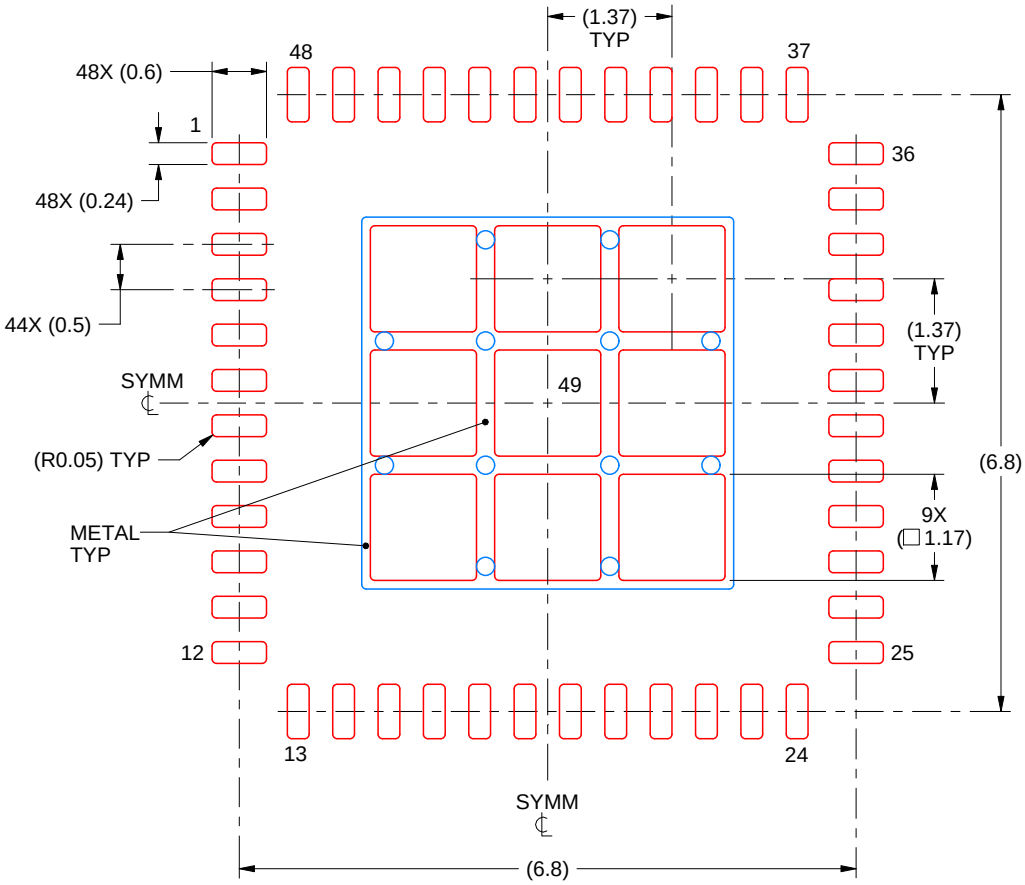


SOLDER MASK DETAILS

4218795/B 02/2017

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 49
73% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:12X

4218795/B 02/2017

NOTES: (continued)

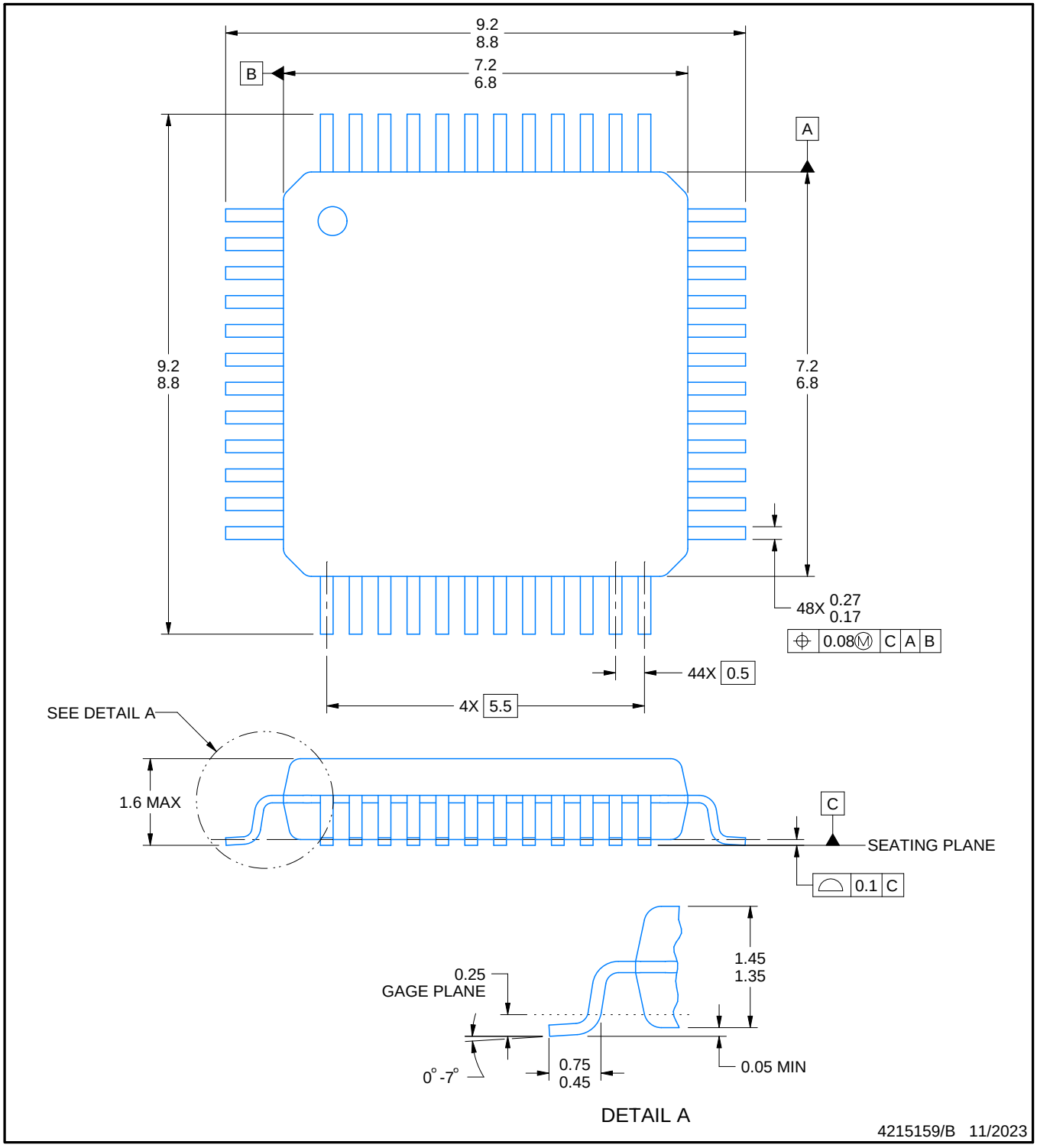
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

PT0048A

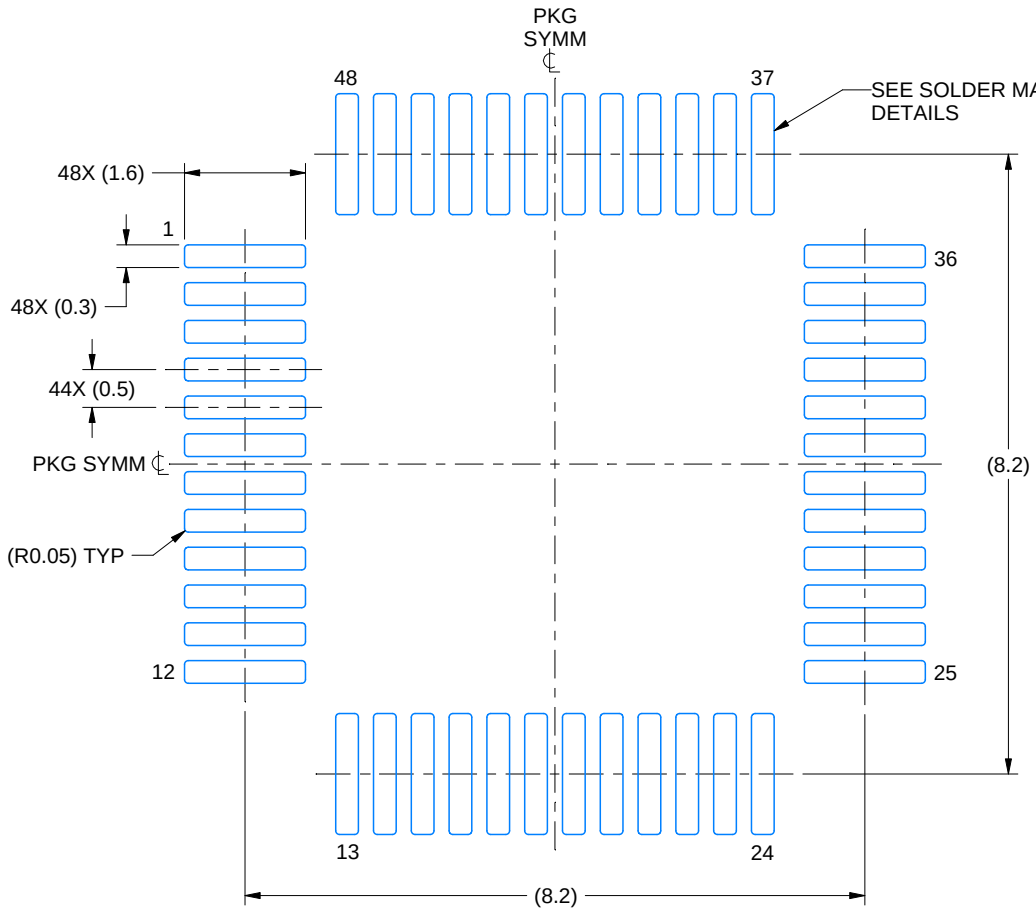
LQFP - 1.6 mm max height

LOW PROFILE QUAD FLATPACK

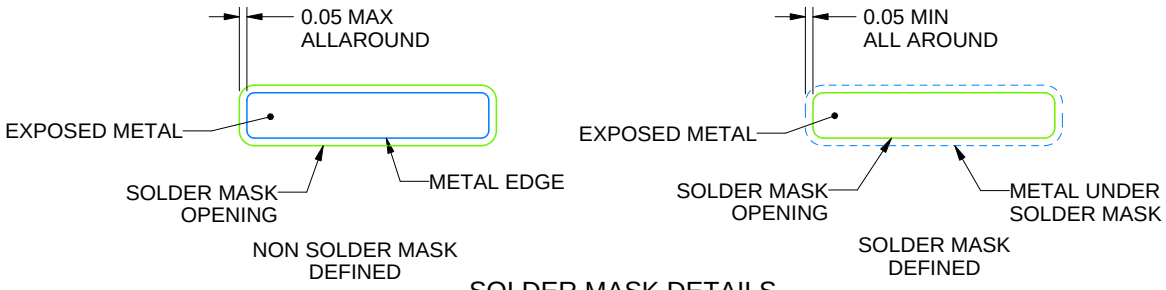


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.
4. This may also be a thermally enhanced plastic package with leads conected to the die pads.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE 10.000

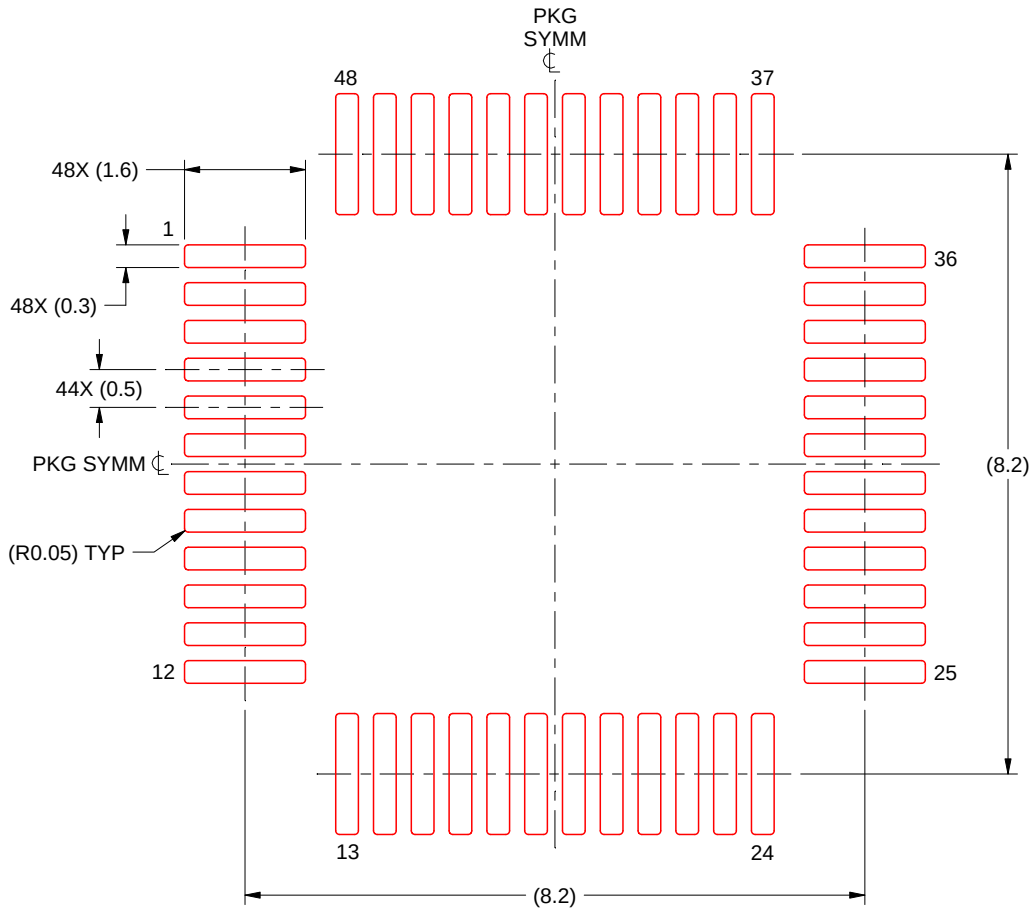


SOLDER MASK DETAILS

4215159/B 11/2023

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 10X

4215159/B 11/2023

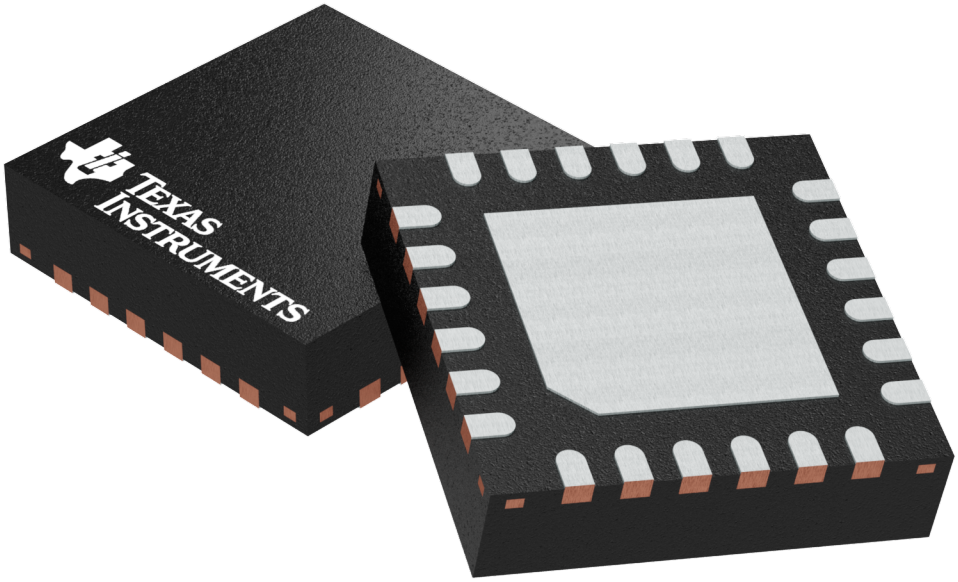
NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

RGE 24

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



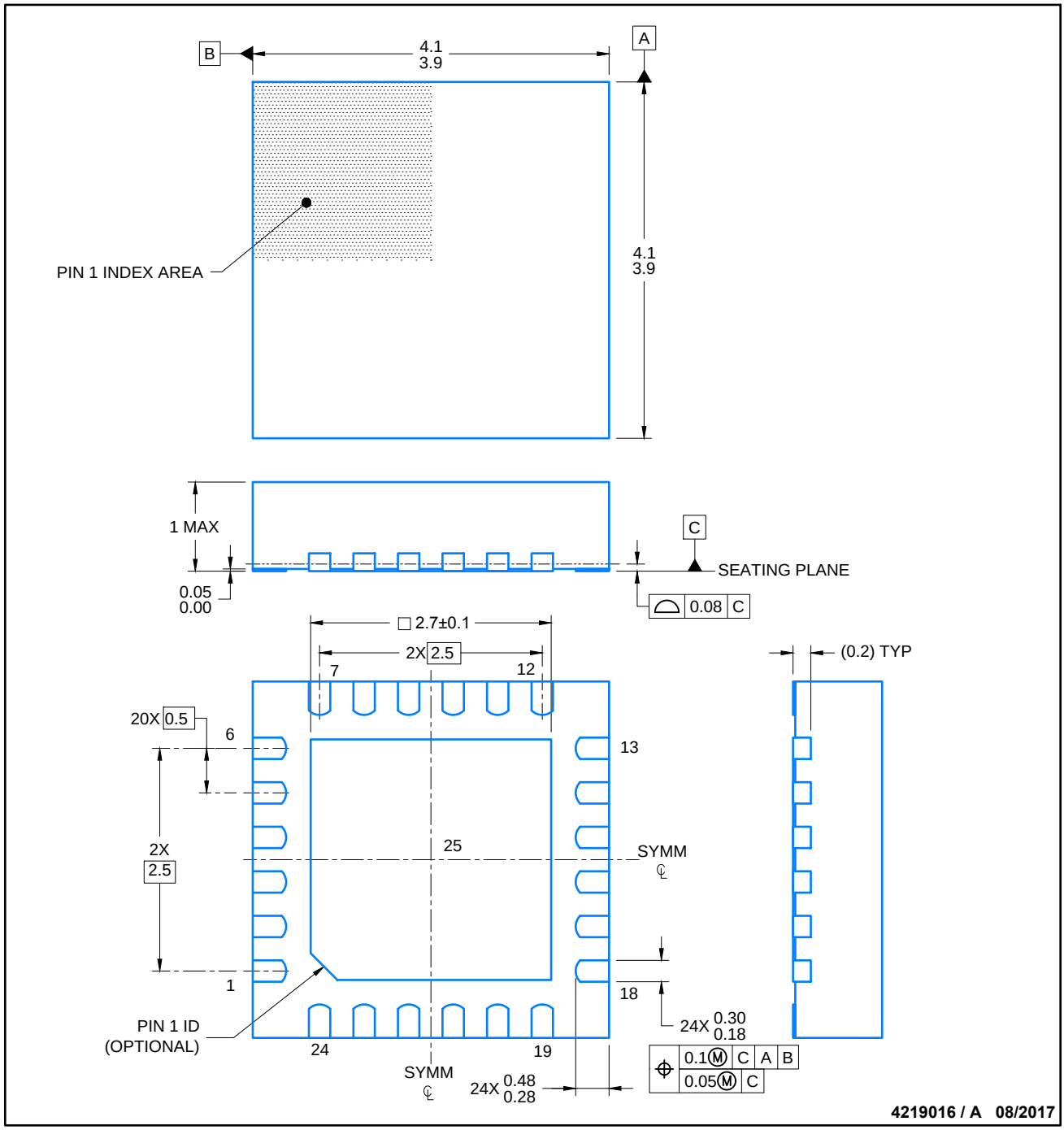
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

PACKAGE OUTLINE

RGE0024H

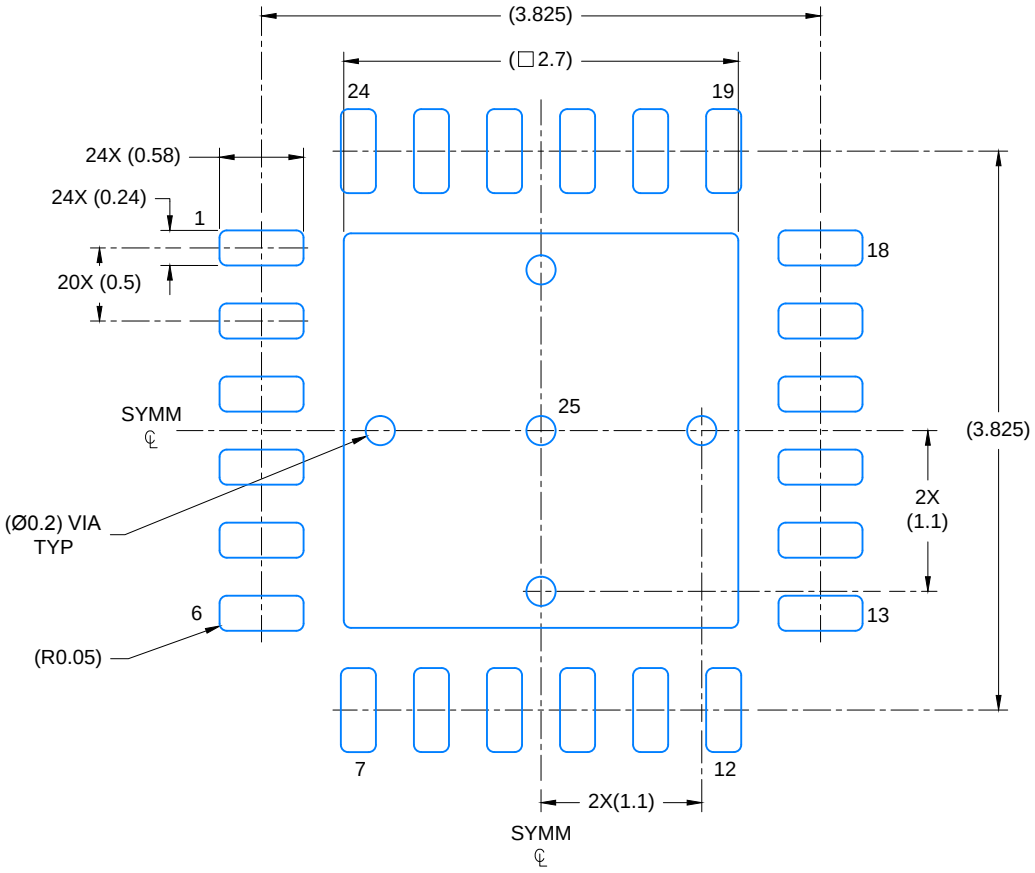
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK- NO LEAD



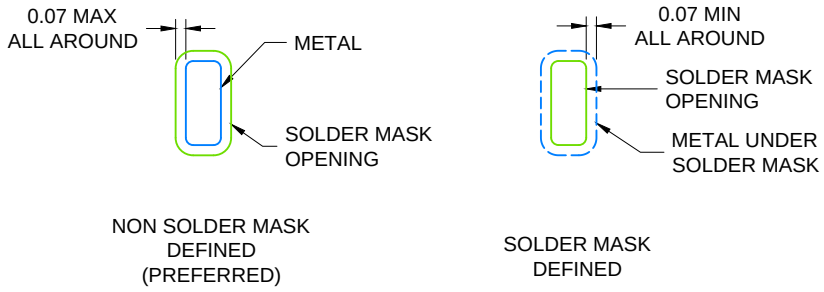
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE

SCALE: 20X

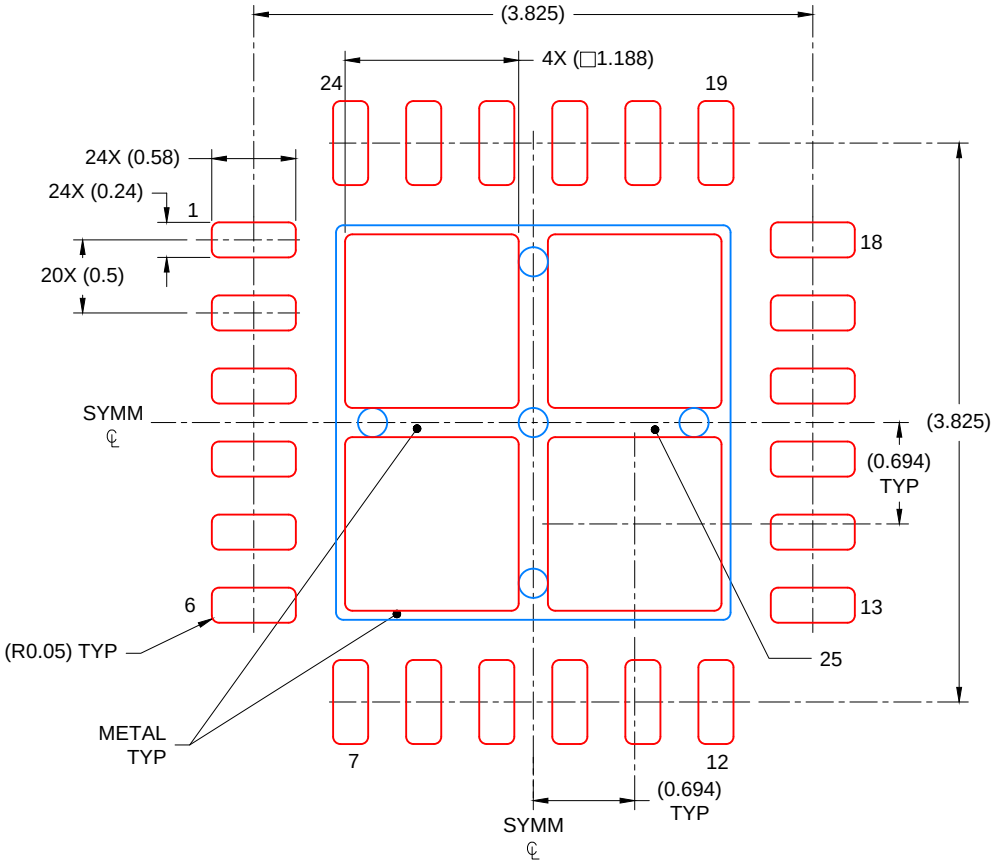


SOLDER MASK DETAILS

4219016 / A 08/2017

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
78% PRINTED COVERAGE BY AREA
SCALE: 20X

4219016 / A 08/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations..

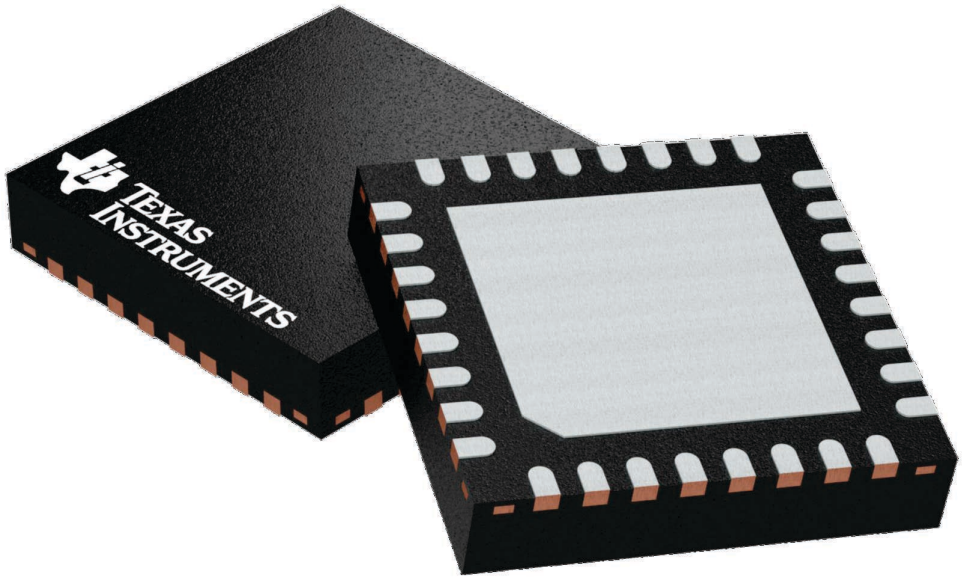
GENERIC PACKAGE VIEW

RHB 32

VQFN - 1 mm max height

5 x 5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

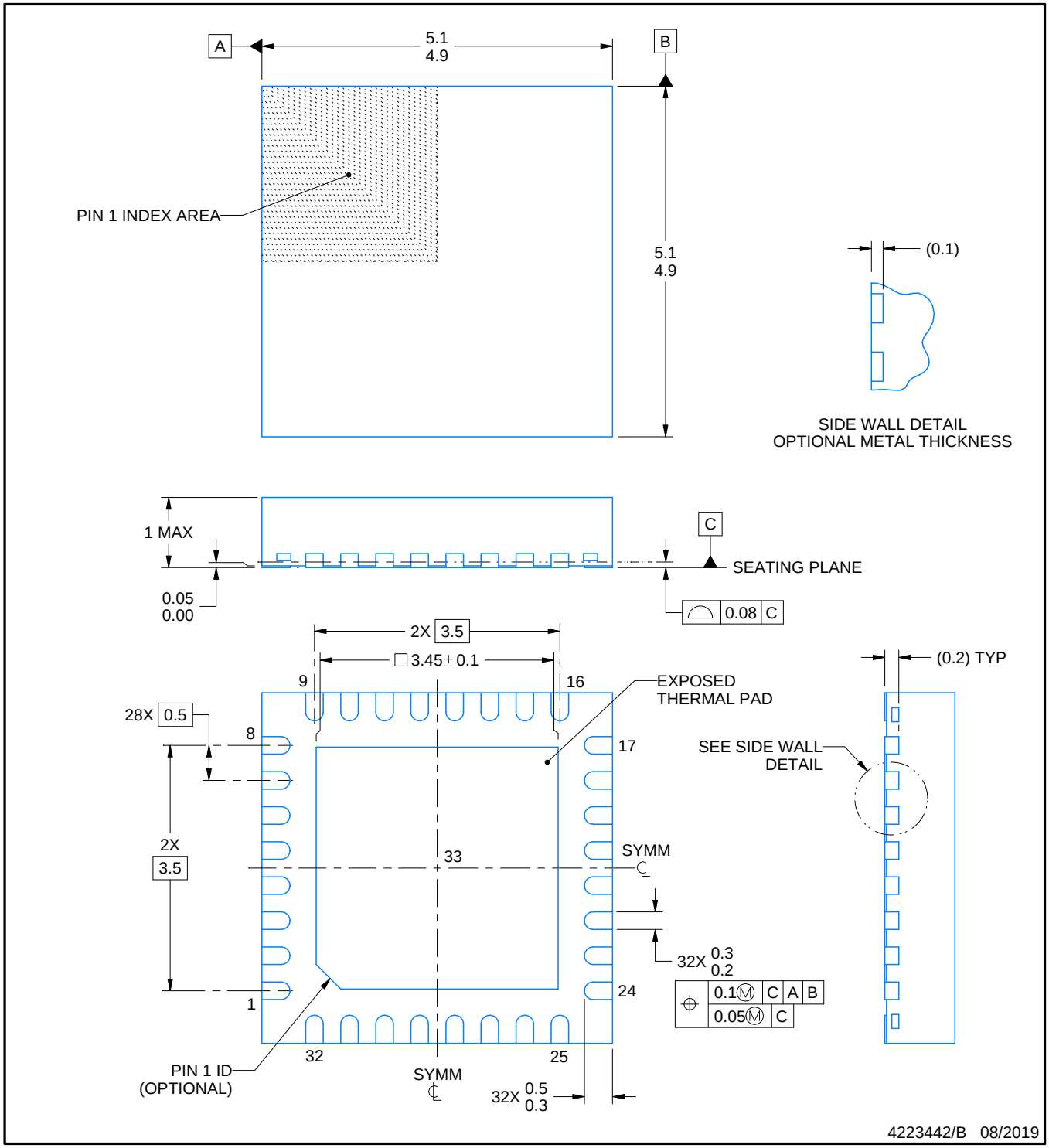
4224745/A

RHB0032E

PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

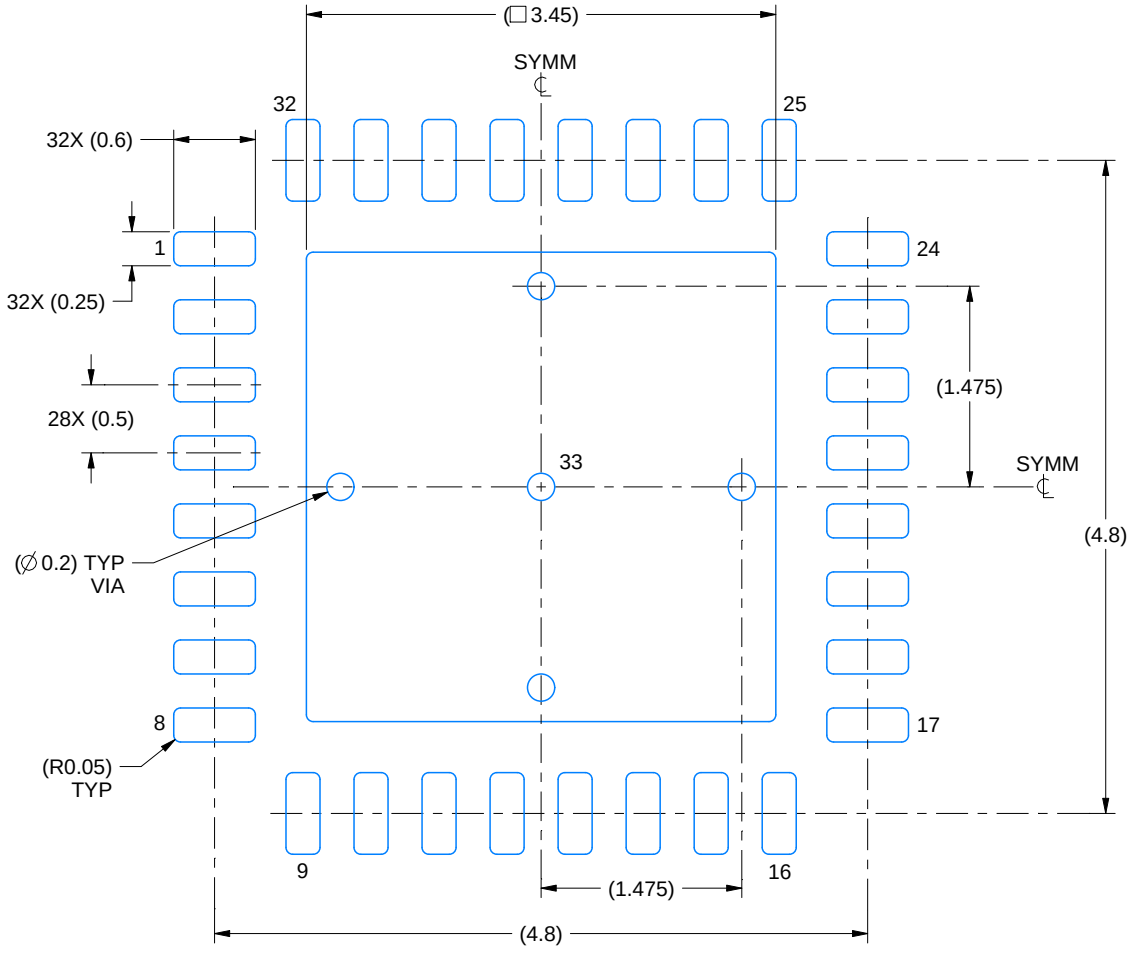
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

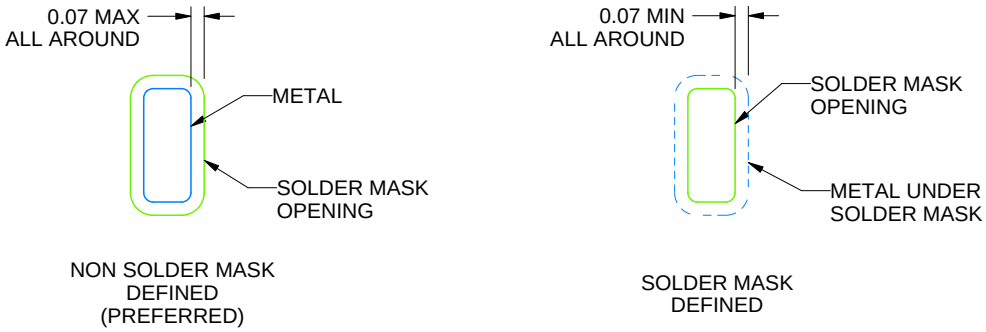
RHB0032E

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:18X

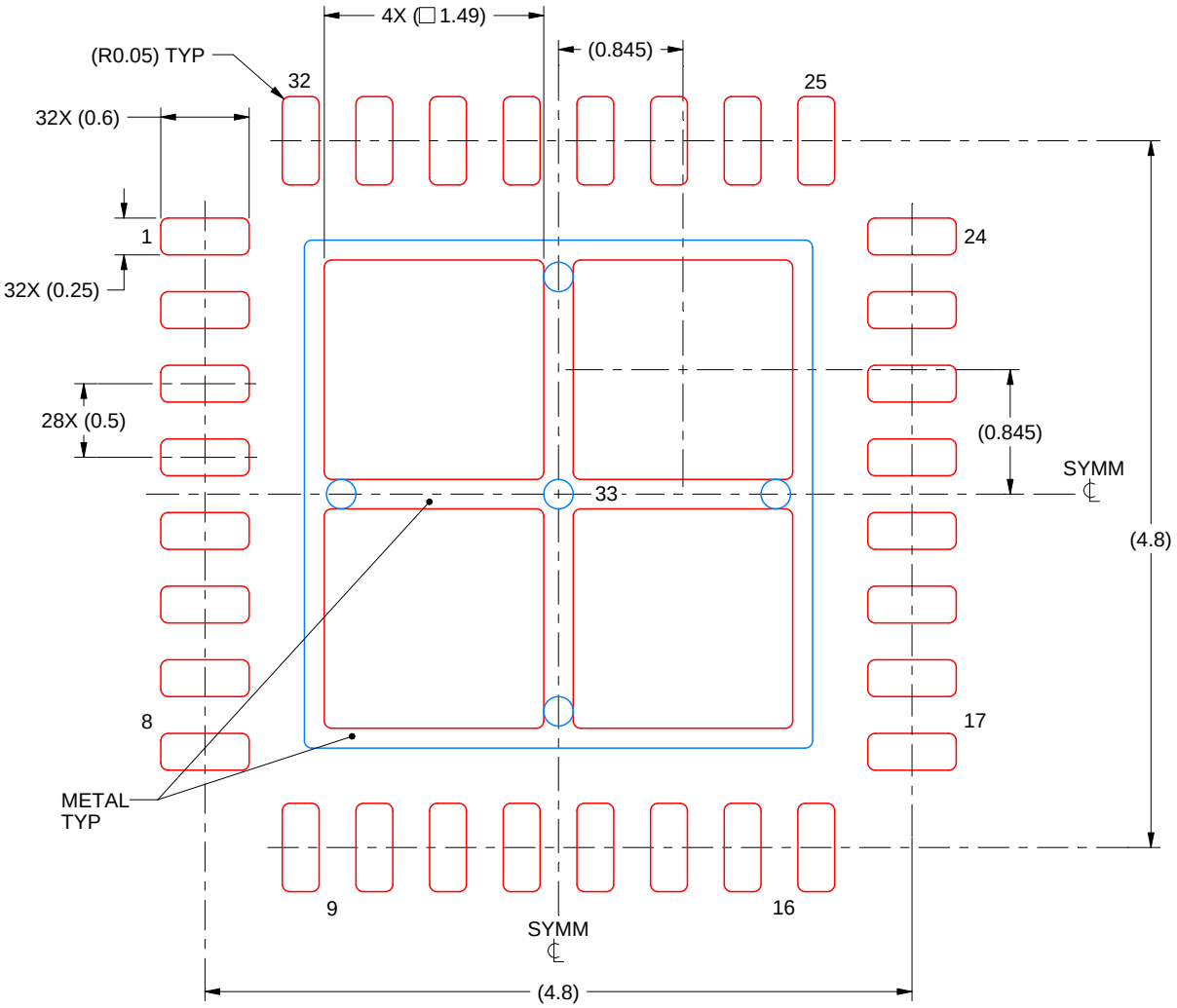


SOLDER MASK DETAILS

4223442/B 08/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 33:
75% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4223442/B 08/2019

NOTES: (continued)

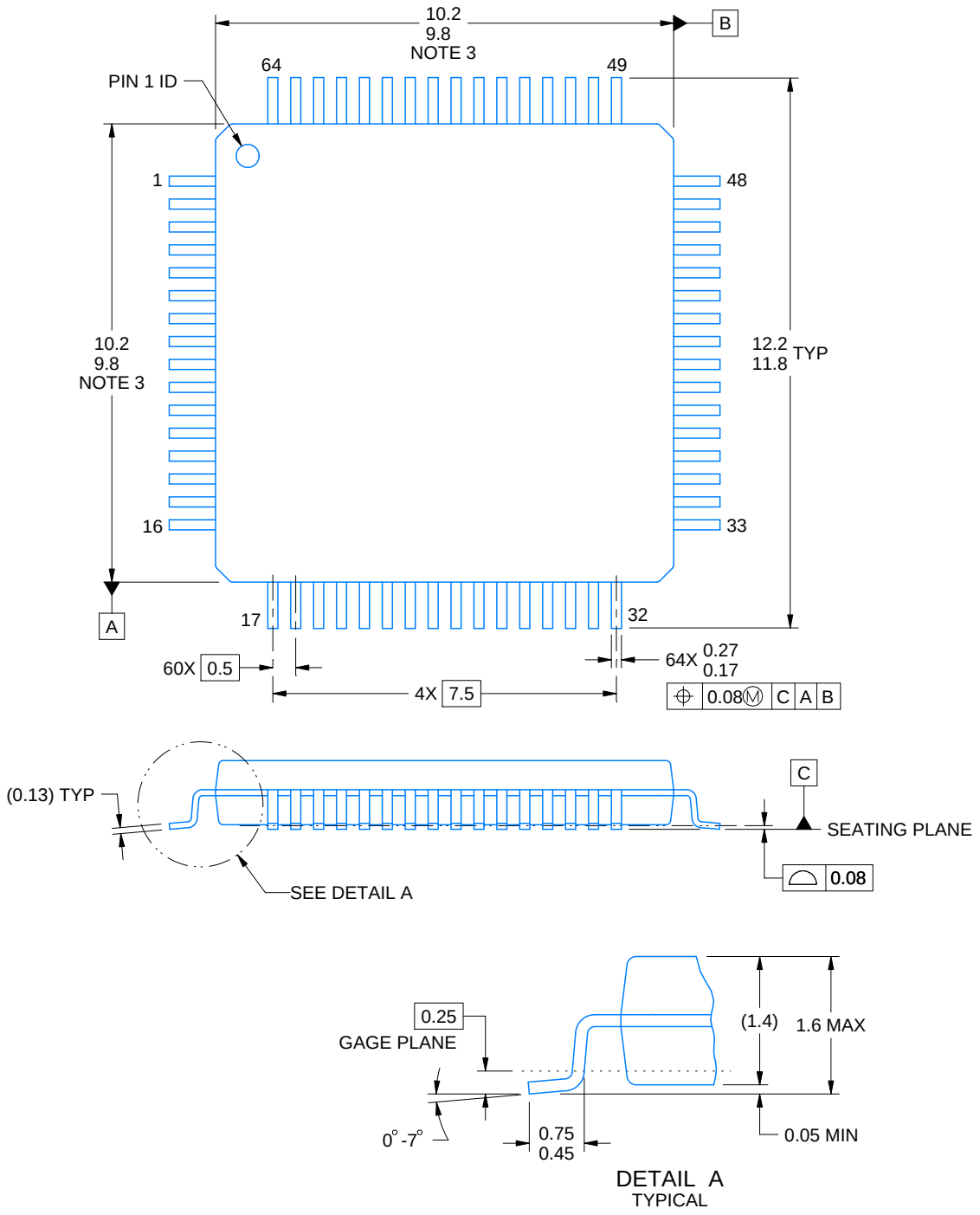
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

PM0064A

LQFP - 1.6 mm max height

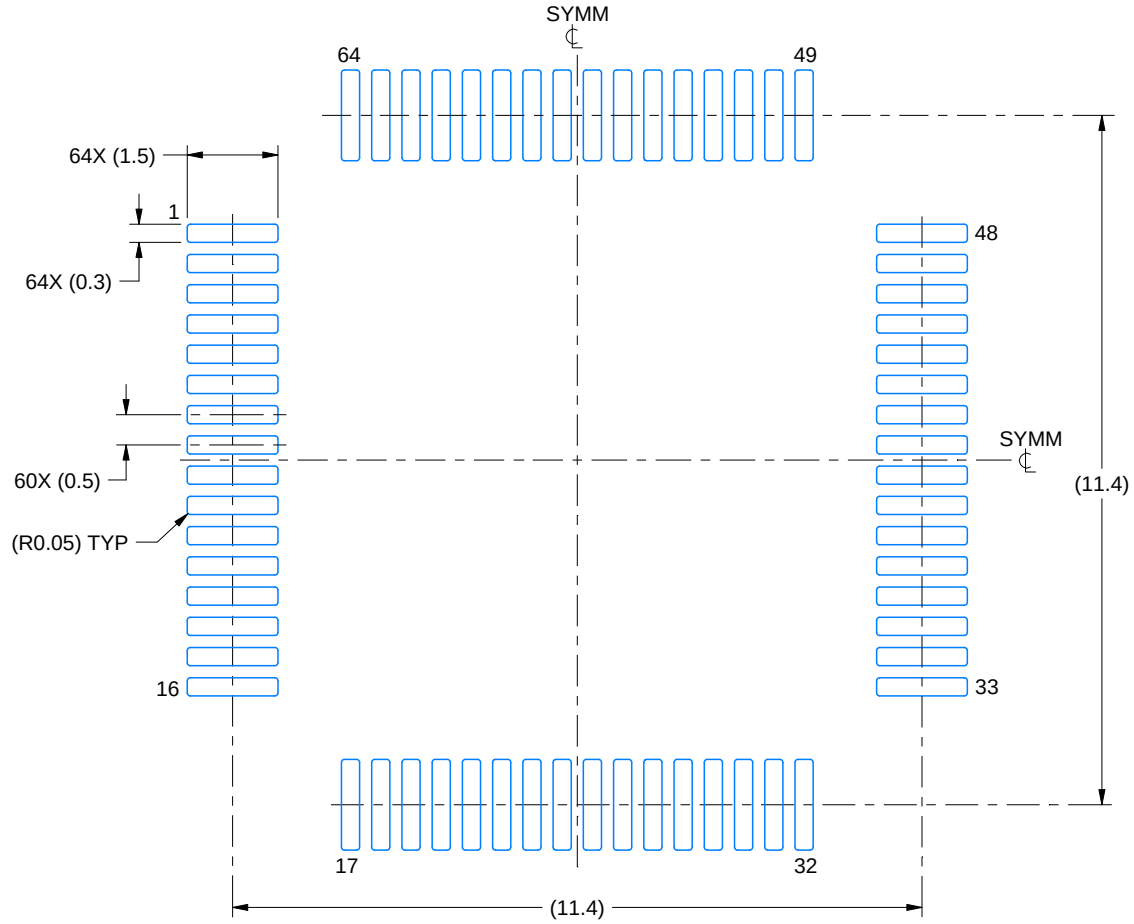
PLASTIC QUAD FLATPACK



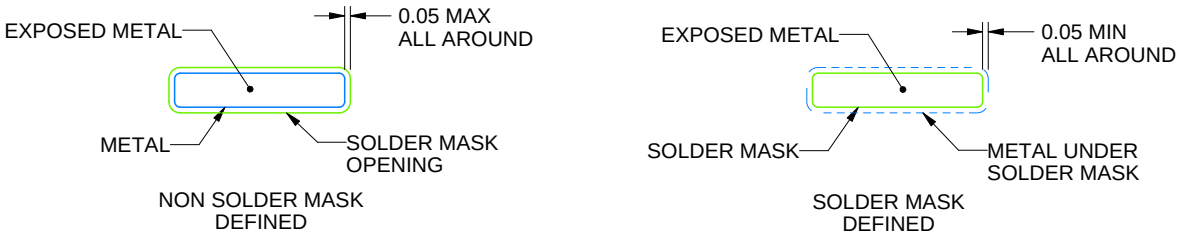
4215162/A 03/2017

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

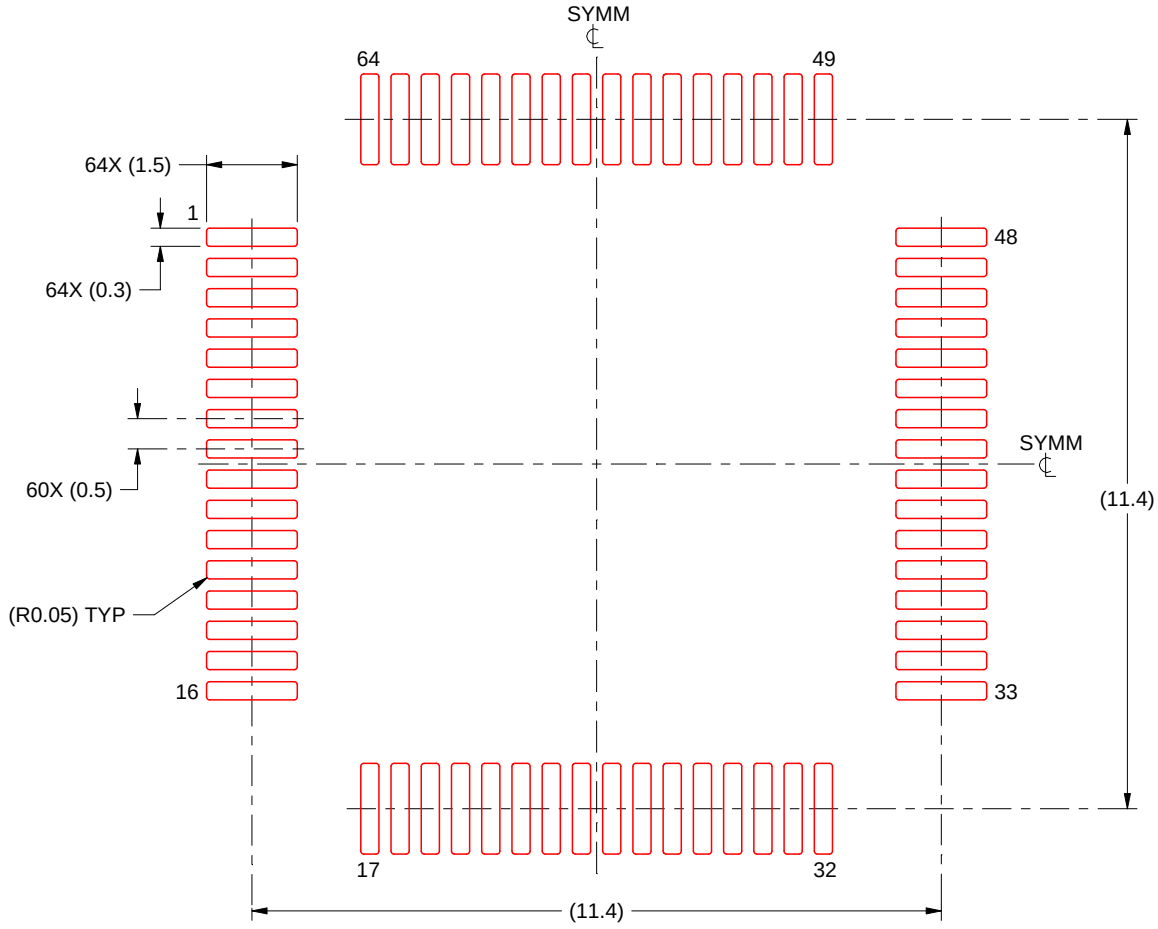


SOLDER MASK DETAILS

4215162/A 03/2017

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).

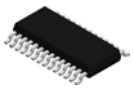


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4215162/A 03/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

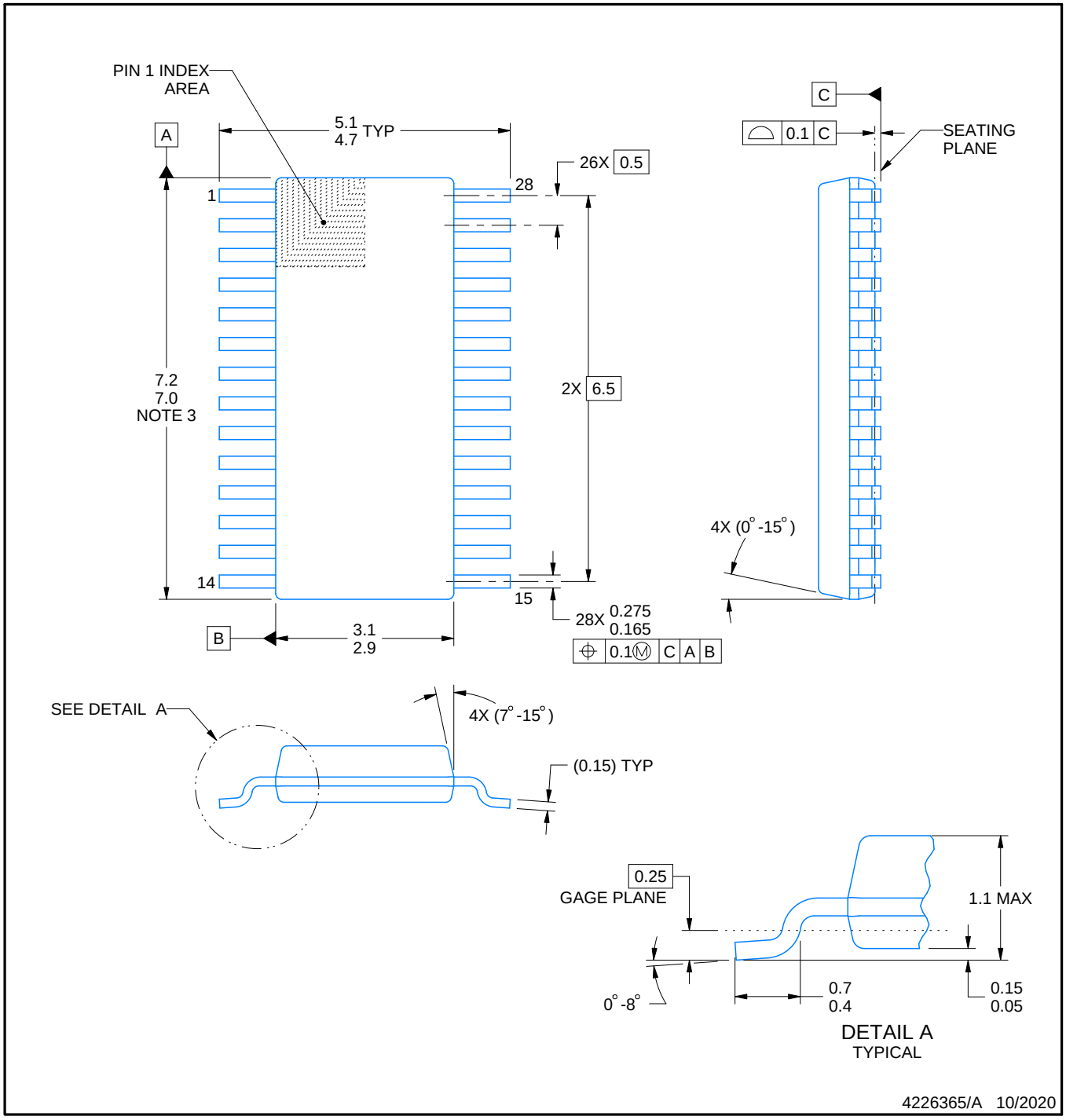


PACKAGE OUTLINE

DGS0028A

VSSOP - 1.1 mm max height

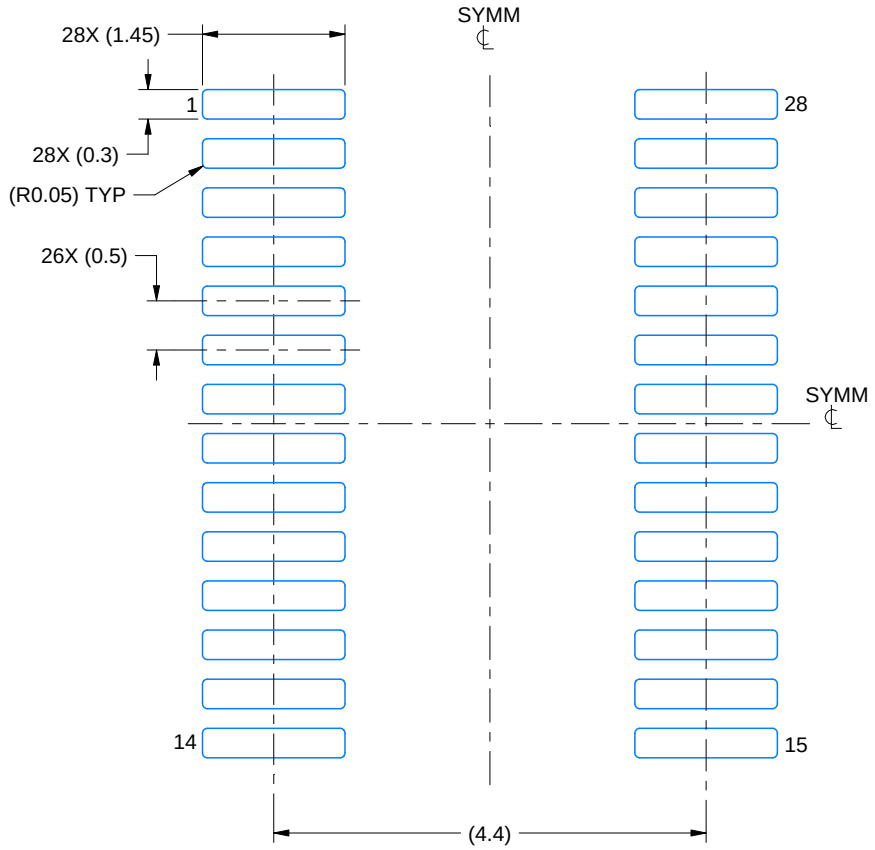
SMALL OUTLINE PACKAGE



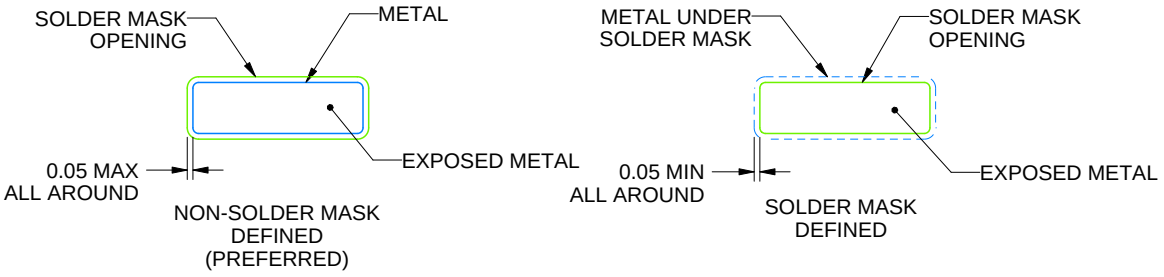
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
SCALE: 13X

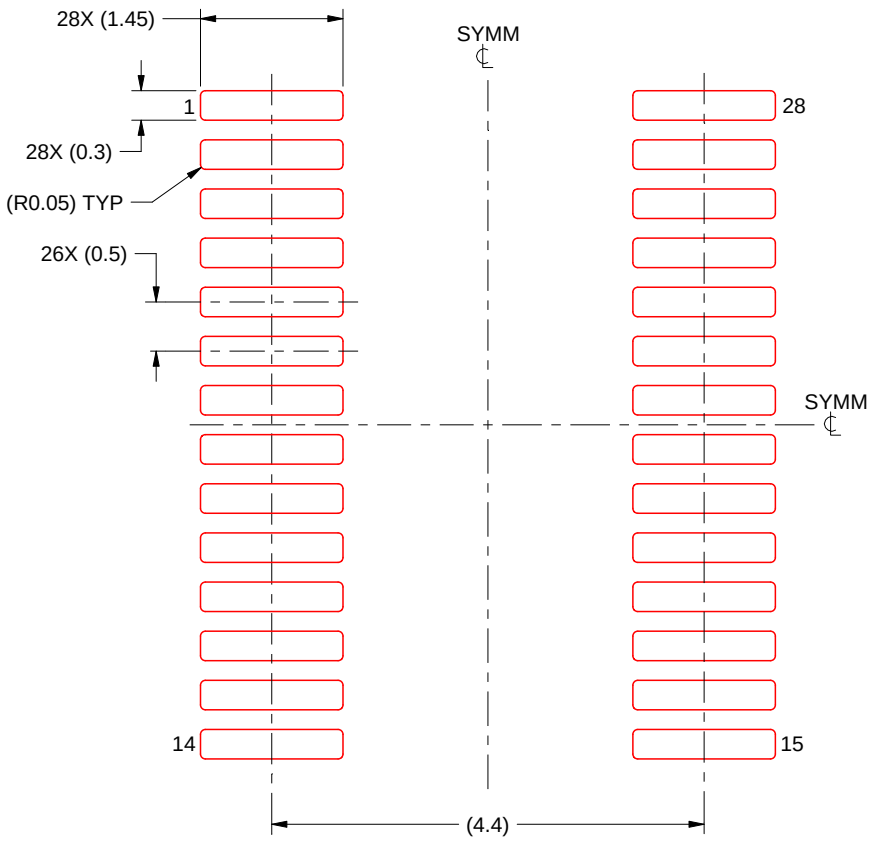


SOLDER MASK DETAILS

4226365/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 13X

4226365/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月