

- 低電源電圧範囲：1.8 V ~ 3.6 V
- 超低消費電力：
 - アクティブ・モード：280 μ A (1 MHz, 2.2 V)
 - スタンバイ・モード：1.1 μ A
 - オフ・モード (RAM データ保持)：0.1 μ A
- 5 つのパワー・セーブ・モード
- スタンバイ・モードからのウェークアップは 6 μ s 以下
- 16 ビット RISC アーキテクチャ、125 ns インストラクション・サイクル・タイム
- 12 ビット A/D コンバータ (内部基準電圧、サンプル&ホールド、オートスキャン機能付き)
- 16 ビット タイマ_B (3† つの又は 7† つのキャプチャ/コンペア、シャドウ・レジスタ付き)
- 16 ビット タイマ_A (3 つのキャプチャ/コンペア・レジスタ付き)
- オンチップ・コンパレータ
- シリアル・コミュニケーション・インタフェース (USART)、ソフトウェアによって非同期 UART 又は同期 SPI を選択：
 - 2 つの USART (USART0, USART1) - MSP430x44x デバイス
 - 1 つの USART (USART0) - MSP430x43x デバイス
- ブラウンアウト検出
- 検出レベル可変電源電圧監視/モニタ
- シリアル・オンボード・プログラミング、外部プログラミング電圧不要、セキュリティ・ヒューズによるプログラム可能なコード保護
- 160 セグメントまでの LCD ドライバ内蔵
- 製品ファミリ：
 - MSP430F435：16KB + 256B フラッシュ・メモリ、512B RAM
 - MSP430F436：24KB + 256B フラッシュ・メモリ、1KB RAM
 - MSP430F437：32KB + 256B フラッシュ・メモリ、1KB RAM
 - MSP430F447：32KB + 256B フラッシュ・メモリ、1KB RAM
 - MSP430F448：48KB + 256B フラッシュ・メモリ、2KB RAM
 - MSP430F449：60KB + 256B フラッシュ・メモリ、2KB RAM
- モジュールの詳細は、MSP430x4xx ファミリ ユーザーズ・ガイド 資料番号 SLAU141、SLAU056 を参照して下さい。
 - †`F435、`F436、`F437 デバイス
 - †`F447、`F448、`F449 デバイス

概要

テキサス・インスツルメンツの超低消費電力マイクロコントローラ MSP430 ファミリは、色々なアプリケーションのための異なる種類のペリフェラル・デバイスで構成されています。5 つの低消費電力モードを持ったアーキテクチャは、携帯型計測機器アプリケーションのバッテリー寿命を延ばすために最適化されています。デバイスには、パワフルな 16 ビット RISC CPU、16 ビット レジスタ、及び最大コード効率のためのコンスタント・ジェネレータが搭載されています。デジタル・コントロール・オシレータ (DCO) により、低消費電力モードからアクティブ・モードへのウェークアップが 6 μ s 以内で行われます。

MSP430x43x 及び MSP430x44x シリーズは、2 つの 16 ビット タイマ、高速 12 ビット A/D コンバータ、1 つ又は 2 つの USART、48 I/O 端子、及び 160 セグメントまでの 液晶 (LCD) ドライバで構成されたマイクロコントローラです。

標準的なアプリケーションとしては、アナログ信号を捕獲し、デジタル値に変換し、データを処理してホスト・システムに送信したり、データを処理して LCD パネルに表示したりするセンサ・システムがあります。タイマにより、リップル・カウンタ、デジタル・モータ・コントロール、EE メータ、ハンド・ヘルド・メータ等のような工業用制御アプリケーションに理想的な構成となります。ハードウェア・マルチプライヤにより性能が強化され、広範囲なコード及びハードウェア・コンパチブルな製品ファミリ・ソリューションを提供します。



テキサス・インスツルメンツの半導体製品の供給状況、標準保証、及び重大用途における使用に関しましては、重要なご注意がこのデータ・シートの終わりに掲載されていますので、ご参照下さい。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討及びご採用にあたりましては、必ず正規英語版の最新資料をご確認下さい。TI 及び日本 TI は、正規英語版にて更新の情報を提供しているにも関わらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



著作権 © 2005 日本テキサス・インスツルメンツ株式会社

最新の英語版資料

<http://focus.tij.co.jp/lit/ds/symlink/msp430f435.pdf>

1
SLAS344D 翻訳版

MSP430x43x、MSP430x44x
 ミックスド・シグナル・マイクロコントローラ

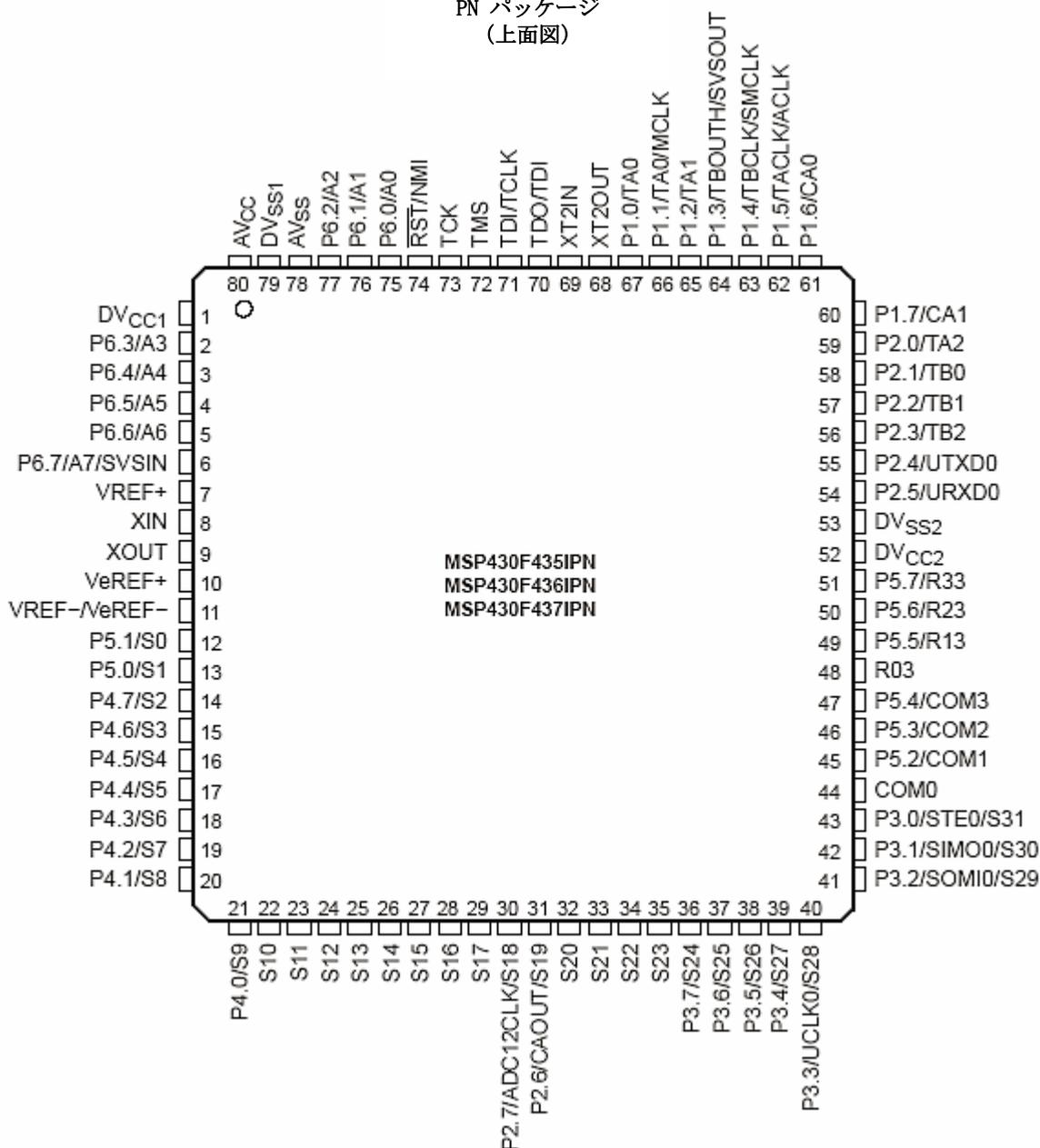
SLAS446 - 2005年4月

製品オプション

T _A	パッケージ・デバイス	
	プラスチック 80 ピン QFP (PN)	プラスチック 100 ピン QFP (PZ)
-40°C ~ 85°C	MSP430F435IPN MSP430F436IPN MSP430F437IPN	MSP430F435IPZ MSP430F436IPZ MSP430F437IPZ MSP430F447IPZ MSP430F448IPZ MSP430F449IPZ

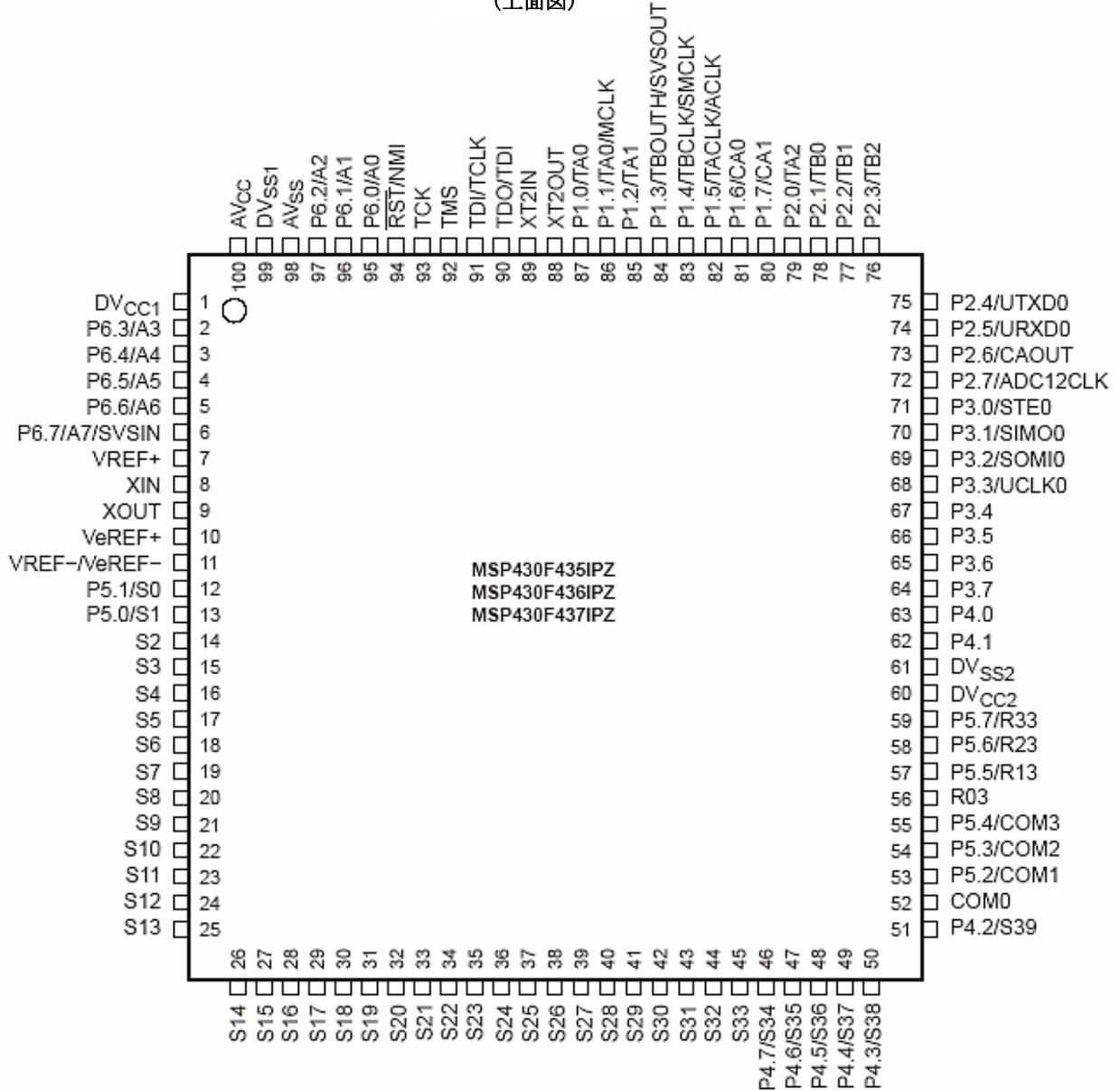
ピン配置 MSP430x435IPN、MSP430x436IPN、MSP430x437IPN

PN パッケージ
 (上面図)



ピン配置 MSP430x435IPZ、MSP430x436IPZ、MSP430x437IPZ

PZ パッケージ
 (上面図)

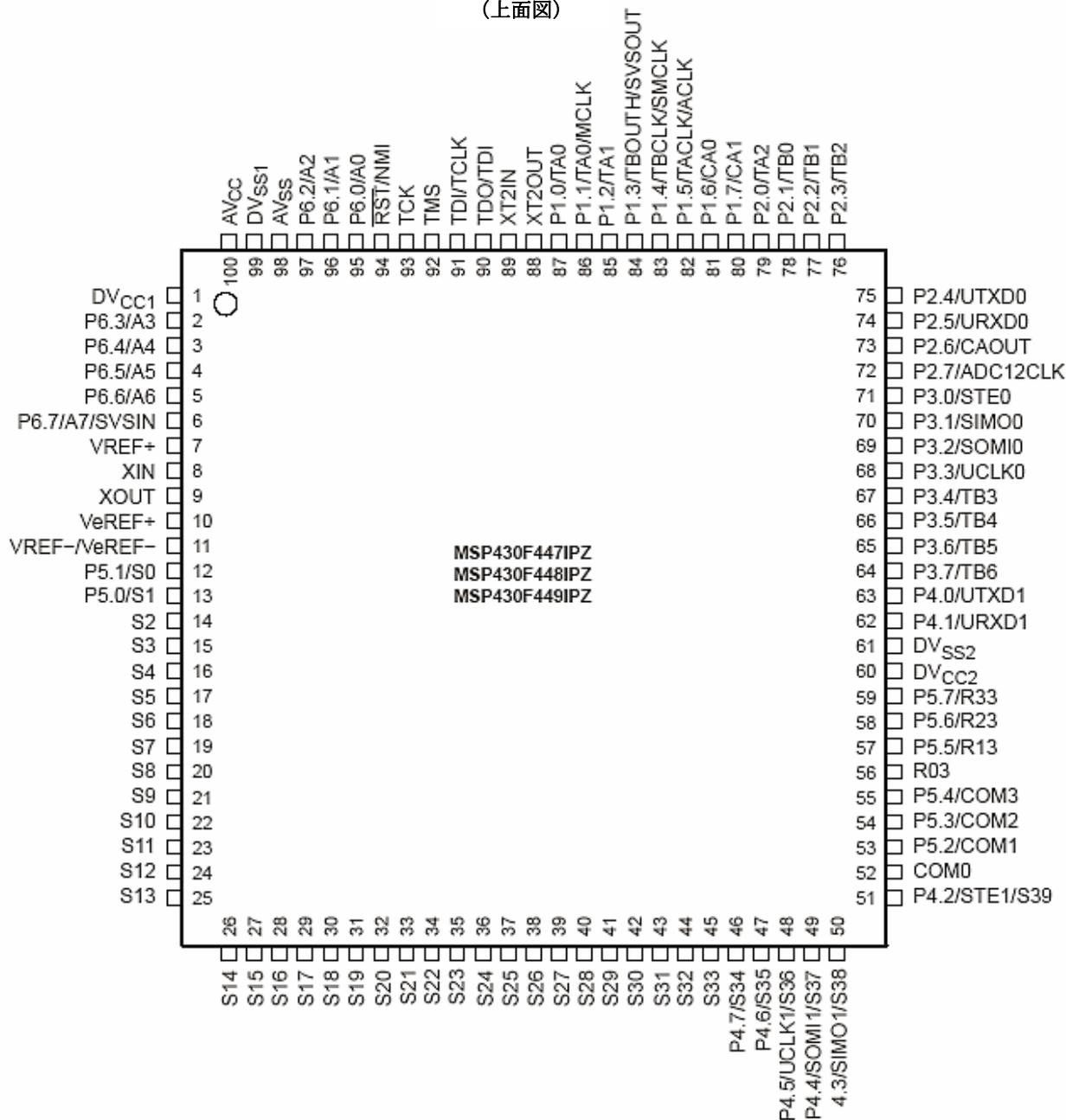


MSP430x43x、MSP430x44x
 ミックスド・シグナル・マイクロコントローラ

SLAS446 - 2005 年 4 月

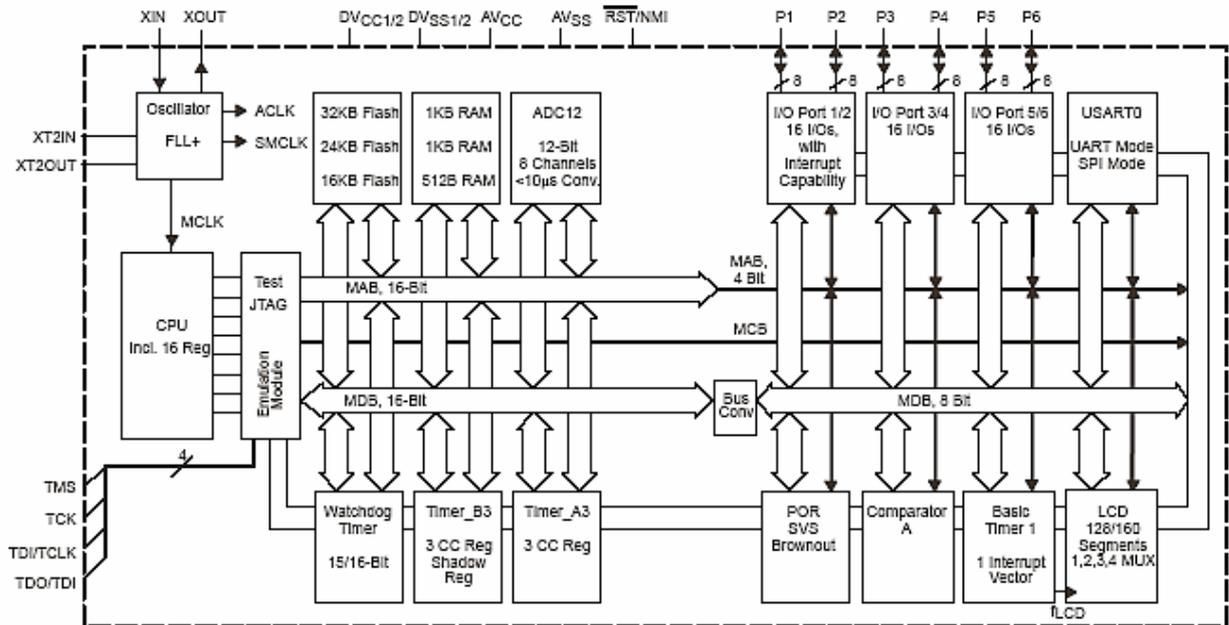
ピン配置 MSP430x447IPZ、MSP430x448IPZ、MSP430x449IPZ

PZ パッケージ
 (上面図)

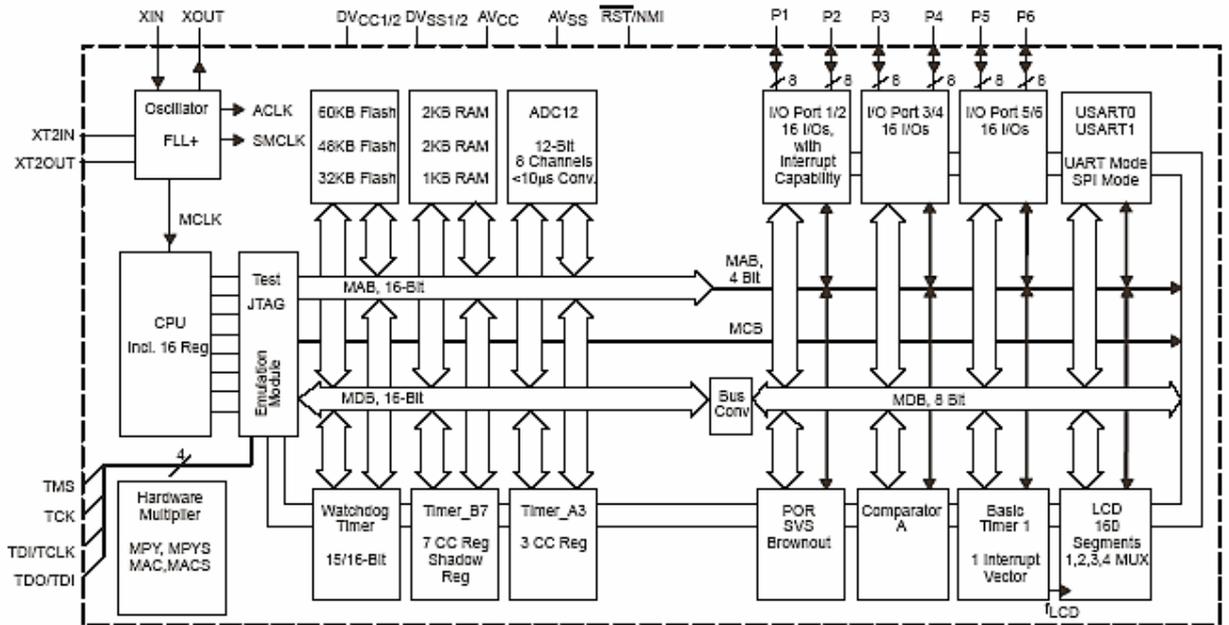


機能ブロック図

MSP430x43x



MSP430x44x



MSP430x43x 端子機能表

PN		端子		PZ		機能
名前	番号	I/O	名前	番号	I/O	
DV _{CC1}	1		DV _{CC1}	1		デジタル電源。正端子
P6.3/A3	2	I/O	P6.3/A3	2	I/O	汎用デジタル I/O / アナログ入力 a3 - 12 ビット ADC
P6.4/A4	3	I/O	P6.4/A4	3	I/O	汎用デジタル I/O / アナログ入力 a4 - 12 ビット ADC
P6.5/A5	4	I/O	P6.5/A5	4	I/O	汎用デジタル I/O / アナログ入力 a5 - 12 ビット ADC
P6.6/A6	5	I/O	P6.6/A6	5	I/O	汎用デジタル I/O / アナログ入力 a6 - 12 ビット ADC
P6.7/A7/SVSIN	6	I/O	P6.7/A7/SVSIN	6	I/O	汎用デジタル I/O / アナログ入力 a7 - 12 ビット ADC / 電源電圧監視回路へのアナログ入力
V _{REF+}	7	0	V _{REF+}	7	0	ADC の基準電圧の正出力
XIN	8	I	XIN	8	I	クリスタル・オシレータ XT1 の入力。標準又は時計用クリスタルが接続できます。
XOUT	9	0	XOUT	9	0	クリスタル・オシレータ XT1 の出力
V _{REF+}	10	I	V _{REF+}	10	I	ADC の外部基準電圧の入力
V _{REF-} /V _{REF-}	11	I	V _{REF-} /V _{REF-}	11	I	ADC の内部基準電圧及び外部基準電圧の両方の電圧源の負端子
P5.1/S0	12	I/O	P5.1/S0	12	I/O	汎用デジタル I/O / LCD セグメント出力 0
P5.0/S1	13	I/O	P5.0/S1	13	I/O	汎用デジタル I/O / LCD セグメント出力 1
P4.7/S2	14	I/O	S2	14	0	汎用デジタル I/O / LCD セグメント出力 2
P4.6/S3	15	I/O	S3	15	0	汎用デジタル I/O / LCD セグメント出力 3
P4.5/S4	16	I/O	S4	16	0	汎用デジタル I/O / LCD セグメント出力 4
P4.4/S5	17	I/O	S5	17	0	汎用デジタル I/O / LCD セグメント出力 5
P4.3/S6	18	I/O	S6	18	0	汎用デジタル I/O / LCD セグメント出力 6
P4.2/S7	19	I/O	S7	19	0	汎用デジタル I/O / LCD セグメント出力 7
P4.1/S8	20	I/O	S8	20	0	汎用デジタル I/O / LCD セグメント出力 8
P4.0/S9	21	I/O	S9	21	0	汎用デジタル I/O / LCD セグメント出力 9
S10	22	0	S10	22	0	LCD セグメント出力 10
S11	23	0	S11	23	0	LCD セグメント出力 11
S12	24	0	S12	24	0	LCD セグメント出力 12
S13	25	0	S13	25	0	LCD セグメント出力 13
S14	26	0	S14	26	0	LCD セグメント出力 14
S15	27	0	S15	27	0	LCD セグメント出力 15
S16	28	0	S16	28	0	LCD セグメント出力 16
S17	29	0	S17	29	0	LCD セグメント出力 17
P2.7/ADC12CLK/ S18	30	I/O	S18	30	0	汎用デジタル I/O / 変換クロック - 12 ビット ADC / LCD セグメント出力 18
P2.6/CAOUT/S19	31	I/O	S19	31	0	汎用デジタル I/O / コンパレータ_A 出力 / LCD セグメント出力 19
S20	32	0	S20	32	0	LCD セグメント出力 20
S21	33	0	S21	33	0	LCD セグメント出力 21
S22	34	0	S22	34	0	LCD セグメント出力 22
S23	35	0	S23	35	0	LCD セグメント出力 23
P3.7/S24	36	I/O	S24	36	0	汎用デジタル I/O / LCD セグメント出力 24
P3.6/S25	37	I/O	S25	37	0	汎用デジタル I/O / LCD セグメント出力 25
P3.5/S26	38	I/O	S26	38	0	汎用デジタル I/O / LCD セグメント出力 26
P3.4/S27	39	I/O	S27	39	0	汎用デジタル I/O / LCD セグメント出力 27

MSP430x43x 端子機能表 (続き)

PN		端 子			機 能	
名 前	番 号	I/O	PZ 名 前	番 号		I/O
P3.3/UCLK0/S28	40	I/O	S28	40	0	汎用デジタル I/O / 外部クロック入力 - USART0/UART 又は SPI モード、クロック出力 - USART0/SPI モード / LCD セグメント出力 28
P3.2/SOMIO/S29	41	I/O	S29	41	0	汎用デジタル I/O / USART0/SPI モードのスレーブ出力/マスタ入力 / LCD セグメント出力 29
P3.1/SIM00/S30	42	I/O	S30	42	0	汎用デジタル I/O / USART0/SPI モードのスレーブ出力/マスタ出力 / LCD セグメント出力 30
P3.0/STE0/S31	43	I/O	S31	43	0	汎用デジタル I/O / スレーブ送信イネーブル - USART0/SPI モード / LCD セグメント出力 31
			S32	44	0	LCD セグメント出力 32
			S33	45	0	LCD セグメント出力 33
			P4.7/S34	46	I/O	汎用デジタル I/O / LCD セグメント出力 34
			P4.6/S35	47	I/O	汎用デジタル I/O / LCD セグメント出力 35
			P4.5/S36	48	I/O	汎用デジタル I/O / LCD セグメント出力 36
			P4.4/S37	49	I/O	汎用デジタル I/O / LCD セグメント出力 37
			P4.3/S38	50	I/O	汎用デジタル I/O / LCD セグメント出力 38
			P4.2/S39	51	I/O	汎用デジタル I/O / LCD セグメント出力 39
COM0	44	0	COM0	52	0	COM0 ~ 3 は LCD バックプレーンのために使用されます。
P5.2/COM1	45	I/O	P5.2/COM1	53	I/O	汎用デジタル I/O / コモン出力、COM0 ~ 3 は LCD バックプレーンのために使用されます。
P5.3/COM2	46	I/O	P5.3/COM2	54	I/O	汎用デジタル I/O / コモン出力、COM0 ~ 3 は LCD バックプレーンのために使用されます。
P5.4/COM3	47	I/O	P5.4/COM3	55	I/O	汎用デジタル I/O / コモン出力、COM0 ~ 3 は LCD バックプレーンのために使用されます。
R03	48	I	R03	56	I	正側から 4 番目 (最も低い) のアナログ LCD レベル (V5) の入力ポート
P5.5/R13	49	I/O	P5.5/R13	57	I/O	汎用デジタル I/O / 正側から 3 番目のアナログ LCD レベル (V4 又は V3) の入力ポート
P5.6/R23	50	I/O	P5.6/R23	58	I/O	汎用デジタル I/O / 正側から 2 番目のアナログ LCD レベル (V2) の入力ポート
P5.7/R33	51	I/O	P5.7/R33	59	I/O	汎用デジタル I/O / 最も正側のアナログ LCD レベル (V1) の出力ポート
DV _{CC2}	52		DV _{CC2}	60		デジタル電源、正端子
DV _{SS2}	53		DV _{SS2}	61		デジタル電源、負端子
			P4.1	62	I/O	汎用デジタル I/O
			P4.0	63	I/O	汎用デジタル I/O
			P3.7	64	I/O	汎用デジタル I/O
			P3.6	65	I/O	汎用デジタル I/O
			P3.5	66	I/O	汎用デジタル I/O
			P3.4	67	I/O	汎用デジタル I/O
			P3.3/UCLK0	68	I/O	汎用デジタル I/O / 外部クロック入力 - USART0/UART 又は SPI モード、クロック出力 - USART0/SPI モード
			P3.2/SOMIO	69	I/O	汎用デジタル I/O / USART0/SPI モードのスレーブ出力/マスタ入力
			P3.1/SIM00	70	I/O	汎用デジタル I/O / USART0/SPI モードのスレーブ入力/マスタ出力
			P3.0/STE0	71	I/O	汎用デジタル I/O / スレーブ送信イネーブル - USART0/SPI モード
			P2.7/ADC12CLK	72	I/O	汎用デジタル I/O / 変換クロック - 12 ビット ADC
			P2.6/CAOUT	73	I/O	汎用デジタル I/O / コンパレータ_A 出力
P2.5/URXDO	54	I/O	P2.5/URXDO	74	I/O	汎用デジタル I/O / 受信データ入力 - USART0/UART モード

MSP430x43x、MSP430x44x
ミックスド・シグナル・マイクロコントローラ

SLAS446 - 2005年4月

MSP430x43x 端子機能表 (続き)

PN		端子		機能		
名前	番号	I/O	PZ 名前	番号	I/O	
P2.4/UTXD0	55	I/O	P2.4/UTXD0	75	I/O	汎用デジタル I/O / 送信データ出力 - USART0/UART モード
P2.3/TB2	56	I/O	P2.3/TB2	76	I/O	汎用デジタル I/O / タイマ_B3 CCR2 キャプチャ: CCI2A/CCI2B 入力、コンペア: Out2 出力
P2.2/TB1	57	I/O	P2.2/TB1	77	I/O	汎用デジタル I/O / タイマ_B3 CCR1 キャプチャ: CCI1A/CCI1B 入力、コンペア: Out1 出力
P2.1/TB0	58	I/O	P2.1/TB0	78	I/O	汎用デジタル I/O / タイマ_B3 CCR0 キャプチャ: CCI0A/CCI0B 入力、コンペア: Out0 出力
P2.0/TA2	59	I/O	P2.0/TA2	79	I/O	汎用デジタル I/O / タイマ_A キャプチャ: CCI2A 入力、コンペア: Out2 出力
P1.7/CA1	60	I/O	P1.7/CA1	80	I/O	汎用デジタル I/O / コンパレータ_A 入力
P1.6/CA0	61	I/O	P1.6/CA0	81	I/O	汎用デジタル I/O / コンパレータ_A 入力
P1.5/TACLK/ ACLK	62	I/O	P1.5/TACLK/ ACLK	82	I/O	汎用デジタル I/O / タイマ_A、クロック信号 TACLK 入力 / ACLK 出力 (1/1、1/2、1/4、又は 1/8 分周)
P1.4/TBCLK/ SMCLK	63	I/O	P1.4/TBCLK/ SMCLK	83	I/O	汎用デジタル I/O / 入力クロック TBCLK - タイマ_B3 / サブメ イン・システム・クロック SMCLK 出力
P1.3/TBOUTH/ SVSOUT	64	I/O	P1.3/TBOUTH / SVSOUT	84	I/O	汎用デジタル I/O / すべての PWM デジタル出力ポートをハイ・イ ンピーダンスに切り換え - タイマ_B3 TB0 ~ TB2、SVS: 電源電圧 監視コンパレータの出力
P1.2/TA1	65	I/O	P1.2/TA1	85	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI1A 入力、コンペア: Out1 出力
P1.1/TA0/MCLK	66	I/O	P1.1/TA0/MC LK	86	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI0B 入力 / MCLK出 力。(注): TA0 は入力のみです。/ BSL受信
P1.0/TA0	67	I/O	P1.0/TA0	87	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI0A 入力、コンペア: Out0 出力 / BSL 送信
XT2OUT	68	0	XT2OUT	88	0	クリスタル・オシレータ XT2 の出力端子
XT2IN	69	I	XT2IN	89	I	クリスタル・オシレータ XT2 のための入力ポート。標準のクリスタ ルだけを接続することができます。
TDO/TDI	70	I/O	TDO/TDI	90	I/O	テスト・データ出力ポート。TDO/TDI データ出力又はプログラミング ・データ入力端子
TDI/TCLK	71	I	TDI/TCLK	91	I	テスト・データ入力又はテスト・クロック入力。デバイス保護ヒュー ーズが、TDI/TCLK に接続されています。
TMS	72	I	TMS	92	I	テスト・モード選択入力。TMS はデバイス・プログラミング及びテ ストのための入力ポートとして使用します。
TCK	73	I	TCK	93	I	テスト・クロック入力。TCK は、デバイス・プログラミング及びテ ストのためのクロック入力ポートです。
RST/NMI	74	I	RST/NMI	94	I	汎用デジタル I/O / リセット又はマスク不可能な割り込み入力
P6.0/A0	75	I/O	P6.0/A0	95	I/O	汎用デジタル I/O / アナログ入力 a0 - 12ビット ADC
P6.1/A1	76	I/O	P6.1/A1	96	I/O	汎用デジタル I/O / アナログ入力 a1 - 12ビット ADC
P6.2/A2	77	I/O	P6.2/A2	97	I/O	汎用デジタル I/O / アナログ入力 a2 - 12ビット ADC
AV _{ss}	78		AV _{ss}	98		アナログ電源電圧 (負端子)。電源電圧監視回路、ブラウンアウト、 オシレータ、FLL+、コンパレータ_A、ADC12、ポート 1、及び LCD 抵 抗ディバイダ回路用電源
DV _{ss1}	79		DV _{ss1}	99		デジタル電源電圧 (負端子)
AV _{cc}	80		AV _{cc}	100		アナログ電源電圧 (正端子)。電源電圧監視回路、ブラウンアウト、 オシレータ、FLL+、コンパレータ_A、ADC12、ポート 1、及び LCD 抵 抗ディバイダ回路用電源。DVCC1/DVCC2 より前にパワー アップして はいけません。

MSP430x44x 端子機能表

端子 PN 名前 番号	I/O	機能
DV _{CC1}	1	デジタル電源。正端子
P6.3/A3	2	I/O 汎用デジタル I/O / アナログ入力 a3 - 12 ビット ADC
P6.4/A4	3	I/O 汎用デジタル I/O / アナログ入力 a4 - 12 ビット ADC
P6.5/A5	4	I/O 汎用デジタル I/O / アナログ入力 a5 - 12 ビット ADC
P6.6/A6	5	I/O 汎用デジタル I/O / アナログ入力 a6 - 12 ビット ADC
P6.7/A7/SVSIN	6	I/O 汎用デジタル I/O / アナログ入力 a7 - 12 ビット ADC / ブラウンアウト、電源電圧監視回路へのアナログ入力
V _{REF+}	7	0 ADC の基準電圧の正出力
XIN	8	I クリスタル・オシレータ XT1 の入力。標準又は時計用クリスタルが接続できます。
XOUT	9	0 クリスタル・オシレータ XT1 の出力
V _{eREF+}	10	I ADC への外部基準電圧入力
V _{REF-} /V _{eREF-}	11	I ADC の内部基準電圧及び外部基準電圧の両方の電圧源の負端子
P5.1/S0	12	I/O 汎用デジタル I/O / LCD セグメント出力 0
P5.0/S1	13	I/O 汎用デジタル I/O / LCD セグメント出力 1
S2	14	0 LCD セグメント出力 2
S3	15	0 LCD セグメント出力 3
S4	16	0 LCD セグメント出力 4
S5	17	0 LCD セグメント出力 5
S6	18	0 LCD セグメント出力 6
S7	19	0 LCD セグメント出力 7
S8	20	0 LCD セグメント出力 8
S9	21	0 LCD セグメント出力 9
S10	22	0 LCD セグメント出力 10
S11	23	0 LCD セグメント出力 11
S12	24	0 LCD セグメント出力 12
S13	25	0 LCD セグメント出力 13
S14	26	0 LCD セグメント出力 14
S15	27	0 LCD セグメント出力 15
S16	28	0 LCD セグメント出力 16
S17	29	0 LCD セグメント出力 17
S18	30	0 LCD セグメント出力 18
S19	31	0 LCD セグメント出力 19
S20	32	0 LCD セグメント出力 20
S21	33	0 LCD セグメント出力 21
S22	34	0 LCD セグメント出力 22
S23	35	0 LCD セグメント出力 23
S24	36	0 LCD セグメント出力 24
S25	37	0 LCD セグメント出力 25
S26	38	0 LCD セグメント出力 26
S27	39	0 LCD セグメント出力 27
S28	40	0 LCD セグメント出力 28

MSP430x44x 端子機能表 (続き)

端子 PN 名前 番号	I/O	機能	
S29	41	0	LCD セグメント出力 29
S30	42	0	LCD セグメント出力 30
S31	43	0	LCD セグメント出力 31
S32	44	0	LCD セグメント出力 32
S33	45	0	LCD セグメント出力 33
P4.7/S34	46	I/O	汎用デジタル I/O / LCD セグメント出力 34
P4.6/S35	47	I/O	汎用デジタル I/O / LCD セグメント出力 35
P4.5/UCLK1/S36	48	I/O	汎用デジタル I/O / 外部クロック入力 - USART1/UART 又は SPI モード、クロック出力 - USART1/SPI モード / LCD セグメント出力 36
P4.4/SOMI1/S37	49	I/O	汎用デジタル I/O / USART1/SPI モードのスレープ出力/マスタ入力 / LCD セグメント出力 37
P4.3/SIM01/S38	50	I/O	汎用デジタル I/O / USART1/SPI モードのスレープ入力/マスタ出力 / LCD セグメント出力 38
P4.2/STE1/S39	51	I/O	汎用デジタル I/O / スレープ送信イネーブル - USART1/SPI モード / LCD セグメント出力 39
COM0	52	0	COM0 ~ 3 は LCD バックプレーンのために使用されます。
P5.2/COM1	53	I/O	汎用デジタル I/O / コモン出力、COM0 ~ 3 は LCD バックプレーンのために使用されます。
P5.3/COM2	54	I/O	汎用デジタル I/O / コモン出力、COM0 ~ 3 は LCD バックプレーンのために使用されます。
P5.4/COM3	55	I/O	汎用デジタル I/O / コモン出力、COM0 ~ 3 は LCD バックプレーンのために使用されます。
R03	56	I	正側から 4 番目 (最も低い) のアナログ LCD レベル (V5) の入力ポート
P5.5/R13	57	I/O	汎用デジタル I/O / 正側から 3 番目のアナログ LCD レベル (V4 又は V3) の入力ポート
P5.6/R23	58	I/O	汎用デジタル I/O / 正側から 2 番目のアナログ LCD レベル (V2) の入力ポート
P5.7/R33	59	I/O	汎用デジタル I/O / 最も正側のアナログ LCD レベル (V1) の出力ポート
DV _{CC2}	60		デジタル電源、正端子
DV _{SS2}	61		デジタル電源、負端子
P4.1/URXD1	62	I/O	汎用デジタル I/O / 受信データ入力 - USART1/UART モード
P4.0/UTXD1	63	I/O	汎用デジタル I/O / 送信データ出力 - USART1/UART モード
P3.7/TB6	64	I/O	汎用デジタル I/O / タイマ_B7 CCR6 / キャプチャ: CCI6A/CCI6B 入力、コンペア: Out6 出力
P3.6/TB5	65	I/O	汎用デジタル I/O / タイマ_B7 CCR5 / キャプチャ: CCI5A/CCI5B 入力、コンペア: Out5 出力
P3.5/TB4	66	I/O	汎用デジタル I/O / タイマ_B7 CCR4 / キャプチャ: CCI4A/CCI4B 入力、コンペア: Out4 出力
P3.4/TB3	67	I/O	汎用デジタル I/O / タイマ_B7 CCR3 / キャプチャ: CCI3A/CCI3B 入力、コンペア: Out3 出力
P3.3/UCLK0	68	I/O	汎用デジタル I/O / 外部クロック入力 - USART0/UART 又は SPI モード、クロック出力 - USART0/SPI モード
P3.2/SOMI0	69	I/O	汎用デジタル I/O / USART0/SPI モードのスレープ出力/マスタ入力
P3.1/SIM00	70	I/O	汎用デジタル I/O / USART0/SPI モードのスレープ入力/マスタ出力
P3.0/STE0	71	I/O	汎用デジタル I/O / スレープ送信イネーブル - USART0/SPI モード
P2.7/ADC12CLK	72	I/O	汎用デジタル I/O / 変換クロック - 12 ビット ADC
P2.6/CAOUT	73	I/O	汎用デジタル I/O / コンパレータ_A 出力
P2.5/URXD0	74	I/O	汎用デジタル I/O / 受信データ入力 - USART0/UART モード
P2.4/UTXD0	75	I/O	汎用デジタル I/O / 送信データ出力 - USART0/UART モード
P2.3/TB2	76	I/O	汎用デジタル I/O / タイマ_B7 CCR2、キャプチャ: CCI2A/CCI2B 入力、コンペア: Out2 出力
P2.2/TB1	77	I/O	汎用デジタル I/O / タイマ_B7 CCR1、キャプチャ: CCI1A/CCI1B 入力、コンペア: Out1 出力
P2.1/TB0	78	I/O	汎用デジタル I/O / タイマ_B7 CCR0、キャプチャ: CCI0A/CCI0B 入力、コンペア: Out0 出力
P2.0/TA2	79	I/O	汎用デジタル I/O / タイマ_A キャプチャ: CCI2A 入力、コンペア: Out2 出力
P1.7/CA1	80	I/O	汎用デジタル I/O / コンパレータ_A 入力

MSP430x44x 端子機能表 (続き)

端 子 PN 名 前 番号	I/O	機 能
P1.6/CA0 81	I/O	汎用デジタル I/O / コンパレータ_A 入力
P1.5/TACLK/ ACLK 82	I/O	汎用デジタル I/O / タイマ_A、クロック信号 TACLK 入力 / ACLK 出力 (1/1、1/2、1/4、又は 1/8 分周)
P1.4/TBCLK/ SMCLK 83	I/O	汎用デジタル I/O / 入力クロック TBCLK - タイマ_B7 / サブメイン・システム・クロック SMCLK 出力
P1.3/TBOUTH/ SVSOUT 84	I/O	汎用デジタル I/O / すべての PWM デジタル出力ポートをハイ・インピーダンスに切り換え - タイ マ_B7 TB0 ~ TB6 / SVS : 電源電圧監視コンパレータの出力
P1.2/TA1 85	I/O	汎用デジタル I/O / タイマ_A、キャプチャ : CCI1A 入力、コンペア : Out1 出力
P1.1/TA0/MCLK 86	I/O	汎用デジタル I/O / タイマ_A、キャプチャ : CCI0B 入力 / MCLK 出力 (注) : TA0 は入力のみです。 / BSL受信
P1.0/TA0 87	I/O	汎用デジタル I/O / タイマ_A、キャプチャ : CCI0A 入力、コンペア : Out0 出力 / BSL 送信
XT2OUT 88	0	クリスタル・オシレータ XT2 の出力端子
XT2IN 89	I	クリスタル・オシレータ XT2 の入力ポート。標準のクリスタルだけを接続することができます。
TDO/TDI 90	I/O	テスト・データ出力ポート。TDO/TDI データ出力又はプログラミング・データ入力端子
TDI/TCLK 91	I	テスト・データ入力又はテスト・クロック入力。デバイス保護ヒューズが、TDI/TCLK に接続さ れています。
TMS 92	I	テスト・モード選択入力。TMS はデバイス・プログラミング及びテストのための入力ポートとし て使用します。
TCK 93	I	テスト・クロック入力。TCK は、デバイス・プログラミング及びテストのためのクロック入力ポ ートです。
RST/NMI 94	I	リセット入力又はマスク不可能な割り込み入力
P6.0/A0 95	I/O	汎用デジタル I/O / アナログ入力 a0 - 12 ビット ADC
P6.1/A1 96	I/O	汎用デジタル I/O / アナログ入力 a1 - 12 ビット ADC
P6.2/A2 97	I/O	汎用デジタル I/O / アナログ入力 a2 - 12 ビット ADC
AV _{SS} 98		アナログ電源電圧 (負端子)。電源電圧監視回路、ブラウンアウト、オシレータ、FLL+、コンパ レータ_A、ADC12、ポート 1、及び LCD 抵抗ディバイダ回路用電源
DV _{SS1} 99		デジタル電源電圧 (負端子)
AV _{CC} 100		アナログ電源電圧 (正端子)。電源電圧監視回路、ブラウンアウト、オシレータ、FLL+、コンパ レータ_A、ADC12、ポート 1、及び LCD 抵抗ディバイダ回路用電源。DV _{CC1} / DV _{CC2} より前にパワ ー・アップしてはいけません。

概要説明

CPU

MSP430 CPU には、アプリケーションに適した 16 ビット RISC アーキテクチャを搭載しています。プログラム・フロー・インストラクション以外のすべての動作は、ソース・オペランドのための 7 つのアドレッシング・モード及びデスティネーション・オペランドのための 4 つのアドレッシング・モードと共にレジスタ・オペレーションとして実行されます。

CPU は、命令実行時間を短縮する 16 個のレジスタを内蔵しています。レジスタ間のオペレーション実行時間は、CPU クロックの 1 サイクルです。

レジスタの内の 4 個 (R0~R3) は、それぞれプログラム・カウンタ、スタック・ポインタ、ステータス・レジスタ、及びコンスタント・ジェネレータ (定数発生回路) として割り当てられています。残りのレジスタは、汎用レジスタです。

ペリフェラルは、データ、アドレス、及びコントロール・バスを使って CPU に接続され、すべての命令によって取り扱うことができます。

命令セット

命令セットは 3 つのフォーマット及び 7 つのアドレス・モードを持った 51 の命令から成ります。それぞれの命令は、ワード及びバイト・データに基づいて実行することができます。表 1 は命令フォーマットの 3 つのタイプの例を示します。表 2 にアドレス・モードを示します。

プログラム・カウンタ	PC/R0
スタック・ポインタ	SP/R1
ステータス・レジスタ	SR/CG1/R2
コンスタント・ジェネレータ	CG2/R3
汎用レジスタ	R4
汎用レジスタ	R5
汎用レジスタ	R6
汎用レジスタ	R7
汎用レジスタ	R8
汎用レジスタ	R9
汎用レジスタ	R10
汎用レジスタ	R11
汎用レジスタ	R12
汎用レジスタ	R13
汎用レジスタ	R14
汎用レジスタ	R15

表 1. 命令ワード・フォーマット

デュアル・オペランド (ソース-デスティネーション)	例、ADD R4, R5	R4 + R5 → R5
シングル・オペランド (デスティネーションのみ)	例、CALL R8	PC → (TOS), R8 → PC
相対ジャンプ (無条件/条件付き)	例、JNE	Jump-on-equal bit = 0

表 2 アドレス・モード

アドレス・モード	S	D	構文	例	動作
レジスタ	●	●	MOV Rs, Rd	MOV R10, R11	R10 → R11
インデックス	●	●	MOV X(Rn), Y(Rm)	MOV 2(R5), 6(R6)	M(2+R5) → M(6+R6)
シンボリック (PC 対応)	●	●	MOV EDE, TONI		M(EDE) → M(TONI)
絶対	●	●	MOV &MEM, &TCDAT		M(MEM) → M(TCDAT)
間接	●		MOV @Rn, Y(Rm)	MOV @R10, Tab(R6)	M(R10) → M(Tab+R6)
間接 (自動インクリメント)	●		MOV @Rn+, Rm	MOV @R10+, R11	M(R10) → R11 R10 + 2 → R10
即時	●		MOV #X, TONI	MOV #45, TONI	#45 → M(TONI)

(注) S = ソース、D = デスティネーション

動作モード

MSP430 には、1 つのアクティブ・モードと、ソフトウェアで選択可能な 5 つの低消費電力動作モードがあります。割り込みイベントにより、デバイスを 5 つの低消費電力モードのどれからでもウェイクアップすることができ、要求に応え、そして、割り込みプログラムから戻るのに伴って低消費電力モードに戻ることができます。

次の 6 つの動作モードを、ソフトウェアによって構成することができます：

- アクティブ・モード AM ;
 - すべてのクロックはアクティブ
- 低消費電力モード 0 (LPM0) ;
 - CPU はディスエーブル
ACLK 及び SMCLK はアクティブのまま。MCLK はディスエーブル
- 低消費電力モード 1 (LPM1) ;
 - CPU はディスエーブル
FLL+ ループ制御はディスエーブル
ACLK 及び SMCLK はアクティブのまま。MCLK はディスエーブル
- 低消費電力モード 2 (LPM2) ;
 - CPU はディスエーブル
MCLK、FLL+ ループ制御、及び DCOCLK はディスエーブル
DCO の DC 発生回路はイネーブルのまま
ACLK はアクティブのまま
- 低消費電力モード 3 (LPM3) ;
 - CPU はディスエーブル
MCLK、FLL+ ループ制御、及び DCOCLK はディスエーブル
DCO の DC 発生回路はディスエーブル
ACLK はアクティブのまま
- 低消費電力モード 4 (LPM4) ;
 - CPU はディスエーブル
ACLK はディスエーブル
MCLK、FLL+ ループ制御、及び DCOCLK はディスエーブル
DCO の DC 発生回路はディスエーブル
クリスタル・オシレータは停止

MSP430x43x、MSP430x44x
ミックスド・シグナル・マイクロコントローラ

SLAS446 - 2005年4月

割り込みベクタ・アドレス

割り込みベクタ及びパワー・アップの開始アドレスは、アドレス範囲 0FFFh ~ 0FFE0h に位置します。ベクタは、適切な割り込み処理命令シーケンスの 16 ビット アドレスを含みます。

割り込みソース	割り込みフラグ	システム割り込み	ワード・アドレス	優先順位
パワー・アップ 外部リセット ウォッチドッグ フラッシュ・メモリ	WDTIFG KEYV (注 1)	リセット	0FFFEh	15 (最上位)
NMI オシレータ障害 フラッシュ・メモリ アクセス違反	NMIIFG (注 1, 3) OFIFG (注 1, 3) ACCVIFG (注 1, 3)	マスク可能 (不可能) マスク可能 (不可能) マスク可能 (不可能)	0FFFCh	14
タイマ_B7 †	TBCCR0 CCIFG (注 2)	マスク可能	0FFFAh	13
タイマ_B7 †	TBCCR1 ~ TBCCR6 CCIFG、 TBIFG (注 1, 2)	マスク可能	0FFF8h	12
コンパレータ_A	CAIFG	マスク可能	0FFF6h	11
ウォッチドッグ・タイマ	WDTIFG	マスク可能	0FFF4h	10
USART0 受信	URXIFGO	マスク可能	0FFF2h	9
USART0 送信	UTXIFGO	マスク可能	0FFF0h	8
ADC12	ADC12IFG (注 1, 2)	マスク可能	0FFEEh	7
タイマ_A3	TACCR0 CCIFG (注 2)	マスク可能	0FFECCh	6
タイマ_A3	TACCR1 及び TACCR2 CCIFG、 TAIFG (注 1, 2)	マスク可能	0FFEAh	5
I/O ポート P1 (8 つのフラグ)	P1IFG.0 ~ P1IFG.7 (注 1, 2)	マスク可能	0FFE8h	4
USART1 受信	URXIFG1	マスク可能	0FFE6h	3
USART1 送信	UTXIFG1	マスク可能	0FFE4h	2
I/O ポート P2 (8 つのフラグ)	P2IFG.0 ~ P2IFG.7 (注 1, 2)	マスク可能	0FFE2h	1
Basic Timer1	BTIFG	マスク可能	0FFE0h	0 (最下位)

† 43x は、TBCCR0、1、及び 2 CCIFG フラグ及び TBIFG でタイマ_B3 を使用します。44x は、TBCCR0 CCIFG、TBCCR1 ~ TBCCR6 CCIFG、及び TBIFG でタイマ_B7 を使用します。

‡ USART1 は 44x のみに内蔵されています。

(注 1) 複数のソース・フラグ

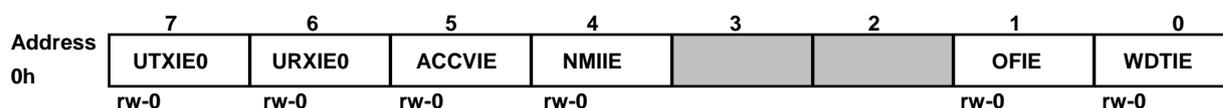
(注 2) 割り込みフラグはモジュールの中にあります。

(注 3) マスク可能 (不可能) : 個々の割り込みイネーブル・ビットにより、割り込みイベントをディスエーブルにすることができます。しかし、汎用割り込みイネーブルでは、それをディスエーブルにすることはできません。

スペシャル・ファンクション・レジスタ

大部分の割り込み及びモジュール・イネーブル・ビットは、最下位アドレス空間に集約されています。機能が割り当てられていないスペシャル・ファンクション・レジスタ・ビットは、実際のデバイスにも内蔵されておられません。これによって容易にソフトウェアによりアクセス可能です。

割り込みイネーブル 1、2

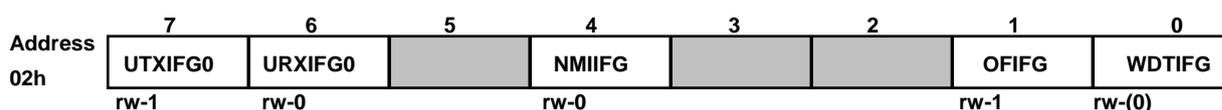


- WDTIE : ウォッチドッグ・タイマ割り込みイネーブル。ウォッチドッグ・モードが選択された場合はインアクティブとなります。ウォッチドッグ・タイマがインターバル・タイマ・モードとして構成された場合はアクティブとなります。
- OFIE : オシレータ障害割り込みイネーブル
- NMIIE : マスク不可能な割り込みイネーブル
- ACCVIE : フラッシュ・アクセス違反割り込みイネーブル
- URXIE0 : USART0 : UART 及び SPI 受信割り込みイネーブル
- UTXIE0 : USART0 : UART 及び SPI 送信割り込みイネーブル

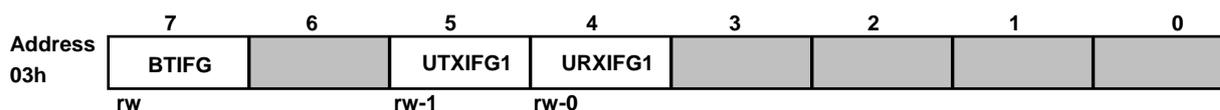


- URXIE1 : USART1 : UART 及び SPI 受信割り込みイネーブル (MSP430F44x デバイスのみ)
- UTXIE1 : USART1 : UART 及び SPI 送信 (MSP430F44x デバイスのみ)
- BTIE : Basic timer 割り込みイネーブル

割り込みフラグ・レジスタ 1、2



- WDTIFG : ウォッチドッグ・タイマ・オーバーフロー (ウォッチドッグ・モード) 又はセキュリティ・キー違反でセットされます。V_{CC} パワー・アップ又はリセット・モードでの RST/NMI 端子のリセット条件でリセットされます。
- OFIFG : オシレータの異常でフラグがセットされます。
- NMIIFG : RST/NMI 端子によってセットされます。
- URXIFG0 : USART0 : UART 及び SPI 受信フラグ
- UTXIFG0 : USART0 : UART 及び SPI 送信フラグ



- URXIFG1 : USART1 : UART 及び SPI 受信フラグ (MSP430F44x デバイスのみ)
- UTXIFG1 : USART1 : UART 及び SPI 送信フラグ (MSP430F44x デバイスのみ)
- BTIFG : Basic timer フラグ

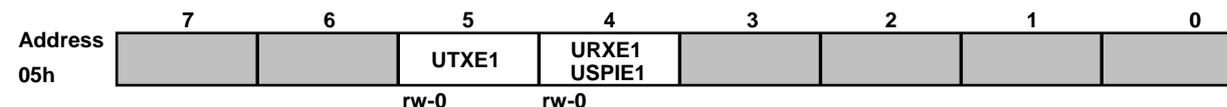
MSP430x43x、MSP430x44x
ミックスド・シグナル・マイクロコントローラ

SLAS446 - 2005年4月

モジュール・イネーブル・レジスタ 1、2



URXE0 : USART0 : UART モード受信イネーブル
 UTXE0 : USART0 : UART モード送信イネーブル
 USPIE0 : USART0 : SPI モード送信及び受信イネーブル



URXE1 : USART1 : UART モード受信イネーブル (MSP430F44x デバイスのみ)
 UTXE1 : USART1 : UART モード送信イネーブル (MSP430F44x デバイスのみ)
 USPIE1 : USART1 : SPI モード送信及び受信イネーブル (MSP430F44x デバイスのみ)

説明 rw : ビットは、読み出し及び書き込みをすることができます。
 rw-0, 1 : ビットは、読み出し及び書き込みをすることができます。PUC によりリセット又はセットされます。
 rw-(0, 1) : ビットは、読み出し及び書き込みをすることができます。POR によりリセット又はセットされます。
 ■ デバイスには、SFR ビットが存在しません。

メモリ構成

		MSP430F435	MSP430F436	MSP430F437 MSP430F447	MSP430F448	MSP430F449
メモリ	サイズ	16KB	24KB	32KB	48KB	60KB
メイン: 割り込みベクタ	フラッシュ	0FFFFh - 0FFE0h				
メイン: コード・メモリ	フラッシュ	0FFFFh - 0C000h	0FFFFh - 0A000h	0FFFFh - 08000h	0FFFFh - 04000h	0FFFFh - 01100h
情報メモリ	サイズ フラッシュ	256 バイト 010FFh - 01000h				
起動メモリ	サイズ ROM	1KB 0FFFh - 0C00h				
RAM	サイズ	512 バイト 03FFh - 0200h	1K バイト 05FFh - 0200h	1KB 05FFh - 0200h	2KB 09FFh - 0200h	2KB 09FFh - 0200h
パリティ	16 ビット	01FFh - 0100h				
	8 ビット	0FFh - 010h				
	8 ビット SFR	0Fh - 00h				

ブートストラップ・ローダ (BSL)

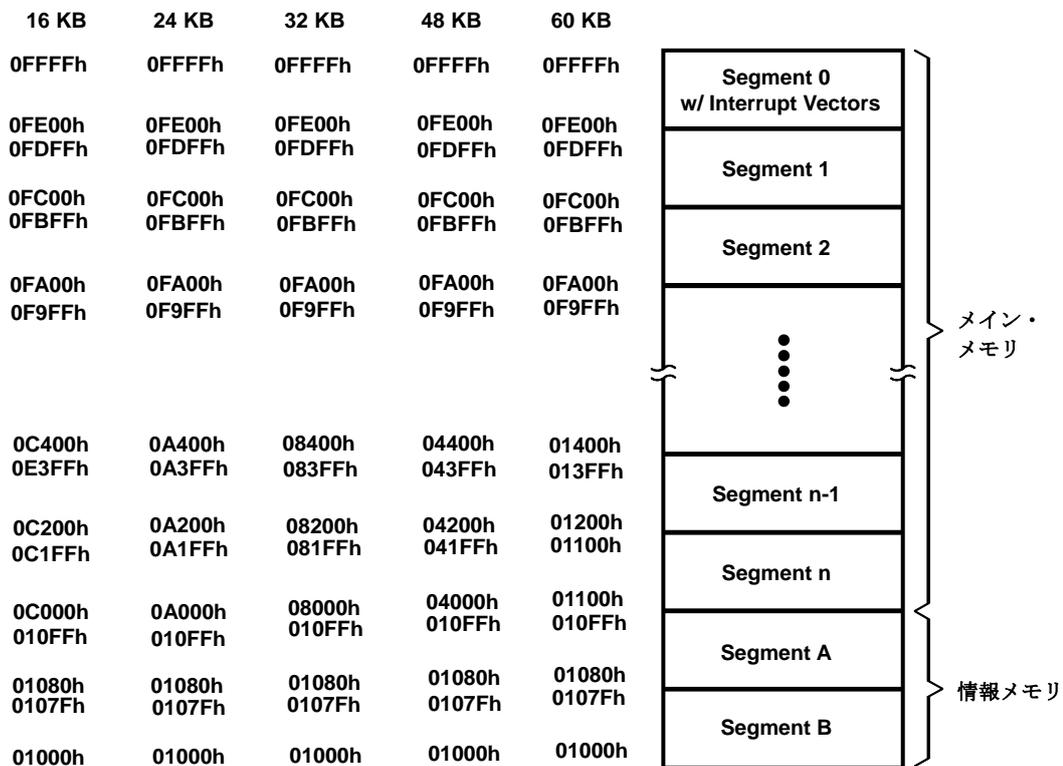
MSP430 ブートストラップ・ローダ (BSL) により、ユーザーは UART シリアル・インタフェースを使用してフラッシュ・メモリ又は RAM をプログラムすることができます。BSL を経由した MSP430 メモリへのアクセスは、ユーザーによって定義されたパスワードにより保護されています。BSL 及びその実施方法の詳細は、アプリケーション・レポート *MSP430 ブートストラップ・ローダの特徴* "Features of the MSP430 Bootstrap Loader" (資料番号 SLAA089) を参照して下さい。

BSL 機能	PN パッケージ端子	PZ パッケージ端子
データ送信	67 - P1.0	87 - P1.0
データ受信	66 - P1.1	86 - P1.1

フラッシュ・メモリ

フラッシュ・メモリは、JTAG ポート、ブートストラップ・ローダ、又は CPU によるイン・システムによりプログラムすることができます。CPU はフラッシュ・メモリに対して、1 バイト及び 1 ワードの書き込みを行うことができます。フラッシュ・メモリは、以下の特徴を持っています。:

- フラッシュ・メモリは、n セグメントのメイン・メモリ及び 2 つのセグメントのそれぞれ 128 バイトの情報メモリ (A と B) を持っています。メイン・メモリのそれぞれのセグメントのサイズは 512 バイトです。
- セグメント 0 ~ n は 1 ステップで消去が可能です。あるいは、それぞれのセグメントは個々に消去も可能です。
- セグメント A と B は、個々に又はセグメント 0 ~ n のグループとして消去することができます。セグメント A と B は、情報メモリとも呼ばれます。
- 新しいデバイスでは、数バイトを情報メモリにプログラムしておくことがあります。(製造時のテストのため) ユーザーは、最初に使用する前に情報メモリの消去を実行しなければなりません。



ペリフェラル

ペリフェラルは、データ、アドレス、及びコントロール・バスを通して CPU に接続され、すべての命令を使って取り扱うことができます。モジュールの詳細は、*MSP430x4xx* ファミリ ユーザーズ・ガイド (資料番号 SLAU141、SLAU056) を参照して下さい。

デジタル I/O

6 つの 8 ビット I/O ポート内蔵：ポート P1 ~ P6

- すべての個々の I/O ビットは、独立してプログラム可能です。
- 入力、出力、及び割り込み条件のどんな組み合わせでも可能です。
- ポート P1 及び P2 のすべての 8 ビットは、エッジ選択可能な割り込み入力に設定可能です。
- ポート・コントロール・レジスタへの読み出し/書き込みアクセスは、すべての命令により可能です。

オシレータ及びシステム・クロック

MSP430x43x 及び MSP430x44x ファミリ・デバイスのクロック・システムは、32768 Hz の時計用クリスタル・オシレータ、内部デジタル制御オシレータ (DCO)、及び高周波クリスタル・オシレータのサポートを含む FLL+ モジュールで構成されています。FLL+ クロック・モジュールは、安いシステム・コストと低消費電力の必要条件を満たすように設計されています。FLL+ は、デジタル変調器と共に時計用クリスタル周波数の何倍かにプログラムすることができる DCO 周波数を安定化するデジタル周波数ロック・ループ (FLL) ハードウェアを特徴として持っています。内部 DCO は、高速ターン・オン・クロック・ソースを提供し、6 μ s 以内に安定します。FLL+ モジュールは次のクロック信号を提供します：

- 補助クロック (ACLK)：32768 Hz の時計用クリスタル又は高周波クリスタルから供給
- メイン・クロック (MCLK)：CPU によって使用されるシステム・クロック
- サブ・メイン・クロック (SMCLK)：ペリフェラル・モジュールによって使用されるサブ・システム・クロック

ブラウンアウト、電源電圧監視

ブラウンアウト回路は、パワー・オン及びパワー・オフ時にデバイスに適切な内部リセット信号を供給するために内蔵されています。電源電圧監視回路 (SVS) は、電源電圧がユーザーが設定したレベル以下に下がっているかどうかを検出し、電源電圧の監視 (デバイスは自動的にリセットされます) と電源電圧のモニタ (SVM、デバイスは自動的にリセットされません) の両方を行います。

CPU は、ブラウンアウト回路がデバイス リセットを指示した後、コード実行を開始します。しかし、その時点では Vcc は Vcc(min) に到達していないかもしれません。ユーザーは、Vcc が Vcc(min) に到達するまでは、デフォルトの FLL+ 設定が変わらないようにしなければなりません。もし必要ならば、いつ Vcc が Vcc(min) に到達したかを知るのに電源電圧監視回路を使用することもできます。

ハードウェア・マルチプライヤ (MSP430x44x のみ)

マルチプライ動作は、専用ペリフェラル・モジュールによって行われます。このモジュールは、16x16、16x8、8x16、及び 8x8 ビット動作を行います。このモジュールは、符号付き及び符号なしマルチプライ及びアキュムレート動作 (積和演算) と同様に符号付き及び符号なしマルチプライ動作 (乗算) を行います。動作結果は、オペランドがペリフェラル・レジスタにロードされると直にアクセス可能になります。追加のクロック・サイクルは必要ありません。

ウォッチドッグ・タイマ

ウォッチドッグ・タイマ (WDT) モジュールの基本的な機能は、ソフトウェア障害が発生した後、制御されたシステムの再開を行うことです。設定された時間間隔が経過すると、システム・リセットが生成されます。ウォッチドッグ機能が不要でないアプリケーションでは、モジュールはインターバル・タイマとして設定することができます。設定された時間間隔で割り込みを発生することができます。

USART0

MSP430x43x 及び MSP430x44x デバイスは、シリアル・データ通信のために使用される 1 つのハードウェア USART パリフェラル・モジュール (USART0) を持っています。USART は、同期式 SPI (3 又は 4 ピン) 及び、非同期 UART 通信プロトコルに使用でき、二重バッファ送信及び受信チャンネルを使用します。

USART1 (MSP430x44x のみ)

MSP430x44x は、シリアル・データ通信のために使用される 2 番目のハードウェア USART パリフェラル・モジュール (USART1) を持っています。USART は、同期式 SPI (3 又は 4 ピン) 及び、非同期 UART 通信プロトコルに使用でき、二重バッファ送信及び受信チャンネルを使用します。USART1 の動作は USART0 の動作と同じです。

タイマ_A3

タイマ_A3 は、3 つのキャプチャ/コンペア・レジスタ付きの 16 ビット タイマ/カウンタです。タイマ_A3 により、複数のキャプチャ/コンペア、PWM 出力、及びインターバル・タイミングを利用することができます。タイマ_A3 にも、拡張割り込みの機能があります。割り込みは、オーバーフロー状態のカウンタから、及びキャプチャ/コンペア・レジスタのそれぞれから生成されることがあります。

タイマ_A3 信号の接続							
入力端子番号		デバイス 入力信号	モジュール 入力名	モジュール・ ブロック	モジュール 出力信号	出力端子番号	
PN	PZ					PN	PZ
62 - P1.5	82 - P1.5	TACLK	TACLK	Timer	NA		
		ACLK	ACLK				
		SMCLK	SMCLK				
62 - P1.5	82 - P1.5	TACLK	INCLK				
67 - P1.0	87 - P1.0	TA0	CCIOA	CCR0	TA0	67 - P1.0	87 - P1.0
66 - P1.1	86 - P1.1	TA0	CCIOB				
		DV _{SS}	GND				
		DV _{CC}	V _{CC}				
65 - P1.2	85 - P1.2	TA1	CCI1A	CCR1	TA1	14 - P1.2	85 - P1.2
		CAOUT (内部)	CCI1B			ADC12 (内部)	
		DV _{SS}	GND				
		DV _{CC}	V _{CC}				
59 - P2.0	79 - P2.0	TA2	CCI2A	CCR2	TA2	15 - P1.3	79 - P2.0
		ACLK (内部)	CCI2B				
		DV _{SS}	GND				
		DV _{CC}	V _{CC}				

タイマ_B3 (MSP430x43x のみ)

タイマ_B3 は、3 つのキャプチャ/コンペア・レジスタ付きの 16 ビット タイマ/カウンタです。タイマ_B3 により、複数のキャプチャ/コンペア、PWM 出力、及びインターバル・タイミングを利用することができます。タイマ_B3 にも、拡張割り込みの機能があります。割り込みは、オーバーフロー状態のカウンタから、及びキャプチャ/コンペア・レジスタのそれぞれから生成されることがあります。

MSP430x43x、MSP430x44x
ミックスド・シグナル・マイクロコントローラ

SLAS446 - 2005 年 4 月

タイマ_B7 (MSP430x44x のみ)

タイマ_B7 は、7 つのキャプチャ/コンペア・レジスタ付きの 16 ビット タイマ/カウンタです。タイマ_B7 により、複数のキャプチャ/コンペア、PWM 出力、及びインターバル・タイミングを利用することができます。タイマ_B7 にも、拡張割り込みの機能があります。割り込みは、オーバーフロー状態のカウンタから、及びキャプチャ/コンペア・レジスタのそれぞれから生成されることがあります。

タイマ_B3/B7 信号の接続 †							
入力端子番号		デバイス 入力信号	モジュール 入力名	モジュール・ ブロック	モジュール 出力信号	出力端子番号	
PN	PZ					PN	PZ
63 - P1.4	83 - P1.4	TBCLK	TBCLK	Timer	NA		
		ACLK	ACLK				
		SMCLK	SMCLK				
63 - P1.4	83 - P1.4	TBCLK	INCLK				
58 - P2.1	78 - P2.1	TB0	CCIOA	CCR0	TB0	58 - P2.1	78 - P2.1
		TB0	CCIOB			ADC12 (内部)	
		DV _{ss}	GND				
		DV _{cc}	V _{cc}				
57 - P2.2	77 - P2.2	TB1	CCI1A	CCR1	TB1	57 - P2.2	77 - P2.2
		TB1	CCI1B			ADC12 (内部)	
		DV _{ss}	GND				
		DV _{cc}	V _{cc}				
56 - P2.3	76 - P2.3	TB2	CCI2A	CCR2	TB2	56 - P2.3	76 - P2.3
		TB2	CCI2B				
		DV _{ss}	GND				
		DV _{cc}	V _{cc}				
	67 - P3.4	TB3	CCI3A	CCR3	TB3		67 - P3.4
	67 - P3.4	TB3	CCI3B				
		DV _{ss}	GND				
		DV _{cc}	V _{cc}				
	66 - P3.5	TB4	CCI4A	CCR4	TB4		66 - P3.5
		TB4	CCI4B				
		DV _{ss}	GND				
		DV _{cc}	V _{cc}				
	65 - P3.6	TB5	CCI5A	CCR5	TB5		65 - P3.6
		TB5	CCI5B				
		DV _{ss}	GND				
		DV _{cc}	V _{cc}				
	64 - P3.7	TB6	CCI6A	CCR6	TB6		64 - P3.7
		ACLK (内部)	CCI6B				
		DV _{ss}	GND				
		DV _{cc}	V _{cc}				

† タイマ_B3 には 3 つのキャプチャ/コンペア・ブロックがあります。(CCR0、CCR1、及び CCR2 のみ)

コンパレータ_A

コンパレータ_A モジュールの基本的な機能は、高精度スロープ A/D 変換、バッテリー電圧監視、及び外部アナログ信号のモニタを行うことです。

ADC12

ADC12 モジュールは、高速 12 ビット A/D 変換を行います。モジュールは、12 ビット SAR コア、サンプル選択制御、基準電圧発生回路、及び 16 ワード変換/制御バッファを内蔵しています。変換/制御バッファにより、CPU の仲介なしで 16 までの独立した ADC サンプルを変換し、蓄積することができます。

Basic Timer1

Basic Timer 1 は、2 つの独立した 8 ビット・タイマを持ち、16 ビット・タイマ/カウンタを構成するためにカスケードにすることもできます。両方のタイマは、ソフトウェアによって読み出し/書き込みができます。Basic Timer 1 は、LCD モジュールのために周期的な割り込みとクロックを生成するのに使用することができます。

LCD ドライブ

LCD ドライバは、液晶ディスプレイを駆動するために必要なセグメント及びコモン信号を生成します。LCD コントローラは、セグメント・ドライブ情報を持つために専用のデータ・メモリを持っています。コモン及びセグメント信号は、モードによる定義に従って生成されます。スタティック、2MUX、3MUX、及び 4MUX LCD が、このペリフェラルでサポートされます。

ペリフェラル・ファイル・マップ

ワード・アクセスによるペリフェラル				
ウォッチドッグ	ウォッチドッグ・タイマ制御	WDTCTL	0120h	
タイマ_B7/ タイマ_B3 (注 1)	キャプチャ/コンペア・レジスタ 6	TBCCR6	019Eh	
	キャプチャ/コンペア・レジスタ 5	TBCCR5	019Ch	
	キャプチャ/コンペア・レジスタ 4	TBCCR4	019Ah	
	キャプチャ/コンペア・レジスタ 3	TBCCR3	0198h	
	キャプチャ/コンペア・レジスタ 2	TBCCR2	0196h	
	キャプチャ/コンペア・レジスタ 1	TBCCR1	0194h	
	キャプチャ/コンペア・レジスタ 0	TBCCR0	0192h	
	タイマ_B レジスタ	TBR	0190h	
	キャプチャ/コンペア制御 6	TBCCTL6	018Eh	
	キャプチャ/コンペア制御 5	TBCCTL5	018Ch	
	キャプチャ/コンペア制御 4	TBCCTL4	018Ah	
	キャプチャ/コンペア制御 3	TBCCTL3	0188h	
	キャプチャ/コンペア制御 2	TBCCTL2	0186h	
	キャプチャ/コンペア制御 1	TBCCTL1	0184h	
	キャプチャ/コンペア制御 0	TBCCTL0	0182h	
	タイマ_B 制御	TBCTL	0180h	
	タイマ_B 割り込みベクタ	TBIV	011Eh	
	タイマ_A3	予約されています		017Eh
		予約されています		017Ch
予約されています			017Ah	
予約されています			0178h	
キャプチャ/コンペア・レジスタ 2		TACCR2	0176h	
キャプチャ/コンペア・レジスタ 1		TACCR1	0174h	
キャプチャ/コンペア・レジスタ 0		TACCR0	0172h	
タイマ_A レジスタ		TAR	0170h	
予約されています			016Eh	
予約されています			016Ch	
予約されています			016Ah	
予約されています			0168h	
キャプチャ/コンペア制御 2		TACCTL2	0166h	
キャプチャ/コンペア制御 1		TACCTL1	0164h	
キャプチャ/コンペア制御 0		TACCTL0	0162h	
タイマ_A 制御		TACTL	0160h	
タイマ_A 割り込みベクタ		TAIV	012Eh	
ハードウェア マルチプライヤ (MSP430x44x のみ)		サム拡張	SUMEXT	013Eh
		結果上位ワード	RESHI	013Ch
	結果下位ワード	RESLO	013Ah	
	第 2 オペランド	OP2	0138h	
	符号付きマルチプライ + アキュムレート / オペランド 1	MACS	0136h	
	マルチプライ + アキュムレート / オペランド 1	MAC	0134h	
	符号付きマルチプライ / オペランド 1	MPYS	0132h	
	符号なしマルチプライ / オペランド 1	MPY	0130h	

(注 1) MSP430x44x ファミリのタイマ_B7 には 7 つの CCR があります。MSP430x43x ファミリのタイマ_B3 には 3 つの CCR があります。

ペリフェラル・ファイル・マップ (続き)

ワード・アクセスによるペリフェラル (続き)			
フラッシュ	フラッシュ制御 3	FCTL3	012Ch
	フラッシュ制御 2	FCTL2	012Ah
	フラッシュ制御 1	FCTL1	0128h
ADC12	変換メモリ 15	ADC12MEM15	015Eh
	変換メモリ 14	ADC12MEM14	015Ch
	変換メモリ 13	ADC12MEM13	015Ah
	変換メモリ 12	ADC12MEM12	0158h
	変換メモリ 11	ADC12MEM11	0156h
	変換メモリ 10	ADC12MEM10	0154h
	変換メモリ 9	ADC12MEM9	0152h
	変換メモリ 8	ADC12MEM8	0150h
	変換メモリ 7	ADC12MEM7	014Eh
	変換メモリ 6	ADC12MEM6	014Ch
	変換メモリ 5	ADC12MEM5	014Ah
	変換メモリ 4	ADC12MEM4	0148h
	変換メモリ 3	ADC12MEM3	0146h
	変換メモリ 2	ADC12MEM2	0144h
	変換メモリ 1	ADC12MEM1	0142h
	変換メモリ 0	ADC12MEM0	0140h
	割り込みベクタ・ワード・レジスタ	ADC12IV	01A8h
	割り込みイネーブル・レジスタ	ADC12IE	01A6h
	割り込みフラグ・レジスタ	ADC12IFG	01A4h
	制御レジスタ 1	ADC12CTL1	01A2h
	制御レジスタ 0	ADC12CTL0	01A0h
	ADC メモリ - 制御レジスタ 15	ADC12MCTL15	08Fh
	ADC メモリ - 制御レジスタ 14	ADC12MCTL14	08Eh
	ADC メモリ - 制御レジスタ 13	ADC12MCTL13	08Dh
	ADC メモリ - 制御レジスタ 12	ADC12MCTL12	08Ch
	ADC メモリ - 制御レジスタ 11	ADC12MCTL11	08Bh
	ADC メモリ - 制御レジスタ 10	ADC12MCTL10	08Ah
	ADC メモリ - 制御レジスタ 9	ADC12MCTL9	089h
	ADC メモリ - 制御レジスタ 8	ADC12MCTL8	088h
	ADC メモリ - 制御レジスタ 7	ADC12MCTL7	087h
	ADC メモリ - 制御レジスタ 6	ADC12MCTL6	086h
	ADC メモリ - 制御レジスタ 5	ADC12MCTL5	085h
	ADC メモリ - 制御レジスタ 4	ADC12MCTL4	084h
	ADC メモリ - 制御レジスタ 3	ADC12MCTL3	083h
ADC メモリ - 制御レジスタ 2	ADC12MCTL2	082h	
ADC メモリ - 制御レジスタ 1	ADC12MCTL1	081h	
ADC メモリ - 制御レジスタ 0	ADC12MCTL0	080h	

ペリフェラル・ファイル・マップ (続き)

バイト・アクセスによるペリフェラル			
LCD	LCD メモリ 20 : LCD メモリ 16 LCD メモリ 15 : LCD メモリ 1 LCD 制御 及び モード	LCDM20 : LCDM16 LCDM15 : LCDM1 LCDCTL	0A4h : 0A0h 09Fh : 091h 090h
USART1 (x44x のみ)	送信バッファ 受信バッファ ボー・レート ボー・レート 変調制御 受信制御 送信制御 USART 制御	UITXBUF UIRXBUF UIBR1 UIBRO UIMCTL UIRCTL UITCTL UICL	07Fh 07Eh 07Dh 07Ch 07Bh 07Ah 079h 078h
USART0	送信バッファ 受信バッファ ボー・レート ボー・レート 変調制御 受信制御 送信制御 USART 制御	UOTXBUF UORXBUF UOBR1 UOBRO UOMCTL UORCTL UOTCTL UOCTL	077h 076h 075h 074h 073h 072h 071h 070h
コンパレータ_A	コンパレータ_A ポート ディスエーブル コンパレータ_A 制御 2 コンパレータ_A 制御 1	CAPD CACTL2 CACTL1	05Bh 05Ah 059h
BrownOUT、SVS	SVS 制御レジスタ (ブラウンアウト信号によりリセット)	SVSCTL	056h
FLL+ クロック	FLL+ 制御 1 FLL+ 制御 0 システム・クロック周波数制御 システム・クロック周波数積分器 システム・クロック周波数積分器	FLL_CTL1 FLL_CTL0 SCFQCTL SCFI1 SCFI0	054h 053h 052h 051h 050h
Basic Timer1	BT カウンタ 2 BT カウンタ 1 BT 制御	BTCNT2 BTCNT1 BTCTL	047h 046h 040h
ポート P6	ポート P6 選択 ポート P6 方向 ポート P6 出力 ポート P6 入力	P6SEL P6DIR P6OUT P6IN	037h 036h 035h 034h
ポート P5	ポート P5 選択 ポート P5 方向 ポート P5 出力 ポート P5 入力	P5SEL P5DIR P5OUT P5IN	033h 032h 031h 030h

ペリフェラル・ファイル・マップ (続き)

バイト・アクセスによるペリフェラル (続き)			
ポート P4	ポート P4 選択 ポート P4 方向 ポート P4 出力 ポート P4 入力	P4SEL P4DIR P4OUT P4IN	01Fh 01Eh 01Dh 01Ch
ポート P3	ポート P3 選択 ポート P3 方向 ポート P3 出力 ポート P3 入力	P3SEL P3DIR P3OUT P3IN	01Bh 01Ah 019h 018h
ポート P2	ポート P2 選択 ポート P2 割り込みイネーブル ポート P2 割り込み - エッジ選択 ポート P2 割り込みフラグ ポート P2 方向 ポート P2 出力 ポート P2 入力	P2SEL P2IE P2IES P2IFG P2DIR P2OUT P2IN	02Eh 02Dh 02Ch 02Bh 02Ah 029h 028h
ポート P1	ポート P1 選択 ポート P1 割り込みイネーブル ポート P1 割り込み - エッジ選択 ポート P1 割り込みフラグ ポート P1 方向 ポート P1 出力 ポート P1 入力	P1SEL P1IE P1IES P1IFG P1DIR P1OUT P1IN	026h 025h 024h 023h 022h 021h 020h
スペシャル・ファンクション	SFR モジュール・イネーブル 2 SFR モジュール・イネーブル 1 SFR 割り込みイネーブル 2 SFR 割り込みフラグ 1 SFR 割り込みイネーブル 2 SFR 割り込みイネーブル 1	ME2 ME1 IFG2 IFG1 IE2 IE1	005h 004h 003h 002h 001h 000h

動作温度範囲における絶対最大定格 (特記無き場合)†

印加電圧 ($V_{CC} \sim V_{SS}$ 間)	-0.3 ~ 4.1	V
印加電圧 (全端子) (注)	-0.3 ~ $V_{CC} + 0.3$	V
ダイオード電流 (全端子)	±2	mA
保存温度範囲	未プログラムのデバイス	T_{stg}	-55 ~ 150 °C
	プログラム済みデバイス	-40 ~ 85 °C

† 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これは、ストレスの定格のみについて示してあり、この仕様書の「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

(注) すべての電圧は V_{SS} を基準とします。JTAG ヒューズ切断電圧 V_{FB} は、絶対最大定格を越えても構いません。JTAG ヒューズを切断する時、TDI/TCLK 端子に電圧が印加されます。

MSP430x43x、MSP430x44x
ミックスド・シグナル・マイクロコントローラ

SLAS446 - 2005 年 4 月

推奨動作条件

項 目		最小	標準	最大	単位	
電源電圧 (プログラム実行時)、 V_{CC} ($AV_{CC} = DV_{CC1} = DV_{CC2} = V_{CC}$)		1.8		3.6	V	
電源電圧 (フラッシュ・メモリ プログラム時)、 V_{CC} ($AV_{CC} = DV_{CC1} = DV_{CC2} = V_{CC}$)		2.7		3.6	V	
電源電圧 (プログラム実行時、SVS イネーブル時)、(注 1) V_{CC} ($AV_{CC} = DV_{CC1} = DV_{CC2} = V_{CC}$)		2		3.6	V	
電源電圧、 V_{SS} ($AV_{SS} = DV_{SS1} = DV_{SS2} = V_{SS}$)		0		0	V	
動作温度、 T_A		-40		85	°C	
LFXT1 クリスタル周波数、 $f_{(LFXT1)}$ (注 2)	LF 選択時、XTS_FLL = 0	時計用クリスタル		32.768	kHz	
	XT1 選択時、XTS_FLL = 1	セラミック発振子		450	8000	kHz
	XT1 選択時、XTS_FLL = 1	クリスタル		1000	8000	kHz
XT2 クリスタル周波数、 $f_{(XT2)}$	セラミック発振子		450	8000	kHz	
	クリスタル		1000	8000		
プロセッサ周波数(MCLK 信号)、 $f_{(System)}$	$V_{CC} = 1.8$ V	DC		4.15	MHz	
	$V_{CC} = 3.6$ V	DC		8		

(注 1) 最小動作電源電圧は、電源電圧を下降させて POR がアクティブとなるトリップ・ポイントで定義します。POR は、電源電圧が最小電源電圧 + SVS 回路のヒステリシスより上昇するとインアクティブとなります。

(注 2) LF モードでは、LFXT1 オシレータには時計用クリスタルが必要です。
XT1 モードでは、LFXT1 にはセラミック発振子又はクリスタルが使用できます。

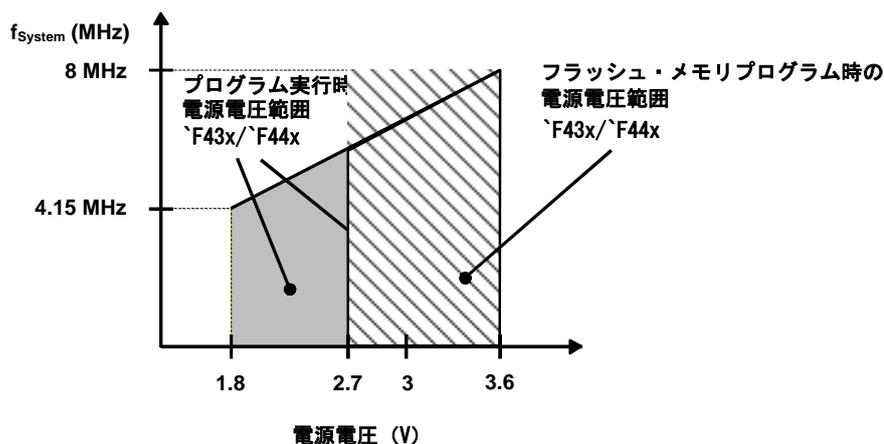


図 1. 電源電圧対周波数、MSP430F43x 又は MSP430F44x

推奨動作温度範囲における電气的特性 (特記無き場合)

電源電流 ($V_{CC} + DV_{CC}$) (外部電流を除く)

項目	測定条件	最小	標準	最大	単位	
$I_{(AM)}$ アクティブ・モード (注 1)、 $f_{(MCLK)} = f_{(SMCLK)} = 1 \text{ MHz}$ 、 $f_{(ACLK)} = 32,768 \text{ Hz}$ 、 $XTS_FLL = 0$ 、 $SELM = (0, 1)$	$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	280	350	μA	
		$V_{CC} = 3 \text{ V}$	420	560		
$I_{(LPM0)}$ ロー・パワー・モード (LPM0) (注 1)	$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	32	45	μA	
		$V_{CC} = 3 \text{ V}$	55	70		
$I_{(LPM2)}$ ロー・パワー・モード (LPM2)、 $f_{(MCLK)} = f_{(SMCLK)} = 0 \text{ MHz}$ 、 $f_{(ACLK)} = 32,768 \text{ Hz}$ 、 $SCGO = 0$ (注 2)	$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	11	14	μA	
		$V_{CC} = 3 \text{ V}$	17	22		
$I_{(LPM3)}$ ロー・パワー・モード (LPM3) $f_{(MCLK)} = f_{(SMCLK)} = 0 \text{ MHz}$ 、 $f_{(ACLK)} = 32,768 \text{ Hz}$ 、 $SCGO = 1$ (注 3)	$T_A = -40^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	1	1.5	μA	
			$T_A = 25^\circ\text{C}$	1.1		1.5
			$T_A = 60^\circ\text{C}$	2		3
			$T_A = 85^\circ\text{C}$	3.5		6
	$T_A = -40^\circ\text{C}$	$V_{CC} = 3 \text{ V}$	1.8	2.2		
			$T_A = 25^\circ\text{C}$	1.6		1.9
			$T_A = 60^\circ\text{C}$	2.5		3.5
			$T_A = 85^\circ\text{C}$	4.2		7.5
$I_{(LPM4)}$ ロー・パワー・モード (LPM4)、 $f_{(MCLK)} = 0 \text{ MHz}$ 、 $f_{(SMCLK)} = 0 \text{ MHz}$ 、 $f_{(ACLK)} = 0 \text{ Hz}$ 、 $SCGO = 1$ (注 2)	$T_A = -40^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	0.1	0.5	μA	
			$T_A = 25^\circ\text{C}$	0.1		0.5
			$T_A = 60^\circ\text{C}$	0.7		1.1
			$T_A = 85^\circ\text{C}$	1.7		3
	$T_A = -40^\circ\text{C}$	$V_{CC} = 3 \text{ V}$	0.1	0.5		
			$T_A = 25^\circ\text{C}$	0.1		0.5
			$T_A = 60^\circ\text{C}$	0.8		1.2
			$T_A = 85^\circ\text{C}$	1.9		3.5

(注 1) タイマ_B は、 $f_{(DCOCLK)} = 1 \text{ MHz}$ によって駆動されます。すべての入力は、0 V 又は V_{CC} に接続します。出力にはソース電流、シンク電流を流しません。

(注 2) すべての入力は、0 V 又は V_{CC} に接続します。

(注 3) すべての入力は、0 V 又は V_{CC} に接続します。出力にはソース電流、シンク電流を流しません。LPM3 での消費電流は、Basic Timer1 及び LCD がアクティブ状態 (ACLK 選択時) で測定します。コンパレータ_A 及び SVS モジュールの消費電流は各セクションで規定されています。LPM3 電流は、KDS 大真空 DT-38 (6 pF) クリスタルを使用し、 $OSCCAPx = 01h$ で規定されています。

アクティブ・モードのシステム周波数対消費電流、F バージョン

$$I_{(AM)} = I_{(AM) [1 \text{ MHz}]} \times f_{(System)} [\text{MHz}]$$

アクティブ・モードの電源電圧対消費電流、F バージョン

$$I_{(AM)} = I_{(AM) [3 \text{ V}]} + 175 \mu\text{A/V} \times (V_{CC} - 3 \text{ V})$$

MSP430x43x、MSP430x44x
ミックスド・シグナル・マイクロコントローラ

SLAS446 – 2005年4月

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

シュミット・トリガ入力 – ポート P1、P2、P3、P4、P5、P6

項 目	測定条件	最小	標準	最大	単位
V _{IT+} 立ち上がり入力スレッショルド電圧	V _{CC} = 2.2 V	1.1		1.5	V
	V _{CC} = 3 V	1.5		1.9	
V _{IT-} 立ち下がり入力スレッショルド電圧	V _{CC} = 2.2 V	0.4		0.9	V
	V _{CC} = 3 V	0.9		1.3	
V _{hys} 入力電圧ヒステリシス (V _{IT+} - V _{IT-})	V _{CC} = 2.2 V	0.3		1.1	V
	V _{CC} = 3 V	0.5		1	

標準入力 – RST/NMI; JTAG: TCK、TMS、TDI/TCLK

項 目	測定条件	最小	標準	最大	単位
V _{IL} ロー・レベル入力電圧	V _{CC} = 2.2 V / 3 V	V _{SS}	V _{SS} + 0.6		V
V _{IH} ハイ・レベル入力電圧		0.8 x V _{CC}		V _{CC}	V

入力 P_{x.x}、TA_x、TB_x

項 目	測定条件	V _{CC}	最小	標準	最大	単位
t _(int) 外部割り込みタイミング	ポート P1、P2: P1.x ~ P2.x、割り込みフ ラグ用外部トリガ信号 (注 1)	2.2 V/3 V	1.5			cycle
		2.2 V	62			ns
		3 V	50			
t _(cap) タイマ_A、タイマ_B キャプチャ・ タイミング	TA0、TA1、TA2 TB0、TB1、TB2、TB3、TB4、TB5、TB6 (注 2)	2.2 V	62			ns
		3 V	50			
f _(TAext)	外部から印加するタイマ_A、タ イマ_B クロック周波数	TACLK、TBCLK、INCLK: t ₍₀₎ = t ₍₁₎	2.2 V		8	MHz
f _(TBext)			3 V		10	
f _(TAint)	タイマ_A、タイマ_B クロック周 波数	SMCLK 又は ACLK 信号選択時	2.2 V		8	MHz
f _(TBint)			3 V		10	

(注 1) 外部信号は、最小 t_(int) サイクル及び時間のパラメータが適合するたびに毎に割り込みフラグをセットします。トリガ信号が t_(int) より短い場合にもセットされることがあります。フラグを確実にセットするためには、サイクルとタイミング仕様は両方とも適合しなければなりません。t_(int) は MCLK サイクルで測定します。

(注 2) `x44x には 7 つのキャプチャ/コンペア・レジスタがあります。`x43x には 3 つのキャプチャ/コンペア・レジスタがあります。

リーク電流 (注 1、2)

項 目	測定条件		最小	標準	最大	単位
I _{1kg(P1.x)}	リーク電流 (注 1)	ポート P1 V _(P1.x)	V _{CC} = 2.2 V/3 V		±50	nA
I _{1kg(P6.x)}		ポート P6 V _(P6.x)			±50	

(注 1) 特記無き場合、リーク電流は対応する端子に V_{SS} 又は V_{CC} を印加して測定します。

(注 2) ポート端子は入力となるように選択し、プルアップ又はプルダウン抵抗がない状態とします。

推奨動作温度範囲における電气的特性 (特記無き場合) (続き)

出力 - ポート P1、P2、P3、P4、P5、P6

項 目		測定条件			最小	標準	最大	単位
V _{OH}	ハイ・レベル出力電圧	I _{OH(max)} = -1.5 mA	V _{CC} = 2.2 V	(注 1)	V _{CC} - 0.25	V _{CC}	V	
		I _{OH(max)} = -6 mA		(注 2)	V _{CC} - 0.6	V _{CC}		
		I _{OH(max)} = -1.5 mA	V _{CC} = 3 V	(注 1)	V _{CC} - 0.25	V _{CC}		
		I _{OH(max)} = -6 mA		(注 2)	V _{CC} - 0.6	V _{CC}		
V _{OL}	ロー・レベル出力電圧	I _{OL(max)} = 1.5 mA	V _{CC} = 2.2 V	(注 1)	V _{SS}	V _{SS} + 0.25	V	
		I _{OL(max)} = 6 mA		(注 2)	V _{SS}	V _{SS} + 0.6		
		I _{OL(max)} = 1.5 mA	V _{CC} = 3 V	(注 1)	V _{SS}	V _{SS} + 0.25		
		I _{OL(max)} = 6 mA		(注 2)	V _{SS}	V _{SS} + 0.6		

(注 1) 全出力の最大電流 I_{OH(max)} と I_{OL(max)} の合計は、規定の最大電圧降下を保持するため ±12 mA を越えてはいけません。

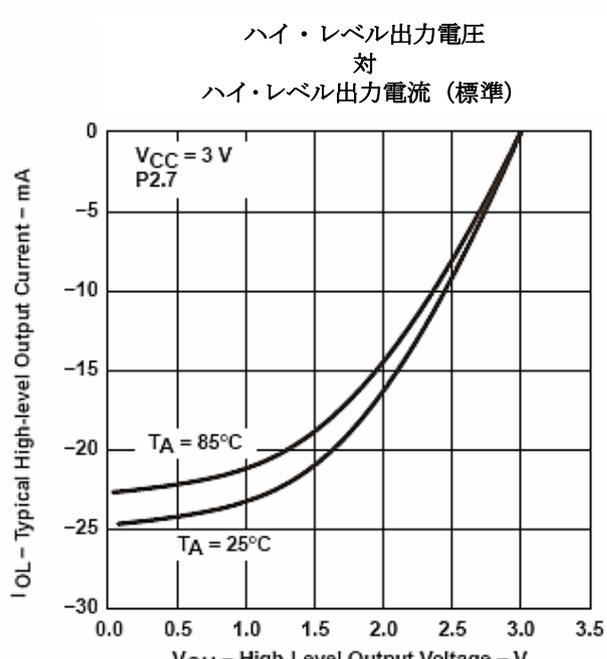
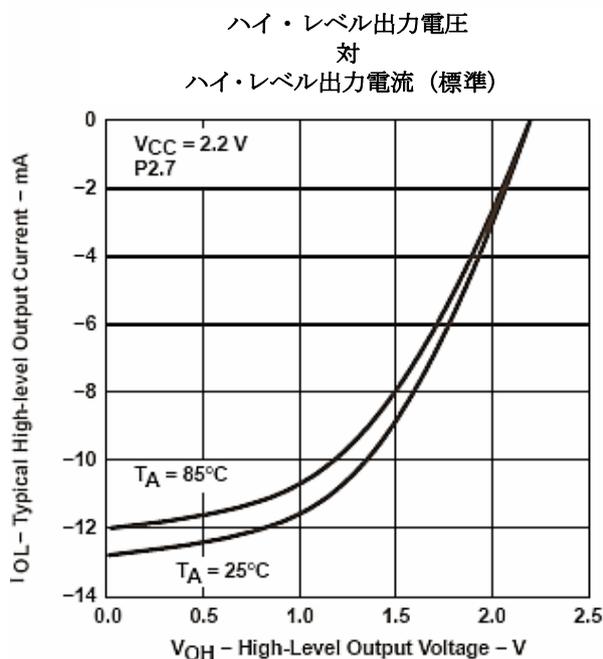
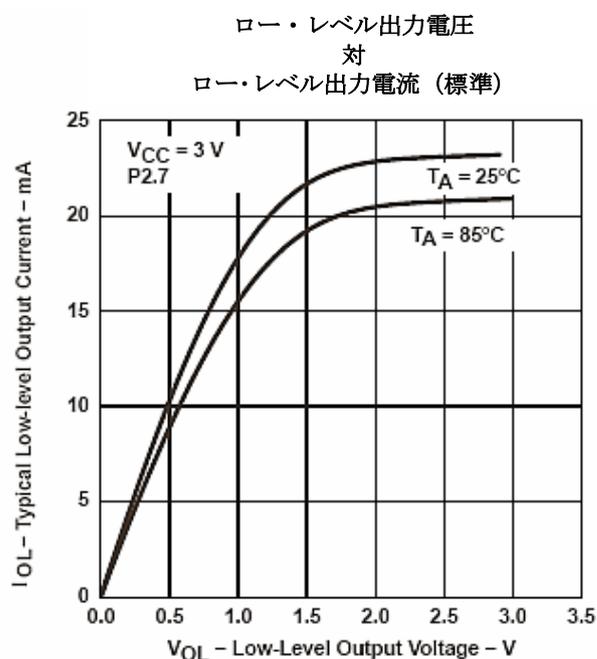
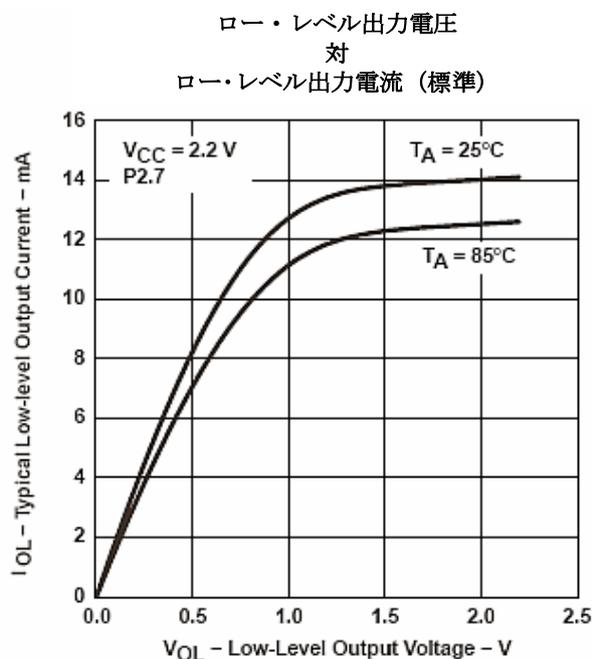
(注 2) 全出力の最大電流 I_{OH(max)} と I_{OL(max)} の合計は、規定の最大電圧降下を保持するため ±48 mA を越えてはいけません。

出力周波数

項 目		測定条件		最小	標準	最大	単位
f _(Px.y)	(1 ≤ x ≤ 6, 0 ≤ y ≤ 7)	C _L = 20 pF, I _L = ±1.5 mA	V _{CC} = 2.2 V	DC		5	MHz
			V _{CC} = 3 V	DC		7.5	
f _(ACLK) f _(MCLK) f _(SMCLK)	P1.1/TA0/MCLK、 P1.5/TACLK/ACLK、 P1.4/TBCLK/SMCLK	C _L = 20 pF				f _(System)	MHz
t _(xdc)	出力周波数デューティ比	P1.5/TACLK/ACLK、 C _L = 20 pF、 V _{CC} = 2.2 V / 3 V	f _(ACLK) = f _(LFX1) = f _(XT1)	40%		60%	
			f _(ACLK) = f _(LFX1) = f _(LF)	30%		70%	
			f _(ACLK) = f _(LFX1)		50%		
		P1.1/TA0/MCLK、 C _L = 20 pF、 V _{CC} = 2.2 V / 3 V	f _(MCLK) = f _(XT1)	40%		60%	
			f _(MCLK) = f _(DCOCLK)	50% - 15 ns	50%	50% + 15 ns	
		P1.4/TBCLK/SMCLK、 C _L = 20 pF、 V _{CC} = 2.2 V / 3 V	f _(SMCLK) = f _(XT2)	40%		60%	
f _(SMCLK) = f _(DCOCLK)	50% - 15 ns		50%	50% + 15 ns			

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

出力 - ポート P1、P2、P3、P4、P5、P6 (続き)



推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

ウェーク・アップ LPM3

項 目		測定条件		最小	標準	最大	単位
$t_{d(LPM3)}$	遅延時間	$f = 1 \text{ MHz}$	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$			6	μs
		$f = 2 \text{ MHz}$				6	
		$f = 3 \text{ MHz}$				6	

RAM

項 目		最小	標準	最大	単位
$V_{(RAMh)}$	CPU 停止 (HALT) 時 (注 1)	1.6			V

(注 1) このパラメータは、プログラム・メモリ RAM のデータが保持される時の最小電源電圧を定義します。この電源電圧の条件ではプログラムを実行させないで下さい。

LCD

項 目		測定条件		最小	標準	最大	単位
$V_{(33)}$	アナログ電圧	P5.7/R33 の電圧	$V_{CC} = 3 \text{ V}$	2.5		$V_{CC} + 0.2$	V
$V_{(23)}$		P5.6/R23 の電圧		$[V_{(33)} - V_{(03)}] \times 2/3 + V_{(03)}$			
$V_{(13)}$		P5.5/R13 の電圧		$[V_{(33)} - V_{(03)}] \times 1/3 + V_{(03)}$			
$V_{(33)} - V_{(03)}$		R33 ~ R03 の電圧		2.5		$V_{CC} + 0.2$	
$I_{(R03)}$	入力リーク電流	$R03 = V_{SS}$	全セグメント出力ライン及び共通出力ラインは無負荷、 $V_{CC} = 3 \text{ V}$			± 20	nA
$I_{(R13)}$		$P5.5/R13 = V_{CC}/3$				± 20	
$I_{(R23)}$		$P5.6/R23 = 2 \times V_{CC}/3$				± 20	
$V_{(Sxx0)}$	セグメント・ライン電圧	$I_{(Sxx)} = -3 \mu\text{A}$	$V_{CC} = 3 \text{ V}$	$V_{(03)}$		$V_{(03)} - 0.1$	V
$V_{(Sxx1)}$				$V_{(13)}$		$V_{(13)} - 0.1$	
$V_{(Sxx2)}$				$V_{(23)}$		$V_{(23)} - 0.1$	
$V_{(Sxx3)}$				$V_{(33)}$		$V_{(33)} + 0.1$	

MSP430x43x、MSP430x44x
 ミックスド・シグナル・マイクロコントローラ

SLAS446 – 2005 年 4 月

コンパレータ_A (注 1)

項 目	測定条件	最小	標準	最大	単位		
$I_{(CC)}$	CAON = 1、CARSEL = 0、CAREF = 0	$V_{CC} = 2.2 \text{ V}$	25	40	μA		
		$V_{CC} = 3 \text{ V}$	45	60			
$I_{(\text{RefLadder/RefDiode})}$	CAON = 1、CARSEL = 0、CAREF = 1/2/3、 P1.6/CA0 及び P1.7/CA1 は無負荷	$V_{CC} = 2.2 \text{ V}$	30	50	μA		
		$V_{CC} = 3 \text{ V}$	45	71			
$V_{(\text{Ref}025)}$	電圧@ $0.25 V_{CC}$ ノード V_{CC}	PCA0 = 1、CARSEL = 1、CAREF = 1、 P1.6/CA0 及び P1.7/CA1 は無負荷	$V_{CC} = 2.2 \text{ V/3 V}$	0.23	0.24	0.25	
$V_{(\text{Ref}050)}$	電圧@ $0.5 V_{CC}$ ノード V_{CC}	PCA0 = 1、CARSEL = 1、CAREF = 2、 P1.6/CA0 及び P1.7/CA1 は無負荷	$V_{CC} = 2.2 \text{ V/3 V}$	0.47	0.48	0.5	
$V_{(\text{RefVT})}$	(図 6、7 参照)	PCA0 = 1、CARSEL = 1、CAREF = 3、 P1.6/CA0 及び P1.7/CA1 は無負荷； $T_A = 85^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	390	480	540	mV
			$V_{CC} = 3 \text{ V}$	400	490	550	
V_{IC}	同相入力電圧範囲	CAON = 1	$V_{CC} = 2.2 \text{ V/3 V}$	0	$V_{CC} - 1$		V
$V_p - V_s$	オフセット電圧	(注 2)	$V_{CC} = 2.2 \text{ V/3 V}$	-30	30		mV
V_{hys}	入力ヒステリシス	CAON = 1	$V_{CC} = 2.2 \text{ V/3 V}$	0	0.7	1.4	mV
$t_{(\text{response LH})}$	$T_A = 25^\circ\text{C}$ 、オーバードライブ 10 mV、 フィルタなし：CAF = 0	$V_{CC} = 2.2 \text{ V}$	160	210	300	ns	
		$V_{CC} = 3 \text{ V}$	80	150	240		
	$T_A = 25^\circ\text{C}$ 、オーバードライブ 10 mV、 フィルタ付き：CAF = 1	$V_{CC} = 2.2 \text{ V}$	1.4	1.9	3.4	μs	
		$V_{CC} = 3 \text{ V}$	0.9	1.5	2.6		
$t_{(\text{response HL})}$	$T_A = 25^\circ\text{C}$ 、オーバードライブ 10 mV、 フィルタなし：CAF = 0	$V_{CC} = 2.2 \text{ V}$	130	210	300	ns	
		$V_{CC} = 3 \text{ V}$	80	150	240		
	$T_A = 25^\circ\text{C}$ 、オーバードライブ 10 mV、 フィルタ付き：CAF = 1	$V_{CC} = 2.2 \text{ V}$	1.4	1.9	3.4	μs	
		$V_{CC} = 3 \text{ V}$	0.9	1.5	2.6		

(注 1) コンパレータ_A 端子のリーク電流は、 $I_{1kg(Px.x)}$ の規格と同じです。

(注 2) 入力オフセット電圧は、連続して測定する毎に CAEX ビットを使ってコンパレータ_A 入力を反転させることにより、キャンセルすることができます。2 つの連続した測定値を加算します。

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

代表特性

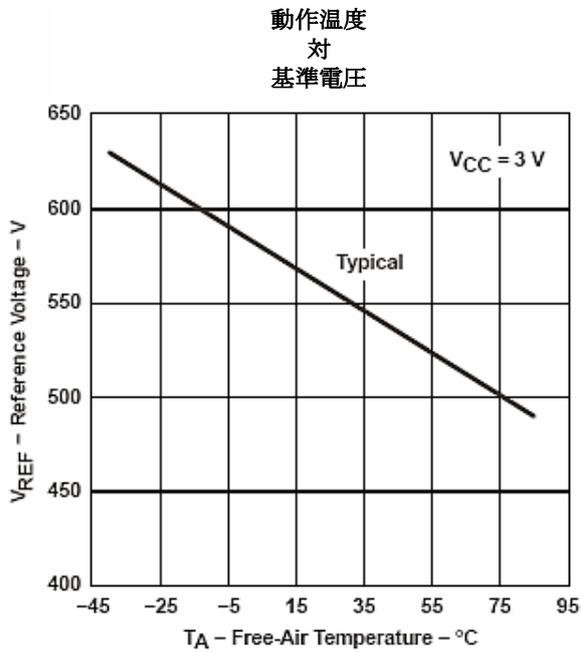


図 6. 動作温度 対 $V_{REF(T)}$ ($V_{CC} = 3V$)

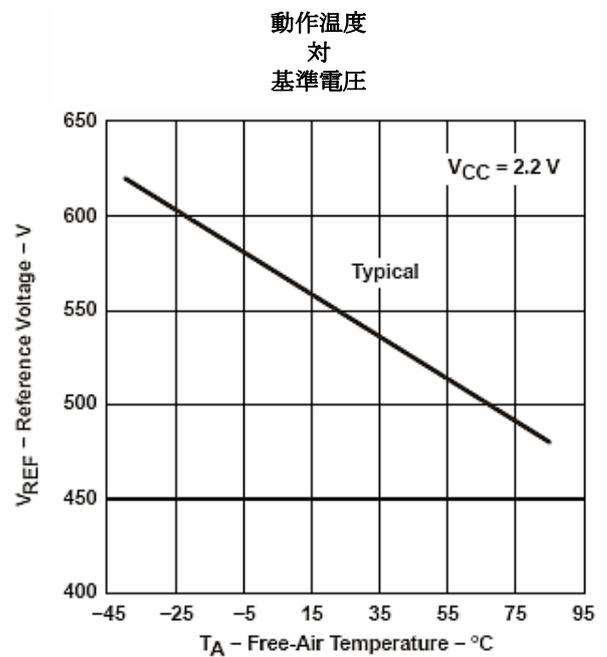


図 7. 動作温度 対 $V_{REF(T)}$ ($V_{CC} = 2.2V$)

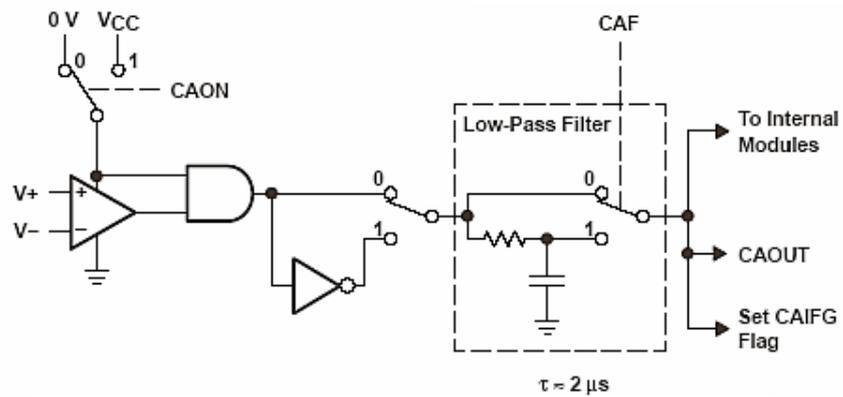


図 8. コンパレータ_A モジュールのブロック図

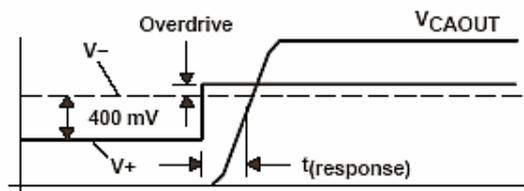


図 9. オーバードライブの定義

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

POR/ブラウンアウト・リセット (BOR) (注 1)

項 目	測定条件	最小	標準	最大	単位
$t_{d(BOR)}$				2000	μs
$V_{CC(start)}$	$dV_{CC}/dt \leq 3 \text{ V/s}$ (図 10 参照)	$0.7 \times V_{(B_IT-)}$			V
$V_{(B_IT-)}$	$dV_{CC}/dt \leq 3 \text{ V/s}$ (図 10 ~ 図 12 参照)			1.71	V
$V_{hys(B_IT-)}$	$dV_{CC}/dt \leq 3 \text{ V/s}$ (図 10 参照)	70	130	180	mV
$t_{(reset)}$	内部でリセットを受け付けるための RST/NMI 入力パルス幅、 $V_{CC} = 2.2 \text{ V}/3 \text{ V}$	2			μs

(注 1) ブラウンアウト・モジュールの消費電流は、 I_{CC} に含まれています。 $V_{(B_IT-)} + V_{hys(B_IT-)} \leq 1.8 \text{ V}$ とします。

(注 2) パワーアップ時は、CPU は $V_{CC} = V_{(B_IT-)} + V_{hys(B_IT-)}$ となった後 $t_{d(BOR)}$ 経過後にコードの実行を開始します。デフォルトの FLL+ の設定値は、 $V_{CC} \geq V_{CC(min)}$ となるまで変えてはいけません。 $V_{CC(min)}$ は、使用する動作周波数における最小電源電圧を表します。ブラウンアウト/電源電圧監視回路の詳細は、MSP430x4xx ファミリー ユーザーズ・ガイド (SLAU141、SLAU056) を参照して下さい。

代表特性

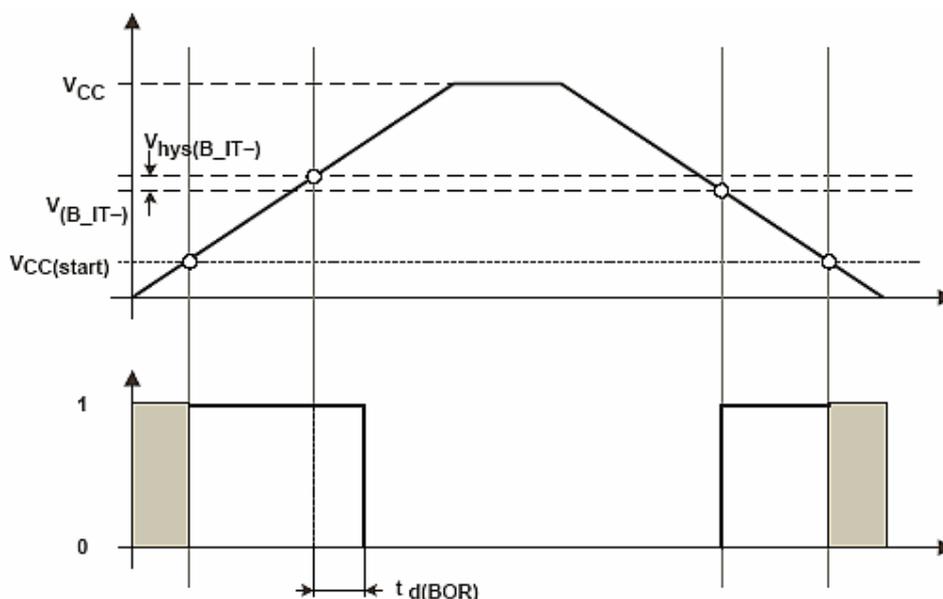


図 10. 電源電圧対パワー・オン・リセット (POR)

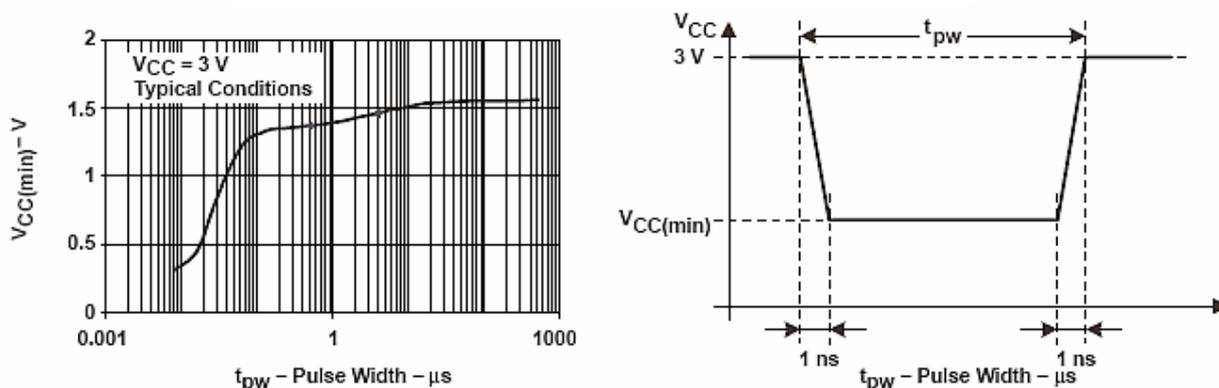


図 11. POR/ブラウンアウト信号を生成するための $V_{CC(min)}$ レベル (矩形波電圧降下)

代表特性 (続き)

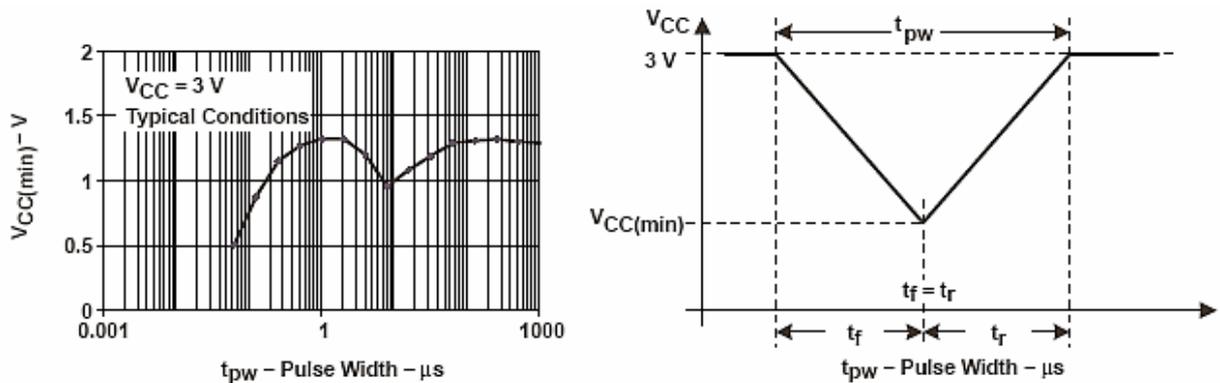


図 12. POR/ブラウンアウト信号を生成するための $V_{CC(min)}$ レベル (三角波電圧降下)

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

SVS (電源電圧監視/モニタ)

記号	測定条件	最小	標準	最大	単位	
$t_{(SVSR)}$	$dV_{CC}/dt > 30 \text{ V/ms}$ (図 13 参照)	5		150	μs	
	$dV_{CC}/dt \leq 30 \text{ V/ms}$			2000		
$t_{d(SVson)}$	SVSon、VLD = 0 ~ VLD \neq 0 までスイッチ、 $V_{CC} = 3 \text{ V}$	20		150	μs	
t_{settle}	VLD \neq 0 †			12	μs	
$V_{(SVSstart)}$	VLD \neq 0、 $V_{CC}/dt \leq 3 \text{ V/s}$ (図 13 参照)		1.55	1.7	V	
$V_{hys(SVS_{IT-})}$	$V_{CC}/dt \leq 3 \text{ V/s}$ (図 13 参照)	VLD = 1	70	120	155	mV
		VLD = 2 .. 14	$V_{(SVS_{IT-})} \times 0.004$		$V_{(SVS_{IT-})} \times 0.008$	
	$V_{CC}/dt \leq 3 \text{ V/s}$ 、A7 に印加される外部電圧 (図 13 参照)	VLD = 15	4.4		10.4	mV
$V_{(SVS_{IT-})}$	$V_{CC}/dt \leq 3 \text{ V/s}$ (図 13 参照)	VLD = 1	1.8	1.9	2.05	V
		VLD = 2	1.94	2.1	2.25	
		VLD = 3	2.05	2.2	2.37	
		VLD = 4	2.14	2.3	2.48	
		VLD = 5	2.24	2.4	2.6	
		VLD = 6	2.33	2.5	2.71	
		VLD = 7	2.46	2.65	2.86	
		VLD = 8	2.58	2.8	3	
		VLD = 9	2.69	2.9	3.13	
		VLD = 10	2.83	3.05	3.29	
		VLD = 11	2.94	3.2	3.42	
		VLD = 12	3.11	3.35	3.61†	
		VLD = 13	3.24	3.5	3.76†	
		VLD = 14	3.43	3.7 †	3.99†	
	$V_{CC}/dt \leq 3 \text{ V/s}$ 、A7 に印加される外部電圧 (図 13 参照)	VLD = 15	1.1	1.2	1.3	
$I_{CC(SVS)}$ (注 1)	VLD \neq 0、 $V_{CC} = 2.2 \text{ V} / 3 \text{ V}$		10	15	μA	

† 推奨動作電圧範囲は 3.6 V に制限されます。

‡ セトリング時間 t_{settle} は、VLD が VLD \neq 0 から 2 ~ 15 の間の違った値にスイッチした後、コンパレータ出力が安定したレベルになるのに必要な時間です。オーバードライブ > 50 mV と仮定します。

(注 1) SVS モジュールの消費電流は I_{CC} の値に含まれていません。

代表特性

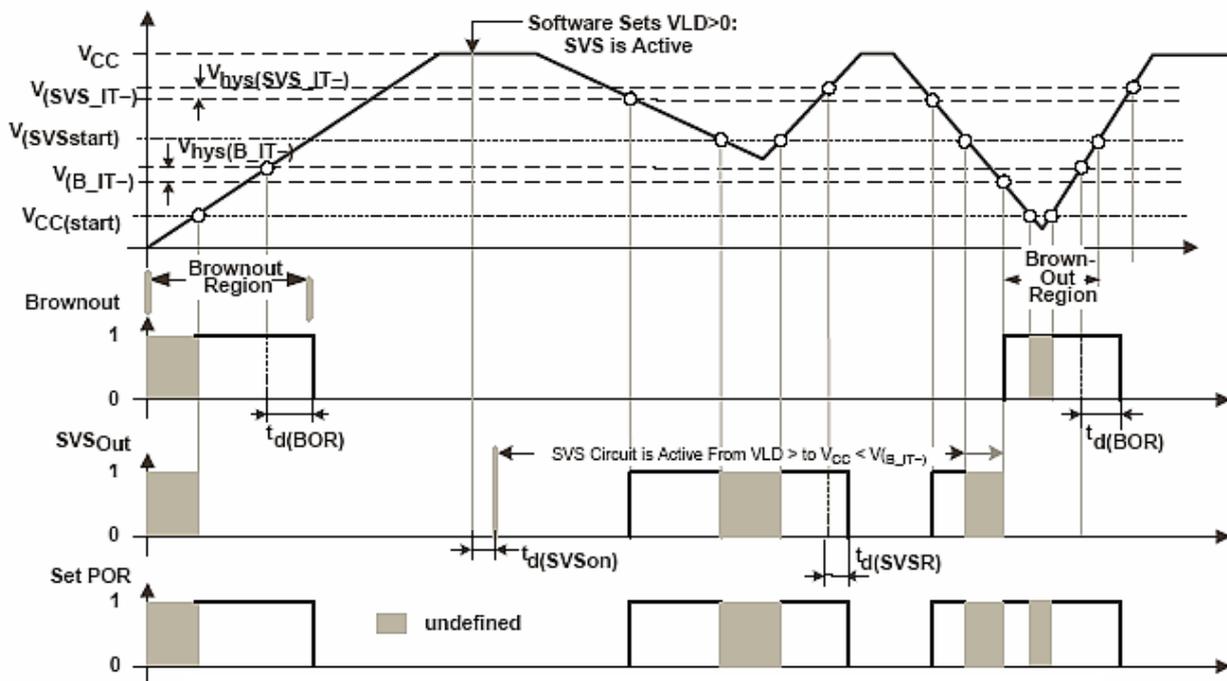


図 13. 電源電圧 対 SVS リセット (SVSR) タイミング

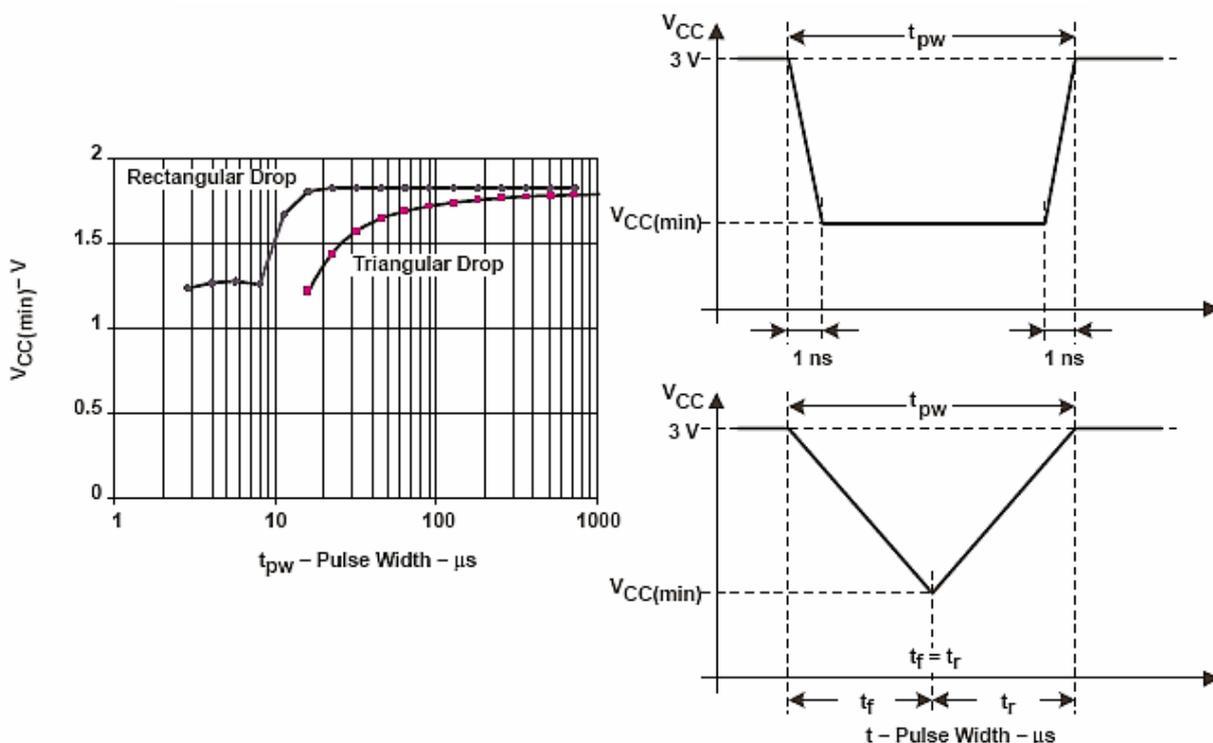


図 14. SVS 信号を生成するための $V_{CC(min)}$ レベル (矩形波電圧及び三角波電圧降下)

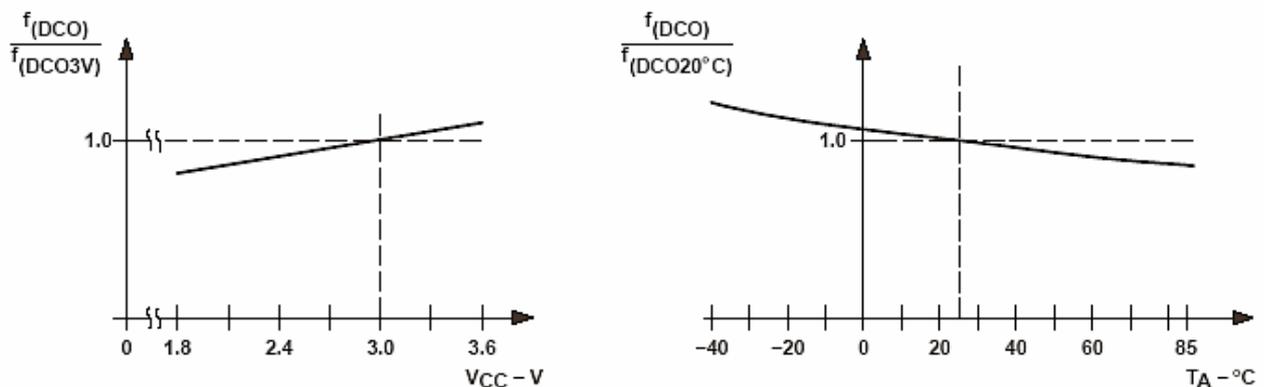
推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

DCO (注 1)

項目	測定条件		最小	標準	最大	単位
$f_{(DCOCLK)}$	$N_{(DCO)} = 01E0h, FN_8 = FN_4 = FN_3 = FN_2 = 0, D = 2;$ $DCOPLUS = 0$	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$	1			MHz
$f_{(DCO2)}$	$FN_8 = FN_4 = FN_3 = FN_2 = 0; DCOPLUS = 1$	$V_{CC} = 2.2 \text{ V}$	0.3	0.65	1.25	MHz
		$V_{CC} = 3 \text{ V}$	0.3	0.7	1.3	
$f_{(DCO27)}$	$FN_8 = FN_4 = FN_3 = FN_2 = 0; DCOPLUS = 1$ (注 1)	$V_{CC} = 2.2 \text{ V}$	2.5	5.6	10.5	MHz
		$V_{CC} = 3 \text{ V}$	2.7	6.1	11.3	
$f_{(DCO2)}$	$FN_8 = FN_4 = FN_3 = 0, FN_2 = 1; DCOPLUS = 1$	$V_{CC} = 2.2 \text{ V}$	0.7	1.3	2.3	MHz
		$V_{CC} = 3 \text{ V}$	0.8	1.5	2.5	
$f_{(DCO27)}$	$FN_8 = FN_4 = FN_3 = 0, FN_2 = 1; DCOPLUS = 1$ (注 1)	$V_{CC} = 2.2 \text{ V}$	5.7	10.8	18	MHz
		$V_{CC} = 3 \text{ V}$	6.5	12.1	20	
$f_{(DCO2)}$	$FN_8 = FN_4 = 0, FN_3 = 1, FN_2 = x; DCOPLUS = 1$	$V_{CC} = 2.2 \text{ V}$	1.2	2	3	MHz
		$V_{CC} = 3 \text{ V}$	1.3	2.2	3.5	
$f_{(DCO27)}$	$FN_8 = FN_4 = 0, FN_3 = 1, FN_2 = x; DCOPLUS = 1$ (注 1)	$V_{CC} = 2.2 \text{ V}$	9	15.5	25	MHz
		$V_{CC} = 3 \text{ V}$	10.3	17.9	28.5	
$f_{(DCO2)}$	$FN_8 = 0, FN_4 = 1, FN_3 = FN_2 = x; DCOPLUS = 1$	$V_{CC} = 2.2 \text{ V}$	1.8	2.8	4.2	MHz
		$V_{CC} = 3 \text{ V}$	2.1	3.4	5.2	
$f_{(DCO27)}$	$FN_8 = 0, FN_4 = 1, FN_3 = FN_2 = x; DCOPLUS = 1$ (注 1)	$V_{CC} = 2.2 \text{ V}$	13.5	21.5	33	MHz
		$V_{CC} = 3 \text{ V}$	16	26.6	41	
$f_{(DCO2)}$	$FN_8 = 1, FN_4 = FN_3 = FN_2 = x; DCOPLUS = 1$	$V_{CC} = 2.2 \text{ V}$	2.8	4.2	6.2	MHz
		$V_{CC} = 3 \text{ V}$	4.2	6.3	9.2	
$f_{(DCO27)}$	$FN_8 = 1, FN_4 = FN_3 = FN_2 = x; DCOPLUS = 1$ (注 1)	$V_{CC} = 2.2 \text{ V}$	21	32	46	MHz
		$V_{CC} = 3 \text{ V}$	30	46	70	
S_n	隣接した DCO タップ間のステップ・サイズ: $S_n = f_{DCO(TAP_{n+1})} / f_{DCO(TAP_n)}$ (図 16 のタップ 21 ~ 27 を参照)	$1 < TAP \leq 20$	1.06			
		$TAP = 27$	1.07			
D_t	温度ドリフト、 $N_{(DCO)} = 01E0h, FN_8 = FN_4 = FN_3 = FN_2 = 0$ $D = 2; DCOPLUS = 0$ (注 2)	$V_{CC} = 2.2 \text{ V}$	-0.2	-0.3	-0.4	%/°C
		$V_{CC} = 3 \text{ V}$	-0.2	-0.3	-0.4	
D_V	V_{CC} 変動によるドリフト、 $N_{(DCO)} = 01E0h, FN_8 = FN_4 = FN_3 = FN_2 = 0, D = 2; DCOPLUS = 0$ (注 2)	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$	0	5	15	%/V

- (注 1) 最大システム周波数を越えることはできません。
 (注 2) このパラメータは、量産テストは実施していません。

図 15. 電源電圧及び周囲温度 対 DCO 周波数



推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

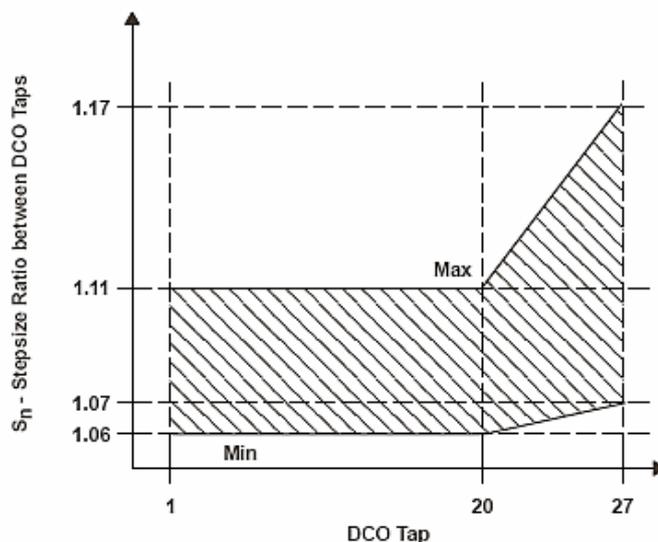


図 16. DCO タップ ステップ・サイズ

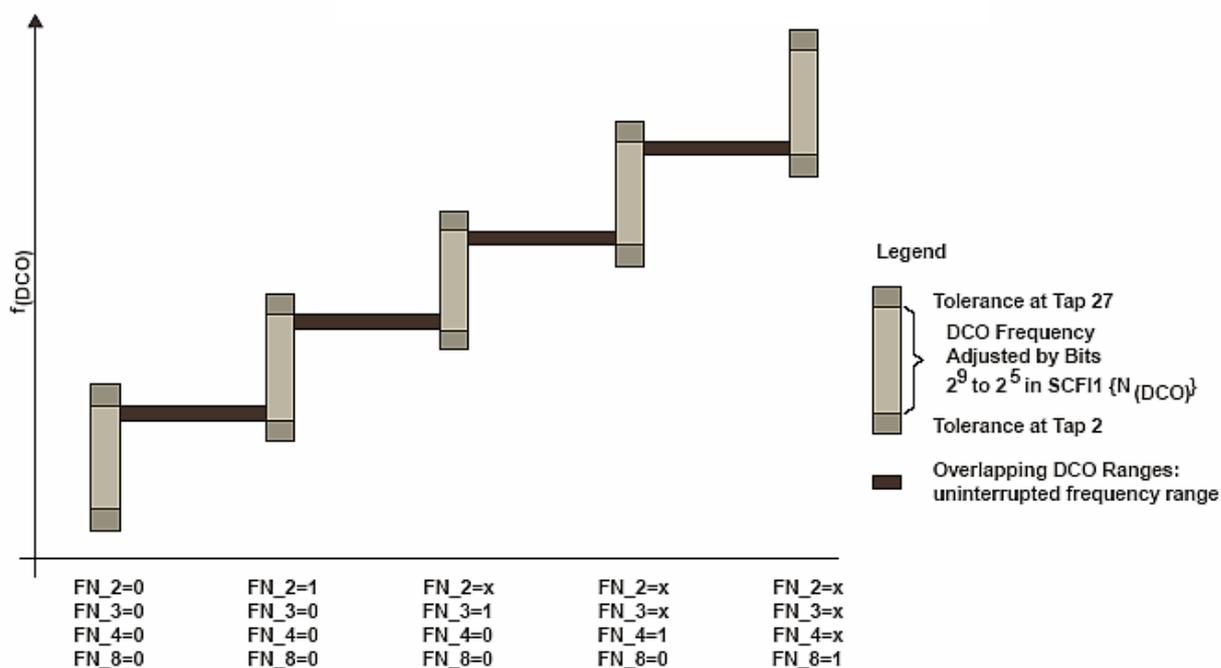


図 17. FN_x ビットによりコントロールされる 5 つの重複した DCO 範囲

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

クリスタル・オシレータ、LFXT1 オシレータ (注 1、2)

項 目		測定条件	最小	標準	最大	単位
C _{XIN}	入力容量	OSCCAPx = 0h, V _{CC} = 2.2 V / 3 V		0		pF
		OSCCAPx = 1h, V _{CC} = 2.2 V / 3 V		10		
		OSCCAPx = 2h, V _{CC} = 2.2 V / 3 V		14		
		OSCCAPx = 3h, V _{CC} = 2.2 V / 3 V		18		
C _{XOUT}	出力容量	OSCCAPx = 0h, V _{CC} = 2.2 V / 3 V		0		pF
		OSCCAPx = 1h, V _{CC} = 2.2 V / 3 V		10		
		OSCCAPx = 2h, V _{CC} = 2.2 V / 3 V		14		
		OSCCAPx = 3h, V _{CC} = 2.2 V / 3 V		18		
V _{IL}	入力レベル (XIN)	V _{CC} = 2.2 V/3 V (注 3)	V _{SS}		0.2 x V _{CC}	V
V _{IH}			0.8 x V _{CC}		V _{CC}	V

- (注 1) パッケージ及び基板の寄生容量を 2 pF と推定しても構いません。クリスタルの実効負荷容量は、(C_{XIN} x C_{XOUT}) / (C_{XIN} + C_{XOUT}) で表され、XST_FLL とは無関係です。
- (注 2) ロー・パワー LFXT1 オシレータの EMI を改善するために、特に LF モード (32 kHz) では以下に示すガイドラインに従って下さい。
- F43x/44x とクリスタルとの間の配線はできるだけ短くする。
 - オシレータ端子の周辺は、良好なグランド・プレーンとなるように設計する。
 - 他のクロック又はデータ ラインからオシレータ端子 XIN 及び XOUT へのクロストークを防止する。
 - XIN 及び XOUT 端子の下側又は近くにプリント基板の配線を走らせないようにする。
 - オシレータ端子 XIN 及び XOUT の寄生負荷を防止するための組み立て材料及び組み立て方法を使用する。
 - コーティングを使用する場合は、それがオシレータ端子間に容量/抵抗リークを誘導しないこと。
 - シリアル・プログラミング・アダプタを使用するために、XOUT ラインを JTAG ヘッドへ配線してはいけません。この信号は、シリアル・プログラミング・アダプタには必要ありません。
- (注 3) 外部ロジック・レベル クロック・ソースを使用する場合のみに適用されます。クリスタル又はセラミック発振子を使用する場合は適用されません。
- (注 4) 高精度のリアルタイム・クロックを使用する場合は、OSCCAPx = 0h とし、外部容量を使用することを推奨します。

クリスタル・オシレータ、XT2 オシレータ (注 1)

項 目		測定条件	最小	標準	最大	単位
C _{XT2IN}	入力容量	V _{CC} = 2.2 V/3 V		2		pF
C _{XT2OUT}	出力容量	V _{CC} = 2.2 V/3 V		2		pF
V _{IL}	入力レベル (XT2IN)	V _{CC} = 2.2 V/3 V (注 2)	V _{SS}		0.2 x V _{CC}	V
V _{IH}			0.8 x V _{CC}		V _{CC}	V

- (注 1) オシレータの両方の端子に外部コンデンサが必要で、その値はクリスタルのメーカーにより規定されています。
- (注 2) 外部ロジック・レベル クロック・ソースを使用する場合のみに適用されます。クリスタル又はセラミック発振子を使用する場合は適用されません。

USART0、USART1 (注 1)

項 目		測定条件	最小	標準	最大	単位
t _(ε)	デグリッチ時間 (USART0/1)	V _{CC} = 2.2 V	200	430	800	ns
		V _{CC} = 3 V	150	280	500	

- (注 1) USART0/1 受信信号/端子 (URXD0/1) に印加される信号は、URXS フリップ・フロップがセットされることを保証するために、タイミング t_(ε) の要求を満たしていなければなりません。URXS フリップ・フロップは、t_(ε) の最小タイミング条件に合致した反転パルスによってセットされます。フラグをセットするための動作条件は、このタイミング制限とは別に満たさなければなりません。デグリッチ回路は、URXD0/1 ライン上の立ち下がりでのみアクティブになります。

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

12 ビット ADC、電源及び入力範囲条件 (注 1)

項目	測定条件	最小	標準	最大	単位
V_{AVCC}	アナログ電源電圧 V_{AVCC} と DV_{CC} を接続、 V_{AVSS} と DV_{SS} を接続、 $V_{(AVSS)} = V_{(DVSS)} = 0\text{ V}$	2.2		3.6	V
$V_{(P6.x/Ax)}$	アナログ入力電圧範囲 (注 2) 全 P6.0/A0 ~ P6.7/A7 端子、ADC12MCTLx レジスタのアナログ入力選択時、P6Sel.x = 1、 $0 \leq x \leq 7$; $V_{(AVSS)} \leq V_{P6.x/Ax} \leq V_{(AVCC)}$	0		V_{AVCC}	V
I_{ADC12}	動作電源電流 (V_{AVCC}) (注 3) $f_{ADC12CLK} = 5\text{ MHz}$ 、 ADC12ON = 1、REFON = 0、 SHTO = 0、SHT1 = 0、ADC12DIV = 0	2.2 V	0.65	1.3	mA
		3 V	0.8	1.6	
I_{REF+}	基準電圧動作電流 (V_{AVCC}) (注 4) $f_{ADC12CLK} = 5\text{ MHz}$ 、 ADC12ON = 0、 REFON = 1、REF2_5V = 1	3 V	0.5	0.8	mA
		$f_{ADC12CLK} = 5\text{ MHz}$ 、 ADC12ON = 0、 REFON = 1、REF2_5V = 0	2.2 V	0.5	
$C_I \uparrow$	入力容量 1 度に 1 端子のみ選択可能、P6.x/Ax	2.2 V		40	pF
$R_I \uparrow$	入力 MUX オン抵抗 $0V \leq V_{Ax} \leq V_{AVCC}$	3 V		2000	Ω

† このパラメータは設計によって検証されたもので、量産テストは実施していません。

(注 1) リーク電流は、P6.x/Ax パラメータのリーク電流の表で規定されています。

(注 2) アナログ入力電圧範囲は、有効な変換結果を得るために、選択された基準電圧範囲 $V_{R+} \sim V_{R-}$ の範囲内でなければなりません。

(注 3) 内部基準電圧電流は、消費電流パラメータ I_{ADC12} に含まれていません。

(注 4) 内部基準電圧電流は、 V_{AVCC} 端子を經由して供給されます。変換がアクティブでない場合、消費電流は ADC12ON コントローラ・ビットとは無関係です。REFON ビットにより、A/D 変換を始める前に、内部基準電圧の設定を行うことができます。

12 ビット ADC 外部基準電圧 (注 1)

項目	測定条件	最小	標準	最大	単位
V_{eREF+}	正外部基準電圧入力 $V_{eREF+} > V_{REF-}/V_{eREF-}$ (注 2)	1.4		V_{AVCC}	V
V_{REF-}/V_{eREF-}	負外部基準電圧入力 $V_{eREF+} > V_{REF-}/V_{eREF-}$ (注 3)	0		1.2	V
$(V_{eREF+} - V_{REF-}/V_{eREF-})$	差動外部基準電圧入力 $V_{eREF+} > V_{REF-}/V_{eREF-}$ (注 4)	1.4		V_{AVCC}	V
I_{VeREF+}	静止入力電流 $0V \leq V_{eREF+} \leq V_{AVCC}$	2.2 V/3 V		± 1	μA
I_{VREF-}/V_{eREF-}	静止入力電流 $0V \leq V_{eREF-} \leq V_{AVCC}$	2.2 V/3 V		± 1	μA

(注 1) 外部基準電圧は変換動作の間、キャパシタンス・アレイの充/放電を行うために使用されます。入力容量 C_I も変換動作中の外部基準電圧の動作的負荷になります。基準電圧の動的インピーダンスは、12 ビットの精度を出すために推奨のアナログ・ソース・インピーダンスに適合しなければなりません。

(注 2) 最小値は精度で決まります。要求精度が低い場合は、これより低い基準電圧を印加しても差し支えありません。

(注 3) 最大値は精度で決まります。要求精度が低い場合は、これより高い基準電圧を印加しても差し支えありません。

(注 4) 最小値は精度で決まります。要求精度が低い場合は、これより低い差動基準電圧を印加しても差し支えありません。

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

12 ビット ADC 内部基準電圧

項目	測定条件	V _{CC}	最小	標準	最大	単位	
V _{REF+}	2.5 V 内部基準電圧の場合 REF2_5V = 1、I _{VREF+} ≤ I _{VREF+,max}	3 V	2.4	2.5	2.6	V	
	1.5 V 内部基準電圧の場合 REF2_5V = 0、I _{VREF+} ≤ I _{VREF+,max}	2.2 V/3 V	1.44	1.5	1.56		
AV _{CC(min)}	正内部基準電圧がアクティブとなる最小アナログ電源電圧	REF2_5V = 0、I _{VREF+} ≤ 1 mA	2.2			V	
		REF2_5V = 1、I _{VREF+} ≤ 0.5 mA	V _{REF+} + 0.15				
		REF2_5V = 1、I _{VREF+} ≤ 1 mA	V _{REF+} + 0.15				
I _{VREF+}	V _{REF+} 端子負荷電流	2.2 V	0.01		-0.5	mA	
		3 V			-1		
I _{L(VREF+)} †	V _{REF+} 端子負荷電流レギュレーション	I _{VREF+} = 500 μA ± 100 μA、 アナログ入力電圧 ~0.75 V; REF2_5V = 0	2.2 V			±2	LSB
		I _{VREF+} = 500 μA ± 100 μA アナログ入力電圧 ~1.25 V; REF2_5V = 1	3 V			±2	
			3 V			±2	
t _{DL(VREF+)} ‡	V _{REF+} 端子負荷電流レギュレーション	I _{VREF+} = 100 μA → 900 μA、 C _{VREF+} = 5 μF、ax ~0.5 x V _{REF+} 、 変換結果誤差 ≤ 1 LSB	3 V			20	ns
C _{VREF+}	V _{REF+} 端子容量 (注 1)	REFON = 1、 0 mA ≤ I _{VREF+} ≤ I _{VREF+,max}	2.2 V/3 V	5	10		μF
T _{REF+} †	内部基準電圧の温度係数	I _{VREF+} は 0 mA ≤ I _{VREF+} ≤ 1 mA の 範囲内で一定	2.2 V/3 V			±100	ppm/ °C
t _{REFON} †	V _{REF+} 内部基準電圧セトリング時間 (注 2) (図 18 参照)	I _{VREF+} = 0.5 mA、C _{VREF+} = 10 μF、 V _{REF+} = 1.5 V	2.2 V			17	ms

† このパラメータは特性評価によって決められたもので、量産テストは実施していません。

‡ このパラメータは設計によって検証されたもので、量産テストは実施していません。

(注 1) 内部バッファ・オペアンプには、精度規格のために外部コンデンサが必要です。すべての INL 及び DNL のテストには V_{REF+} と AV_{SS} 間、及び V_{REF-}/V_{REF-} と AV_{SS} 間に 10 μF タンタル及び 100 nF セラミックの 2 つのコンデンサを使用します。

(注 2) この条件は、t_{REFON} 後に開始した変換の誤差が ±0.5 LSB 以内となる事です。セトリング時間は外部負荷容量に依存します。

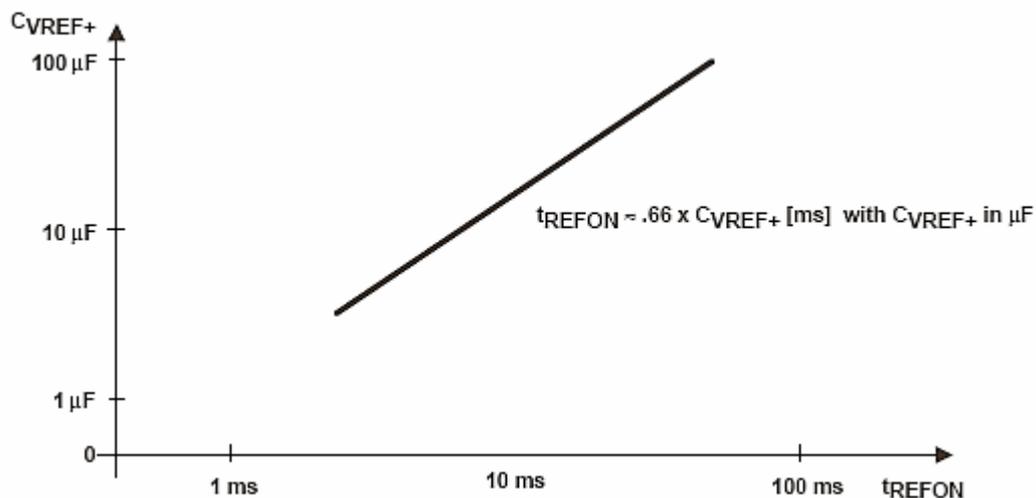


図 18. V_{REF+} 外部コンデンサ対内部基準電圧のセトリング時間 (標準)、t_{REFON}

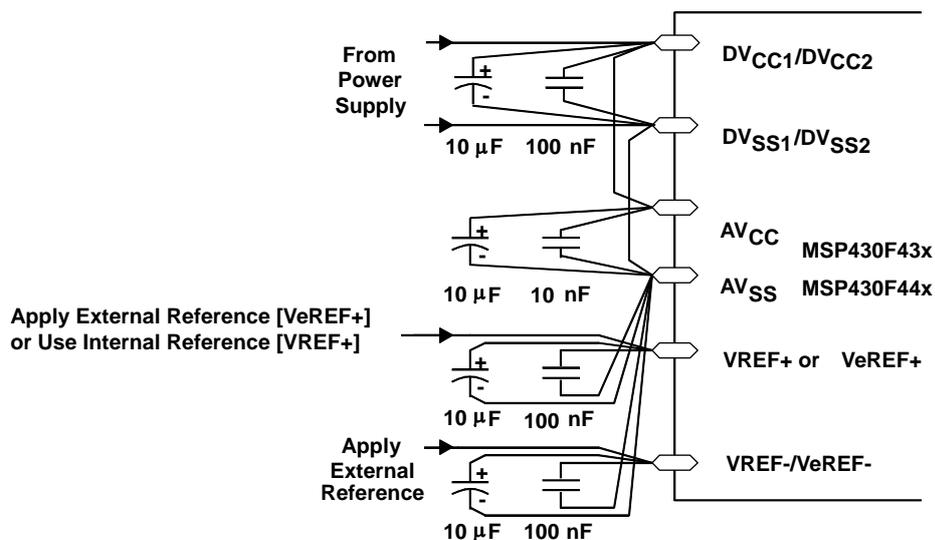


図 19. 電源電圧及び基準電圧の設計 (V_{REF-}/V_{eREF-} 外部基準電圧)

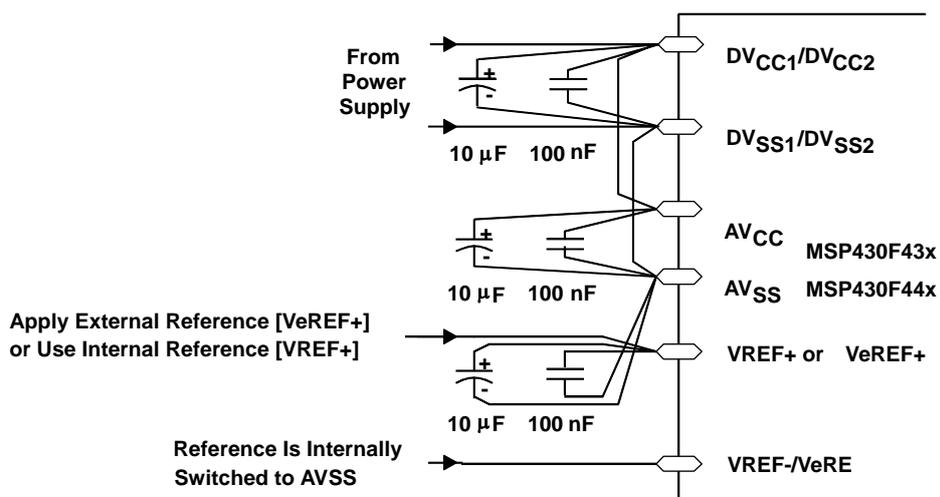


図 20. 電源電圧及び基準電圧の設計 ($V_{REF-}/V_{eREF-} = AV_{SS}$ 内部で接続)

推奨動作温度範囲における電气的特性 (特記無き場合) (続き)

12 ビット ADC タイミング

項目	測定条件	V _{CC}	最小	標準	最大	単位
f _{ADC12CLK}	ADC12 の直線性パラメータの規定に適合するため	2.2 V/ 3V	0.45	5	6.3	MHz
f _{ADC12OSC}	ADC12DIV = 0、 f _{ADC12CLK} = f _{ADC12OSC}	2.2 V/ 3V	3.7		6.3	MHz
t _{CONVERT} 変換時間	C _{VREF+} ≥ 5 μF、内部オシレータ、 f _{ADC12OSC} = 3.7 MHz ~ 6.3 MHz ACLK、MCLK 又は SMCLK からの外部 f _{ADC12CLK} : ADC12SSEL ≠ 0	2.2 V/ 3V	2.06		3.51	μs
t _{ADC12ON} † ADC ターン・オンセトリング時間	(注 1)				100	ns
t _{Sample} ‡ サンプリング時間	R _S = 400 Ω、R _I = 1000 Ω、 C _I = 30 pF、 τ = [R _S + R _I] x C _I (注 2)	3 V 2.2 V	1220 1400			ns

† このパラメータは特性評価によって決められたもので、量産テストは実施していません。

‡ このパラメータは設計によって検証されたもので、量産テストは実施していません。

(注 1) この条件は、t_{ADC12ON} 後に開始した変換誤差が ±0.5 LSB 以内となる事です。基準電圧及び入力信号は、既に安定状態です。

(注 2) 誤差を ±0.5 LSB 以内とするためには、約 10 タウ (τ) が必要です。

t_{Sample} = ln(2ⁿ⁺¹) x (R_S + R_I) x C_I + 800 ns 但し、n = ADC 分解能 = 12、R_S = 外部信号源抵抗

12 ビット ADC 直線性

項目	測定条件	V _{CC}	最小	標準	最大	単位
E _I 積分直線性誤差	1.4 V ≤ (V _{eREF+} - V _{REF-/V_{eREF-}}) _{min} ≤ 1.6 V 1.6 V < (V _{eREF+} - V _{REF-/V_{eREF-}}) _{min} ≤ [V _(AVCC)]	2.2 V/3 V			±2 ±1.7	LSB
E _D 微分直線性誤差	(V _{eREF+} - V _{REF-/V_{eREF-}}) _{min} ≤ (V _{eREF+} - V _{REF-/V_{eREF-}})、 C _{VREF+} = 10 μF (タンタル) 及び 100 nF (セラミック)	2.2 V/3 V			±1	LSB
E _O オフセット誤差	(V _{eREF+} - V _{REF-/V_{eREF-}}) _{min} ≤ (V _{eREF+} - V _{REF-/V_{eREF-}})、 信号源の内部インピーダンス R _S < 100 Ω、 C _{VREF+} = 10 μF (タンタル) 及び 100 nF (セラミック)	2.2 V/3 V		±2	±4	LSB
E _G ゲイン誤差	(V _{eREF+} - V _{REF-/V_{eREF-}}) _{min} ≤ (V _{eREF+} - V _{REF-/V_{eREF-}})、 C _{VREF+} = 10 μF (タンタル) 及び 100 nF (セラミック)	2.2 V/3 V		±1.1	±2	LSB
E _T 全無調整誤差	(V _{eREF+} - V _{REF-/V_{eREF-}}) _{min} ≤ (V _{eREF+} - V _{REF-/V_{eREF-}})、 C _{VREF+} = 10 μF (タンタル) 及び 100 nF (セラミック)	2.2 V/3 V		±2	±5	LSB

MSP430x43x、MSP430x44x
ミックスド・シグナル・マイクロコントローラ

SLAS446 - 2005 年 4 月

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

12 ビット ADC 温度センサ及び内部 V_{MID}

項 目	測定条件	V_{CC}	最小	標準	最大	単位
I_{SENSOR} 動作電源電流 (AV_{CC}) (注 1)	REFON = 0、INCH = 0Ah、 ADC12ON = NA、 $T_A = 25^\circ\text{C}$	2.2 V		40	120	μA
		3 V		60	160	
$V_{SENSOR} \dagger$	ADC12ON = 1、INCH = 0Ah、 $T_A = 0^\circ\text{C}$	2.2 V		986	986 \pm 5%	mV
		3 V		986	986 \pm 5%	
$TC_{SENSOR} \dagger$	ADC12ON = 1、INCH = 0Ah	2.2 V		3.55	3.55 \pm 3%	mV/ $^\circ\text{C}$
		3 V		3.55	3.55 \pm 3%	
$t_{SENSOR(sample)} \dagger$	チャンネル 10 が選択された場合に必要 なサンプル時間 (注 2)	2.2 V	30			μs
		3 V	30			
I_{VMID}	チャンネル 11 のディバイダに流れ込 む電流 (注 3)	2.2 V			NA	μA
		3 V			NA	
V_{MID}	チャンネル 11 のディバイダ AV_{CC} 電圧 $V_{MID} \sim 0.5 \times V_{AVCC}$	2.2 V		1.1	1.1 \pm 0.04	V
		3 V		1.5	1.5 \pm 0.04	
$t_{VMID(sample)}$	チャンネル 11 が選択された場合に必要 なサンプル時間 (注 4)	2.2 V	1400			ns
		3 V	1220			

\dagger このパラメータは特性評価によって決められたもので、量産テストは実施していません。

(注 1) センサ電流 I_{SENSOR} は、ADC12ON = 1 で REFON = 1 の場合、又は ADC12ON = 1 で INCH = 0Ah、及びサンプル信号がハイ・レベルの場合に消費されます。従って、 I_{SENSOR} はセンサ及び基準電圧に流れる定電流を含みます。

(注 2) センサの標準的な等価インピーダンスは 51 k Ω です。必要とされるサンプル時間は、センサ・オン時間 $t_{SENSOR(on)}$ を含みます。

(注 3) 追加の電流は必要ありません。 V_{MID} はサンプリングの間に使用されます。

(注 4) オン時間 $t_{VMID(on)}$ は、サンプリング時間の $t_{VMID(sample)}$ に含まれます。追加のオン時間は必要ありません。

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

フラッシュ・メモリ

項 目		測定条件	V _{CC}	最小	標準	最大	単位
V _{CC(PGM/ERASE)}	プログラム及び消去時電源電圧			2.7		3.6	V
f _{FTG}	フラッシュ・タイミング発生器周波数			257		476	kHz
I _{PGM}	プログラム時消費電流 (DV _{CC})		2.7 V / 3.6 V		3	5	mA
I _{ERASE}	消去時消費電流 (DV _{CC})		2.7 V / 3.6 V		3	7	mA
t _{CPT}	累積プログラム時間	(注 1)	2.7 V / 3.6 V			4	ms
t _{CMerase}	累積一括消去時間	(注 2)	2.7 V / 3.6 V	200			ms
	プログラム/消去回数			10 ⁴	10 ⁵		cycles
t _{Retention}	データ保持期間	T _J = 25°C		100			years
t _{Word}	ワード又はバイト・プログラム時間				35		t _{FTG}
t _{Block, 0}	先頭バイト又はワードのブロック・プログラム時間	(注 3)			30		
t _{Block, 1-63}	各後続バイト又はワードのブロック・プログラム時間				21		
t _{Block, End}	ブロック・プログラム終了シーケンスのウェイト時間				6		
t _{Mass Erase}	一括消去時間				5297		
t _{Seg Erase}	セグメント消去時間				4819		

(注 1) 64 バイトのフラッシュ・ブロック書き込み動作時は、累積プログラム時間を越えてはいけません。このパラメータは、個々のワード/バイト書き込み及びブロック書き込みモードのすべてのプログラミング方法に適用されます。

(注 2) フラッシュ・タイミング発生器によって生成される一括消去時間は、最小 11.1 ms (= 5297 x 1/f_{FTG}, max = 5297 x 1/476 kHz) です。必要な累積一括消去時間を達成するために、フラッシュ・コントローラの一括消去動作を繰り返すことができます。(ワースト・ケースで最小 19 サイクル必要です。)

(注 3) これらの値は、フラッシュ・コントローラのステート・マシンにハード・ワイヤードされています。(t_{FTG} = 1/f_{FTG})

JTAG インタフェース

項 目		測定条件	V _{CC}	最小	標準	最大	単位
f _{TCK}	TCK 入力周波数	(注 1)	2.2 V	0		5	MHz
			3 V	0		10	
R _{Internal}	内部プルアップ抵抗 (TMS、TCK、TDI/TCLK)	(注 2)	2.2 V / 3 V	25	60	90	kΩ

(注 1) f_{TCK} は、選択されたモジュールのタイミング条件に適合するように制限されます。

(注 2) TMS、TDI/TCLK、及び TCK プルアップ抵抗は、すべてのバージョンに内蔵されています。

JTAG ヒューズ (注 1)

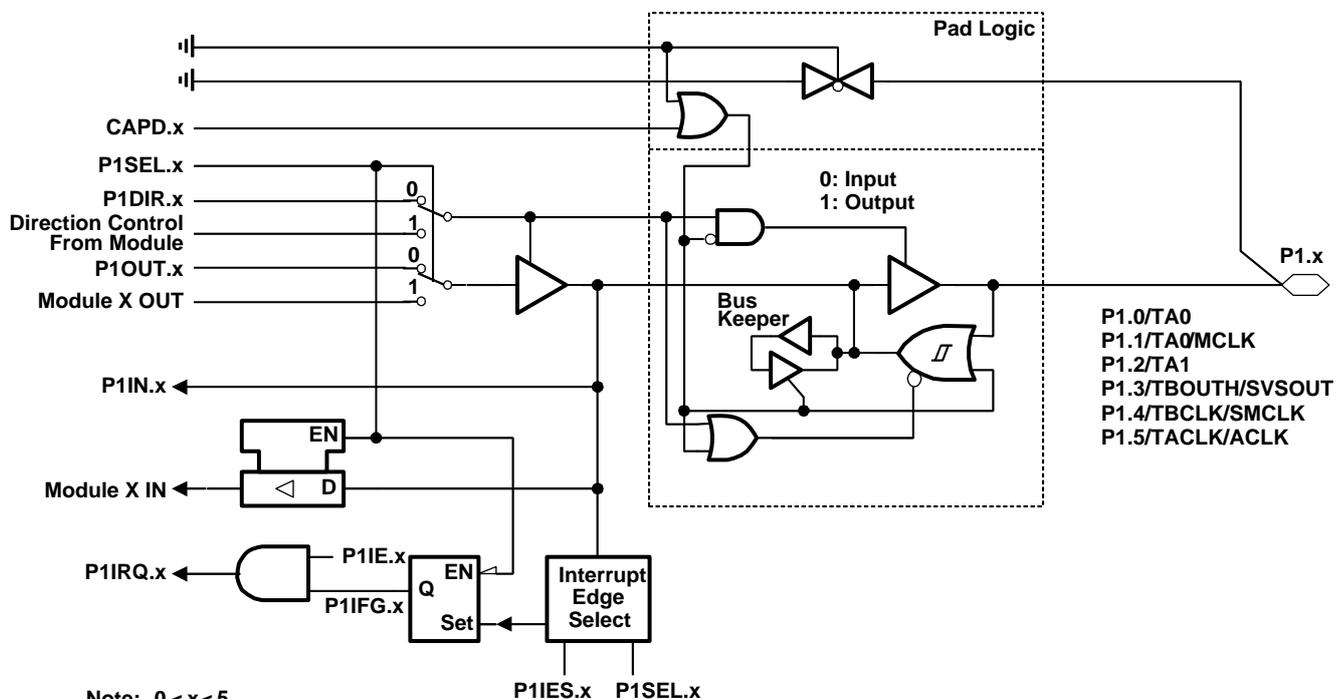
項 目		測定条件	V _{CC}	最小	標準	最大	単位
V _{CC(FB)}	ヒューズ切断時の電源電圧	T _A = 25°C		2.5			V
V _{FB}	ヒューズ切断電圧 (TDI/TCLK) : F バージョン			6		7	V
I _{FB}	ヒューズ切断時の消費電流 (TDI/TCLK)					100	mA
t _{FB}	ヒューズ切断時間					1	ms

(注 1) ヒューズが切断されると、二度と MSP430 の JTAG /テストおよびエミュレーション機能へアクセスすることができなくなります。JTAG ブロックは、バイパス・モードに切り換わります。

アプリケーション情報

入力/出力図

ポート P1、P1.0 ~ P1.5、シュミット・トリガ入力/出力



Note: $0 \leq x \leq 5$

Note: Port function is active if CAPD.x = 0

PnSel.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnIES.x
P1Sel.0	P1DIR.0	P1DIR.0	P1OUT.0	Out0 sig. †	P1IN.0	CCI0A †	P1IE.0	P1IFG.0	P1IES.0
P1Sel.1	P1DIR.1	P1DIR.1	P1OUT.1	MCLK	P1IN.1	CCI0B †	P1IE.1	P1IFG.1	P1IES.1
P1Sel.2	P1DIR.2	P1DIR.2	P1OUT.2	Out1 sig. †	P1IN.2	CCI1A †	P1IE.2	P1IFG.2	P1IES.2
P1Sel.3	P1DIR.3	P1DIR.3	P1OUT.3	SVSOUT	P1IN.3	TBOUTH ‡	P1IE.3	P1IFG.3	P1IES.3
P1Sel.4	P1DIR.4	P1DIR.4	P1OUT.4	SMCLK	P1IN.4	TBCLK ‡	P1IE.4	P1IFG.4	P1IES.4
P1Sel.5	P1DIR.5	P1DIR.5	P1OUT.5	ACLK	P1IN.5	TACLK †	P1IE.5	P1IFG.5	P1IES.5

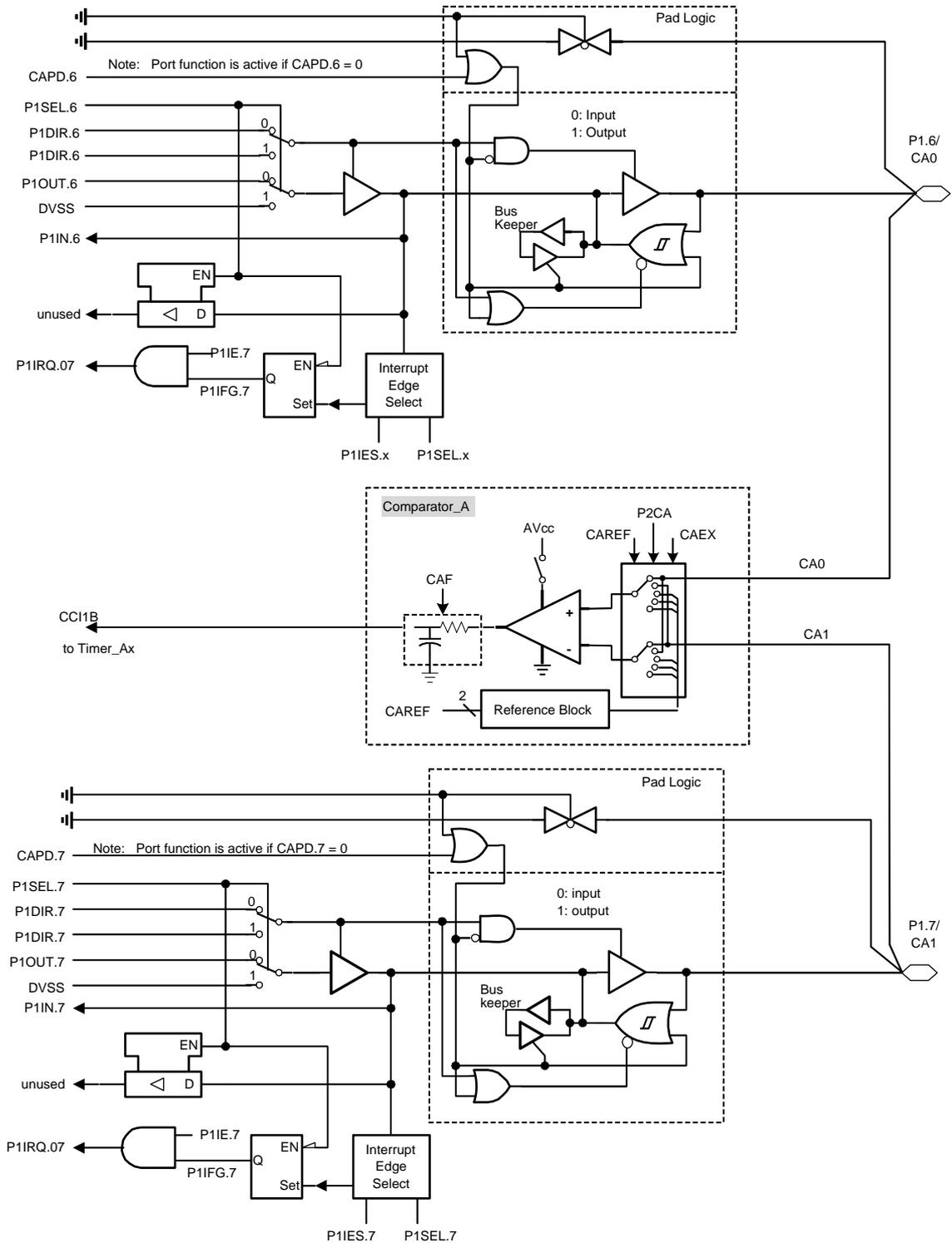
† タイマ_A

‡ タイマ_B

アプリケーション情報

入力/出力図 (続き)

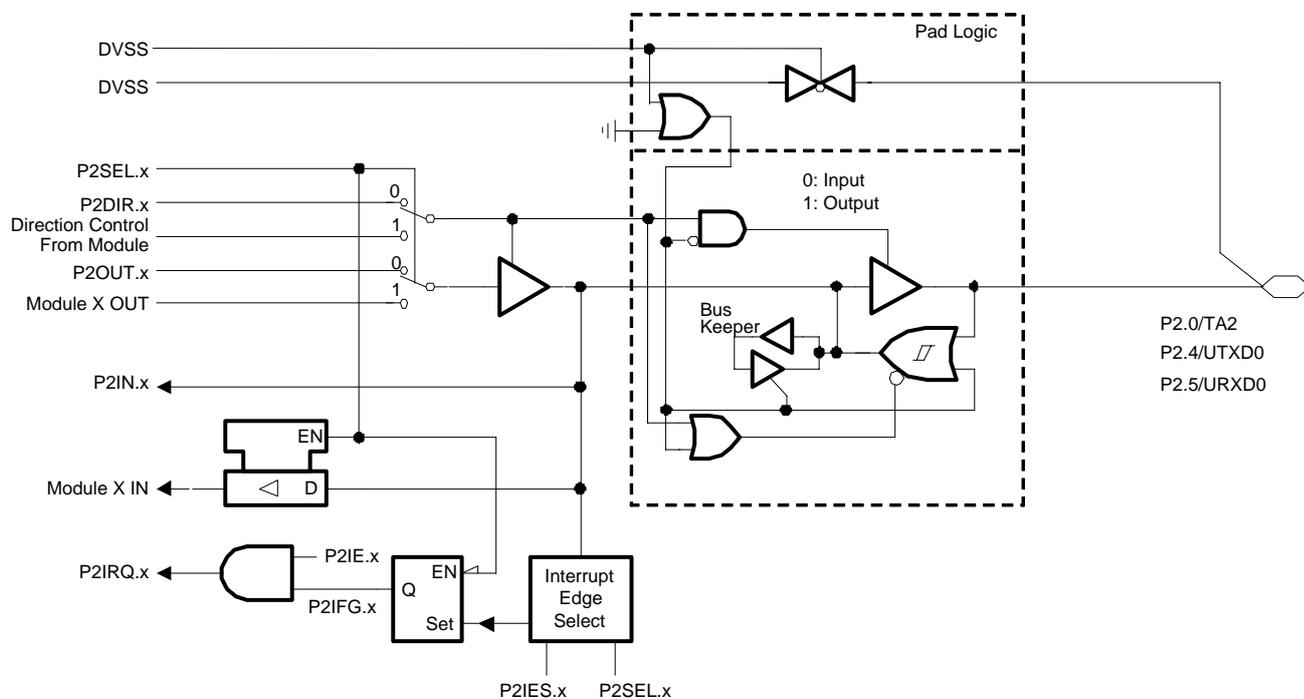
ポート P1、P1.6、P1.7、シュミット・トリガ入力/出力



アプリケーション情報

入力/出力図 (続き)

ポート P2、P2.0、P2.4 ~ P2.5、シュミット・トリガ入力/出力



Note: x {0,4,5}

PnSel.x	PnDIR.x	Dir. Control from module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnIES.x
P2Sel.0	P2DIR.0	P2DIR.0	P2OUT.0	Out2 sig. †	P2IN.0	CC12A †	P2IE.0	P2IFG.0	P2IES.0
P2Sel.4	P2DIR.4	DVCC	P2OUT.4	UTXD0 ‡	P2IN.4	unused	P2IE.4	P2IFG.4	P2IES.4
P2Sel.5	P2DIR.5	DVSS	P2OUT.5	DVSS	P2IN.5	URXD0 †	P2IE.5	P2IFG.5	P2IES.5

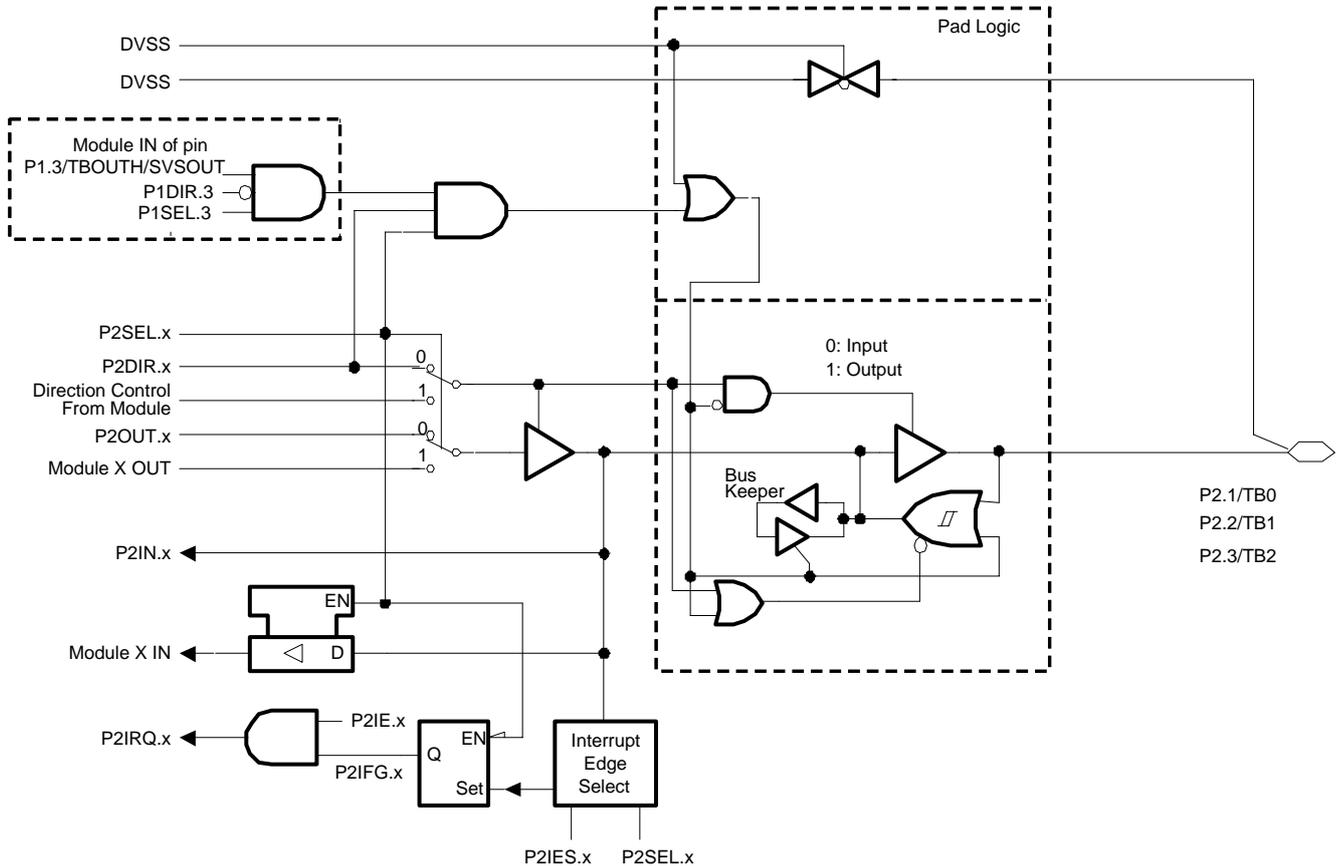
† タイマ_A

‡ USART0

アプリケーション情報

入力/出力図 (続き)

ポート P2、P2.1 ~ P2.3、シュミット・トリガ入力/出力



Note: $1 \leq x \leq 3$

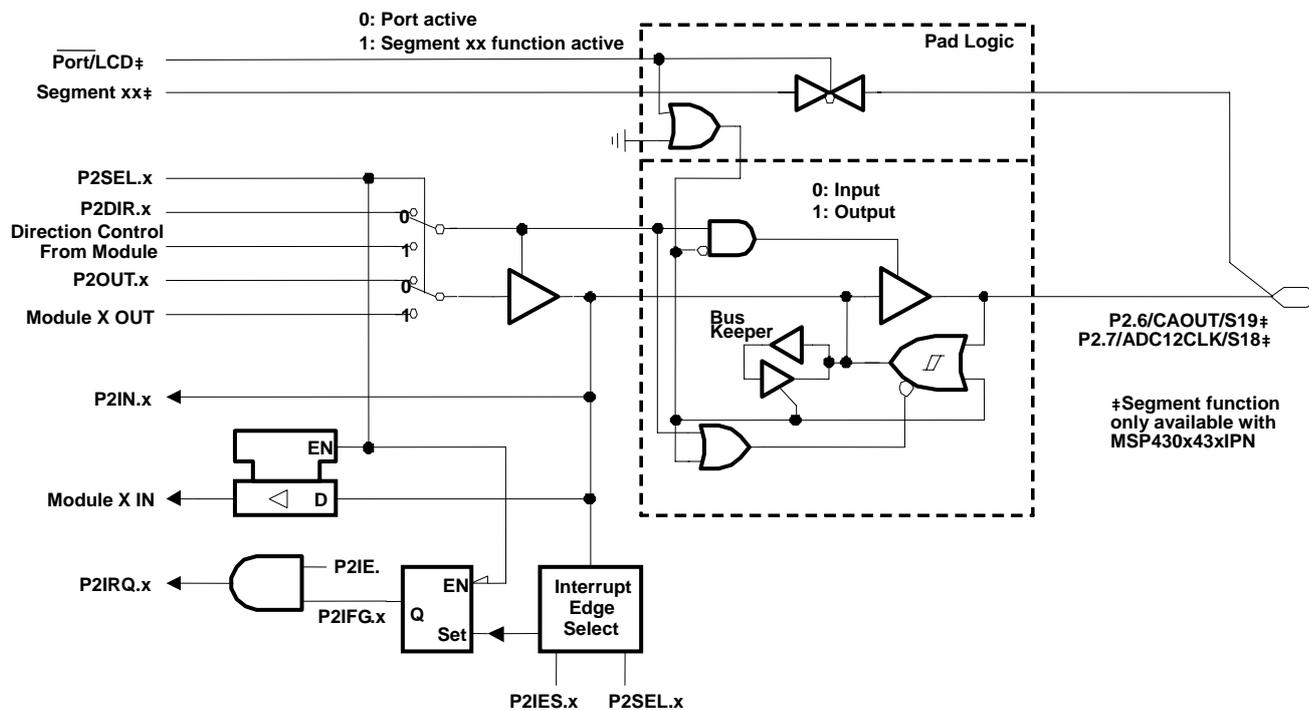
PnSel.x	PnDIR.x	Dir. Control from module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnIES.x
P2Sel.1	P2DIR.1	P2DIR.1	P2OUT.1	Out0 sig. †	P2IN.1	CC10A † CC10B †	P2IE.1	P2IFG.1	P2IES.1
P2Sel.2	P2DIR.2	P2DIR.2	P2OUT.2	Out1 sig. †	P2IN.2	CC11A † CC11B †	P2IE.2	P2IFG.2	P2IES.2
P2Sel.3	P2DIR.3	P2DIR.3	P2OUT.3	Out2 sig. †	P2IN.3	CC12A † CC12B †	P2IE.3	P2IFG.3	P2IES.3

† タイマ_B

アプリケーション情報

入力/出力図 (続き)

ポート P2、P2.6 ~ P2.7、シュミット・トリガ入力/出力



Note: $6 \leq x \leq 7$

PnSel.x	PnDIR.x	Dir. Control from module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnIES.x	$\overline{\text{Port/LCD}}\#$
P2Sel.6	P2DIR.6	P2DIR.6	P2OUT.6	CAOUT†	P2IN.6	unused	P2IE.6	P2IFG.6	P2IES.6	0: LCDM<40h‡
P2Sel.7	P2DIR.7	P2DIR.7	P2OUT.7	ADC12CLK§	P2IN.7	unused	P2IE.7	P2IFG.7	P2IES.7	0: LCDM<40h‡

† コンパレータ A

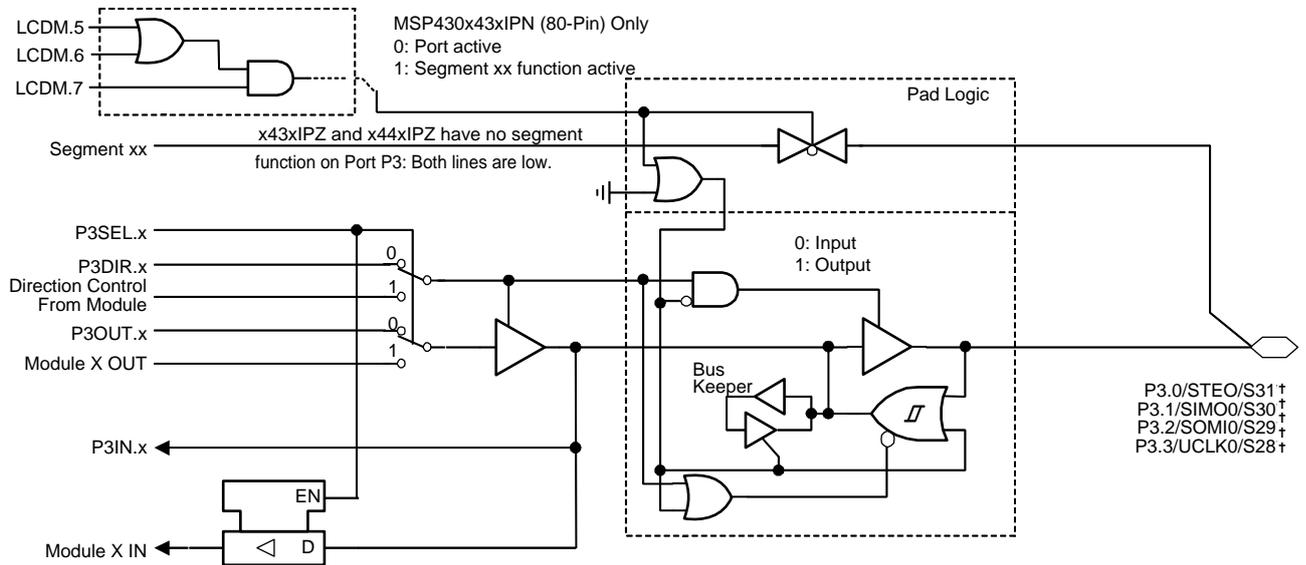
‡ ポート/LCD 信号は MSP430xIPN では 1 のみで、LCDM \geq 40h です。

§ ADC12

アプリケーション情報

入力/出力図 (続き)

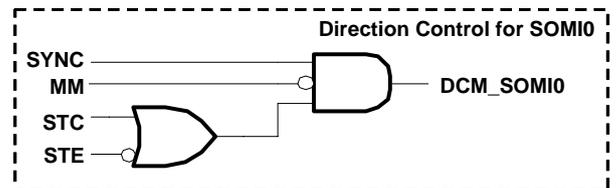
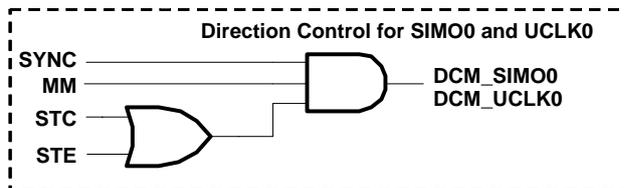
ポート P3、P3.0 ~ P3.3、シュミット・トリガ入力/出力



Note: 0 3 x 3 3

PnSel.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P3Sel.0	P3DIR.0	DVSS	P3OUT.0	DVSS	P3IN.0	STEO(in)
P3Sel.1	P3DIR.1	DCM_SIMO0	P3OUT.1	SIMO0(out)	P3IN.1	SIMO0(in)
P3Sel.2	P3DIR.2	DCM_SOMI0	P3OUT.2	SOMI0(out)	P3IN.2	SOMI0(in)
P3Sel.3	P3DIR.3	DCM_UCLK0	P3OUT.3	UCLK0(out)	P3IN.3	UCLK0(in)

† ポート機能と共用されている S24 ~ S31 は、MSP430x43xIPN (80 ピン QFP) のみにあります。



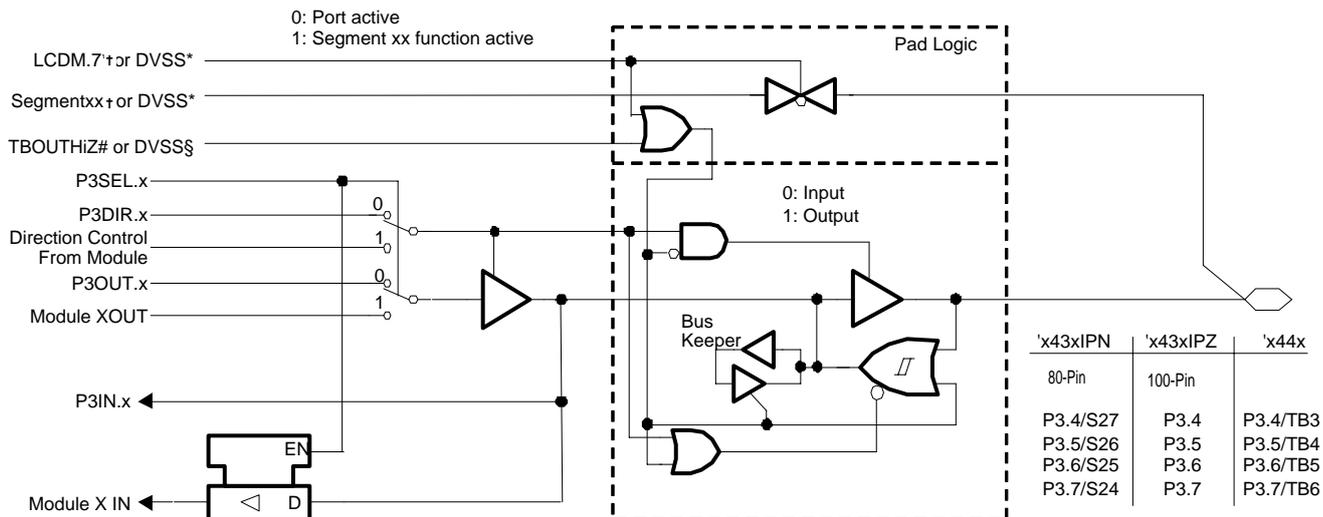
MSP430x43x、MSP430x44x
 ミックスド・シグナル・マイクロコントローラ

SLAS446 – 2005 年 4 月

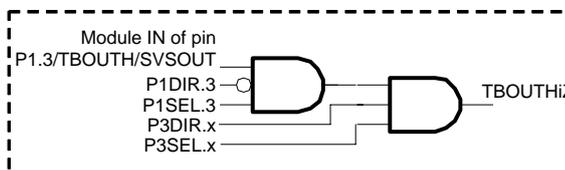
アプリケーション情報

入力/出力図 (続き)

ポート P3、P3.4 ~ P3.7、シュミット・トリガ入力/出力



Note: $4 \leq x \leq 7$



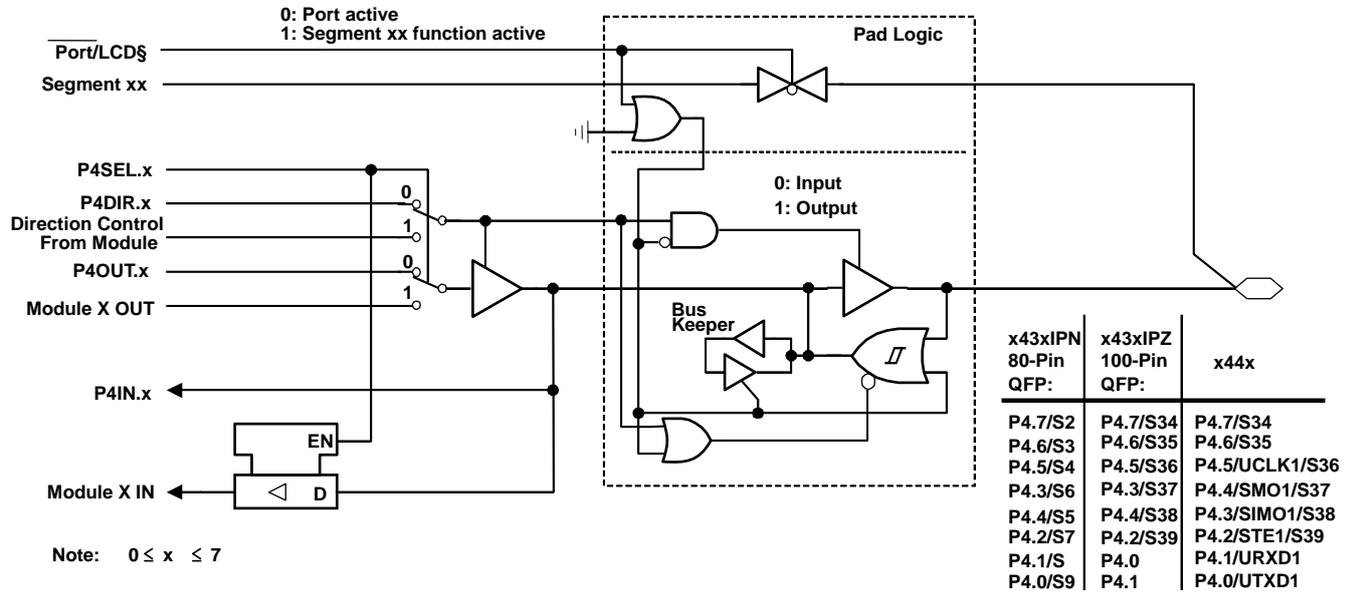
PnSel.x	PnDIR.x	Dir. Control from module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P3Sel.4	P3DIR.4	P3DIR.4	P3OUT.4	DVSS § OUT3 #	P3IN.4	unused § CCI3A/B #
P3Sel.5	P3DIR.5	P3DIR.5	P3OUT.5	DVSS § OUT4 #	P3IN.5	unused § CCI4A/B #
P3Sel.6	P3DIR.6	P3DIR.6	P3OUT.6	DVSS § OUT5 #	P3IN.6	unused § CCI5A/B #
P3Sel.7	P3DIR.7	P3DIR.7	P3OUT.7	DVSS § OUT6 #	P3IN.7	unused § CCI6A #

† MSP430x43xIPN
 † MSP430x43xIPZ, MSP430x44xIPZ
 § MSP430x43x
 # MSP430x44x

アプリケーション情報

入力/出力図 (続き)

ポート P4、P4.0 ~ P4.7、シュミット・トリガ入力/出力



PnSel.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P4Sel.0	P4DIR.0	P4DIR.0† DVCC‡	P4OUT.0	DVSS† UTXD1‡	P4IN.0	unused
P4Sel.1	P4DIR.1	P4DIR.1† DVSS‡	P4OUT.1	DVSS	P4IN.1	unused† URXD1‡
P4Sel.2	P4DIR.2	P4DIR.2† DVSS‡	P4OUT.2	DVSS	P4IN.2	unused† STE1(in)‡
P4Sel.3	P4DIR.3	P4DIR3†* DCM_SIMO1‡	P4OUT.3	DVSS† SIMO1(out)‡	P4IN.3	unused† SIMO1(in)‡
P4Sel.4	P4DIR.4	P4DIR4.† DCM_SOMI1‡	P4OUT.4	DVSS† SOMI1(out)‡	P4IN.4	unused SOMI1(in)‡
P4Sel.5	P4DIR.5	P4DIR5.† DCM_UCLK1‡	P4OUT.5	DVSS† UCLK1(out)‡	P4IN.5	unused† UCLK1(in)‡
P4Sel.6	P4DIR.4	P4DIR.6	P4OUT.6	DVSS	P4IN.6	unused
P4Sel.7	P4DIR.5	P4DIR.7	P4OUT.7	DVSS	P4IN.7	unused

† Signal at MSP430x43x

‡ Signal at MSP430x44x

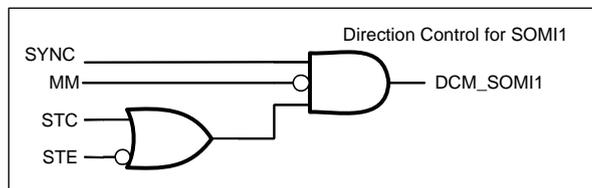
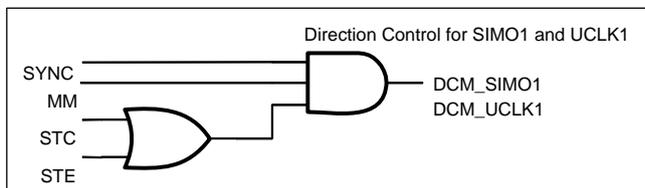
§

DEVICE	PORT BITS	PORT FUNCTION	LCD SEG. FUNCTION
x43xIPN 80 ピン QFP	P4.0 . . . P4.7	LCDM < 020h	LCDM ≥ 020h
x43xIPZ 100 ピン QFP	P4.2 . . . P4.5	LCDM < 0E0h	LCDM ≥ 0E0h
x44xIPZ 100 ピン QFP	P4.6 . . . P4.7	LCDM < 0C0h	LCDM ≥ 0C0h

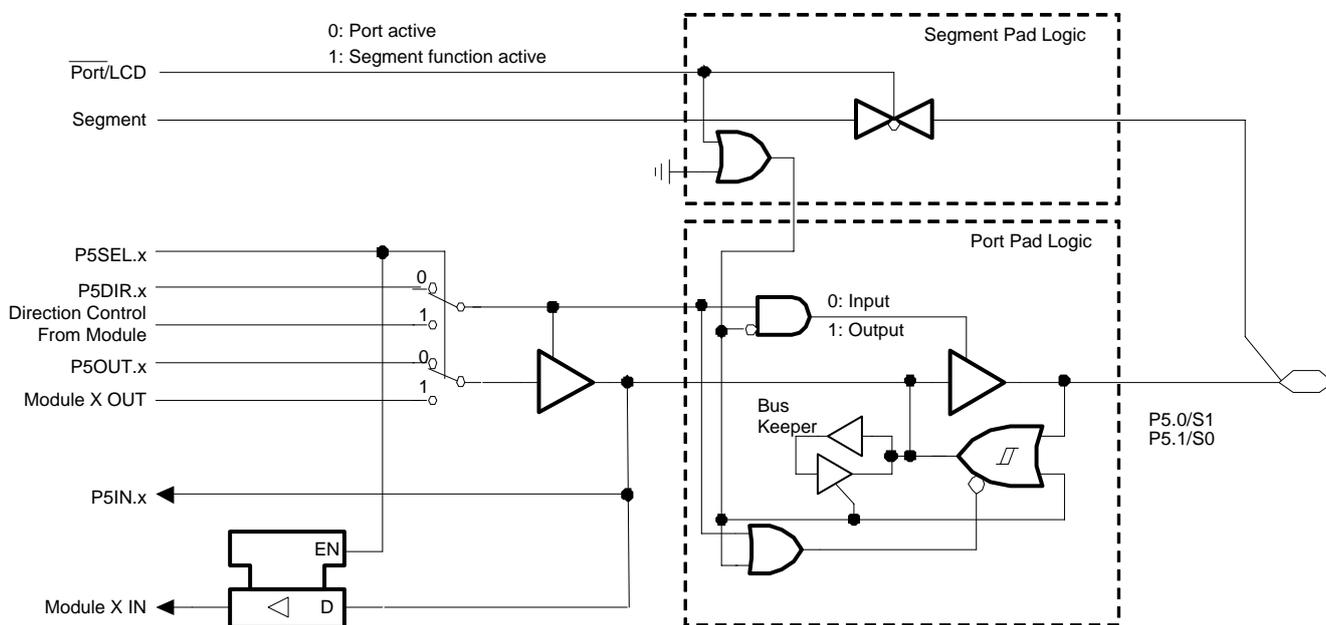
アプリケーション情報

入力/出力図 (続き)

ポート P4、P4.0 ~ P4.7、シュミット・トリガ入力/出力 (続き)



ポート P5、P5.0 ~ P5.1、シュミット・トリガ入力/出力



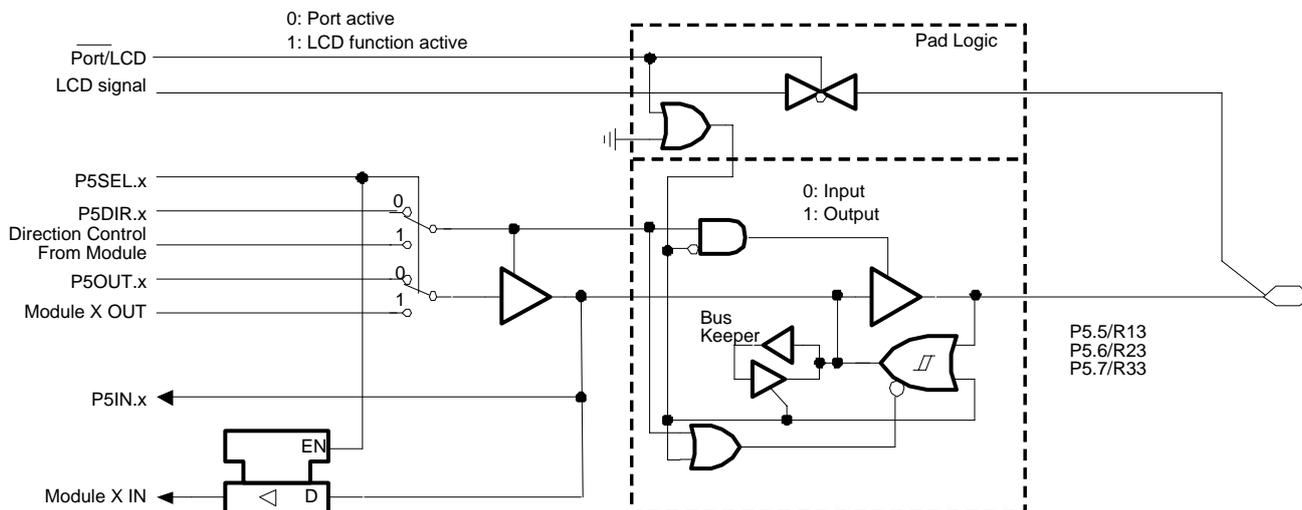
Note: $0 \leq x \leq 1$

PnSel.x	PnDIR.x	Dir. Control from module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	Segment	Port/LCD
P5Sel.0	P5DIR.0	P5DIR.0	P5OUT.0	DVSS	P5IN.0	unused	S1	0: LCDM<20h
P5Sel.1	P5DIR.1	P5DIR.1	P5OUT.1	DVSS	P5IN.1	unused	S0	0: LCDM<20h

アプリケーション情報

入力/出力図 (続き)

ポート P5、P5.5 ~ P5.7、シュミット・トリガ入力/出力



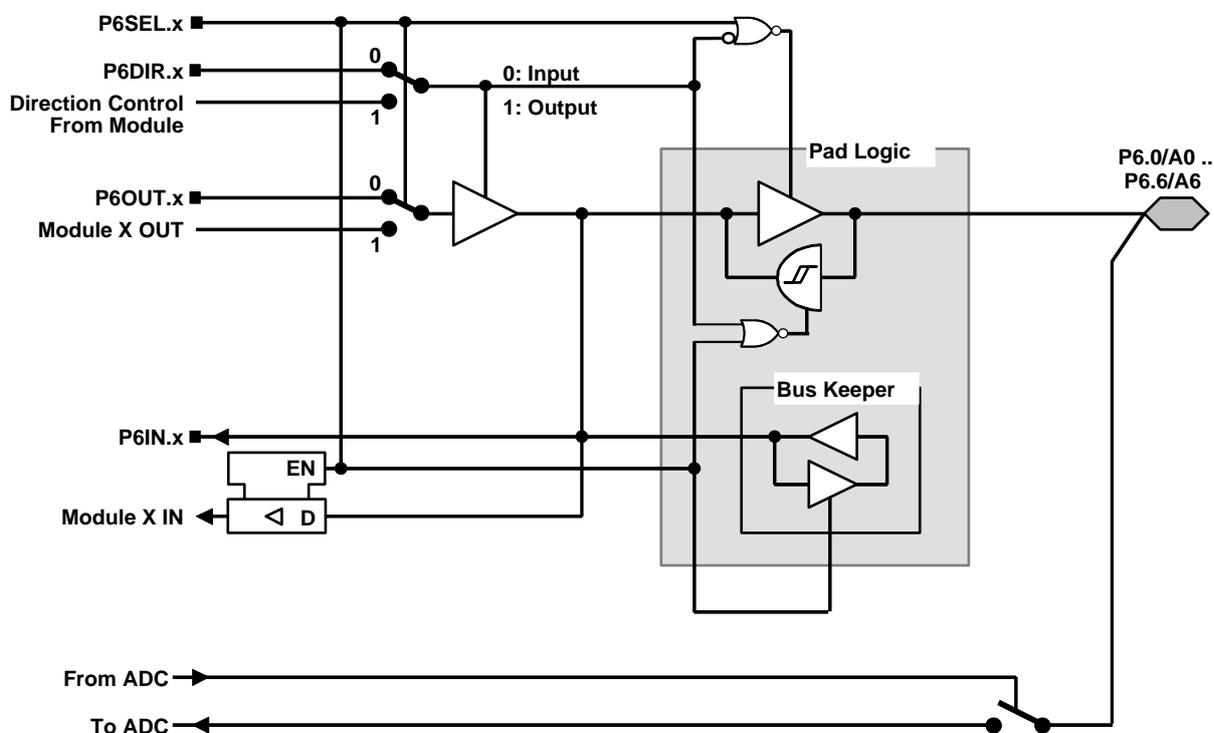
Note: $5 \leq x \leq 7$

PnSel.x	PnDIR.x	Dir. Control from module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	LCD signal	$\overline{\text{Port/LCD}}$
P5Sel.5	P5DIR.5	P5DIR.5	P5OUT.5	DVSS	P5IN.5	unused	R13	P5SEL.5
P5Sel.6	P5DIR.6	P5DIR.6	P5OUT.6	DVSS	P5IN.6	unused	R23	P5SEL.6
P5Sel.7	P5DIR.7	P5DIR.7	P5OUT.7	DVSS	P5IN.7	unused	R33	P5SEL.7

アプリケーション情報

入力/出力図 (続き)

ポート P6、P6.0 から P6.6、シュミット・トリガ入力/出力



x: Bit Identifier, 0 to 6 for Port P6

(注) デジタル・ゲートに印加されるアナログ信号は、正端子から負端子に流れる電流を引き起こすことがあります。アナログ信号が 0→1 又は 1→0 に変化する期間、スループット電流が流れます。スループット電流の値は、ゲートの駆動能力に依存します。MSP430 では、約 100 μ A です。
 スループット電流を防止するには、P6SEL. x = 1 を使用して下さい。その端子の信号が ADC12 によって使用されていない場合でも、P6SEL. x は設定しなければなりません。

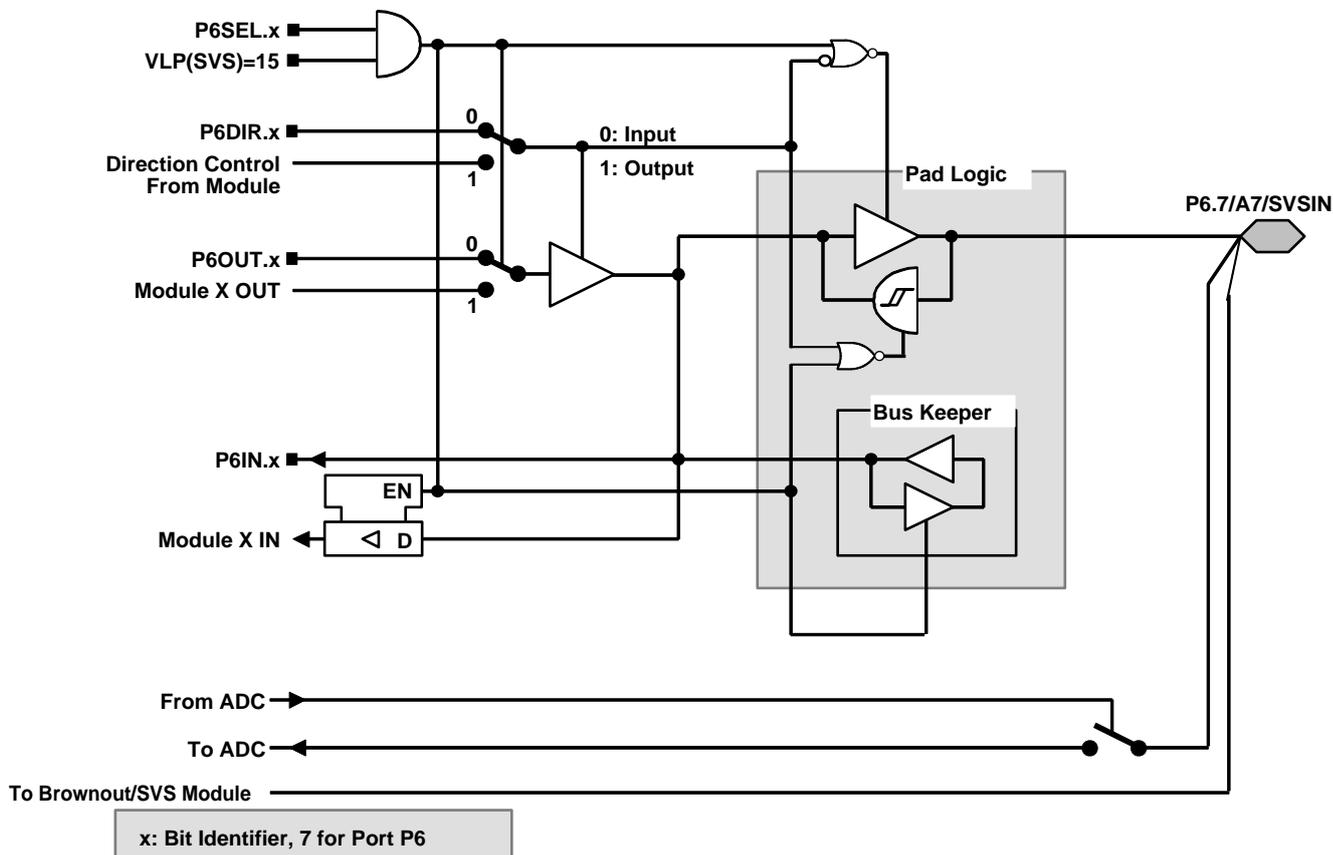
PnSel.x	PnDIR.x	DIR. CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN
P6Sel.0	P6DIR.0	P6DIR.0	P6OUT.0	DV _{SS}	P6IN.0	unused
P6Sel.1	P6DIR.1	P6DIR.1	P6OUT.1	DV _{SS}	P6IN.1	unused
P6Sel.2	P6DIR.2	P6DIR.2	P6OUT.2	DV _{SS}	P6IN.2	unused
P6Sel.3	P6DIR.3	P6DIR.3	P6OUT.3	DV _{SS}	P6IN.3	unused
P6Sel.4	P6DIR.4	P6DIR.4	P6OUT.4	DV _{SS}	P6IN.4	unused
P6Sel.5	P6DIR.5	P6DIR.5	P6OUT.5	DV _{SS}	P6IN.5	unused
P6Sel.6	P6DIR.6	P6DIR.6	P6OUT.6	DV _{SS}	P6IN.6	unused

(注) P6. x/Ax 端子の信号は、12 ビット ADC モジュールによって使用されます。

アプリケーション情報

入力/出力図 (続き)

ポート P6、P6.7、シュミット・トリガ入力/出力



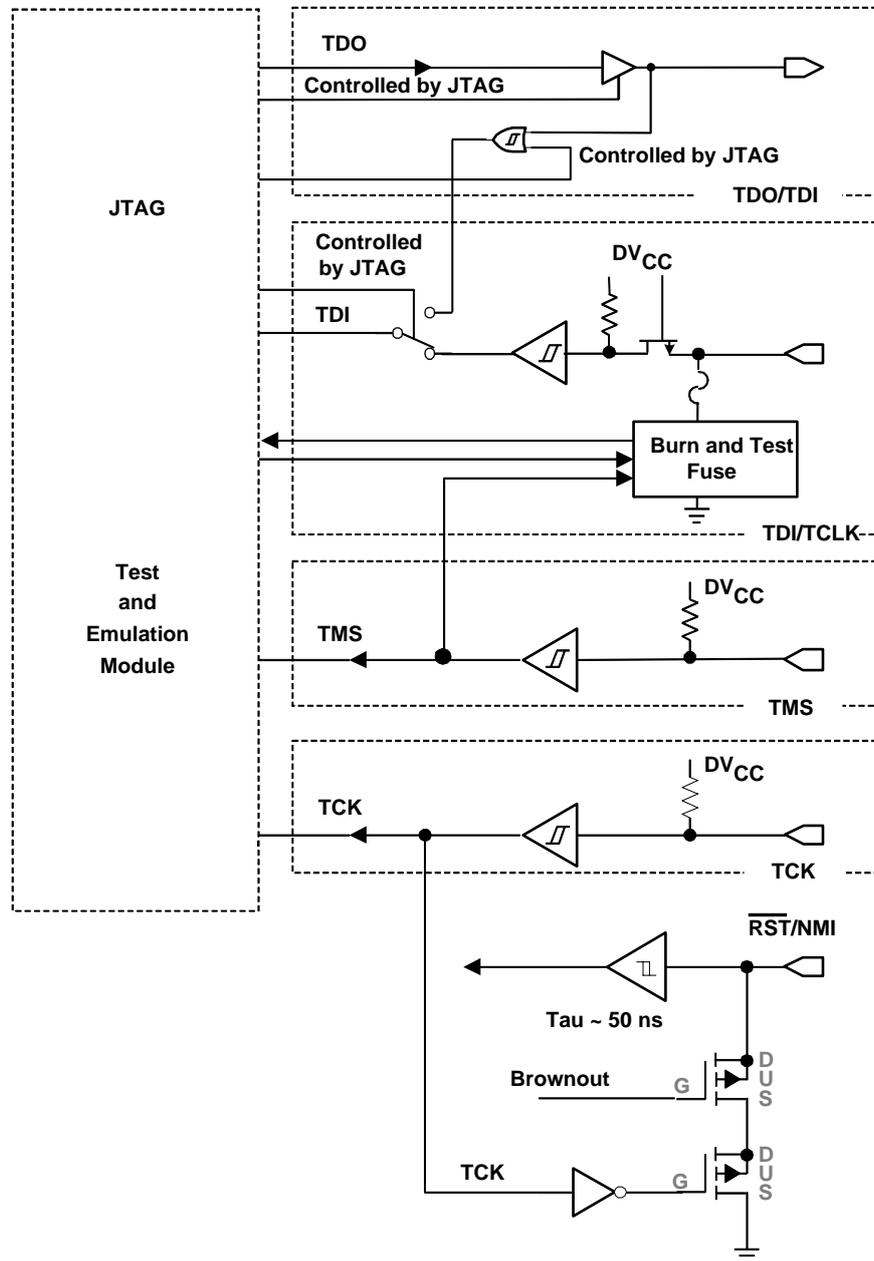
(注) デジタル・ゲートに印加されるアナログ信号は、正端子から負端子に流れる電流を引き起こすことがあります。アナログ信号が 0→1 又は 1→0 に変化する期間、スループット電流が流れます。スループット電流の値は、ゲートの駆動能力に依存します。MSP430 では、約 100 μ A です。
 スループット電流を防止するには、P6SEL. x = 1 を使用して下さい。その端子の信号が ADC12 によって使用されていない場合でも、P6SEL. x は設定しなければなりません。

PnSel.x	PnDIR.x	Dir. Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P6Sel.7	P6DIR.7	P6DIR.7	P6OUT.7	DV _{SS}	P6IN.7	unused

(注) P6. x/Ax 端子の信号は、12 ビット ADC モジュールによって使用されます。
 P6. 7/A7/SVSIN 端子の信号は、モジュールのブラウンアウト/電源電圧監視回路の入力マルチプレクサにも接続されます。

アプリケーション情報

JTAG 端子 TMS、TCK、TDI/TCLK、TDO/TDI、シュミット・トリガ入力/出力



JTAG ヒューズ・チェック・モード

MSP430 デバイスは、TDI/TCLK 端子にヒューズを持っており、パワー・オン・リセット (POR) 直後の一回目に JTAG にアクセスしてヒューズの導通をテストするヒューズ・チェック・モードを装備しています。機能させている場合、ヒューズが切られていなければ、3 V で 1 mA の I_{TF} チェック電流が TDI/TCLK 端子からグラウンドに流れます。誤ってヒューズ・チェック・モードを起動させたり、システムの総消費電流を増加させたりしないよう注意して下さい。

パワー・アップの後の TMS の最初の立ち下がりエッジを伴って、又は TMS がロー・レベルに保持された状態でのパワー・アップ後、ヒューズ・チェック・モード機能が起動します。次の TMS の立ち上がりエッジでヒューズ・チェック・モードを停止します。停止後、ヒューズ・チェック・モードは、次の POR が発生するまで休止します。各 POR 後に、ヒューズ・チェック・モードが動作することになります。

ヒューズ・チェック電流は、ヒューズ・チェック・モードが動作していて、TMS がロー・レベル (図 21 参照) の時のみに発生します。従って、TMS をハイ・レベル (初期設定条件) にすることにより、電流の流出を防止することができます。JTAG 端子は内部で終端されていますので、外部の終端は必要ありません。

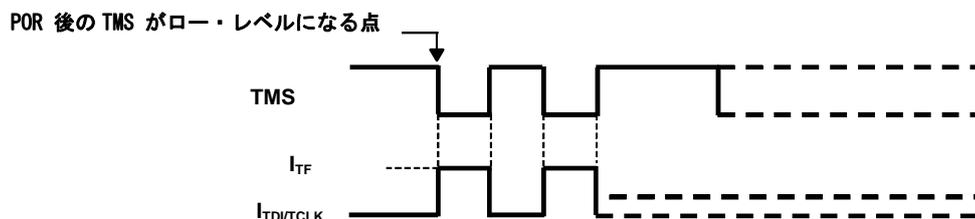
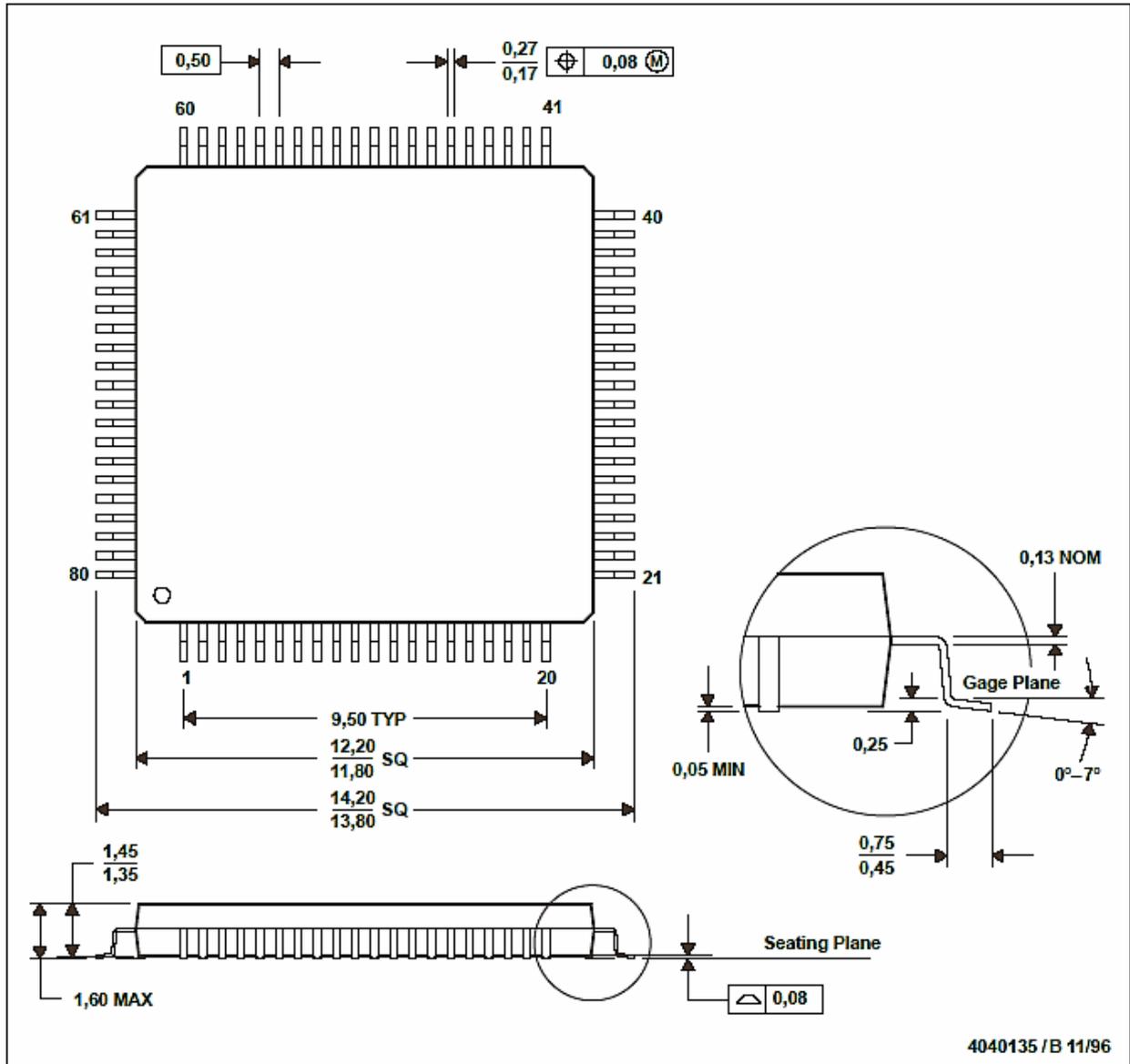


図 21. ヒューズ・チェック・モード電流、MSP430x43x、MSP430x44x

PN (S-PQFP-G80)

PLASTIC QUAD FLATPACK



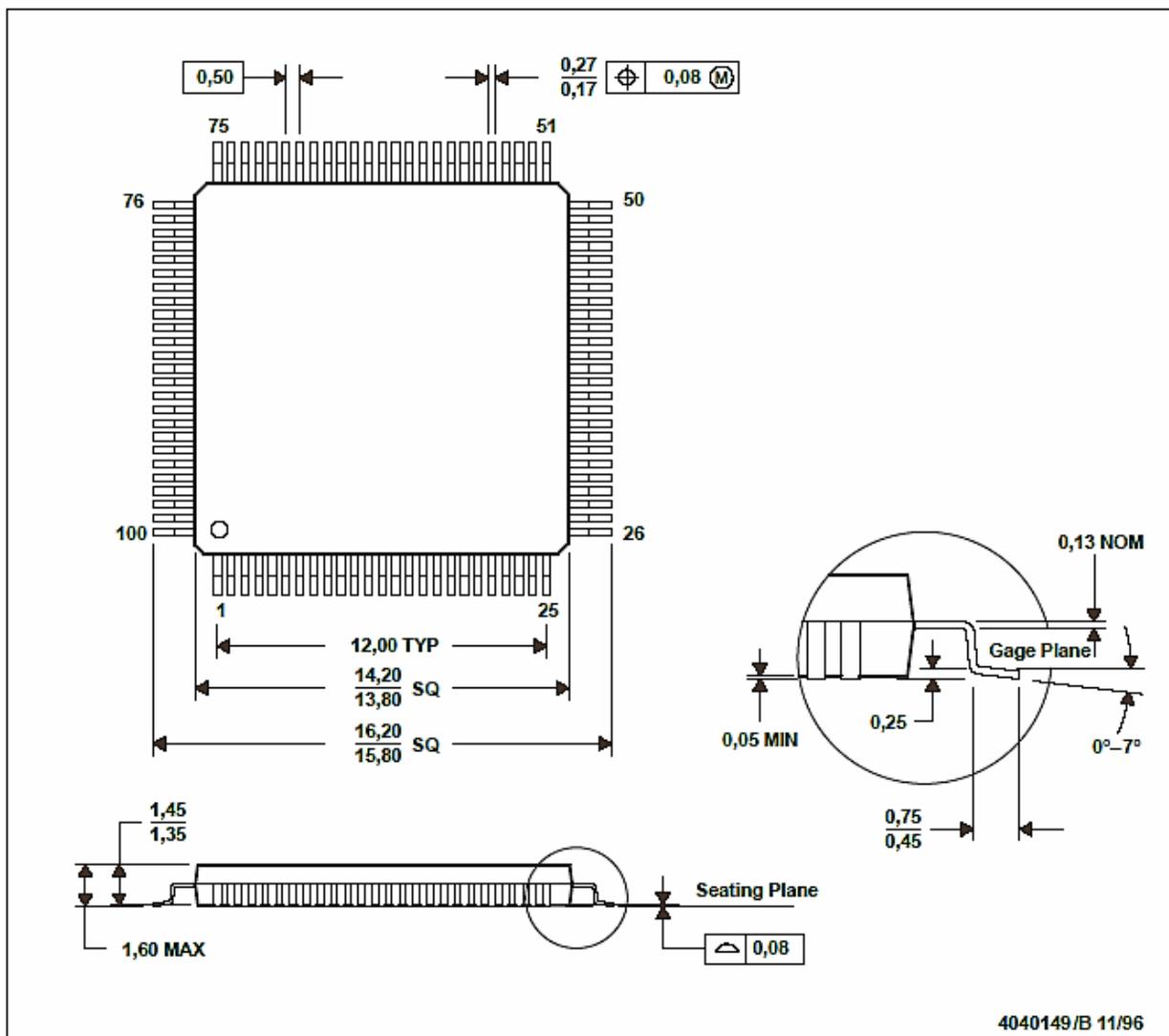
- (注 A) すべての寸法の単位は mm とします。
- (注 B) この図面は予告なく変更されることがあります。
- (注 C) JEDEC MS-026 に相当します。

MSP430x43x、MSP430x44x
 ミックスド・シグナル・マイクロコントローラ

SLAS446 - 2005 年 4 月

PZ (S-PQFP-G100)

PLASTIC QUAD FLATPACK



- (注 A) すべての寸法の単位は mm とします。
 (注 B) この図面は予告なく変更されることがあります。
 (注 C) JEDEC MS-026 に相当します。

(SLAS344D - JANUARY 2002 - REVISED AUGUST 2004)

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款をご覧ください。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2005, Texas Instruments Incorporated

日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上