TEXAS INSTRUMENTS
www.tij.co.jp

MSP430F42x0
ミックスド・シグナル・マイクロコントローラ

JAJS186 was SLAS488 – 2005 年 8 月

- 低電源電圧範囲：1.8 V ～ 3.6 V
- 超低消費電力：
  - アクティブ・モード：250 µA （1 MHz、2.2 V）
  - スタンバイ・モード：1.1 µA
  - オフ・モード（RAM データ保持）：0.1 µA
- 5 つのパワー・セーブ・モード
- スタンバイ・モードからのウェークアップは 6 µs 以下
- 16 ビット RISC アーキテクチャ、125 ns インストラクション・サイクル・タイム
- 16 ビット シグマ・デルタ A/D コンバータ（内部基準電圧付き）
- 12 ビット D/A コンバータ
- 16 ビット タイマ_A （3 つのキャプチャ/コンペアレジスタ付き）
- ブラウンアウト検出
- ブートストラップ・ローダ
- シリアル・オンボード・プログラミング、外部プログラミング電圧不要、セキュリティ・ヒューズによるプログラム可能なコード保護
- 56 セグメントまでのコントラスト制御付き LCD ドライバ内蔵
- ファミリ製品：
  - MSP430F4250：16KB + 256B フラッシュ・メモリ、256B RAM
  - MSP430F4260：24KB + 256B フラッシュ・メモリ、256B RAM
  - MSP430F4270：32KB + 256B フラッシュ・メモリ、256B RAM
- モジュールの詳細は、*MSP430x4xx ファミリ ユーザーズ・ガイド* 資料番号 SLAU141（日本語版）、SLAU056（英語版）を参照して下さい。
- これ以外のデバイス情報は、*MSP430F42x0 デバイス エラッタシート* 資料番号 SLAZ022 を参照して下さい。

概要

テキサス・インスツルメンツの超低消費電力マイクロコントローラ MSP430 ファミリは、色々なアプリケーションのための異なる種類のペリフェラルデバイスで構成されています。5 つの低消費電力モードを持ったアーキテクチャは、携帯型計測機器アプリケーションのバッテリ寿命を延ばすために最適化されています。デバイスには、パワフルな 16 ビット RISC CPU、16 ビット レジスタ、及び最大コード効率のためのコンスタント・ジェネレータが搭載されています。デジタル・コントロール・オシレータ（DCO）により、低消費電力モードからアクティブ・モードへのウェークアップが 6 µs 以内で行われます。

MSP430F42x0 は、16 ビット タイマ、高性能 16 ビット シグマ・デルタ A/D コンバータ、12 ビット D/A コンバータ、32 I/O 端子、及び LCD ディスプレイ・ドライバを搭載したマイクロコントローラ構成となっています。

このデバイスの標準的なアプリケーションは、アナログ及びデジタル・センサ・システム、デジタル・モータ制御、遠隔制御、サーモスタット、デジタル・タイマ、及びハンド・ヘルド・メータなどがあります。

製品オプション

T_A	パッケージ・デバイス	
	プラスチック 48 ピン SSOP (DL)	プラスチック 48 ピン QFN (RGZ)
-40℃ ～ 85℃	MSP430F4250IDL	MSP430F4250IRGZ†
	MSP430F4260IDL	MSP430F4260IRGZ†
	MSP430F4270IDL	MSP430F4270IRGZ†

† プロダクト・プレビュー

静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切な ESD 保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

テキサス・インスツルメンツの半導体製品の供給状況、標準保証、及び重大用途における使用に関しましては、重要なご注意がこのデータ・シートの終わりに掲載されていますので、ご参照下さい。

この資料は、Texas Instruments Incorporated(TI)が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ（日本 TI）が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討及びご採用にあたりましては、必ず正規英語版の最新資料をご確認下さい。TI 及び日本 TI は、正規英語版にて更新の情報を提供しているにも関わらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

著作権© 2005 日本テキサス・インスツルメンツ株式会社

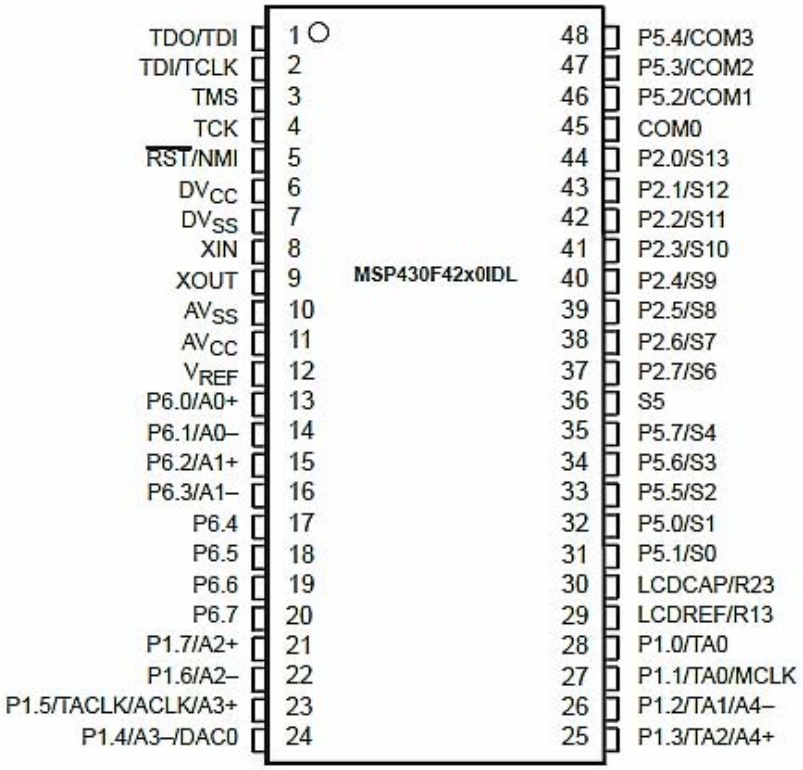
TEXAS INSTRUMENTS

SLAS455B 翻訳版

最新の英語版資料
http://focus.tij.co.jp/jp/lit/ds/symlink/msp430f4250.pdf

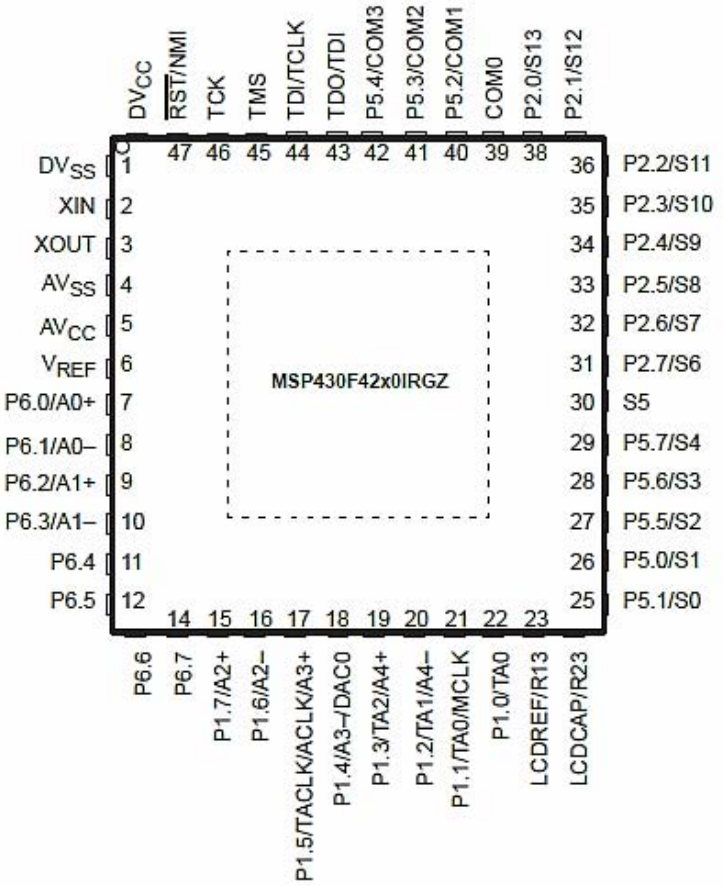
ピン配置、MSP430F42x0

DL パッケージ
（上面図）

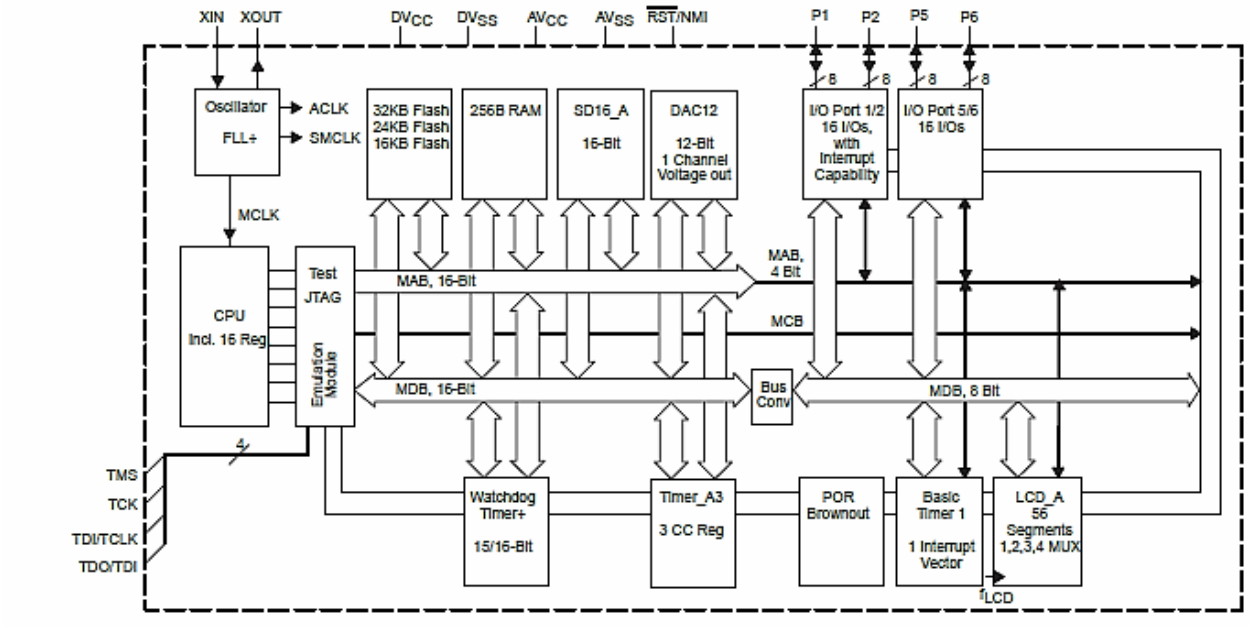


ピン配置、MSP430F42x0（続き）

RGZ パッケージ
（上面図）



MSP430F42x0 機能ブロック図



MSP430F42x0 端子機能表

端子				説明
名前	DL No.	RGZ No.	I/O	
TDO/TDI	1	43	I/O	テスト・データ出力ポート。TDO/TDI データ出力又はプログラミング・データ入力端子
TDI/TCLK	2	44	I	テスト・データ入力又はテスト・クロック入力。デバイス保護ヒューズが、TDI/TCLK に接続されています。
TMS	3	45	I	テスト・モード選択入力。TMS はデバイス・プログラミング及びテストのための入力ポートとして使用します。
TCK	4	46	I	テスト・クロック入力。TCK は、デバイス・プログラミング及びテストのためのクロック入力ポートです。
$\overline{\text{RST}}$/NMI	5	47	I	汎用デジタル I/O / リセット入力又はマスク不可能な割り込み入力
DV_{CC}	6	48		デジタル電源。正端子
DV_{SS}	7	1		デジタル電源。負端子
XIN	8	2	I	クリスタル・オシレータ XT1 の入力
XOUT	9	3	O	クリスタル・オシレータ XT1 の出力
AV_{SS}	10	4		アナログ電源。負端子
AV_{CC}	11	5		アナログ電源。正端子
V_{REF}	12	6	I/O	アナログ基準電圧
P6.0/A0+	13	7	I/O	汎用デジタル I/O / アナログ入力 A0+
P6.1/A0−	14	8	I/O	汎用デジタル I/O / アナログ入力 A0−
P6.2/A1+	15	9	I/O	汎用デジタル I/O / アナログ入力 A1+
P6.3/A1−	16	10	I/O	汎用デジタル I/O / アナログ入力 A1−
P6.4	17	11	I/O	汎用デジタル I/O
P6.5	18	12	I/O	汎用デジタル I/O
P6.6	19	13	I/O	汎用デジタル I/O
P6.7	20	14	I/O	汎用デジタル I/O
P1.7/A2+	21	15	I/O	汎用デジタル I/O / アナログ入力 A2+
P1.6/A2−	22	16	I/O	汎用デジタル I/O / アナログ入力 A2−
P1.5/TACLK/ACLK/A3+	23	17	I/O	汎用デジタル I/O / タイマ_A、クロック信号 TACLK 入力 / ACLK 出力 (1/1、1/2、1/4、又は 1/8 分周) / アナログ入力 A3+
P1.4/A3−/DAC0	24	18	I/O	汎用デジタル I/O / アナログ入力 A3− / DAC12 出力
P1.3/TA2/A4+	25	19	I/O	汎用デジタル I/O / タイマ_A、キャプチャ：CCI2A 入力、コンペア：Out2 出力 / アナログ入力 A4+
P1.2/TA1/A4−	26	20	I/O	汎用デジタル I/O / タイマ_A、キャプチャ：CCI1A 入力、コンペア：Out1 出力 / アナログ入力 A4−
P1.1/TA0/MCLK	27	21	I/O	汎用デジタル I/O / タイマ_A、キャプチャ：CCI0B / MCLK 出力。（注）：TA0 は入力のみです。/ BSL 受信
P1.0/TA0	28	22	I/O	汎用デジタル I/O / タイマ_A、キャプチャ：CCI0A 入力、コンペア：Out0 出力 / BSL 送信
LCDREF/R13	29	23		外部 LCD 基準電圧入力 / 3 番目の正アナログ LCD レベル (V4 又は V3) の入力ポート
LCDCAP/R23	30	24		LCD チャージ・ポンプのコンデンサ接続端子 / 2 番目の正アナログ LCD レベル (V2) の入力ポート
P5.1/S0	31	25	I/O	汎用デジタル I/O / LCD セグメント出力 0
P5.0/S1	32	26	I/O	汎用デジタル I/O / LCD セグメント出力 1
P5.5/S2	33	27	I/O	汎用デジタル I/O / LCD セグメント出力 2
P5.6/S3	34	28	I/O	汎用デジタル I/O / LCD セグメント出力 3
P5.7/S4	35	29	I/O	汎用デジタル I/O / LCD セグメント出力 4
S5	36	30	O	LCD セグメント出力 5
P2.7/S6	37	31	I/O	汎用デジタル I/O / LCD セグメント出力 6
P2.6/S7	38	32	I/O	汎用デジタル I/O / LCD セグメント出力 7

MSP430F42x0 端子機能表（続き）

端子				説明
名前	DL No.	RGZ No.	I/O	
P2.7/S6	37	31	I/O	汎用デジタル I/O / LCD セグメント出力 6
P2.6/S7	38	32	I/O	汎用デジタル I/O / LCD セグメント出力 7
P2.5/S8	39	33	I/O	汎用デジタル I/O / LCD セグメント出力 8
P2.4/S9	40	34	I/O	汎用デジタル I/O / LCD セグメント出力 9
P2.3/S10	41	35	I/O	汎用デジタル I/O / LCD セグメント出力 10
P2.2/S11	42	36	I/O	汎用デジタル I/O / LCD セグメント出力 11
P2.1/S12	43	37	I/O	汎用デジタル I/O / LCD セグメント出力 12
P2.0/S13	44	38	I/O	汎用デジタル I/O / LCD セグメント出力 13
COM0	45	39	O	コモン出力。COM0 ～ 3 は LCD バックプレーンのために使用されます。
P5.2/COM1	46	40	I/O	汎用デジタル I/O / コモン出力。COM0 ～3 は LCD バックプレーンのために使用されます。
P5.3/COM2	47	41	I/O	汎用デジタル I/O / コモン出力。COM0 ～3 は LCD バックプレーンのために使用されます。
P5.4/COM3	48	42	I/O	汎用デジタル I/O / コモン出力。COM0 ～3 は LCD バックプレーンのために使用されます。
QFN Pad	NA	None	NA	QFN パッケージのパッドは DV_{SS} に接続することを推奨します。

概要説明

CPU

MSP430 CPU には、アプリケーションに適した 16 ビット RISC アーキテクチャを搭載しています。プログラム・フロー・インストラクション以外のすべての動作は、ソース・オペランドのための 7 つのアドレッシング・モード及びデスティネーション・オペランドのための 4 つのアドレッシング・モードと共にレジスタ・オペレーションとして実行されます。

CPU は、命令実行時間を短縮する 16 個のレジスタを内蔵しています。レジスタ間のオペレーション実行時間は、CPU クロックの 1 サイクルです。

レジスタの内の 4 個（R0～R3）は、それぞれプログラム・カウンタ、スタック・ポインタ、ステータス・レジスタ、及びコンスタント・ジェネレータ（定数発生回路）として割り当てられています。残りのレジスタは、汎用レジスタです。

ペリフェラルは、データ、アドレス、及びコントロール・バスを使って CPU に接続され、すべての命令によって取り扱うことができます。

プログラム・カウンタ	PC/R0
スタック・ポインタ	SP/R1
ステータス・レジスタ	SR/CG1/R2
コンスタント・ジェネレータ	CG2/R3
汎用レジスタ	R4
汎用レジスタ	R5
汎用レジスタ	R6
汎用レジスタ	R7
汎用レジスタ	R8
汎用レジスタ	R9
汎用レジスタ	R10
汎用レジスタ	R11
汎用レジスタ	R12
汎用レジスタ	R13
汎用レジスタ	R14
汎用レジスタ	R15

命令セット

命令セットは 3 つのフォーマット及び 7 つのアドレスモードを持った 51 の命令から成ります。各々の命令は、ワード及びバイト・データに基づいて実行することができます。表 1 は命令フォーマットの 3 つのタイプの例を示します。表 2 にアドレス・モードを示します。

表 1. 命令ワード・フォーマット

デュアル・オペランド（ソース-デスティネーション）	例、ADD R4,R5	R4 + R5 → R5
シングル・オペランド（デスティネーションのみ）	例、CALL R8	PC → (TOS), R8 → PC
相対ジャンプ（無条件/条件付き）	例、JNE	Jump-on-equal bit = 0

表 2 アドレス・モード

アドレス・モード	S	D	構 文	例	動 作
レジスタ	●	●	MOV Rs,Rd	MOV R10,R11	R10 → R11
インデックス	●	●	MOV X(Rn),Y(Rm)	MOV 2(R5),6(R6)	M(2+R5) →M(6+R6)
シンボリック（PC 対応）	●	●	MOV EDE,TONI		M(EDE) → M(TONI)
絶対	●	●	MOV & MEM, & TCDAT		M(MEM) → M(TCDAT)
間接	●		MOV @Rn,Y(Rm)	MOV @R10,Tab(R6)	M(R10) → M(Tab+R6)
間接（自動インクリメント）	●		MOV @Rn+,Rm	MOV @R10+,R11	M(R10) → R11 R10 + 2 → R10
即時	●		MOV #X,TONI	MOV #45,TONI	#45 → M(TONI)

（注）S = ソース、D = デスティネーション

動作モード

MSP430 には、1 つのアクティブ・モードと、ソフトウエアで選択可能な 5 つの低消費電力動作モードがあります。割り込みイベントにより、デバイスを 5 つの低消費電力モードのどれからでもウェークアップすることができ、要求に応え、そして、割り込みプログラムから戻るのに伴って低消費電力モードに戻ることができます。以下の 6 つの動作モードを、ソフトウエアによって構成することができます：

- アクティブ・モード AM ；

  – すべてのクロックはアクティブ

- 低消費電力モード 0 (LPM0) ；

  – CPU はディスエーブル
  ACLK 及び SMCLK はアクティブのまま。MCLK はモジュールで使用できます。
  FLL+ ループ制御はアクティブのまま

- 低消費電力モード 1 (LPM1) ；

  – CPU はディスエーブル
  ACLK 及び SMCLK はアクティブのまま。MCLK はモジュールで使用できます。
  FLL+ ループ制御はディスエーブル

- 低消費電力モード 2 (LPM2) ；

  – CPU はディスエーブル
  MCLK、FLL+ ループ制御、及び DCOCLK はディスエーブル
  DCO の DC 発生回路はイネーブルのまま
  ACLK はアクティブのまま

- 低消費電力モード 3 (LPM3) ；

  – CPU はディスエーブル
  MCLK、FLL+ ループ制御、及び DCOCLK はディスエーブル
  DCO の DC 発生回路はディスエーブル
  ACLK はアクティブのまま

- 低消費電力モード 4 (LPM4) ；

  – CPU はディスエーブル
  ACLK はディスエーブル
  MCLK、FLL+ ループ制御、及び DCOCLK はディスエーブル
  DCO の DC 発生回路はディスエーブル
  クリスタル・オシレータは停止

割り込みベクタ アドレス

割り込みベクタ及びパワーアップの開始アドレスは、ROM のアドレス範囲 0FFFFh ～ 0FFE0h に位置します。ベクタは、適切な割り込み処理命令シーケンスの 16 ビット アドレスを含みます。

表 3. MSP430F42x0 構成の割り込みソース、フラグ、及びベクタ

割り込みソース	割り込みフラグ	システム割り込み	ワード・アドレス	優先順位
パワー・アップ 外部リセット ウォッチドッグ フラッシュ・メモリ PC アウト・オブ・レンジ (注 4)	WDTIFG KEYV (注 1)	リセット	0FFFEh	15 (最上位)
NMI オシレータ障害 フラッシュ・メモリ アクセス違反	NMIIFG (注 1、3) OFIFG (注 1、3) ACCVIFG (注 1、3)	マスク可能 (不可能) マスク可能 (不可能) マスク可能 (不可能)	0FFFCh	14
			0FFFAh	13
SD16_A	SD16CCTLx SD16OVIFG、 SD16CCTLx SD16IFG (注 1、2)	マスク可能	0FFF8h	12
			0FFF6h	11
ウォッチドッグ・タイマ	WDTIFG	マスク可能	0FFF4h	10
			0FFF2h	9
			0FFF0h	8
			0FFEEh	7
タイマ_A3	TACCR0 CCIFG0 (注 2)	マスク可能	0FFECh	6
タイマ_A3	TACCR1 CCIFG1 及び TACCR2 CCIFG2、 TAIFG (注 1、2)	マスク可能	0FFEAh	5
I/O ポート P1 (8 つのフラグ)	P1IFG.0 ～ P1IFG.7 (注 1、2)	マスク可能	0FFE8h	4
DAC12	DAC12_0IFG (注 2)	マスク可能	0FFE6h	3
			0FFE4h	2
I/O ポート P2 (8 つのフラグ)	P2IFG.0 ～ P2IFG.7 (注 1、2)	マスク可能	0FFE2h	1
Basic Timer1	BTIFG	マスク可能	0FFE0h	0 (最下位)

(注 1) 複数のソース・フラグ

(注 2) 割り込みフラグはモジュールの中にあります。

(注 3) マスク可能 (不可能) ：個々の割り込みイネーブル・ビットにより、割り込みイベントをディスエーブルにすることができます。しかし、汎用割り込みイネーブルでは、それをディスエーブルにすることはできません。

(注 4) CPU がモジュール・レジスタ・メモリ・アドレス範囲 (0h ～ 01FFh) から命令をフェッチしようとした場合、リセットが発生します。

スペシャル・ファンクション・レジスタ

MSP430 スペシャル・ファンクション・レジスタ（SFR）は最下位アドレス空間に集約されており、バイト・モード・レジスタとして構成されています。SFR は、バイト命令によってアクセスしなければなりません。

割り込みイネーブル・レジスタ 1、2

アドレス	7	6	5	4	3	2	1	0
0h			ACCVIE	NMIIE			OFIE	WDTIE
			rw-0	rw-0			rw-0	rw-0

WDTIE： ウォッチドッグ・タイマ割り込みイネーブル。ウォッチドッグ・モードが選択された場合はインアクティブとなります。ウォッチドッグ・タイマが汎用タイマとして構成された場合はアクティブとなります。
OFIE： オシレータ障害割り込みイネーブル
NMIIE： マスク不可能な割り込みイネーブル
ACCVIE： フラッシュ アクセス違反割り込みイネーブル

アドレス	7	6	5	4	3	2	1	0
01h	BTIE							
	rw-0							

BTIE： Basic Timer 割り込みイネーブル

割り込みフラグ・レジスタ 1、2

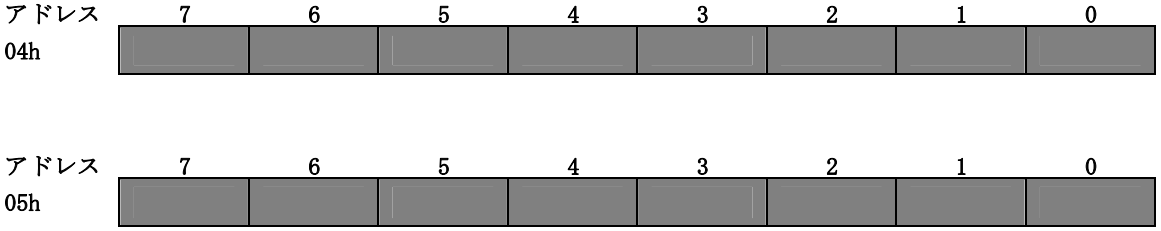
アドレス	7	6	5	4	3	2	1	0
02h				NMIIFG			OFIFG	WDTIFG
				rw-0			rw-1	rw-(0)

WDTIFG： ウォッチドッグ・タイマ・オーバーフロー（ウォッチドッグ・モード時）又はセキュリティ・キー違反でセットされます。Vcc パワー・オン又はリセット・モードでの $\overline{\text{RST}}$/NMI 端子のリセット条件でリセットされます。
OFIFG： オシレータ障害でフラグがセットされます。
NMIIFG： $\overline{\text{RST}}$/NMI 端子によってセットされます。

アドレス	7	6	5	4	3	2	1	0
03h	BTIFG							
	rw-0							

BTIFG： Basic Timer フラグ

モジュール・イネーブル・レジスタ 1、2



説明：rw： ビットは、読み出し及び書き込みをすることができます。
rw-0,1： ビットは、読み出し及び書き込みをすることができます。PUC によりリセット又はセットされます。
rw-(0,1)： ビットは、読み出し及び書き込みをすることができます。POR によりリセット又はセットされます。
デバイスには、SFR ビットが存在しません。

メモリ構成

		MSP430F4250	MSP430F4260	MSP430F4270
メモリ メイン：割り込みベクタ メイン：コード・メモリ	サイズ フラッシュ フラッシュ	16 KB 0FFFFh – 0FFE0h 0FFFFh – 0C000h	24 KB 0FFFFh – 0FFE0h 0FFFFh – 0A000h	32 KB 0FFFFh – 0FFE0h 0FFFFh – 08000h
情報メモリ	サイズ フラッシュ	256 バイト 010FFh – 01000h	256 バイト 010FFh – 01000h	256 バイト 010FFh – 01000h
起動メモリ	サイズ ROM	1 KB 0FFFFh – 0C00h	1 KB 0FFFFh – 0C00h	1 KB 0FFFFh – 0C00h
RAM	サイズ	256 バイト 02FFh – 0200h	256 バイト 02FFh – 0200h	256 バイト 02FFh – 0200h
ペリフェラル	16 ビット 8 ビット 8 ビット SFR	01FFh – 0100h 0FFh – 010h 0Fh – 00h	01FFh – 0100h 0FFh – 010h 0Fh – 00h	01FFh – 0100h 0FFh – 010h 0Fh – 00h

ブートストラップ・ローダ（BSL）

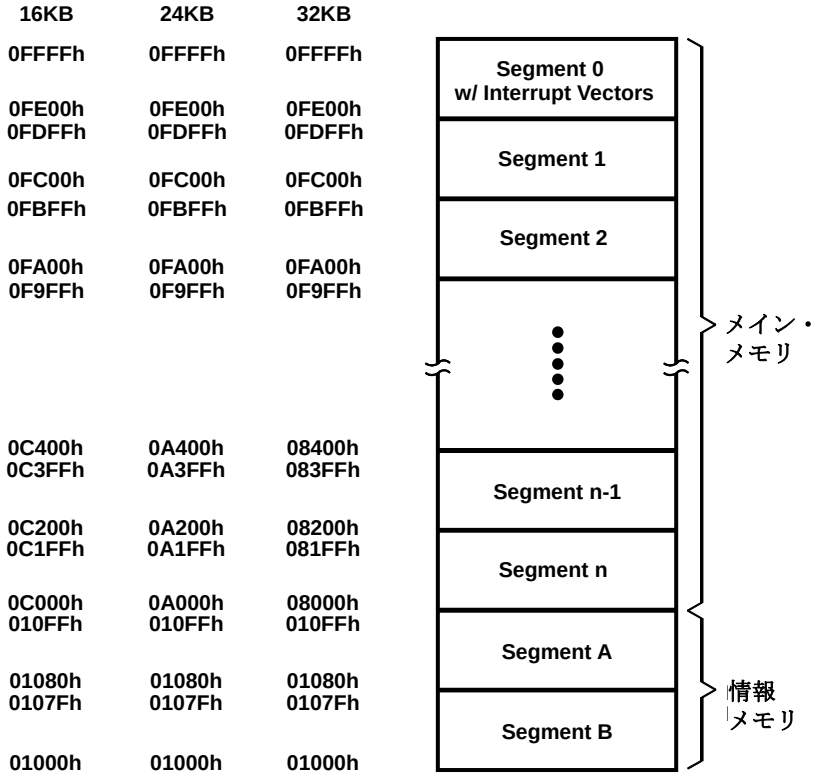
MSP430 ブートストラップ・ローダ（BSL）により、ユーザーは UART シリアル・インタフェースを使用してフラッシュ・メモリ又は RAM をプログラムすることができます。BSL を経由した MSP430 メモリへのアクセスは、ユーザーによって定義されたパスワードにより保護されています。BSL 及びその実施方法の詳細は、アプリケーション・レポート *MSP430 ブートストラップ・ローダの特徴 “Features of the MSP430 Bootstrap Loader”*（資料番号 SLAA089）を参照して下さい。

BSL 機能	DL パッケージ端子	RGZ パッケージ端子
データ送信	28 – P1.0	22 – P1.0
データ受信	27 – P1.1	21 – P1.1

フラッシュ・メモリ

フラッシュ・メモリは、JTAG ポート、ブートストラップ・ローダ、又は CPU によるイン・システムによりプログラムすることができます。CPU はフラッシュ・メモリに対して、1 バイト及び 1 ワードの書き込みを行うことができます。フラッシュ・メモリは、以下の特徴を持っています。:

- フラッシュ・メモリは、n セグメントのメイン・メモリ及び 2 つのセグメントのそれぞれ 128 バイトの情報メモリ（A と B）を持っています。それぞれのセグメントのサイズは、512 バイトです。
- セグメント 0 ～ n は 1 ステップで消去が可能です。あるいは、それぞれのセグメントは個々に消去も可能です。
- セグメント A と B は、個々に又はセグメント 0 ～ n のグループとして消去することができます。セグメント A と B は、*情報メモリ*とも呼ばれます。
- 新しいデバイスでは、数バイトを情報メモリにプログラムしておくことがあります。（製造時のテストのため）ユーザーは、最初に使用する前に情報メモリの消去を実行しなければなりません。



ペリフェラル

ペリフェラルは、データ、アドレス、及びコントロール バスを通して CPU に接続され、すべての命令を使って取り扱うことができます。モジュールの詳細は、*MSP430x4xx ファミリ ユーザーズ・ガイド* 資料番号 SLAU141（日本語版）、SLAU056（英語版）を参照して下さい。

オシレータ及びシステム・クロック

MSP430F42x0 ファミリ・デバイスのクロック・システムは、32768 Hz の時計用クリスタル・オシレータ、内部デジタル制御オシレータ（DCO）、及び高周波クリスタル・オシレータのサポートを含む FLL+ モジュールで構成されます。FLL+ クロック・モジュールは、安いシステム・コストと低消費電力の必要条件を満たすように設計されています。FLL+ は、デジタル周波数同期ループ（FLL）がデジタル変換装置と共に、DCO 周波数を時計用クリスタル発信周波数のプログラム可能な倍数に安定させることを特徴としています。内部 DCO は、高速ターン・オン・クロック・ソースを提供し、6 µs 以内に安定します。FLL+ モジュールは次のクロック信号を供給します：

- 補助クロック（ACLK）：32768 Hz の時計用クリスタル又は高周波クリスタルから供給
- メイン・クロック（MCLK）：CPU によって使用されるシステム・クロック
- サブ・メイン・クロック（SMCLK）：ペリフェラル・モジュールによって使用されるサブ・システム・クロック
- ACLK/n：ACLK、ACLK/2、ACLK/4、又は ACLK/8 のバッファ出力

ブラウンアウト

ブラウンアウト回路は、パワー・オン及びパワー・オフ時にデバイスに適切な内部リセット信号を供給するために内蔵されています。CPU は、ブラウンアウト回路がデバイス・リセットを指示した後、コード実行を開始します。しかし、その時点では Vcc は Vcc(min) に到達していないかもしれません。ユーザーは、Vcc が Vcc(min) に到達するまでは、デフォルトの FLL+ 設定が変わらないようにしなければなりません。

デジタル I/O

4 つの 8 ビット I/O ポート内蔵：ポート P1、P2、P5、及び P6

- すべての個々の I/O ビットは、独立してプログラム可能です。
- 入力、出力、及び割り込み条件のどんな組み合わせでも可能です。
- ポート P1 及び P2 の すべての 8 ビットはエッジ選択可能な割り込み入力に設定可能です。
- ポート・コントロール・レジスタへの読み出し/書き込みアクセスは、すべての命令により可能です。

Basic Timer1

Basic Timer1 は、2 つの独立した 8 ビット タイマを持ち、16 ビット タイマ/カウンタを構成するためにカスケードにすることもできます。両方のタイマは、ソフトウエアによって読み出し/書き込みができます。Basic Timer1 は、周期的な割り込みを発生させるために使用することができます。

チャージ・ポンプ・レギュレータ付き LCD ドライバ

LCD_A ドライバは、LCD ディスプレイを駆動するために必要なセグメント及びコモン信号を生成します。LCD_A コントローラは、セグメント・ドライブ情報を持つために専用のデータ・メモリを持っています。コモン及びセグメント信号は、モードによる定義に従って生成されます。スタティック、2MUX、3MUX、及び 4MUX LCD が、このペリフェラルでサポートされます。モジュールは、内部チャージ・ポンプを経由して電源電圧とは独立した LCD 電圧を供給することができます。さらに、ソフトウエアで LCD 電圧レベル、すなわちコントラストを制御することができます。

ウォッチドッグ・タイマ

ウォッチドッグ・タイマ（WDT+）モジュールの主な機能は、ソフトウエア障害が起こった後、制御されたシステム再開を行うことです。設定された時間間隔が経過すると、システム・リセットが生成されます。ウォッチドッグ機能が必要でないアプリケーションでは、モジュールはインターバル・タイマとして設定することができ、設定された時間間隔で割り込みを発生することができます。

タイマ_A3

タイマ_A3 は、3 つのキャプチャ/コンペア・レジスタ付きの 16 ビット タイマ/カウンタです。タイマ_A3 により、複数のキャプチャ/コンペア、PWM 出力、及びインターバル・タイミングを利用することができます。タイマ_A3 にも拡張割り込みの機能があります。割り込みは、オーバーフロー状態のカウンタから、及びキャプチャ/コンペア・レジスタのそれぞれから生成されることがあります。

タイマ_A3 信号の接続							
入力端子番号		デバイス入力信号	モジュール入力名	モジュール・ブロック	モジュール出力信号	出力端子番号	
DL	RGZ					DL	RGZ
23 – P1.5	17 – P1.5	TACLK	TACLK	Timer	NA		
		ACLK	ACLK				
		SMCLK	SMCLK				
23 – P1.5	17 – P1.5	TACLK	INCLK				
28 – P1.0	22 – P1.0	TA0	CCI0A	CCR0	TA0	28 – P1.0	22 – P1.0
27 – P1.1	21 – P1.1	TA0	CCI0B				
		DV_{SS}	GND				
		DV_{CC}	V_{CC}				
26 – P1.2	20 – P1.2	TA1	CCI1A	CCR1	TA1	26 – P1.2	20 – P1.2
26 – P1.2	20 – P1.2	TA1	CCI1B				
		DV_{SS}	GND				
		DV_{CC}	V_{CC}				
25 – P1.3	19 – P1.3	TA2	CCI2A	CCR2	TA2	25 – P1.3	19 – P1.3
		ACLK (内部)	CCI2B				
		DV_{SS}	GND				
		DV_{CC}	V_{CC}				

SD16_A

SD16_A モジュールは、16 ビット A/D 変換をサポートします。モジュールは、16 ビット シグマ・デルタ・コア及び基準電圧を内蔵しています。外部アナログ入力に加えて、内部 V_{CC} 検出及び温度センサも使用できます。

DAC12

DAC12 モジュールは、12 ビット、抵抗ラダー、電圧出力 DAC です。DAC12 は、8 ビット又は 12 ビットのモードで使用することができます。

ペリフェラル・ファイル・マップ

ワード・アクセスによるペリフェラル			
ウォッチドッグ	ウォッチドッグ・タイマ制御	WDTCTL	0120h
タイマ_A3	キャプチャ/コンペア・レジスタ 2	TACCR2	0176h
	キャプチャ/コンペア・レジスタ 1	TACCR1	0174h
	キャプチャ/コンペア・レジスタ 0	TACCR0	0172h
	タイマ_A レジスタ	TAR	0170h
	キャプチャ/コンペア制御 2	TACCTL2	0166h
	キャプチャ/コンペア制御 1	TACCTL1	0164h
	キャプチャ/コンペア制御 0	TACCTL0	0162h
	タイマ_A 制御	TACTL	0160h
	タイマ_A 割り込みベクタ	TAIV	012Eh
フラッシュ	フラッシュ制御 3	FCTL3	012Ch
	フラッシュ制御 2	FCTL2	012Ah
	フラッシュ制御 1	FCTL1	0128h
DAC12	DAC12_0 データ	DAC12_0DAT	01C8h
	DAC12_0 制御	DAC12_0CTL	01C0h
SD16_A (バイト・アクセスによるペリフェラルも参照して下さい)	汎用制御	SD16CTL	0100h
	チャネル 0 制御	SD16CCTL0	0102h
	割り込みベクタ ワード・レジスタ	SD16IV	0110h
	チャネル 0 変換メモリ	SD16MEM0	0112h
バイト・アクセスによるペリフェラル			
SD16_A (バイト・アクセスによるペリフェラルも参照して下さい)	チャネル 0 入力制御	SD16INCTL0	0B0h
	アナログ・イネーブル	SD16AE	0B7h
LCD_A	LCD 電圧制御 1 LCD 電圧制御 0 LCD 電圧ポート制御 1 LCD 電圧ポート制御 0 LCD メモリ 20 : LCD メモリ 16 LCD メモリ 15 : LCD メモリ 1 LCD 制御及びモード	LCDAVCTL1 LCDAVCTL0 LCDAPCTL1 LCDAPCTL0 LCDM20 : LCDM16 LCDM15 : LCDM1 LCDACTL	0AFh 0AEh 0ADh 0ACh 0A4h : 0A0h 09Fh : 091h 090h
FLL+Clock	FLL+ 制御 1	FLL_CTL1	054h
	FLL+ 制御 0	FLL_CTL0	053h
	システム・クロック周波数制御	SCFQCTL	052h
	システム・クロック周波数積分器	SCFI1	051h
	システム・クロック周波数積分器	SCFI0	050h
Basic Timer1	BT カウンタ 2 BT カウンタ 1 BT 制御	BTCNT2 BTCNT1 BTCTL	047h 046h 040h

ペリフェラル・ファイル・マップ（続き）

バイト・アクセスによるペリフェラル			
ポート P6	ポート P6 選択	P6SEL	037h
	ポート P6 方向	P6DIR	036h
	ポート P6 出力	P6OUT	035h
	ポート P6 入力	P6IN	034h
ポート P5	ポート P5 選択	P5SEL	033h
	ポート P5 方向	P5DIR	032h
	ポート P5 出力	P5OUT	031h
	ポート P5 入力	P5IN	030h
ポート P2	ポート P2 選択	P2SEL	02Eh
	ポート P2 割り込みイネーブル	P2IE	02Dh
	ポート P2 割り込み・エッジ選択	P2IES	02Ch
	ポート P2 割り込みフラグ	P2IFG	02Bh
	ポート P2 方向	P2DIR	02Ah
	ポート P2 出力	P2OUT	029h
	ポート P2 入力	P2IN	028h
ポート P1	ポート P1 選択	P1SEL	026h
	ポート P1 割り込みイネーブル	P1IE	025h
	ポート P1 割り込み・エッジ選択	P1IES	024h
	ポート P1 割り込みフラグ	P1IFG	023h
	ポート P1 方向	P1DIR	022h
	ポート P1 出力	P1OUT	021h
	ポート P1 入力	P1IN	020h
スペシャル･ファンクション	SFR モジュール・イネーブル 2	ME2	005h
	SFR モジュール・イネーブル 1	ME1	004h
	SFR 割り込みフラグ 2	IFG2	003h
	SFR 割り込みフラグ 1	IFG1	002h
	SFR 割り込みイネーブル 2	IE2	001h
	SFR 割り込みイネーブル 1	IE1	000h

絶対最大定格（特記無き場合、動作周囲温度範囲） †

印加電圧（V_{CC} ～ V_{SS} 間）			−0.3 ～ 4.1	V
印加電圧（全端子）（注）			−0.3 ～ V_{CC} + 0.3	V
ダイオード電流（全端子）			±2	mA
保存温度範囲	未プログラムのデバイス	T_{stg}	−55 ～ 150	℃
	プログラム済みデバイス		−40 ～ 85	℃

†絶対最大定格を越えるストレスは、デバイスに致命的なダメージを与えることがあります。絶対最大定格は、ストレスの限度のみについて示したもので、この条件、もしくは、本仕様書の「推奨動作条件」に示された条件を越える条件でのデバイスの機能動作を意図したものではありません。デバイスを絶対最大定格の条件に長時間さらすと、デバイスの信頼性に影響を与えることがあります。

（注） すべての電圧は V_{SS} を基準とします。JTAG ヒューズ切断電圧 V_{FB} は、絶対最大定格を越えても構いません。JTAG ヒューズを切断する時、TDI/TCLK 端子に電圧が印加されます。

推奨動作条件

項目			最小	標準	最大	単位
電源電圧（プログラム実行時）、V_{CC} (AV_{CC} = DV_{CC} = V_{CC})			1.8		3.6	V
電源電圧（プログラム実行時）、V_{CC} (AV_{CC} = DV_{CC} = V_{CC})			2.5		3.6	V
電源電圧、V_{SS} (AV_{SS} = DV_{SS} = V_{SS})			0		0	V
動作周囲温度、T_A			−40		85	℃
LFXT1 クリスタル周波数、$f_{(LFXT1)}$ (注 1)	LF 選択時、XTS_FLL = 0	時計用クリスタル		32.768		kHz
	XT1 選択時、XTS_FLL = 1	セラミック・レゾネータ	450		8000	
	XT1 選択時、XTS_FLL = 1	クリスタル	1000		8000	
XT2 クリスタル周波数、$f_{(XT2)}$		セラミック・レゾネータ	450		8000	kHz
		クリスタル	1000		8000	
プロセッサ周波数（MCLK 信号）、$f_{(System)}$		V_{CC} = 1.8 V	DC		4.15	MHz
		V_{CC} = 3.6 V	DC		8	

(注 1) LF モードでは、LFXT1 オシレータには時計用クリスタルが必要です。XT1 モードでは、LFXT1 にはセラミック・レゾネータ又はクリスタルが使用できます。

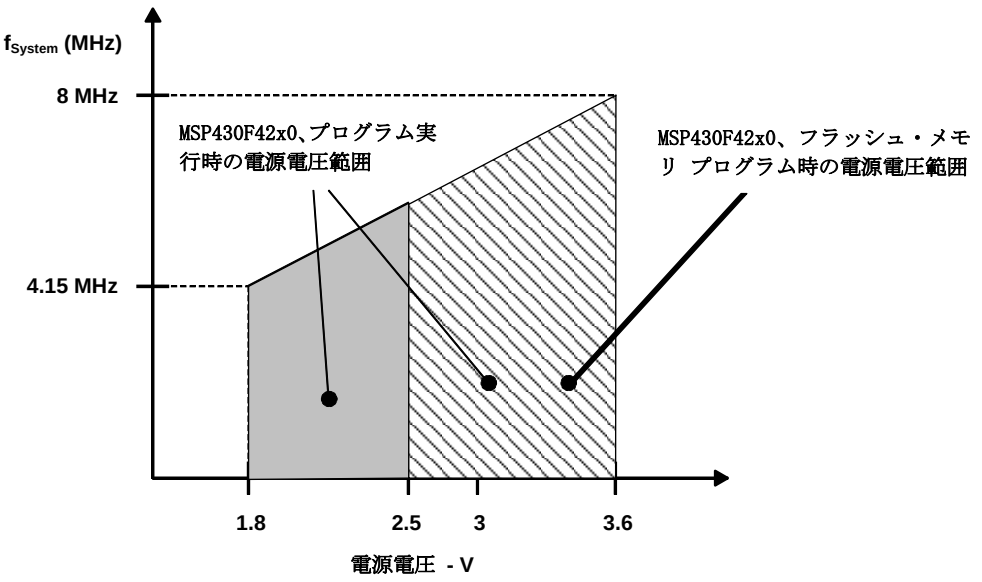


図 1. 電源電圧 対 周波数（代表特性）

推奨動作周囲温度における電気的特性（特記無き場合）

電源電流（AV_{CC} + DV_{CC}）（外部電流を除く）

項　　目		測定条件		最小	標準	最大	単位
$I_{(AM)}$	アクティブ・モード（注 1）、 $f_{(MCLK)} = f_{(SMCLK)}$ = 1 MHz、 $f_{(ACLK)}$ = 32,768 Hz、 XTS = 0、SELM = (0,1)	T_A = -40℃ ～ 85℃	V_{CC} = 2.2 V		250	370	μA
			V_{CC} = 3 V		400	520	
$I_{(LPM0)}$	ロー・パワー・モード（LPM0） （注 1）	T_A = -40℃ ～ 85℃	V_{CC} = 2.2 V		55	70	μA
			V_{CC} = 3 V		95	110	
$I_{(LPM2)}$	ロー・パワー・モード（LPM2）、 $f_{(MCLK)}$ = $f_{(SMCLK)}$ = 0 MHz、 $f_{(ACLK)}$ = 32,768 Hz、SCG0 = 0（注 2）	T_A = -40℃ ～ 85℃	V_{CC} = 2.2 V		11	14	μA
			V_{CC} = 3 V		17	22	
$I_{(LPM3)}$	ロー・パワー・モード（LPM3）、 $f_{(MCLK)}$ = $f_{(SMCLK)}$ = 0 MHz、 $f_{(ACLK)}$ = 32,768 Hz、SCG0 = 1、 Basic Timer1 はイネーブル、ACLK 選択時、 LCD_A はイネーブル、LCDCPEN = 0: （スタティック・モード ; f_{LCD} = $f_{(ACLK)}$/32） （注 2、3）	T_A = -40℃	V_{CC} = 2.2 V		1	2	μA
		T_A = 25℃			1.1	2	
		T_A = 60℃			2	3	
		T_A = 85℃			3.5	6	
		T_A = -40℃	V_{CC} = 3 V		1.8	2.8	
		T_A = 25℃			1.6	2.7	
		T_A = 60℃			2.5	3.5	
		T_A = 85℃			4.2	7.5	
$I_{(LPM3)}$	ロー・パワー・モード（LPM3）、 $f_{(MCLK)}$ = $f_{(SMCLK)}$ = 0 MHz、 $f_{(ACLK)}$ = 32,768 Hz、SCG0 = 1、 Basic Timer1 はイネーブル、ACLK 選択時、 LCD_A はイネーブル、LCDCPEN = 0: （4 mux モード; f_{LCD} = $f_{(ACLK)}$/32） （注 2、3）	T_A = -40℃	V_{CC} = 2.2 V		2.5	3.5	μA
		T_A = 25℃			2.5	3.5	
		T_A = 85℃			3.8	6	
		T_A = -40℃	V_{CC} = 3 V		2.9	4	
		T_A = 25℃			2.9	4	
		T_A = 85℃			4.4	7.5	
$I_{(LPM4)}$	ロー・パワー・モード（LPM4）、 $f_{(MCLK)}$ = 0 MHz、$f_{(SMCLK)}$ = 0 MHz、 $f_{(ACLK)}$ = 0 Hz、SCG0 = 1（注 2）	T_A = -40℃	V_{CC} = 2.2 V		0.1	0.5	μA
		T_A = 25℃			0.1	0.5	
		T_A = 60℃			0.7	1.1	
		T_A = 85℃			1.7	3	
		T_A = -40℃	V_{CC} = 3 V		0.1	0.8	
		T_A = 25℃			0.1	0.8	
		T_A = 60℃			0.8	1.2	
		T_A = 85℃			1.9	3.5	

（注 1）　タイマ_A は、$f_{(DCOCLK)}$ = 1 MHz で駆動されます。すべての入力は 0 V 又は V_{CC} に接続します。出力にはソース電流、シンク電流を流しません。
（注 2）　すべての入力は 0 V 又は V_{CC} に接続します。出力にはソース電流、シンク電流を流しません。
（注 3）　LPM3 電流は、Micro Crystal CC4V-T1A (9 pF) クリスタル及び OSCCAPx = 01h を使用して規定されています。

アクティブ・モードのシステム周波数 対 消費電流、F バージョン

$$I_{(AM)} = I_{(AM)\ [1\ MHz]} \times f_{(System)}\ [MHz]$$

アクティブ・モードの電源電圧 対 消費電流、F バージョン

$$I_{(AM)} = I_{(AM)\ [3\ V]} + 175\ \mu A/V \times (V_{CC} - 3\ V)$$

推奨動作周囲温度における電気的特性（特記無き場合）（続き）

シュミット・トリガ入力（ポート P1 及び P2; $\overline{RST}$/NMI; JTAG: TCK、TDI/TCLK、TDO/TDI）

項目		測定条件	最小	標準	最大	単位
V_{IT+}	立ち上がり入力スレッショルド電圧	V_{CC} = 2.2 V	1.1		1.55	V
		V_{CC} = 3 V	1.5		1.98	
V_{IT-}	立ち下がり入力スレッショルド電圧	V_{CC} = 2.2 V	0.4		0.9	V
		V_{CC} = 3 V	0.9		1.3	
V_{hys}	入力電圧ヒステリシス（V_{IT+} – V_{IT-}）	V_{CC} = 2.2 V	0.3		1.1	V
		V_{CC} = 3 V	0.5		1	

入力 Px.x、TAx

項目		測定条件	V_{CC}	最小	標準	最大	単位
$t_{(int)}$	外部割り込みタイミング	ポート P1、P2: P1.x ～ P2.x、割り込みフラグ用外部トリガ信号（注 1）	2.2 V	62			ns
			3 V	50			
$t_{(cap)}$	タイマ_A、キャプチャ・タイミング	TA0、TA1、TA2	2.2 V	62			ns
			3 V	50			
$f_{(TAext)}$	タイマ_A、外部から端子に印加するクロック周波数	TACLK、INCLK: $t_{(H)}$ = $t_{(L)}$	2.2 V			8	MHz
			3 V			10	
$f_{(TAint)}$	タイマ_A クロック周波数	SMCLK 又は ACLK 信号選択時	2.2 V			8	MHz
			3 V			10	

(注 1)　外部信号は、最小 $t_{(int)}$ サイクル及び時間のパラメータが適合するたび毎に割り込みフラグをセットします。トリガ信号が $t_{(int)}$ より短い場合にもセットされることがあります。

リーク電流（ポート P1、P2、P5、及び P6）（注 1）

項目			測定条件		最小	標準	最大	単位
$I_{lkg(Px.y)}$	リーク電流	ポート Px	$V_{(Px.y)}$（注 2）	V_{CC} = 2.2 V/3 V			±50	nA

(注 1)　特記無き場合、リーク電流は対応する端子に V_{SS} 又は V_{CC} を印加して測定します。
(注 2)　ポート端子は入力となるように選択します。

推奨動作周囲温度における電気的特性（特記無き場合）（続き）

出力（ポート P1、P2、P5、及び P6）

項目		測定条件			最小	標準	最大	単位
V_{OH}	ハイ・レベル出力電圧	$I_{OH(max)}$ = -1.5 mA、	V_{CC} = 2.2 V	(注 1)	V_{CC} - 0.25		V_{CC}	V
		$I_{OH(max)}$ = -6 mA、	V_{CC} = 2.2 V	(注 2)	V_{CC} - 0.6		V_{CC}	
		$I_{OH(max)}$ = -1.5 mA、	V_{CC} = 3 V	(注 1)	V_{CC} - 0.25		V_{CC}	
		$I_{OH(max)}$ = -6 mA、	V_{CC} = 3 V	(注 2)	V_{CC} - 0.6		V_{CC}	
V_{OL}	ロー・レベル出力電圧	$I_{OL(max)}$ = 1.5 mA、	V_{CC} = 2.2 V	(注 1)	V_{SS}		V_{SS} + 0.25	V
		$I_{OL(max)}$ = 6 mA、	V_{CC} = 2.2 V	(注 2)	V_{SS}		V_{SS} + 0.6	
		$I_{OL(max)}$ = 1.5 mA、	V_{CC} = 3 V	(注 1)	V_{SS}		V_{SS} + 0.25	
		$I_{OL(max)}$ = 6 mA、	V_{CC} = 3 V	(注 2)	V_{SS}		V_{SS} + 0.6	

(注 1)　全出力の最大電流 $I_{OH(max)}$ と $I_{OL(max)}$ の合計は、規定の最大電圧降下を保持するため ±12 mA を越えてはいけません。
(注 2)　全出力の最大電流 $I_{OH(max)}$ と $I_{OL(max)}$ の合計は、規定の最大電圧降下を保持するため ±48 mA を越えてはいけません。

出力周波数

項目		測定条件		最小	標準	最大	単位
$f_{(Px.y)}$	Px.y 出力周波数 (x = 1, 2, 5, 6; 0 ≤ y ≤ 7)	C_L = 20 pF、 I_L = ±1.5 mA	V_{CC} = 2.2 V / 3 V	DC		f_{System}	MHz
$f_{(MCLK)}$	P1.1/TA0/MCLK	C_L = 20 pF				f_{System}	MHz
$t_{(Xdc)}$	出力周波数デューティ比	P1.1/TA0/MCLK、 C_L = 20 pF、 V_{CC} = 2.2 V / 3 V	$f_{(MCLK)} = f_{(XT1)}$	40%		60%	
			$f_{(MCLK)} = f_{(DCOCLK)}$	50% - 15 ns	50%	50% + 15 ns	

推奨動作周囲温度における電気的特性（特記無き場合）（続き）

出力（ポート P1、P2、P5、及び P6）（続き）

ロー・レベル出力電圧
対
ロー・レベル出力電流（標準）

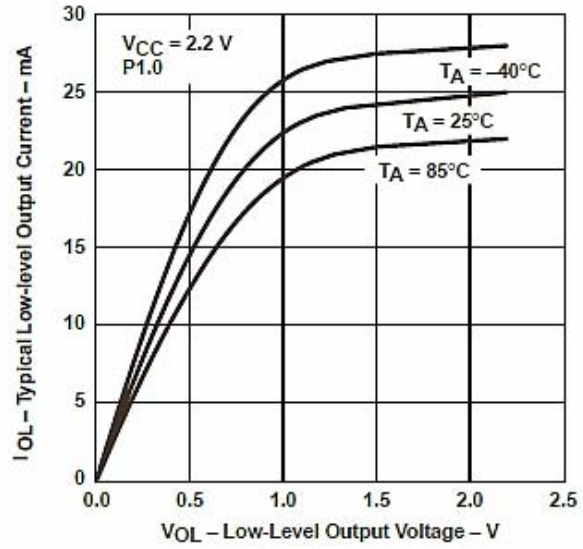


図 2

ロー・レベル出力電圧
対
ロー・レベル出力電流（標準）

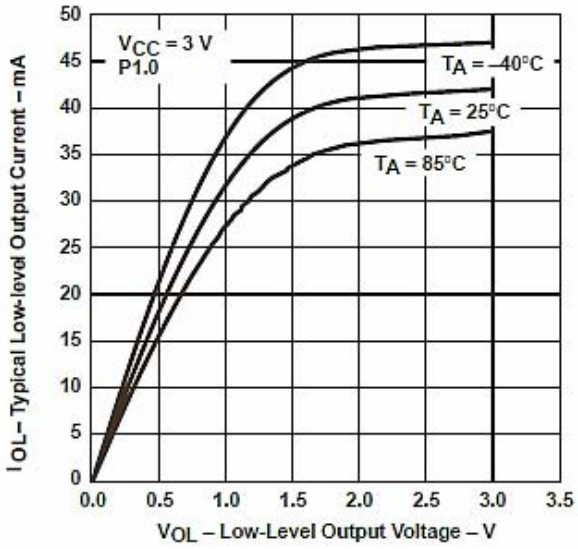


図 3

ハイ・レベル出力電圧
対
ハイ・レベル出力電流（標準）

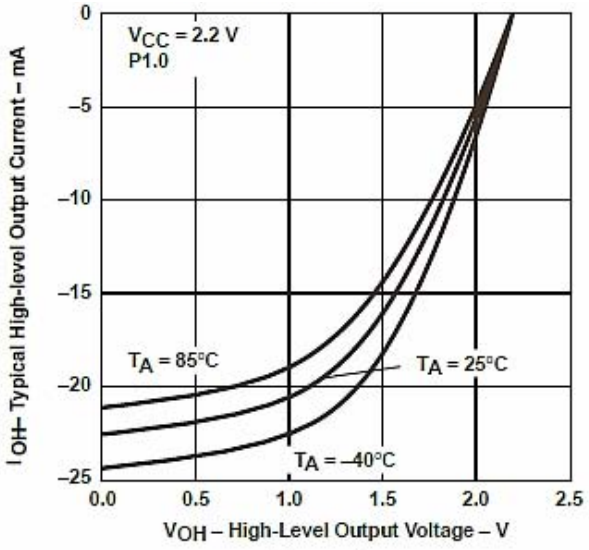


図 4

ハイ・レベル出力電圧
対
ハイ・レベル出力電流（標準）

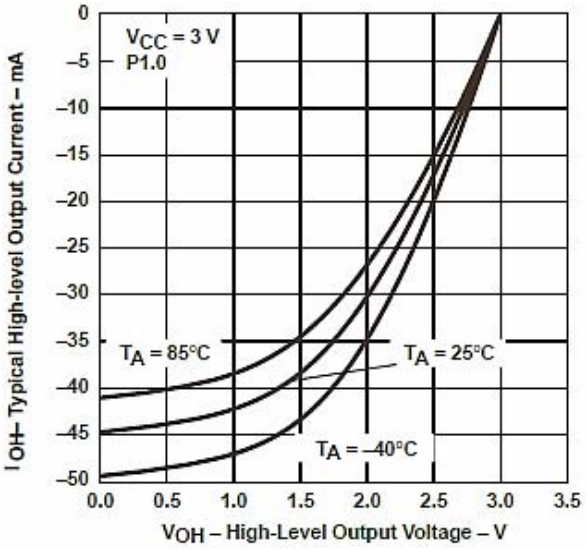


図 5

推奨動作周囲温度における電気的特性（特記無き場合）（続き）

ウェークアップ（LPM3）

項目		測定条件		最小	標準	最大	単位
$t_{d(LPM3)}$	遅延時間	f = 1 MHz	V_{CC} = 2.2 V/3 V			6	µs
		f = 2 MHz				6	
		f = 3 MHz				6	

RAM

項目		測定条件	最小	標準	最大	単位
VRAMh	RAM 保持電圧	CPU 停止（HALT）時（注 1）	1.6			V

（注 1） このパラメータは、プログラム・メモリ RAM のデータが保持される時の最小電源電圧を定義します。この電源電圧の条件ではプログラムを実行させないで下さい。

LCD_A

項目		測定条件	V_{CC}	最小	標準	最大	単位
$V_{CC(LCD)}$	電源電圧範囲	チャージ・ポンプはイネーブル (LCDCPEN = 1; VLCDx > 0000)		2.2		3.6	V
C_{LCD}	LCDCAP コンデンサ（注 1）	チャージ・ポンプはイネーブル (LCDCPEN = 1; VLCDx > 0000)		4.7			µF
$I_{CC(LCD)}$	電源電流	$V_{LCD(typ)}$ = 3 V; LCDCPEN = 1; VLCDx = 1000、全セグメントはオン、f_{LCD} = f_{ACLK}/32、LCD は接続なし(注 2)、T_A = 25℃	2.2 V		3.8		µA
f_{LCD}	LCD 周波数					1.1	kHz
V_{LCD}	LCD 電圧	VLCDx = 0000			VCC		V
V_{LCD}		VLCDx = 0001			2.6		
V_{LCD}		VLCDx = 0010			2.66		
V_{LCD}		VLCDx = 0011			2.72		
V_{LCD}		VLCDx = 0100			2.78		
V_{LCD}		VLCDx = 0101			2.84		
V_{LCD}		VLCDx = 0110			2.90		
V_{LCD}		VLCDx = 0111			2.96		
V_{LCD}		VLCDx = 1000			3.02		
V_{LCD}		VLCDx = 1001			3.08		
V_{LCD}		VLCDx = 1010			3.14		
V_{LCD}		VLCDx = 1011			3.2		
V_{LCD}		VLCDx = 1100			3.26		
V_{LCD}		VLCDx = 1101			3.32		
V_{LCD}		VLCDx = 1110			3.38		
V_{LCD}		VLCDx = 1111			3.44	3.6	
R_{LCD}	LCD ドライバ出力インピーダンス	V_{LCD} = 3 V; LCDCPEN = 1; VLCDx = 1000、I_{LOAD} = ±10 µA	2.2 V			10	kΩ

（注 1） 外部コンデンサが規定の最小値より小さい内部チャージ・ポンプをイネーブルにすると、デバイスにダメージを与える可能性があります。
（注 2） 実際にディスプレイを接続すると、LCD のサイズに応じて消費電流が増加します。

推奨動作周囲温度における電気的特性（特記無き場合）（続き）

POR/ブラウンアウト・リセット（BOR）（注 1）

項　　目		測定条件	最小	標準	最大	単位
$t_{d(BOR)}$	ブラウンアウト				2000	µs
$V_{CC(start)}$		$dV_{CC}/dt \le 3$ V/s （図 6 参照）		0.7 x $V_{(B_IT-)}$		V
$V_{(B_IT-)}$		$dV_{CC}/dt \le 3$ V/s （図 6、7、8 参照）			1.71	V
$V_{hys(B_IT-)}$		$dV_{CC}/dt \le 3$ V/s （図 6 参照）	70	130	180	mV
$t_{(reset)}$		内部でリセットを受け付けるための $\overline{RST}$/NMI 入力パルス幅、V_{CC} = 2.2 V/3 V	2			µs

(注 1)　ブラウンアウト・モジュールの消費電流は、I_{CC} に含まれています。電圧レベル $V_{(B_IT-)} + V_{hys(B_IT-)} \le 1.8$ V とします。
(注 2)　パワーアップ時は、CPU は $V_{CC} = V_{(B_IT-)} + V_{hys(B_IT-)}$ となった後 $t_{d(BOR)}$ 経過後にコードの実行を開始します。デフォルトの FLL+ の設定は、$V_{CC} \ge V_{CC(min)}$ となるまで変えてはいけません。$V_{CC(min)}$ は、使用する動作周波数における最小電源電圧を表します。ブラウンアウト回路の詳細は、*MSP430x4xx ファミリー ユーザーズ・ガイド* SLAU141（日本語版）、SLAU056（英語版）を参照して下さい。

代表特性

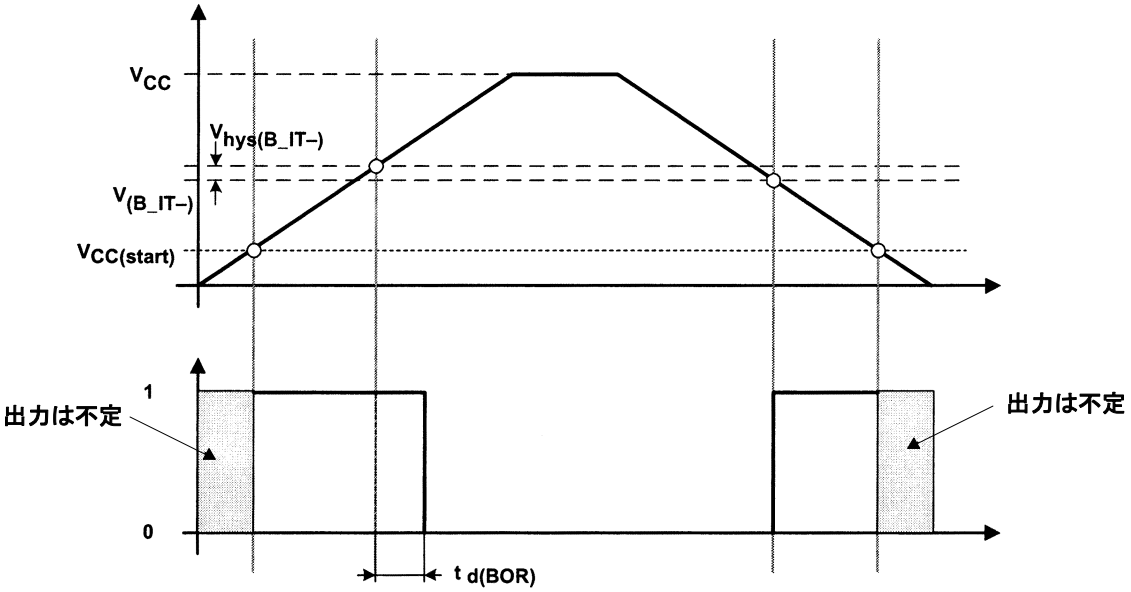


図 6. 電源電圧 対 POR/ブラウンアウト・リセット（BOR）

推奨動作周囲温度における電気的特性（特記無き場合）（続き）

代表特性（続き）

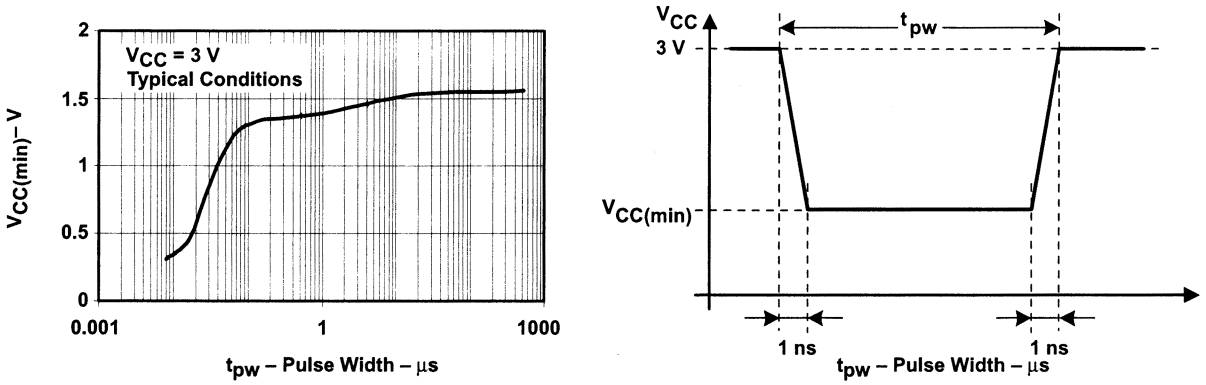


図 7. POR/ブラウンアウト信号を生成するための $V_{CC(min)}$ レベル（矩形波電圧降下）

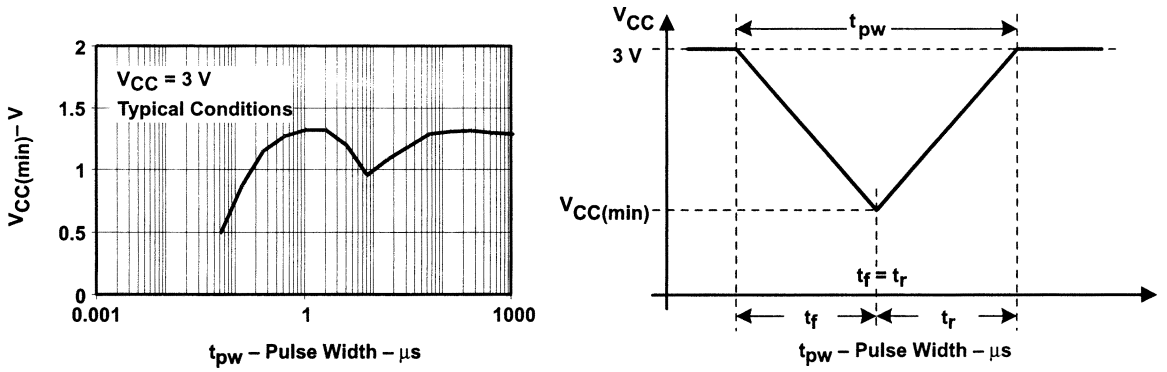


図 8. POR/ブラウンアウト信号を生成するための $V_{CC(min)}$ レベル（三角波電圧降下）

推奨動作周囲温度における電気的特性（特記無き場合）（続き）

DCO

項　目	測定条件	V_{CC}	最小	標準	最大	単位
$f_{(DCOCLK)}$	$N_{(DCO)}$ = 01E0h、FN_8 = FN_4 = FN_3 = FN_2 = 0、D = 2; DCOPLUS = 0	2.2 V/3 V		1		MHz
$f_{(DCO2)}$	FN_8 = FN_4 = FN_3 = FN_2 = 0; DCOPLUS = 1	2.2 V	0.3	0.65	1.25	MHz
		3 V	0.3	0.7	1.3	
$f_{(DCO27)}$	FN_8 = FN_4 = FN_3 = FN_2 = 0; DCOPLUS = 1（注 1）	2.2 V	2.5	5.6	10.5	MHz
		3 V	2.7	6.1	11.3	
$f_{(DCO2)}$	FN_8 = FN_4 = FN_3 = 0、FN_2 = 1; DCOPLUS = 1	2.2 V	0.7	1.3	2.3	MHz
		3 V	0.8	1.5	2.5	
$f_{(DCO27)}$	FN_8 = FN_4 = FN_3 = 0、FN_2 = 1; DCOPLUS = 1（注 1）	2.2 V	5.7	10.8	18	MHz
		3 V	6.5	12.1	20	
$f_{(DCO2)}$	FN_8 = FN_4 = 0、FN_3 = 1、FN_2 = x; DCOPLUS = 1	2.2 V	1.2	2	3	MHz
		3 V	1.3	2.2	3.5	
$f_{(DCO27)}$	FN_8 = FN_4 = 0、FN_3 = 1、FN_2 = x; DCOPLUS = 1（注 1）	2.2 V	9	15.5	25	MHz
		3 V	10.3	17.9	28.5	
$f_{(DCO2)}$	FN_8 = 0、FN_4 = 1、FN_3 = FN_2 = x; DCOPLUS = 1	2.2 V	1.8	2.8	4.2	MHz
		3 V	2.1	3.4	5.2	
$f_{(DCO27)}$	FN_8 = 0、FN_4 = 1、FN_3 = FN_2 = x; DCOPLUS = 1（注 1）	2.2 V	13.5	21.5	33	MHz
		3 V	16	26.6	41	
$f_{(DCO2)}$	FN_8 = 1、FN_4 = FN_3 = FN_2 = x; DCOPLUS = 1	2.2 V	2.8	4.2	6.2	MHz
		3 V	4.2	6.3	9.2	
$f_{(DCO27)}$	FN_8 = 1、FN_4 = FN_3 = FN_2 = x; DCOPLUS = 1（注 1）	2.2 V	21	32	46	MHz
		3 V	30	46	70	
S_n	隣接した DCO タップ間のステップ・サイズ: $S_n = f_{DCO(Tap\ n+1)} / f_{DCO(Tap\ n)}$（図 10 のタップ 21 ～ 27 参照）	1 < TAP ≤ 20	1.06		1.11	
		TAP = 27	1.07		1.17	
D_t	温度ドリフト、$N_{(DCO)}$ = 01E0h、FN_8 = FN_4 = FN_3 = FN_2 = 0、D = 2; DCOPLUS = 0（注 2）	2.2 V	-0.2	-0.3	-0.4	%/℃
		3 V	-0.2	-0.3	-0.4	
D_V	V_{CC} 変動によるドリフト、$N_{(DCO)}$ = 01E0h、FN_8 = FN_4 = FN_3 = FN_2 = 0、D = 2; DCOPLUS = 0（注 2）		0	5	15	%/V

(注 1)　最大システム周波数を越えることはできません。
(注 2)　これらのパラメータは、量産テストは実施していません。

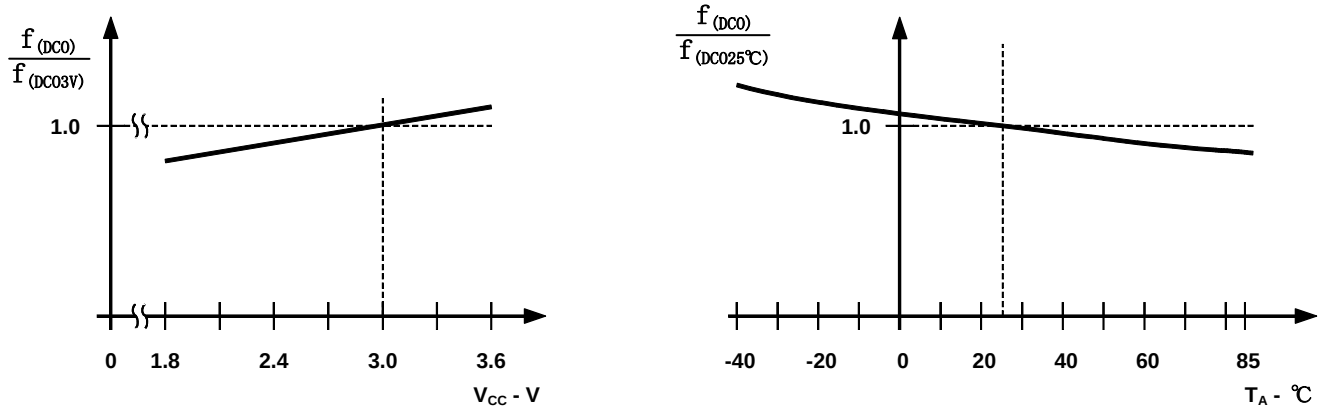


図 9. 電源電圧及び周囲温度 対 DCO 周波数

推奨動作周囲温度における電気的特性（特記無き場合）（続き）

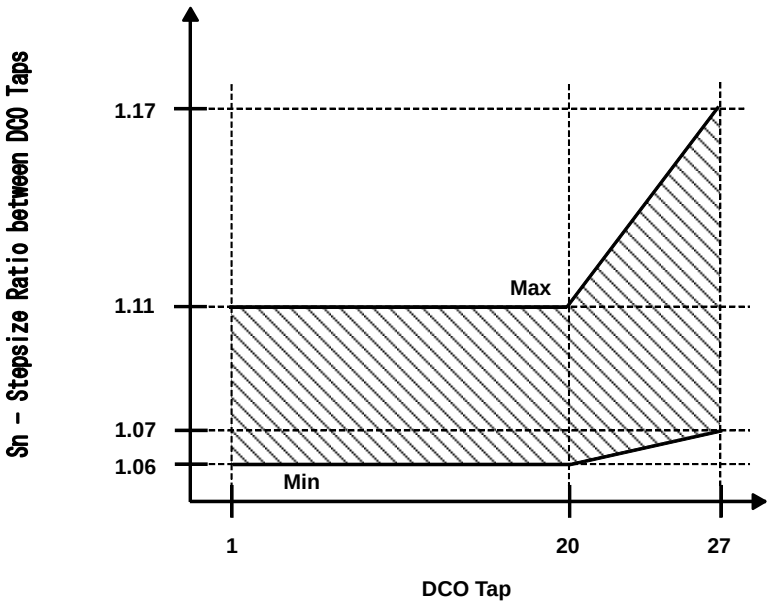


図 10. DCO タップ ステップ・サイズ

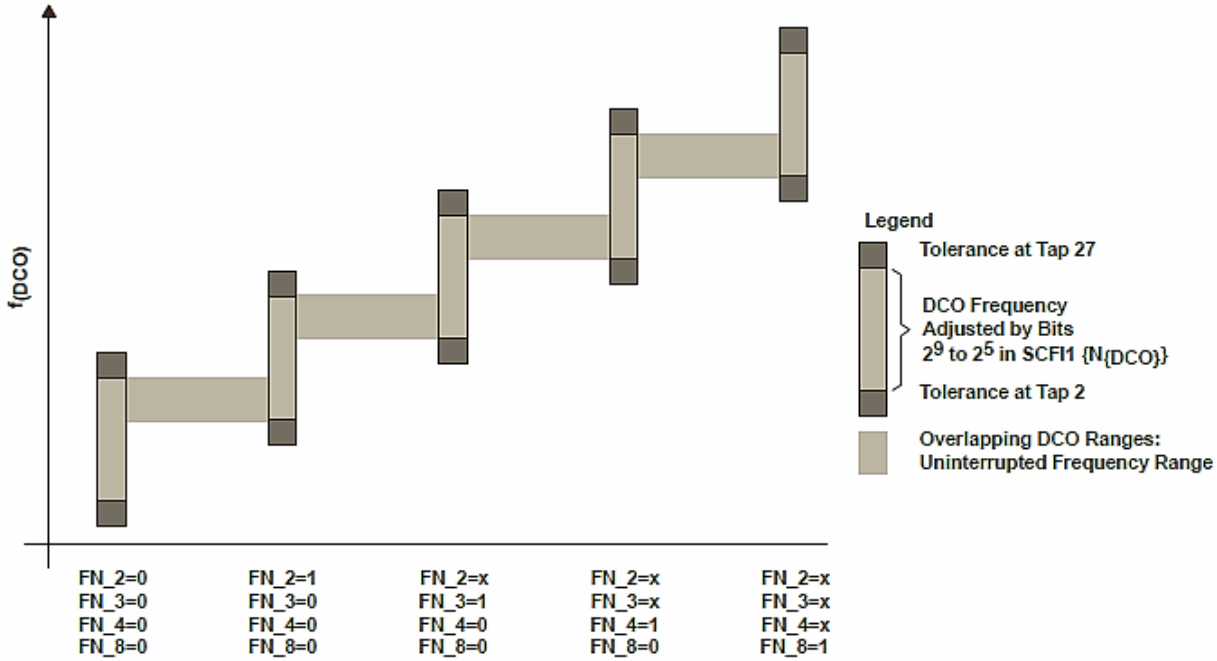


図 11. FN_x ビットによりコントロールされる 5 つの重複した DCO 範囲

推奨動作周囲温度における電気的特性（特記無き場合）（続き）

クリスタル・オシレータ、LFXT1 オシレータ（注 1、2）

項　　目		測定条件	最小	標準	最大	単位
C_{XIN}	入力容量（注 4）	OSCCAPx = 0h、V_{CC} = 2.2 V/3 V		0		pF
		OSCCAPx = 1h、V_{CC} = 2.2 V/3 V		10		
		OSCCAPx = 2h、V_{CC} = 2.2 V/3 V		14		
		OSCCAPx = 3h、V_{CC} = 2.2 V/3 V		18		
C_{XOUT}	出力容量（注 4）	OSCCAPx = 0h、V_{CC} = 2.2 V/3 V		0		pF
		OSCCAPx = 1h、V_{CC} = 2.2 V/3 V		10		
		OSCCAPx = 2h、V_{CC} = 2.2 V/3 V		14		
		OSCCAPx = 3h、V_{CC} = 2.2 V/3 V		18		
V_{IL}	入力レベル（XIN）	V_{CC} = 2.2 V/3 V（注 3）	V_{SS}		0.2 x V_{CC}	V
V_{IH}			0.8 x V_{CC}		V_{CC}	

（注 1）　パッケージ及び基板の寄生容量を 2 pF と推定しても構いません。クリスタルの実効負荷容量は、(C_{XIN} x C_{XOUT}) / (C_{XIN} + C_{XOUT}) で表され、XST_FLL とは無関係です。

（注 2）　ロー・パワー LFXT1 オシレータの EMI を改善するために、特に LF モード（32 kHz）では以下に示すガイドラインに従って下さい。
- `F42x0 とクリスタルとの間の配線はできるだけ短くする。
- オシレータ端子の周辺は、良好なグランド・プレーンとなるように設計する。
- 他のクロック又はデータ・ラインからオシレータ端子 XIN 及び XOUT へのクロストークを防止する。
- XIN 及び XOUT 端子の下側又は近くにプリント基板の配線を走らせないようにする。
- オシレータ端子 XIN 及び XOUT の寄生負荷を防止するための組み立て材料及び組み立て方法を使用する。
- コーティングを使用する場合は、それがオシレータ端子間に容量／抵抗リークを誘導しないこと。
- シリアル プログラミング・アダプタを使用するために、XOUT ラインを JTAG ヘッダへ配線してはいけません。この信号は、シリアル・プログラミング・アダプタには必要ありません。

（注 3）　外部ロジック・レベル クロック・ソースを使用する場合のみに適用されます。クリスタル又はレゾネータを使用する場合は適用されません。

（注 4）　高精度のリアルタイム・クロックを使用する場合は、OSCCAPx = 0h とし、外部容量を使用することを推奨します。

推奨動作周囲温度における電気的特性（特記無き場合）（続き）

SD16_A、電源及び推奨動作条件

項　　目		測定条件		V_{CC}	最小	標準	最大	単位
AV_{CC}	アナログ電源電圧	AV_{CC} = DV_{CC}、AV_{SS} = DV_{SS} = 0 V			2.5		3.6	V
I_{SD16}	アナログ電源電流（内部基準電圧を含む）	SD16LP = 0、f_{SD16} = 1 MHz、SD16OSR = 256	SD16BUFx = 00; GAIN: 1,2	3 V		650	950	μA
			SD16BUFx = 00; GAIN: 4,8,16			730	1100	
			SD16BUFx = 00; GAIN: 32			1050	1550	
		SD16LP = 1、f_{SD16} = 0.5 MHz、SD16OSR = 256	SD16BUFx = 00; GAIN: 1	3 V		620	930	
			SD16BUFx = 00; GAIN: 32			700	1060	
		SD16LP = 0、f_{SD16} = 1 MHz、SD16OSR = 256	SD16BUFx = 01; GAIN: 1	3 V		850		
			SD16BUFx = 10; GAIN: 1			1130		
			SD16BUFx = 11; GAIN: 1			1130		
f_{SD16}	アナログ・フロント・エンド入力クロック周波数	SD16LP = 0（ロー・パワー・モードはディスエーブル）		3 V	0.03	1	1.1	MHz
		SD16LP = 1（ロー・パワー・モードはディスエーブル）		3 V	0.03	0.5		

SD16_A、アナログ入力範囲（注 1）

項　　目		測定条件		V_{CC}	最小	標準	最大	単位
$V_{ID,FSR}$	差動フル・スケール入力電圧範囲	バイポーラ・モード、SD16UNI = 0			$-V_{REF}/2GAIN$		$+V_{REF}/2GAIN$	mV
		ユニポーラ・モード、SD16UNI = 1			0		$+V_{REF}/2GAIN$	
V_{ID}	規定の性能のための差動入力電圧範囲（注 1）	SD16REFON = 1	SD16GAINx = 1			±500		mV
			SD16GAINx = 2			±250		
			SD16GAINx = 4			±125		
			SD16GAINx = 8			±62		
			SD16GAINx = 16			±31		
			SD16GAINx = 32			±15		
Z_I	入力インピーダンス（1 入力端子 ～ AV_{SS}）	f_{SD16} = 1 MHz、SD16BUFx = 00	SD16GAINx = 1	3 V		200		kΩ
			SD16GAINx = 32			75		
		f_{SD16} = 1 MHz、SD16BUFx = 01	SD16GAINx = 1	3 V		>10		MΩ
Z_{ID}	差動入力インピーダンス（IN+ ～ IN-）	f_{SD16} = 1 MHz、SD16BUFx = 00	SD16GAINx = 1	3 V	300	400		kΩ
			SD16GAINx = 32		100	150		
		f_{SD16} = 1 MHz、SD16BUFx > 00	SD16GAINx = 1	3 V		>10		MΩ
V_I	絶対入力電圧範囲	SD16BUFx = 00			AV_{SS} – 0.1 V		AV_{CC}	V
		SD16BUFx > 00			AV_{SS}		AV_{CC} – 1.2 V	
V_{IC}	同相入力電圧範囲	SD16BUFx = 00			AV_{SS} – 0.1 V		AV_{CC}	V
		SD16BUFx > 00			AV_{SS}		AV_{CC} – 1.2 V	

（注 1）　アナログ入力範囲は、V_{REF} に印加される基準電圧に依存します。V_{REF} が外部から供給される場合は、フル・スケール範囲は、V_{FSR+} = +(V_{REF}/2)/GAIN 及び V_{FSR-} = -(V_{REF}/2)/GAIN で定義されます。アナログ入力範囲は、V_{FSR+} 又は V_{FSR-} の 80% を越えてはいけません。

推奨動作周囲温度における電気的特性（特記無き場合）（続き）

SD16_A、アナログ特性（f_{SD16} = 30 kHz、SD16REFON = 1、SD16BUFx = 01）

項目		測定条件		V_{CC}	最小	標準	最大	単位
SINAD	S/N + 歪	SD16GAINx = 1、信号振幅 = 500 mV、SD16OSRx = 256	f_{IN} = 2.8 Hz	3 V		84		dB
		SD16GAINx = 1、信号振幅 = 500 mV、SD16OSRx = 512				84		
		SD16GAINx = 1、信号振幅 = 500 mV、SD16OSRx = 1024				84		
	公称ゲイン	SD16GAINx = 1; SD16OSRx = 1024		3 V	0.97	1	1.02	
dG/dT	ゲイン温度ドリフト	SD16GAINx = 1; SD16OSRx = 1024（注 1）		3 V		15		ppm/℃
dG/dV_{CC}	ゲイン電源電圧ドリフト	SD16GAINx = 1; SD16OSRx = 1024; V_{CC} = 2.5 V ～ 3.6 V（注 2）				0.35		%/V

(注 1)　ボックス法を用いて計算されています。:(MAX(-40℃...85℃) - MIN(-40℃...85℃))/MIN(-40℃...85℃)/(85℃ - (-40℃))
(注 2)　ボックス法を用いて計算されています。:(MAX(2.5 V...3.6 V) - MIN(2.5 V...3.6 V))/MIN(2.5 V...3.6 V)/(3.6 V - 2.5 V)

SD16_A、アナログ特性（f_{SD16} = 1 MHz、SD16OSRx = 256、SD16REFON = 1、SD16BUFx = 00）

項目		測定条件		V_{CC}	最小	標準	最大	単位
SINAD	S/N + 歪	SD16GAINx = 1、信号振幅 = 500 mV	f_{IN} = 50 Hz、100 Hz	3 V	83.5	85		dB
		SD16GAINx = 2、信号振幅 = 250 mV			81.5	84		
		SD16GAINx = 4、信号振幅 = 125 mV			76	79.5		
		SD16GAINx = 8、信号振幅 = 62 mV			73	76.5		
		SD16GAINx = 16、信号振幅 = 31 mV			69	73		
		SD16GAINx = 32、信号振幅 = 15 mV			62	69		
G	公称ゲイン（注 1）	SD16GAINx = 1		3 V	0.97	1	1.02	
		SD16GAINx = 2			1.9	1.96	2.02	
		SD16GAINx = 4			3.76	3.86	3.96	
		SD16GAINx = 8			7.36	7.62	7.84	
		SD16GAINx = 16			14.56	15.04	15.52	
		SD16GAINx = 32			27.2	28.35	29.76	
E_{OS}	オフセット誤差（注 1）	SD16GAINx = 1		3 V			±0.2	%FSR
		SD16GAINx = 32					±1.5	
dE_{OS}/dT	オフセット誤差の温度係数（注 1）	SD16GAINx = 1		3 V		±4	±20	ppm FSR/℃
		SD16GAINx = 32				±20	±100	
CMRR	同相信号除去比	SD16GAINx = 1、同相入力信号: V_{ID} = 500 mV、f_{IN} = 50 Hz、100 Hz		3 V		>90		dB
		SD16GAINx = 32、同相入力信号: V_{ID} = 16 mV、f_{IN} = 50 Hz、100 Hz				>75		
PSRR	電源電圧変動除去比	SD16GAINx = 1		3 V		>80		dB

(注 1)　規格値は特性評価で決められており、量産テストは実施していません。

推奨動作周囲温度における電気的特性（特記無き場合）（続き）

SD16_A、温度センサ

項　　目		測定条件	V_{CC}	最小	標準	最大	単位
TC_{Sensor}	センサ温度係数	（注 1）		1.18	1.32	1.46	mV/K
$V_{Offset,sensor}$	センサ・オフセット電圧	（注 1）		-100		100	mV
V_{Sensor}	センサ出力電圧（注 3）	T_A = 85℃ での温度センサ電圧	3 V	435	475	515	mV
		T_A = 25℃ での温度センサ電圧		355	395	435	
		T_A = 0℃ での温度センサ電圧（注 1）		320	360	400	

（注 1）　規格値は特性評価で決められており、量産テストは実施していません。
（注 2）　温度センサ出力電圧は次式で計算することができます。
$V_{Sensor,typ} = TC_{Sensor}$ （ 273 + T [℃] ） + $V_{Offset,sensor}$ [mV]
（注 3）　結果は、TC_{Sensor} 又は $V_{Offset,sensor}$ ではなく特性評価及び（又は）量産テストに基づいています。

SD16_A、内蔵基準電圧

項　　目		測定条件	V_{CC}	最小	標準	最大	単位
V_{REF}	内部基準電圧	SD16REFON = 1、SD16VMIDON = 0	3 V	1.14	1.2	1.26	V
I_{REF}	基準電圧電流	SD16REFON = 1、SD16VMIDON = 0	3 V		175	260	µA
TC	温度係数	SD16REFON = 1、SD16VMIDON = 0	3 V		18	50	ppm/K
C_{REF}	V_{REF} 負荷容量	SD16REFON = 1、SD16VMIDON = 0（注 1）			100		nF
I_{LOAD}	V_{REF} 最大負荷電流	SD16REFON = 1; SD16VMIDON = 0	3 V			±200	nA
t_{ON}	ターン・オン時間	SD16REFON = 0 -> 1; SD16VMIDON = 0; C_{REF} = 100 nF	3 V		5		ms
PSRR	ライン・レギュレーション	SD16REFON = 1; SD16VMIDON = 0	3 V		10		µV/V

（注 1）　V_{REF} にはコンデンサは必要ありませんが、基準電圧ノイズを低減するために少なくとも 100 nF のコンデンサを接続することを推奨します。

SD16_A、基準電圧出力バッファ

項　　目		測定条件	V_{CC}	最小	標準	最大	単位
$V_{REF,BUF}$	基準電圧バッファ出力電圧	SD16REFON = 1、SD16VMIDON = 1	3 V		1.2		V
$I_{REF,BUF}$	基準電圧 + 基準電圧出力バッファ静止電流	SD16REFON = 1、SD16VMIDON = 1	3 V		385	600	µA
$C_{REF(O)}$	V_{REF} に必要な負荷容量	SD16REFON = 1、SD16VMIDON = 1		470			nF
$I_{LOAD,Max}$	V_{REF} 最大負荷電流	SD16REFON = 1、SD16VMIDON = 1	3 V			±1	mA
	負荷電流に対する最大基準電圧変動	$\|I_{LOAD}\|$ = 0 mA ～ 1 mA	3 V	-15		+15	mV
t_{ON}	ターン・オン時間	SD16REFON = 0 -> 1; SD16VMIDON = 1; C_{REF} = 470 nF	3 V		100		µs

SD16_A、外部基準電圧入力

項　　目		測定条件	V_{CC}	最小	標準	最大	単位
$V_{REF(I)}$	入力電圧範囲	SD16REFON = 0	3 V	1	1.25	1.5	V
$I_{REF(I)}$	入力電流	SD16REFON = 0	3 V			50	nA

推奨動作周囲温度における電気的特性（特記無き場合）（続き）

12 ビット DAC 電源特性

項　　目		測定条件	V_{CC}	最小	標準	最大	単位
AV_{CC}	アナログ電源電圧	AV_{CC} = DV_{CC}、 AV_{SS} = DV_{SS} = 0 V		2.2		3.6	V
I_{DD}	電源電流: (注 1、2)	DAC12AMPx = 2、DAC12IR = 0、 DAC12_xDAT = 0800h	2.2 V/3 V		50	110	μA
		DAC12AMPx = 2、DAC12IR = 1、 DAC12_xDAT = 0800h、$V_{REF,DAC12}$ = AV_{CC}			50	110	
		DAC12AMPx = 5、DAC12IR = 1、 DAC12_xDAT = 0800h、$V_{REF,DAC12}$ = AV_{CC}			200	440	
		DAC12AMPx = 7、DAC12IR = 1、 DAC12_xDAT = 0800h、$V_{REF,DAC12}$ = AV_{CC}			700	1500	
PSRR	電源電圧変動除去比 (注 3、4)	DAC12_xDAT = 800h、$V_{REF,DAC12}$ = 1.2 V、 ΔAV_{CC} = 100 mV	2.7 V		70		dB

(注 1)　出力端子は無負荷で、共有端子のための制御ビットは正しく設定されていると仮定します。
(注 2)　基準電圧端子への電流は含まれていません。DAC12IR = 1 の場合、電流は入力ディバイダの中を流れます。基準電圧入力の規格を参照して下さい。
(注 3)　PSRR = $20*\log\{\Delta AV_{CC}/\Delta V_{DAC12_xOUT}\}$
(注 4)　V_{REF} は外部から印加されます。内部基準電圧は使用しません。

推奨動作温度範囲における電気的特性（特記無き場合）（続き）

12 ビット DAC 直線性 （図 12 参照）

項目		測定条件	V_{CC}	最小	標準	最大	単位
分解能		(12 ビット 単調性)		12			bits
INL	積分非直線性 (注 1)	$V_{REF,DAC12}$ = 1.2 V、 DAC12AMPx = 7、DAC12IR = 1	2.7 V		±2	±8	LSB
DNL	微分非直線性 (注 1)	$V_{REF,DAC12}$ = 1.2 V、 DAC12AMPx = 7、DAC12IR = 1	2.7 V		±0.4	±1	LSB
E_O	キャリブレーションなしのオフセット電圧 (注 1、2)	$V_{REF,DAC12}$ = 1.2 V、 DAC12AMPx = 7、DAC12IR = 1	2.7 V			±20	mV
	キャリブレーション後のオフセット電圧 (注 1、2)					±2.5	
$d_{E(O)}/d_T$	オフセット誤差の温度係数 (注 1)		2.7 V		±30		µV/℃
E_G	ゲイン誤差 (注 1)	$V_{REF,DAC12}$ = 1.2 V	2.7 V			±3.5	% FSR
$d_{E(G)}/d_T$	ゲイン温度係数(注 1)		2.7 V		10		ppm of FSR/℃
t_{Offset_Cal}	オフセット・キャリブレーション時間 (注 3)	DAC12AMPx = 2	2.7 V			100	ms
		DAC12AMPx = 3、5				32	
		DAC12AMPx = 4、6、7				6	

(注 1) パラメータは、0x0A から 0xFFF までのベスト・フィット曲線から計算しました。ベスト・フィット曲線法は、１次方程式：y = a + b*x の係数「a」と「b」を求めるために使用されます。$V_{DAC12_xOUT} = E_O + (1 + E_G) * (V_{REF,DAC12}/4095) * DAC12_xDAT$、DAC12IR = 1

(注 2) オフセット・キャリブレーションは、出力オペアンプで動作します。オフセット・キャリブレーションは、ビット DAC12CALON をセットすることによってトリガされます。

(注 3) オフセット・キャリブレーションは、DAC12AMPx = {2、3、4、5、6、7} の場合に行うことができます。出力オペアンプは、DAC12AMPx = {0,1} でスイッチ・オフされます。DAC12 モジュールは、キャリブレーションを始める前に設定することを推奨します。キャリブレーションの間のポート動作は、精度に影響を与える可能性がありますので推奨しません。

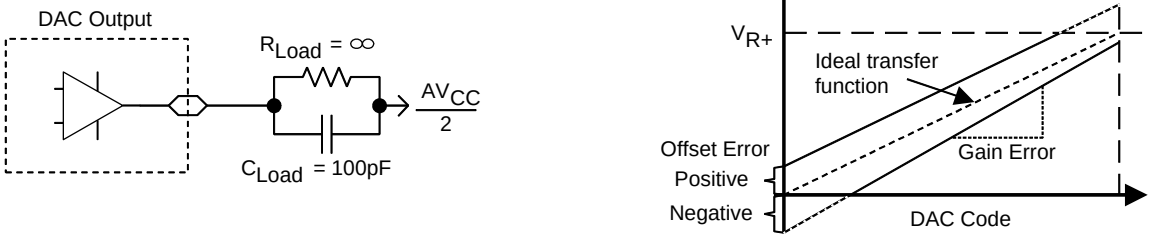
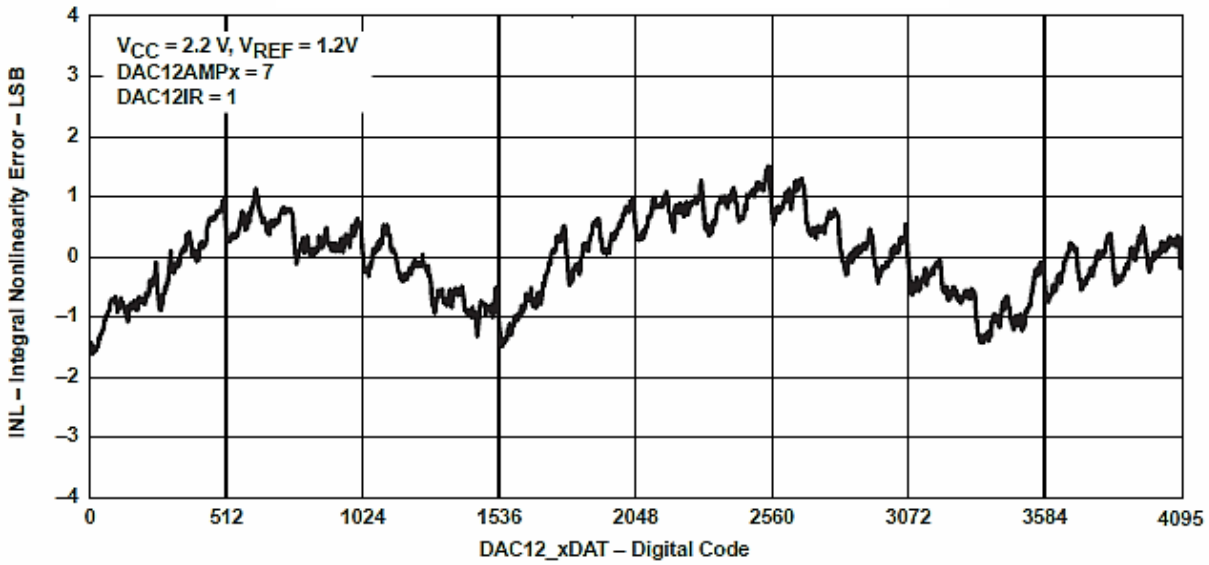


図 12. 直線性測定回路及びゲイン/オフセットの定義

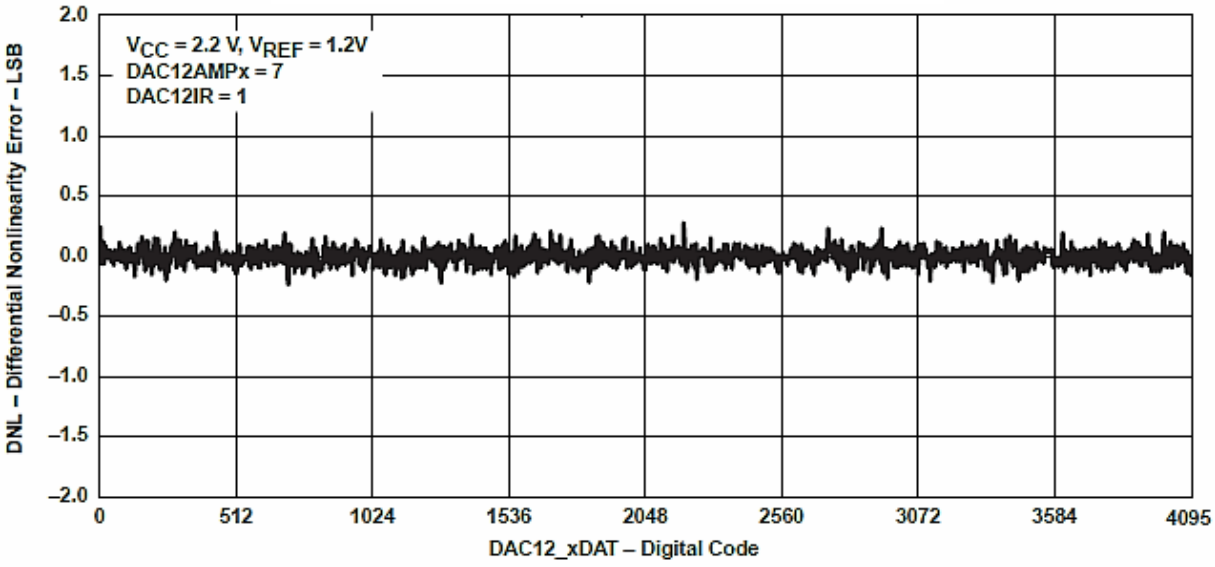
推奨動作温度範囲における電気的特性（特記無き場合）（続き）

12 ビット DAC 直線性（続き）

デジタル入力データ
対
積分非直線性誤差（標準）



デジタル入力データ
対
微分非直線性誤差（標準）



推奨動作温度範囲における電気的特性（特記無き場合）（続き）

12 ビット DAC 出力特性

項　　目		測定条件	V_{CC}	最小	標準	最大	単位
V_O	出力電圧範囲 （注 1、図 15 参照）	無負荷、$V_{REF,DAC12}$ = AV_{CC}、 DAC12_xDAT = 0h、DAC12IR = 1、 DAC12AMPx = 7	2.2 V/3 V	0		0.005	V
		無負荷、$V_{REF,DAC12}$ = AV_{CC}、 DAC12_xDAT = 0FFFh、DAC12IR = 1、 DAC12AMPx = 7		AV_{CC} – 0.05		AV_{CC}	
		R_{Load}= 3 kΩ、$V_{REF,DAC12}$ = AV_{CC}、 DAC12_xDAT = 0h、DAC12IR = 1、 DAC12AMPx = 7		0		0.1	
		R_{Load}= 3 kΩ、$V_{REF,DAC12}$ = AV_{CC}、 DAC12_xDAT = 0FFFh、DAC12IR = 1、 DAC12AMPx = 7		AV_{CC} – 0.13		AV_{CC}	
$C_{L(DAC12)}$	最大 DAC12 負荷容量		2.2 V/3 V			100	pF
$I_{L(DAC12)}$	最大 DAC12 負荷電流		2.2 V	–0.5		+0.5	mA
			3 V	–1		+1	
$R_{O/P(DAC12)}$	出力抵抗 （図 15 参照）	R_{Load}= 3 kΩ、$V_{O/P(DAC12)}$ < 0.3 V、 DAC12AMPx = 2、DAC12_xDAT = 0h	2.2 V/3 V		150	250	Ω
		R_{Load}= 3 kΩ、$V_{O/P(DAC12)}$ > AV_{CC} – 0.3 V、 DAC12_xDAT = 0FFFh			150	250	
		R_{Load}= 3 kΩ、 0.3 V ≤ $V_{O/P(DAC12)}$ ≤ AV_{CC} – 0.3 V			1	4	

(注 1)　データは、出力アンプのオフセット･キャリブレーション後に有効になります。

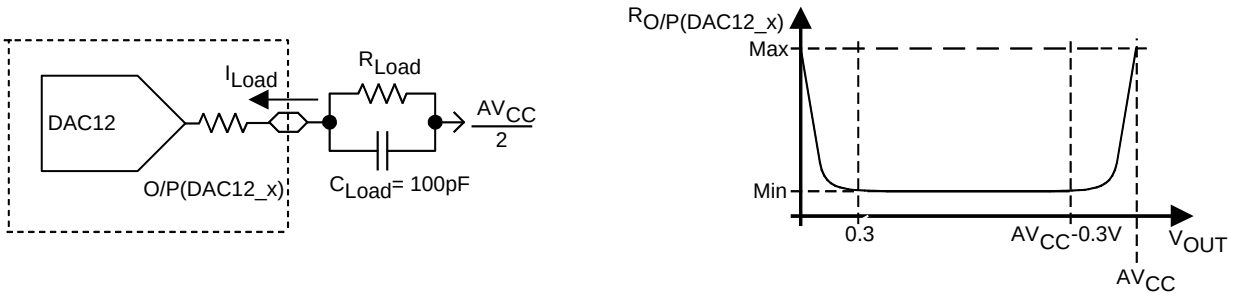


図 15. DAC12_x 出力抵抗の測定

推奨動作温度範囲における電気的特性（特記無き場合）（続き）

12 ビット DAC 基準電圧入力特性

項目		測定条件	V_{CC}	最小	標準	最大	単位
V_{REF}	基準電圧入力電圧	DAC12IR = 0（注 1、2）	2.2 V/3 V		$AV_{CC}/3$	AV_{CC} + 0.2	V
		DAC12IR = 1（注 3、4）			AVcc	AV_{cc} + 0.2	
$Ri_{(VREF)}$	基準電圧入力抵抗	DAC12IR = 0（注 5）	2.2 V/3 V	20			MΩ
		DAC12IR = 1		40	48	56	kΩ

(注 1)　フル･スケール出力のためには、基準入力電圧は最大出力電圧振幅（AV_{CC}）の 1/3 まで高くすることができます。
(注 2)　基準入力電圧端子に印加される最大電圧 $V_{REF} = [AV_{CC} - V_{E(0)}] / [3*(1 + E_G)]$
(注 3)　フル･スケール出力のためには、基準入力電圧は最大出力電圧振幅（AV_{CC}）まで高くすることができます。
(注 4)　基準入力電圧端子に印加される最大電圧 $V_{REF} = [AV_{CC} - V_{E(0)}] / (1 + E_G)$
(注 5)　特性評価により決められており、量産テストは実施していません。

12 ビット DAC 動特性（$V_{REF,DAC12}$ = AV_{CC}、DAC12IR = 1、図 16、17 参照）

項目		測定条件		V_{CC}	最小	標準	最大	単位
t_{ON}	DAC12 オン時間	DAC12_xDAT = 800h、$Error_{V(0)}$ < ±0.5 LSB（注 1、図 16 参照）	DAC12AMPx = 0 → {2、3、4}	2.2 V/3 V		60	120	µs
			DAC12AMPx = 0 → {5、6}			15	30	
			DAC12AMPx = 0 → 7			6	12	
$t_{S(FS)}$	セトリング時間、フル･スケール	DAC12_xDAT = 80h → F7Fh → 80h	DAC12AMPx = 2	2.2 V/3 V		100	200	µs
			DAC12AMPx = 3、5			40	80	
			DAC12AMPx = 4、6、7			15	30	
$t_{S(C-C)}$	セトリング時間、コード間	DAC12_xDAT = 3F8h → 408h → 3F8h、BF8h → C08h → BF8h	DAC12AMPx = 2	2.2 V/3 V		5		µs
			DAC12AMPx = 3、5			2		
			DAC12AMPx = 4、6、7			1		
SR	スルー･レート	DAC12_xDAT = 80h → F7Fh → 80h	DAC12AMPx = 2	2.2 V/3 V	0.05	0.12		V/µs
			DAC12AMPx = 3、5		0.35	0.7		
			DAC12AMPx = 4、6、7		1.5	2.7		
グリッチ・エネルギー：フル･スケール		DAC12_xDAT = 80h → F7Fh → 80h	DAC12AMPx = 2	2.2 V/3 V		10		nV-s
			DAC12AMPx = 3、5			10		
			DAC12AMPx = 4、6、7			15		

(注 1)　図 16 の R_{Load} 及び C_{Load} は、AV_{SS}（AV_{CC}/2 ではなく）に接続します。
(注 2)　スルー・レートは、出力電圧ステップ ≥ 200 mV に適用します。

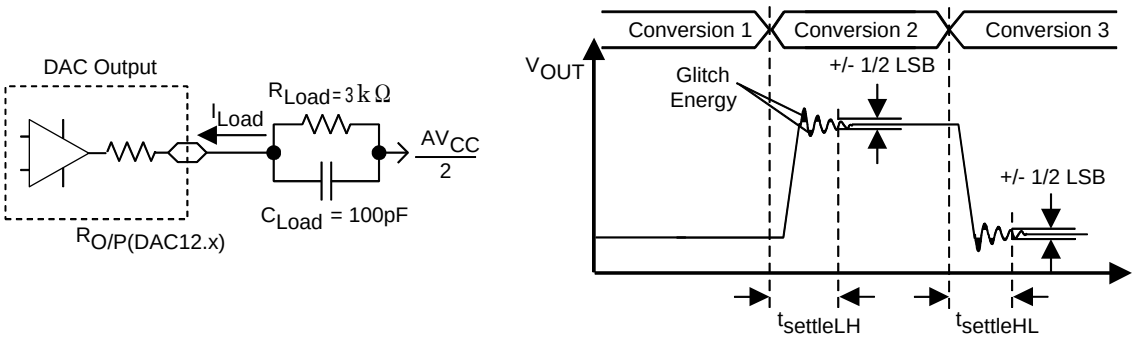


図 16. セトリング時間及びグリッチ・エネルギー測定回路

推奨動作温度範囲における電気的特性（特記無き場合）（続き）

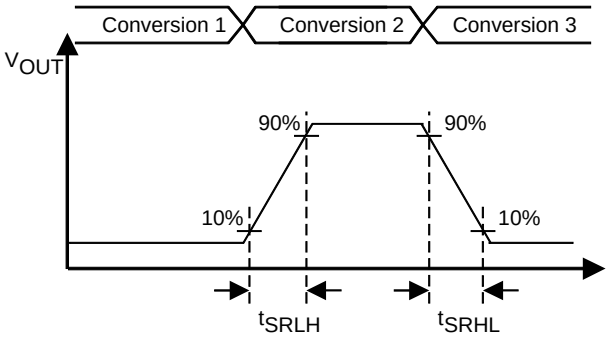


図 17. スルー・レート電圧波形

12 ビット DAC 動特性（続き）（特記無き場合、T_A = 25℃）

項　　目		測定条件	V_{CC}	最小	標準	最大	単位
BW_{-3dB}	3 dB 帯域幅、 V_{DC} = 1.5 V、 V_{AC} = 0.1 V_{PP} （図 18 参照）	DAC12AMPx = {2、3、4}、DAC12SREFx = 2、 DAC12IR = 1、DAC12_xDAT = 800h	2.2 V/3 V	40			kHz
		DAC12AMPx = {5, 6}、DAC12SREFx = 2、 DAC12IR = 1、DAC12_xDAT = 800h		180			
		DAC12AMPx = 7、DAC12SREFx = 2、 DAC12IR = 1、DAC12_xDAT = 800h		550			

(注 1)　R_{LOAD} = 3 kΩ、C_{LOAD} = 100 pF

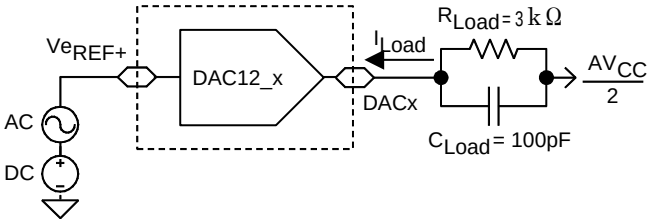


図 18. 3 dB 帯域幅特性測定回路

推奨動作周囲温度における電気的特性（特記無き場合）（続き）

フラッシュ・メモリ

項　　目			測定条件	V_{CC}	最小	標準	最大	単位
$V_{CC(PGM/ERASE)}$	プログラム／消去時電源電圧				2.5		3.6	V
f_{FTG}	フラッシュ・タイミング発生器周波数				257		476	kHz
I_{PGM}	DV_{CC} 消費電流	プログラム時		2.5 V/ 3.6 V		3	5	mA
I_{ERASE}		消去時				3	7	
t_{CPT}	累積プログラム時間		(注 1)	2.5 V/ 3.6 V			4	ms
$t_{CMErase}$	累積一括消去時間		(注 2)	2.5 V/ 3.6 V	200			ms
	プログラム／消去回数				10^4	10^5		cycles
$t_{Retention}$	データ保持期間		T_J = 25℃		100			years
t_{Word}	ワード又はバイト・プログラム時間		(注 3)			35		t_{FTG}
$t_{Block, 0}$	ブロック・プログラム時間	先頭バイト又はワード				30		
$t_{Block, 1-63}$		各後続バイト又はワード				21		
$t_{Block, End}$		終了シーケンスのウェイト時間				6		
$t_{Mass Erase}$	一括消去時間					5297		
$t_{Seg Erase}$	セグメント消去時間					4819		

(注 1)　64 バイトのフラッシュ・ブロック書き込み動作時は、累積プログラム時間を越えてはいけません。このパラメータは、個々のワード／バイト書き込み及びブロック書き込みモードのすべてのプログラミング方法に適用されます。
(注 2)　フラッシュ・タイミング発生器によって生成される一括消去時間は、最小 11.1 ms (= 5297 x $1/f_{FTG,max}$ = 5297 x 1/476 kHz) です。必要な累積一括消去時間を達成するために、フラッシュ・コントローラの一括消去動作を繰り返すことができます。(ワースト・ケースで最小 19 サイクル必要です。)
(注 3)　これらの値は、フラッシュ・コントローラのステート・マシンにハード・ワイヤードされています。(t_{FTG} = $1/f_{FTG}$)

JTAG インタフェース

項　　目		測定条件	V_{CC}	最小	標準	最大	単位
f_{TCK}	TCK 入力周波数	(注 1)	2.2 V	0		5	MHz
			3 V	0		10	
$R_{Internal}$	内部プルアップ抵抗 (TMS、TCK、TDI/TCLK)	(注 2)	2.2 V/ 3 V	25	60	90	kΩ

(注 1)　f_{TCK} は、選択されたモジュールのタイミング条件に適合するように制限されます。
(注 2)　TMS、TDI/TCLK、及び TCK プルアップ抵抗は、すべてのバージョンに内蔵されています。

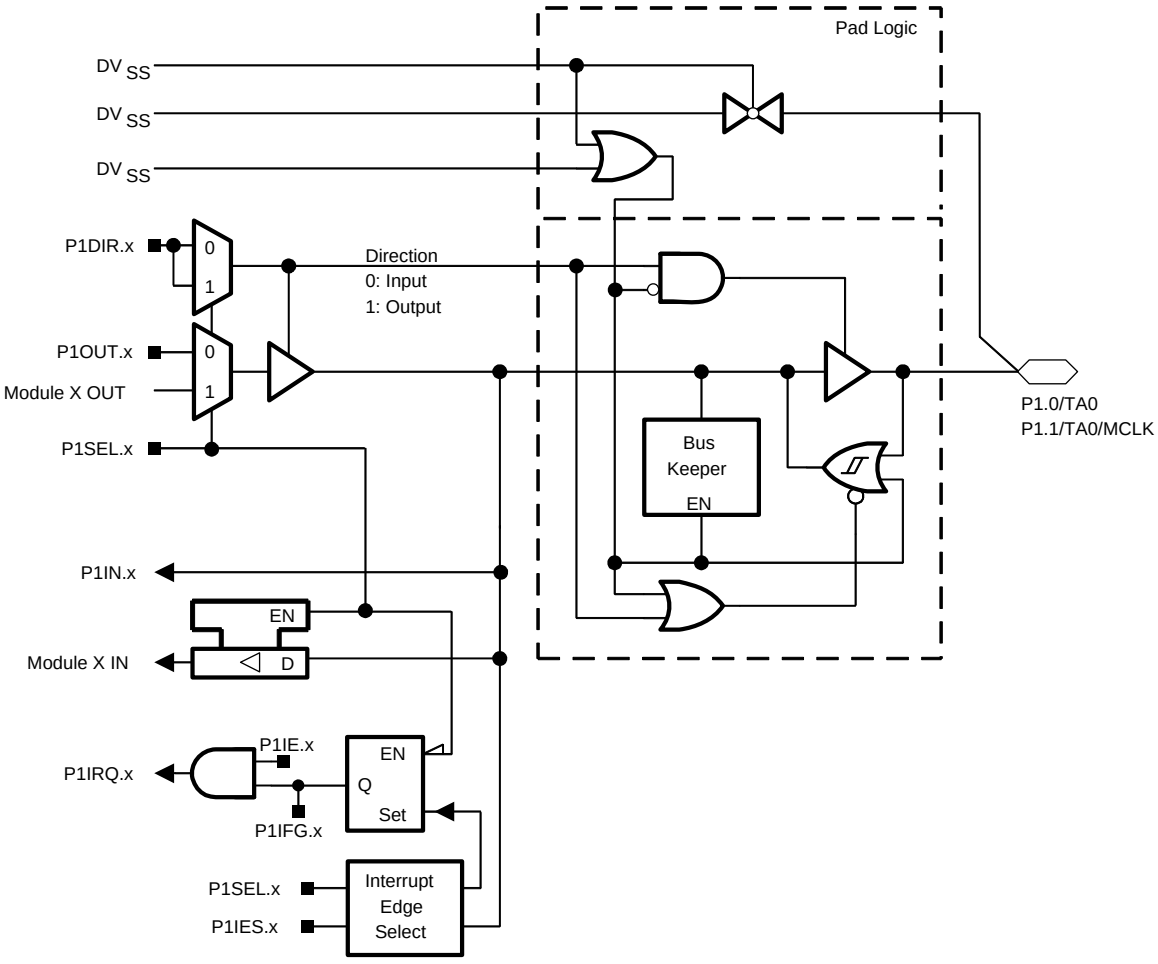
JTAG ヒューズ (注 1)

項　　目		測定条件	V_{CC}	最小	標準	最大	単位
$V_{CC(FB)}$	ヒューズ切断時の電源電圧	T_A = 25℃		2.5			V
V_{FB}	ヒューズ切断電圧 (TDI/TCLK)			6		7	V
I_{FB}	ヒューズ切断時の TDI/TCLK 端子の消費電流					100	mA
t_{FB}	ヒューズ切断時間					1	ms

(注 1)　ヒューズが切断されると、二度と MSP430 の JTAG /テスト機能へアクセスすることができなくなります。JTAG ブロックは、バイパス・モードに切り換わります。

入力／出力図

ポート P1、P1.0 ～ P1.1 （シュミット・トリガ入力／出力）



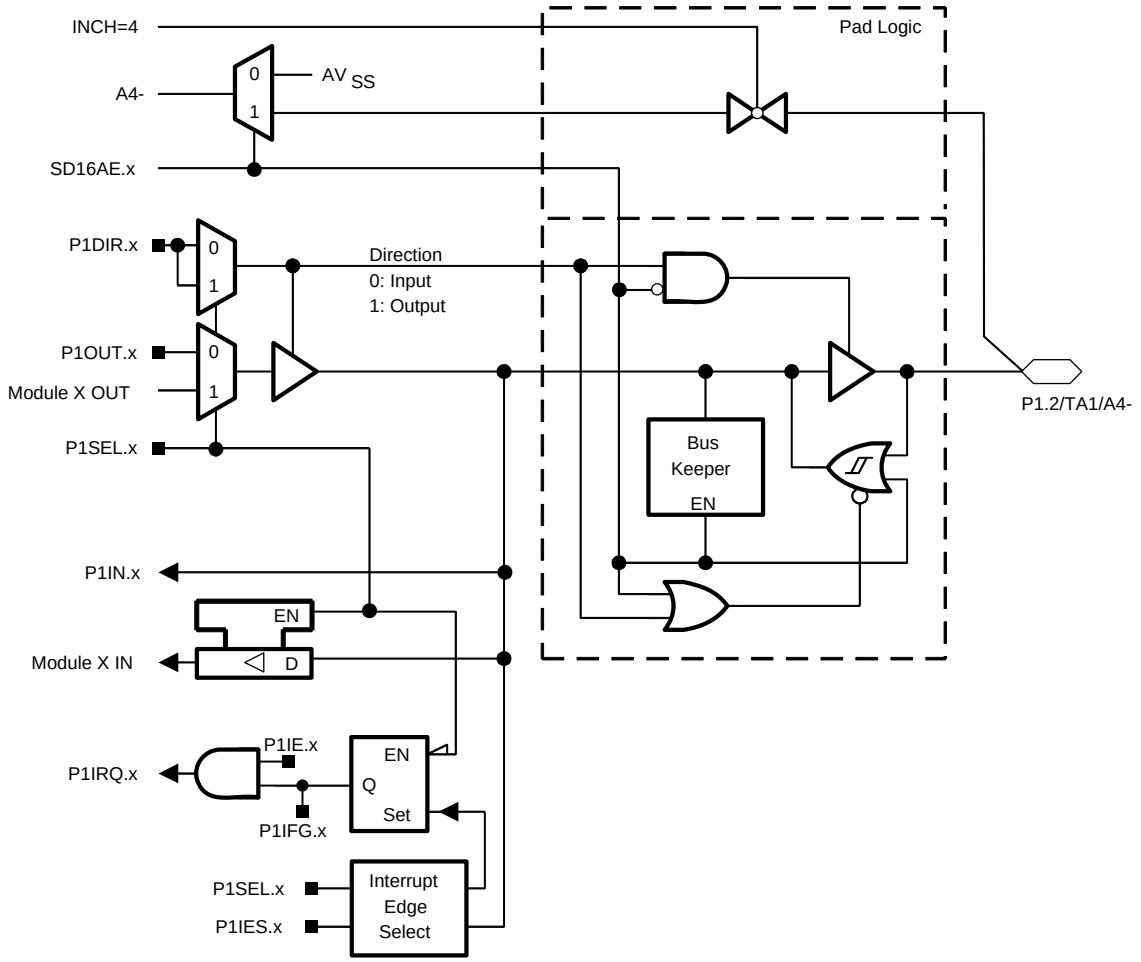
Note: x = 0,1

Port P1 (P1.0, P1.1) pin functions

PIN NAME (P1.X)	X	FUNCTION	CONTROL BITS / SIGNALS	
			P1DIR.x	P1SEL.x
P1.0/TA0	0	P1.0 † Input/Output	0/1	0
		Timer_A3.CCI0A	0	1
		Timer_A3.TA0	1	1
P1.1/TA0/MCLK	1	P1.1† Input/Output	0/1	0
		Timer_A3.CCI0B	0	1
		MCLK	1	1

† リセット(PUC/POR) 後のデフォールト
（注 1）N/A: 使用不可又は未使用
（注 2）X: 関係ありません

ポート P1 端子図 ： P1.2（シュミット・トリガ入力／出力及びアナログ機能）



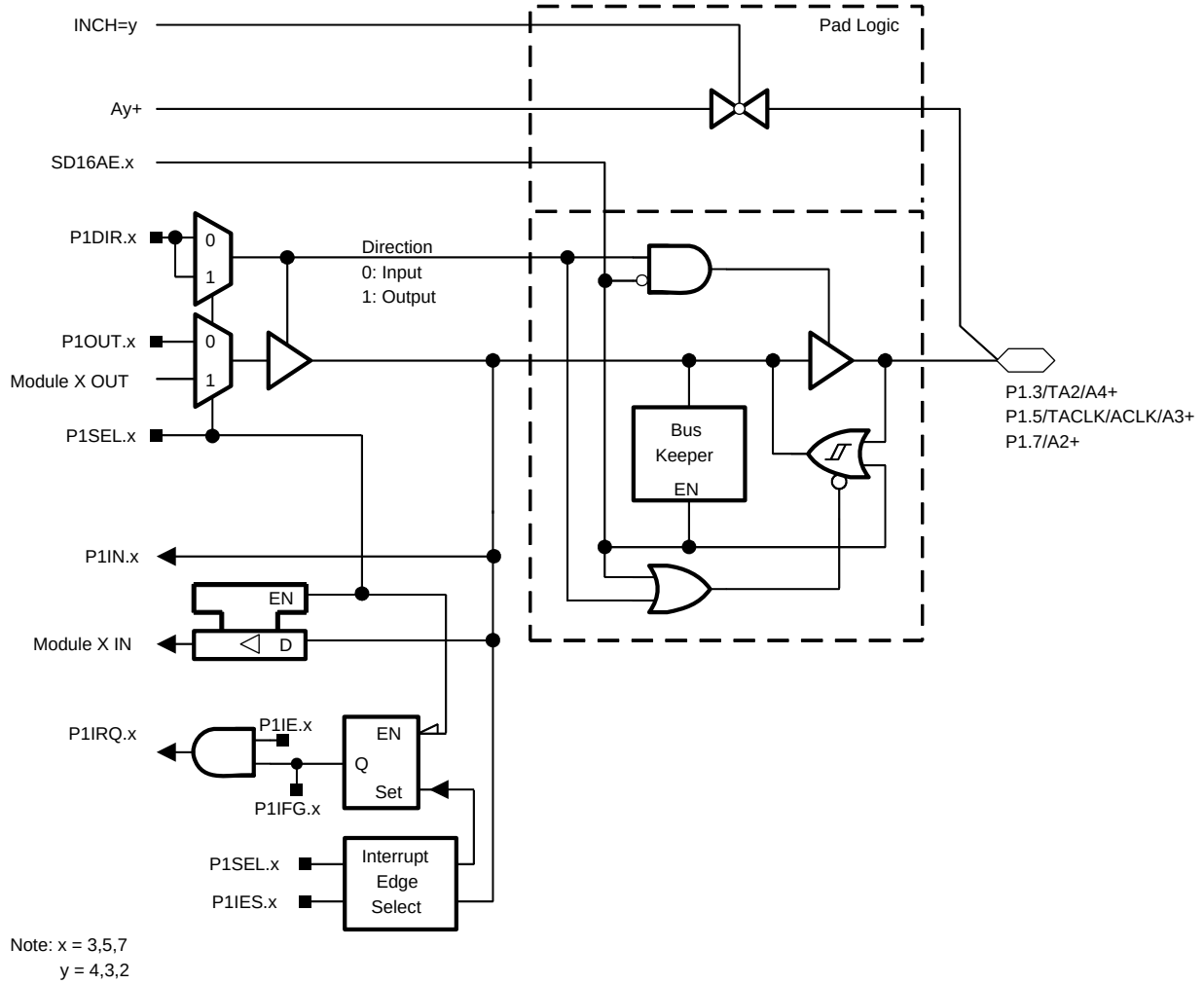
Note: x = 2

Port P1 (P1.2) pin functions

PIN NAME (P1.X)	X	FUNCTION	CONTROL BITS / SIGNALS		
			P1DIR.x	P1SEL.x	SD16AE.x
P1.2/TA1/A4-	2	P1.2 † Input/Output	0/1	0	0
		Timer_A3.CCI1A	0	1	0
		Timer_A3.TA1	1	1	0
		A4- (注 3、4)	X	X	1

†リセット（PUC/POR）後のデフォルト
（注 1）N/A：使用不可又は未使用
（注 2）X：関係ありません
（注 3）SD16AE.x ビットを設定すると、アナログ信号を印加した場合に寄生貫通電流を防止するため、入力シュミット・トリガと同様に出力ドライバはディスエーブルとなります。
（注 4）SD16_A（A4-）負入力端子は、対応する SD16AE.x ビットがゼロにクリアされている場合、V_{SS} に接続されます。

ポート P1 端子図 ： P1.3、P1.5、P1.7（シュミット・トリガ入力／出力及びアナログ機能）

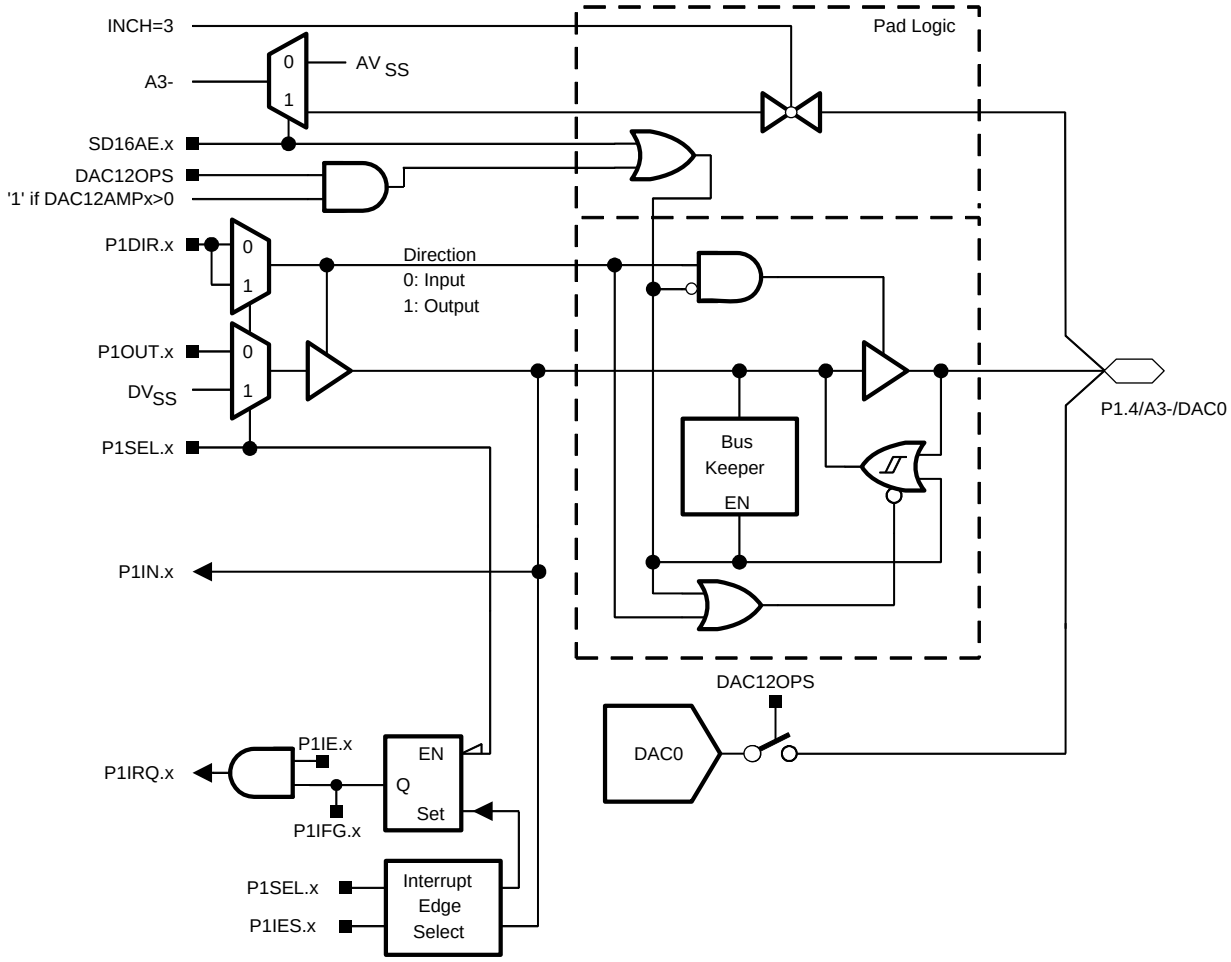


Port P1 (P1.3, P1.5, P1.7) pin functions

PIN NAME (P1.X)	X	FUNCTION	CONTROL BITS / SIGNALS		
			P1DIR.x	P1SEL.x	SD16AE.x
P1.3/TA2/A4+	3	P1.3† Input/Output	0/1	0	0
		Timer_A3.CCI2A	0	1	0
		Timer_A3.TA2	1	1	0
		A4+ (注 3)	X	X	1
P1.5/TACLK/ACLK/A3+	5	P1.5† Input/Output	0/1	0	0
		Timer_A3.TACLK/INCLK	0	1	0
		ACLK	1	1	0
		A3+ (注 3)	X	X	1
P1.7/A2+	7	P1.5† Input/Output	0/1	0	0
		N/A	0	1	0
		DVSS	1	1	0
		A2+ (注 3)	X	X	1

†リセット (PUC/POR) 後のデフォルト
(注 1) N/A：使用不可又は未使用
(注 2) X：関係ありません
(注 3) SD16AE.x ビットを設定すると、アナログ信号を印加した場合に寄生貫通電流を防止するため、入力シュミット・トリガと同様に出力ドライバはディスエーブルとなります。

ポート P1 端子図 ： P1.4（シュミット・トリガ入力／出力及びアナログ機能）



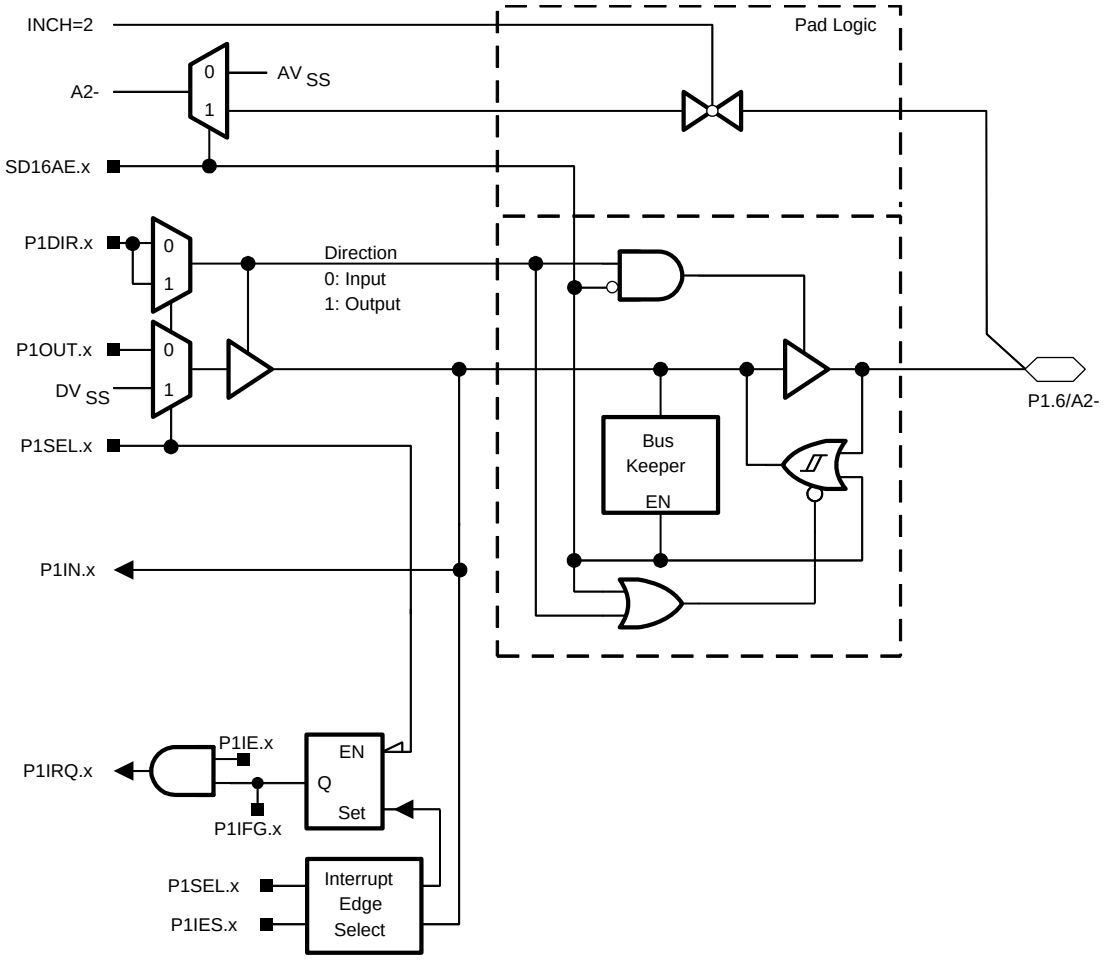
Note: x = 4

Port P1 (P1.4) pin functions

PIN NAME (P1.X)	X	FUNCTION	CONTROL BITS / SIGNALS			
			P1DIR.x	P1SEL.x	SD16AE.x	DAC12OPS
P1.4/A3-/DAC0	4	P1.4† Input/Output	0/1	0	0	0
		N/A	0	1	0	0
		DVSS	1	1	0	0
		A3- (注 3、4)	X	X	1	0
		DAC0 (注 5)	X	X	X	1

†リセット（PUC/POR）後のデフォルト
（注 1）N/A：使用不可又は未使用
（注 2）X：関係ありません
（注 3）SD16AE.x ビットを設定すると、アナログ信号を印加した場合に寄生貫通電流を防止するため、入力シュミット・トリガと同様に出力ドライバはディスエーブルとなります。
（注 4）SD16_A（A3-）負入力端子は、対応する SD16AE.x ビットがゼロにクリアされている場合、V_{SS} に接続されます。
（注 5）DAC12OPS ビットを設定することによっても、アナログ信号を印加した場合に寄生貫通電流を防止するため、入力シュミット・トリガと同様に出力ドライバはディスエーブルとなります。

ポート P1 端子図 ： P1.6（シュミット・トリガ入力／出力及びアナログ機能）



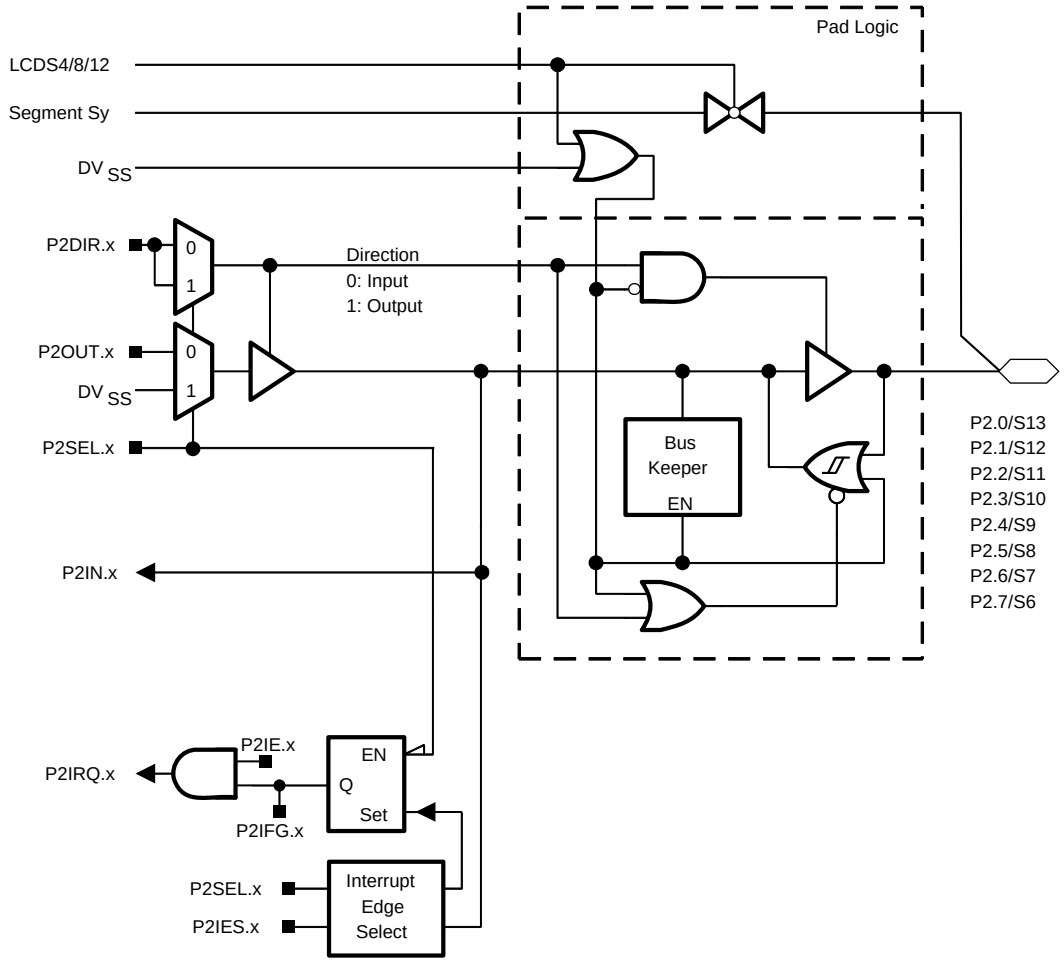
Note: x = 6

Port P1 (P1.6) pin functions

PIN NAME (P1.X)	X	FUNCTION	CONTROL BITS / SIGNALS		
			P1DIR.x	P1SEL.x	SD16AE.x
P1.6/A2-	6	P1.6† Input/Output	0/1	0	0
		N/A	0	1	0
		DVSS	1	1	0
		A2- (注 3、4)	X	X	1

†リセット（PUC/POR）後のデフォルト
（注 1）N/A：使用不可又は未使用
（注 2）X：関係ありません
（注 3）SD16AE.x ビットを設定すると、アナログ信号を印加した場合に寄生貫通電流を防止するため、入力シュミット・トリガと同様に出力ドライバはディスエーブルとなります。
（注 4）SD16_A（A2-）負入力端子は、対応する SD16AE.x ビットがゼロにクリアされている場合、V_{SS} に接続されます。

ポート P2 端子図 ： P2.0 ～ P2.7（シュミット・トリガ入力／出力、LCD 及びアナログ機能）



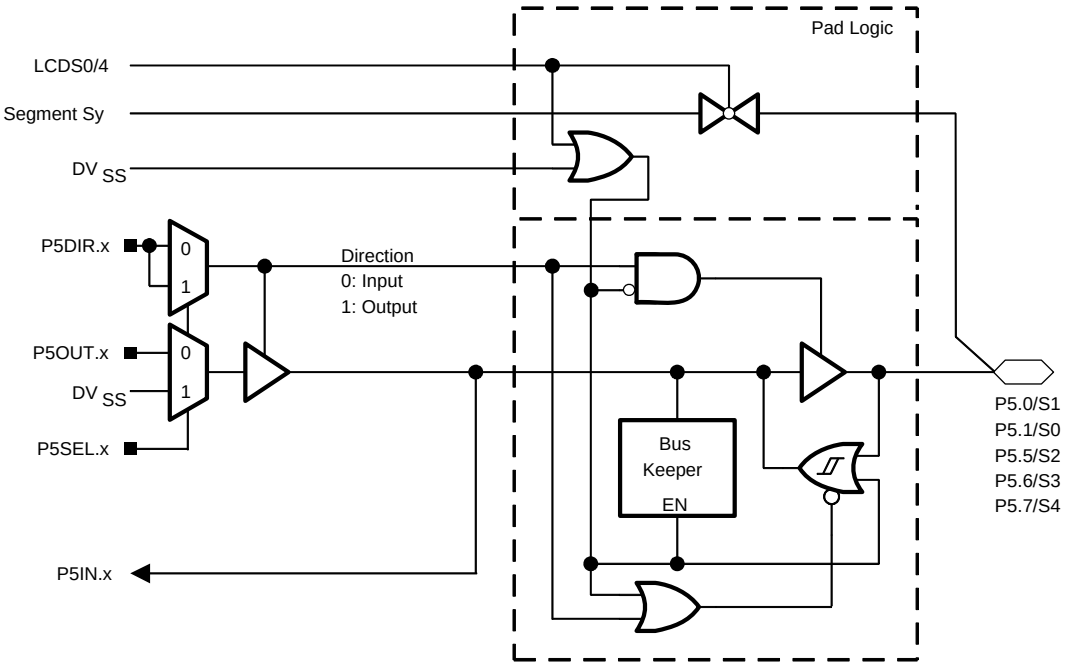
Note: x = 0 to 7
y = 13 to 6

Port P2 (P2.0 to P2.7) pin functions

PIN NAME (P2.X)	X	FUNCTION	CONTROL BITS / SIGNALS		
			P2DIR.x	P2SEL.x	LCDS12
P2.0/S13	0	P2.0† Input/Output	0/1	0	0
		N/A	0	1	0
		DVSS	1	1	0
		S13	X	X	1
P2.1/S12	1	P2.1† Input/Output	0/1	0	0
		N/A	0	1	0
		DVSS	1	1	0
		S12	X	X	1
P2.2/S11	2	P2.2† Input/Output	0/1	0	0
		N/A	0	1	0
		DVSS	1	1	0
		S11	X	X	1
P2.3/S10	3	P2.3† Input/Output	0/1	0	0
		N/A	0	1	0
		DVSS	1	1	0
		S10	X	X	1
P2.4/S9	4	P2.4† Input/Output	0/1	0	0
		N/A	0	1	0
		DVSS	1	1	0
		S9	X	X	1
P2.5/S8	5	P2.5† Input/Output	0/1	0	0
		N/A	0	1	0
		DVSS	1	1	0
		S8	X	X	1
P2.6/S7	6	P2.6† Input/Output	0/1	0	0
		N/A	0	1	0
		DVSS	1	1	0
		S7	X	X	1
P2.7/S6	7	P2.7† Input/Output	0/1	0	0
		N/A	0	1	0
		DVSS	1	1	0
		S6	X	X	1

†リセット (PUC/POR) 後のデフォルト
(注 1) N/A：使用不可又は未使用
(注 2) X：関係ありません

ポート P5 端子図 ： P5.0、P5.1、P5.5 ～ P5.7（シュミット・トリガ入力／出力及び LCD 機能）



Note: x = 0,1,5,6,7
y = 1,0,2,3,4

Port P5 (P5.0, P5.1, P5.5, P5.6) pin functions

PIN NAME (P5.X)	X	FUNCTION	CONTROL BITS / SIGNALS		
			P5DIR.x	P5SEL.x	LCDS0
P5.0/S1	0	P5.0† Input/Output	0/1	0	0
		N/A	0	1	0
		DVSS	1	1	0
		S1	X	X	1
P5.1/S0	1	P5.1† Input/Output	0/1	0	0
		N/A	0	1	0
		DVSS	1	1	0
		S0	X	X	1
P5.5/S2	5	P5.5† Input/Output	0/1	0	0
		N/A	0	1	0
		DVSS	1	1	0
		S2	X	X	1
P5.6/S3	6	P5.6† Input/Output	0/1	0	0
		N/A	0	1	0
		DVSS	1	1	0
		S3	X	X	1

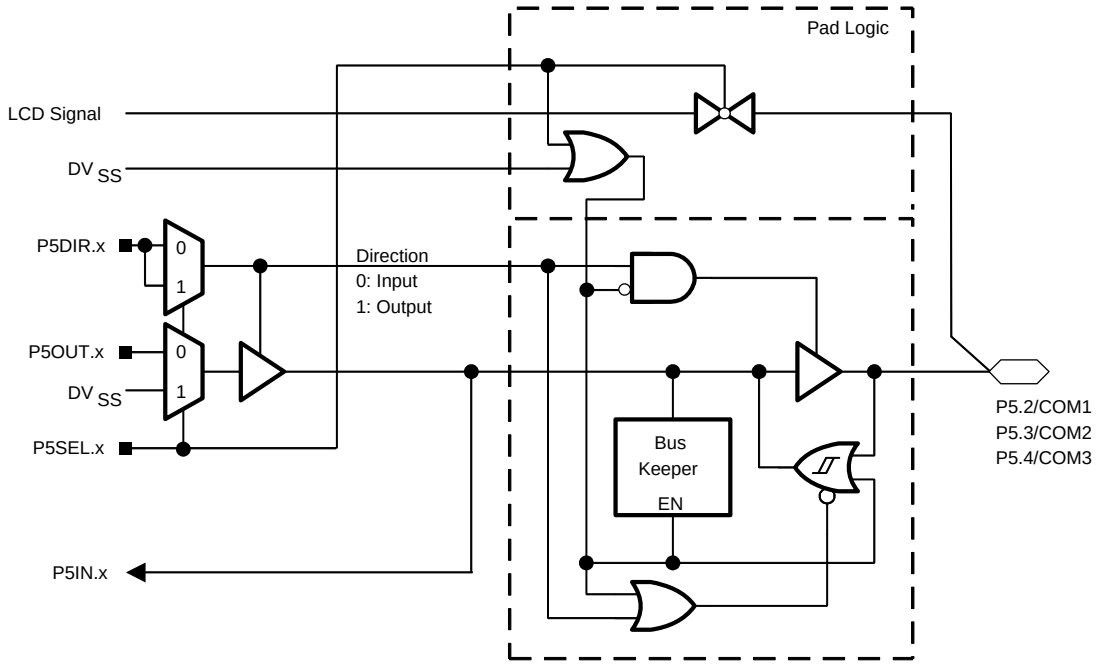
†リセット（PUC/POR）後のデフォルト
（注 1）N/A：使用不可又は未使用
（注 2）X：関係ありません

Port P5 (P5.7) pin functions

PIN NAME (P5.X)	X	FUNCTION	CONTROL BITS / SIGNALS		
			P5DIR.x	P5SEL.x	LCDS4
P5.7/S4	7	P5.7† Input/Output	0/1	0	0
		N/A	0	1	0
		DVSS	1	1	0
		S4	X	X	1

†リセット（PUC/POR）後のデフォルト
（注 1）N/A：使用不可又は未使用
（注 2）X：関係ありません

ポート P5 端子図 : P5.2 ～ P5.4（シュミット・トリガ入力／出力及び LCD 機能）



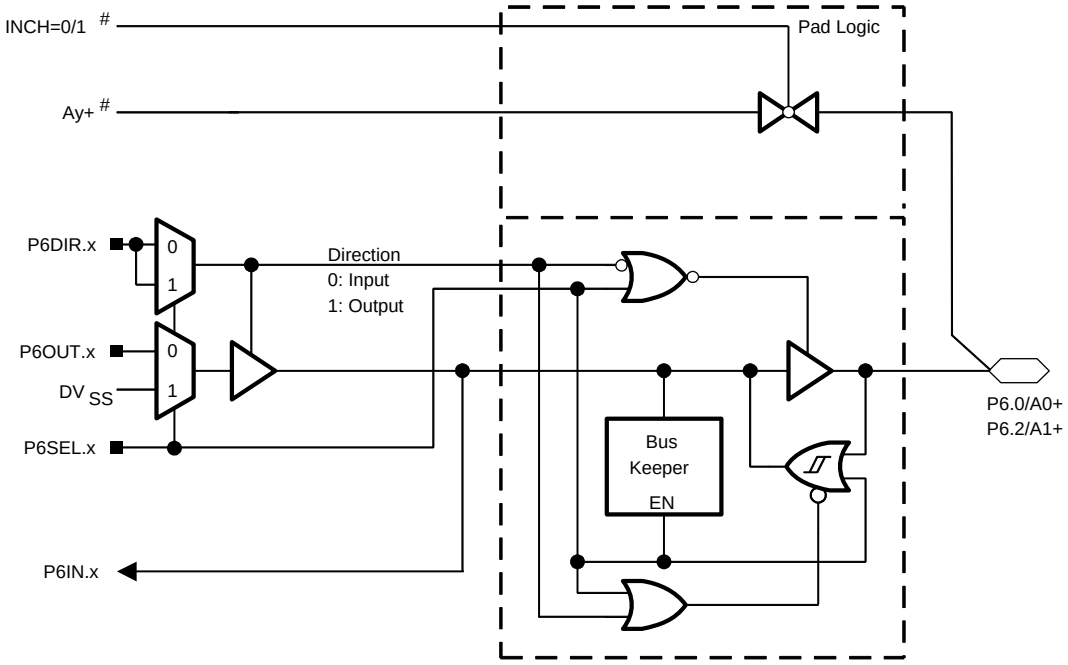
Note: x = 2 to 4

Port P5 (P5.2 to P5.4) pin functions

PIN NAME (P5.X)	X	FUNCTION	CONTROL BITS / SIGNALS	
			P5DIR.x	P5SEL.x
P5.2/COM1	2	P5.2† Input/Output	0/1	0
		COM1	X	1
P5.3/COM2	3	P5.3† Input/Output	0/1	0
		COM2	X	1
P5.4/COM3	4	P5.4† Input/Output	0/1	0
		COM3	X	1

†リセット（PUC/POR）後のデフォルト
（注 1）N/A：使用不可又は未使用
（注 2）X：関係ありません

ポート P6 端子図 ： P6.0、P6.2（シュミット・トリガ入力／出力及びアナログ機能）



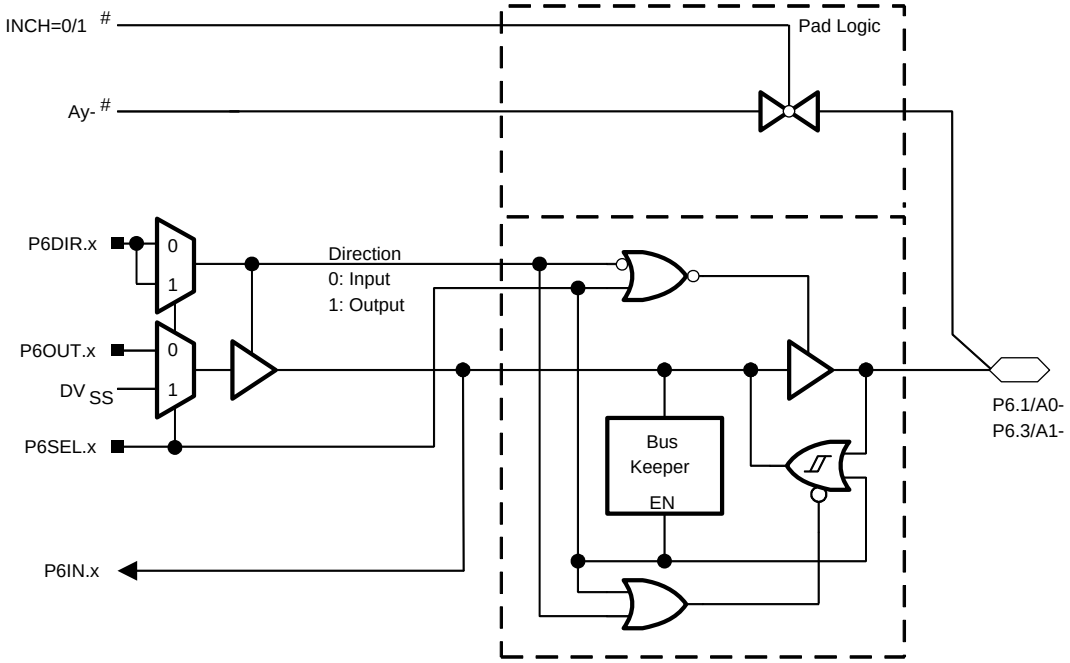
Note: x = 0,2
y = 0,1
#Signal from or to SD16

Port P6 (P6.0, P6.2) pin functions

PIN NAME (P6.X)	X	FUNCTION	CONTROL BITS / SIGNALS	
			P6DIR.x	P6SEL.x
P6.0/A0+	0	P6.0† Input/Output	0/1	0
		A0+ (注 3)	X	1
P6.2/A1+	2	P6.2† Input/Output	0/1	0
		A1+ (注 3)	X	1

†リセット（PUC/POR）後のデフォルト
（注 1）N/A：使用不可又は未使用
（注 2）X：関係ありません
（注 3）P6SEL.x ビットを設定すると、アナログ信号を印加した場合に寄生貫通電流を防止するため、入力シュミット・トリガと同様に出力ドライバはディスエーブルとなります。

ポート P6 端子図 ： P6.1、P6.3（シュミット・トリガ入力／出力及びアナログ機能）



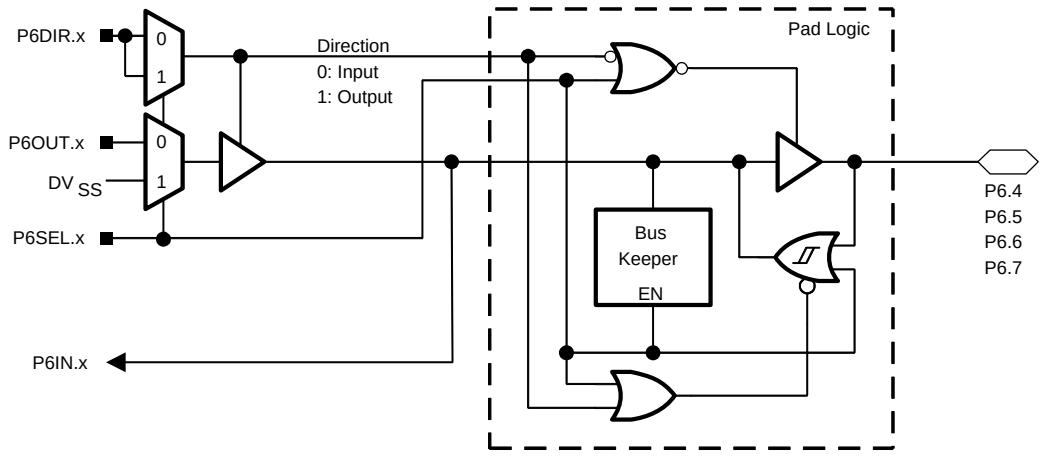
Note: x = 1,3
y = 0,1
#Signal from or to SD16

Port P6 (P6.1, P6.3) pin functions

PIN NAME (P6.X)	X	FUNCTION	CONTROL BITS / SIGNALS	
			P6DIR.x	P6SEL.x
P6.1/A0-	1	P6.1† Input/Output	0/1	0
		A0- (注 3)	X	1
P6.3/A1-	3	P6.3† Input/Output	0/1	0
		A1- (注 3)	X	1

†リセット（PUC/POR）後のデフォルト
（注 1）N/A：使用不可又は未使用
（注 2）X：関係ありません
（注 3）P6SEL.x ビットを設定すると、アナログ信号を印加した場合に寄生貫通電流を防止するため、入力シュミット・トリガと同様に出力ドライバはディスエーブルとなります。

ポート P6 端子図 ： P6.4 ～ P6.7（シュミット・トリガ入力／出力及びアナログ機能）



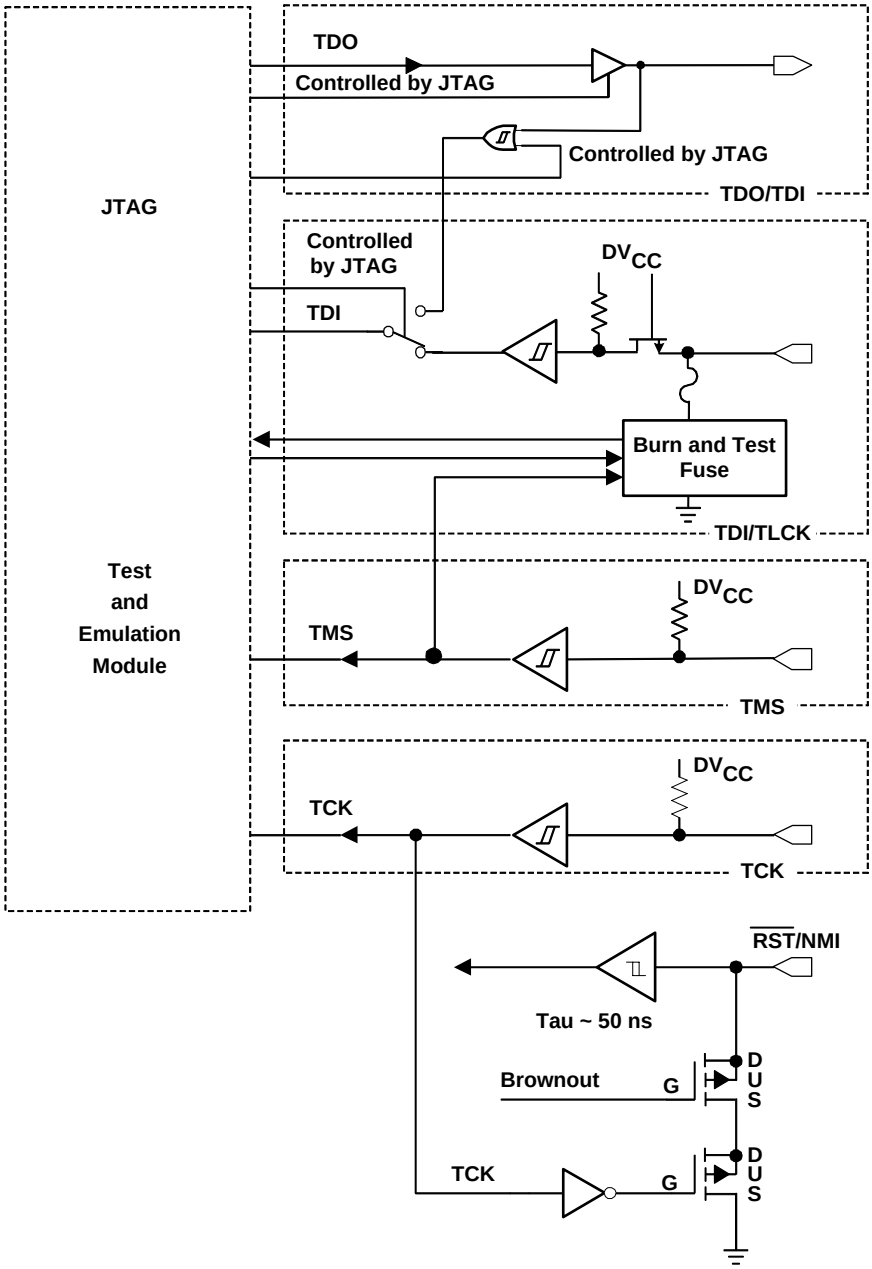
Note: x = 4 to 7

Port P6 (P6.4 to P6.7) pin functions

PIN NAME (P6.X)	X	FUNCTION	CONTROL BITS / SIGNALS	
			P6DIR.x	P6SEL.x
P6.4	4	P6.4† Input/Output	0/1	0
		N/A	0	1
		DVSS	1	1
P6.5	5	P6.5† Input/Output	0/1	0
		N/A	0	1
		DVSS	1	1
P6.6	6	P6.6† Input/Output	0/1	0
		N/A	0	1
		DVSS	1	1
P6.7	7	P6.7† Input/Output	0/1	0
		N/A	0	1
		DVSS	1	1

†リセット（PUC/POR）後のデフォルト
（注 1）N/A：使用不可又は未使用
（注 2）X：関係ありません

JTAG 端子 TMS、TCK、TDI/TCLK、TDO/TDI（シュミット・トリガ入力／出力又は出力）



JTAG ヒューズ・チェック・モード

MSP430 デバイスは、TDI/TCLK 端子上にヒューズを持っており、パワー・オン・リセット（POR）直後の 1 回目に JTAG にアクセスしてヒューズの導通をテストするヒューズ・チェック・モードを装備しています。機能させている場合、ヒューズが切られていなければ、3 V で 1 mA の I_{TF} チェック電流が TDI/TCLK 端子からグランドに流れます。誤ってヒューズ・チェック・モードを起動させたり、システムの総消費電流を増加させたりしないよう注意して下さい。

パワー・アップの後の TMS の最初の立ち下がりエッジを伴って、又は TMS がロー・レベルに保持された状態でのパワー・アップ後、ヒューズ・チェック・モード機能が起動します。次の TMS の立ち上がりエッジでヒューズ チェック・モードを停止します。停止後、ヒューズ・チェック・モードは、次の POR が発生するまで休止します。各 POR 後に、ヒューズ・チェック・モードが動作することになります。

ヒューズ・チェック電流は、ヒューズ・チェック・モードが動作していて、TMS がロー・レベル（図 19 参照）の時に発生します。従って、TMS をハイ・レベル（初期設定条件）にすることにより、電流の流出を防止することができます。JTAG 端子は内部で終端されていますので、外部で終端する必要はありません。

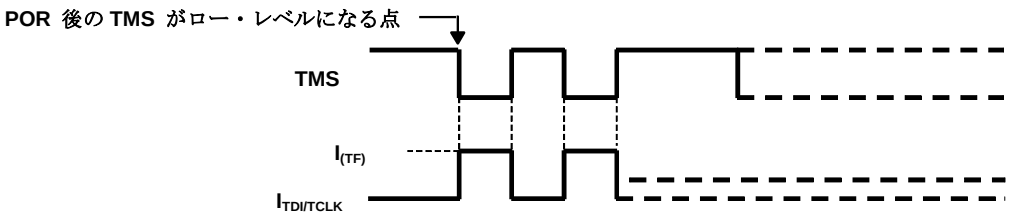


図 14. ヒューズ・チェック・モード電流

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish	MSL Peak Temp (3)
MSP430F4250IDL	ACTIVE	SSOP	DL	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
MSP430F4250IDLR	ACTIVE	SSOP	DL	48	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
MSP430F4260IDL	ACTIVE	SSOP	DL	48	25	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
MSP430F4260IDLR	ACTIVE	SSOP	DL	48	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
MSP430F4270IDL	ACTIVE	SSOP	DL	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
MSP430F4270IDLR	ACTIVE	SSOP	DL	48	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) Eco Plan - The planned eco-friendly classification: Pb-Free (RoHS) or Green (RoHS & no Sb/Br) - please check http://www.ti.com/productcontent for the latest availability information and additional product content details.
TBD: The Pb-Free/Green conversion plan has not been defined.
Pb-Free (RoHS): TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.
Green (RoHS & no Sb/Br): TI defines "Green" to mean Pb-Free (RoHS compatible), and free of Bromine (Br) and Antimony (Sb) based flame retardants (Br or Sb do not exceed 0.1% by weight in homogeneous material)

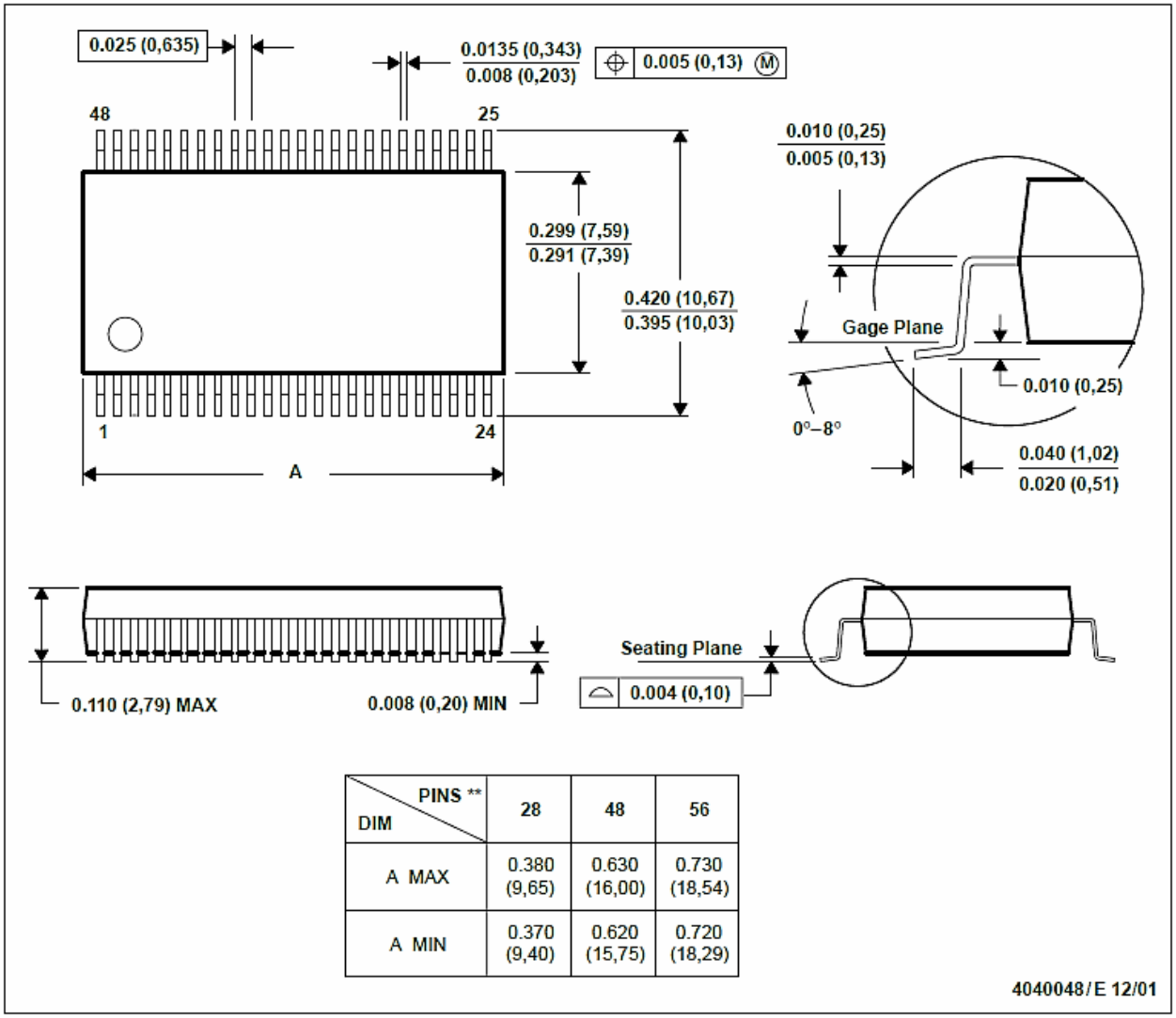
(3) MSL, Peak Temp. – The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

DL (R-PDSO-G**)　　PLASTIC SMALL-OUTLINE PACKAGE

48 PINS SHOWN



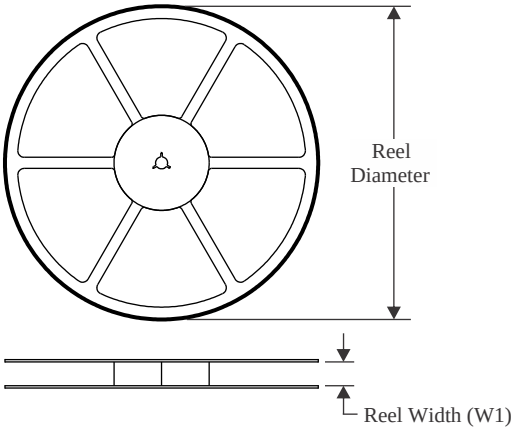
DIM \ PINS **	28	48	56
A MAX	0.380 (9,65)	0.630 (16,00)	0.730 (18,54)
A MIN	0.370 (9,40)	0.620 (15,75)	0.720 (18,29)

4040048/E 12/01

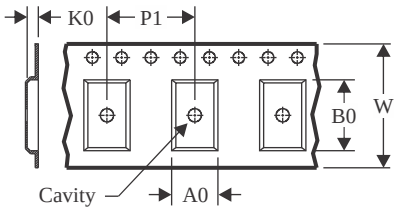
(注 A) すべての寸法の単位は inch (mm) とします。
(注 B) この図面は予告なく変更されることがあります。
(注 C) ボディ寸法は 0.006 (0,15) 以下のモールド・フラッシュ又は突起を含みません。
(注 D) JEDEC MO-118 に相当します。

TAPE AND REEL INFORMATION

REEL DIMENSIONS

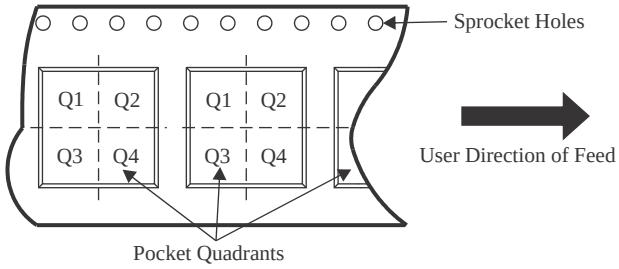


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

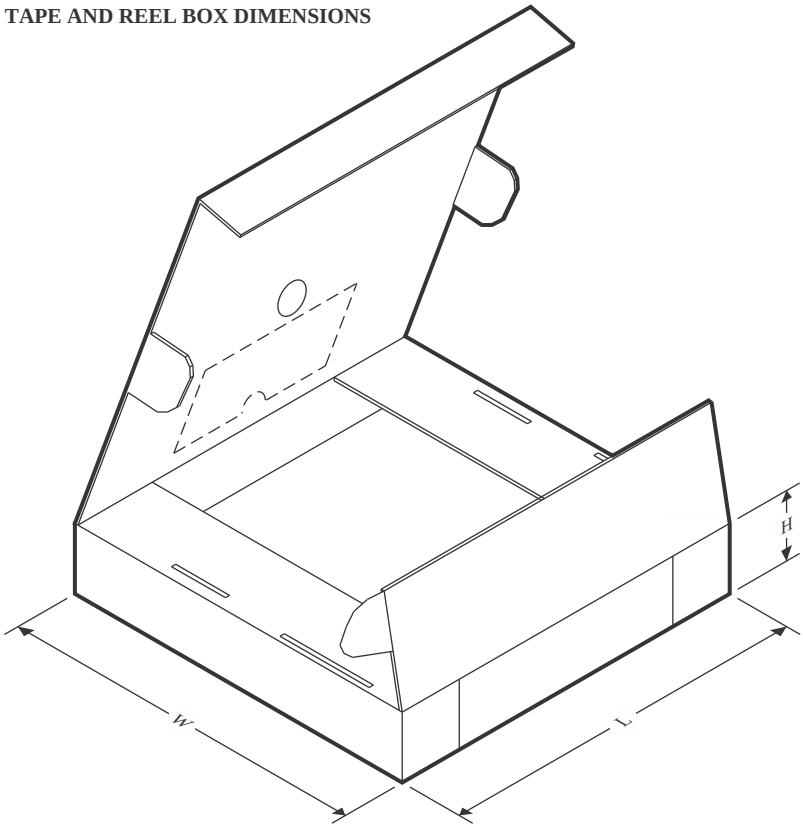
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
MSP430F4250IDLR	SSOP	DL	48	1000	330.0	32.4	11.35	16.2	3.1	16.0	32.0	Q1
MSP430F4250IDLRG4	SSOP	DL	48	1000	330.0	32.4	11.35	16.2	3.1	16.0	32.0	Q1
MSP430F4250IRGZR	VQFN	RGZ	48	2500	330.0	16.4	7.3	7.3	1.5	12.0	16.0	Q2
MSP430F4250IRGZT	VQFN	RGZ	48	250	180.0	16.4	7.3	7.3	1.5	12.0	16.0	Q2
MSP430F4260IDLR	SSOP	DL	48	1000	330.0	32.4	11.35	16.2	3.1	16.0	32.0	Q1
MSP430F4260IRGZR	VQFN	RGZ	48	2500	330.0	16.4	7.3	7.3	1.5	12.0	16.0	Q2
MSP430F4260IRGZT	VQFN	RGZ	48	250	180.0	16.4	7.3	7.3	1.5	12.0	16.0	Q2
MSP430F4270IDLR	SSOP	DL	48	1000	330.0	32.4	11.35	16.2	3.1	16.0	32.0	Q1
MSP430F4270IRGZR	VQFN	RGZ	48	2500	330.0	16.4	7.3	7.3	1.5	12.0	16.0	Q2
MSP430F4270IRGZT	VQFN	RGZ	48	250	180.0	16.4	7.3	7.3	1.5	12.0	16.0	Q2

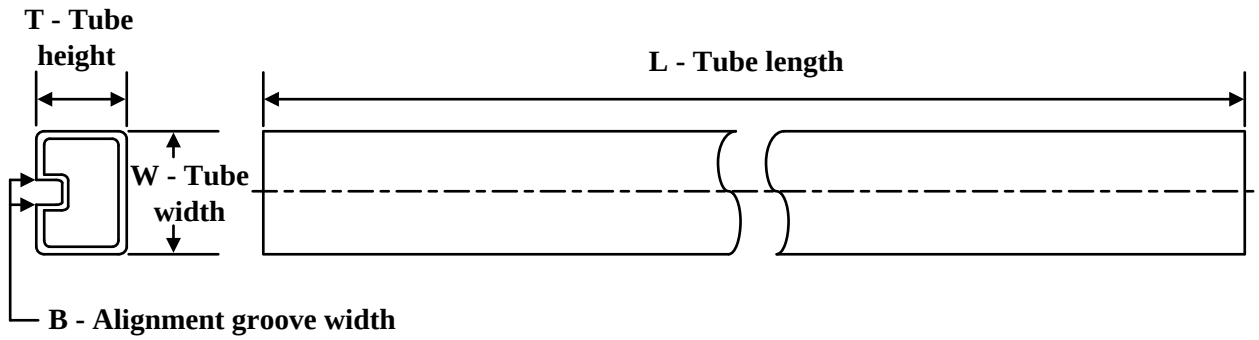
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
MSP430F4250IDLR	SSOP	DL	48	1000	356.0	356.0	53.0
MSP430F4250IDLRG4	SSOP	DL	48	1000	356.0	356.0	53.0
MSP430F4250IRGZR	VQFN	RGZ	48	2500	353.0	353.0	32.0
MSP430F4250IRGZT	VQFN	RGZ	48	250	213.0	191.0	35.0
MSP430F4260IDLR	SSOP	DL	48	1000	356.0	356.0	53.0
MSP430F4260IRGZR	VQFN	RGZ	48	2500	353.0	353.0	32.0
MSP430F4260IRGZT	VQFN	RGZ	48	250	213.0	191.0	35.0
MSP430F4270IDLR	SSOP	DL	48	1000	356.0	356.0	53.0
MSP430F4270IRGZR	VQFN	RGZ	48	2500	353.0	353.0	32.0
MSP430F4270IRGZT	VQFN	RGZ	48	250	213.0	191.0	35.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
MSP430F4250IDL	DL	SSOP	48	25	473.7	14.24	5110	7.87
MSP430F4250IDL.B	DL	SSOP	48	25	473.7	14.24	5110	7.87
MSP430F4260IDL	DL	SSOP	48	25	473.7	14.24	5110	7.87
MSP430F4260IDL.B	DL	SSOP	48	25	473.7	14.24	5110	7.87
MSP430F4270IDL	DL	SSOP	48	25	473.7	14.24	5110	7.87
MSP430F4270IDL.B	DL	SSOP	48	25	473.7	14.24	5110	7.87

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、 テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated