

- 低電源電圧範囲：1.8 V ~ 3.6 V
- 超低消費電力：
 - アクティブ・モード：200 μ A (1 MHz、2.2 V)
 - スタンバイ・モード：0.7 μ A
 - オフ・モード (RAM データ保持)：0.1 μ A
- 5 つのパワー・セーブ・モード
- スタンバイ・モードからのウェークアップは 6 μ s 以下
- 周波数ロック・ループ (FLL+)
- 16 ビット RISC アーキテクチャ、125 ns インストラクション・サイクル・タイム
- 16 ビット タイマ_A (3 つ† 又は 5 つ‡ のキャプチャ/コンペアレジスタ付き)
- 96 セグメント LCD ドライバ内蔵
- オン・チップ・コンパレータ
- ブラウンアウト検出 (BOR)
- 検出レベル可変 電源電圧監視/モニタ (MSP430F415/417 デバイスのみ)
 - † `x412 及び `x413 デバイス
 - ‡ `F415 及び `F417 デバイス
- シリアル・オンボード・プログラミング、外部プログラミング電圧不要、セキュリティ・ヒューズによるプログラム可能なコード保護
- ブートストラップ・ローダ (フラッシュ・デバイス)
- ファミリ製品：
 - MSP430C412: 4KB ROM、256B RAM
 - MSP430C413: 8KB ROM、256B RAM
 - MSP430F412: 4KB + 256B フラッシュ・メモリ 256B RAM
 - MSP430F413: 8KB + 256B フラッシュ・メモリ 256B RAM
 - MSP430F415: 16KB + 256B フラッシュ・メモリ 512B RAM
 - MSP430F417: 32KB + 256B フラッシュ・メモリ 1KB RAM
- 64 ピン QFP 及び 64 ピン QFN パッケージ
- モジュールの詳細は、MSP430x4xx ファミリ ユーザーズ・ガイド 資料番号 SLAU141 (日本語版)、SLAU056 (英語版) を参照して下さい。

概要

テキサス・インスツルメンツの超低消費電力マイクロコントローラ MSP430 ファミリは、色々なアプリケーションのための異なる種類のペリフェラルデバイスで構成されています。5つの低消費電力モードを持ったアーキテクチャは、携帯型計測機器アプリケーションのバッテリー寿命を延ばすために最適化されています。デバイスには、パワフルな 16 ビット RISC CPU、16 ビット・レジスタ、及び最大コード効率のためのコンスタント・ジェネレータが搭載されています。デジタル・コントロール・オシレータ (DCO) により、低消費電力モードからアクティブ・モードへのウェイクアップが 6 μ s 以内で行われます。

MSP430x41x シリーズは、1つ又は2つの 16 ビット・タイマ、コンパレータ、96 LCD セグメント・ドライブ機能、及び 48 I/O 端子を搭載したマイクロコントローラ構成となっています。

標準的なアプリケーションとしては、アナログ信号を取得し、デジタル値に変換し、データを処理し、ホスト・システムへ送信するセンサ・システムがあります。コンパレータ及びタイマにより、工業用メータ、カウンタ・アプリケーション、ハンド・ヘルド・メータ等に理想的な構成となります。

製品オプション

T _A	パッケージ・デバイス	
	プラスチック 64 ピン QFP (PM)	プラスチック 64 ピン QFN (RTD)
-40°C ~ 85°C	MSP430C412IPM	MSP430C412IRTD §
	MSP430C413IPM	MSP430C413IRTD §
	MSP430F412IPM	MSP430F412IRTD
	MSP430F413IPM	MSP430F413IRTD
	MSP430F415IPM	MSP430F415IRTD §
	MSP430F417IPM	MSP430F417IRTD §

§ プレリミナリ



テキサス・インスツルメンツの半導体製品の供給状況、標準保証、及び重大用途における使用に関しましては、重要なご注意がこのデータ・シートの終わりに掲載されていますので、ご参照下さい。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討及びご採用にあたりましては、必ず正規英語版の最新資料をご確認下さい。TI 及び日本 TI は、正規英語版にて更新の情報を提供しているにも関わらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



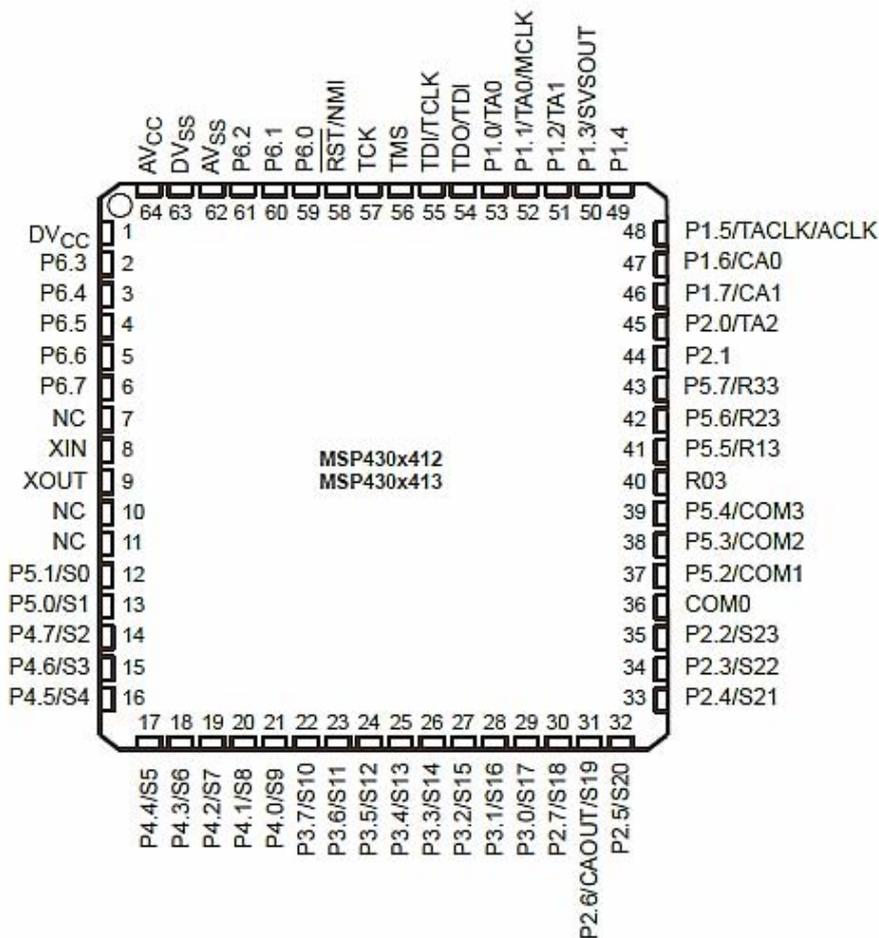
著作権© 2005 日本テキサス・インスツルメンツ株式会社

MSP430x41x

ミックスド・シグナル・マイクロコントローラ

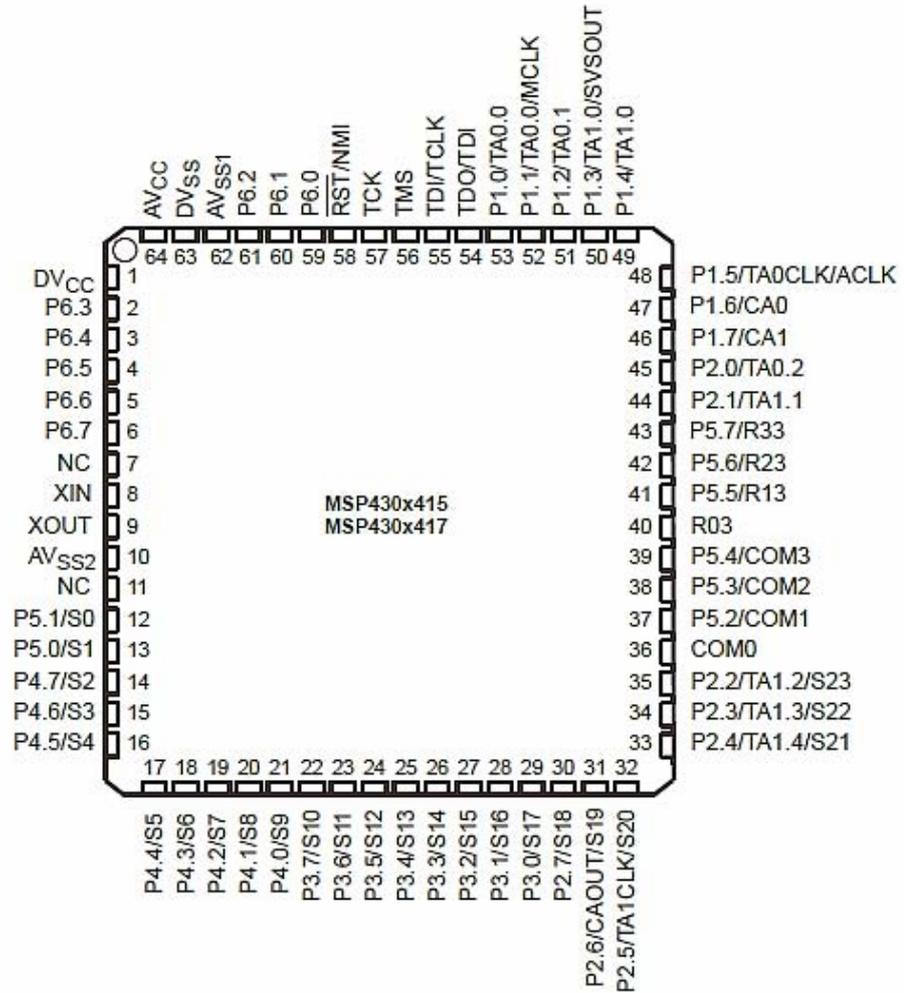
SLAS472 - 2005年6月

ピン配置、MSP430x412、MSP430x413



NC - 内部で接続されていません。外部で V_{SS} に接続することを推奨します。

ピン配置、MSP430x415、MSP430x417

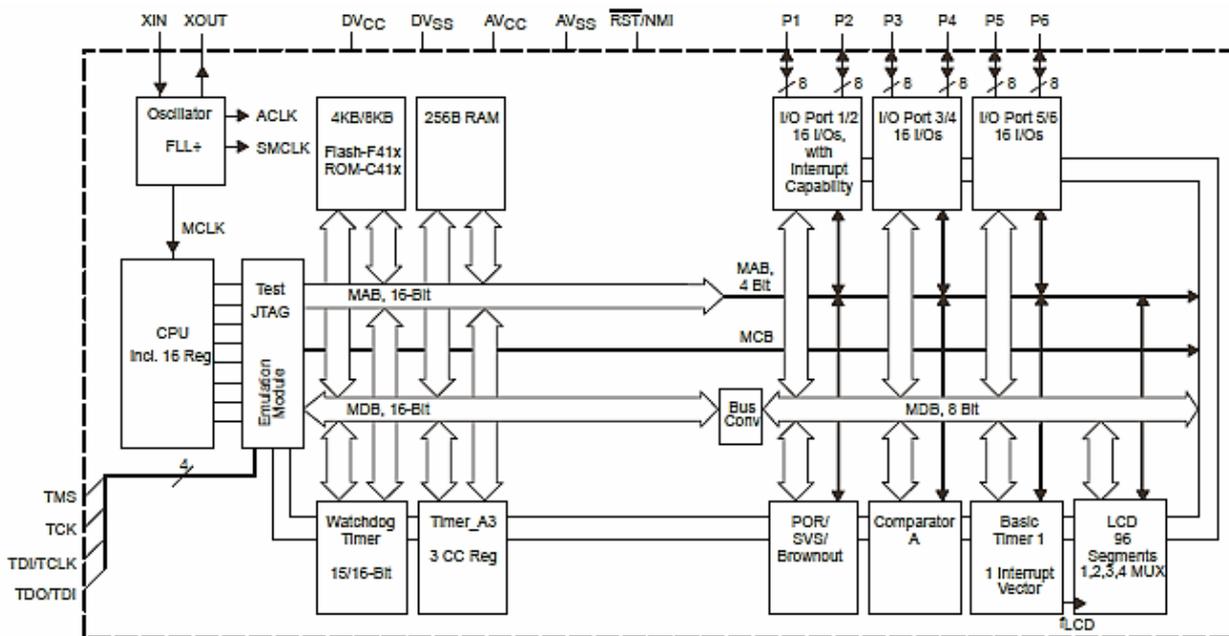


NC - 内部で接続されていません。外部で V_{SS} に接続することを推奨します。

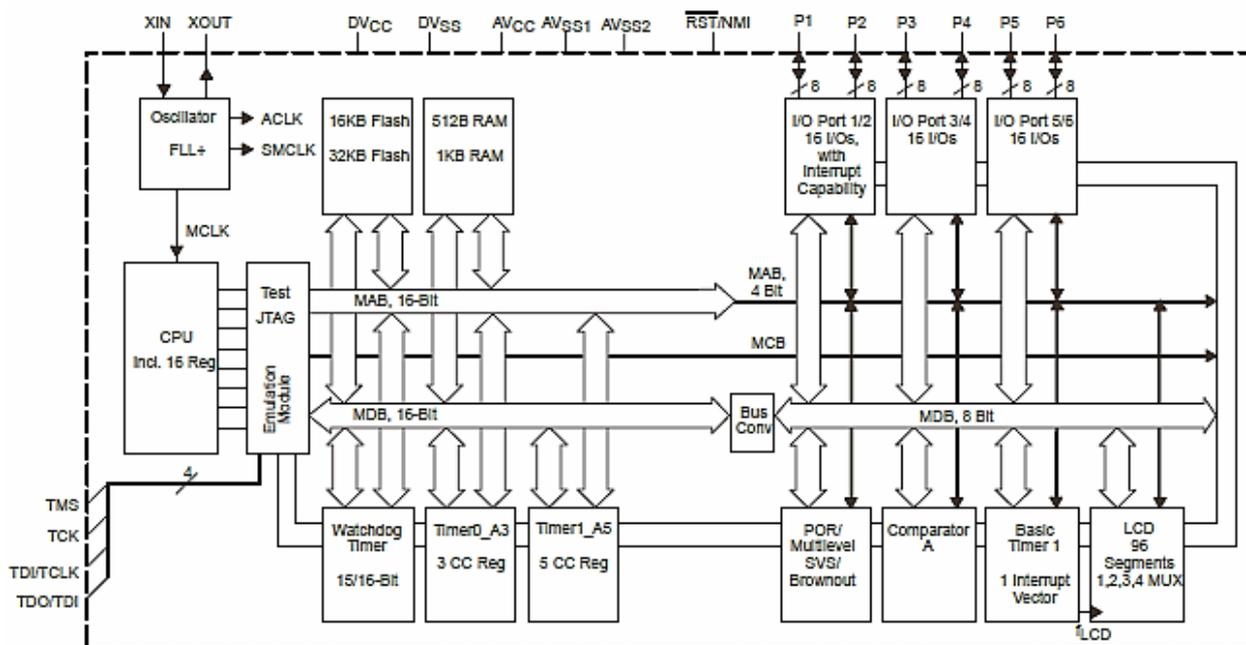
MSP430x41x
 ミックスド・シグナル・マイクロコントローラ

SLAS472 - 2005年6月

機能ブロック図、MSP430x412、MSP430x413



機能ブロック図、MSP430x415、MSP430x417



端子機能表

MSP430x412、MSP430x413

端子 名前	番号	I/O	機 能
AV _{CC}	64		電源電圧監視回路 (SVS)、ブラウンアウト、オシレータ、FLL+、コンパレータ_A、ポート 1、及び LCD 抵抗ディバイダ回路に電源を供給する正電源端子。DV _{CC} より前にパワー・アップしてはいけません。
AV _{SS}	62		電源電圧監視回路 (SVS)、ブラウンアウト、オシレータ、FLL+、コンパレータ_A に電源を供給する負電源端子。外部で DV _{SS} に接続する必要があります。
DV _{CC}	1		デジタル電源電圧 (正端子)。AV _{CC} から電源が供給される部品を除くすべてのデジタル部品に供給します。
DV _{SS}	63		デジタル電源電圧 (負端子)。AV _{CC} /AV _{SS} から電源が供給される部品を除くすべてのデジタル部品に供給します。
NC	7、10、11		内部で接続されていません。V _{SS} に接続することを推奨します。
P1.0/TA0	53	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI0A 入力、コンペア: Out0 出力 / BSL 送信
P1.1/TA0/MCLK	52	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI0B 入力 / MCLK 出力 (注) TA0 は入力のみ / BSL受信
P1.2/TA1	51	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI1A 入力、コンペア: Out1 出力
P1.3/SVSOUT	50	I/O	汎用デジタル I/O / SVS: 電源電圧監視コンパレータの出力
P1.4	49	I/O	汎用デジタル I/O
P1.5/TACLK/ ACLK	48	I/O	汎用デジタル I/O / タイマ_A クロック入力 / ACLK 出力
P1.6/CA0	47	I/O	汎用デジタル I/O / コンパレータ_A 入力
P1.7/CA1	46	I/O	汎用デジタル I/O / コンパレータ_A 入力
P2.0/TA2	45	I/O	汎用デジタル I/O / タイマ_A キャプチャ: CCI2A 入力、コンペア: Out2 出力
P2.1	44	I/O	汎用デジタル I/O
P2.2/S23	35	I/O	汎用デジタル I/O / LCD セグメント出力 23 (注 1)
P2.3/S22	34	I/O	汎用デジタル I/O / LCD セグメント出力 22 (注 1)
P2.4/S21	33	I/O	汎用デジタル I/O / LCD セグメント出力 21 (注 1)
P2.5/S20	32	I/O	汎用デジタル I/O / LCD セグメント出力 20 (注 1)
P2.6/CAOUT/S19	31	I/O	汎用デジタル I/O / コンパレータ_A 出力 / LCD セグメント出力 19 (注 1)
P2.7/S18	30	I/O	汎用デジタル I/O / LCD セグメント出力 18 (注 1)
P3.0/S17	29	I/O	汎用デジタル I/O / LCD セグメント出力 17 (注 1)
P3.1/S16	28	I/O	汎用デジタル I/O / LCD セグメント出力 16 (注 1)
P3.2/S15	27	I/O	汎用デジタル I/O / LCD セグメント出力 15 (注 1)
P3.3/S14	26	I/O	汎用デジタル I/O / LCD セグメント出力 14 (注 1)
P3.4/S13	25	I/O	汎用デジタル I/O / LCD セグメント出力 13 (注 1)
P3.5/S12	24	I/O	汎用デジタル I/O / LCD セグメント出力 12 (注 1)
P3.6/S11	23	I/O	汎用デジタル I/O / LCD セグメント出力 11 (注 1)
P3.7/S10	22	I/O	汎用デジタル I/O / LCD セグメント出力 10 (注 1)

(注 1) 使用可能な LCD モジュールの制御ビット (PxSEL ビットではなく) が設定された時、LCD 機能は自動的に選択されます。

端子機能表

MSP430x412、MSP430x413 (続き)

端子 名前	番号	I/O	機能
P4.0/S9	21	I/O	汎用デジタル I/O / LCD セグメント出力 9 (注 1)
P4.1/S8	20	I/O	汎用デジタル I/O / LCD セグメント出力 8 (注 1)
P4.2/S7	19	I/O	汎用デジタル I/O / LCD セグメント出力 7 (注 1)
P4.3/S6	18	I/O	汎用デジタル I/O / LCD セグメント出力 6 (注 1)
P4.4/S5	17	I/O	汎用デジタル I/O / LCD セグメント出力 5 (注 1)
P4.5/S4	16	I/O	汎用デジタル I/O / LCD セグメント出力 4 (注 1)
P4.6/S3	15	I/O	汎用デジタル I/O / LCD セグメント出力 3 (注 1)
P4.7/S2	14	I/O	汎用デジタル I/O / LCD セグメント出力 2 (注 1)
P5.0/S1	13	I/O	汎用デジタル I/O / LCD セグメント出力 1 (注 1)
P5.1/S0	12	I/O	汎用デジタル I/O / LCD セグメント出力 0 (注 1)
COM0	36	0	コモン出力、COM0 ~ 3 は LCD バックプレーンのために使用されます。
P5.2/COM1	37	I/O	汎用デジタル I/O / コモン出力、COM0 ~ 3 は LCD バックプレーンのために使用されます。
P5.3/COM2	38	I/O	汎用デジタル I/O / コモン出力、COM0 ~ 3 は LCD バックプレーンのために使用されます。
P5.4/COM3	39	I/O	汎用デジタル I/O / コモン出力、COM0 ~ 3 は LCD バックプレーンのために使用されます。
R03	40	I	正側から 4 番目 (最低レベル) のアナログ LCD レベル(V5) の入力ポート
P5.5/R13	41	I/O	汎用デジタル I/O / 正側から 3 番目のアナログ LCD レベル(V4 又は V3) の入力ポート
P5.6/R23	42	I/O	汎用デジタル I/O / 正側から 2 番目のアナログ LCD レベル(V2) の入力ポート
P5.7/R33	43	I/O	汎用デジタル I/O / 最も正側のアナログ LCD レベル(V1) の出力ポート
P6.0	59	I/O	汎用デジタル I/O
P6.1	60	I/O	汎用デジタル I/O
P6.2	61	I/O	汎用デジタル I/O
P6.3	2	I/O	汎用デジタル I/O
P6.4	3	I/O	汎用デジタル I/O
P6.5	4	I/O	汎用デジタル I/O
P6.6	5	I/O	汎用デジタル I/O
P6.7	6	I/O	汎用デジタル I/O
RST/NMI	58	I	リセット入力又はマスク不可能な割り込み入力ポート
TCK	57	I	テスト・クロック入力。TCK は、デバイス・プログラミング及びテストのためのクロック入力ポートです。
TDI/TCLK	55	I	テスト・データ入力又はテスト・クロック入力。デバイス保護ヒューズが、TDI に接続されています。
TDO/TDI	54	I/O	テスト・データ出力ポート。TDO/TDI データ出力又はプログラミング・データ入力端子
TMS	56	I	テスト・モード選択入力。TMS は、デバイス・プログラミング及びテストのための入力ポートとして使用します。
XIN	8	I	クリスタル・オシレータ XT1 の入力。標準又は時計用クリスタルが接続できます。
XOUT	9	0	クリスタル・オシレータ XT1 の出力端子
QFN パッド	NA	NA	QFN パッケージのパッドは V _{SS} に接続することを推奨します。

(注 1) 使用可能な LCD モジュールの制御ビット (PxSEL ビットではなく) が設定された時、LCD 機能は自動的に選択されます。

端子機能表

MSP430x415、MSP430x417

端子 名前	番号	I/O	機能
AV _{CC}	64		電源電圧監視回路 (SVS)、ブラウンアウト、オシレータ、FLL+、コンパレータ_A、ポート 1、及び LCD 抵抗ディバイダ回路に電源を供給する正電源端子。DV _{CC} より前にパワー・アップしてはいけません。
AV _{SS1}	62		電源電圧監視回路 (SVS)、ブラウンアウト、オシレータ、FLL+、コンパレータ_A に電源を供給する負電源端子。外部で DV _{SS} に接続する必要があります。
DV _{CC}	1		デジタル電源電圧 (正端子)。AV _{CC} から電源が供給される部品を除くすべてのデジタル部品に供給します。
DV _{SS}	63		デジタル電源電圧 (負端子)。AV _{CC} /AV _{SS} から電源が供給される部品を除くすべてのデジタル部品に供給します。
AV _{SS2}	10		電源電圧監視回路 (SVS)、ブラウンアウト、オシレータ、FLL+、コンパレータ_A に電源を供給する負電源端子。外部で DV _{SS} に接続する必要があります。
NC	7, 11		内部で接続されていません。V _{SS} に接続することを推奨します。
P1.0/TA0.0	53	I/O	汎用デジタル I/O / タイマ0_A、キャプチャ: CCI0A 入力、コンペア: Out0 出力 / BSL 送信
P1.1/TA0.0/MCLK	52	I/O	汎用デジタル I/O / タイマ0_A、キャプチャ: CCI0B 入力 / MCLK 出力 (注) TA0 は入力のみ / BSL受信
P1.2/TA0.1	51	I/O	汎用デジタル I/O / タイマ0_A、キャプチャ: CCI1A 入力、コンペア: Out1 出力
P1.3/TA1.0/SVSOUT	50	I/O	汎用デジタル I/O / タイマ1_A、キャプチャ: CCI0B 入力 / SVS: 電源電圧監視コンパレータの出力
P1.4/TA1.0	49	I/O	汎用デジタル I/O / タイマ1_A、キャプチャ: CCI0A 入力、コンペア: Out0 出力
P1.5/TA0CLK/ACLK	48	I/O	汎用デジタル I/O / タイマ0_A クロック入力 / ACLK 出力
P1.6/CA0	47	I/O	汎用デジタル I/O / コンパレータ_A 入力
P1.7/CA1	46	I/O	汎用デジタル I/O / コンパレータ_A 入力
P2.0/TA0.2	45	I/O	汎用デジタル I/O / タイマ0_A、キャプチャ: CCI2A 入力、コンペア: Out2 出力
P2.1/TA1.1	44	I/O	汎用デジタル I/O / タイマ1_A、キャプチャ: CCI1A 入力、コンペア: Out1 出力
P2.2/TA1.2/S23	35	I/O	汎用デジタル I/O / タイマ1_A、キャプチャ: CCI2A 入力、コンペア: Out2 出力/ LCD セグメント出力 23 (注 1)
P2.3/TA1.3/S22	34	I/O	汎用デジタル I/O / タイマ1_A、キャプチャ: CCI3A 入力、コンペア: Out3 出力/ LCD セグメント出力 22 (注 1)
P2.4/TA1.4/S21	33	I/O	汎用デジタル I/O / タイマ1_A、キャプチャ: CCI4A 入力、コンペア: Out4 出力/ LCD セグメント出力 21 (注 1)
P2.5/TA1CLK/S20	32	I/O	汎用デジタル I/O / タイマ1_A クロック入力 / LCD セグメント出力 20 (注 1)
P2.6/CAOUT/S19	31	I/O	汎用デジタル I/O / コンパレータ_A 出力 / LCD セグメント出力 19 (注 1)
P2.7/S18	30	I/O	汎用デジタル I/O / LCD セグメント出力 18 (注 1)
P3.0/S17	29	I/O	汎用デジタル I/O / LCD セグメント出力 17 (注 1)
P3.1/S16	28	I/O	汎用デジタル I/O / LCD セグメント出力 16 (注 1)
P3.2/S15	27	I/O	汎用デジタル I/O / LCD セグメント出力 15 (注 1)
P3.3/S14	26	I/O	汎用デジタル I/O / LCD セグメント出力 14 (注 1)
P3.4/S13	25	I/O	汎用デジタル I/O / LCD セグメント出力 13 (注 1)
P3.5/S12	24	I/O	汎用デジタル I/O / LCD セグメント出力 12 (注 1)
P3.6/S11	23	I/O	汎用デジタル I/O / LCD セグメント出力 11 (注 1)
P3.7/S10	22	I/O	汎用デジタル I/O / LCD セグメント出力 10 (注 1)

(注 1) 使用可能な LCD モジュールの制御ビット (PxSEL ビットではなく) が設定された時、LCD 機能は自動的に選択されます。

端子機能表

MSP430x415、MSP430x417 (続き)

端子 名前	番号	I/O	機能
P4.0/S9	21	I/O	汎用デジタル I/O / LCD セグメント出力 9 (注 1)
P4.1/S8	20	I/O	汎用デジタル I/O / LCD セグメント出力 8 (注 1)
P4.2/S7	19	I/O	汎用デジタル I/O / LCD セグメント出力 7 (注 1)
P4.3/S6	18	I/O	汎用デジタル I/O / LCD セグメント出力 6 (注 1)
P4.4/S5	17	I/O	汎用デジタル I/O / LCD セグメント出力 5 (注 1)
P4.5/S4	16	I/O	汎用デジタル I/O / LCD セグメント出力 4 (注 1)
P4.6/S3	15	I/O	汎用デジタル I/O / LCD セグメント出力 3 (注 1)
P4.7/S2	14	I/O	汎用デジタル I/O / LCD セグメント出力 2 (注 1)
P5.0/S1	13	I/O	汎用デジタル I/O / LCD セグメント出力 1 (注 1)
P5.1/S0	12	I/O	汎用デジタル I/O / LCD セグメント出力 0 (注 1)
COM0	36	0	コモン出力、COM0 ~ 3 は LCD バックプレーンのために使用されます。
P5.2/COM1	37	I/O	汎用デジタル I/O / コモン出力、COM0 ~ 3 は LCD バックプレーンのために使用されます。
P5.3/COM2	38	I/O	汎用デジタル I/O / コモン出力、COM0 ~ 3 は LCD バックプレーンのために使用されます。
P5.4/COM3	39	I/O	汎用デジタル I/O / コモン出力、COM0 ~ 3 は LCD バックプレーンのために使用されます。
R03	40	I	正側から 4 番目 (最低レベル) のアナログ LCD レベル(V5) の入力ポート
P5.5/R13	41	I/O	汎用デジタル I/O / 正側から 3 番目のアナログ LCD レベル(V4 又は V3) の入力ポート
P5.6/R23	42	I/O	汎用デジタル I/O / 正側から 2 番目のアナログ LCD レベル(V2) の入力ポート
P5.7/R33	43	I/O	汎用デジタル I/O / 最も正側のアナログ LCD レベル(V1) の出力ポート
P6.0	59	I/O	汎用デジタル I/O
P6.1	60	I/O	汎用デジタル I/O
P6.2	61	I/O	汎用デジタル I/O
P6.3	2	I/O	汎用デジタル I/O
P6.4	3	I/O	汎用デジタル I/O
P6.5	4	I/O	汎用デジタル I/O
P6.6	5	I/O	汎用デジタル I/O
P6.7/SVSIN	6	I/O	汎用デジタル I/O / SVS、アナログ入力
RST/NMI	58	I	リセット入力又はマスク不可能な割り込み入力ポート
TCK	57	I	テスト・クロック入力。TCK は、デバイス・プログラミング及びテストのためのクロック入力ポートです。
TDI/TCLK	55	I	テスト・データ入力又はテスト・クロック入力。デバイス保護ヒューズが、TDI に接続されています。
TDO/TDI	54	I/O	テスト・データ出力ポート。TDO/TDI データ出力又はプログラミング・データ入力端子
TMS	56	I	テスト・モード選択入力。TMS は、デバイス・プログラミング及びテストのための入力ポートとして使用します。
XIN	8	I	クリスタル・オシレータ XT1 の入力。標準又は時計用クリスタルが接続できます。
XOUT	9	0	クリスタル・オシレータ XT1 の出力端子
QFN パッド	NA	NA	QFN パッケージのパッドは V _{SS} に接続することを推奨します。

(注 1) 使用可能な LCD モジュールの制御ビット (PxSEL ビットではなく) が設定された時、LCD 機能は自動的に選択されます。

概要説明

CPU

MSP430 CPU には、アプリケーションに適した 16 ビット RISC アーキテクチャを搭載しています。プログラム・フロー・インストラクション以外のすべての動作は、ソース・オペランドのための 7 つのアドレッシング・モード及びデスティネーション・オペランドのための 4 つのアドレッシング・モードと共にレジスタ・オペレーションとして実行されます。

CPU は、命令実行時間を短縮する 16 個のレジスタを内蔵しています。レジスタ間のオペレーション実行時間は、CPU クロックの 1 サイクルです。

レジスタの内の 4 個 (R0~R3) は、それぞれプログラム・カウンタ、スタック・ポインタ、ステータス・レジスタ、及びコンスタント・ジェネレータ (定数発生回路) として割り当てられています。残りのレジスタは、汎用レジスタです。

ペリフェラルは、データ、アドレス、及びコントロール・バスを使って CPU に接続され、すべての命令によって取り扱うことができます。

命令セット

命令セットは 3 つのフォーマット及び 7 つのアドレス・モードを持った 51 の命令から成ります。各々の命令は、ワード及びバイト データに基づいて実行することができます。表 1 は命令フォーマットの 3 つのタイプの例を示します。表 2 にアドレス・モードを示します。

プログラム・カウンタ	PC/R0
スタック・ポインタ	SP/R1
ステータス・レジスタ	SR/CG1/R2
コンスタント・ジェネレータ	CG2/R3
汎用レジスタ	R4
汎用レジスタ	R5
汎用レジスタ	R6
汎用レジスタ	R7
汎用レジスタ	R8
汎用レジスタ	R9
汎用レジスタ	R10
汎用レジスタ	R11
汎用レジスタ	R12
汎用レジスタ	R13
汎用レジスタ	R14
汎用レジスタ	R15

表 1. 命令ワード・フォーマット

デュアル・オペランド (ソース-デスティネーション)	例, ADD R4, R5	R4 + R5 → R5
シングル・オペランド (デスティネーションのみ)	例, CALL R8	PC → (TOS), R8 → PC
相対ジャンプ (無条件/条件付き)	例, JNE	Jump-on-equal bit = 0

表 2 アドレス・モード

アドレス・モード	S	D	構文	例	動作
レジスタ	●	●	MOV Rs, Rd	MOV R10, R11	R10 → R11
インデックス	●	●	MOV X(Rn), Y(Rm)	MOV 2(R5), 6(R6)	M(2+R5) → M(6+R6)
シンボリック (PC 対応)	●	●	MOV EDE, TONI		M(EDE) → M(TONI)
絶対	●	●	MOV &MEM, &TCDAT		M(MEM) → M(TCDAT)
間接	●		MOV @Rn, Y(Rm)	MOV @R10, Tab(R6)	M(R10) → M(Tab+R6)
間接 (自動インクリメント)	●		MOV @Rn+, Rm	MOV @R10+, R11	M(R10) → R11 R10 + 2 → R10
即時	●		MOV #X, TONI	MOV #45, TONI	#45 → M(TONI)

(注) S = ソース、D = デスティネーション

動作モード

MSP430 には、1 つのアクティブ・モードと、ソフトウェアで選択可能な 5 つの低消費電力動作モードがあります。割り込みイベントにより、デバイスを 5 つの低消費電力モードのどれからでもウェークアップすることができ、要求に応え、そして、割り込みプログラムから戻るのに伴って低消費電力モードに戻ることができます。以下の 6 つの動作モードを、ソフトウェアによって構成することができます：

- アクティブ・モード AM ;
 - すべてのクロックはアクティブ
- 低消費電力モード 0 (LPM0) ;
 - CPU はディスエーブル
ACLK 及び SMCLK はアクティブのまま。MCLK はモジュールで使用できます。
FLL+ ループ制御はアクティブのまま
- 低消費電力モード 1 (LPM1) ;
 - CPU はディスエーブル
ACLK 及び SMCLK はアクティブのまま。MCLK はモジュールで使用できます。
FLL+ ループ制御はディスエーブル
- 低消費電力モード 2 (LPM2) ;
 - CPU はディスエーブル
MCLK、FLL+ ループ制御、及び DCOCLK はディスエーブル
DCO の DC 発生回路はイネーブルのまま
ACLK はアクティブのまま
- 低消費電力モード 3 (LPM3) ;
 - CPU はディスエーブル
MCLK、FLL+ ループ制御、及び DCOCLK はディスエーブル
DCO の DC 発生回路はディスエーブル
ACLK はアクティブのまま
- 低消費電力モード 4 (LPM4) ;
 - CPU はディスエーブル
ACLK はディスエーブル
MCLK、FLL+ ループ制御、及び DCOCLK はディスエーブル
DCO の DC 発生回路はディスエーブル
クリスタル・オシレータは停止

割り込みベクタ・アドレス

割り込みベクタ及びパワーアップの開始アドレスは、ROM のアドレス範囲 0FFFh ~ 0FFE0h に位置します。ベクタは、適切な割り込み処理命令シーケンスの 16 ビット アドレスを含みます。

割り込みソース	割り込みフラグ	システム割り込み	ワード・アドレス	優先順位
パワー・アップ 外部リセット ウォッチドッグ フラッシュ・メモリ	WDTIFG KEYV (注 1)	リセット	0FFFEh	15 (最上位)
NMI オシレータ障害 フラッシュ・メモリ アクセス違反	NMIIFG (注 1、3) OFIFG (注 1、3) ACCVIFG (注 1、3)	マスク可能 (不可能) マスク可能 (不可能) マスク可能 (不可能)	0FFFCh	14
タイマ 1_A5 (注 4)	TA1CCRO CCIFG (注 2)	マスク可能	0FFFAh	13
タイマ 1_A5 (注 4)	TA1CCR1 ~ TA1CCR4 CCIFG 及び TA1CTL TAIFG (注 1、2)	マスク可能	0FFF8h	12
コンパレータ_A	CMPAIFG	マスク可能	0FFF6h	11
ウォッチドッグ・タイマ	WDTIFG	マスク可能	0FFF4h	10
			0FFF2h	9
			0FFF0h	8
			0FFEEh	7
タイマ_A3/タイマ 0_A3	TACCR0/TAOCCR0 CCIFG (注 2)	マスク可能	0FFECCh	6
タイマ_A3/タイマ 0_A3	TACCR1/TAOCCR1 及び TACCR2/TAOCCR2 CCIFG、 及び TA1CTL/TAOCTL TAIFG (注 1、2)	マスク可能	0FFEAh	5
I/O ポート P1 (8 つのフラグ)	P1IFG.0 ~ P1IFG.7 (注 1、2)	マスク可能	0FFE8h	4
			0FFE6h	3
			0FFE4h	2
I/O ポート P2 (8 つのフラグ)	P2IFG.0 ~ P2IFG.7 (注 1、2)	マスク可能	0FFE2h	1
Basic Timer1	BTIFG	マスク可能	0FFE0h	0 (最下位)

(注 1) 複数のソース・フラグ

(注 2) 割り込みフラグはモジュールの中にあります。

(注 3) マスク可能 (不可能) : 個々の割り込みイネーブル・ビットにより、割り込みイベントをディスエーブルにすることができます。しかし、汎用割り込みイネーブルでは、それをディスエーブルにすることはできません。

(注 4) MSP430x415 及び MSP430x417 デバイスのみに内蔵されています。

スペシャル・ファンクション・レジスタ

大部分の割り込み及びモジュール・イネーブル・ビットは、最下位アドレス空間に集約されています。機能が割り当てられていないスペシャル・ファンクション・レジスタは、実際のデバイスにも内蔵されておりません。これによって、容易にソフトウェアによりアクセス可能です。

割り込みイネーブル 1、2

アドレス	7	6	5	4	3	2	1	0
0h			ACCIE	NMIE			OFIE	WDIE
			rw-0	rw-0			rw-0	rw-0

アドレス	7	6	5	4	3	2	1	0
1h	BTIE							
	rw-0							

WDIE : ウォッチドッグ・タイマ割り込みイネーブル。ウォッチドッグ・モードが選択された場合はインアクティブとなります。ウォッチドッグ・タイマがインターバル・タイマ・モードとして構成された場合はアクティブとなります。

OFIE : オシレータ障害割り込みイネーブル

NMIE : マスク不可能な割り込みイネーブル

ACCIE : フラッシュ・アクセス違反割り込みイネーブル

BTIE : Basic Timer1 割り込みイネーブル

割り込みフラグ・レジスタ 1、2

アドレス	7	6	5	4	3	2	1	0
02h				NMIIFG			OFIFG	WDIFG
				rw-0			rw-1	rw-(0)

アドレス	7	6	5	4	3	2	1	0
3h	BTIFG							
	rw-0							

WDIFG : ウォッチドッグ・タイマ・オーバーフロー（ウォッチドッグ・モード時）又はセキュリティ・キー違反でセットされます。Vcc パワー・アップ又はリセット・モードでの $\overline{\text{RST/NMI}}$ 端子のリセット条件でリセットされます。

OFIFG : オシレータ障害でフラグがセットされます。

NMIIFG : $\overline{\text{RST/NMI}}$ 端子によってセットされます。

BTIFG : Basic Timer1 割り込みフラグ

モジュール・イネーブル・レジスタ 1、2

アドレス	7	6	5	4	3	2	1	0
04h/05h								

説明 : rw : ビットは、読み出し及び書き込みをすることができます。

rw-0 : ビットは、読み出し及び書き込みをすることができます。PUC によりリセットされます。

デバイスには、SFR ビットが存在しません。

メモリ構成

		MSP430F412	MSP430F413	MSP430F415	MSP430F417
メモリ 割り込みベクタ コード・メモリ 情報メモリ 起動メモリ	サイズ	4KB	8KB	16KB	32KB
	フラッシュ	0FFFFh - 0FFE0h	0FFFFh - 0FFE0h	0FFFFh - 0FFE0h	0FFFFh - 0FFE0h
	フラッシュ	0FFFFh - 0F000h	0FFFFh - 0E000h	0FFFFh - 0C000h	0FFFFh - 08000h
	サイズ	256 バイト	256 バイト	256 バイト	256 バイト
起動メモリ	フラッシュ	010FFh - 01000h	010FFh - 01000h	010FFh - 01000h	010FFh - 01000h
	サイズ	1KB	1KB	1KB	1KB
ROM	ROM	0FFFh - 0C00h	0FFFh - 0C00h	0FFFh - 0C00h	0FFFh - 0C00h
	サイズ	256 バイト	256 バイト	512 バイト	1 KB
RAM	サイズ	256 バイト	256 バイト	512 バイト	1 KB
		02FFh - 0200h	02FFh - 0200h	03FFh - 0200h	05FFh - 0200h
ペリフェラル	16 ビット	01FFh - 0100h	01FFh - 0100h	01FFh - 0100h	01FFh - 0100h
	8 ビット	0FFh - 010h	0FFh - 010h	0FFh - 010h	0FFh - 010h
	8 ビット SFR	0Fh - 00h	0Fh - 00h	0Fh - 00h	0Fh - 00h

		MSP430C412	MSP430C413
メモリ 割り込みベクタ コード・メモリ 情報メモリ 起動メモリ	サイズ	4KB	8KB
	ROM	0FFFFh - 0FFE0h	0FFFFh - 0FFE0h
	ROM	0FFFFh - 0F000h	0FFFFh - 0E000h
	サイズ	NA	NA
起動メモリ	サイズ	NA	NA
RAM	サイズ	256 バイト	256 バイト
		02FFh - 0200h	02FFh - 0200h
ペリフェラル	16 ビット	01FFh - 0100h	01FFh - 0100h
	8 ビット	0FFh - 010h	0FFh - 010h
	8 ビット SFR	0Fh - 00h	0Fh - 00h

ブートストラップ・ローダ (BSL)

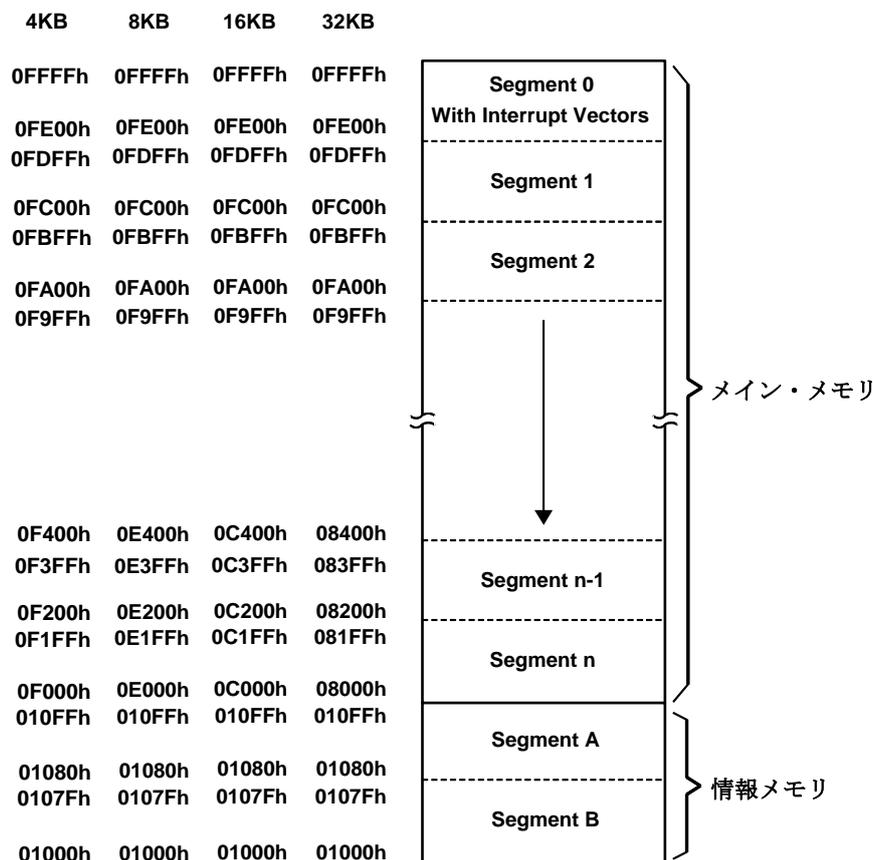
MSP430 ブートストラップ・ローダ (BSL) により、ユーザーは UART シリアル・インタフェースを使用してフラッシュ・メモリ又は RAM をプログラムすることができます。BSL を経由した MSP430 メモリへのアクセスは、ユーザーによって定義されたパスワードにより保護されています。BSL 及びその実施方法の詳細は、アプリケーション・レポート *MSP430 ブートストラップ・ローダの特徴 “Features of the MSP430 Bootstrap Loader”* (資料番号 SLAA089) を参照して下さい。

BSL 機能	PM、RTD パッケージ端子
データ送信	53 - P1.0
データ受信	52 - P1.1

フラッシュ・メモリ

フラッシュ・メモリは、JTAG ポート、ブートストラップ・ローダ、又は CPU によるイン・システムによりプログラムすることができます。CPU はフラッシュ・メモリに対して、1 バイト及び 1 ワードの書き込みを行うことができます。フラッシュ・メモリは、以下の特徴を持っています。:

- フラッシュ・メモリは、n セグメントのメイン・メモリ及び 2 つのセグメントのそれぞれ 128 バイトの情報メモリ (A と B) を持っています。メイン・メモリのそれぞれのセグメントのサイズは、512 バイトです。
- セグメント 0 ~ n は 1 ステップで消去が可能です。あるいは、それぞれのセグメントは個々に消去も可能です。
- セグメント A と B は、個々に又はセグメント 0 ~ n のグループとして消去することができます。セグメント A と B は、*情報メモリ*とも呼ばれます。
- 新しいデバイスでは、数バイトを情報メモリにプログラムしておくことがあります。(製造時のテストのため) ユーザーは、最初に使用する前に情報メモリの消去を実行しなければなりません。



ペリフェラル

ペリフェラルは、データ、アドレス、及びコントロール バスを通して CPU に接続され、すべての命令を使って取り扱うことができます。モジュールの詳細は、*MSP430x4xx ファミリ ユーザーズ・ガイド* 資料番号 SLAU141 (日本語版)、SLAU056 (英語版) を参照して下さい。

オシレータ及びシステム・クロック

MSP430x41x ファミリ・デバイスのクロック・システムは、32768 Hz の時計用クリスタル・オシレータ、内部デジタル制御オシレータ (DCO)、及び高周波クリスタル・オシレータのサポートを含む FLL+ モジュールで構成されます。FLL+ クロック・モジュールは、安いシステム・コストと低消費電力の必要条件を満たすように設計されています。FLL+ は、デジタル周波数同期ループ (FLL) がデジタル変換装置と共に、DCO 周波数を時計用クリスタル発振周波数のプログラム可能な倍数に安定させることを特徴としています。内部 DCO は、高速ターン・オン・クロック・ソースを提供し、6 μ s 以内に安定します。FLL+ モジュールは以下のクロック信号を供給します：

- 補助クロック (ACLK) : 32768 Hz の時計用クリスタル又は高周波クリスタルから供給
- メイン・クロック (MCLK) : CPU によって使用されるシステム・クロック
- サブ・メイン・クロック (SMCLK) : ペリフェラル・モジュールによって使用されるサブ・システム・クロック
- ACLK/n : ACLK、ACLK/2、ACLK/4、又は ACLK/8 のバッファ出力

ブラウンアウト、電源電圧監視

ブラウンアウト回路は、パワー・オン及びパワー・オフ時にデバイスに適切な内部リセット信号を供給するために内蔵されています。電源電圧監視回路 (SVS) は、電源電圧がユーザーが設定したレベル (MSP430x415 及び MSP430x417 のみ) 以下に下がっているかどうかを検出し、電源電圧の監視 (デバイスは自動的にリセットされます) と電源電圧のモニタ (SVM、デバイスは自動的にリセットされません) の両方を行います。

CPU は、ブラウンアウト回路がデバイス・リセットを指示した後、コード実行を開始します。しかし、その時点では Vcc は Vcc(min) に到達していないかもしれません。ユーザーは、Vcc が Vcc(min) に到達するまでは、デフォルトの FLL+ 設定が変わらないようにしなければなりません。もし必要ならば、いつ Vcc が Vcc(min) に到達したかを知るのに電源電圧監視回路を使用することもできます。

デジタル I/O

6 つの 8 ビット I/O ポート内蔵 : ポート P1 ~ P6

- すべての個々の I/O ビットは、独立してプログラム可能です。
- 入力、出力、及び割り込み条件のどんな組み合わせでも可能です。
- ポート P1 及びポート P2 のすべての 8 ビットはエッジ選択可能な割り込み入力に設定可能です。
- ポート・コントロール・レジスタへの読み出し/書き込みアクセスは、すべての命令により可能です。

Basic Timer1

Basic Timer1 は、2 つの独立した 8 ビット タイマを持ち、16 ビット タイマ/カウンタを構成するためにカスケードにすることもできます。両方のタイマは、ソフトウェアによって読み出し/書き込みができます。Basic Timer1 は、周期的な割り込み及び LCD モジュールのためのクロックを生成するために使用することができます。

LCD ドライブ

LCD ドライバは、液晶ディスプレイを駆動するために必要なセグメント及びコモン信号を生成します。LCD コントローラは、セグメント・ドライブ情報を持つために専用のデータ・メモリを持っています。コモン及びセグメント信号は、モードによる定義に従って生成されます。スタティック、2MUX、3MUX、及び 4MUX LCD が、このペリフェラルでサポートされます。

ウォッチドッグ・タイマ

ウォッチドッグ・タイマ (WDT) モジュールの主な機能は、ソフトウェア障害が起こった後、制御されたシステム再開を行うことです。設定された時間間隔が経過すると、システム・リセットが生成されます。ウォッチドッグ機能が不要でないアプリケーションでは、モジュールはインターバル・タイマとして設定することができ、設定された時間間隔で割り込みを発生することができます。

コンパレータ_A

コンパレータ_A モジュールの基本的な機能は、高精度スロープ A/D 変換、バッテリー電圧監視、及び外部アナログ信号のモニタを行うことです。

タイマ_A3/タイマ0_A3

タイマ_A3/タイマ0_A3 は、3つのキャプチャ/コンペア・レジスタ付きの16ビット・タイマ/カウンタです。タイマ_A3/タイマ0_A3により、複数のキャプチャ/コンペア、PWM出力、及びインターバル・タイミングを利用することができます。タイマ_A3/タイマ0_A3にも、拡張割り込みの機能があります。割り込みは、オーバーフロー状態のカウンタから、及びキャプチャ/コンペア・レジスタのそれぞれから生成されることがあります。

タイマ_A3 / タイマ0_A3 信号の接続					
入力端子番号	デバイス入力信号	モジュール入力名	モジュール・ブロック	モジュール出力信号	出力端子番号
48 - P1.5	TACLK/TAOCLK	TACLK	タイマ	NA	
	ACLK	ACLK			
	SMCLK	SMCLK			
48 - P1.5	$\overline{\text{TACLK/TAOCLK}}$	INCLK			
53 - P1.0	TA0/TA0.0	CCI0A	CCR0	TA0/TA0.0	53 - P1.0
52 - P1.1	TA0/TA0.0	CCI0B			
	DV _{SS}	GND			
	DV _{CC}	V _{CC}			
51 - P1.2	TA1/TA0.1	CCI1A	CCR1	TA1/TA0.1	51 - P1.2
	CAOUT (内部)	CCI1B			
	DV _{SS}	GND			
	DV _{CC}	V _{CC}			
45 - P2.0	TA2/TA0.2	CCI2A	CCR2	TA2/TA0.2	45 - P2.0
	ACLK (内部)	CCI2B			
	DV _{SS}	GND			
	DV _{CC}	V _{CC}			

タイマ1_A5 (MSP430x415 及び MSP430x417 のみ)

タイマ1_A5 は、5つのキャプチャ/コンペア・レジスタ付きの 16 ビット・タイマ/カウンタです。タイマ1_A5 により、複数のキャプチャ/コンペア、PWM 出力、及びインターバル・タイミングを利用することができます。タイマ1_A5 にも、拡張割り込みの機能があります。割り込みは、オーバーフロー状態のカウンタから、及びキャプチャ/コンペア・レジスタのそれぞれから生成されることがあります。

タイマ1_A5 信号の接続					
入力端子番号	デバイス入力信号	モジュール入力名	モジュール・ブロック	モジュール出力信号	出力端子番号
32 - P2.5	TA1CLK	TACLK	タイマ	NA	
	ACLK	ACLK			
	SMCLK	SMCLK			
32 - P2.5	TA1CLK	INCLK			
49 - P1.4	TA1.0	CCIOA	CCR0	TA1.0	49 - P1.4
50 - P1.3	TA1.0	CCIOB			
	DV _{SS}	GND			
	DV _{CC}	V _{CC}			
44 - P2.1	TA1.1	CCI1A	CCR1	TA1.1	44 - P2.1
	CAOUT (内部)	CCI1B			
	DV _{SS}	GND			
	DV _{CC}	V _{CC}			
35 - P2.2	TA1.2	CCI2A	CCR2	TA1.2	35 - P2.2
	接続されていません	CCI2B			
	DV _{SS}	GND			
	DV _{CC}	V _{CC}			
34 - P2.3	TA1.3	CCI3A	CCR3	TA1.3	34 - P2.3
	接続されていません	CCI3B			
	DV _{SS}	GND			
	DV _{CC}	V _{CC}			
33 - P2.4	TA1.4	CCI4A	CCR4	TA1.4	33 - P2.4
	接続されていません	CCI4B			
	DV _{SS}	GND			
	DV _{CC}	V _{CC}			

ペリフェラル・ファイル・マップ

ワード・アクセスによるペリフェラル				
ウォッチドッグ	ウォッチドッグ・タイマ制御	WDTCTL	0120h	
タイマ1_A5 (MSP430x415 及び MSP430x417 のみ)	タイマ1_A 割り込みベクタ	TA1IV	011Eh	
	タイマ1_A 制御	TA1CTL	0180h	
	キャプチャ/コンペア制御 0	TA1CCTL0	0182h	
	キャプチャ/コンペア制御 1	TA1CCTL1	0184h	
	キャプチャ/コンペア制御 2	TA1CCTL2	0186h	
	キャプチャ/コンペア制御 3	TA1CCTL3	0188h	
	キャプチャ/コンペア制御 4	TA1CCTL4	018Ah	
	予約されています		018Ch	
	予約されています		018Eh	
	タイマ1_A レジスタ	TA1R	0190h	
	キャプチャ/コンペア・レジスタ 0	TA1CCR0	0192h	
	キャプチャ/コンペア・レジスタ 1	TA1CCR1	0194h	
	キャプチャ/コンペア・レジスタ 2	TA1CCR2	0196h	
	キャプチャ/コンペア・レジスタ 3	TA1CCR3	0198h	
	キャプチャ/コンペア・レジスタ 4	TA1CCR4	019Ah	
	予約されています		019Ch	
	予約されています		019Eh	
	タイマ_A3/タイマ0_A3	タイマ_A/タイマ0_A 割り込みベクタ	TAIV/TA0IV	012Eh
		タイマ_A/タイマ0_A 制御	TACTL/TAOCTL	0160h
		キャプチャ/コンペア制御 0	TACCTL0/TAOCCTL0	0162h
キャプチャ/コンペア制御 1		TACCTL1/TAOCCTL1	0164h	
キャプチャ/コンペア制御 2		TACCTL2/TAOCCTL2	0166h	
予約されています			0168h	
予約されています			016Ah	
予約されています			016Ch	
予約されています			016Eh	
タイマ_A/タイマ0_A レジスタ		TAR/TA0R	0170h	
キャプチャ/コンペア・レジスタ 0		TACCRO/TAOCCR0	0172h	
キャプチャ/コンペア・レジスタ 1		TACCR1/TAOCCR1	0174h	
キャプチャ/コンペア・レジスタ 2		TACCR2/TAOCCR2	0176h	
予約されています			0178h	
予約されています			017Ah	
予約されています			017Ch	
予約されています		017Eh		
フラッシュ	フラッシュ制御 3	FCTL3	012Ch	
	フラッシュ制御 2	FCTL2	012Ah	
	フラッシュ制御 1	FCTL1	0128h	

ペリフェラル・ファイル・マップ (続き)

バイト・アクセスによるペリフェラル			
LCD	LCD メモリ 20 : LCD メモリ 16 LCD メモリ 15 : LCD メモリ 1 LCD 制御及びモード	LCDM20 : LCDM16 LCDM15 : LCDM1 LCDCTL	0A4h : 0A0h 09Fh : 091h 090h
コンパレータ_A	コンパレータ_A ポート・ディスエーブル コンパレータ_A 制御 2 コンパレータ_A 制御 1	CAPD CACTL2 CACTL1	05Bh 05Ah 059h
ブラウンアウト、SVS	SVS 制御レジスタ	SVSCTL	056h
FLL+ クロック	FLL+ 制御 1 FLL+ 制御 0 システム・クロック周波数制御 システム・クロック周波数積分器 システム・クロック周波数積分器	FLL_CTL1 FLL_CTL0 SCFQCTL SCFI1 SCFI0	054h 053h 052h 051h 050h
Basic Timer1	BT カウンタ 2 BT カウンタ 1 BT 制御	BTCNT2 BTCNT1 BTCTL	047h 046h 040h
ポート P6	ポート P6 選択 ポート P6 方向 ポート P6 出力 ポート P6 入力	P6SEL P6DIR P6OUT P6IN	037h 036h 035h 034h
ポート P5	ポート P5 選択 ポート P5 方向 ポート P5 出力 ポート P5 入力	P5SEL P5DIR P5OUT P5IN	033h 032h 031h 030h
ポート P4	ポート P4 選択 ポート P4 方向 ポート P4 出力 ポート P4 入力	P4SEL P4DIR P4OUT P4IN	01Fh 01Eh 01Dh 01Ch
ポート P3	ポート P3 選択 ポート P3 方向 ポート P3 出力 ポート P3 入力	P3SEL P3DIR P3OUT P3IN	01Bh 01Ah 019h 018h
ポート P2	ポート P2 選択 ポート P2 割り込みイネーブル ポート P2 割り込み - エッジ選択 ポート P2 割り込みフラグ ポート P2 方向 ポート P2 出力 ポート P2 入力	P2SEL P2IE P2IES P2IFG P2DIR P2OUT P2IN	02Eh 02Dh 02Ch 02Bh 02Ah 029h 028h

ペリフェラル・ファイル・マップ (続き)

バイト・アクセスによるペリフェラル (続き)			
ポート P1	ポート P1 選択	P1SEL	026h
	ポート P1 割り込みイネーブル	P1IE	025h
	ポート P1 割り込み - エッジ選択	P1IES	024h
	ポート P1 割り込みフラグ	P1IFG	023h
	ポート P1 方向	P1DIR	022h
	ポート P1 出力	P1OUT	021h
	ポート P1 入力	P1IN	020h
	スペシャル・ファンクション	SFR モジュール・イネーブル 2	ME2
SFR モジュール・イネーブル 1		ME1	004h
SFR 割り込みフラグ 2		IFG2	003h
SFR 割り込みフラグ 1		IFG1	002h
SFR 割り込み・イネーブル 2		IE2	001h
SFR 割り込み・イネーブル 1		IE1	000h

絶対最大定格 †

印加電圧 ($V_{CC} \sim V_{SS}$ 間)	-0.3 ~ 4.1	V
印加電圧 (全端子) (注)	-0.3 ~ $V_{CC} + 0.3$	V
ダイオード電流 (全端子)	±2	mA
保存温度範囲	未プログラムのデバイス	T_{stg}	-55 ~ 150 °C
保存温度範囲	プログラム済みデバイス	T_{stg}	-40 ~ 85 °C

† 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これは、ストレスの定格のみについて示してあり、この仕様書の「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

(注) すべての電圧は V_{SS} を基準とします。JTAG ヒューズ切断電圧 V_{PB} は、絶対最大定格を越えても構いません。JTAG ヒューズを切断する時、TDI/TCLK 端子に電圧が印加されます。

推奨動作条件

項 目		最小	標準	最大	単位
電源電圧 (プログラム実行時)、SVS はディスエーブル、 V_{CC} ($AV_{CC} = DV_{CC} = V_{CC}$)	MSP430x41x	1.8		3.6	V
電源電圧 (プログラム実行時)、SVS はイネーブル (注 1)、 V_{CC} ($AV_{CC} = DV_{CC} = V_{CC}$)	MSP430x41x	2.2		3.6	V
電源電圧 (フラッシュ・メモリ・プログラム時)、 V_{CC} ($AV_{CC} = DV_{CC} = V_{CC}$)	MSP430F41x	2.7		3.6	V
電源電圧、 V_{SS} ($AV_{SS1/2} = DV_{SS} = V_{SS}$)		0		0	V
動作周囲温度、 T_A	MSP430x41x	-40		85	°C
LFXT1 クリスタル周波数、 $f_{(LFXT1)}$ (注 2)	LF 選択時、 $XTS_FLL = 0$	時計用クリスタル		32768	Hz
	XT1 選択時、 $XTS_FLL = 1$	セラミック・レゾネータ		450	kHz
	XT1 選択時、 $XTS_FLL = 1$	クリスタル		1000	
プロセッサ周波数 (MCLK 信号)、 $f_{(System)}$	$V_{CC} = 1.8$ V	DC		4.15	MHz
	$V_{CC} = 3.6$ V	DC		8	

(注 1) 最小動作電源電圧は、電源電圧を下降させて POR がアクティブとなるトリップ・ポイントで定義します。POR は、電源電圧が最小電源電圧 + SVS 回路のヒステリシスより上昇するとインアクティブとなります。

(注 2) LF モードでは、LFXT1 オシレータには時計用クリスタルが必要です。

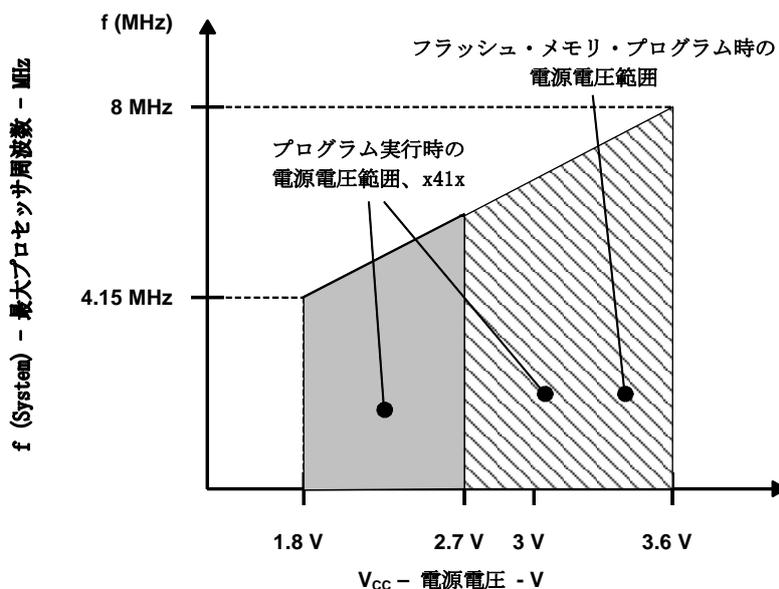


図 1. 電源電圧 対 周波数

推奨動作周囲温度における電気的特性 (特記無き場合)

電源電流 ($AV_{CC} + DV_{CC}$) (外部電流を除く) (注 1)

項目	測定条件	最小	標準	最大	単位			
$I_{(AM)}$	アクティブ・モード $f_{(MCLK)} = f_{(SMCLK)} = 1 \text{ MHz}$ 、 $f_{(ACLK)} = 32,768 \text{ Hz}$ 、 $XTS_FLL = 0$ (F41x: フラッシュ・メモリのプログラムを実行)	$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	C41x	$V_{CC} = 2.2 \text{ V}$	160	200	μA	
			F41x	$V_{CC} = 3 \text{ V}$	240	300		
				$V_{CC} = 2.2 \text{ V}$	200	250		
			$V_{CC} = 3 \text{ V}$	300	350			
$I_{(LPM0)}$	ロー・パワー・モード (LPM0)、 $f_{(MCLK)} = f_{(SMCLK)} = 0.5 \text{ MHz}$ 、 $f_{(ACLK)} = 32,768 \text{ Hz}$ 、 $XTS_FLL = 0$ 、 $FN_8 = FN_4 = FN_3 = FN_2 = 0$	$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	C41x	$V_{CC} = 2.2 \text{ V}$	32	45	μA	
				$V_{CC} = 3 \text{ V}$	55	70		
$I_{(LPM0)}$	ロー・パワー・モード (LPM0)、 $f_{(MCLK)} = f_{(SMCLK)} = 1 \text{ MHz}$ 、 $f_{(ACLK)} = 32,768 \text{ Hz}$ 、 $XTS_FLL = 0$ 、 $FN_8 = FN_4 = FN_3 = FN_2 = 0$	$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	F41x	$V_{CC} = 2.2 \text{ V}$	57	70	μA	
				$V_{CC} = 3 \text{ V}$	92	100		
$I_{(LPM2)}$	ロー・パワー・モード (LPM2)	$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$		$V_{CC} = 2.2 \text{ V}$	11	14	μA	
				$V_{CC} = 3 \text{ V}$	17	22		
$I_{(LPM3)}$	ロー・パワー・モード (LPM3) (注 2)	$T_A = -40^\circ\text{C}$		$V_{CC} = 2.2 \text{ V}$	0.95	1.4	μA	
					$T_A = -10^\circ\text{C}$	0.8		1.3
					$T_A = 25^\circ\text{C}$	0.7		1.2
					$T_A = 60^\circ\text{C}$	0.95		1.4
					$T_A = 85^\circ\text{C}$	1.6		2.3
				$V_{CC} = 3 \text{ V}$	$T_A = -40^\circ\text{C}$	1.1		1.7
					$T_A = -10^\circ\text{C}$	1.0		1.6
					$T_A = 25^\circ\text{C}$	0.9		1.5
					$T_A = 60^\circ\text{C}$	1.1		1.7
					$T_A = 85^\circ\text{C}$	2.0		2.6
$I_{(LPM4)}$	ロー・パワー・モード (LPM4)	$T_A = -40^\circ\text{C}$		$V_{CC} = 2.2 \text{ V} / 3 \text{ V}$	0.1	0.5	μA	
					$T_A = 25^\circ\text{C}$	0.1		0.5
					$T_A = 85^\circ\text{C}$	0.8		2.5

(注 1) すべての入力は、0 V 又は V_{CC} に接続します。出力にはソース電流、シンク電流を流しません。消費電流は、Basic Timer1 及び LCD はアクティブ (ACLK を選択した状態) にして測定します。

コンパレータ_A 及び SVS モジュールの消費電流は、各セクションで規定されています。

(注 2) LPM3 電流は、KDS 大真空 DT-38 (6 pF) クリスタルを使用して評価されています。

アクティブ・モードのシステム周波数 対 消費電流、F バージョン

$$I_{(AM)} = I_{(AM) [1 \text{ MHz}]} \times f_{(\text{System})} [\text{MHz}]$$

アクティブ・モードの電源電圧 対 消費電流、F バージョン

$$I_{(AM)} = I_{(AM) [3 \text{ V}]} + 140 \mu\text{A/V} \times (V_{CC} - 3 \text{ V})$$

推奨動作周囲温度における電气的特性（特記無き場合）（続き）

シュミット・トリガ入力（ポート P1、P2、P3、P4、P5、及び P6）

項 目		V _{CC}	最小	標準	最大	単位
V _{IT+}	立ち上がり入力スレッシュホールド電圧	2.2 V	1.1		1.5	V
		3 V	1.5		1.9	
V _{IT-}	立ち下がり入力スレッシュホールド電圧	2.2 V	0.4		0.9	V
		3 V	0.9		1.3	
V _{hys}	入力電圧ヒステリシス (V _{IT+} - V _{IT-})	2.2 V	0.3		1.1	V
		3 V	0.45		1	

標準入力 (RST/NMI; JTAG: TCK、TMS、TDI/TCLK、TDO/TDI)

項 目		V _{CC}	最小	標準	最大	単位
V _{IL}	ロー・レベル入力電圧	2.2 V/3 V	V _{SS}		V _{SS} + 0.6	V
V _{IH}	ハイ・レベル入力電圧		0.8 x V _{CC}		V _{CC}	V

入力 P_{x.x}、TA_x/TA_{x.x}

項 目		測定条件	V _{CC}	最小	標準	最大	単位
t _(int)	外部割り込みタイミング	ポート P1、P2: P1.x ~ P2.x、 割り込みフラグ用外部トリガ信号 (注 1)	2.2 V/3 V	1.5			cycle
			2.2 V	62			ns
			3 V	50			
t _(cap)	タイマ_A、キャプチャ・タイミン グ	TA _x /TA _{x.y}	2.2 V	62			ns
			3 V	50			
f _(TAext)	タイマ_A、外部から端子に印加す るクロック周波数	TACLK/TA _x CLK、INCL t ₍₀₎ = t _(L)	2.2 V			8	MHz
			3 V			10	
f _(TAint)	タイマ_A クロック周波数	SMCLK 又は ACLK 信号選択時	2.2 V			8	MHz
			3 V			10	

(注 1) 外部信号は、最小 t_(int) サイクル及び時間のパラメータが適合するたび毎に割り込みフラグをセットします。トリガ信号が t_(int) より短い場合にもセットされることがあります。フラグを確実にセットするためには、サイクル及びタイミング仕様の両方を満足しなければなりません。t_(int) は MCLK サイクルで測定します。

リーク電流 (注 1)

項 目		測定条件	V _{CC}	最小	標準	最大	単位
I _{1kg(P1.x)}	リーク電流	ポート P1 V _(P1.x) (注 2)	2.2 V/3 V			±50	nA
I _{1kg(P6.x)}		ポート P6 V _(P6.x) (注 2)				±50	

(注 1) 特記無き場合、リーク電流は対応する端子に V_{SS} 又は V_{CC} を印加して測定します。

(注 2) ポート端子は入力となるように選択しなければなりません。

推奨動作周囲温度における電气的特性（特記無き場合）（続き）

出力（ポート P1、P2、P3、P4、P5、及び P6）

項目	測定条件	最小	標準	最大	単位
V _{OH} ハイ・レベル出力電圧	I _{OH(max)} = -1.5 mA、 V _{CC} = 2.2 V、 (注 1)	V _{CC} - 0.25		V _{CC}	V
	I _{OH(max)} = -6 mA、 V _{CC} = 2.2 V、 (注 2)	V _{CC} - 0.6		V _{CC}	
	I _{OH(max)} = -1.5 mA、 V _{CC} = 3 V、 (注 1)	V _{CC} - 0.25		V _{CC}	
	I _{OH(max)} = -6 mA、 V _{CC} = 3 V、 (注 2)	V _{CC} - 0.6		V _{CC}	
V _{OL} ロー・レベル出力電圧	I _{OL(max)} = 1.5 mA、 V _{CC} = 2.2 V、 (注 1)	V _{SS}		V _{SS} + 0.25	V
	I _{OL(max)} = 6 mA、 V _{CC} = 2.2 V、 (注 2)	V _{SS}		V _{SS} + 0.6	
	I _{OL(max)} = 1.5 mA、 V _{CC} = 3 V、 (注 1)	V _{SS}		V _{SS} + 0.25	
	I _{OL(max)} = 6 mA、 V _{CC} = 3 V、 (注 2)	V _{SS}		V _{SS} + 0.6	

(注 1) 全出力の最大電流 I_{OH(max)} と I_{OL(max)} の合計は、規定の最大電圧降下を保持するため ±12 mA を越えてはいけません。

(注 2) 全出力の最大電流 I_{OH(max)} と I_{OL(max)} の合計は、規定の最大電圧降下を保持するため ±24 mA を越えてはいけません。

出力周波数

項目	測定条件	最小	標準	最大	単位
f _{Px.y} Px.y 出力周波数 (1 ≤ x ≤ 6、0 ≤ y ≤ 7)	C _L = 20 pF、 I _L = ±1.5 mA	V _{CC} = 2.2 V	DC	10	MHz
		V _{CC} = 3 V	DC	12	
f _{ACLK} 、 f _{MCLK} 、 f _{SMCLK}	C _L = 20 pF	V _{CC} = 2.2 V		8	MHz
		V _{CC} = 3 V		12	
t _{Xdc} 出力周波数デューティ比	P1.5/TACLK/ACLK、 C _L = 20 pF、 V _{CC} = 2.2 V / 3 V	f _{ACLK} = f _{LFXT1} = f _{XT1}	40%	60%	
		f _{ACLK} = f _{LFXT1} = f _{LF}	30%	70%	
		f _{ACLK} = f _{LFXT1/n}	50%		
	P1.1/TA0/MCLK、 C _L = 20 pF、 V _{CC} = 2.2 V / 3 V	f _{MCLK} = f _{LFXT1/n}	50% - 15 ns	50%	50% + 15 ns
f _{MCLK} = f _{DCOCLK}		50% - 15 ns	50%	50% + 15 ns	

推奨動作周囲温度における電気的特性 (特記無き場合) (続き)

MSP430x412、MSP430x413 出力 (ポート P1、P2、P3、P4、P5、及び P6) (注)

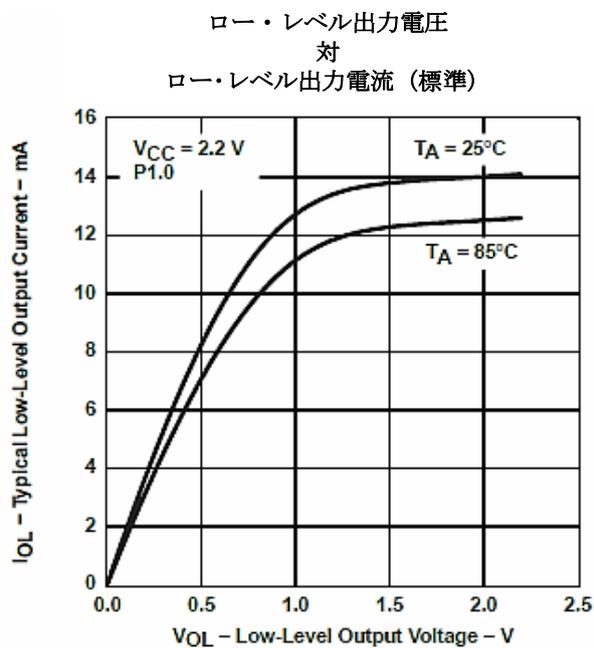


図 2

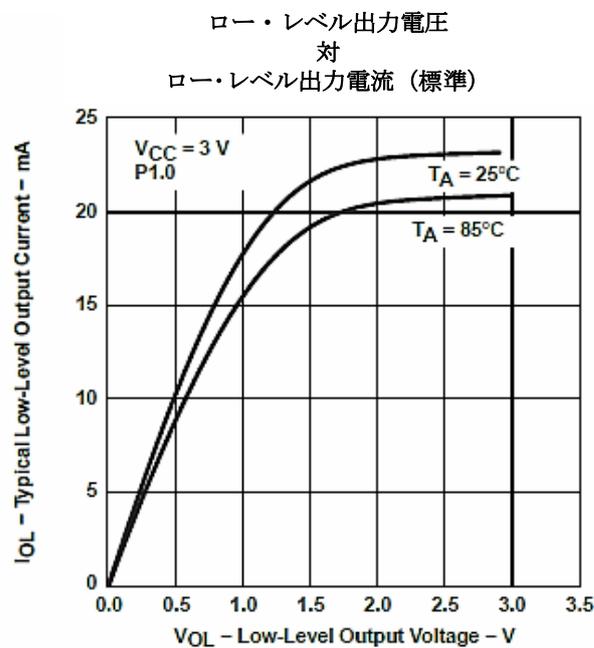


図 3

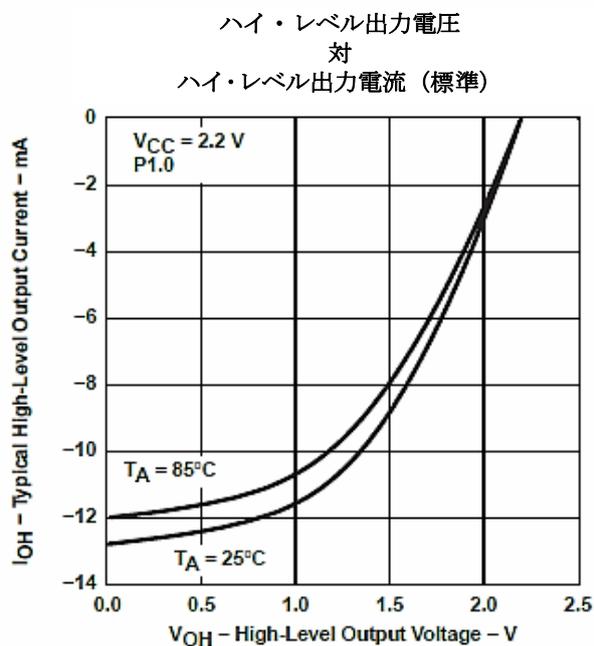


図 4

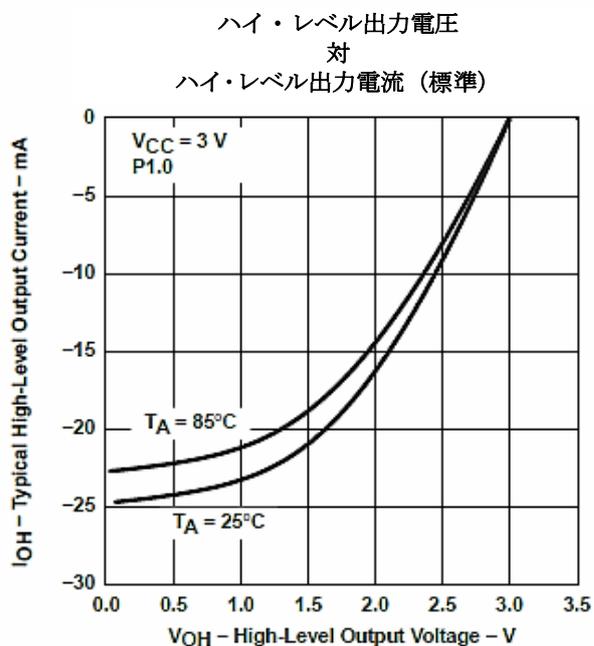
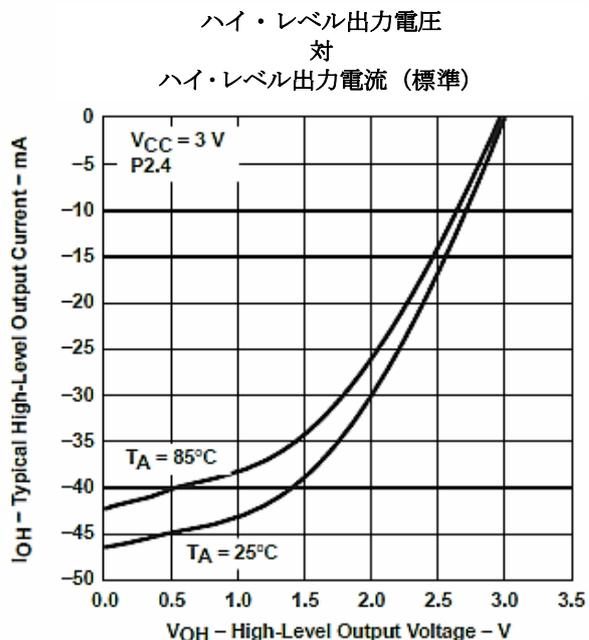
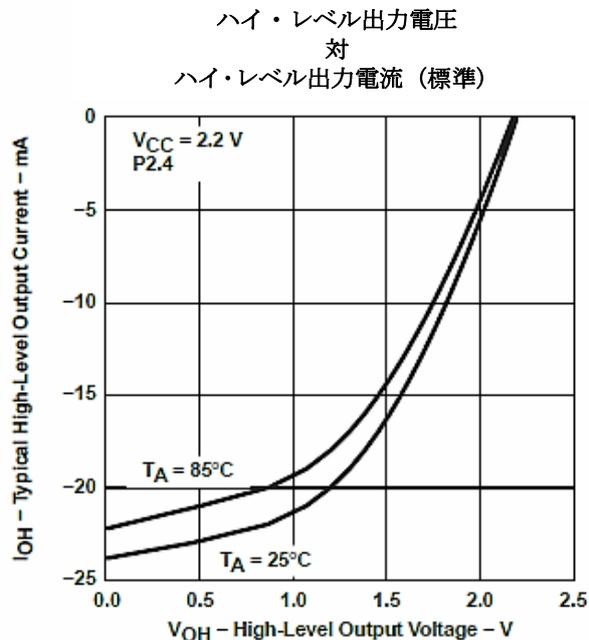
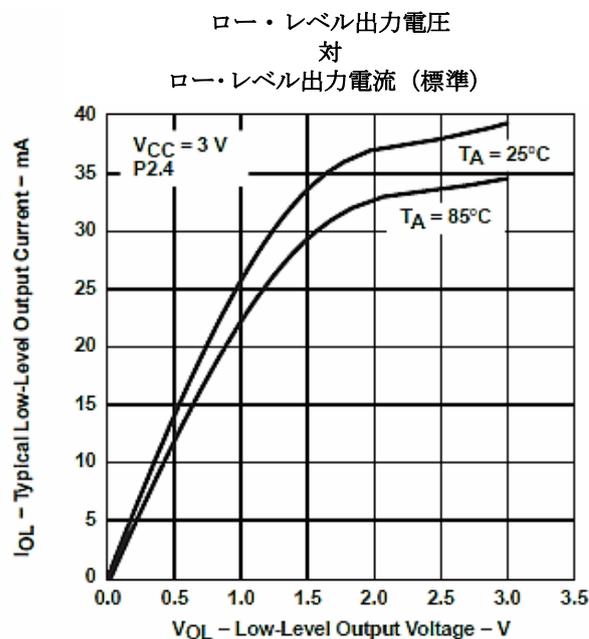
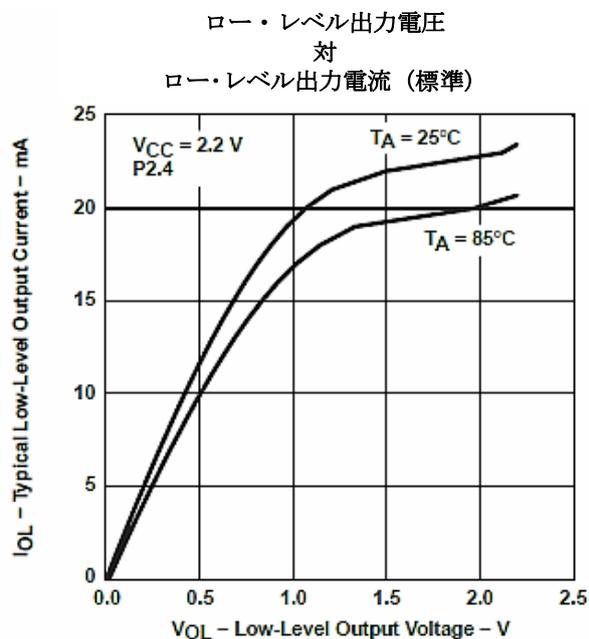


図 5

(注 A) 同時に 1 出力のみ負荷をかけます。

推奨動作周囲温度における電気的特性 (特記無き場合) (続き)

MSP430x415、MSP430x417 出力 (ポート P1、P2、P3、P4、P5、及び P6) (注)



(注 B) 同時に 1 出力のみ負荷をかけます。

推奨動作周囲温度における電气的特性（特記無き場合）（続き）

ウェークアップ（LPM3）

項 目		測定条件		最小	標準	最大	単位
t _{d(LPM3)}	遅延時間	f = 1 MHz	V _{CC} = 2.2 V/3 V			6	μs
		f = 2 MHz				6	
		f = 3 MHz				6	

RAM（注 1）

項 目		測定条件	最小	標準	最大	単位
VRAMh	RAM 保持電圧	CPU 停止 (HALT) 時 (注 1)	1.6			V

(注 1) このパラメータは、プログラム・メモリ RAM のデータが保持される時の最小電源電圧を定義します。この電源電圧の条件ではプログラムを実行させないで下さい。

LCD

項 目		測定条件		最小	標準	最大	単位
V ₍₃₃₎	アナログ電圧	P5.7/R33 の電圧	V _{CC} = 3 V	2.5		V _{CC} + 0.2	V
V ₍₂₃₎		P5.6/R23 の電圧		$(V_{33} - V_{03}) \times 2/3 + V_{03}$			
V ₍₁₃₎		P5.5/R13 の電圧		$(V_{33} - V_{03}) \times 1/3 + V_{03}$			
V _{(33) - V₍₀₃₎}		R33/R03 の電圧		2.5		V _{CC} + 0.2	
I _(R03)	入力リーク電流	R03 = V _{SS}	全セグメント出力 ライン及びコモン 出力ラインは無負 荷、 V _{CC} = 3 V			±20	nA
I _(R13)		P5.5/R13 = V _{CC} /3				±20	
I _(R23)		P5.6/R23 = 2 x V _{CC} /3				±20	
V _(Sxx0)	セグメント・ライン 電圧	I _(Sxx) = -3 μA	V _{CC} = 3 V	V ₍₀₃₎		V ₍₀₃₎ - 0.1	V
V _(Sxx1)				V ₍₁₃₎		V ₍₁₃₎ - 0.1	
V _(Sxx2)				V ₍₂₃₎		V ₍₂₃₎ - 0.1	
V _(Sxx3)				V ₍₃₃₎		V ₍₃₃₎ + 0.1	

推奨動作周囲温度における電気的特性 (特記無き場合) (続き)

コンパレータ_A (注 1)

項目	測定条件	最小	標準	最大	単位		
$I_{(CC)}$	CAON = 1, CARSEL = 0, CAREF = 0	$V_{CC} = 2.2 \text{ V}$	25	40	μA		
		$V_{CC} = 3 \text{ V}$	45	60			
$I_{(\text{RefLadder/RefDiode})}$	CAON = 1, CARSEL = 0, CAREF = 1/2/3, P1.6/CAO 及び P1.7/CA1 は無負荷	$V_{CC} = 2.2 \text{ V}$	30	50	μA		
		$V_{CC} = 3 \text{ V}$	45	71			
$V_{(\text{Ref025})}$	$\frac{\text{Voltage @ } 0.25 V_{CC} \text{ node}}{V_{CC}}$ PCAO = 1, CARSEL = 1, CAREF = 1, P1.6/CAO 及び P1.7/CA1 は無負荷	$V_{CC} = 2.2 \text{ V/3 V}$	0.23	0.24	0.25		
$V_{(\text{Ref050})}$	$\frac{\text{Voltage @ } 0.5 V_{CC} \text{ node}}{V_{CC}}$ PCAO = 1, CARSEL = 1, CAREF = 2, P1.6/CAO 及び P1.7/CA1 は無負荷	$V_{CC} = 2.2 \text{ V/3 V}$	0.47	0.48	0.5		
$V_{(\text{RefVT})}$	(図 10、11 参照) PCAO = 1, CARSEL = 1, CAREF = 3, P1.6/CAO 及び P1.7/CA1 は無負荷、 $T_A = 85^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	390	480	540	mV	
		$V_{CC} = 3 \text{ V}$	400	490	550		
$V_{(IC)}$	同相入力電圧範囲 CAON = 1	$V_{CC} = 2.2 \text{ V/3 V}$	0	$V_{CC} - 1$		V	
$V_{(\text{offset})}$	オフセット電圧 (注 2)	$V_{CC} = 2.2 \text{ V/3 V}$	-30			30	mV
V_{hys}	入力ヒステリシス CAON = 1	$V_{CC} = 2.2 \text{ V/3 V}$	0	0.7	1.4	mV	
$t_{(\text{response LH})}$	$T_A = 25^\circ\text{C}$ 、オーバードライブ 10 mV、 フィルタなし: CAF = 0	$V_{CC} = 2.2 \text{ V}$	160	210	300	ns	
		$V_{CC} = 3 \text{ V}$	80	150	240		
	$T_A = 25^\circ\text{C}$ 、オーバードライブ 10 mV、 フィルタ付き: CAF = 1	$V_{CC} = 2.2 \text{ V}$	1.4	1.9	3.4	μs	
		$V_{CC} = 3 \text{ V}$	0.9	1.5	2.6		
$t_{(\text{response HL})}$	$T_A = 25^\circ\text{C}$ 、オーバードライブ 10 mV、 フィルタなし: CAF = 0	$V_{CC} = 2.2 \text{ V}$	130	210	300	ns	
		$V_{CC} = 3 \text{ V}$	80	150	240		
	$T_A = 25^\circ\text{C}$ 、オーバードライブ 10 mV、 フィルタ付き: CAF = 1	$V_{CC} = 2.2 \text{ V}$	1.4	1.9	3.4	μs	
		$V_{CC} = 3 \text{ V}$	0.9	1.5	2.6		

(注 1) コンパレータ_A 端子のリーク電流は、 $I_{\text{Lk}(P_{x,x})}$ 規格と同じです。

(注 2) 入力オフセット電圧は、連続して測定する毎に CAEX ビットを使ってコンパレータ_A 入力を反転させることにより、キャンセルすることができます。2 つの連続した測定値を加算します。

推奨動作周囲温度における電気的特性 (特記無き場合) (続き)

代表特性

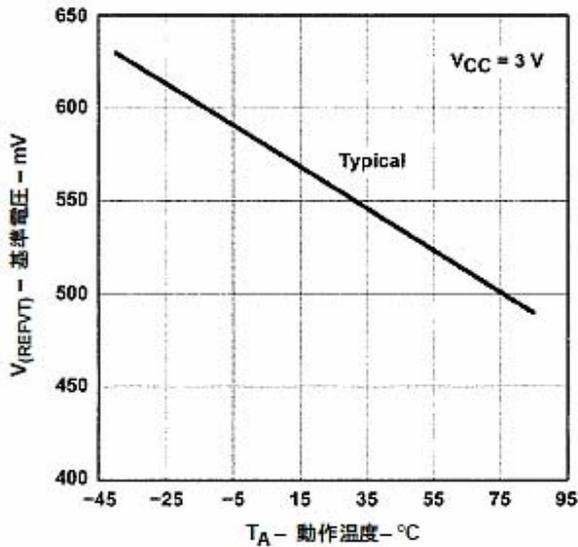


図 10. 温度対 $V_{(REFVT)}$, $V_{CC} = 3V$

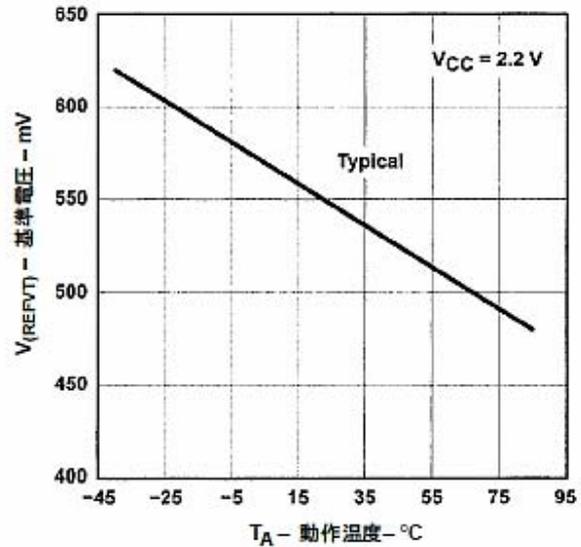


図 11. 温度対 $V_{(REFVT)}$, $V_{CC} = 2.2V$

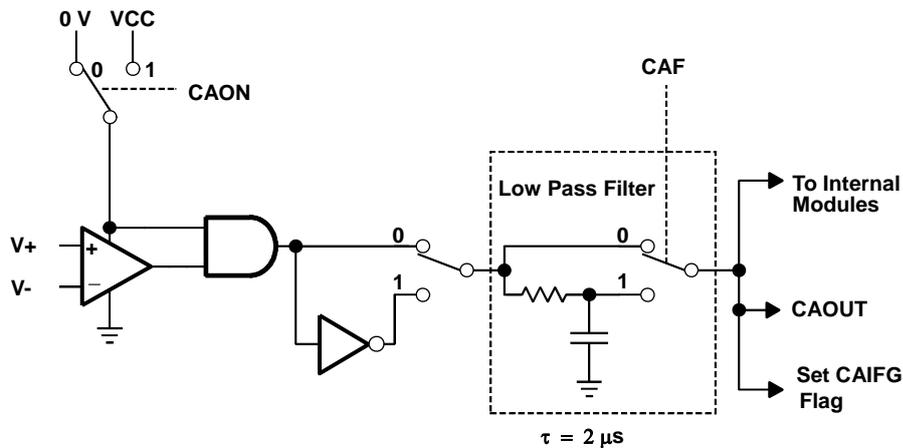


図 12. コンパレータ A モジュール ブロック図

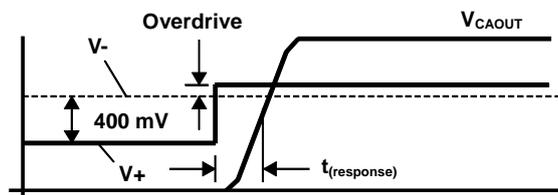


図 13. オーバードライブの定義

推奨動作周囲温度における電気的特性 (特記無き場合) (続き)

POR/ブラウンアウト、リセット(注 1、2)

項目	測定条件	最小	標準	最大	単位
$t_{d(BOR)}$				2000	μs
$V_{CC(start)}$	$dV_{CC}/dt \leq 3 \text{ V/s}$ (図 14 参照)	$0.7 \times V_{(B_IT-)}$			V
$V_{(B_IT-)}$	$dV_{CC}/dt \leq 3 \text{ V/s}$ (図 14、15、16 参照)			1.71	V
$V_{hys(B_IT-)}$	$dV_{CC}/dt \leq 3 \text{ V/s}$ (図 14 参照)	70	130	180	mV
$t_{(reset)}$	内部でリセットを受け付けるための RST/NMI 入力パルス幅、 $V_{CC} = 2.2 \text{ V}/3 \text{ V}$	2			μs

- (注 1) ブラウンアウト・モジュールの消費電流は、 I_{CC} に含まれています。電圧レベル $V_{(B_IT-)} + V_{hys(B_IT-)} \leq 1.8 \text{ V}$ とします。
 (注 2) パワーアップ時は、CPU は $V_{CC} = V_{(B_IT-)} + V_{hys(B_IT-)}$ となった後 $t_{d(BOR)}$ 経過後にコードの実行を開始します。デフォルトの FLL+ の設定は、 $V_{CC} \geq V_{CC(min)}$ となるまで変えてはいけません。 $V_{CC(min)}$ は、使用する動作周波数における最小電源電圧を表します。ブラウンアウト/SVS 回路の詳細は、MSP430x4xx ファミリー ユーザーズ・ガイド SLAU141 (日本語版)、SLAU056 (英語版) を参照して下さい。

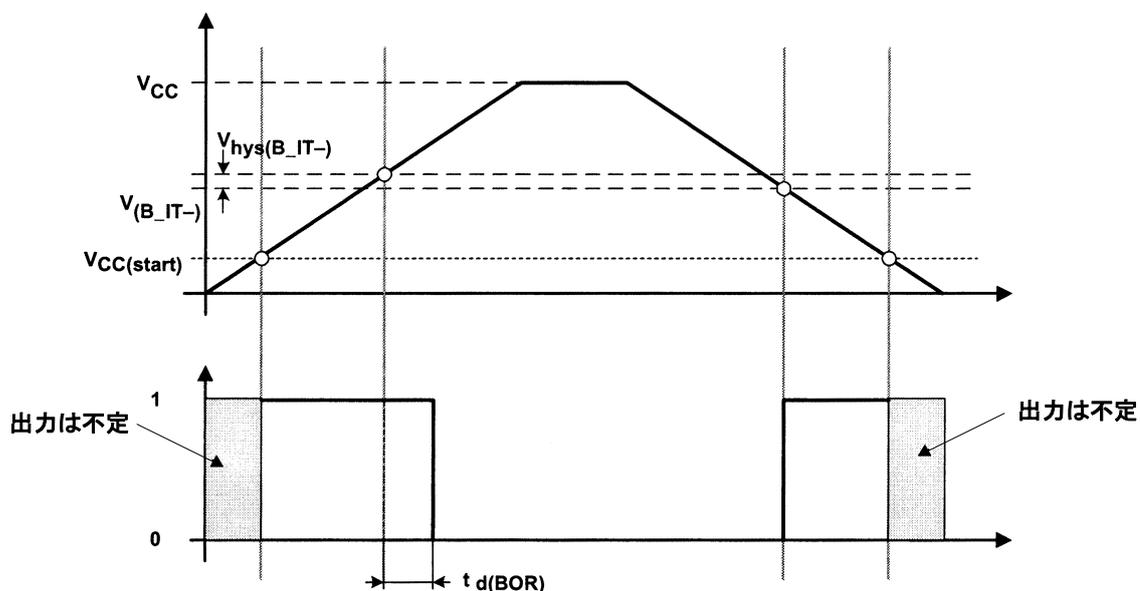


図 14. 電源電圧 対 POR/ブラウンアウト リセット (BOR)

推奨動作周囲温度における電気的特性 (特記無き場合) (続き)

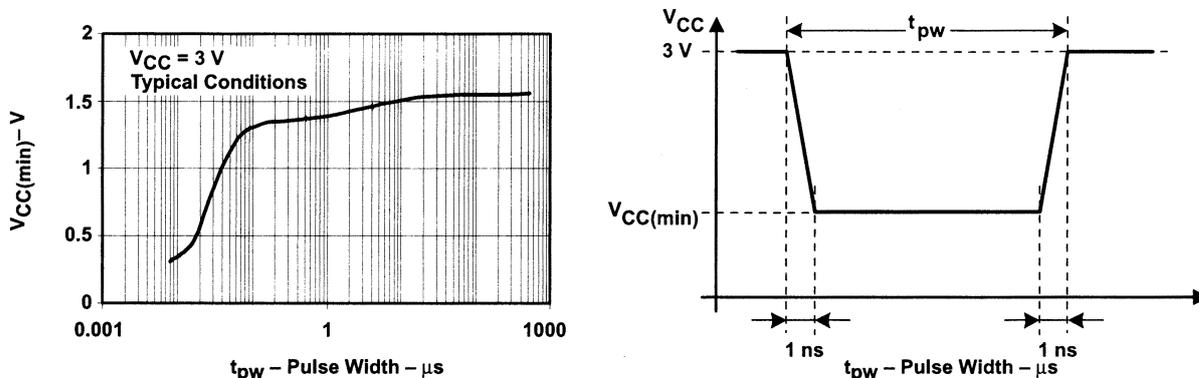


図 15. POR/ブラウンアウト信号を生成するための $V_{CC(min)}$ レベル (矩形波電圧降下)

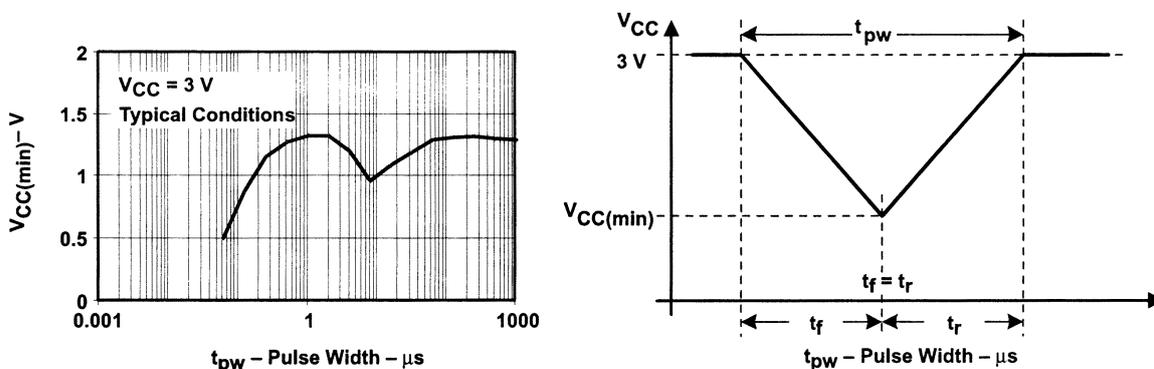


図 16. POR/ブラウンアウト信号を生成するための $V_{CC(min)}$ レベル (三角波電圧降下)

SVS (電源電圧監視/モニタ) (注 1、2) MSP430x412、MSP430x413 のみ

記号	測定条件	最小	標準	最大	単位
$t_d(SVSR)$	$dV_{CC}/dt > 30 \text{ V/ms}$ (注 2)	5		150	μs
	$dV_{CC}/dt \leq 30 \text{ V/ms}$ (注 2)			2000	μs
$t_d(SVSON)$	SVSON、0 ~ 1 ヘスイッチ、 $V_{CC} = 3 \text{ V}$ (注 2)	20		150	μs
$V_{(SVSstart)}$	$dV_{CC}/dt \leq 3 \text{ V/s}$ (図 17 参照)		1.55	1.7	V
$V_{(SVS_IT-)}$	$dV_{CC}/dt \leq 3 \text{ V/s}$ (図 17 参照)	1.8	1.95	2.2	V
$V_{hys(SVS_IT-)}$	$dV_{CC}/dt \leq 3 \text{ V/s}$ (図 17 参照)	70	100	155	mV
$I_{CC(SVS)}$ (注 1)	VLD \neq 0 (VLD ビットは SVSCTL レジスタにあります。)、 $V_{CC} = 2.2\text{V}/3\text{V}$		10	15	μA

(注 1) SVS モジュールの消費電流は I_{CC} の値に含まれていません。

(注 2) SVS は、パワー・アップ時はアクティブになりません。

推奨動作周囲温度における電気的特性 (特記無き場合) (続き)

SVS (電源電圧監視/モニタ) (注 1、2) MSP430x415、MSP430x417 のみ

記号	測定条件	最小	標準	最大	単位	
$t_{d(SVSR)}$	$dV_{CC}/dt > 30 \text{ V/ms}$ (図 17 参照)	5		150	μs	
	$dV_{CC}/dt \leq 30 \text{ V/ms}$			2000	μs	
$t_{d(SVSON)}$	SVSON、VLD = 0 ~ VLD \neq 0 へスイッチ、 $V_{CC} = 3 \text{ V}$	20		150	μs	
t_{settle}	VLD \neq 0 †			12	μs	
$V_{(SVSstart)}$	VLD \neq 0、 $V_{CC}/dt \leq 3 \text{ V/s}$ (図 17 参照)		1.55	1.7	V	
$V_{\text{hys}(SVS_IT-)}$	$V_{CC}/dt \leq 3 \text{ V/s}$ (図 17 参照)	VLD = 1	70	120	155	mV
		VLD = 2 .. 14	$V_{(SVS_IT-)} \times 0.004$		$V_{(SVS_IT-)} \times 0.008$	
$V_{(SVS_IT-)}$	$V_{CC}/dt \leq 3 \text{ V/s}$ (図 17 参照)、SVSIN に印加される外部電圧	VLD = 15	4.4		10.4	mV
		VLD = 1	1.8	1.9	2.05	V
VLD = 2	1.94	2.1	2.25			
VLD = 3	2.05	2.2	2.37			
VLD = 4	2.14	2.3	2.48			
VLD = 5	2.24	2.4	2.6			
VLD = 6	2.33	2.5	2.71			
VLD = 7	2.46	2.65	2.86			
VLD = 8	2.58	2.8	3			
VLD = 9	2.69	2.9	3.13			
VLD = 10	2.83	3.05	3.29			
VLD = 11	2.94	3.2	3.42			
VLD = 12	3.11	3.35	3.61 †			
VLD = 13	3.24	3.5	3.76 †			
VLD = 14	3.43	3.7 †	3.99 †			
$V_{(SVS_IT-)}$	$V_{CC}/dt \leq 3 \text{ V/s}$ (図 17 参照)、SVSIN に印加される外部電圧	VLD = 15	1.1	1.2	1.3	
$I_{CC(SVS)}$ (注 1)	VLD \neq 0、 $V_{CC} = 2.2 \text{ V}/3 \text{ V}$		10	15	μA	

† 推奨動作電圧範囲は 3.6 V に制限されます。

‡ セットリング時間 t_{settle} は、VLD が VLD \neq 0 から 2 ~ 15 の間の違った値にスイッチした後、コンパレータ出力が安定したレベルになるのに必要な時間です。オーバードライブ $> 50 \text{ mV}$ と仮定します。(注 1) SVS モジュールの消費電流は I_{CC} の値に含まれていません。

(注 2) SVS は、パワーアップ時はアクティブになりません。

推奨動作周囲温度における電気的特性 (特記無き場合) (続き)

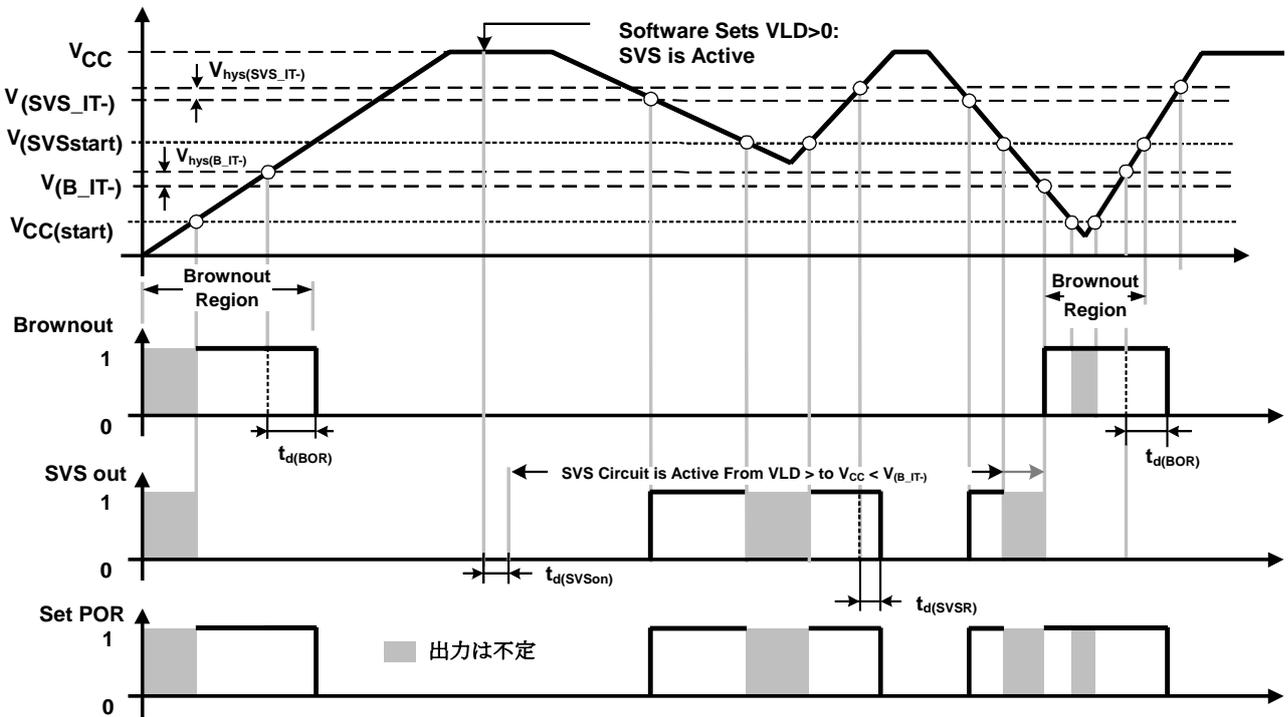


図 17. 電源電圧 対 SVS リセット (SVSR)

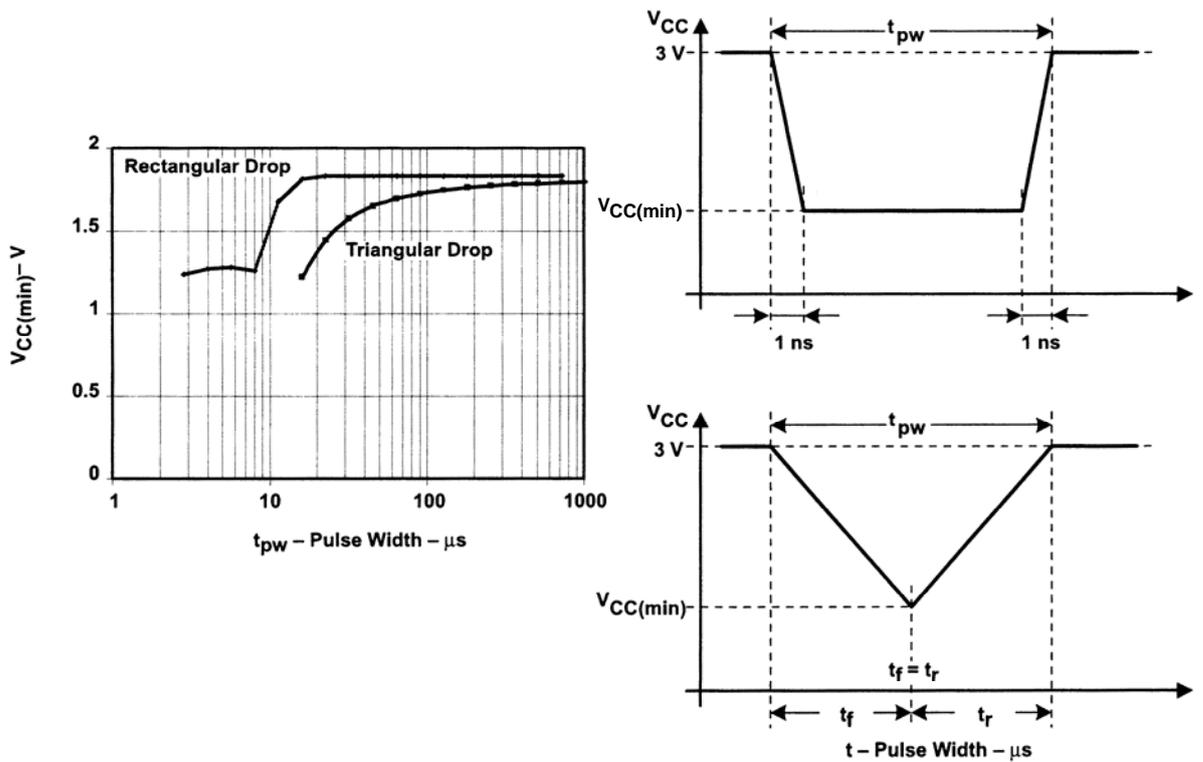


図 18. SVS 信号を生成するための $V_{CC(min)}$ レベル (矩形波電圧及び三角波電圧降下)

推奨動作周囲温度における電気的特性 (特記無き場合) (続き)

DCO

項目	測定条件	V _{CC}	最小	標準	最大	単位
f _(DCOCLK)	N _(DCO) = 01E0h, FN ₈ = FN ₄ = FN ₃ = FN ₂ = 0, D = 2; DCOPLUS = 0	2.2 V/3 V	1			MHz
f _(DCO2)	FN ₈ = FN ₄ = FN ₃ = FN ₂ = 0 ; DCOPLUS = 1	2.2 V	0.3	0.65	1.25	MHz
		3 V	0.3	0.7	1.3	
f _(DCO27)	FN ₈ = FN ₄ = FN ₃ = FN ₂ = 0; DCOPLUS = 1 (注 1)	2.2 V	2.5	5.6	10.5	MHz
		3 V	2.7	6.1	11.3	
f _(DCO2)	FN ₈ = FN ₄ = FN ₃ = 0, FN ₂ = 1; DCOPLUS = 1	2.2 V	0.7	1.3	2.3	MHz
		3 V	0.8	1.5	2.5	
f _(DCO27)	FN ₈ = FN ₄ = FN ₃ = 0, FN ₂ = 1; DCOPLUS = 1 (注 1)	2.2 V	5.7	10.8	18	MHz
		3 V	6.5	12.1	20	
f _(DCO2)	FN ₈ = FN ₄ = 0, FN ₃ = 1, FN ₂ = x; DCOPLUS = 1	2.2 V	1.2	2	3	MHz
		3 V	1.3	2.2	3.5	
f _(DCO27)	FN ₈ = FN ₄ = 0, FN ₃ = 1, FN ₂ = x; DCOPLUS = 1 (注 1)	2.2 V	9	15.5	25	MHz
		3 V	10.3	17.9	28.5	
f _(DCO2)	FN ₈ = 0, FN ₄ = 1, FN ₃ = FN ₂ = x; DCOPLUS = 1	2.2 V	1.8	2.8	4.2	MHz
		3 V	2.1	3.4	5.2	
f _(DCO27)	FN ₈ = 0, FN ₄ = 1, FN ₃ = FN ₂ = x; DCOPLUS = 1 (注 1)	2.2 V	13.5	21.5	33	MHz
		3 V	16	26.6	41	
f _(DCO2)	FN ₈ = 1, FN ₄ = FN ₃ = FN ₂ = x; DCOPLUS = 1	2.2 V	2.8	4.2	6.2	MHz
		3 V	4.2	6.3	9.2	
f _(DCO27)	FN ₈ = 1, FN ₄ = FN ₃ = FN ₂ = x; DCOPLUS = 1 (注 1)	2.2 V	21	32	46	MHz
		3 V	30	46	70	
S _n	隣接した DCO タップ間のステップ・サイズ: S _n = f _{DCO(Tap n+1)} / f _{DCO(Tap n)} (図 20 の タップ 21 ~ 27 参照)	1 < タップ ≤ 20	1.06		1.11	
		タップ = 27	1.07		1.17	
D _t	温度ドリフト、N _(DCO) = 01E0h, FN ₈ = FN ₄ = FN ₃ = FN ₂ = 0, D = 2; DCOPLUS = 0 (注 2)	2.2 V	-0.2	-0.3	-0.4	%/°C
		3 V	-0.2	-0.3	-0.4	
D _v	電源変動によるドリフト、N _(DCO) = 01E0h, FN ₈ = FN ₄ = FN ₃ = FN ₂ = 0, D = 2; DCOPLUS = 0 (注 2)		0	5	15	%/V

(注 1) 最大システム周波数を越えることはできません。

(注 2) これらのパラメータは、量産テストは実施していません。

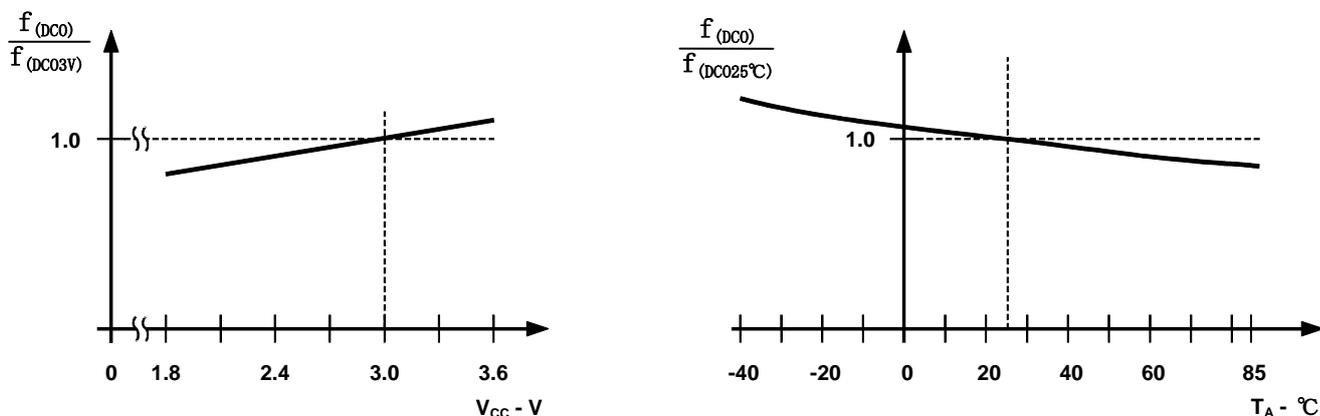


図 19. 電源電圧及び周囲温度 対 DCO 周波数

推奨動作周囲温度における電気的特性 (特記無き場合) (続き)

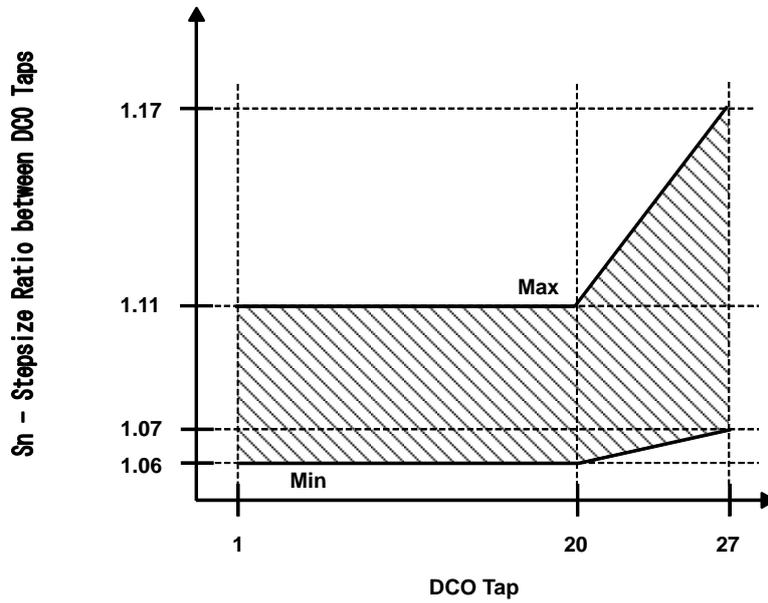


図 20. DCO タップ ステップ・サイズ

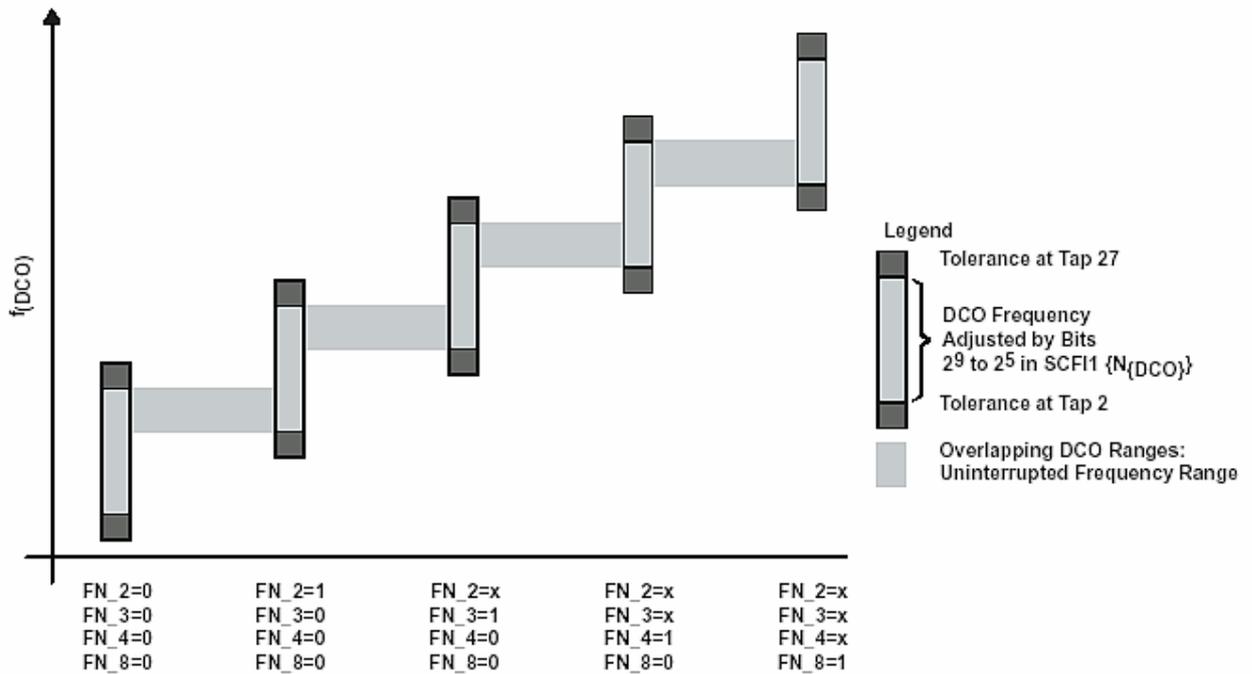


図 21. FN_x ビットによりコントロールされる 5 つの重複した DCO 範囲

推奨動作周囲温度における電気的特性 (特記無き場合) (続き)

クリスタル・オシレータ、LFXT1 オシレータ (注 1、2)

項 目		測定条件	V _{CC}	最小	標準	最大	単位
C _{XIN}	入力容量	OSCCAP _x = 0h	2.2 V/3 V	0		pF	
		OSCCAP _x = 1h	2.2 V/3 V	10			
		OSCCAP _x = 2h	2.2 V/3 V	14			
		OSCCAP _x = 3h	2.2 V/3 V	18			
C _{XOUT}	出力容量	OSCCAP _x = 0h	2.2 V/3 V	0		pF	
		OSCCAP _x = 1h	2.2 V/3 V	10			
		OSCCAP _x = 2h	2.2 V/3 V	14			
		OSCCAP _x = 3h	2.2 V/3 V	18			
V _{IL}	入力レベル (XIN)	(注 3)	2.2 V/3 V	V _{SS}	0.2 x V _{CC}		V
V _{IH}				0.8 x V _{CC}	V _{CC}		

- (注 1) パッケージ及び基板の寄生容量を 2 pF と推定しても構いません。クリスタルの実効負荷容量は、 $(C_{XIN} \times C_{XOUT}) / (C_{XIN} + C_{XOUT})$ で表され、XTS_FLL とは無関係です。
- (注 2) ロー・パワー LFXT1 オシレータの EMI を改善するために、特に LF モード (32 kHz) では以下に示すガイドラインに従って下さい。
- `x41x とクリスタルとの間の配線はできるだけ短くする。
 - オシレータ端子の周辺は、良好なグランド・プレーンとなるように設計する。
 - 他のクロック又はデータ・ラインからオシレータ端子 XIN 及び XOUT へのクロストークを防止する。
 - XIN 及び XOUT 端子の下側又は近くにプリント基板の配線を走らせないようにする。
 - オシレータ端子 XIN 及び XOUT の寄生負荷を防止するための組み立て材料及び組み立て方法を使用する。
 - コーティングを使用する場合は、それがオシレータ端子間に容量/抵抗リークを誘導しないこと。
 - シリアル・プログラミング・アダプタを使用するために、XOUT ラインを JTAG ヘッドへ配線してはいけません。この信号は、シリアル・プログラミング・アダプタには必要ありません。
- (注 3) 外部ロジック・レベル クロック・ソースを使用する場合のみに適用されます。XTS_FLL を設定しなければなりません。クリスタル又はレゾネータを使用する場合は適用されません。

推奨動作周囲温度における電気的特性 (特記無き場合) (続き)

フラッシュ・メモリ

項 目		測定条件	V _{CC}	最小	標準	最大	単位	
V _{CC(PGM/ERASE)}	プログラム/消去時電源電圧			2.7		3.6	V	
f _{FTG}	フラッシュ・タイミング発生器周波数			257		476	kHz	
I _{PGM}	DV _{CC} 消費電流	プログラム時	2.7 V / 3.6 V		3	5	mA	
I _{ERASE}		消去時	2.7 V / 3.6 V		3	7	mA	
t _{CPT}	累積プログラム時間	(注 1)	2.7 V / 3.6 V			4	ms	
t _{CMerase}	累積一括消去時間	(注 2)	2.7 V / 3.6 V	200			ms	
	プログラム/消去回数			10 ⁴	10 ⁶		cycles	
t _{Retention}	データ保持期間	T _J = 25°C		100			years	
t _{Word}	ワード又はバイト・プログラム時間	(注 3)					t _{FTG}	
t _{Block, 0}	先頭バイト又はワード							35
t _{Block, 1- 63}	各後続バイト又はワード							30
t _{Block, End}	終了シーケンスのウェイト時間							21
t _{Mass Erase}	一括消去時間							6
t _{Seg Erase}	セグメント消去時間							5297
						4819		

- (注 1) 64 バイト・フラッシュ・ブロック書き込み動作時は、累積プログラム時間を越えてはいけません。このパラメータは、個々のワード/バイト書き込み及びブロック書き込み・モードのすべてのプログラミング方法に適用されます。
- (注 2) フラッシュ・タイミング発生器によって生成される一括消去時間は、最小 11.1 ms (= 5297 x 1/f_{FTG}, max = 5297 x 1/476 kHz) です。必要な累積一括消去時間を達成するために、フラッシュ・コントローラの一括消去動作を繰り返すことができます。(ワースト・ケースで最小 19 サイクル必要です。)
- (注 3) これらの値は、フラッシュ・コントローラのステート・マシンにハード・ワイヤードされています。(t_{FTG} = 1/f_{FTG})

JTAG インタフェース

項 目		測定条件	V _{CC}	最小	標準	最大	単位
f _{TCK}	TCK 入力周波数	(注 1)	2.2 V	0		5	MHz
			3 V	0		10	
R _{Internal}	内部プルアップ抵抗 (TMS, TCK, TDI/TCLK)	(注 2)	2.2 V / 3 V	25	60	90	kΩ

- (注 1) f_{TCK} は、選択されたモジュールのタイミング条件に適合するように制限されます。
- (注 2) TMS, TDI/TCLK、及び TCK プルアップ抵抗は、すべてのバージョンに内蔵されています。

JTAG ヒューズ (注 1)

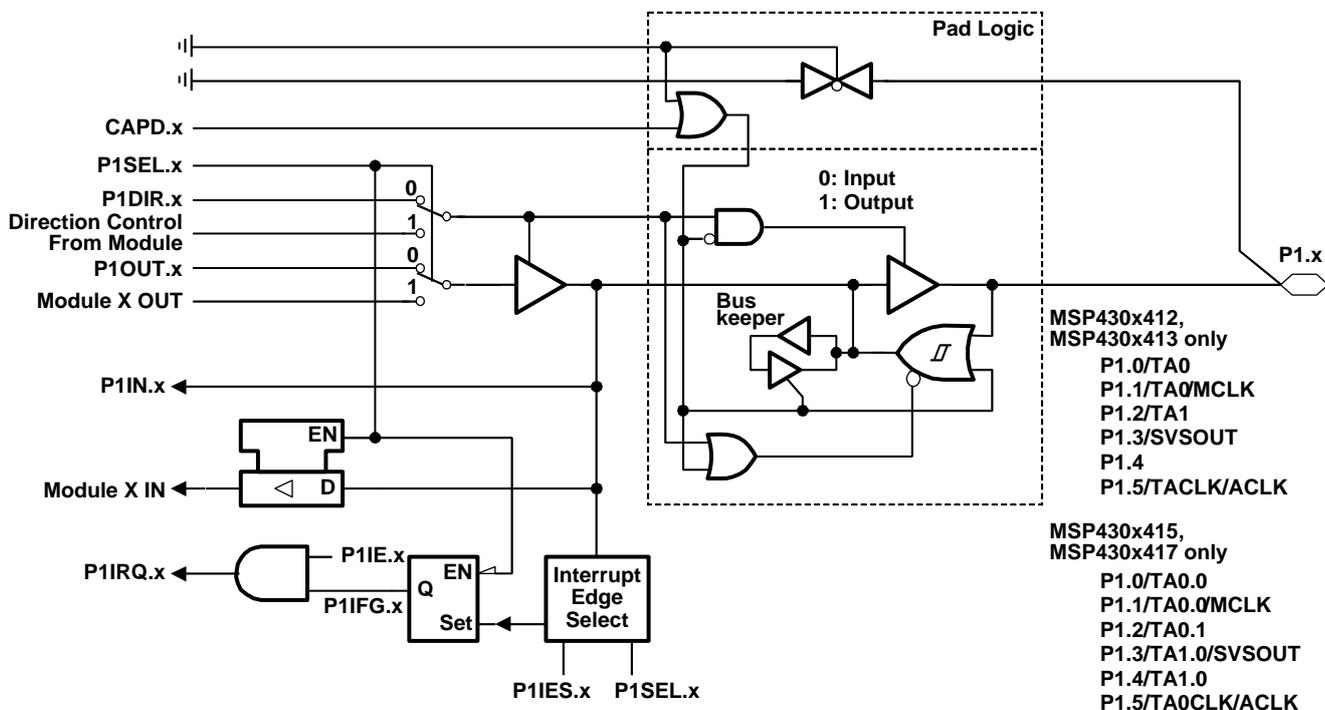
項 目		測定条件	V _{CC}	最小	標準	最大	単位
V _{CC(FB)}	ヒューズ切断時の電源電圧	T _A = 25°C		2.5			V
V _{FB}	ヒューズ切断電圧 (TDI/TCLK) - `C41x			3.5		3.9	V
	ヒューズ切断電圧 (TDI/TCLK) - `F41x			6		7	
I _{FB}	ヒューズ切断時の TDI/TCLK 端子の消費電流					100	mA
t _{FB}	ヒューズ切断時間					1	ms

- (注 1) ヒューズが切断されると、二度と MSP430 の JTAG /テスト機能へアクセスすることができなくなります。JTAG ブロックは、バイパス・モードに切り換わります。

アプリケーション情報

入力/出力図

ポート P1、P1.0 ~ P1.5 (シュミット・トリガ入力/出力)



(注) $0 \leq x \leq 5$
 CAPD. x = 0 の時、ポート機能はアクティブ

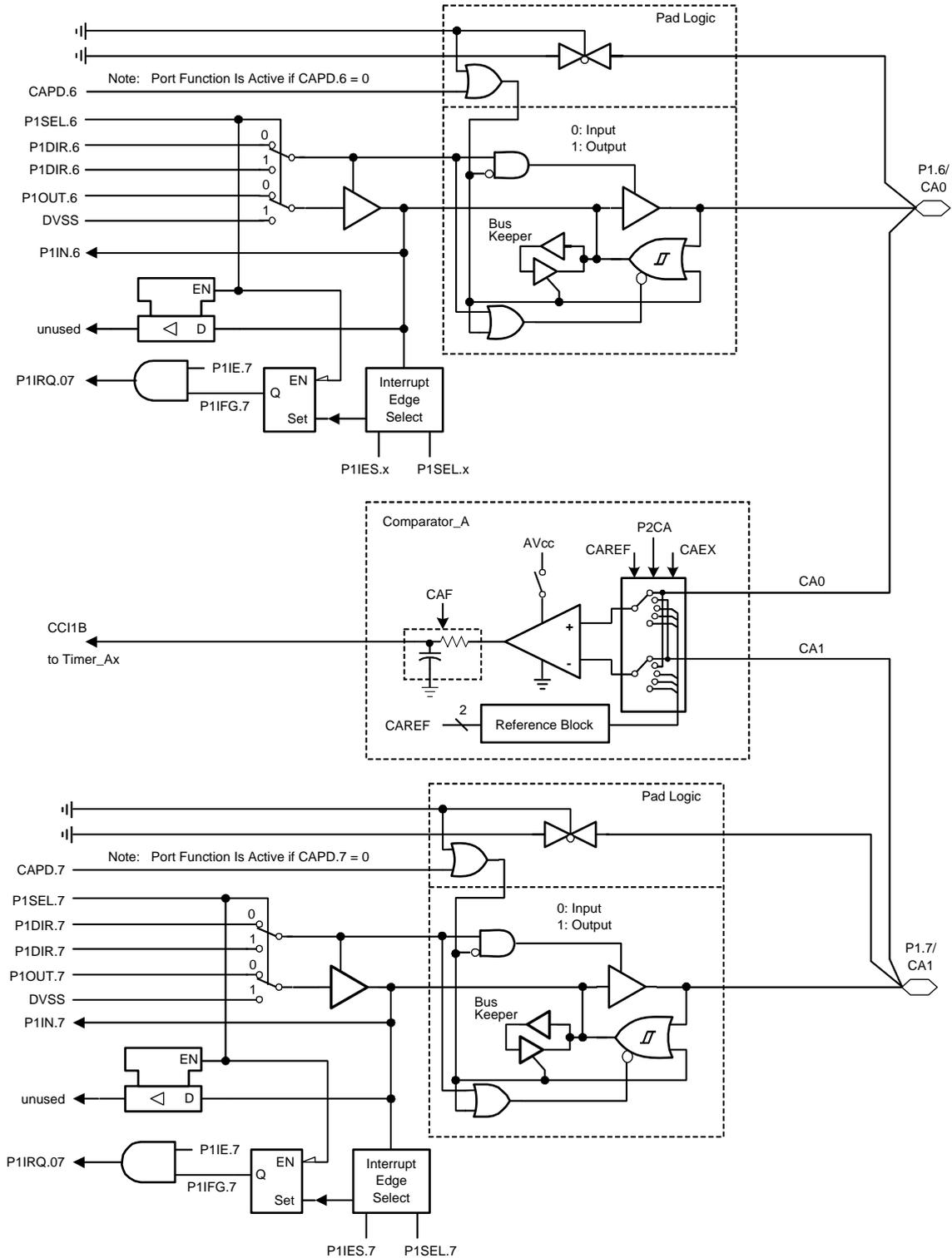
PnSEL.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnIES.x
P1SEL.0	P1DIR.0	P1DIR.0	P1OUT.0	Out0 Sig.†	P1IN.0	CCI0A†	P1IE.0	P1IFG.0	P1IES.0
P1SEL.1	P1DIR.1	P1DIR.1	P1OUT.1	MCLK	P1IN.1	CCI0B†	P1IE.1	P1IFG.1	P1IES.1
P1SEL.2	P1DIR.2	P1DIR.2	P1OUT.2	Out1 Sig.†	P1IN.2	CCI1A†	P1IE.2	P1IFG.2	P1IES.2
P1SEL.3	P1DIR.3	P1DIR.3	P1OUT.3	SVSOUT	P1IN.3	Unused	P1IE.3	P1IFG.3	P1IES.3
P1SEL.4	P1DIR.4	P1DIR.4	P1OUT.4	DVSS‡ Out0 Sig.‡	P1IN.4	Unused‡ CCI0A‡	P1IE.4	P1IFG.4	P1IES.4
P1SEL.5	P1DIR.5	P1DIR.5	P1OUT.5	ACLK	P1IN.5	TACLK†	P1IE.5	P1IFG.5	P1IES.5

† タイマ_A3/タイマ 0_A3
 ‡ タイマ 1_A5 (MSP430x415、MSP430x417 のみ)
 § MSP430x412、MSP430x413 のみ

アプリケーション情報

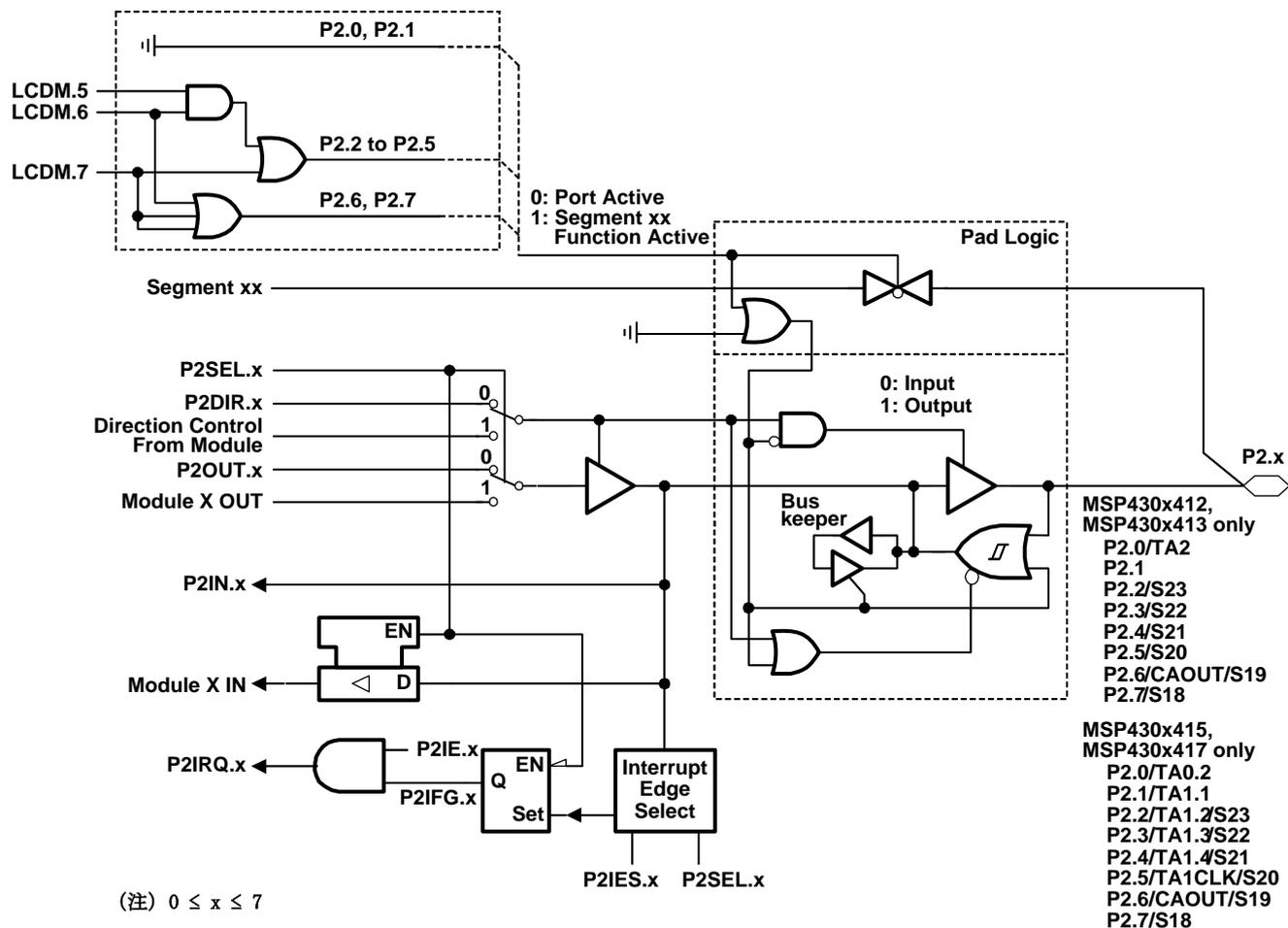
入力/出力図

ポート P1、P1.6、P1.7 (シュミット・トリガ入力/出力)



入力/出力図 (続き)

ポート P2、P2.0 ~ P2.7 (シュミット・トリガ入力/出力)



(注) 0 ≤ x ≤ 7

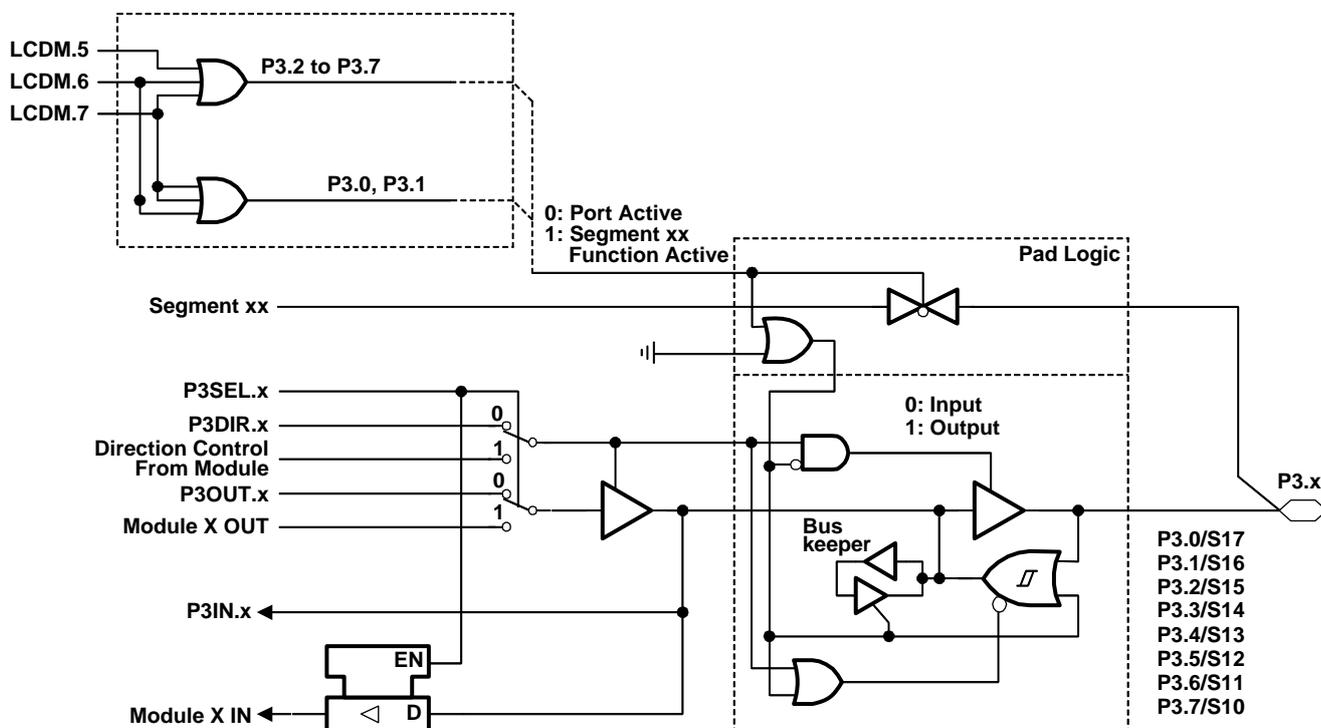
PnSEL.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnIES.x
P2SEL.0	P2DIR.0	P2DIR.0	P2OUT.0	Out2 Sig†	P2IN.0	CC12A†	P2IE.0	P2IFG.0	P2IES.0
P2SEL.1	P2DIR.1	P2DIR.1	P2OUT.1	DVSS§ Out1 Sig‡	P2IN.1	Unused§ CC11A†	P2IE.1	P2IFG.1	P2IES.1
P2SEL.2	P2DIR.2	P2DIR.2	P2OUT.2	DVSS§ Out2 Sig‡	P2IN.2	Unused§ CC12A†	P2IE.2	P2IFG.2	P2IES.2
P2SEL.3	P2DIR.3	P2DIR.3	P2OUT.3	DVSS§ Out3 Sig‡	P2IN.3	Unused§ CC13A†	P2IE.3	P2IFG.3	P2IES.3
P2SEL.4	P2DIR.4	P2DIR.4	P2OUT.4	DVSS§ Out4 Sig‡	P2IN.4	Unused§ CC14A†	P2IE.4	P2IFG.4	P2IES.4
P2SEL.5	P2DIR.5	P2DIR.5	P2OUT.5	DVSS	P2IN.5	Unused§ TA1CLK‡	P2IE.5	P2IFG.5	P2IES.5
P2SEL.6	P2DIR.6	P2DIR.6	P2OUT.6	CAOUT	P2IN.6	Unused	P2IE.6	P2IFG.6	P2IES.6
P2SEL.7	P2DIR.7	P2DIR.7	P2OUT.7	DVSS	P2IN.7	Unused	P2IE.7	P2IFG.7	P2IES.7

† タイマ_A3/タイマ_0_A3
 ‡ タイマ_1_A5 (MSP430x415、MSP430x417 のみ)
 § MSP430x412、MSP430x413 のみ

アプリケーション情報

入力/出力図 (続き)

ポート P3、P3.0、P3.7 (シュミット・トリガ入力/出力)



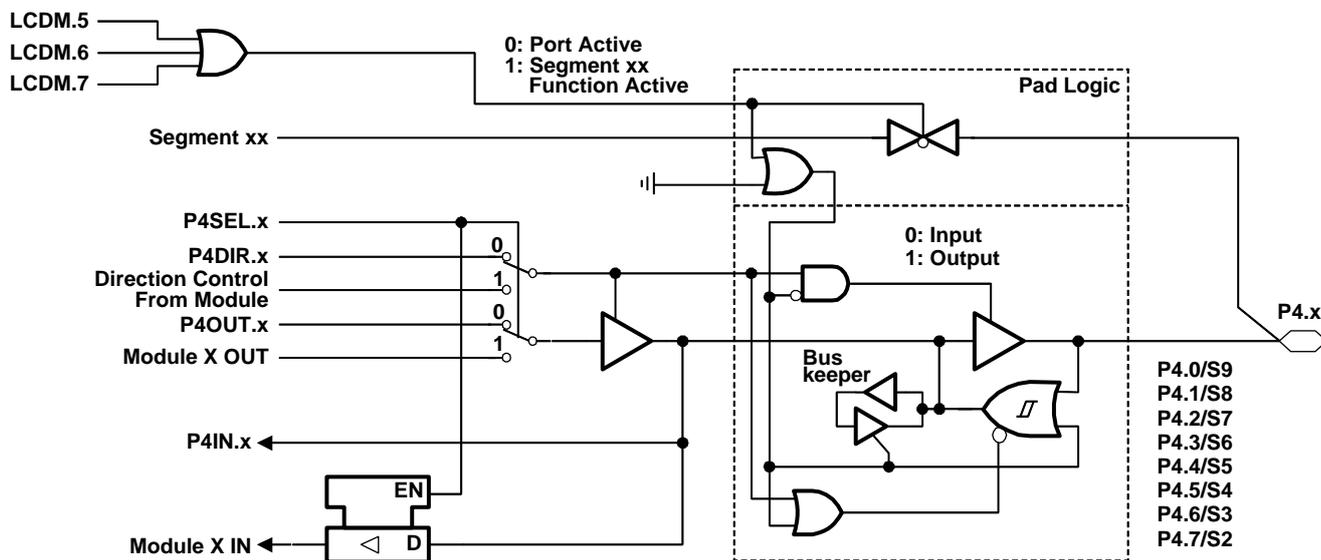
(注) $0 \leq x \leq 7$

PnSEL.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P3SEL.0	P3DIR.0	P3DIR.0	P3OUT.0	DVSS	P3IN.0	Unused
P3SEL.1	P3DIR.1	P3DIR.1	P3OUT.1	DVSS	P3IN.1	Unused
P3SEL.2	P3DIR.2	P3DIR.2	P3OUT.2	DVSS	P3IN.2	Unused
P3SEL.3	P3DIR.3	P3DIR.3	P3OUT.3	DVSS	P3IN.3	Unused
P3SEL.4	P3DIR.4	P3DIR.4	P3OUT.4	DVSS	P3IN.4	Unused
P3SEL.5	P3DIR.5	P3DIR.5	P3OUT.5	DVSS	P3IN.5	Unused
P3SEL.6	P3DIR.6	P3DIR.6	P3OUT.6	DVSS	P3IN.6	Unused
P3SEL.7	P3DIR.7	P3DIR.7	P3OUT.7	DVSS	P3IN.7	Unused

アプリケーション情報

入力/出力図 (続き)

ポート P4、P4.0 ~ P4.7 (シュミット・トリガ入力/出力)



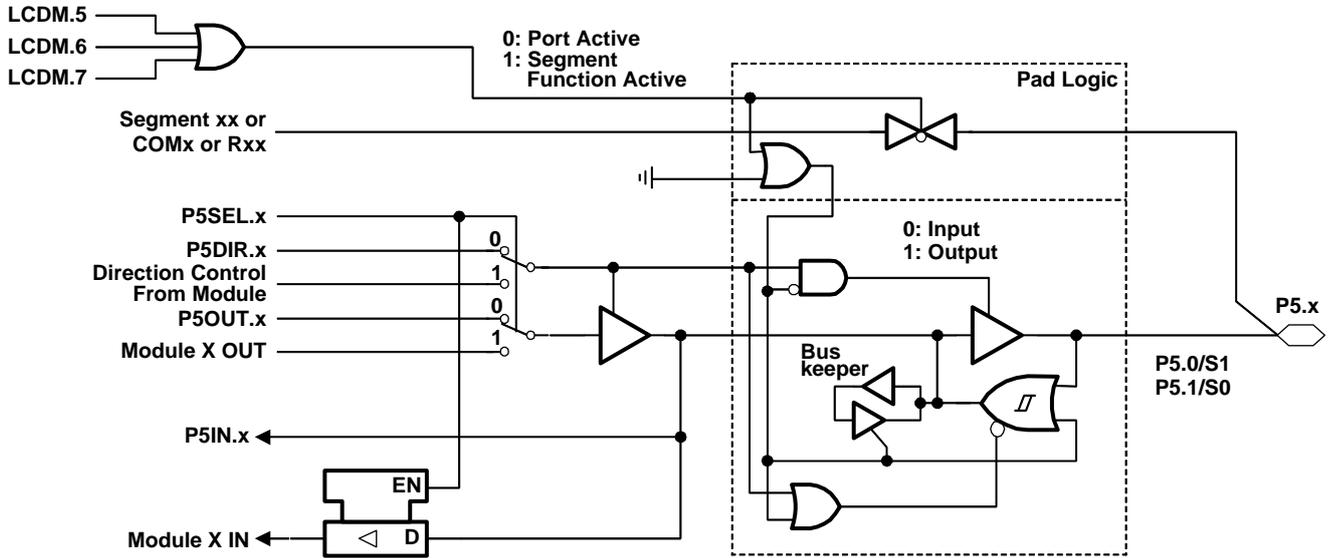
(注) $0 \leq x \leq 7$

PnSEL.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P4SEL.0	P4DIR.0	P4DIR.0	P4OUT.0	DVSS	P4IN.0	Unused
P4SEL.1	P4DIR.1	P4DIR.1	P4OUT.1	DVSS	P4IN.1	Unused
P4SEL.2	P4DIR.2	P4DIR.2	P4OUT.2	DVSS	P4IN.2	Unused
P4SEL.3	P4DIR.3	P4DIR.3	P4OUT.3	DVSS	P4IN.3	Unused
P4SEL.4	P4DIR.4	P4DIR.4	P4OUT.4	DVSS	P4IN.4	Unused
P4SEL.5	P4DIR.5	P4DIR.5	P4OUT.5	DVSS	P4IN.5	Unused
P4SEL.6	P4DIR.6	P4DIR.6	P4OUT.6	DVSS	P4IN.6	Unused
P4SEL.7	P4DIR.7	P4DIR.7	P4OUT.7	DVSS	P4IN.7	Unused

アプリケーション情報

入力/出力図 (続き)

ポート P5、P5.0、P5.1 (シュミット・トリガ入力/出力)



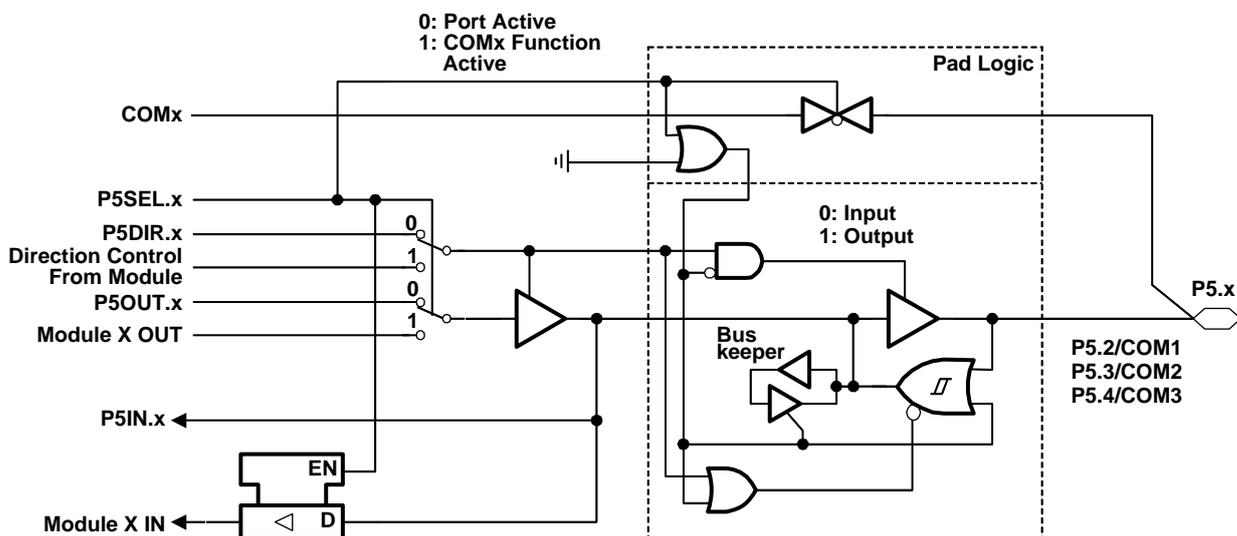
(注) x = 0, 1

PnSEL.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	Segment
P5SEL.0	P5DIR.0	P5DIR.0	P5OUT.0	DVSS	P5IN.0	Unused	S1
P5SEL.1	P5DIR.1	P5DIR.1	P5OUT.1	DVSS	P5IN.1	Unused	S0

アプリケーション情報

入力/出力図 (続き)

ポート P5、P5.2、P5.4 (シュミット・トリガ入力/出力)



(注) $2 \leq x \leq 4$

PnSEL.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	COMx
P5SEL.2	P5DIR.2	P5DIR.2	P5OUT.2	DVSS	P5IN.2	Unused	COM1
P5SEL.3	P5DIR.3	P5DIR.3	P5OUT.3	DVSS	P5IN.3	Unused	COM2
P5SEL.4	P5DIR.4	P5DIR.4	P5OUT.4	DVSS	P5IN.4	Unused	COM3

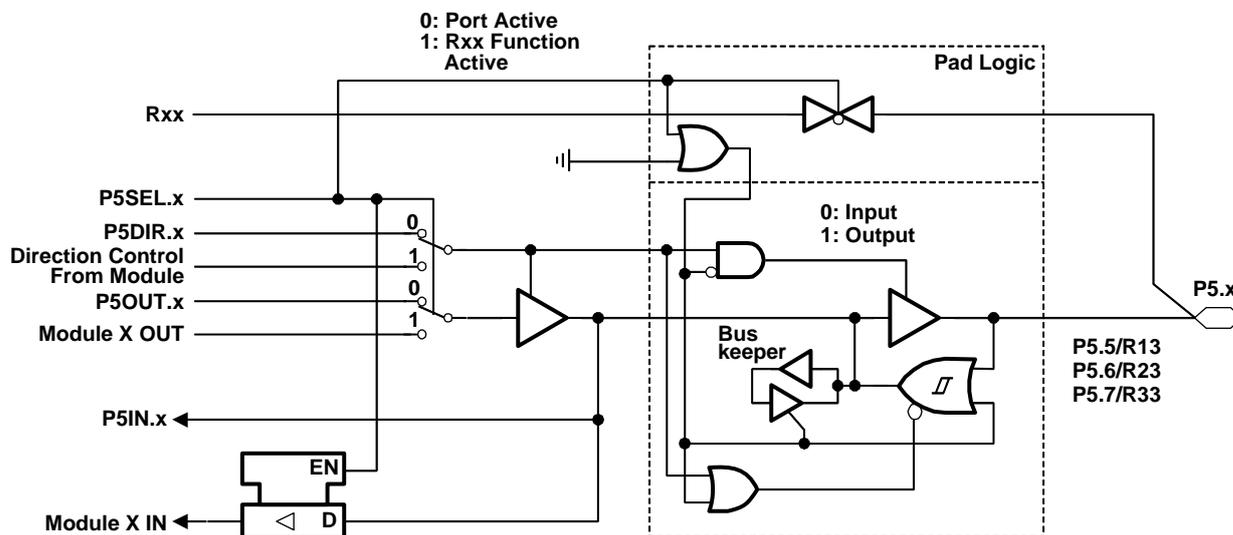
(注)

方向制御ビットP5SEL.2、P5SEL.3、及びP5SEL.4は、ポート及び共通機能の識別のために使用されます。4MUX LCDはすべてのコモン信号COM3～COM0を必要とし、3MUX LCDはCOM2～COM0を必要とし、2MUX LCDはCOM1～COM0を必要とし、スタティックLCDはCOM0のみを必要とします。

アプリケーション情報

入力/出力図 (続き)

ポート P5、P5.5 ~ P5.7 (シュミット・トリガ入力/出力)



(注) $5 \leq x \leq 7$

PnSEL.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	Rxx
P5SEL.5	P5DIR.5	P5DIR.5	P5OUT.5	DVSS	P5IN.5	Unused	R13
P5SEL.6	P5DIR.6	P5DIR.6	P5OUT.6	DVSS	P5IN.6	Unused	R23
P5SEL.7	P5DIR.7	P5DIR.7	P5OUT.7	DVSS	P5IN.7	Unused	R33

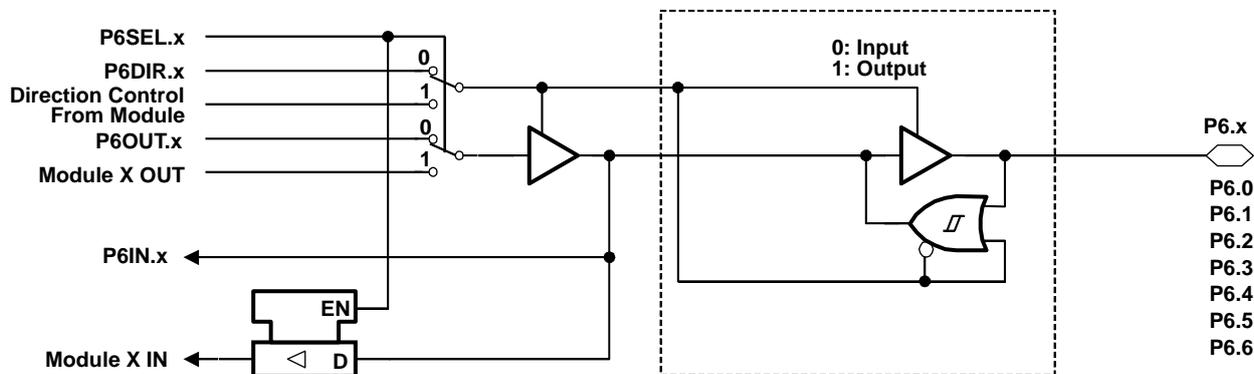
(注)

方向制御ビット P5SEL. 5、P5SEL. 6、及び P5SEL. 7 は、ポート及び LCD アナログ・レベル機能の識別のために使用されます。4MUX 及び 3MUX LCD はすべての Rxx 信号 R33 ~ R03 を必要とし、2MUX LCD は R33、R13、及び R03 を必要とし、スタティック LCD は R33 及び R03 のみを必要とします。

アプリケーション情報

入力/出力図 (続き)

ポート P6、P6.0 ~ P6.6 (シュミット・トリガ入力/出力)



(注) : $0 \leq x \leq 6$

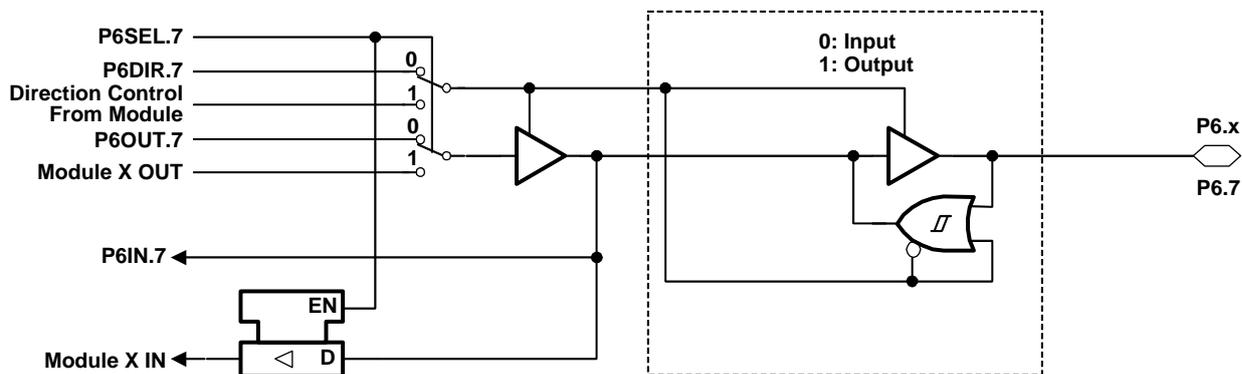
PnSEL.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P6SEL.0	P6DIR.0	P6DIR.0	P6OUT.0	DVSS	P6IN.0	Unused
P6SEL.1	P6DIR.1	P6DIR.1	P6OUT.1	DVSS	P6IN.1	Unused
P6SEL.2	P6DIR.2	P6DIR.2	P6OUT.2	DVSS	P6IN.2	Unused
P6SEL.3	P6DIR.3	P6DIR.3	P6OUT.3	DVSS	P6IN.3	Unused
P6SEL.4	P6DIR.4	P6DIR.4	P6OUT.4	DVSS	P6IN.4	Unused
P6SEL.5	P6DIR.5	P6DIR.5	P6OUT.5	DVSS	P6IN.5	Unused
P6SEL.6	P6DIR.6	P6DIR.6	P6OUT.6	DVSS	P6IN.6	Unused

アプリケーション情報

入力/出力図 (続き)

ポート P6、P6.7 (シュミット・トリガ入力/出力)

MSP430x412/413 のみ



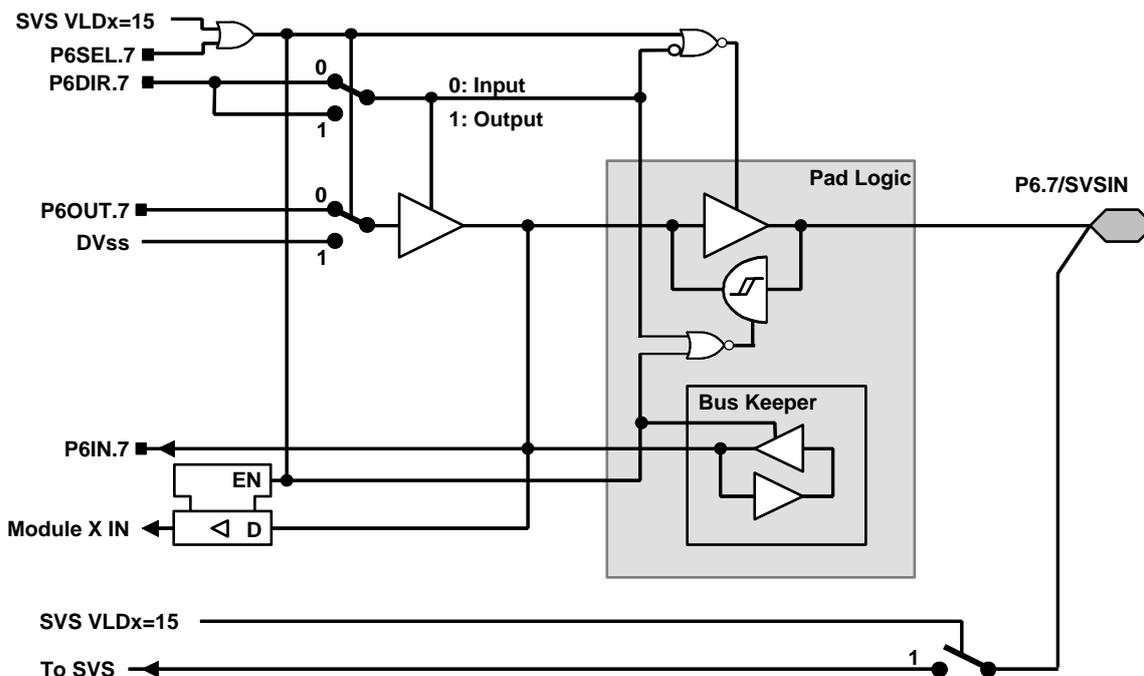
PnSEL.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P6SEL.7	P6DIR.7	P6DIR.7	P6OUT.7	DVSS	P6IN.7	Unused

アプリケーション情報

入力/出力図 (続き)

ポート P6、P6.7 (シュミット・トリガ入力/出力)

MSP430F415/417 のみ

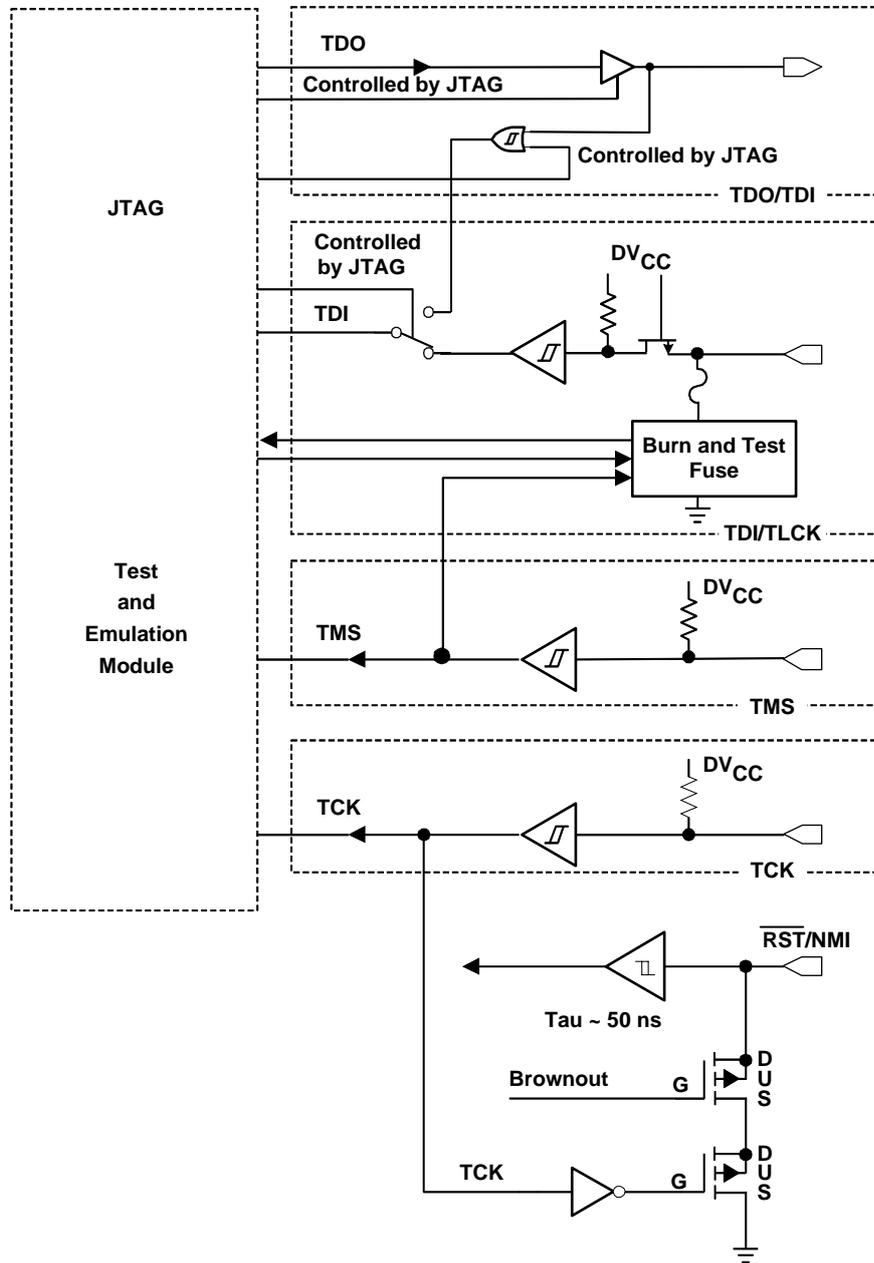


(注) デジタル・ゲートにアナログ信号を印加すると、正端子から負端子へ電流が流れる可能性があります。アナログ信号が 0 → 1 又は 1 → 0 に変化する領域で貫通電流が流れます。貫通電流の値は、ゲートのドライブ能力に依存します。MSP430 では約 100 μ A です。
 貫通電流を防ぐには、P6SEL.x = 1 を使用して下さい。この端子にアナログ信号を印加する時は、P6SEL.x を設定しなければなりません。

SVS VLDx = 15	P6SEL.7	P6DIR.7	Port Function
0	0	0	P6.7 Input
0	0	1	P6.7 Output
0	1	X	Undefined
1	X	X	SVSIN

アプリケーション情報

JTAG 端子 TMS、TCK、TDI/TCLK、TDO/TDI (シュミット・トリガ入力/出力又は出力)



アプリケーション情報

JTAG ヒューズ・チェック・モード

MSP430 デバイスは、TDI/TCLK 端子にヒューズを持っており、パワー・オン・リセット (POR) 直後の 1 回目に JTAG にアクセスしてヒューズの導通をテストするヒューズ・チェック・モードを装備しています。機能させている場合、ヒューズが切られていなければ、3 V で 1.8 mA の I_{TF} チェック電流が TDI/TCLK 端子からグラウンドに流れます。誤ってヒューズ・チェック・モードを起動させたり、システムの総消費電流を増加させたりしないよう注意して下さい。

パワー・アップの後の TMS の最初の立ち下がりエッジを伴って、又は TMS がロー・レベルに保持された状態でのパワー・アップ後、ヒューズ・チェック・モード機能が起動します。次の TMS の立ち上がりエッジでヒューズ・チェック・モードを停止します。停止後、ヒューズ・チェック・モードは、次の POR が発生するまで休止します。各 POR 後に、ヒューズ・チェック・モードが動作することになります。

ヒューズ・チェック電流は、ヒューズ・チェック・モードが動作していて、TMS がロー・レベル (図 22 参照) の時に発生します。従って、TMS をハイ・レベル (初期設定条件) にすることにより、電流の流出を防止することができます。

JTAG 端子は内部で終端されていますので、外部で終端する必要はありません。

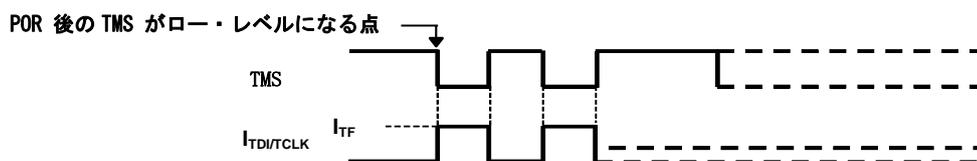


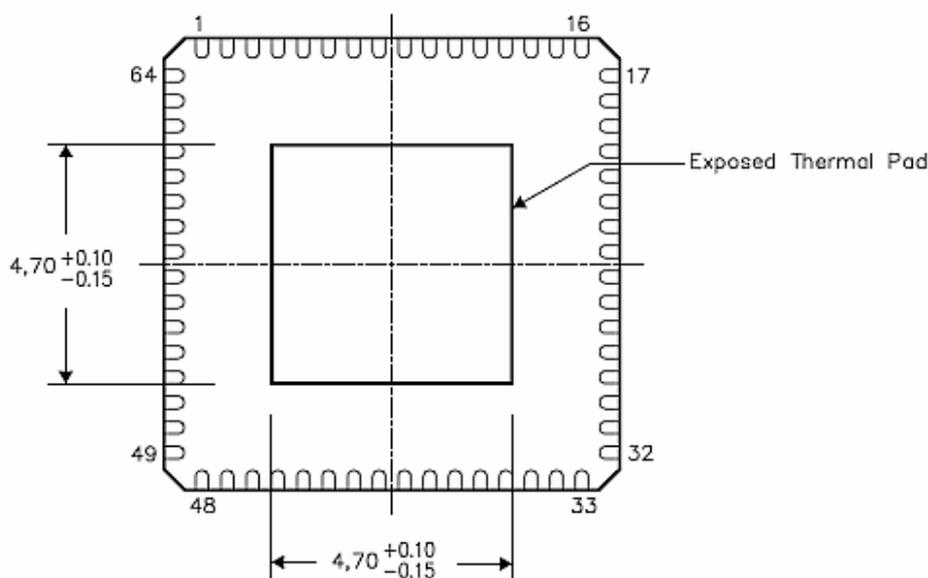
図 22. ヒューズ・チェック・モード電流、MSP430C41x、MSP430F41x

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB), the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to a ground plane or special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No-Lead (QFN) package and its advantages, refer to Application Report, Quad Flatpack No-Lead Logic Packages, Texas Instruments Literature No. SCBA017. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Bottom View

NOTE: All linear dimensions are in millimeters

Exposed Thermal Pad Dimensions

PACKAGING INFORMATION

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
MSP430F412IPM	ACTIVE	LQFP	PM	64	160	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
MSP430F412IPMR	ACTIVE	LQFP	PM	64	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
MSP430F412IRTDR	ACTIVE	QFN	RTD	64	2500	Green (RoHS & no Sb/Br)	Call TI	Level-2-260C-1 YEAR
MSP430F412IRTD	ACTIVE	QFN	RTD	64	250	TBD	Call TI	Call TI
MSP430F413IPM	ACTIVE	LQFP	PM	64	160	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
MSP430F413IPMR	ACTIVE	LQFP	PM	64	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
MSP430F413IRTDR	ACTIVE	QFN	RTD	64	2500	TBD	Call TI	Call TI
MSP430F413IRTD	ACTIVE	QFN	RTD	64	250	TBD	Call TI	Call TI
MSP430F415IPM	ACTIVE	LQFP	PM	64	160	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
MSP430F415IPMR	ACTIVE	LQFP	PM	64	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
MSP430F417IPM	ACTIVE	LQFP	PM	64	160	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
MSP430F417IPMR	ACTIVE	LQFP	PM	64	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR

⁽¹⁾ The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

⁽²⁾ Eco Plan - The planned eco-friendly classification: Pb-Free (RoHS) or Green (RoHS & no Sb/Br) - please check <http://www.ti.com/productcontent> for the latest availability information and additional product content details.

TBD: The Pb-Free/Green conversion plan has not been defined.

Pb-Free (RoHS): TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.

Green (RoHS & no Sb/Br): TI defines "Green" to mean Pb-Free (RoHS compatible), and free of Bromine (Br) and Antimony (Sb) based flame retardants (Br or Sb do not exceed 0.1% by weight in homogeneous material)

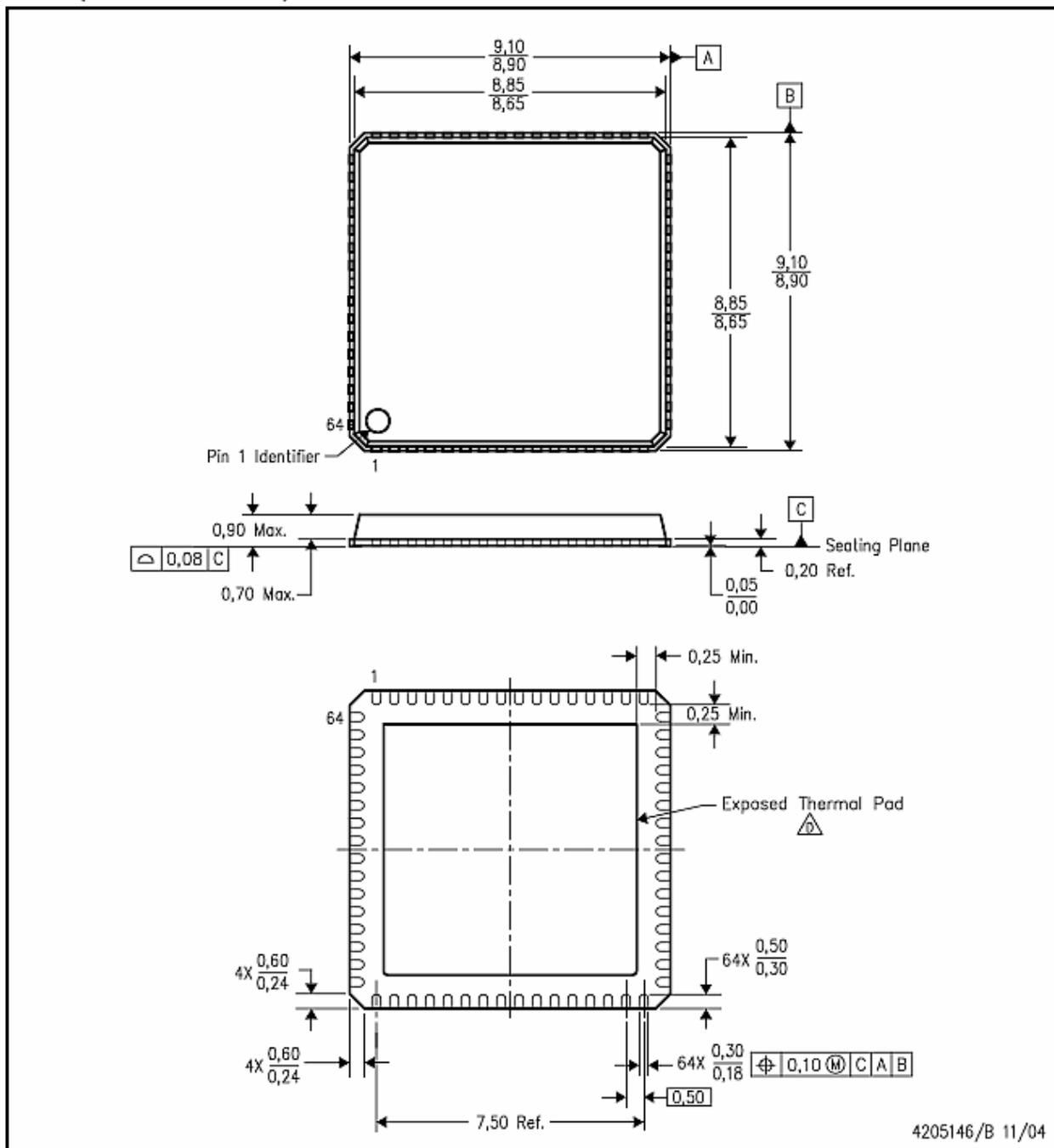
⁽³⁾ MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

RTD (S-PQFP-N64)

PLASTIC QUAD FLATPACK



(注 A) すべての寸法の単位は mm とします。寸法及び許容差は、ASME Y14. 5M-1994 に従っています。

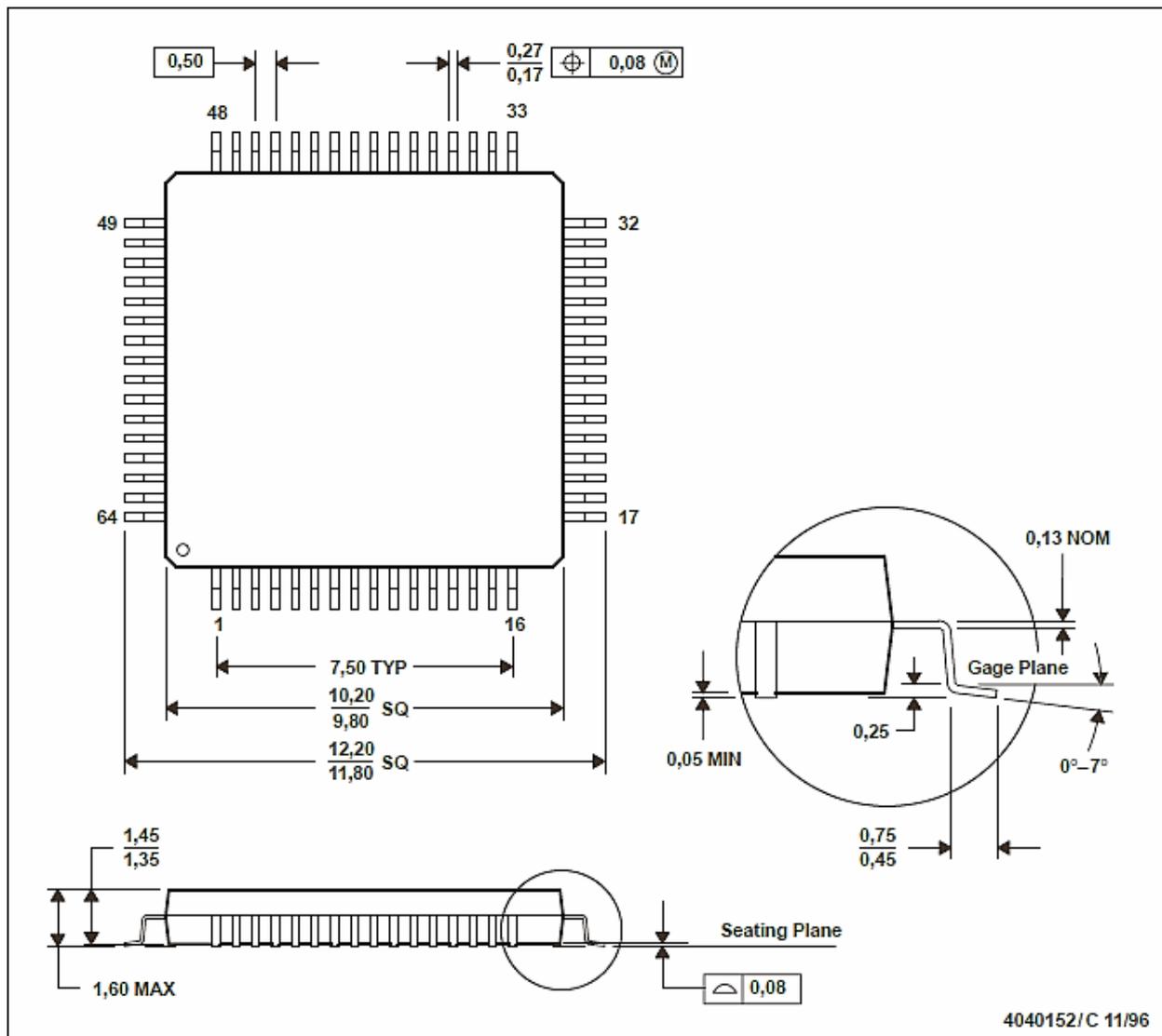
(注 B) この図面は予告なく変更されることがあります。

(注 C) Quad Flatpack No-leads (QFN) パッケージ

(注 D) 熱的及び機械的性能のため、パッケージの放熱パッドはプリント基板にはんだ付けしなければなりません。露出した放熱パッドの寸法の詳細は、製品のデータシートを参照して下さい。

PM (S-PQFP-G64)

PLASTIC QUAD FLATPACK



(注 A) すべての寸法の単位は mm とします。

(注 B) この図面は予告なく変更されることがあります。

(注 C) JEDEC MS-026 に相当します。

(注 D) リードがチップのパッドに接続された熱特性の強化されたプラスチック・パッケージ

(SLAS340G - MAY 2001 - REVISED JUNE 2004)

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款をご覧ください。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2005, Texas Instruments Incorporated

日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - んだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - んだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - んだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上