

- 低電源電圧範囲 : 1.8 V ~ 3.6 V
- 超低消費電力 :
 - アクティブ・モード : 160 μ A (1 MHz、2.2 V)
 - スタンバイ・モード : 0.7 μ A
 - オフ・モード (RAM データ保持) : 0.1 μ A
- スタンバイ・モードから 6 μ s 以下でウェークアップ
- 16 ビット RISC アーキテクチャ、
125 ns インストラクション・サイクル・タイム
- Basic Clock モジュール構成
 - 色々な内部抵抗
 - 1 つの外部抵抗
 - 32 kHz クリスタル
 - 高周波数クリスタル
 - レゾネータ
 - 外部クロック源
- 16 ビット タイマ_A (3 つのキャプチャ/コンペア・レジスタ付き)
- アナログ信号コンペア機能又はスロープ A/D 変換のためのオン・チップ・コンパレータ

- シリアル・オンボード・プログラミング、
外部プログラミング電圧不要、
セキュリティ・ヒューズによるプログラム可能な
コード保護
- ファミリ製品 :

MSP430C1101 :	1KB ROM、128B RAM
MSP430C1111 :	2KB ROM、128B RAM
MSP430C1121 :	4KB ROM、256B RAM
MSP430F1101A :	1KB + 128B フラッシュ・メモリ、 128B RAM
MSP430F1111A :	2KB + 256B フラッシュ・メモリ、 128B RAM
MSP430F1121A :	4KB + 256B フラッシュ・メモリ、 256B RAM
- 20 ピン プラスチック SOWB、20 ピン プラスチック TSSOP、20 ピン TVSOP (F11x1A のみ)、及び 24 ピン QFN パッケージ
- モジュールの詳細は、*MSP430x1xx ファミリ ユーザーズ・ガイド* 資料番号 SLAU049 を参照して下さい。

概要

テキサス・インスツルメンツの超低消費電力マイクロコントローラ MSP430 ファミリは、色々なアプリケーションのための異なる種類のペリフェラル・デバイスで構成されています。5つの低消費電力モードをもつたアーキテクチャは、携帯型計測機器アプリケーションのバッテリ寿命を延ばすために最適化されています。デバイスには、パワフルな 16 ビット RISC CPU、16 ビット レジスタ、及び最大コード効率のためのコンスタント・ジェネレータが搭載されています。デジタル・コントロール・オシレータ (DCO) により、低消費電力モードからアクティブ・モードへのウェークアップが 6 μ s 以内で行われます。

MSP430x11x1(A) シリーズは、16 ビット タイマ、多用途アナログ・コンパレータ、及び 14 個の I/O 端子を内蔵した超低消費電力ミックスド・シグナル・マイクロコントローラです。

標準的なアプリケーションとしては、アナログ信号を取得し、デジタル値に変換し、表示のため又はホスト・システムへの送信のためにデータを処理するセンサ・システムがあります。もう 1 つのアプリケーションの分野では、スタンダード・アロン RF センサがあります。アナログ・コンパレータにより、スロープ A/D 変換が可能です。

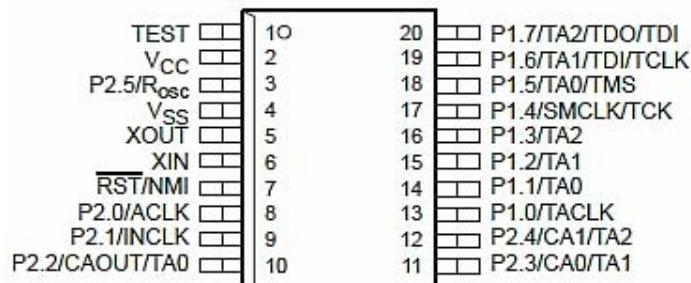
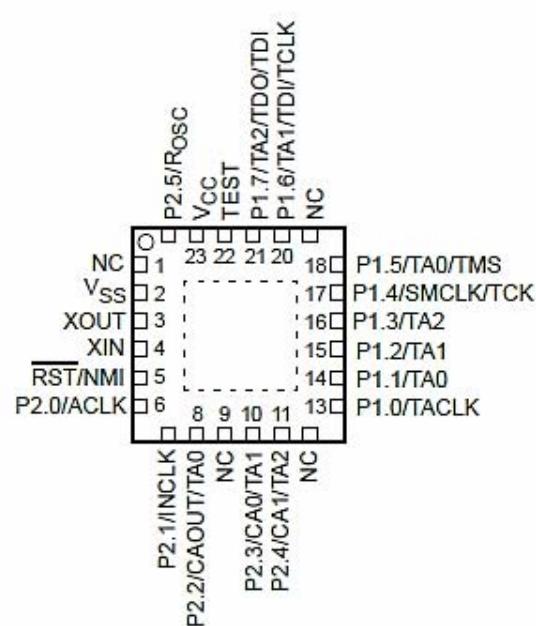
製品オプション

T_A	パッケージ・デバイス			
	プラスチック 20 ピン SOWB (DW)	プラスチック 20 ピン TSSOP (PW)	プラスチック 20 ピン TVSOP (DGV)	プラスチック 24 ピン QFN (RGE)
-40°C ~ 85°C	MSP430C1101IDW MSP430C1111IDW MSP430C1121IDW MSP430F1101AIDW MSP430F1111AIDW MSP430F1121AIDW	MSP430C1101IPW MSP430C1111IPW MSP430C1121IPW MSP430F1101AIPW MSP430F1111AIPW MSP430F1121AIPW	MSP430F1101AIDGV MSP430F1111AIDGV MSP430F1121AIDGV	MSP430C1101IRGE MSP430C1111IRGE MSP430C1121IRGE MSP430F1101AIRGE MSP430F1111AIRGE MSP430F1121AIRGE



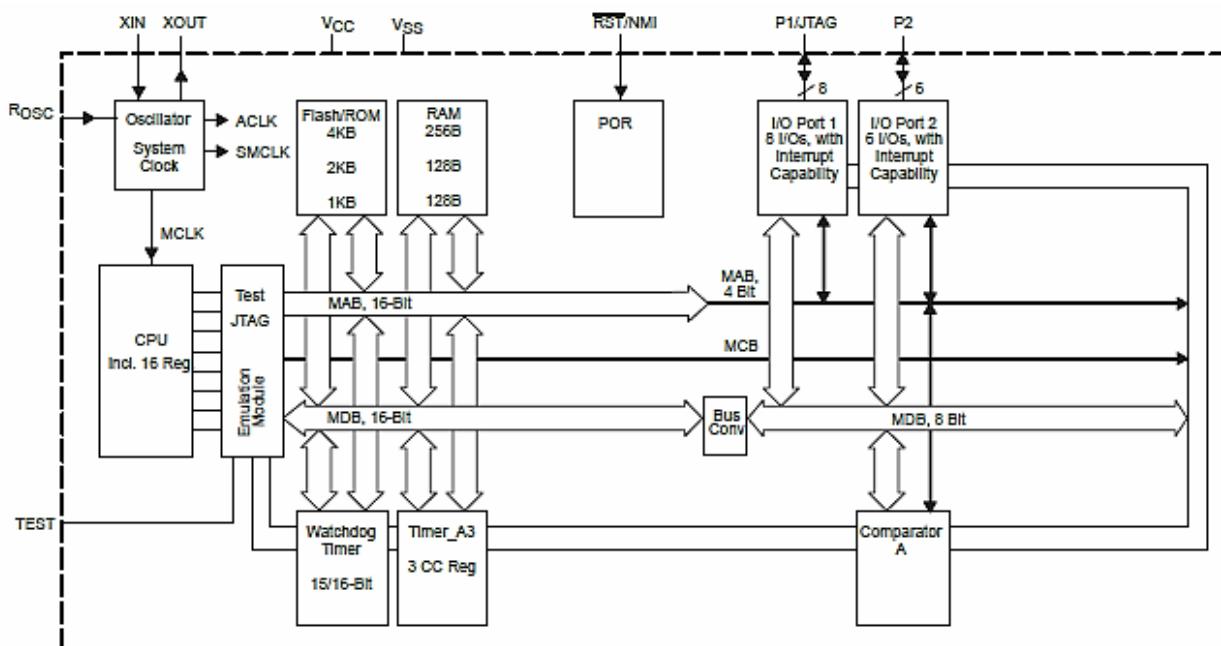
テキサス・インスツルメンツの半導体製品の供給状況、標準保証、及び重大用途における使用に関しては、重要なご注意がこのデータ・シートの終わりに掲載されていますので、ご参照下さい。

この資料は、Texas Instruments Incorporated(TI)が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討及びご採用にあたりましては、必ず正規英語版の最新資料をご確認下さい。TI 及び日本TIは、正規英語版にて更新の情報を提供しているにも関わらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

DW、PW、DGV パッケージ
(上面図)RGE パッケージ
(上面図)

(注) NC 端子は内部で接続されていません。
放熱パッドは V_{SS} に接続することを推奨します。

機能ブロック図



端子機能表

端 子				機 能
名 前	DW、PW、DGV 番号	RGE 番号	I/O	
P1.0/TACLK	13	13	I/O	汎用デジタル I/O / タイマ_A、クロック信号 TACLK 入力
P1.1/TA0	14	14	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI0A 入力、コンペア: Out0 出力 / BSL 送信
P1.2/TA1	15	15	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI1A 入力、コンペア: Out1 出力
P1.3/TA2	16	16	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI2A 入力、コンペア: Out2 出力
P1.4/SMCLK/TCK	17	17	I/O	汎用デジタル I/O / SMCLK 信号出力 / テスト・クロック、デバイス・プログラミング及びテストのための入力
P1.5/TA0/TMS	18	18	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out0 出力 / テスト・モード選択、デバイス・プログラミング及びテストのための入力
P1.6/TA1/TDI/TCLK	19	20	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out1 出力 / テスト・データ入力又はテスト・クロック入力
P1.7/TA2/TDO/TDI †	20	21	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out2 出力 / テスト・データ出力又はプログラミング時のデータ入力
P2.0/ACLK	8	6	I/O	汎用デジタル I/O / ACLK 出力
P2.1/INCLK	9	7	I/O	汎用デジタル I/O / タイマ_A、INCLK クロック信号
P2.2/CAOUT/TA0	10	8	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI0B 入力 / コンパレータ_A 出力 / BSL 受信
P2.3/CA0/TA1	11	10	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out1 出力 / コンパレータ_A 入力
P2.4/CA1/TA2	12	11	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out2 出力 / コンパレータ_A 入力
P2.5/Rosc	3	24	I/O	汎用デジタル I/O / DCO 公称周波数を決める外部抵抗入力
RST/NMI	7	5	I	リセット又はマスク不可能な割り込み入力
TEST	1	22	I	ポート1 JTAG 端子のテスト・モードの選択入力。デバイス保護ヒューズが TEST に接続されています。
V _{cc}	2	23		電源
V _{ss}	4	2		グラウンド基準
XIN	6	4	I	クリスタル・オシレータ入力
XOUT	5	3	O	クリスタル・オシレータ出力
QFN パッド	NA	パッケージ・パッド	NA	QFN パッケージのパッドは V _{ss} に接続することを推奨します。

† TDO 又は TDI は JTAG 命令によって選択されます。

概要説明

CPU

MSP430 CPU には、アプリケーションに適した 16 ビット RISC アーキテクチャを搭載しています。プログラム・フロー・インストラクション以外のすべての動作は、ソース・オペランドのための 7 つのアドレスинг・モード及びデスティネーション・オペランドのための 4 つのアドレスинг・モードと共にレジスタ・オペレーションとして実行されます。

CPU は、命令実行時間を短縮する 16 個のレジスタを内蔵しています。レジスタ間のオペレーション実行時間は、CPU クロックの 1 サイクルです。

レジスタの内の 4 個 (R0～R3) は、それぞれプログラム・カウンタ、スタック・ポインタ、ステータス・レジスタ、及びコンスタント・ジェネレータ (定数発生回路) として割り当てられています。残りのレジスタは、汎用レジスタです。

ペリフェラルは、データ、アドレス、及びコントロール・バスを使って CPU に接続され、すべての命令によって取り扱うことができます。

命令セット

命令セットは 3 つのフォーマット及び 7 つのアドレス・モードを持った 51 の命令からなります。それぞれの命令は、ワード及びバイト・データに基づいて実行することができます。表 1 に命令フォーマットの 3 つのタイプの例を示します。表 2 にアドレス・モードを示します。

プログラム・カウンタ	PC/R0
スタック・ポインタ	SP/R1
ステータス・レジスタ	SR/CG1/R2
コンスタント・ジェネレータ	CG2/R3
汎用レジスタ	R4
汎用レジスタ	R5
汎用レジスタ	R6
汎用レジスタ	R7
汎用レジスタ	R8
汎用レジスタ	R9
汎用レジスタ	R10
汎用レジスタ	R11
汎用レジスタ	R12
汎用レジスタ	R13
汎用レジスタ	R14
汎用レジスタ	R15

表 1. 命令ワード・フォーマット

デュアル・オペランド (ソース-デスティネーション)	例、ADD R4, R5	R4 + R5 → R5
シングル・オペランド (デスティネーションのみ)	例、CALL R8	PC → (TOS), R8 → PC
相対ジャンプ (無条件/条件付き)	例、JNE	Jump-on-equal bit = 0

表 2 アドレス・モードの記述

アドレス・モード	S	D	構文	例	動作
レジスタ	●	●	MOV Rs, Rd	MOV R10, R11	R10 → R11
インデックス	●	●	MOV X(Rn), Y(Rm)	MOV 2(R5), 6(R6)	M(2+R5) → M(6+R6)
シンボリック (PC 対応)	●	●	MOV EDE, TONI		M(EDE) → M(TONI)
絶対	●	●	MOV &MEM, &TCDAT		M(MEM) → M(TCDAT)
間接	●		MOV @Rn, Y(Rm)	MOV @R10, Tab(R6)	M(R10) → M(Tab+R6)
間接 (自動インクリメント)	●		MOV @Rn+, Rm	MOV @R10+, R11	M(R10) → R11 R10 + 2 → R10
即時	●		MOV #X, TONI	MOV #45, TONI	#45 → M(TONI)

(注) S = ソース、D = デスティネーション

動作モード

MSP430 には、1 つのアクティブ・モードと、ソフトウェアで選択可能な 5 つの低消費電力動作モードがあります。割り込みイベントにより、デバイスを 5 つの低消費電力モードのどれからでもウェークアップすることができ、要求に応え、そして、割り込みプログラムから戻るのに伴って低消費電力モードに戻ることができます。

以下の 6 つの動作モードを、ソフトウェアによって構成することができます：

- アクティブ・モード AM；
 - すべてのクロックはアクティブ
- 低消費電力モード 0 (LPM0)；
 - CPU はディスエーブル
 - ACLK 及び SMCLK はアクティブのまま。MCLK はディスエーブル
- 低消費電力モード 1 (LPM1)；
 - CPU はディスエーブル
 - ACLK 及び SMCLK はアクティブのまま。MCLK はディスエーブル
 - アクティブ・モードで DCO が使用されない場合は、DCO の DC 発生回路はディスエーブル
- 低消費電力モード 2 (LPM2)；
 - CPU はディスエーブル
 - MCLK 及び SMCLK はディスエーブル
 - DCO の DC 発生回路はイネーブルのまま
 - ACLK はアクティブのまま
- 低消費電力モード 3 (LPM3)；
 - CPU はディスエーブル
 - MCLK 及び SMCLK はディスエーブル
 - DCO の DC 発生回路はディスエーブル
 - ACLK はアクティブのまま
- 低消費電力モード 4 (LPM4)；
 - CPU はディスエーブル
 - ACLK はディスエーブル
 - MCLK 及び SMCLK はディスエーブル
 - DCO の DC 発生回路はディスエーブル
 - クリスタル・オシレータは停止

割り込みベクタ・アドレス

割り込みベクタ及びパワー・アップの開始アドレスは、アドレス範囲 0FFFFh ~ OFFE0h に位置します。ベクタは、適切な割り込み処理命令シーケンスの 16 ビット・アドレスを含みます。

割り込みソース	割り込みフラグ	システム割り込み	ワード・アドレス	優先順位
パワー・アップ 外部リセット ウォッチドッグ フラッシュ・メモリ	WDTIFG KEYV (注 1)	リセット	OFFFEh	15 (最上位)
NMI オシレータ障害 フラッシュ・メモリ アクセス違反	NMIIFG OFIFG ACCVIFG (注 1, 4)	マスク可能 (不可能) マスク可能 (不可能) マスク可能 (不可能)	OFFFCh	14
			OFFFAh	13
			OFFF8h	12
コンパレータ_A	CAIFG	マスク可能	OFFF6h	11
ウォッチドッグ・タイマ	WDTIFG	マスク可能	OFFF4h	10
タイマ_A3	TACCR0 CCIFG (注 2)	マスク可能	OFFF2h	9
タイマ_A3	TACCR1 CCIFG、 TACCR2 CCIFG、 TAIFG (注 1, 2)	マスク可能	OFFFOh	8
			OFFEEh	7
			OFFECh	6
			OFFEAh	5
			OFFE8h	4
I/O ポート P2 (8 つのフラグ、注 3)	P2IFG.0 ~ P2IFG.7 (注 1, 2)	マスク可能	OFFE6h	3
I/O ポート P1 (8 つのフラグ)	P1IFG.0 ~ P1IFG.7 (注 1, 2)	マスク可能	OFFE4h	2
			OFFE2h	1
			OFFEOh	0 (最下位)

(注 1) 複数のソース・フラグ

(注 2) 割り込みフラグはモジュールの中にあります。

(注 3) ポート P2 割り込みフラグは 8 つありますが、`C11x1 及び `F11x1A デバイスには 6 つのポート P2 I/O 端子 (P2.0 ~ 5) しかありません。

(注 4) マスク可能 (不可能) : 個々の割り込みイネーブル・ビットにより、割り込みイベントをディスエーブルにすることができます。しかし、汎用割り込みイネーブルでは、それをディスエーブルにすることはできません。

マスク不可能 : 個々の割り込みイネーブル・ビット及び汎用割り込みイネーブル・ビットの何れも割り込みイベントをディスエーブルにすることはできません。

スペシャル・ファンクション・レジスタ

大部分の割り込み及びモジュール・イネーブル・ビットは、最下位アドレス空間に集約されています。機能が割り当てられていないスペシャル・ファンクション・レジスタは、実際のデバイスにも内蔵されておりません。これによって、容易にソフトウェアによりアクセス可能です。

割り込みイネーブル 1、2

Address	7	6	5	4	3	2	1	0
0h			ACCVIE	NMIIE			OFIE	WDTIE

rw-0 rw-0 rw-0 rw-0

WDTIE : ウオッチドッグ・タイマ割り込みイネーブル。ウォッチドッグ・モードが選択された場合はインアクティブとなります。ウォッチドッグ・タイマがインターバル・タイマ・モードとして構成された場合はアクティブとなります。

OFIE : オシレータ障害イネーブル

NMIIE : マスク可能な（不可能な）割り込みイネーブル

ACCVIE : フラッシュ・アクセス違反割り込みイネーブル

Address	7	6	5	4	3	2	1	0
01h								

割り込みフラグ・レジスタ 1、2

Address	7	6	5	4	3	2	1	0
02h				NMIIFG			OFIFG	WDTIFG

rw-0 rw-1 rw-(0)

WDTIFG : ウォッチドッグ・タイマ・オーバーフロー（ウォッチドッグ・モード）又はセキュリティ・キー違反でセットされます。

V_{cc} パワー・アップ又はリセット・モードでの RST/NMI 端子のリセット条件でリセットされます。

OFIFG : オシレータ障害でフラグがセットされます。

NMIIFG : RST/NMI 端子でセットされます。

Address	7	6	5	4	3	2	1	0
03h								

説明	rw:	ビットは、読み出し及び書き込みをすることができます。
	rw-0,1:	ビットは、読み出し及び書き込みをすることができます。PUC によりリセット又はセットされます。
	rw-(0,1):	ビットは、読み出し及び書き込みをすることができます。POR によりリセット又はセットされます。

デバイスには、SFR ビットが存在しません。

MSP430C11x1、MSP430F11x1A

ミックスド・シグナル・マイクロコントローラ

SLAS469 - 2005年5月

メモリ構成

		MSP430C1101	MSP430C1111	MSP430C1121
メモリ	サイズ	1KB ROM 0FFFFh - OFFE0h 0FFFFh - OFC00h	2KB ROM 0FFFFh - OFFE0h 0FFFFh - OF800h	4KB ROM 0FFFFh - OFFE0h 0FFFFh - OF000h
メイン: 割り込みベクタ メイン: コード・メモリ	ROM ROM			
情報メモリ	サイズ フラッシュ	該当なし	該当なし	該当なし
起動メモリ	サイズ ROM	該当なし	該当なし	該当なし
RAM	サイズ	128 Byte 027Fh - 0200h	128 Byte 027Fh - 0200h	256 Byte 02FFh - 0200h
ペリフェラル	16-bit 8-bit 8-bit SFR	01FFh - 0100h OFFh - 010h OFh - 00h	01FFh - 0100h OFFh - 010h OFh - 00h	01FFh - 0100h OFFh - 010h OFh - 00h

		MSP430F1101A	MSP430F1111A	MSP430F1121A
メモリ	サイズ	1KB フラッシュ 0FFFFh - OFFE0h 0FFFFh - OFC00h	2KB フラッシュ 0FFFh - OFFE0h 0FFFh - OF800h	4KB フラッシュ 0FFFh - OFFE0h 0FFFh - OF000h
メイン: 割り込みベクタ メイン: コード・メモリ	フラッシュ フラッシュ			
情報メモリ	サイズ フラッシュ	128 バイト 010FFh - 01080h	256 バイト 010FFh - 01000h	256 バイト 010FFh - 01000h
起動メモリ	サイズ ROM	1KB 0FFFh - 0C00h	1KB 0FFh - 0C00h	1KB 0FFh - 0C00h
RAM	サイズ	128 バイト 027Fh - 0200h	128 バイト 027Fh - 0200h	256 バイト 02FFh - 0200h
ペリフェラル	16ビット 8ビット 8ビット SFR	01FFh - 0100h OFFh - 010h OFh - 00h	01FFh - 0100h OFFh - 010h OFh - 00h	01FFh - 0100h OFFh - 010h OFh - 00h

ブートストラップ・ローダ (BSL)

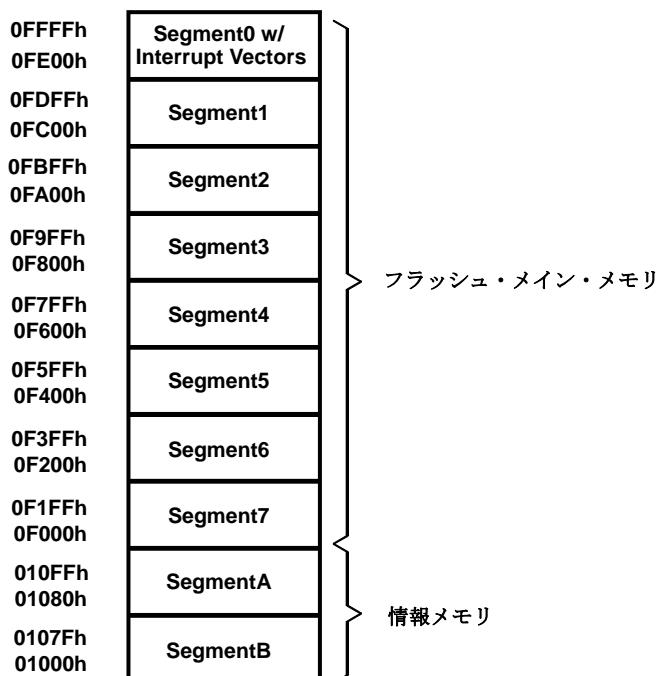
MSP430 ブートストラップ・ローダ (BSL) により、ユーザーは UART シリアル・インターフェースを使用してフラッシュ・メモリ又は RAM をプログラムすることができます。BSL を経由した MSP430 メモリへのアクセスは、ユーザーによって定義されたパスワードにより保護されています。BSL 及びその実施方法の詳細は、アプリケーション・レポート *MSP430 ブートストラップ・ローダの特徴* "Features of the MSP430 Bootstrap Loader" (資料番号 SLAA089) を参照して下さい。

BSL 機能	DW、PW、DGV パッケージ端子	RGE パッケージ端子
データ送信	14 - P1.1	14 - P1.1
データ受信	10 - P2.2	8 - P2.2

フラッシュ・メモリ

フラッシュ・メモリは、JTAG ポート、ブートストラップ・ローダ、又は CPU によるイン・システムによりプログラムすることができます。CPU はフラッシュ・メモリに対して、1 バイト及び 1 ワードの書き込みを行うことができます。フラッシュ・メモリは、以下の特徴を持っています。：

- フラッシュ・メモリは、n セグメントのメイン・メモリ及び 2 セグメントのそれぞれ 128 バイトの情報メモリ (A 及び B) を持っています。メイン・メモリのそれぞれのセグメントのサイズは 512 バイトです。
- セグメント 0 ~ n は 1 ステップで消去が可能です。あるいは、それぞれのセグメントは個々に消去も可能です。
- セグメント A 及び B は、個々に又はセグメント 0 ~ n のグループとして消去することができます。セグメント A 及び B は、情報メモリとも呼ばれます。
- 新しいデバイスでは、数バイトを情報メモリにプログラムしておくことがあります。（製造時のテストのため）ユーザーは、最初に使用する前に情報メモリの消去を実行しなければなりません。



(注) すべてのセグメントがすべてのデバイスに内蔵されている訳ではありません。

ペリフェラル

ペリフェラルは、データ、アドレス、及びコントロール・バスを通して CPU に接続され、すべての命令を使って取り扱うことができます。モジュールの詳細は、*MSP430x1xx ファミリ ユーザーズ・ガイド* 資料番号 SLAU049 を参照して下さい。

オシレータ及びシステム・クロック

クロック・システムは、32768 Hz の時計用クリスタル・オシレータ、内部デジタル制御オシレータ (DCO)、及び高周波クリスタル・オシレータのサポートを含む basic clock モジュールで構成されています。basic clock モジュールは、安いシステム・コストと低消費電力の必要条件を満たすように設計されています。内部 DCO は、高速ターン・オン・クロック・ソースを提供し、6 μ s 以内に安定します。basic clock モジュールは次のクロック信号を提供します：

- 補助クロック (ACLK) : 32768 Hz の時計用クリスタル又は高周波クリスタルから供給
- メイン・クロック (MCLK) : CPU によって使用されるシステム・クロック
- サブ・メイン・クロック (SMCLK) : ペリフェラル・モジュールによって使用されるサブ・システム・クロック

デジタル I/O

2 つの 8 ビット I/O ポート内蔵：ポート P1 及び P2（外部端子には 6 つの P2 I/O 信号のみが使用できます。）

- すべての個々の I/O ビットは、独立してプログラム可能です。
- 入力、出力、及び割り込み条件のどんな組み合わせでも可能です。
- ポート P1 及び P2 の 6 ビットは、エッジ選択可能な割り込み入力に設定可能です。
- ポート・コントロール・レジスタへの読み出し/書き込みアクセスは、すべての命令により可能です。

(注)

ポート P2 の P2.0 ~ P2.5 の 6 ビットは、外部端子で使用できます。しかし、すべての制御及びデータ・ビットはポート P2 に内蔵されています。

ウォッチドッグ・タイマ

ウォッチドッグ・タイマ (WDT) モジュールの基本的な機能は、ソフトウェア障害が発生した後、制御されたシステムの再開を行うことです。設定された時間間隔が経過すると、システム・リセットが生成されます。ウォッチドッグ機能が必要でないアプリケーションでは、モジュールはインターバル・タイマとして設定することができ、設定された時間間隔で割り込みを発生することができます。

コンパレータ_A

コンパレータ_A モジュールの基本的な機能は、高精度スロープ A/D 変換、バッテリ電圧監視、及び外部アナログ信号のモニタを行うことです。

タイマ_A3

タイマ_A3 は、3 つのキャプチャ/コンペア・レジスタ付きの 16 ビット タイマ/カウンタです。タイマ_A3 により、複数のキャプチャ/コンペア、PWM 出力、及びインターバル・タイミングを利用することができます。タイマ_A3 にも、拡張割り込みの機能があります。割り込みは、オーバーフロー状態のカウンタから、及びキャプチャ/コンペア・レジスタのそれぞれから生成されることがあります。

タイマ_A3 信号の接続							
入力端子番号		デバイス 入力信号	モジュール 入力名	モジュール・ ブロック	モジュール 出力信号	出力端子番号	
DW、PW、DGV	RGE					DW、PW、DGV	RGE
13 - P1.0	13 - P1.0	TACLK	TACLK	タイマ	NA		
		ACLK	ACLK				
		SMCLK	SMCLK				
9 - P2.1	7 - P2.1	INCLK	INCLK				
14 - P1.1	14 - P1.1	TA0	CCIOA	CCR0	TA0	14 - P1.1	14 - P1.1
10 - P2.2	8 - P2.2	TA0	CCIOB			18 - P1.5	18 - P1.5
		V _{ss}	GND				
		V _{cc}	V _{cc}				
15 - P1.2	15 - P1.2	TA1	CCI1A	CCR1	TA1	11 - P2.3	10 - P2.3
		CAOUT (内部)	CCI1B			15 - P1.2	15 - P1.2
		V _{ss}	GND			19 - P1.6	20 - P1.6
		V _{cc}	V _{cc}				
16 - P1.3	16 - P1.3	TA2	CCI2A	CCR2	TA2	12 - P2.4	11 - P2.4
		ACLK (内部)	CCI2B			16 - P1.3	16 - P1.3
		V _{ss}	GND			20 - P1.7	21 - P1.7
		V _{cc}	V _{cc}				

ペリフェラル・ファイル・マップ

ワード・アクセスによるペリフェラル			
タイマ_A	予約されています 予約されています 予約されています 予約されています キャプチャ/コンペア・レジスタ キャプチャ/コンペア・レジスタ キャプチャ/コンペア・レジスタ タイマ_A レジスタ 予約されています 予約されています 予約されています 予約されています キャプチャ/コンペア制御 キャプチャ/コンペア制御 キャプチャ/コンペア制御 タイマ_A 制御 タイマ_A 割り込みベクタ	TACCR2 TACCR1 TACCR0 TAR TACCTL2 TACCTL1 TACCTL0 TACTL TAIV	017Eh 017Ch 017Ah 0178h 0176h 0174h 0172h 0170h 016Eh 016Ch 016Ah 0168h 0166h 0164h 0162h 0160h 012Eh
フラッシュ・メモリ	フラッシュ制御_3 フラッシュ制御_2 フラッシュ制御_1	FCTL3 FCTL2 FCTL1	012Ch 012Ah 0128h
ウォッチドッグ	ウォッチドッグ・タイマ制御	WDTCTL	0120h
バイト・アクセスによるペリフェラル			
コンパレータ_A	コンパレータ_A ポート デイス エーブル コンパレータ_A 制御_2 コンパレータ_A 制御_1	CAPD CACTL2 CACTL1	05Bh 05Ah 059h
Basic Clock	Basic clock システム制御_2 Basic clock システム制御_1 DCO クロック周波数制御	BCSCTL2 BCSCTL1 DCOCTL	058h 057h 056h
ポート P2	ポート P2 選択 ポート P2 割り込みイネーブル ポート P2 割り込みエッジ選択 ポート P2 割り込みフラグ ポート P2 方向 ポート P2 出力 ポート P2 入力	P2SEL P2IE P2IES P2IFG P2DIR P2OUT P2IN	02Eh 02Dh 02Ch 02Bh 02Ah 029h 028h
ポート P1	ポート P1 選択 ポート P1 割り込みイネーブル ポート P1 割り込みエッジ選択 ポート P1 割り込みフラグ ポート P1 方向 ポート P1 出力 ポート P1 入力	P1SEL P1IE P1IES P1IFG P1DIR P1OUT P1IN	026h 025h 024h 023h 022h 021h 020h
スペシャル・ファンクション	SFR 割り込みフラグ_2 SFR 割り込みフラグ_1 SFR 割り込みイネーブル_2 SFR 割り込みイネーブル_1	IFG2 IFG1 IE2 IE1	003h 002h 001h 000h

絶対最大定格 (特記無き場合) †

印加電圧 ($V_{CC} \sim V_{SS}$ 間)	-0.3 ~ 4.1	V
印加電圧 (全端子) (注 1)	-0.3 ~ $V_{CC} + 0.3$	V
ダイオード電流 (全端子)	±2	mA
保存温度範囲 未プログラムのデバイス	-55 ~ 150	°C
保存温度範囲 プログラム済みデバイス	-40 ~ 85	°C

† 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これは、ストレスの定格のみについて示してあり、この仕様書の「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

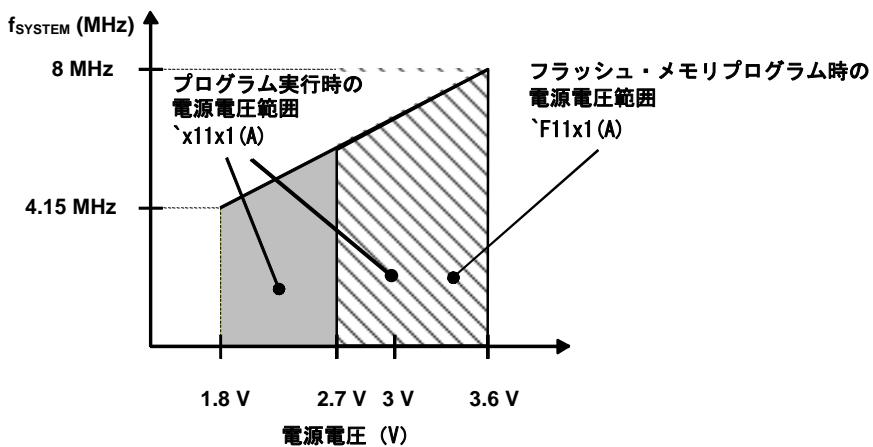
(注 1) すべての電圧は V_{SS} を基準とします。JTAG ヒューズ切断電圧 V_{FB} は、絶対最大定格を越えても構いません。JTAG ヒューズを切断する時、TEST 端子に電圧が印加されます。

推奨動作条件

			最小	標準	最大	単位
電源電圧 (プログラム実行時)、 V_{CC} (注 1)	MSP430C11x1	1.8	3.6	V		
	MSP430F11x1A	1.8	3.6			
電源電圧 (フラッシュ・メモリ プログラム/消去時)、 V_{CC}	MSP430F11x1A	2.7	3.6	V		
電源電圧、 V_{SS}		0		V		
動作温度範囲、 T_A	MSP430x11x1(A)	-40	85	°C		
LFXT1 クリスタル周波数、 $f_{(LFXT1)}$ (注 1, 2)	LF モード選択時、XTS = 0	時計用クリスタル	32768	kHz		
	XT1 モード選択時、XTS = 1	セラミック・レゾネータ	450			
		クリスタル	1000			
プロセッサ周波数 $f_{(SYSTEM)}$ (MCLK 信号)	$V_{CC} = 1.8 \text{ V},$ MSP430x11x1(A)	dc	4.15	MHz		
	$V_{CC} = 3.6 \text{ V},$ MSP430x11x1(A)	dc	8			

(注 1) LF モードでは、LFXT1 オシレータには時計用クリスタルが必要です。 $V_{CC} < 2.5 \text{ V}$ の時、XOUT ~ V_{SS} 間に $5.1 \text{ M}\Omega$ の抵抗を接続することを推奨します。XT1 モードでは、 $V_{CC} \geq 2.2 \text{ V}$ の時、LFXT1 及び XT2 オシレータには 4.15 MHz までのセラミック・レゾネータ又はクリスタルが使用できます。XT1 モードでは、 $V_{CC} \geq 2.8 \text{ V}$ の時、LFXT1 及び XT2 オシレータには 8 MHz までのセラミック・レゾネータ又はクリスタルが使用できます。

(注 2) LF モードでは、LFXT1 オシレータには時計用クリスタルが必要です。XT1 モードでは、LFXT1 にはセラミック・レゾネータ又はクリスタルが使用できます。



(注) 最小プロセッサ周波数は、システム・クロックにより決まります。フラッシュ・メモリのプログラム又は消去には 2.7 V の最小 V_{CC} が必要です。

図 1. 電源電圧対周波数、MSP430x11x1 (A)

MSP430C11x1、MSP430F11x1A

ミックスド・シグナル・マイクロコントローラ

SLAS469 - 2005年5月

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

電源電流 (V_{CC})（外部電流を除く）

項目		測定条件	最小	標準	最大	単位
I_{AM}	アクティブ・モード C11x1	$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $f_{(\text{MCLK})} = f_{(\text{SMCLK})} = 1 \text{ MHz}$ 、 $f_{(\text{ACLK})} = 32,768 \text{ Hz}$	$V_{CC} = 2.2 \text{ V}$	160	200	μA
			$V_{CC} = 3 \text{ V}$	240	300	
		$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $f_{(\text{MCLK})} = f_{(\text{SMCLK})} = f_{(\text{ACLK})} = 4096 \text{ Hz}$	$V_{CC} = 2.2 \text{ V}$	1.3	2	
			$V_{CC} = 3 \text{ V}$	2.5	3.2	
		$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $f_{(\text{MCLK})} = f_{(\text{SMCLK})} = 1 \text{ MHz}$ 、 $f_{(\text{ACLK})} = 32,768 \text{ Hz}$ 、 フラッシュ・メモリのプログラム実行時	$V_{CC} = 2.2 \text{ V}$	200	250	
	F11x1A		$V_{CC} = 3 \text{ V}$	300	350	
		$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 フラッシュ・メモリのプログラム実行時、 $f_{(\text{MCLK})} = f_{(\text{SMCLK})} = f_{(\text{ACLK})} = 4096 \text{ Hz}$	$V_{CC} = 2.2 \text{ V}$	3	5	
			$V_{CC} = 3 \text{ V}$	11	18	
		$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $f_{(\text{MCLK})} = 0 \text{ Hz}$ 、 $f_{(\text{SMCLK})} = 1 \text{ MHz}$ 、 $f_{(\text{ACLK})} = 32,768 \text{ Hz}$	$V_{CC} = 2.2 \text{ V}$	30	40	
			$V_{CC} = 3 \text{ V}$	51	60	
$I_{(\text{CPUoff})}$	ロー・パワー・モード (LPM0) C11x1	$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $f_{(\text{MCLK})} = 0 \text{ Hz}$ 、 $f_{(\text{SMCLK})} = 1 \text{ MHz}$ 、 $f_{(\text{ACLK})} = 32,768 \text{ Hz}$	$V_{CC} = 2.2 \text{ V}$	32	45	μA
			$V_{CC} = 3 \text{ V}$	55	70	
	F11x1A	$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $f_{(\text{MCLK})} = 0 \text{ Hz}$ 、 $f_{(\text{SMCLK})} = 1 \text{ MHz}$ 、 $f_{(\text{ACLK})} = 32,768 \text{ Hz}$	$V_{CC} = 2.2 \text{ V}$	11	14	
			$V_{CC} = 3 \text{ V}$	17	22	
$I_{(LPM2)}$	ロー・パワー・モード (LPM2) C11x1	$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $f_{(\text{MCLK})} = f_{(\text{SMCLK})} = 0 \text{ MHz}$ 、 $f_{(\text{ACLK})} = 32,768 \text{ Hz}$ 、 $SCG0 = 0$	$V_{CC} = 2.2 \text{ V}$	1.2	1.7	μA
			$V_{CC} = 3 \text{ V}$	2	2.7	
		$T_A = -40^\circ\text{C}$		0.8	1.2	
		$T_A = 25^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	0.7	1	
		$T_A = 85^\circ\text{C}$		1.6	2.3	
	F11x1A	$T_A = -40^\circ\text{C}$		1.8	2.2	
		$T_A = 25^\circ\text{C}$	$V_{CC} = 3 \text{ V}$	1.6	1.9	
		$T_A = 85^\circ\text{C}$		2.3	3.4	
		$T_A = -40^\circ\text{C}$		0.1	0.5	
		$T_A = 25^\circ\text{C}$	$V_{CC} = 2.2 \text{ V/3 V}$	0.1	0.5	
$I_{(LPM4)}$	ロー・パワー・モード (LPM4) C11x1	$T_A = 85^\circ\text{C}$		0.4	0.8	μA
		$T_A = -40^\circ\text{C}$	$V_{CC} = 2.2 \text{ V/3 V}$	0.1	0.5	
		$T_A = 25^\circ\text{C}$		0.1	0.5	
	F11x1A	$T_A = 85^\circ\text{C}$		0.8	1.9	
		$T_A = -40^\circ\text{C}$		0.1	0.5	
		$T_A = 25^\circ\text{C}$	$V_{CC} = 2.2 \text{ V/3 V}$	0.1	0.5	
		$T_A = 85^\circ\text{C}$		0.8	1.9	

(注) すべての入力は、0 V 又は V_{CC} に接続します。出力にはソース電流、シンク電流を流しません。

アクティブ・モードのシステム周波数 対 消費電流

$$I_{AM} = I_{AM[1 \text{ MHz}]} \times f_{\text{system}} [\text{MHz}]$$

アクティブ・モードの電源電圧 対 消費電流、C バージョン

$$I_{AM} = I_{AM[3 \text{ V}]} + 105 \text{ } \mu\text{A/V} \times (V_{CC} - 3 \text{ V})$$

アクティブ・モードの電源電圧 対 消費電流、F バージョン

$$I_{AM} = I_{AM[3 \text{ V}]} + 120 \text{ } \mu\text{A/V} \times (V_{CC} - 3 \text{ V})$$

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

ショミット・トリガ入力 - ポート P1 及び P2 (P1.0 ~ P1.7、P2.0 ~ P2.5)

項目	測定条件	最小	標準	最大	単位
V_{IT+} 立ち上がり入力スレッショルド電圧	$V_{CC} = 2.2\text{ V}$	1.1		1.5	V
	$V_{CC} = 3\text{ V}$	1.5		1.9	
V_{IT-} 立ち下がり入力スレッショルド電圧	$V_{CC} = 2.2\text{ V}$	0.4		0.9	V
	$V_{CC} = 3\text{ V}$	0.9		1.3	
V_{HYS} 入力電圧ヒステリシス ($V_{IT+} - V_{IT-}$)	$V_{CC} = 2.2\text{ V}$	0.3		1.1	V
	$V_{CC} = 3\text{ V}$	0.5		1	

標準入力 - \overline{RST}/NMI ; JTAG: TCK、TMS、TDI/TCLK

項目	測定条件	最小	標準	最大	単位
V_{IL} ロー・レベル入力電圧	V_{SS}		$V_{SS} + 0.6$		V
V_{IH} ハイ・レベル入力電圧	$0.8 \times V_{CC}$			V_{CC}	V

入力 Px.x、TAx

項目	測定条件	V_{CC}	最小	標準	最大	単位
$t_{(int)}$ 外部割り込みタイミング	ポート P1、P2: P1.x ~ P2.x、割り込みフラグ用外部トリガ信号 (注 1)	2.2 V/3 V	1.5			cycle
		2.2 V	62			ns
		3 V	50			
$t_{(cap)}$ タイマ_A キャプチャ・タイミング	TA0、TA1、TA2	2.2 V	62			ns
		3 V	50			
$f_{(TAext)}$ 外部から印加するタイマ_A クロック周波数	TACLK、INCLK: $t_{(R)} = t_{(L)}$	2.2 V		8		MHz
		3 V		10		
$f_{(TAint)}$ タイマ_A クロック周波数	SMCLK 又は ACLK 信号選択時	2.2 V		8		MHz
		3 V		10		

(注 1) 外部信号は、最小 $t_{(int)}$ サイクル及び時間のパラメータが適合するたび毎に割り込みフラグをセットします。トリガ信号が $t_{(int)}$ より短い場合にもセットされることがあります。フラグを確実にセットするためには、サイクルとタイミング仕様の両方を満足しなければなりません。 $t_{(int)}$ は MCLK サイクルで測定します。

リーク電流

項目	測定条件	最小	標準	最大	単位
$I_{lkg(Px.x)}$ ハイ・インピーダンス リーク電流	P ポート P1: P1.x, $0 \leq x \leq 7$ (注 1, 2)			± 50	nA
	P ポート P2: P2.x, $0 \leq x \leq 5$ (注 1, 2)	$V_{CC} = 2.2\text{ V}/3\text{ V}$		± 50	

(注 1) 特記無き場合、リーク電流は対応する端子に V_{SS} 又は V_{CC} を印加して測定します。

(注 2) デジタル・ポート端子のリーク電流は、個別に測定します。ポート端子は入力となるように選択し、プルアップ又はプルダウン抵抗がない状態とします。

MSP430C11x1、MSP430F11x1A

ミックスド・シグナル・マイクロコントローラ

SLAS469 - 2005年5月

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

出力 - ポート P1 及び P2 (P1.0 ~ P1.7, P2.0 ~ P2.5)

項目	測定条件			最小	標準	最大	単位
V_{OH} ハイ・レベル出力電圧 ポート 1 及び ポート 2 (C11x1) ポート 1 (F11x1A)	$I_{(OHmax)} = -1.5 \text{ mA}$	$V_{CC} = 2.2 \text{ V}$	(注 1)	$V_{CC} - 0.25$	V_{CC}		V
	$I_{(OHmax)} = -6 \text{ mA}$		(注 2)	$V_{CC} - 0.6$	V_{CC}		
	$I_{(OHmax)} = -1.5 \text{ mA}$	$V_{CC} = 3 \text{ V}$	(注 1)	$V_{CC} - 0.25$	V_{CC}		
	$I_{(OHmax)} = -6 \text{ mA}$		(注 2)	$V_{CC} - 0.6$	V_{CC}		
V_{OH} ハイ・レベル出力電圧 ポート 2 (F11x1A)	$I_{(OHmax)} = -1 \text{ mA}$	$V_{CC} = 2.2 \text{ V}$	(注 3)	$V_{CC} - 0.25$	V_{CC}		V
	$I_{(OHmax)} = -3.4 \text{ mA}$		(注 3)	$V_{CC} - 0.6$	V_{CC}		
	$I_{(OHmax)} = -1 \text{ mA}$	$V_{CC} = 3 \text{ V}$	(注 3)	$V_{CC} - 0.25$	V_{CC}		
	$I_{(OHmax)} = -3.4 \text{ mA}$		(注 3)	$V_{CC} - 0.6$	V_{CC}		
V_{OL} ロー・レベル出力電圧 ポート 1 及び ポート 2 (C11x1, F11x1A)	$I_{(OLmax)} = 1.5 \text{ mA}$	$V_{CC} = 2.2 \text{ V}$	(注 1)	V_{SS}	$V_{SS} + 0.25$		V
	$I_{(OLmax)} = 6 \text{ mA}$		(注 2)	V_{SS}	$V_{SS} + 0.6$		
	$I_{(OLmax)} = 1.5 \text{ mA}$	$V_{CC} = 3 \text{ V}$	(注 1)	V_{SS}	$V_{SS} + 0.25$		
	$I_{(OLmax)} = 6 \text{ mA}$		(注 2)	V_{SS}	$V_{SS} + 0.6$		

(注 1) 全出力の最大電流 $I_{OH(max)}$ と $I_{OL(max)}$ の合計は、規定の最大電圧降下を保持するため $\pm 12 \text{ mA}$ を越えてはいけません。

(注 2) 全出力の最大電流 $I_{OH(max)}$ と $I_{OL(max)}$ の合計は、規定の最大電圧降下を保持するため $\pm 48 \text{ mA}$ を越えてはいけません。

(注 3) 同時に 1 出力のみ負荷をかけます。

出力周波数

項目	測定条件			最小	標準	最大	単位
$f_{(P20)}$	出力周波数	P2.0/ACLK, $C_L = 20 \text{ pF}$	2.2 V/3 V			f_{System}	MHz
$f_{(TAx)}$		TA0, TA1, TA2, $C_L = 20 \text{ pF}$, 内部クロック・ソース, SMCLK 信号印加 (注 1)	2.2 V/3 V	dc		f_{System}	
$t_{(Xdo)}$	出力周波数デューティ比	P1.4/SMCLK, $C_L = 20 \text{ pF}$	2.2 V/3 V	$f_{SMCLK} = f_{LFXT1} = f_{XT1}$	40%	60%	
				$f_{SMCLK} = f_{LFXT1} = f_{LP}$	35%	65%	
				$f_{SMCLK} = f_{LFXT1/n}$	50% - 15 ns	50% + 15 ns	
		P2.0/ACLK, $C_L = 20 \text{ pF}$	2.2 V/3 V	$f_{SMCLK} = f_{DCOCLK}$	50% - 15 ns	50% + 15 ns	
				$f_{P20} = f_{LFXT1} = f_{XT1}$	40%	60%	
				$f_{P20} = f_{LFXT1} = f_{LP}$	30%	70%	
		TA0, TA1, TA2, $C_L = 20 \text{ pF}$, デューティ比 = 50%	2.2 V/3 V	$f_{P20} = f_{LFXT1/n}$	50%		
$t_{(Adc)}$					0	± 50	ns

(注 1) システム・クロック MCLK の規格に適合しなければなりません。MCLK と SMCLK は異なる周波数にすることができます。

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

出力 - ポート P1 及び P2 （続き）

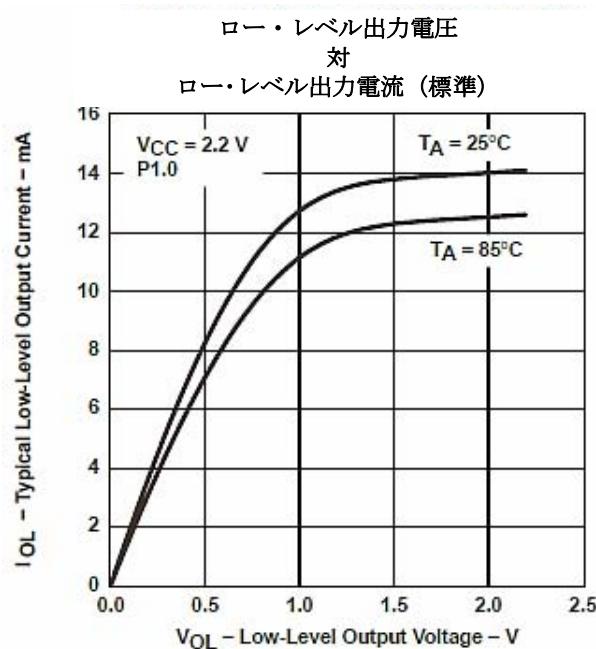


図 2

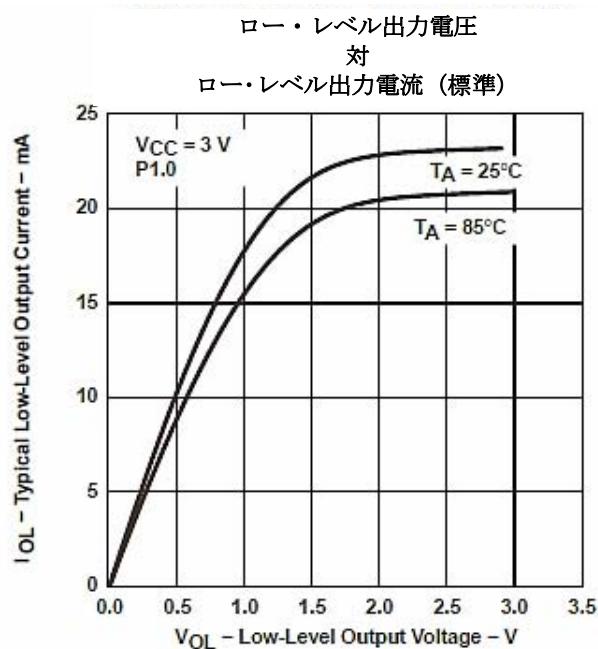


図 3

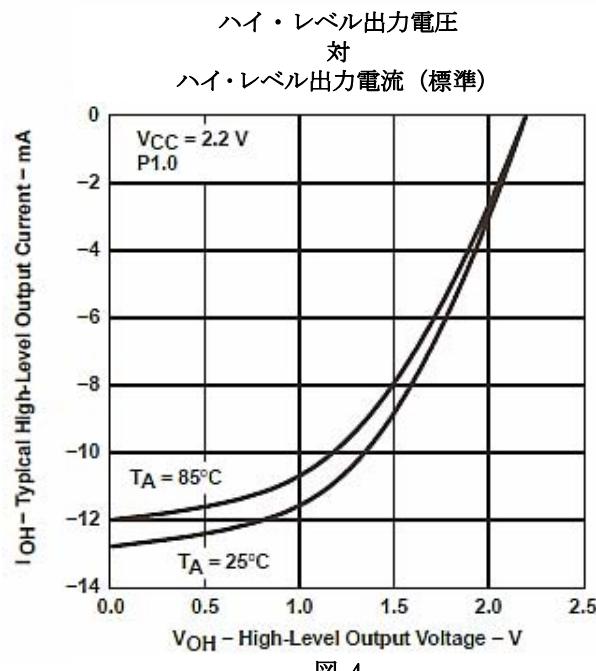


図 4

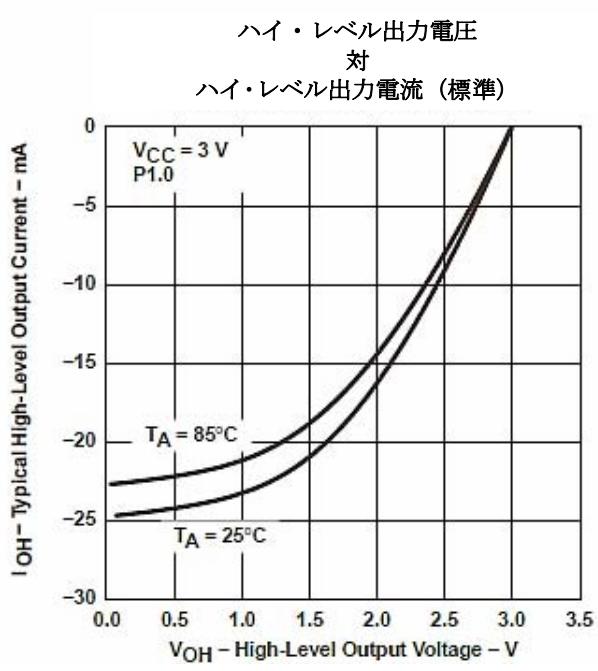


図 5

(注) 同時に 1 出力のみ負荷をかけます。

MSP430C11x1、MSP430F11x1A

ミックスド・シグナル・マイクロコントローラ

SLAS469 - 2005年5月

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

オプション抵抗、ROM コードで個別にプログラム可能（注 1）

項目	測定条件	最小	標準	最大	単位
$R_{(opt1)}$	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$ 抵抗、ROM コードで個別にプログラム可能、全ポート端子、抵抗値はプルアップ及びプルダウンに適用されます。	2.5	5	10	$\text{k}\Omega$
$R_{(opt2)}$		3.8	7.7	15	$\text{k}\Omega$
$R_{(opt3)}$		7.6	15	31	$\text{k}\Omega$
$R_{(opt4)}$		11.5	23	46	$\text{k}\Omega$
$R_{(opt5)}$		23	45	90	$\text{k}\Omega$
$R_{(opt6)}$		46	90	180	$\text{k}\Omega$
$R_{(opt7)}$		70	140	280	$\text{k}\Omega$
$R_{(opt8)}$		115	230	460	$\text{k}\Omega$
$R_{(opt9)}$		160	320	640	$\text{k}\Omega$
$R_{(opt10)}$		205	420	830	$\text{k}\Omega$

（注 1） ブルダウン又はプルアップのためのオプション抵抗 R_{optx} は標準のフラッシュ・メモリ・デバイス MSP430F11x1A には適用されません。

ロー・パワー・モードからのウェーク・アップ（LPMx）

項目	測定条件	最小	標準	最大	単位
$t_{(LPM0)}$	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$	100	ns	ns	
$t_{(LPM2)}$		100			
$t_{(LPM3)}$	$f_{(MCLK)} = 1 \text{ MHz}, V_{CC} = 2.2 \text{ V}/3 \text{ V}$	6	μs	μs	
	$f_{(MCLK)} = 2 \text{ MHz}, V_{CC} = 2.2 \text{ V}/3 \text{ V}$	6			
	$f_{(MCLK)} = 3 \text{ MHz}, V_{CC} = 2.2 \text{ V}/3 \text{ V}$	6			
$t_{(LPM4)}$	$f_{(MCLK)} = 1 \text{ MHz}, V_{CC} = 2.2 \text{ V}/3 \text{ V}$	6	μs	μs	
	$f_{(MCLK)} = 2 \text{ MHz}, V_{CC} = 2.2 \text{ V}/3 \text{ V}$	6			
	$f_{(MCLK)} = 3 \text{ MHz}, V_{CC} = 2.2 \text{ V}/3 \text{ V}$	6			

（注 1） このパラメータは、DCOCLK が MCLK として使用される場合のみに適用します。

RAM

項目	最小	標準	最大	単位
$V_{(RAMh)}$ CPU 停止（HALT）時（注 1）	1.6			V

（注 1） このパラメータは、プログラム・メモリ RAM のデータが保持される時の最小電源電圧を定義します。この電源電圧の条件下ではプログラムを実行させないで下さい。

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

コンパレータ_A+（注1）

項目	測定条件	最小	標準	最大	単位
I _(DD)	CAON = 1、CARSEL = 0、CAREF = 0 V _{CC} = 2.2 V	25	40		μA
	V _{CC} = 3 V	45	60		
I _(RefLadder/RefDiode)	CAON = 1、CARSEL = 0、 CAREF = 1/2/3、P2.3/CA0/TA1 及び P2.4/CA1/TA2 は無負荷 V _{CC} = 2.2 V	30	50		μA
	V _{CC} = 3 V	45	71		
V _(IC) 同相入力電圧	CAON = 1 V _{CC} = 2.2 V/3 V	0	V _{CC} - 1		V
V _(Ref025) Voltage @ 0.25 V _{CC} node V _{CC}	PCA0 = 1、CARSEL = 1、 CAREF = 1、P2.3/CA0/TA1 及び P2.4/CA1/TA2 は無負荷 V _{CC} = 2.2 V/3 V	0.23	0.24	0.25	
	V _{CC} = 2.2 V/3 V	0.47	0.48	0.5	
V _(Ref050) Voltage @ 0.5 V _{CC} node V _{CC}	PCA0 = 1、CARSEL = 1、CAREF = 2、 P2.3/CA0/TA1 及び P2.4/CA1/TA2 は無 負荷	V _{CC} = 2.2 V/3 V	390	480	540
	V _{CC} = 3 V	400	490	550	mV
V _(RefVT) (図 6、7 参照)	PCA0 = 1、CARSEL = 1、CAREF = 3、 P2.3/CA0/TA1 及び P2.4/CA1/TA2 は無 負荷、T _A = 85°C	V _{CC} = 2.2 V	-30	30	mV
	V _{CC} = 3 V	0	0.7	1.4	mV
V _(offset) オフセット電圧	CAON = 1 (注2)	V _{CC} = 2.2 V/3 V	160	210	300
	V _{CC} = 3 V	90	150	240	ns
V _{hys} 入力ヒステリシス	T _A = 25°C、オーバードライブ 10 mV、 フィルタなし: CAF = 0	V _{CC} = 2.2 V	1.4	1.9	3.4
	V _{CC} = 3 V	0.9	1.5	2.6	μs
t _(response LH)	T _A = 25°C、オーバードライブ 10 mV、 フィルタ付き: CAF = 1	V _{CC} = 2.2 V	130	210	300
	V _{CC} = 3 V	80	150	240	ns
t _(response HL)	T _A = 25°C、オーバードライブ 10 mV、 フィルタなし: CAF = 0	V _{CC} = 2.2 V	1.4	1.9	3.4
	V _{CC} = 3 V	0.9	1.5	2.6	μs

(注1) コンパレータ_A 端子のリーク電流は、I_{1kg(Pz,z)} 規格と同じです。

(注2) 入力オフセット電圧は、連続して測定する毎に CAEX ビットを使ってコンパレータ_A 入力を反転させることにより、キャンセルすることができます。2つの連続した測定値を加算します。

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

代表特性

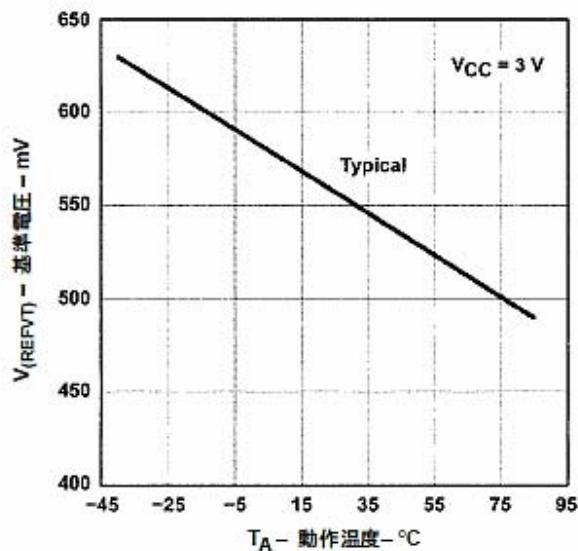


図 6. 温度対 $V_{(\text{RefVT})}$ 、 $V_{\text{CC}} = 3 \text{ V}$

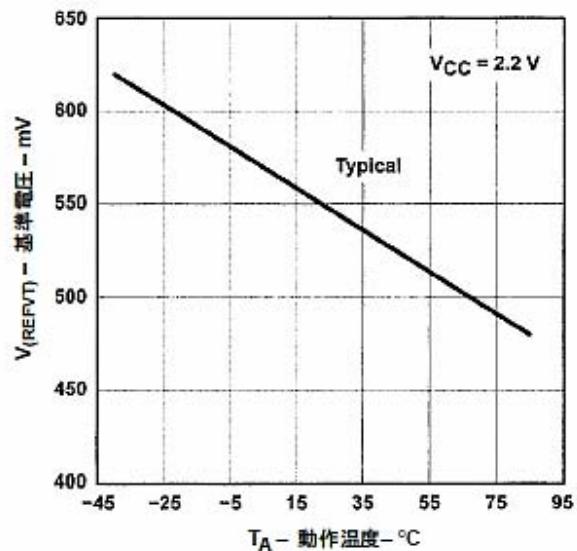


図 7. 温度対 $V_{(\text{RefVT})}$ 、 $V_{\text{CC}} = 2.2 \text{ V}$

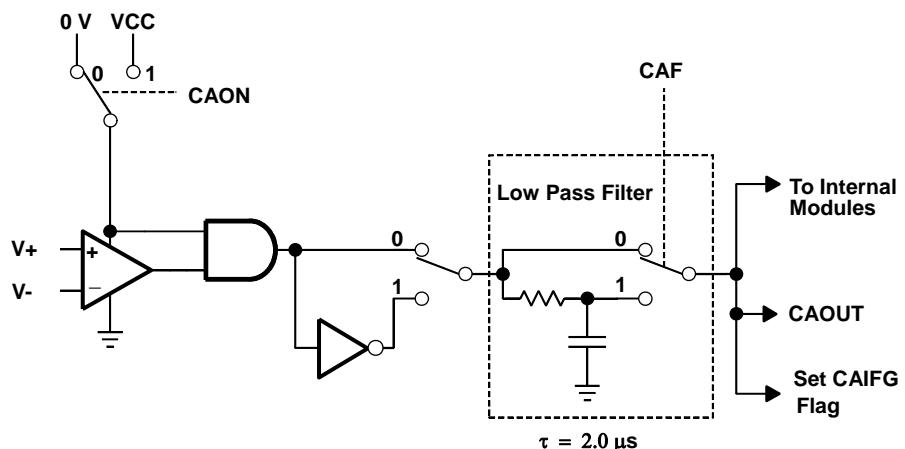


図 8. コンパレータ_A モジュール ブロック図

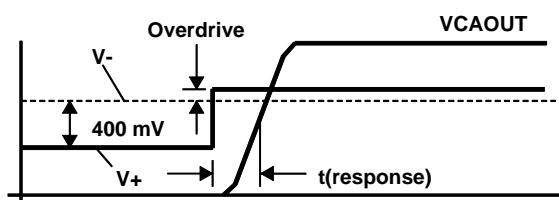


図 9. オーバードライブの定義

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

PUC/POR

項目	測定条件	最小	標準	最大	単位
$t_{(POR_Delay)}$ POR を解除する内部遅延時間	$T_A = -40^\circ\text{C}$ $T_A = 25^\circ\text{C}$ $T_A = 85^\circ\text{C}$	150	250	μs	
V_{POR} POR 解除遅延時間が始まる V_{cc} スレッショルド（注 1）		1.4	1.8		V
		1.1	1.5		
		0.8	1.2		
$V_{(min)}$ POR を生成する V_{cc} スレッショルド（注 2）	$V_{cc} dV/dt \geq 1\text{V/ms}$	0.2			V
$t_{(reset)}$ PUC/POR のための RST/NMI ロー・レベル	リセットは内部で受け付けられます。	2			μs

(注 1) V_{cc} 立ち上がり時間 $dV/dt \geq 1\text{V/ms}$

(注 2) POR 条件を発生させるため V_{cc} をロー・レベルにする場合は、 V_{cc} は $dV/dt \leq -1\text{V/ms}$ で 200 mV 以下にしなければなりません。一方、立ち上がり V_{cc} は $dV/dt \geq +1\text{V/ms}$ にしなければなりません。

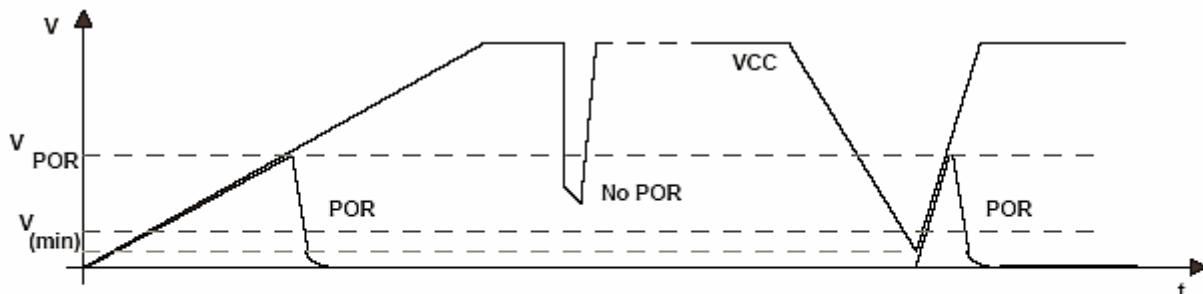


図 10. 電源電圧対パワー・オン・リセット (POR)

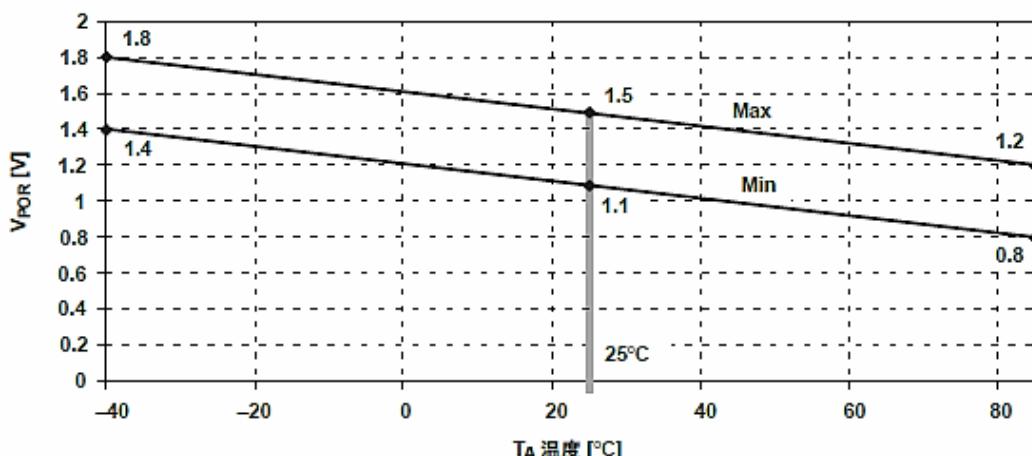


図 11. 温度対 V_{POR}

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

DCO

項目	測定条件	最小	標準	最大	単位
$f_{(DC003)}$	$R_{sel} = 0$ 、DCO = 3、MOD = 0、DCOR = 0、 $T_A = 25^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	0.08	0.12	0.15
		$V_{CC} = 3 \text{ V}$	0.08	0.13	0.16
$f_{(DC013)}$	$R_{sel} = 1$ 、DCO = 3、MOD = 0、DCOR = 0、 $T_A = 25^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	0.14	0.19	0.23
		$V_{CC} = 3 \text{ V}$	0.14	0.18	0.22
$f_{(DC023)}$	$R_{sel} = 2$ 、DCO = 3、MOD = 0、DCOR = 0、 $T_A = 25^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	0.22	0.3	0.36
		$V_{CC} = 3 \text{ V}$	0.22	0.28	0.34
$f_{(DC033)}$	$R_{sel} = 3$ 、DCO = 3、MOD = 0、DCOR = 0、 $T_A = 25^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	0.37	0.49	0.59
		$V_{CC} = 3 \text{ V}$	0.37	0.47	0.56
$f_{(DC043)}$	$R_{sel} = 4$ 、DCO = 3、MOD = 0、DCOR = 0、 $T_A = 25^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	0.61	0.77	0.93
		$V_{CC} = 3 \text{ V}$	0.61	0.75	0.9
$f_{(DC053)}$	$R_{sel} = 5$ 、DCO = 3、MOD = 0、DCOR = 0、 $T_A = 25^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	1	1.2	1.5
		$V_{CC} = 3 \text{ V}$	1	1.3	1.5
$f_{(DC063)}$	$R_{sel} = 6$ 、DCO = 3、MOD = 0、DCOR = 0、 $T_A = 25^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	1.6	1.9	2.2
		$V_{CC} = 3 \text{ V}$	1.69	2	2.29
$f_{(DC073)}$	$R_{sel} = 7$ 、DCO = 3、MOD = 0、DCOR = 0、 $T_A = 25^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	2.4	2.9	3.4
		$V_{CC} = 3 \text{ V}$	2.7	3.2	3.65
$f_{(DC077)}$	$R_{sel} = 7$ 、DCO = 7、MOD = 0、DCOR = 0、 $T_A = 25^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	4	4.5	4.9
		$V_{CC} = 3 \text{ V}$	4.4	4.9	5.4
$f_{(DC047)}$	$R_{sel} = 4$ 、DCO = 7、MOD = 0、DCOR = 0、 $T_A = 25^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$	f_{DC040} x 1.7	f_{DC040} x 2.1	f_{DC040} x 2.5
$S_{(Rsel1)}$	$S_R = f_{Rsel+1} / f_{Rsel}$	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$	1.35	1.65	2
$S_{(DCO)}$	$S_{DCO} = f_{DCO+1} / f_{DCO}$	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$	1.07	1.12	1.16
D_t	温度ドリフト、 $R_{sel} = 4$ 、DCO = 3、MOD = 0 (注 1)	$V_{CC} = 2.2 \text{ V}$	-0.31	-0.36	-0.4
		$V_{CC} = 3 \text{ V}$	-0.33	-0.38	-0.43
D_V	V_{CC} 変動によるドリフト、 $R_{sel} = 4$ 、DCO = 3、MOD = 0 (注 1)	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$	0	5	10
			%/V		

(注 1) これらのパラメータは、量産テストは実施していません。

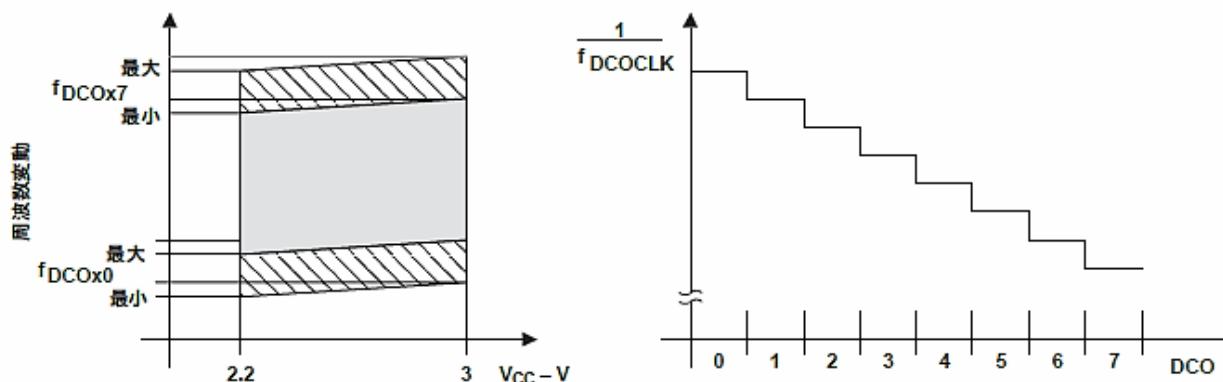


図 12. DCO 特性

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

主要 DCO 特性

- 個々のデバイスには、最小及び最大動作周波数があります。 $f_{(DCO_{x0})} \sim f_{(DCO_{x7})}$ の指定されたパラメータは、すべてのデバイスに適用されます。
- $Rsel(n)$ によって選択されるすべての範囲は、 $Rsel(n+1)$ と重なります： $Rsel0$ は $Rsel1$ と重なります、… $Rsel16$ は $Rsel17$ と重なります。
- DCO コントロール・ビット DCO0、DCO1、及び DCO2 は、パラメータ S_{DCO} によって定義されるステップ・サイズを持ちます。
- 変調制御ビット MOD0 ~ MOD4 は、32 DCOCLK サイクルの期間で $f_{(DCO+1)}$ が使用される頻度を選択します。周波数 $f_{(DCO+1)}$ は、残りのサイクルのために使用されます。この平均周波数は：

$$f_{average} = \frac{32 \times f_{(DCO)} \times f_{(DCO+1)}}{MOD \times f_{(DCO)} + (32-MOD) \times f_{(DCO+1)}}$$

 R_{osc} 使用時の DCO（注 1）

項目	測定条件	V_{cc}	最小	標準	最大	単位
f_{DCO} 、DCO 出力周波数	$R_{sel} = 4$ 、 $DCO = 3$ 、 $MOD = 0$ 、 $DCOR = 1$ 、 $T_A = 25^\circ C$	2.2 V	$1.8 \pm 15\%$			MHz
		3 V	$1.95 \pm 15\%$			
D_t 、温度ドリフト	$R_{sel} = 4$ 、 $DCO = 3$ 、 $MOD = 0$ 、 $DCOR = 1$	2.2 V/3 V	± 0.1			%/ $^\circ C$
D_v 、 V_{cc} 変動によるドリフト	$R_{sel} = 4$ 、 $DCO = 3$ 、 $MOD = 0$ 、 $DCOR = 1$	2.2 V/3 V	10			%/ V

(注 1) $R_{osc} = 100 \text{ k}\Omega$ 、金属皮膜抵抗、タイプ 0257、0.6 W、1% 誤差、 $T_k = \pm 50 \text{ ppm}/^\circ C$

クリスタル・オシレータ、LFXT1

項目	測定条件		最小	標準	最大	単位
C_{XIN}	XTS = 0； LF モード選択時、 $V_{cc} = 2.2 \text{ V} / 3 \text{ V}$		12			pF
	XTS = 1； XT1 モード選択時、 $V_{cc} = 2.2 \text{ V} / 3 \text{ V}$ （注 1）		2			
C_{XOUT}	XTS = 0； LF モード選択時、 $V_{cc} = 2.2 \text{ V} / 3 \text{ V}$		12			pF
	XTS = 1； XT1 モード選択時、 $V_{cc} = 2.2 \text{ V} / 3 \text{ V}$ （注 1）		2			
V_{IL}	XIN 入力レベル	$V_{cc} = 2.2 \text{ V} / 3 \text{ V}$ (注 2)	V_{ss}		$0.2 \times V_{cc}$	V
V_{IH}			$0.8 \times V_{cc}$		V_{cc}	

(注 1) オシレータの両方の端子に外部コンデンサが必要で、その値はクリスタルのメーカーにより規定されています。

(注 2) 外部ロジック・レベル・クロック・ソースを使用する場合のみに適用されます。クリスタル又はレゾネータを使用する場合は適用されません。

MSP430C11x1、MSP430F11x1A

ミックスド・シグナル・マイクロコントローラ

SLAS469 - 2005年5月

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

フラッシュ・メモリ

項目		測定条件	V_{CC}	最小	標準	最大	単位
$V_{CC(PGM/ERASE)}$	プログラム及び消去時電源電圧			2.7		3.6	V
f_{FTG}	フラッシュ・タイミング発生器周波数			257		476	kHz
I_{PGM}	プログラム時消費電流 (V_{CC})		2.7 V/3.6 V		3	5	mA
I_{ERASE}	消去時消費電流 (V_{CC})		2.7 V/3.6 V		3	7	mA
t_{CPT}	累積プログラム時間	(注 1)	2.7 V/3.6 V			4	ms
$t_{CMErase}$	累積一括消去時間	(注 2)	2.7 V/3.6 V	200			ms
	プログラム／消去回数			10^4	10^5		cycles
$t_{Retention}$	データ保持期間	$T_J = 25^\circ\text{C}$		100			years
t_{Word}	ワード又はバイト・プログラム時間	(注 2)			35		t_{FTG}
$t_{Block, 0}$	先頭バイト又はワードのブロック・プログラム時間				30		
$t_{Block, 1-63}$	各後続バイト又はワードのブロック・プログラム時間				21		
$t_{Block, End}$	ブロック・プログラム終了シーケンスのウェイト時間				6		
$t_{Mass Erase}$	一括消去時間				5297		
$t_{Seg Erase}$	セグメント消去時間				4819		

(注 1) 64 バイトのフラッシュ・ブロック書き込み動作時は、累積プログラム時間を越えてはいけません。このパラメータは、個々のワード／バイト書き込み及びブロック書き込みモードのすべてのプログラミング方法に適用されます。

(注 2) フラッシュ・タイミング発生器によって生成される一括消去時間は、最小 11.1 ms (= 5297 x 1/f_{FTG}, max = 5297 x 1/476 kHz) です。必要な累積一括消去時間を達成するために、フラッシュ・コントローラの一括消去動作を繰り返すことができます。（ワースト・ケースで最小 19 サイクル必要です。）

(注 3) これらの値は、フラッシュ・コントローラのスタート・マシンにハード・ワイヤードされています。 $(t_{FTG} = 1/f_{FTG})$

JTAG インタフェース

項目		測定条件	V_{CC}	最小	標準	最大	単位
f_{TCK}	TCK 入力周波数	(注 1)	2.2 V	0		5	MHz
			3 V	0		10	
$R_{Internal}$	内部プルダウン抵抗 (TEST)	(注 2)	2.2 V/3 V	25	60	90	kΩ

(注 1) f_{TCK} は、選択されたモジュールのタイミング条件に適合するよう制限されます。

(注 2) TEST プルダウン抵抗は、すべてのバージョンに内蔵されています。

JTAG ヒューズ（注 1）

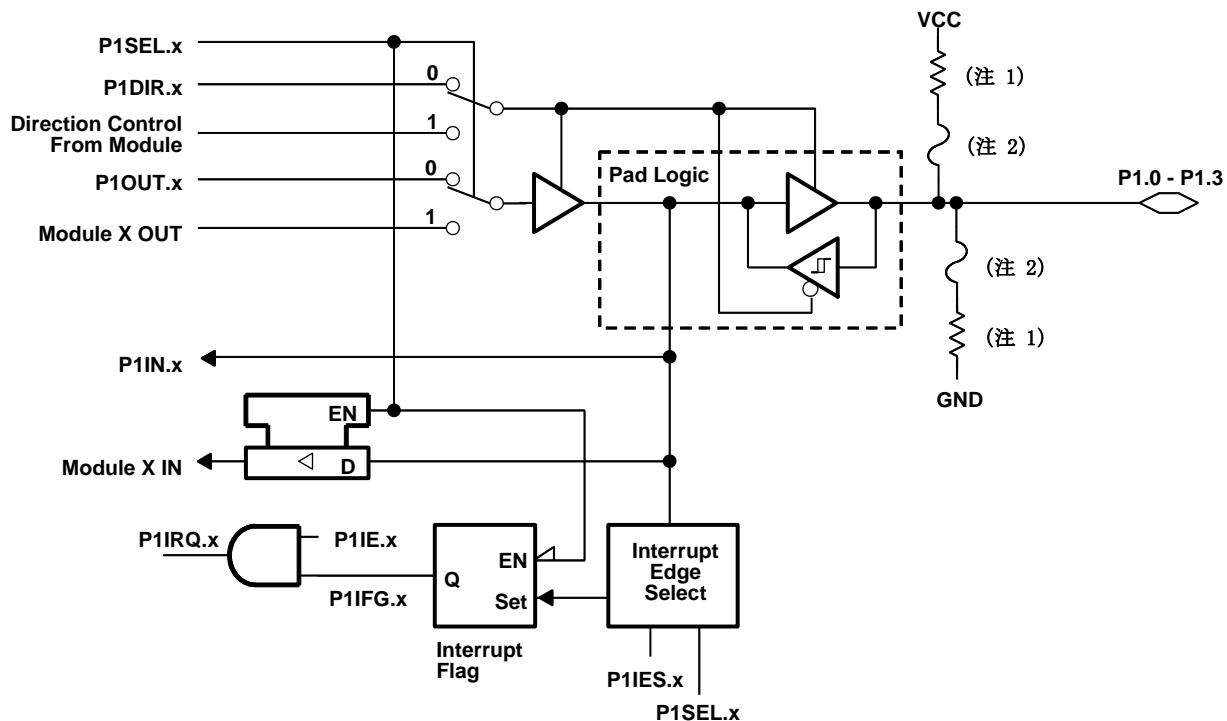
項目		測定条件	V_{CC}	最小	標準	最大	単位
$V_{CC(FB)}$	ヒューズ切断時の電源電圧	$T_A = 25^\circ\text{C}$		2.5			V
V_{FB}	ヒューズ切断電圧 (TEST) - `C11x1			3.5		3.9	V
	ヒューズ切断電圧 (TEST) - `F11x1A			6		7	V
I_{FB}	ヒューズ切断時の消費電流 (TEST)				100		mA
t_{FB}	ヒューズ切断時間					1	ms

(注 1) ヒューズが切断されると、二度と MSP430 の JTAG/テストおよびエミュレーション機能へアクセスすることができなくなります。JTAG ブロックは、バイパス・モードに切り換わります。

アプリケーション情報

入力／出力図

ポート P1、P1.0 ~ P1.3、シュミット・トリガ入力／出力



(注) x = ピット識別記号、ポート P1 は 0 ~ 3

PnSel.x	PnDIR.x	Direction control from module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnIES.x
P1Sel.0	P1DIR.0	P1DIR.0	P1OUT.0	V _{ss}	P1IN.0	TACLK ↑	P1IE.0	P1IFG.0	P1IES.0
P1Sel.1	P1DIR.1	P1DIR.1	P1OUT.1	Out0 signal ↑	P1IN.1	CCI0A ↑	P1IE.1	P1IFG.1	P1IES.1
P1Sel.2	P1DIR.2	P1DIR.2	P1OUT.2	Out1 signal ↑	P1IN.2	CCI1A ↑	P1IE.2	P1IFG.2	P1IES.2
P1Sel.3	P1DIR.3	P1DIR.3	P1OUT.3	Out2 signal ↑	P1IN.3	CCI2A ↑	P1IE.3	P1IFG.3	P1IES.3

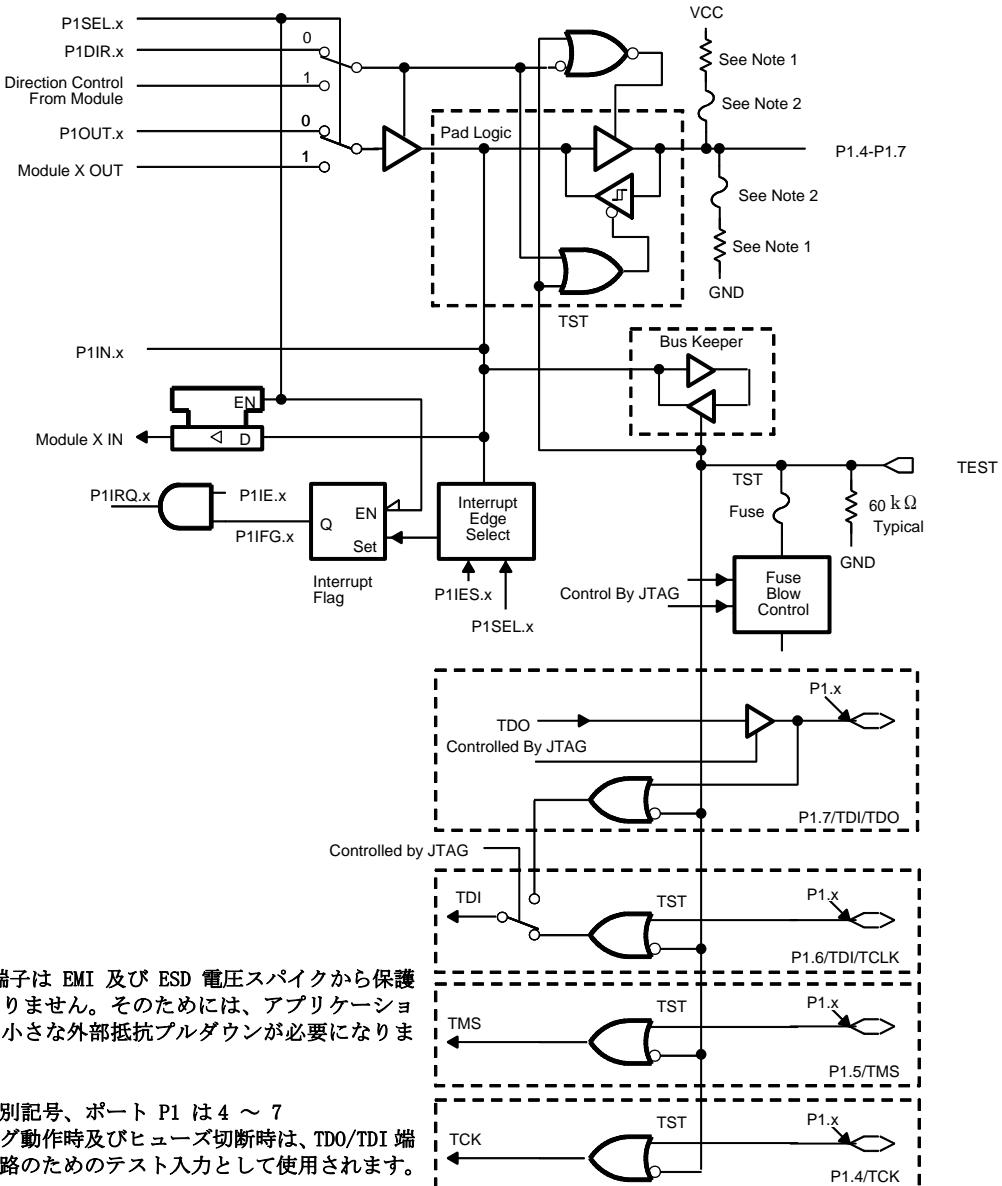
† タイマ_A からの（又はへの）信号

(注 1) ROM (マスク) バージョンのプルアップ又はプルダウン抵抗のオプション選択

(注 2) オプションのプルアップ及びプルダウン抵抗のヒューズは、工場でのみプログラム可能です。 (ROM バージョンのみ)

アプリケーション情報

ポート P1、P1.4 ~ P1.7、シュミット・トリガ及びイン・システム・アクセス機能入力／出力



PnSel.x	PnDIR.x	Direction control from module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnIES.x
P1Sel.4	P1DIR.4	P1DIR.4	P1OUT.4	SMCLK	P1IN.4	unused	P1IE.4	P1IFG.4	P1IES.4
P1Sel.5	P1DIR.5	P1DIR.5	P1OUT.5	Out0 signal †	P1IN.5	unused	P1IE.5	P1IFG.5	P1IES.5
P1Sel.6	P1DIR.6	P1DIR.6	P1OUT.6	Out1 signal †	P1IN.6	unused	P1IE.6	P1IFG.6	P1IES.6
P1Sel.7	P1DIR.7	P1DIR.7	P1OUT.7	Out2 signal †	P1IN.7	unused	P1IE.7	P1IFG.7	P1IES.7

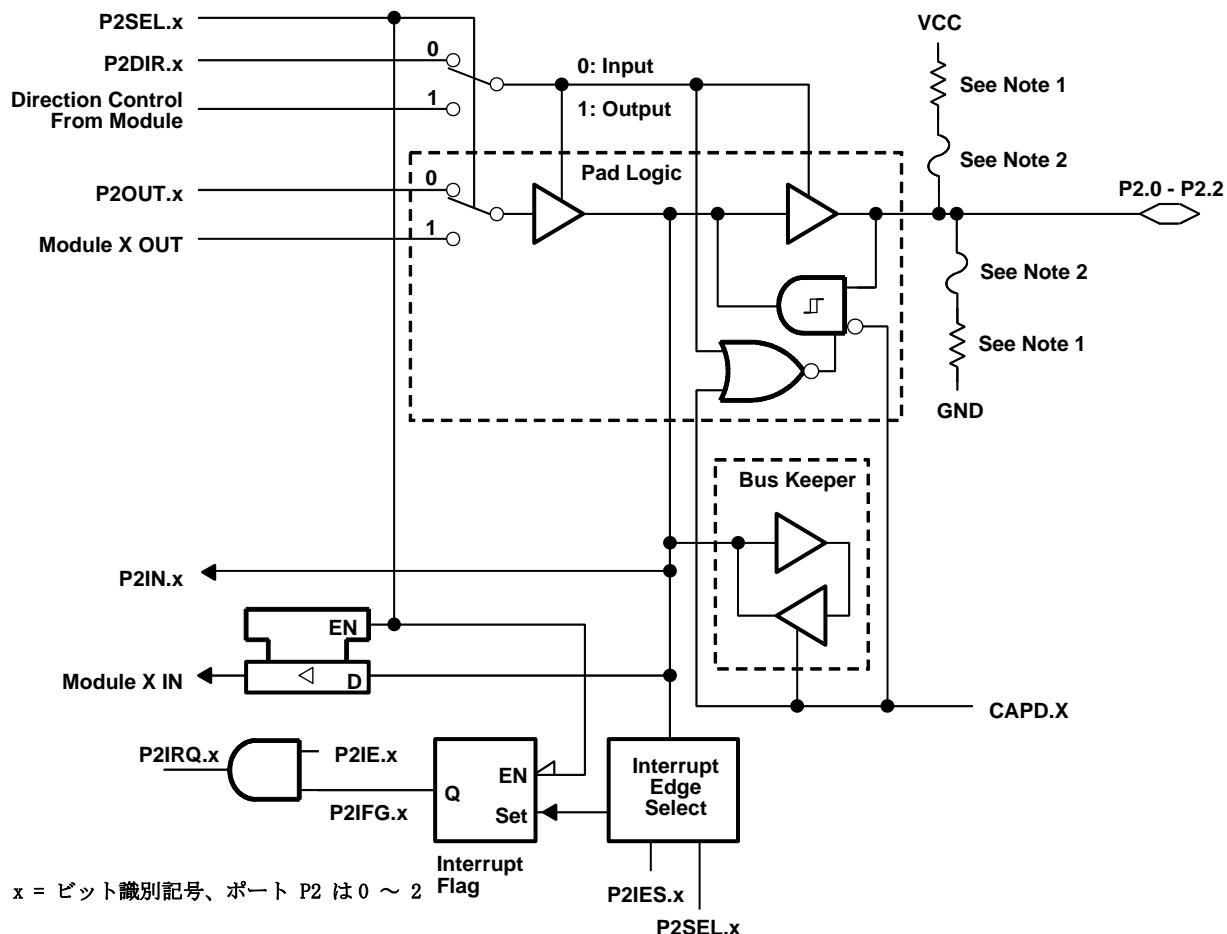
† タイマ_A からの（又はへの）信号

(注 1) ROM (マスク) バージョンのプルアップ又はプルダウン抵抗のオプション選択

(注 2) オプションのプルアップ及びプルダウン抵抗のヒューズは、工場でのみプログラム可能です。（ROM バージョンのみ）

アプリケーション情報

ポート P2、P2.0 ~ P2.2、シュミット・トリガ入力／出力



PnSel.x	PnDIR.x	Direction control from module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnIES.x
P2Sel.0	P2DIR.0	P2DIR.0	P2OUT.0	ACLK	P2IN.0	unused	P2IE.0	P2IFG.0	P1IES.0
P2Sel.1	P2DIR.1	P2DIR.1	P2OUT.1	V _{ss}	P2IN.1	INCLK †	P2IE.1	P2IFG.1	P1IES.1
P2Sel.2	P2DIR.2	P2DIR.2	P2OUT.2	CAOUT	P2IN.2	CCI0B †	P2IE.2	P2IFG.2	P1IES.2

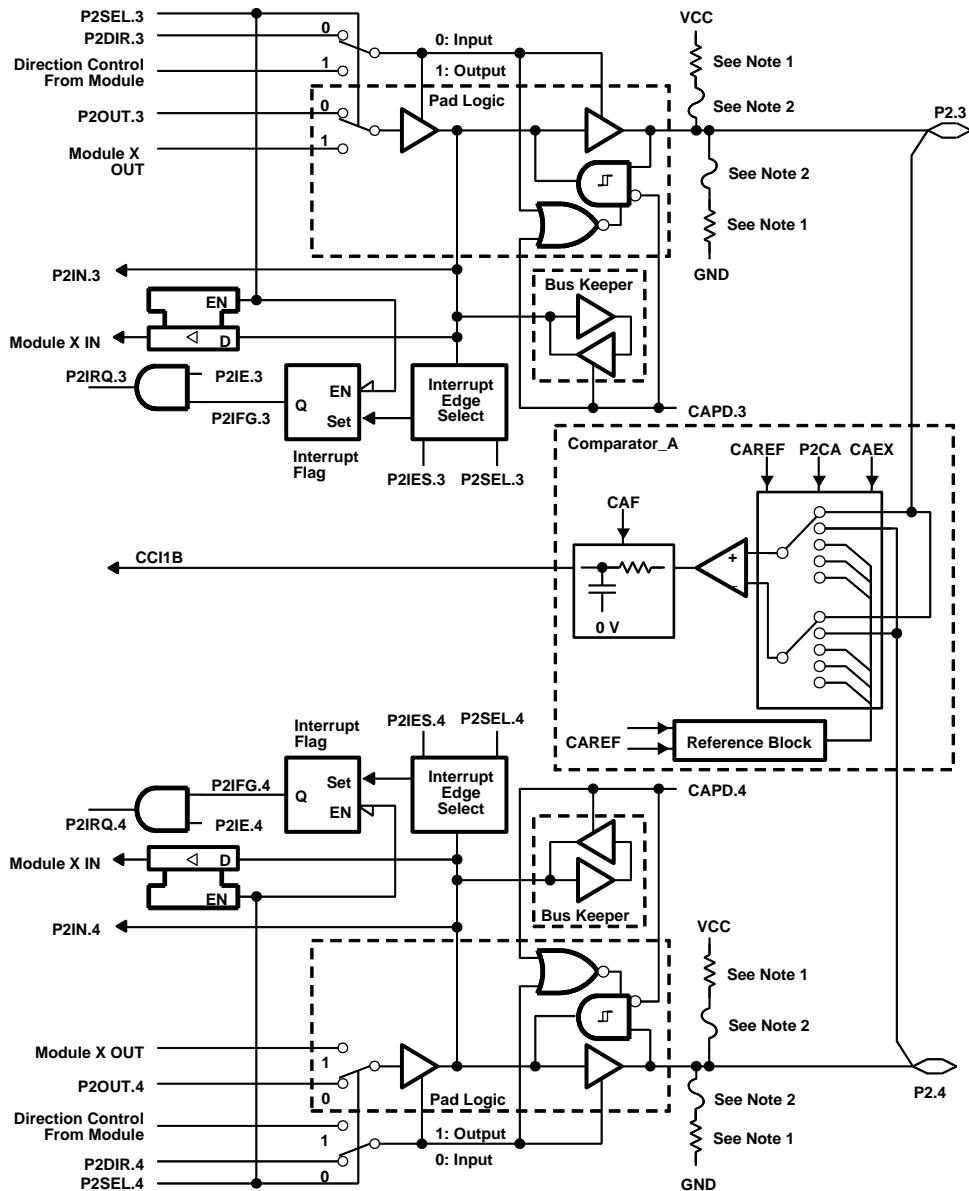
† タイマ_A からの（又はへの）信号

(注 1) ROM (マスク) バージョンのプルアップ又はプルダウン抵抗のオプション選択

(注 2) オプションのプルアップ及びプルダウン抵抗のヒューズは、工場でのみプログラム可能です。（ROM バージョンのみ）

アプリケーション情報

ポート P2、P2.3 ~ P2.4、シュミット・トリガ入力／出力



PnSel.x	PnDIR.x	Direction control from module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnIES.x
P2Sel.3	P2DIR.3	P2DIR.3	P2OUT.3	Out1 signal ↑	P2IN.3	unused	P2IE.3	P2IFG.3	P1IES.3
P2Sel.4	P2DIR.4	P2DIR.4	P2OUT.4	Out2 signal ↑	P2IN.4	unused	P2IE.4	P2IFG.4	P1IES.4

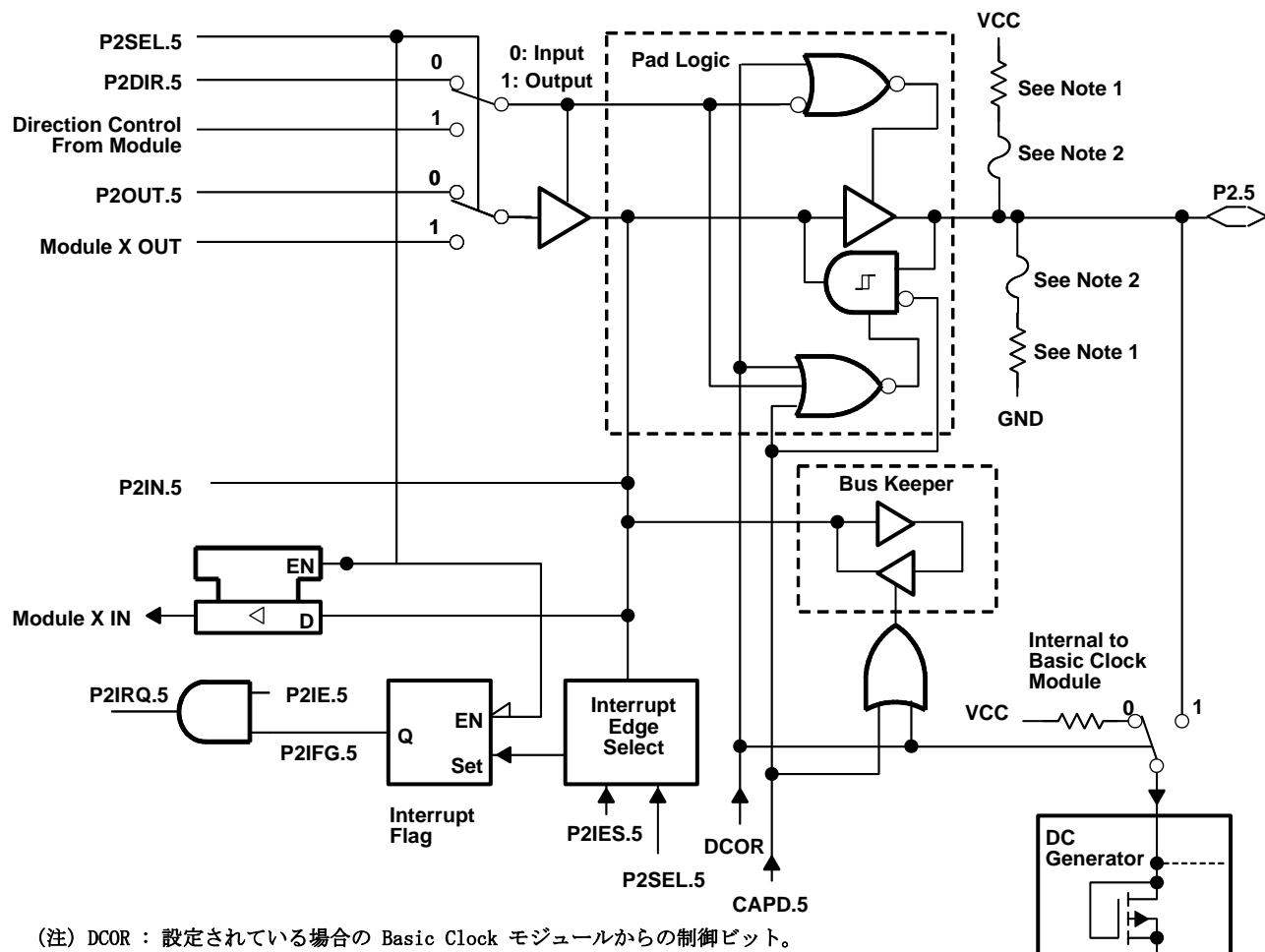
† タイマ_Aからの（又はへの）信号

(注 1) ROM (マスク) バージョンのプルアップ又はプルダウン抵抗のオプション選択

(注 2) オプションのプルアップ及びプルダウン抵抗のヒューズは、工場でのみプログラム可能です。 (ROM バージョンのみ)

アプリケーション情報

ポート P2、P2.5、シュミット・トリガ入力／出力及び Basic Clock モジュール用 R_{osc} 機能



(注) DCOR : 設定されている場合の Basic Clock モジュールからの制御ビット。
P2.5 は P2.5 パッドから切り離されます。

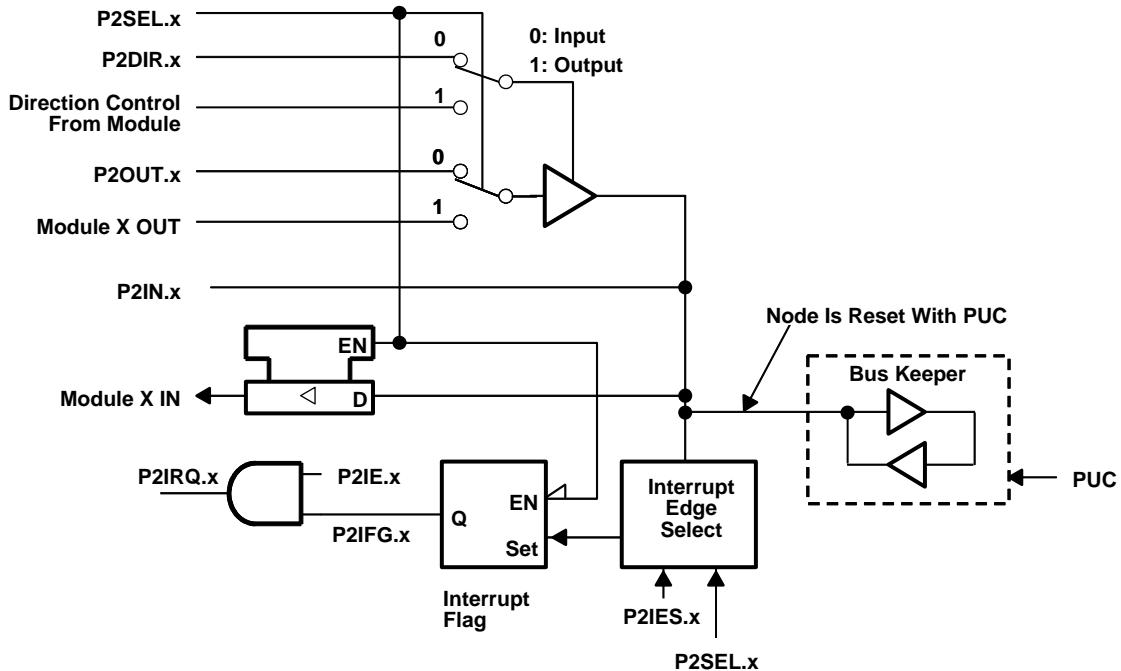
PnSel.x	PnDIR.x	Direction control from module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnIES.x
P2Sel.5	P2DIR.5	P2DIR.5	P2OUT.5	V _{ss}	P2IN.5	unused	P2IE.5	P2IFG.5	P2IES.5

(注 1) ROM (マスク) バージョンのプルアップ又はプルダウン抵抗のオプション選択

(注 2) オプションのプルアップ及びプルダウン抵抗のヒューズは、工場でのみプログラム可能です。 (ROM バージョンのみ)

アプリケーション情報

ポート P2、ボンドされていないビット P2.6 及び P2.7



(注) x = ビット識別記号、ポート P2 は 6 ~ 7 で、外部端子はありません。

P2Sel.x	P2DIR.x	Direction control from module	P2OUT.x	Module X OUT	P2IN.x	Module X IN	P2IE.x	P2IFG.x	P2IES.x
P2Sel.6	P2DIR.6	P2DIR.6	P2OUT.6	V _{ss}	P2IN.6	unused	P2IE.6	P2IFG.6	P2IES.6
P2Sel.7	P2DIR.7	P2DIR.7	P2OUT.7	V _{ss}	P2IN.7	unused	P2IE.7	P2IFG.7	P2IES.7

(注 1) ポート P2 のボンドされていないビット 6 及び 7 は、ソフトウェア割り込みフラグとして使用することができます。割り込みフラグはソフトウェアのみによって制御され、ソフトウェア割り込みとして動作します。

JTAG ヒューズ・チェック・モード

MSP430 デバイスは、TEST 端子上にヒューズを持っており、パワー・オン・リセット (POR) 直後の一回目に JTAG にアクセスしてヒューズの導通をテストするヒューズ・チェック・モードを装備しています。機能させている場合、ヒューズが切られていなければ、3 V で 1 mA、5 V で 2.5 mA の I_{TF} チェック電流が TEST 端子からグランドに流れます。誤ってヒューズ・チェック・モードを起動させたり、システムの総消費電流を増加させたりしないよう注意して下さい。

テスト又はプログラミング・セッションの後、TEST 端子が再びロー・レベルになると、ヒューズ・チェック・モード及び検出電流が終了します。

パワー・アップの後の TMS の最初の立ち下がりエッジを伴って、又は TMS がロー・レベルに保持された状態でのパワー・アップ後、ヒューズ・チェック・モード機能が起動します。次の TMS の立ち上がりエッジでヒューズ・チェック・モードを停止します。停止後、ヒューズ・チェック・モードは、次の POR が発生するまで休止します。各 POR 後に、ヒューズ・チェック・モードが動作することになります。

ヒューズ・チェック電流は、ヒューズ・チェック・モードが動作していて、TMS がロー・レベル（図 13 参照）の時に発生します。従って、TMS をハイ・レベル（初期設定条件）にすることにより、電流の流出を防止することができます。

POR 後の TMS がロー・レベルになる点

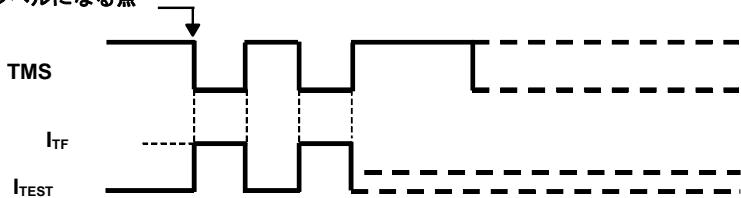


図 13. ヒューズ・チェック・モード電流、MSP430F11x1A 及び MSP430C11x1

(注)

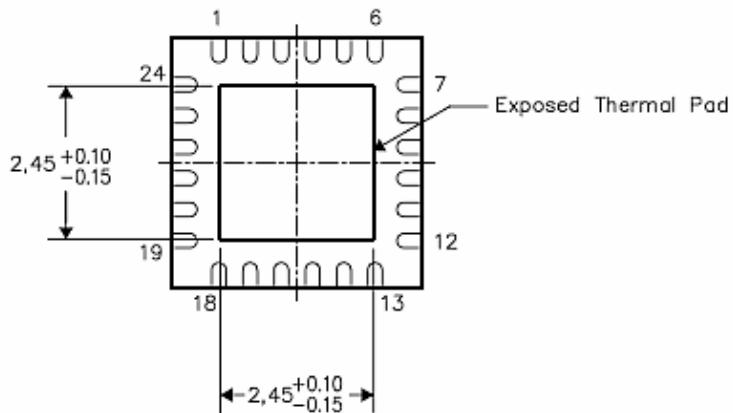
JTAG ヒューズが切断され、256 ビットのブートローダ・アクセス・キーが使用された場合、コード及び RAM データ保護が保証されます。詳細は、ブートストラップ・ローダのセクションを参照して下さい。

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB), the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to a ground plane or special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No-Lead (QFN) package and its advantages, refer to Application Report, Quad Flatpack No-Lead Logic Packages, Texas Instruments Literature No. SCBA017. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Bottom View

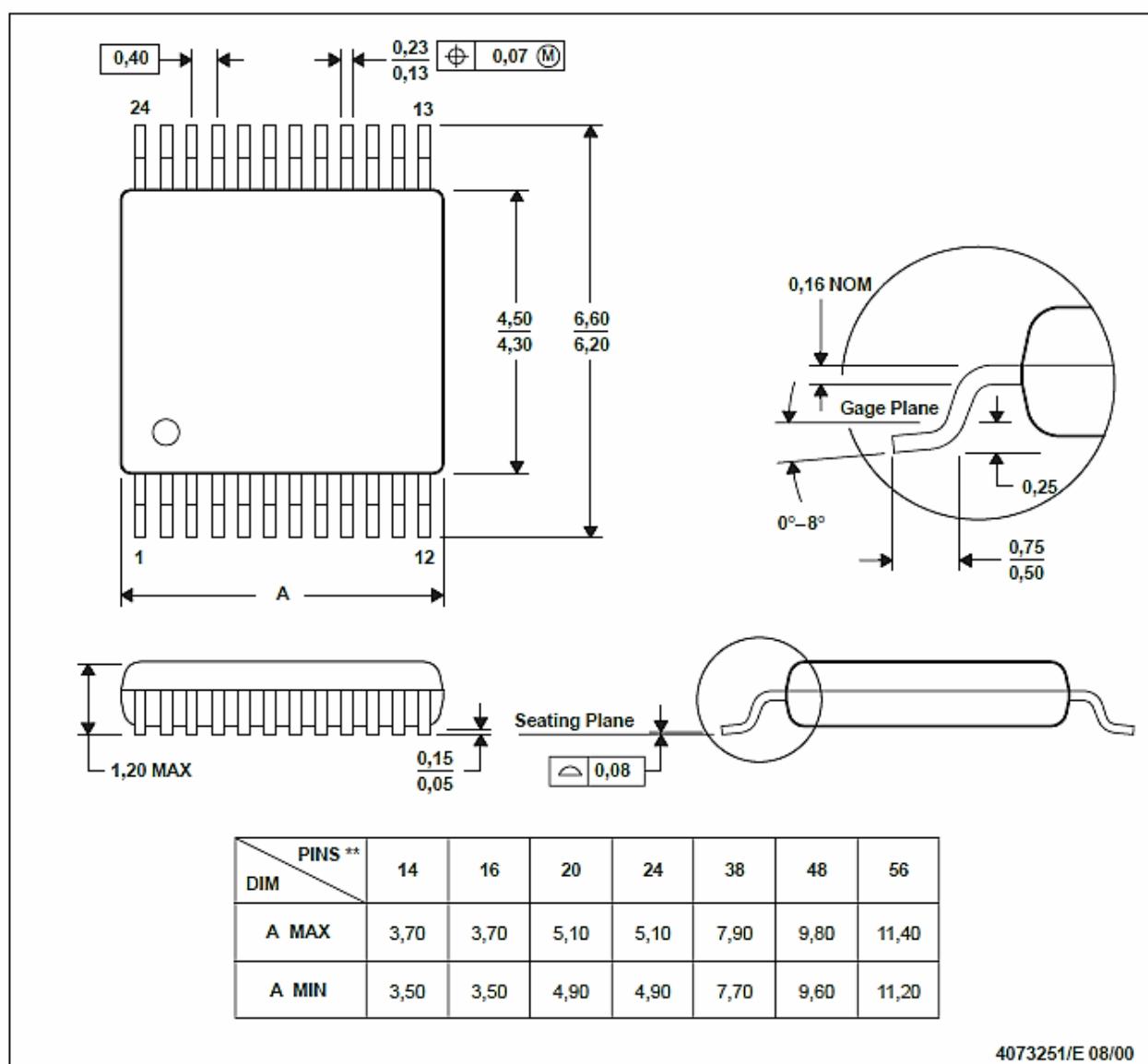
NOTE: All linear dimensions are in millimeters

Exposed Thermal Pad Dimensions

DGV (R-PDSO-G**)

24 PINS SHOWN

PLASTIC SMALL-OUTLINE



(注 A) すべての寸法の単位はインチ (mm) とします。

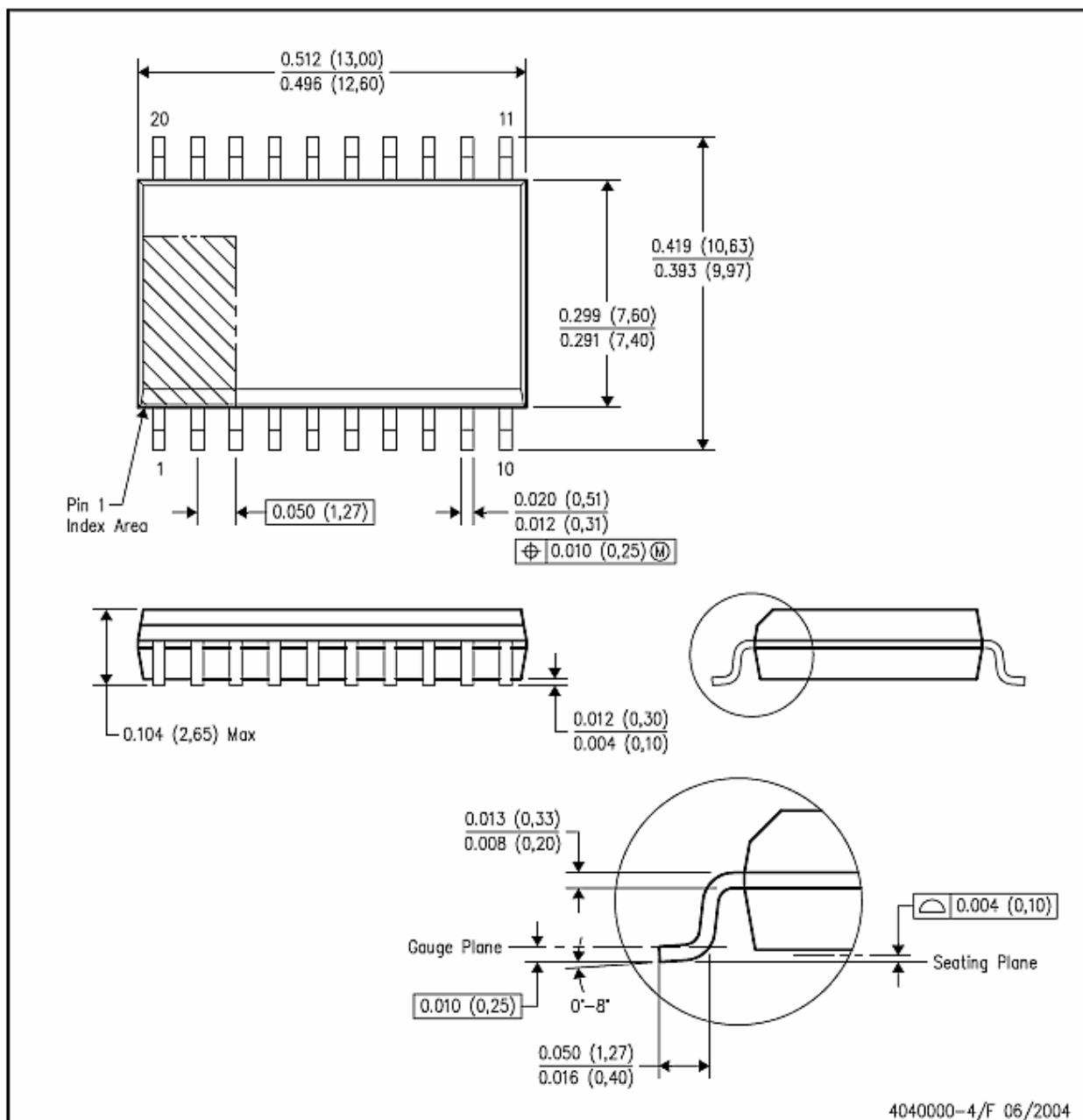
(注 B) この図面は予告なく変更されることがあります。

(注 C) ボディ寸法は 0.006 (0,15) 以下のモールド・フラッシュ又は突起を含みません。

(注 D) JEDEC MO-194 に相当します。

DW (R-PDSO-G20)

PLASTIC SMALL-OUTLINE PACKAGE



(注 A) すべての寸法の単位は inch (mm) とします。

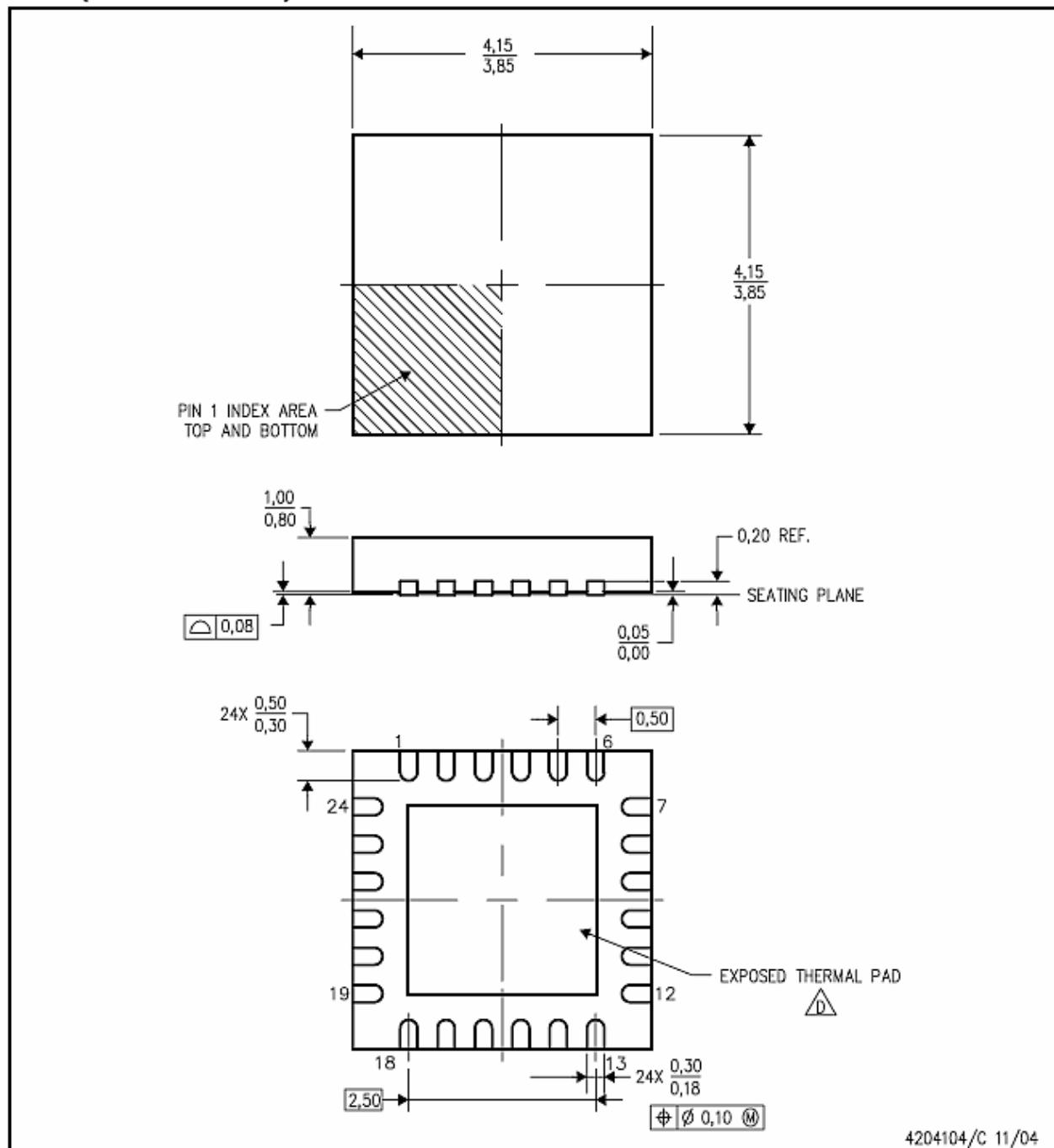
(注 B) この図面は予告なく変更されることがあります。

(注 C) ボディ寸法は 0.006 (0.15) 以下のモールド・フラッシュ又は突起を含みません。

(注 D) JEDEC MS-013 variation AC に相当します。

RGE (S-PQFP-N24)

PLASTIC QUAD FLATPACK



(注 A) すべての寸法の単位は mm とします。寸法及び許容差は、ASME Y14.5M-1994 に従っています。

(注 B) この図面は予告なく変更されることがあります。

(注 C) Quad Flatpack No-leads (QFN) パッケージ

(注 D) 热的及び機械的性能のため、パッケージの放熱パッドはプリント基板にはんだ付けしなければなりません。

露出した放熱パッドの寸法の詳細は、製品のデータ シートを参照して下さい。

(注 E) JEDEC MO-220 に相当します。

MSP430C11x1、MSP430F11x1A

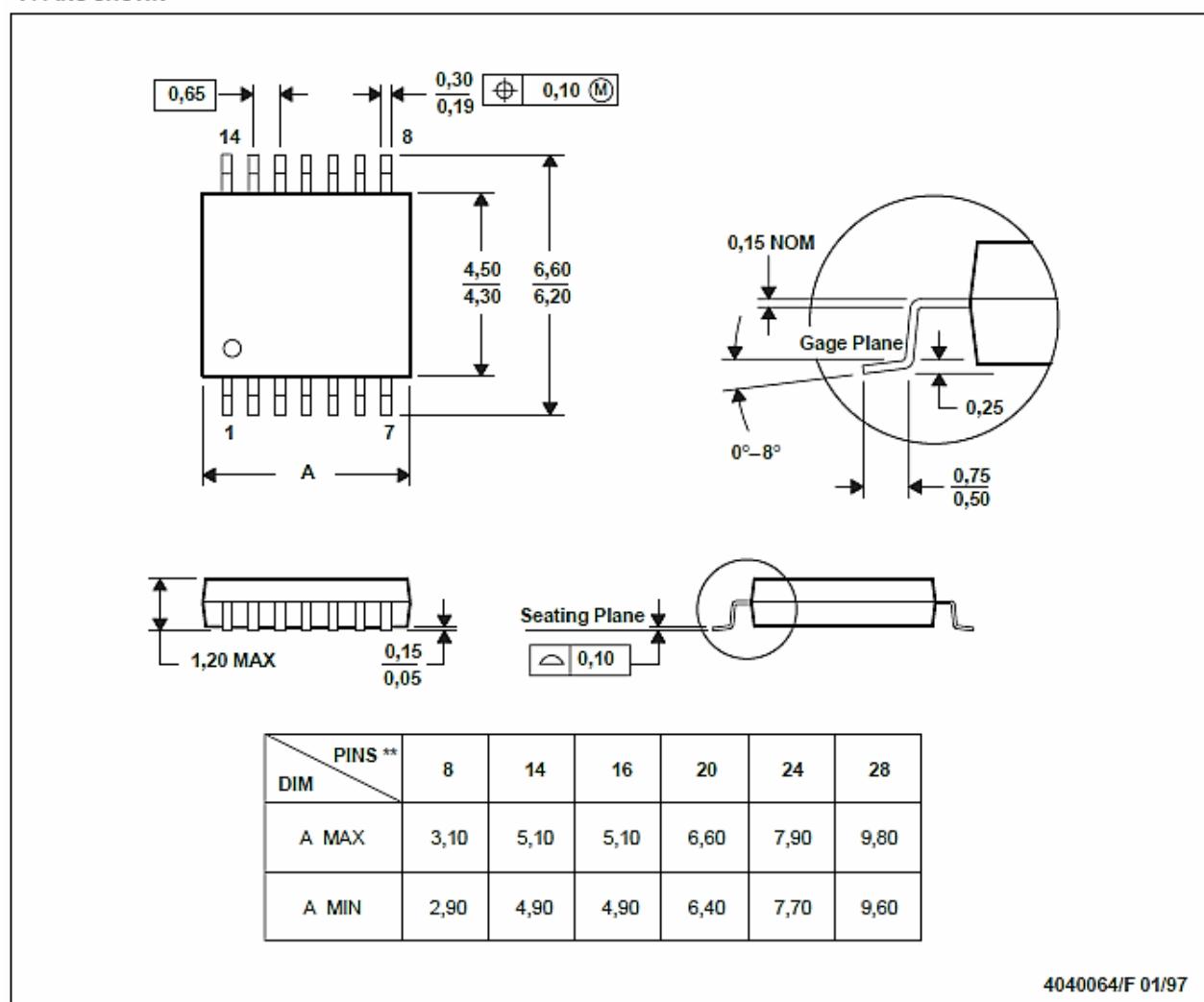
ミックスド・シグナル・マイクロコントローラ

SLAS469 - 2005年5月

PW (R-PDSO-G**)

14 PINS SHOWN

PLASTIC SMALL-OUTLINE PACKAGE



(注 A) すべての寸法の単位は mm とします。

(注 B) この図面は予告なく変更されることがあります。

(注 C) ボディ寸法は 0,15 以下のモールド・フラッシュ又は突起を含みません。

(注 D) JEDEC MO-153 に相当します。

(SLAS241H - SEPTEMBER 1999 - REVISED SEPTEMBER 2004)

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
M430F1121AIRGERG4	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430F 1121A
M430F1121AIRGERG4.A	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430F 1121A
M430F1121AIRGERG4.B	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430F 1121A
MSP430F1101AIDGV	Active	Production	TVSOP (DGV) 20	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4F1101A
MSP430F1101AIDGV.A	Active	Production	TVSOP (DGV) 20	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4F1101A
MSP430F1101AIDGV.B	Active	Production	TVSOP (DGV) 20	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4F1101A
MSP430F1101AIDGVR	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4F1101A
MSP430F1101AIDGVR.A	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4F1101A
MSP430F1101AIDGVR.B	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4F1101A
MSP430F1101AIDW	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1101A
MSP430F1101AIDW.A	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1101A
MSP430F1101AIDW.B	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1101A
MSP430F1101AIDWR	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1101A
MSP430F1101AIDWR.A	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1101A
MSP430F1101AIDWR.B	Active	Production	SOIC (DW) 20	2000 LARGE T&R	-	Call TI	Call TI	-40 to 85	
MSP430F1101AIPW	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F1101A
MSP430F1101AIPW.A	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F1101A
MSP430F1101AIPW.B	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F1101A
MSP430F1101AIPWR	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F1101A
MSP430F1101AIPWR.A	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F1101A
MSP430F1101AIPWR.B	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F1101A
MSP430F1101AIRGER	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430F 1101A
MSP430F1101AIRGER.A	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430F 1101A
MSP430F1101AIRGER.B	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430F 1101A

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
MSP430F1101AIRGET	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430F 1101A
MSP430F1101AIRGET.A	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430F 1101A
MSP430F1101AIRGET.B	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430F 1101A
MSP430F1111AIDGV	Active	Production	TVSOP (DGV) 20	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4F1111A
MSP430F1111AIDGV.A	Active	Production	TVSOP (DGV) 20	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4F1111A
MSP430F1111AIDGV.B	Active	Production	TVSOP (DGV) 20	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4F1111A
MSP430F1111AIDW	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1111A
MSP430F1111AIDW.A	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1111A
MSP430F1111AIDW.B	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1111A
MSP430F1111AIDWR	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1111A
MSP430F1111AIDWR.A	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1111A
MSP430F1111AIDWR.B	Active	Production	SOIC (DW) 20	2000 LARGE T&R	-	Call TI	Call TI	-40 to 85	
MSP430F1111AIPW	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F1111A
MSP430F1111AIPW.A	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F1111A
MSP430F1111AIPWR	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F1111A
MSP430F1111AIPWR.A	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F1111A
MSP430F1111AIPWR.B	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F1111A
MSP430F1111AIRGER	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430F 1111A
MSP430F1111AIRGER.A	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430F 1111A
MSP430F1111AIRGER.B	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	-	Call TI	Call TI	-40 to 85	
MSP430F1111AIRGET	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430F 1111A
MSP430F1111AIRGET.A	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430F 1111A
MSP430F1111AIRGET.B	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430F 1111A
MSP430F1121AIDGV	Active	Production	TVSOP (DGV) 20	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4F1121A
MSP430F1121AIDGV.A	Active	Production	TVSOP (DGV) 20	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4F1121A

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
MSP430F1121AIDGV.B	Active	Production	TVSOP (DGV) 20	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4F1121A
MSP430F1121AIDGVR	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4F1121A
MSP430F1121AIDGVR.A	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4F1121A
MSP430F1121AIDGVR.B	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4F1121A
MSP430F1121AIDW	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1121A
MSP430F1121AIDW.A	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1121A
MSP430F1121AIDW.B	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1121A
MSP430F1121AIDWR	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1121A
MSP430F1121AIDWR.A	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F1121A
MSP430F1121AIDWR.B	Active	Production	SOIC (DW) 20	2000 LARGE T&R	-	Call TI	Call TI	-40 to 85	
MSP430F1121AIPW	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F1121A
MSP430F1121AIPW.A	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F1121A
MSP430F1121AIPW.B	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F1121A
MSP430F1121AIPWR	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F1121A
MSP430F1121AIPWR.A	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F1121A
MSP430F1121AIPWR.B	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F1121A
MSP430F1121AIPWRG4	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F1121A
MSP430F1121AIPWRG4.A	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F1121A
MSP430F1121AIPWRG4.B	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F1121A
MSP430F1121AIRGER	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430F 1121A
MSP430F1121AIRGER.A	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430F 1121A
MSP430F1121AIRGER.B	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	-	Call TI	Call TI	-40 to 85	
MSP430F1121AIRGET	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430F 1121A
MSP430F1121AIRGET.A	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430F 1121A
MSP430F1121AIRGET.B	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430F 1121A

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

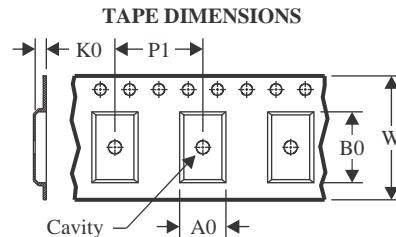
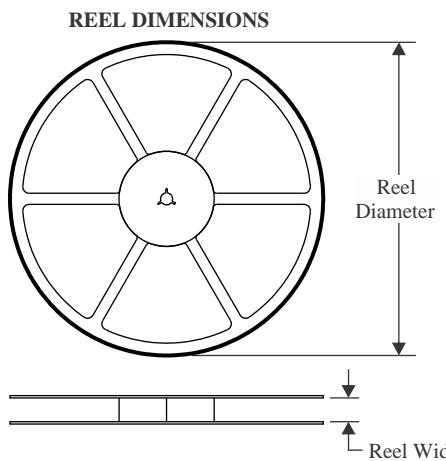
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

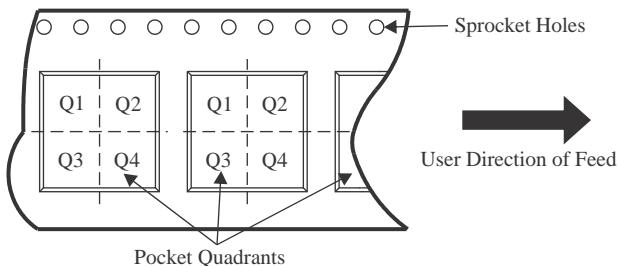
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

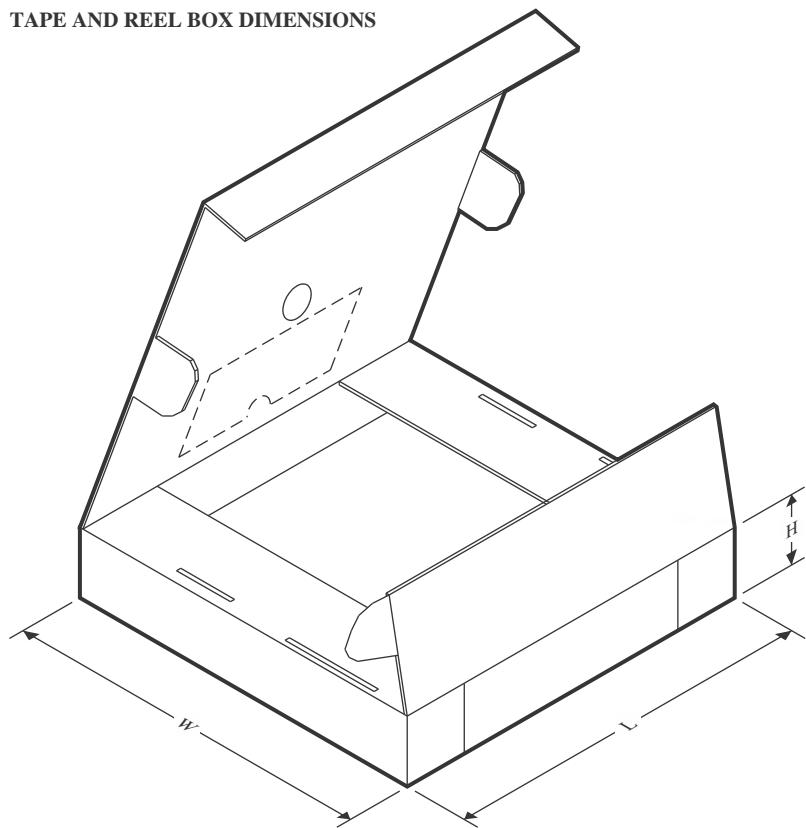
TAPE AND REEL INFORMATION

A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

*All dimensions are nominal

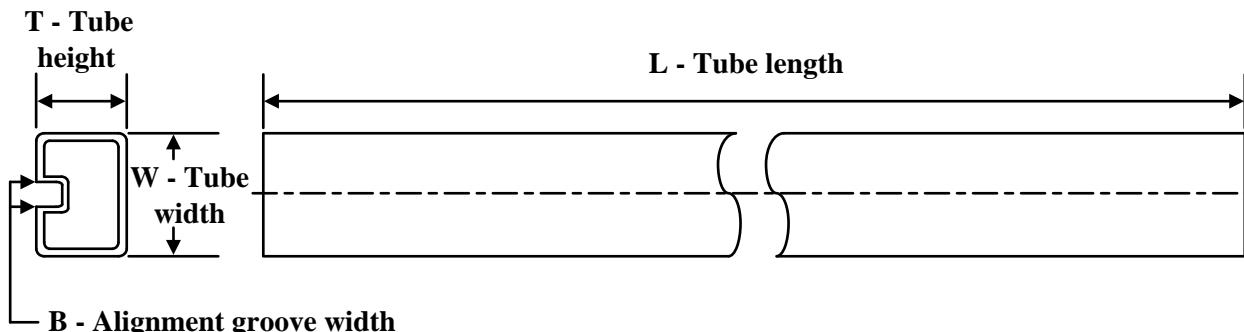
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
M430F1121AIRGERG4	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430F1101AIDGVR	TVSOP	DGV	20	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MSP430F1101AIDWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
MSP430F1101AIPWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
MSP430F1101AIRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430F1101AIRGET	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430F1111AIDWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
MSP430F1111AIPWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
MSP430F1111AIRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430F1111AIRGET	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430F1121AIDGVR	TVSOP	DGV	20	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MSP430F1121AIDWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
MSP430F1121AIPWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
MSP430F1121AIPWRG4	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
MSP430F1121AIRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430F1121AIRGET	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
M430F1121AIRGERG4	VQFN	RGE	24	3000	353.0	353.0	32.0
MSP430F1101AIDGVR	TVSOP	DGV	20	2000	353.0	353.0	32.0
MSP430F1101AIDWR	SOIC	DW	20	2000	356.0	356.0	45.0
MSP430F1101AIPWR	TSSOP	PW	20	2000	353.0	353.0	32.0
MSP430F1101AIRGER	VQFN	RGE	24	3000	353.0	353.0	32.0
MSP430F1101AIRGET	VQFN	RGE	24	250	213.0	191.0	35.0
MSP430F1111AIDWR	SOIC	DW	20	2000	356.0	356.0	45.0
MSP430F1111AIPWR	TSSOP	PW	20	2000	353.0	353.0	32.0
MSP430F1111AIRGER	VQFN	RGE	24	3000	353.0	353.0	32.0
MSP430F1111AIRGET	VQFN	RGE	24	250	213.0	191.0	35.0
MSP430F1121AIDGVR	TVSOP	DGV	20	2000	353.0	353.0	32.0
MSP430F1121AIDWR	SOIC	DW	20	2000	356.0	356.0	45.0
MSP430F1121AIPWR	TSSOP	PW	20	2000	353.0	353.0	32.0
MSP430F1121AIPWRG4	TSSOP	PW	20	2000	353.0	353.0	32.0
MSP430F1121AIRGER	VQFN	RGE	24	3000	353.0	353.0	32.0
MSP430F1121AIRGET	VQFN	RGE	24	250	213.0	191.0	35.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μ m)	B (mm)
MSP430F1101AIDGV	DGV	TVSOP	20	90	530	10.2	3600	3.5
MSP430F1101AIDGV.A	DGV	TVSOP	20	90	530	10.2	3600	3.5
MSP430F1101AIDGV.B	DGV	TVSOP	20	90	530	10.2	3600	3.5
MSP430F1101AIDW	DW	SOIC	20	25	507	12.83	5080	6.6
MSP430F1101AIDW.A	DW	SOIC	20	25	507	12.83	5080	6.6
MSP430F1101AIDW.B	DW	SOIC	20	25	507	12.83	5080	6.6
MSP430F1101AIPW	PW	TSSOP	20	70	530	10.2	3600	3.5
MSP430F1101AIPW.A	PW	TSSOP	20	70	530	10.2	3600	3.5
MSP430F1101AIPW.B	PW	TSSOP	20	70	530	10.2	3600	3.5
MSP430F1111AIDGV	DGV	TVSOP	20	90	530	10.2	3600	3.5
MSP430F1111AIDGV.A	DGV	TVSOP	20	90	530	10.2	3600	3.5
MSP430F1111AIDGV.B	DGV	TVSOP	20	90	530	10.2	3600	3.5
MSP430F1111AIDW	DW	SOIC	20	25	507	12.83	5080	6.6
MSP430F1111AIDW.A	DW	SOIC	20	25	507	12.83	5080	6.6
MSP430F1111AIDW.B	DW	SOIC	20	25	507	12.83	5080	6.6
MSP430F1111AIPW	PW	TSSOP	20	70	530	10.2	3600	3.5
MSP430F1111AIPW.A	PW	TSSOP	20	70	530	10.2	3600	3.5
MSP430F1121AIDGV	DGV	TVSOP	20	90	530	10.2	3600	3.5
MSP430F1121AIDGV.A	DGV	TVSOP	20	90	530	10.2	3600	3.5
MSP430F1121AIDGV.B	DGV	TVSOP	20	90	530	10.2	3600	3.5
MSP430F1121AIDW	DW	SOIC	20	25	507	12.83	5080	6.6
MSP430F1121AIDW.A	DW	SOIC	20	25	507	12.83	5080	6.6
MSP430F1121AIDW.B	DW	SOIC	20	25	507	12.83	5080	6.6
MSP430F1121AIPW	PW	TSSOP	20	70	530	10.2	3600	3.5
MSP430F1121AIPW.A	PW	TSSOP	20	70	530	10.2	3600	3.5
MSP430F1121AIPW.B	PW	TSSOP	20	70	530	10.2	3600	3.5

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適したTI製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているTI製品を使用するアプリケーションの開発の目的でのみ、TIはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TIや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TIおよびその代理人を完全に補償するものとし、TIは一切の責任を拒否します。

TIの製品は、[TIの販売条件](#)、[TIの総合的な品質ガイドライン](#)、[ti.com](#)またはTI製品などに関連して提供される他の適用条件に従い提供されます。TIがこれらのリソースを提供することは、適用されるTIの保証または他の保証の放棄の拡大や変更を意味するものではありません。TIがカスタム、またはカスタマー仕様として明示的に指定していない限り、TIの製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TIはそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025年10月