

LP8758-EA 4つの4A出力同期整流降圧DC/DCコンバータ

1 特長

- 完全に統合されたクワッド降圧コンバータ、降圧コンバータコアごとに最大4Aの最大出力電流をプログラム可能
 - PWM-PFM自動切り換えおよび強制PWM動作
 - 出力電圧スルーレートを30mV/μs～0.5mV/μsの範囲でプログラム可能
 - 入力電圧範囲: 2.5V～5.5V
 - V_{OUT} 範囲:DVSにより0.5V～3.36V
- プログラム可能なスタートアップ/シャットダウン・シーケンス(イネーブル信号に同期)
- I²C互換インターフェイスのStandard(100kHz)、Fast(400kHz)、Fast+(1MHz)、High-Speed(3.4MHz)モードをサポート
- マスクをプログラム可能な割り込み機能
- 負荷電流測定
- 出力短絡および過負荷保護
- 拡散スペクトラム・モードによるEMI低減
- 4つの降圧コアは互いに90°異なる位相で動作するため、入力リップル電流が減少
- 過熱警告および保護
- 低電圧誤動作防止(UVLO)

2 アプリケーション

- 光モジュール
- ドローン・システム
- スマートフォン、電子書籍、タブレット
- ソリッドステート・ドライブ

3 説明

LP8758-EAデバイスは、携帯電話やネットワークカードなどのアプリケーションで使用される低消費電力プロセッサの電力管理要件を満たすよう設計されています。このデバイスには、4つの降圧DC-DCコンバータコアが内蔵されており、4つの出力電圧レールを供給します。このデバイスは、I²C互換のシリアルインターフェイスにより制御されます。

PWM-PFMの自動切換(AUTOモード)動作により、広い出力電流範囲にわたって効率を最大化します。

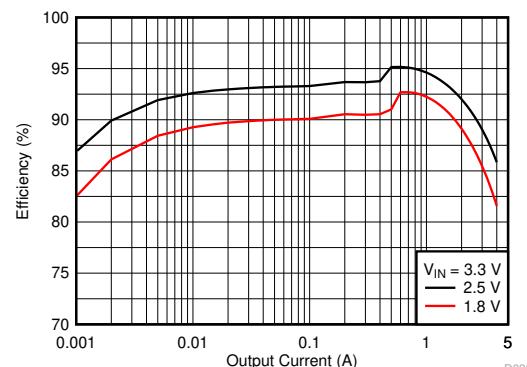
LP8758-EAは、ハードウェアのイネーブル入力信号に同期したプログラム可能なスタートアップおよびシャットダウン・シーケンスをサポートしています。

保護機能として、短絡保護、電流制限、入力電源UVLO、温度警告およびシャットダウン機能が搭載されています。デバイスのステータス情報のための複数のエラーフラグが用意されています。さらに、LP8758-EAデバイスは、外付けの電流検出抵抗を追加しないで負荷電流を測定できます。スタートアップ中と電圧変化時に、本デバイスは出力スルーレートを制御し、出力電圧のオーバーシュートと突入電流を最小化します。

製品情報

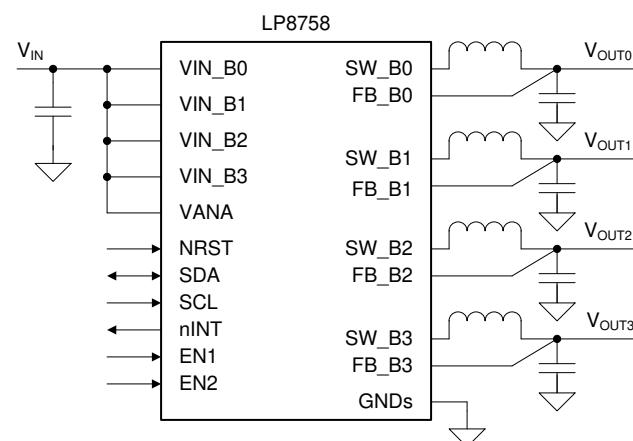
部品番号 (1)	デフォルトの出力電圧	
LP8758-EA	V_{OUT0}	800mV
	V_{OUT1}	800mV
	V_{OUT2}	800mV
	V_{OUT3}	800mV

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



V_{OUT} 設定 = 1.8V および 2.5V

効率と出力電流との関係



概略回路図



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール(機械翻訳)を使用していることがあり、TIでは翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.comで必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	7.4 デバイスの機能モード	24
2 アプリケーション	1	7.5 プログラミング	25
3 説明	1	7.6 レジスタ マップ	28
4 デバイスの比較	3	8 アプリケーションと実装	49
5 ピン構成および機能	4	8.1 アプリケーション情報	49
6 仕様	6	8.2 代表的なアプリケーション	49
6.1 絶対最大定格	6	8.3 電源に関する推奨事項	56
6.2 ESD 定格	6	8.4 レイアウト	56
6.3 推奨動作条件	6	9 デバイスおよびドキュメントのサポート	59
6.4 熱に関する情報	7	9.1 デバイス サポート	59
6.5 電気的特性	7	9.2 ドキュメントのサポート	59
6.6 I ² C シリアル バスのタイミング要件	9	9.3 ドキュメントの更新通知を受け取る方法	59
6.7 スイッチング特性	11	9.4 サポート・リソース	59
6.8 代表的特性	12	9.5 商標	59
7 詳細説明	14	9.6 静電気放電に関する注意事項	59
7.1 概要	14	9.7 用語集	59
7.2 機能ブロック図	15	10 改訂履歴	59
7.3 機能説明	15	11 メカニカル、パッケージ、および注文情報	60

4 デバイスの比較

表 4-1 に、LP8758-Ex の注文可能な代替部品の型番 (OPN) と、デフォルト電圧設定の簡単な概要を示します。各降圧コンバータの電流制限値は、括弧内に記載されています。それぞれの型番について、デフォルトの不揮発性メモリ (NVM) レジスタ設定の完全な詳細は、該当するデータシートに記載されています。

表 4-1. LP8758-Ex のデバイス比較表

型番	BUCK0	BUCK1	BUCK2	BUCK3	データシート
LP8758-E0	1000mV (2.5A)	2500mV (4.5A)	1200mV (4.5A)	1800mV (4.5A)	LP8758-E0
LP8758-E3	900mV (4.5A)	1200mV (3.0A)	1800mV (3.0A)	2700mV (4.0A)	LP8758-E3
LP8758-EA	800mV (4.5A)	800mV (4.5A)	800mV (4.5A)	800mV (4.5A)	LP8758-EA

5 ピン構成および機能

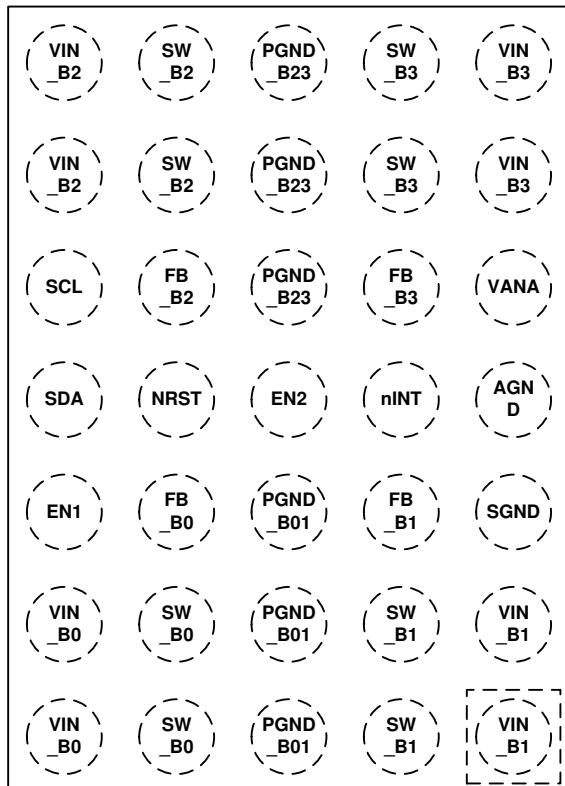


図 5-1. YFF パッケージ 35 ピン DSBGA 上面図

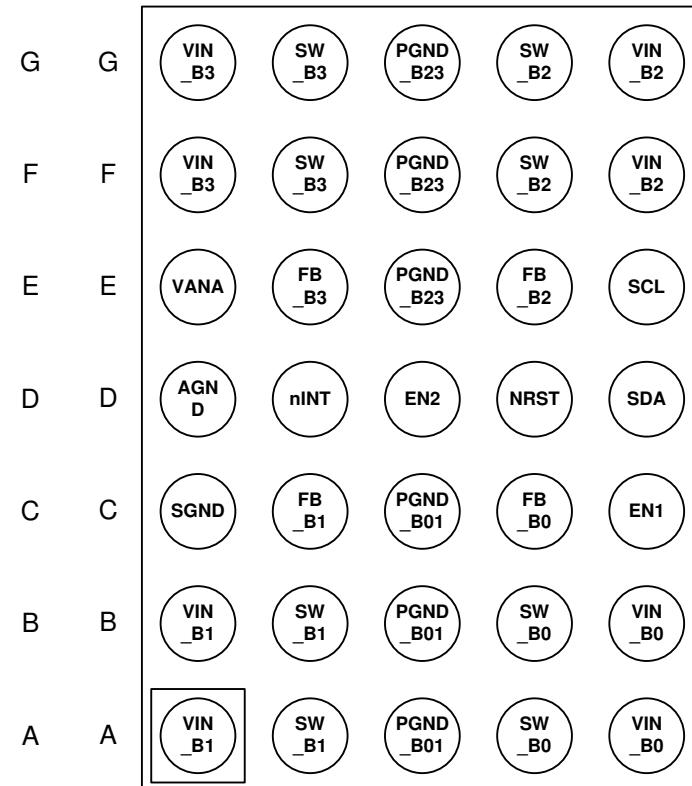


図 5-2. YFF パッケージ 35 ピン DSBGA 底面図

表 5-1. ピンの機能

ピン		タイプ	説明
番号	名称		
A1、B1	VIN_B1	P	Buck1 の入力。個別の電源ピン VIN_Bx は内部的には互いに接続されていません。VIN_Bx ピンはアブリケーション内で互いに接続し、ローカルでバイパスする必要があります。
A2、B2	SW_B1	A	Buck1 スイッチノード。
A3、B3、C3	PGND_B01	G	Buck0 と Buck1 の電源グランド。
A4、B4	SW_B0	A	Buck0 スイッチノード。
A5、B5	VIN_B0	P	Buck0 の入力。個別の電源ピン VIN_Bx は内部的には互いに接続されていません。VIN_Bx ピンはアブリケーション内で互いに接続し、ローカルでバイパスする必要があります。
C1	SGND	G	基板グランド。
C2	FB_B1	A	Buck1 用の出力電圧帰還。
C4	FB_B0	A	Buck0 用の出力電圧帰還。
C5	EN1	D/I	降圧コンバータのコアのプログラマブルな有効化信号。2つの出力電圧レベルを切り替えるよう構成することができます。
D1	AGND	G	グランド。
D2	nINT	D/O	オープンドレイン割り込み出力。アクティブ LOW。
D3	EN2	D/I	降圧コンバータの1つ以上のコアに対する、プログラマブルな有効化信号。2つの出力電圧レベルを切り替えるよう構成することができます。
D4	NRST	D/I	デバイスのリセット信号。レギュレータの有効化にも使用できます。

表 5-1. ピンの機能 (続き)

ピン		タイプ	説明
番号	名称		
D5	SDA	D/I/O	システム アクセス用のシリアル インターフェイス データの入出力。プルアップ抵抗を接続します。
E1	VANA	P	アナログおよびデジタル ブロックの電源電圧。
E2	FB_B3	A	Buck3 用の出力電圧帰還。
E4	FB_B2	A	Buck2 用の出力電圧帰還。
E5	SCL	D/I	システム アクセス用シリアル インターフェイス クロック入力。プルアップ抵抗を接続します。
F1, G1	VIN_B3	P	Buck3 の入力。個別の電源ピン VIN_Bx は内部的には互いに接続されていません。VIN_Bx ピンはアブリケーション内で互いに接続し、ローカルでバイパスする必要があります。
F2, G2	SW_B3	A	Buck3 スイッチ ノード。
E3, F3, G3	PGND_B23	G	Buck2 と Buck3 の電源グランド。
F4, G4	SW_B2	A	Buck2 スイッチ ノード。
F5, G5	VIN_B2	P	Buck2 の入力。個別の電源ピン VIN_Bx は内部的には互いに接続されていません。VIN_Bx ピンはアブリケーション内で互いに接続し、ローカルでバイパスする必要があります。

A: アナログ ピン、D: デジタル ピン、G: グランド ピン、P: 電源 ピン、I: 入力 ピン、I/O: 出力 ピン

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)^{(1) (2)}

		最小値	最大値	単位
入力電圧				
VIN_Bx, VANA	電源接続の電圧	-0.3	6	V
SW_Bx	降圧スイッチ ノードの電圧	-0.3	(VIN_Bx + 0.3V)、 最大 6V	V
FB_Bx	降圧電圧センス ノードの電圧	-0.3	(VANA + 0.3V)、 最大 6V	V
NRST	NRST 入力での電圧	-0.3	3.6	V
ENx, SDA, SCL, nINT	ロジック ピンの電圧 (入力または出力ピン)	-0.3	3.6	
CURRENT				
VIN_Bx, SW_Bx, PGND_Bx	電源ピンの電流 (寿命 100k 時間にわたる平均電流、T _J = 125°C)		0.62	A / ピン
温度				
T _{J-MAX}	接合部温度	-40	150	°C
最高リード温度 (半田付け、10 秒) ⁽³⁾			260	°C
T _{stg}	保存温度	-65	150	°C

- (1) 「絶対最大定格」の記載を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはストレスの定格のみについて示してあり、これらの条件で、または [セクション 6.3](#) に示されている条件を超える他の条件で、デバイスの機能的な動作を保証するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) すべての電圧値は、ネットワークのグランドを基準としたものです。
- (3) 半田付けの仕様と情報の詳細については、[DSBGA ウェハー レベル チップスケールパッケージ](#) を参照してください。

6.2 ESD 定格

		値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾	±500

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)。

		最小値	最大値	単位
入力電圧				
VIN_Bx, VANA	電源接続の電圧	2.5	5.5	V
NRST	NRST の電圧	0	VANA、最大 3.6V	V
ENx, nINT	ロジック ピンの電圧 (入力または出力ピン)	0	VANA、最大 3.6V	V
SCL, SDA	I ² C インターフェイスの電圧、Standard (100kHz)、Fast (400kHz)、Fast+ (1MHz)、High-Speed (3.4MHz) モード	0	1.95	V
	I ² C インターフェイスの電圧、Standard (100kHz)、Fast (400kHz)、Fast+ (1MHz) モード	0	VANA、最大 3.6V	V
温度				
T _J	接合部温度	-40	125	°C
T _A	周囲温度	-40	85	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		LP8758	単位		
YFF (DSBGA)					
35 ピン					
$R_{\theta JA}$	接合部から周囲への熱抵抗	56.1	°C/W		
$R_{\theta JCtop}$	接合部からケース(上面)への熱抵抗	0.2	°C/W		
$R_{\theta JB}$	接合部から基板への熱抵抗	8.5	°C/W		
Ψ_{JT}	接合部から上面への特性パラメータ	0.9	°C/W		
Ψ_{JB}	接合部から基板への特性パラメータ	8.4	°C/W		
$R_{\theta JCbot}$	接合部からケース(底面)への熱抵抗	該当なし	°C/W		

(1) 従来および最新の熱評価基準の詳細については、『半導体およびIC パッケージの熱評価基準』アプリケーション レポートを参照してください。

6.5 電気的特性

特に記述のない限り、それぞれの制限値は、 $-40^{\circ}\text{C} \leq T_J \leq +125^{\circ}\text{C}$ の接合部温度範囲で、 $V_{(\text{VANA})}$ 、 V_{IN} 、 $V_{(\text{NRST})}$ 、 V_{OUT} 、 I_{OUT} が規定された範囲のときに適用されます。特に記述のない限り、代表値は $T_J = 25^{\circ}\text{C}$ 、 $f_{\text{SW}} = 3\text{MHz}$ 、 $V_{(\text{VANA})} = V_{\text{IN}} = 3.7\text{V}$ 、 $V_{\text{OUT}} = 1\text{V}$ です。^{(1) (2)}

パラメータ	テスト条件	最小値	標準値	最大値	単位
外付け部品					
C_{IN}	入力フィルタリング容量	$V_{\text{IN_Bx}}$ から PGND_Bx に接続されます	1.9	10	μF
C_{OUT}	出力フィルタリング容量、ローカル	出力電圧レールごとの容量	10	22	μF
$C_{\text{OUT-TOTAL}}$	出力容量、合計(ローカルおよびリモート)	全出力キャパシタンス		50	μF
ESR_C	入出力コンデンサの ESR	[1 ~ 10] MHz	2	10	mΩ
L	インダクタ	インダクタのインダクタンス	0.47		μH
			-30%	30%	
DCR_L	インダクタ DCR	TDK、VLS252010HBX-R47M	29		mΩ
降圧レギュレータ					
V_{IN}	入力電圧範囲	$V_{\text{IN_Bx}}$ とグランド端子の間の電圧。 VANA は $V_{\text{IN_Bx}}$ と同じ電源に接続する必要があります。	2.5	3.7	5.5
V_{OUT}	出力電圧	プログラム可能な電圧範囲	0.5	1	3.36
		ステップ サイズ、 $0.5\text{V} \leq V_{\text{OUT}} < 0.73\text{V}$		10	
		ステップ サイズ、 $0.73\text{V} \leq V_{\text{OUT}} < 1.4\text{V}$		5	
		ステップ サイズ、 $1.4\text{V} \leq V_{\text{OUT}} \leq 3.36\text{V}$		20	
I_{OUT}	出力電流	出力電流、 $V_{\text{IN}} \leq 3\text{V}$ $I_{\text{LIM FWD}}$ は各相 5A にプログラム済み。			3 ⁽³⁾
		出力電流、 $V_{\text{IN}} > 3\text{V}$ 、 $V_{\text{OUT}} \leq 2\text{V}$ $I_{\text{LIM FWD}}$ は各相 5A にプログラム済み。			4 ⁽³⁾
		出力電流、 $V_{\text{IN}} > 3\text{V}$ 、 $V_{\text{OUT}} > 2\text{V}$ $I_{\text{LIM FWD}}$ は各相 5A にプログラム済み。			3.5 ⁽³⁾
ドロップアウト電圧	$V_{\text{IN}} - V_{\text{OUT}}$	0.7			V
電圧リファレンス、DC 負荷、ラインレギュレーション、プロセス、温度を含む、DC 出力電圧精度	強制 PWM モード	最小値 (-2%、 -20mV)		最大値 (2%、 20mV)	
	PFM モードでは、平均出力電圧レベルが最大 20mV 増加します。	最小値 (-2%、 -20mV)		最大値 (2%、 20mV) + 20mV	

6.5 電気的特性 (続き)

特に記述のない限り、それぞれの制限値は、 $-40^{\circ}\text{C} \leq T_J \leq +125^{\circ}\text{C}$ の接合部温度範囲で、 $V_{(\text{VANA})}$ 、 V_{IN} 、 $V_{(\text{NRST})}$ 、 V_{OUT} 、 I_{OUT} が規定された範囲のときに適用されます。特に記述のない限り、代表値は $T_J = 25^{\circ}\text{C}$ 、 $f_{\text{SW}} = 3\text{MHz}$ 、 $V_{(\text{VANA})} = V_{\text{IN}} = 3.7\text{V}$ 、 $V_{\text{OUT}} = 1\text{V}$ です。^{(1) (2)}

パラメータ	テスト条件	最小値	標準値	最大値	単位
リップル	PWM モード、 $L = 0.47\mu\text{H}$		10		$\text{mV}_{\text{p-p}}$
	PFM モード、 $L = 0.47\mu\text{H}$		20		
DC_{LNR}	DC ライン レギュレーション	$I_{\text{OUT}} = 1\text{A}$		± 0.05	%/V
DC_{LDR}	PWM モードでの DC 負荷レギュレーション	I_{OUT} が 0 から $I_{\text{OUT(max)}}$ まで		0.3%	
T_{LDSR}	過渡負荷ステップ応答	$I_{\text{OUT}} = 0\text{A} \sim 2\text{A}$, $T_R = T_F = 400\text{ns}$, PWM モード、 $C_{\text{OUT}} = 44\mu\text{F}$, $L = 0.47\mu\text{H}$		± 55	mV
T_{LNSR}	過渡ライン応答	V_{IN} ステッピング $3.3\text{V} \leftrightarrow 3.8\text{V}$, $T_R = T_F = 10\mu\text{s}$, $I_{\text{OUT}} = I_{\text{OUT(max)}}$		± 15	mV
$I_{\text{LIM FWD}}$	順方向電流制限 (スイッチング サイクルごとのピーク)、位相ごと	プログラマブルな範囲	2.5	5	A
		ステップ サイズ	0.5		
	精度、 $3\text{V} \leq V_{\text{IN}} \leq 5.5\text{V}$, $I_{\text{LIM FWD}} = 5\text{A}$	-5%	7.5%	20%	
	精度、 $2.5\text{V} \leq V_{\text{IN}} \leq 3\text{V}$, $I_{\text{LIM FWD}} = 5\text{A}$	-20%	7.5%	20%	
$I_{\text{LIM NEG}}$	負の電流制限		1.6	2	2.4
$R_{\text{DS(ON) HS FET}}$	オン抵抗、ハイサイド FET	$V_{\text{IN_Bx}}$ ピンと $SW_{\text{-Bx}}$ ピンの間 ($I = 1\text{A}$)		40	90
$R_{\text{DS(ON) LS FET}}$	オン抵抗、ローサイド FET	$SW_{\text{-Bx}}$ ピンと $PGND_{\text{-Bx}}$ ピンの間 ($I = 1\text{A}$)		33	50
	起動時のオーバーシュート	スルーレート = $10\text{mV}/\mu\text{s}$		< 50	mV
$I_{\text{PFM-PWM}}$	PFM から PWM へのスイッチ - 電流スレッショルド ⁽⁴⁾			600	mA
$I_{\text{PWM-PFM}}$	PWM から PFM へのスイッチ - 電流スレッショルド ⁽⁴⁾			240	mA
出力ブレダウント抵抗	レギュレータが無効	150	250	350	Ω
割り込み $BUCK_{\text{x_INT}}$ ($BUCK_{\text{x_SC_INT}}$) のパワー グッドスレッショルド、最終電圧との差	立ち上がりランプ電圧、有効化、または電圧の変化	-23	-17	-10	mV
	立ち下がりランプ、電圧の変化	10	17	23	
ステータス信号 $BUCK_{\text{x_STAT}}$ ($BUCK_{\text{x_PG_STAT}}$) のパワーグッドスレッショルド	動作時に、電圧変化の間、ステータス信号は強制的に 0 になります。	-23	-17	-10	mV
保護機能					
過熱警告	温度上昇、 $CONFIG(TDIE_WARN_LEVEL) = 0$		125		$^{\circ}\text{C}$
	温度上昇、 $CONFIG(TDIE_WARN_LEVEL) = 1$		105		
	ヒステリシス		15		
サーマル シャットダウン	温度上昇		150		$^{\circ}\text{C}$
	ヒステリシス		15		
$VANA_{\text{UVLO}}$ VANA 低電圧誤動作防止	電圧立ち下がり	2.3	2.4	2.5	V
	ヒステリシス		50		mV
負荷電流測定					
電流の測定範囲	最大コード		20.46		A
分解能	LSB		20		mA

6.5 電気的特性 (続き)

特に記述のない限り、それぞれの制限値は、 $-40^{\circ}\text{C} \leq T_J \leq +125^{\circ}\text{C}$ の接合部温度範囲で、 $V_{(\text{VANA})}$ 、 V_{IN} 、 $V_{(\text{NRST})}$ 、 V_{OUT} 、 I_{OUT} が規定された範囲のときに適用されます。特に記述のない限り、代表値は $T_J = 25^{\circ}\text{C}$ 、 $f_{\text{SW}} = 3\text{MHz}$ 、 $V_{(\text{VANA})} = V_{\text{IN}} = 3.7\text{V}$ 、 $V_{\text{OUT}} = 1\text{V}$ です。^{(1) (2)}

パラメータ	テスト条件	最小値	標準値	最大値	単位
測定精度	$I_{\text{OUT}} \geq 1\text{A}$		10% 未満		
消費電流					
シャットダウン時の消費電流	$V_{(\text{NRST})} = 0\text{ V}$		1		μA
スタンバイ時の消費電流、コンバータコアが無効	$V_{(\text{NRST})} = 1.8\text{ V}$		6		μA
PFM動作時のアクティブ消費電流、1つのコンバータコアが有効	$N_{(\text{NRST})} = 1.8\text{V}$ 、 $I_{\text{OUT}} = 0\text{mA}$ 、スイッチングなし		55		μA
PWM動作時のコンバータコアごとのアクティブ消費電流	$V_{(\text{NRST})} = 1.8\text{V}$ 、 $I_{\text{OUT}} = 0\text{mA}$ 、 $L = 0.47\mu\text{H}$		14.5		mA
デジタル入力信号 NRST、ENx、SCL、SDA					
V_{IL}	入力 LOW レベル			0.4	V
V_{IH}	入力 HIGH レベル		1.2		V
V_{HYS}	シュミットトリガ入力のヒステリシス (SCL、SDA)		10	80	160
ENx プルダウン抵抗	$\text{ENx_PD} = 1$	350	500	720	$\text{k}\Omega$
NRST プルダウン抵抗	常に存在	800	1200	1700	$\text{k}\Omega$
デジタル出力信号 nINT、SDA					
V_{OL}	出力 Low レベル	$I_{\text{SOURCE}} = 2\text{mA}$		0.4	V
R_p	nINT の外部プルアップ抵抗	VIO 電源に接続		10	$\text{k}\Omega$
すべてのデジタル入力					
I_{LEAK}	入力電流	すべてのロジック入力はピンの電圧範囲全体	-1	1	μA

- (1) すべての電圧値は、ネットワークのグランドを基準としたものです。
- (2) 最小 (MIN) および最大 (MAX) の制限値は、設計、テスト、または統計分析で規定されています。代表値 (TYP) は検証されていませんが、最も可能性の高い標準的な値を示しています。
- (3) 最大出力電流は、順方向電流制限 $I_{\text{LIM FWD}}$ によって制限できます。最大出力電流は、5A の順方向電流制限設定で利用可能です。
- (4) 最終的な PFM から PWM へ、および PWM から PFM への切り替え電流はわずかに変化し、出力電圧、入力電圧、インダクタのリップル電流の大きさに依存します。

6.6 I²C シリアルバスのタイミング要件

表の注を参照してください。^{(1) (2)}

		最小値	最大値	単位
f_{SCL}	シリアル クロック周波数	スタンダード モード		100
		ファスト モード		400
		ファスト モード+		1
		高速モード、 $C_b = 100\text{pF}$		3.4
		高速モード、 $C_b = 400\text{pF}$		1.7
t_{LOW}	SCL Low 時間	スタンダード モード	4.7	μs
		ファスト モード	1.3	
		ファスト モード+	0.5	
		高速モード、 $C_b = 100\text{pF}$	160	ns
		高速モード、 $C_b = 400\text{pF}$	320	

6.6 I²C シリアルバスのタイミング要件(続き)

表の注を参照してください。[\(1\)](#) [\(2\)](#)

			最小値	最大値	単位
t_{HIGH}	SCL High 時間	スタンダード モード	4		μs
		ファスト モード	0.6		
		ファスト モード+	0.26		
		高速モード、 $C_b = 100\text{pF}$	60		ns
		高速モード、 $C_b = 400\text{pF}$	120		
$t_{SU;DAT}$	データセットアップ時間	スタンダード モード	250		ns
		ファスト モード	100		
		ファスト モード+	50		
		高速度モード	10		
$t_{HD;DAT}$	データホールド時間	スタンダード モード	0	3.45	μs
		ファスト モード	0	0.9	
		ファスト モード+	0		
		高速モード、 $C_b = 100\text{pF}$	0	70	ns
		高速モード、 $C_b = 400\text{pF}$	0	150	
$t_{SU;STA}$	START または REPEATED-START 条件のセットアップ時間	スタンダード モード	4.7		μs
		ファスト モード	0.6		
		ファスト モード+	0.26		
		高速度モード	160		ns
$t_{HD;STA}$	START または REPEAT-START 条件のホールド時間	スタンダード モード	4		μs
		ファスト モード	0.6		
		ファスト モード+	0.26		
		高速度モード	160		ns
t_{BUF}	STOP 条件と START 条件の間のバス開放時間	スタンダード モード	4.7		μs
		ファスト モード	1.3		
		ファスト モード+	0.5		
$t_{SU;STO}$	STOP 条件のセットアップ時間	スタンダード モード	4		μs
		ファスト モード	0.6		
		ファスト モード+	0.26		
		高速度モード	160		ns
t_{rDA}	SDA 信号の立ち上がり時間	スタンダード モード		1000	ns
		ファスト モード		300	
		ファスト モード+		120	
		高速モード、 $C_b = 100\text{pF}$		80	
		高速モード、 $C_b = 400\text{pF}$		160	
t_{fDA}	SDA 信号の立ち下がり時間	スタンダード モード		250	ns
		ファスト モード		250	
		ファスト モード+		120	
		高速モード、 $C_b = 100\text{pF}$		80	
		高速モード、 $C_b = 400\text{pF}$		160	

6.6 I²C シリアルバスのタイミング要件(続き)

表の注を参照してください。[\(1\)](#) [\(2\)](#)

			最小値	最大値	単位
t_{rCL}	SCL 信号の立ち上がり時間	スタンダード モード		1000	ns
		ファスト モード		300	
		ファスト モード+		120	
		高速モード、 $C_b = 100\text{pF}$		40	
		高速モード、 $C_b = 400\text{pF}$		80	
t_{rCL1}	START 条件の繰り返し、およびアクリッジビット後の SCL 信号の立ち上がり時間	スタンダード モード		1000	ns
		ファスト モード		300	
		ファスト モード+		120	
		高速モード、 $C_b = 100\text{pF}$		80	
		高速モード、 $C_b = 400\text{pF}$		160	
t_{fCL}	SCL 信号の立ち下がり時間	スタンダード モード		300	ns
		ファスト モード		300	
		ファスト モード+		120	
		高速モード、 $C_b = 100\text{pF}$		40	
		高速モード、 $C_b = 400\text{pF}$		80	
C_b	各バスラインの容量性負荷 (SCL および SDA)			400	pF
t_{SP}	SCL および SDA ラインで抑制されるスパイクのパルス幅 (指定された幅より小さいスパイクは抑制されます)	ファスト モード、ファスト モード +		50	ns
		高速度モード		10	

(1) タイミング図については、[図 6-1](#) を参照してください。

(2) C_b は 1 本のバスラインの容量を表します。 C_b は pF 単位で表されます。

6.7 スイッチング特性

特に記述のない限り、それぞれの制限値は、 $-40^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$ の接合部温度範囲で、 $V_{(\text{VANA})}$ 、 V_{IN} 、 $V_{(\text{NRST})}$ 、 V_{OUT} 、 I_{OUT} が規定された範囲のときに適用されます。特に記述のない限り、代表値は $T_J = 25^\circ\text{C}$ 、 $f_{\text{SW}} = 3\text{MHz}$ 、 $V_{(\text{VANA})} = V_{\text{IN}} = 3.7\text{V}$ 、 $V_{\text{OUT}} = 1\text{V}$ です。[\(1\)](#)

パラメータ	テスト条件	最小値	標準値	最大値	単位
f_{SW}	$V_{\text{OUT}} \geq 0.6\text{V}$	2.7	3	3.3	MHz
	$V_{\text{OUT}} < 0.6\text{V}$	1.8	2	2.2	
スタートアップ時間 (ソフト スタート)	ENx から $V_{\text{OUT}} = 0.225\text{V}$ (スルーレート制御開始)、 $C_{\text{OUT-TOTAL}} = 44\mu\text{F}$ 、無負荷		140		μs
出力電圧スルーレート ⁽²⁾	$\text{SLEW_RATE}_{\text{Ex}[2:0]} = 000$ 、 $V_{\text{OUT}} \geq 0.5\text{V}$	-15%	30	15%	mV/μs
	$\text{SLEW_RATE}_{\text{Ex}[2:0]} = 001$ 、 $V_{\text{OUT}} \geq 0.5\text{V}$	-15%	15	15%	
	$\text{SLEW_RATE}_{\text{Ex}[2:0]} = 010$ 、 $V_{\text{OUT}} \geq 0.5\text{V}$	-15%	10	15%	
	$\text{SLEW_RATE}_{\text{Ex}[2:0]} = 011$ 、 $V_{\text{OUT}} \geq 0.5\text{V}$	-15%	7.5	15%	
	$\text{SLEW_RATE}_{\text{Ex}[2:0]} = 100$ 、 $V_{\text{OUT}} \geq 0.5\text{V}$	-15%	3.8	15%	
	$\text{SLEW_RATE}_{\text{Ex}[2:0]} = 101$ 、 $V_{\text{OUT}} \geq 0.5\text{V}$	-15%	1.9	15%	
	$\text{SLEW_RATE}_{\text{Ex}[2:0]} = 110$ 、 $V_{\text{OUT}} \geq 0.5\text{V}$	-15%	0.94	15%	
	$\text{SLEW_RATE}_{\text{Ex}[2:0]} = 111$ 、 $V_{\text{OUT}} \geq 0.5\text{V}$	-15%	0.4	0.4	

特に記述のない限り、それぞれの制限値は、 $-40^{\circ}\text{C} \leq T_J \leq +125^{\circ}\text{C}$ の接合部温度範囲で、 $V_{(\text{VANA})}$ 、 V_{IN} 、 $V_{(\text{NRST})}$ 、 V_{OUT} 、 I_{OUT} が規定された範囲のときに適用されます。特に記述のない限り、代表値は $T_J = 25^{\circ}\text{C}$ 、 $f_{\text{SW}} = 3\text{MHz}$ 、 $V_{(\text{VANA})} = V_{\text{IN}} = 3.7\text{V}$ 、 $V_{\text{OUT}} = 1\text{V}$ です。⁽¹⁾

パラメータ	テスト条件	最小値	標準値	最大値	単位
負荷電流の測定時間	PFM モード (測定のために自動的に PWM モードに変更)		50		μs
	PWM モード		4		

- (1) 最小 (MIN) および最大 (MAX) の制限値は、設計、テスト、または統計分析で規定されています。代表値 (TYP) は検証されていませんが、最も可能性の高い標準的な値を示しています。
- (2) テストなしで、設計により規定されています。スルーレートは、電流制限 (順方向または負の電流制限)、出力容量、負荷電流によって制限できます。

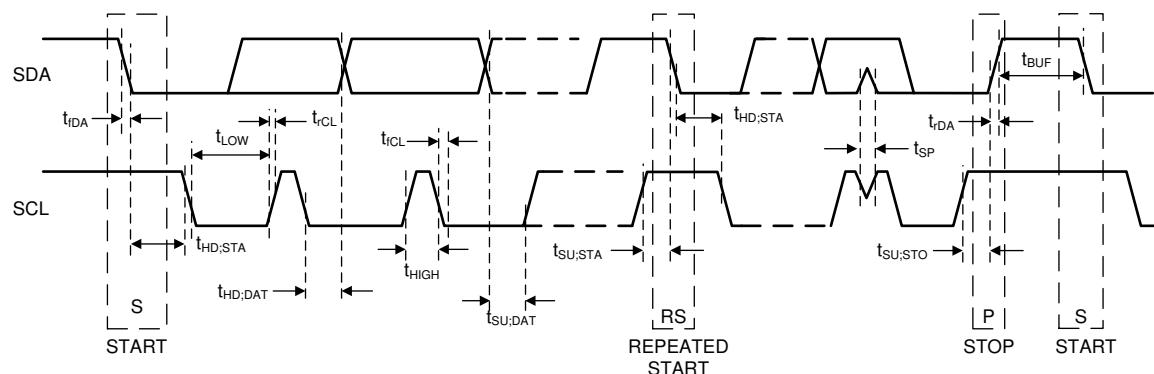


図 6-1. I²C タイミング

6.8 代表的特性

特に記述のない限り: $T_A = 25^{\circ}\text{C}$ 、 $V_{\text{IN}} = 3.7\text{V}$ 、 $f_{\text{SW}} = 3\text{MHz}$ 、 $L = 470\text{nH}$ 。

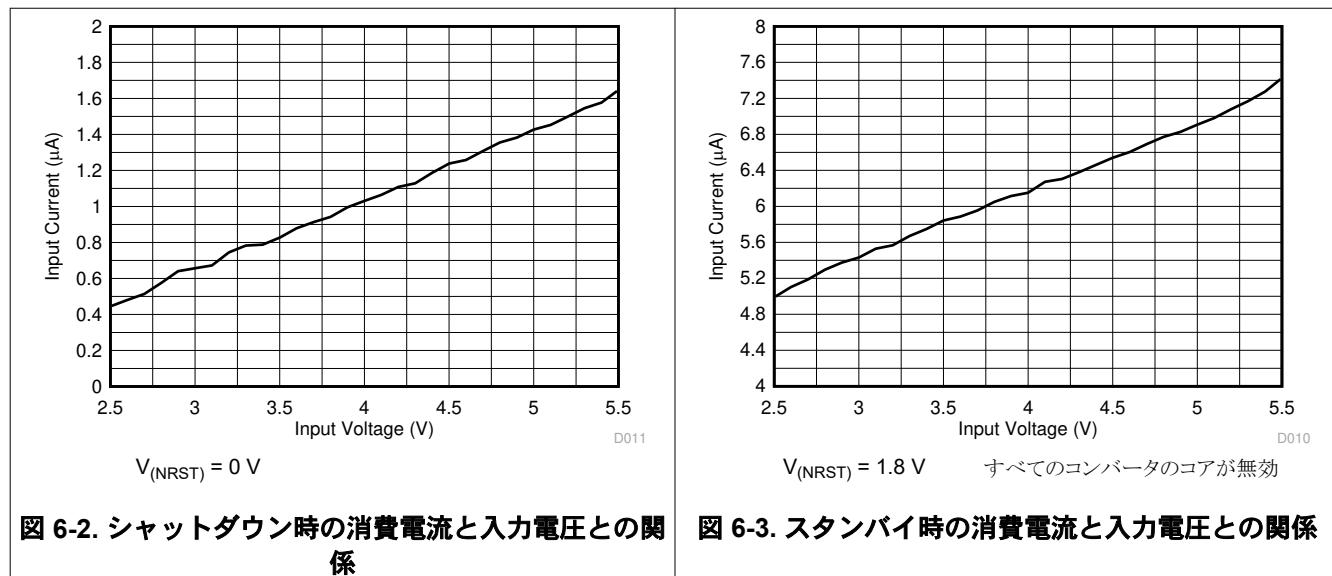


図 6-2. シャットダウン時の消費電流と入力電圧との関係

図 6-3. スタンバイ時の消費電流と入力電圧との関係

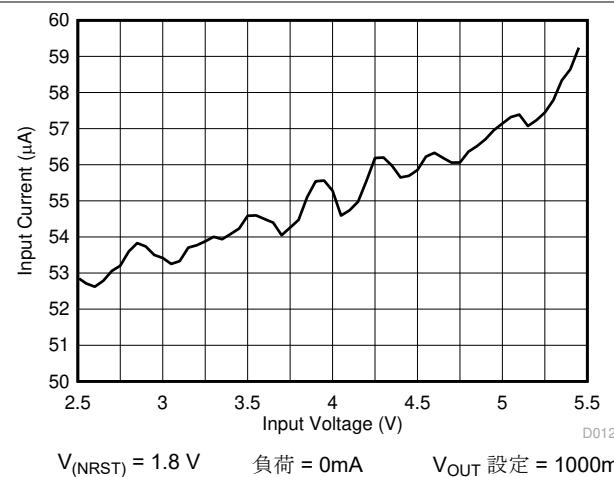


図 6-4. PFM モードの消費電流と入力電圧との関係 - 1
つの出力が有効

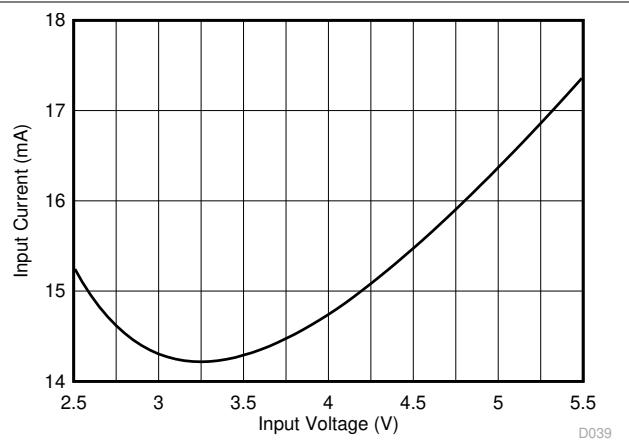


図 6-5. PWM モードの消費電流と入力電圧との関係 -
1 つの出力が有効

7 詳細説明

7.1 概要

LP8758-xx デバイスは、4 つのコンバータ コアを搭載した、構成可能な降圧 DC/DC コンバータのファミリです。LP8758-xx デバイスは、2.5V から 5.5V までの電源電圧から電力を供給されるシステムに最適です。LP8758-EA のコアは、4 つの単相構成用に構成されています。LP8758-EA は、低い出力電圧で高効率を必要とする、スペースに制約のあるアプリケーションに最適です。代表的なアプリケーションとしては、ネットワーク インターフェイス カード、モデム カード、スマートフォンやモバイル デバイス、ソリッド ステート ドライブ (SSD)、システム オン チップ (SoC)、ASIC、低消費電力プロセッサなどがあります。

コンバータのコアには、必要な出力電流に応じて、パルス幅変調 (PWM) とパルス周波数変調 (PFM) の 2 つの動作モードがあります。コアは、約 600mA 以上の大きな負荷電流のとき PWM モードで動作します。強制 PWM モードが無効のときは、出力電流負荷が軽くなると、コンバータのコアは自動的に PFM モードに切り替わり、消費電流を低減してバッテリ駆動時間を延長します。その他、ソフトスタート、低電圧誤動作防止、過負荷保護、熱警告、サーマル シャットダウンの機能が搭載されています。

7.1.1 降圧情報

LP8758-EA は、4 つの高効率降圧コンバータのコアを内蔵しています。コアは柔軟性を重視して設計されています。ほとんどの機能はプログラム可能なため、各アプリケーションに合わせてレギュレータの動作を最適化できます。

7.1.1.1 動作モード

- OFF: このモードでは、出力が入力電圧レールから絶縁されます。出力にはオプションのプルダウン抵抗があります。
- PWM: コンバータは、固定スイッチング周波数の降圧構成で動作します。
- PFM: 出力電圧がプログラムされたスレッショルドを下回ったときのみ、コンバータが切り替わります。インダクタ電流は不連続です。

7.1.1.2 プログラマビリティ

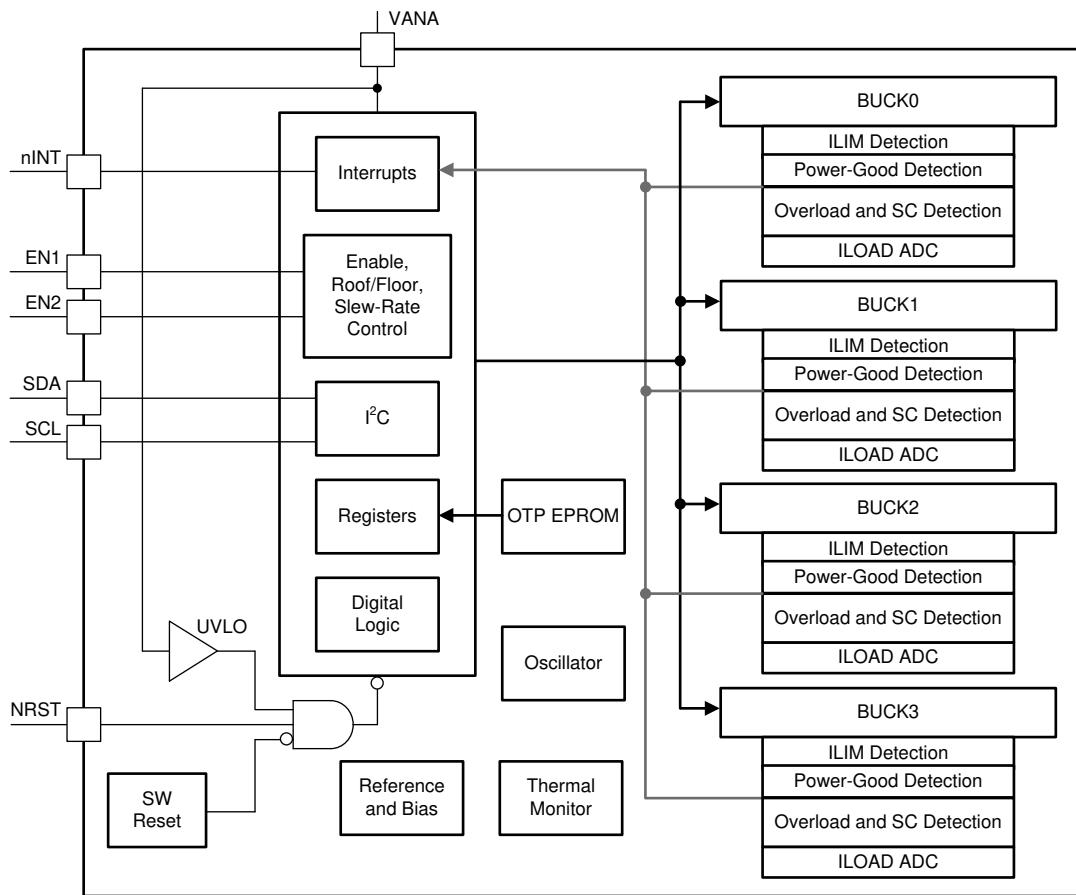
次のパラメータはレジスタでプログラムできます:

- 出力電圧
- 強制 PWM 動作
- スイッチの電流制限
- 出力電圧スルーレート
- 有効化および無効化の遅延

7.1.1.3 特長

- プログラム可能なスルーレートを備えた動的電圧スケーリング (DVS) のサポート
- 負荷に基づく自動モード制御
- 同期整流
- PI 補償器を使った電流モード・ループ
- オプションのスペクトラム拡散方式により EMI を低減
- ソフト・スタート
- マスク可能割り込みによるパワーグッド・フラグ
- 位相制御により EMI を最適化: 4 つの降圧コアは互いに 90° 異なる位相で動作するため、入力リップル電流が減少
- 平均出力電流センシング (PFM エントリ、負荷電流測定用)
- 負荷ポイントからの電圧センシング

7.2 機能ブロック図



7.3 機能説明

7.3.1 概要

シングルコアのブロック図は、図 7-1 に示されています。

コンバータのインターリーブ スイッチング動作を、図 7-2 に示します。LP8758-EA レギュレータは、各コアを 90° 離して場所でスイッチングするため、入力リップル電流が低減されます。

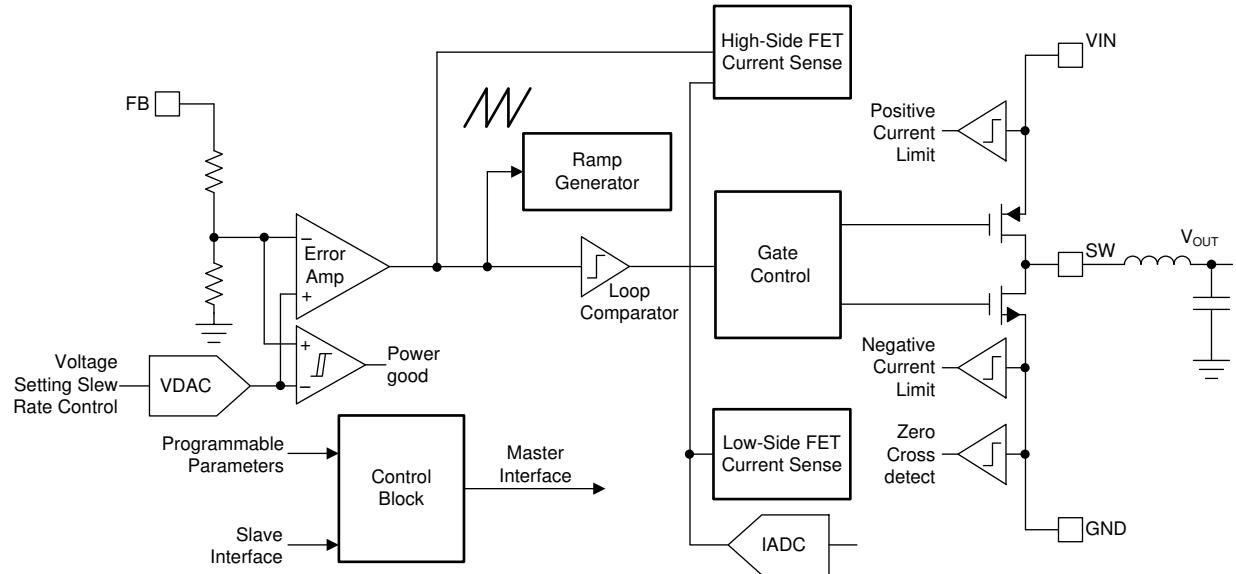
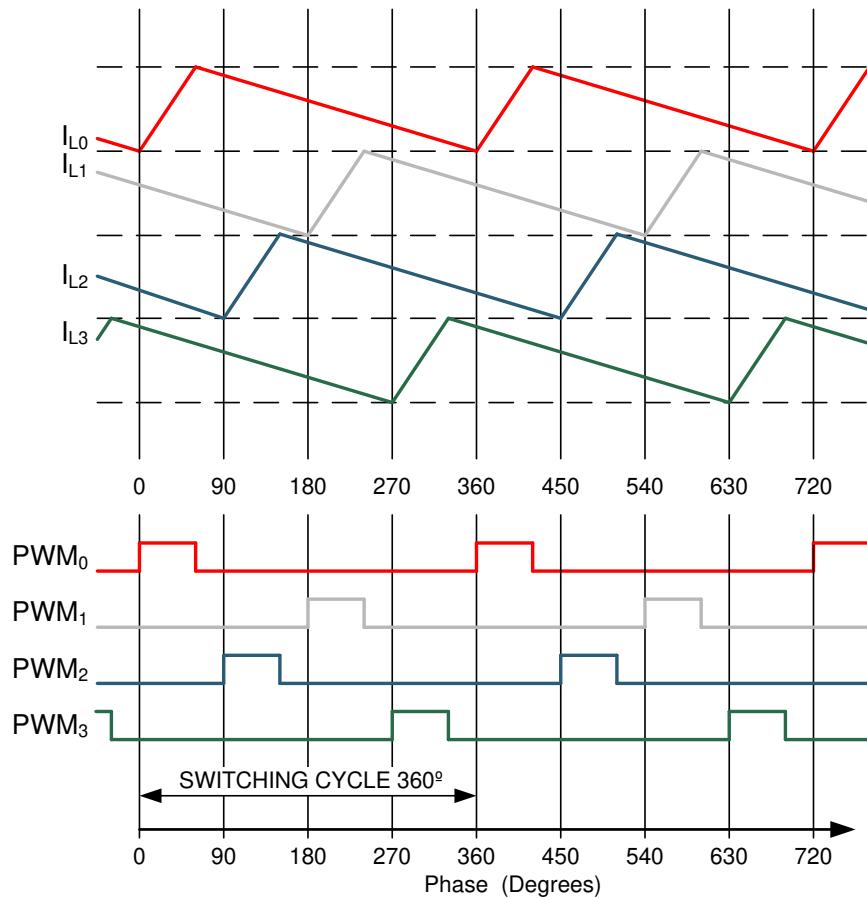


図 7-1. 1 つのコアを示す詳細ブロック図

図 7-2. PWM タイミングとインダクタ電流の波形¹

¹ グラフは、実際の比率を示しているわけではなく、説明のみを目的としています。

7.3.1.1 PWM と PFM との間のモード遷移

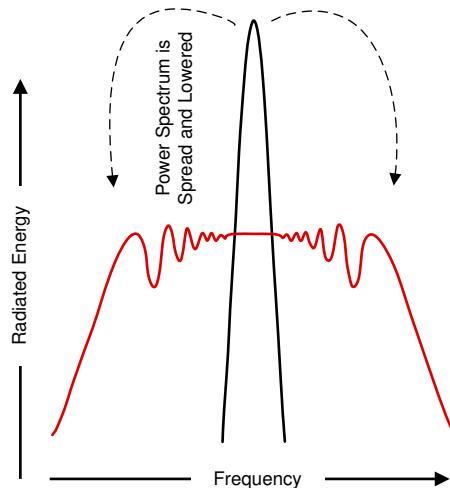
LP8758-EA コンバータのコアは、約 600mA 以上の負荷電流のとき PWM モードで動作します。負荷電流レベルが軽くなると、強制 PWM モードが無効 (自動モードの動作) なら、コアは自動的に PFM モードに切り替わり、消費電流を低減します。PFM モードと PWM モードを組み合わせることで、広い出力負荷電流範囲にわたって高効率が実現されます。

7.3.1.2 降圧コンバータの負荷電流の測定

降圧負荷電流は、I²C レジスタにより監視できます。監視対象の降圧コンバータのコアは、SEL_I_LOAD.LOAD_CURRENT_BUCK_SELECT[1:0] レジスタビットで選択されます。この選択レジスタに書き込むと、電流測定シーケンスが開始されます。測定シーケンスの時間は通常 50μs です。LP8758-EA デバイスは、負荷電流測定シーケンスの完了後に、割り込み INT_TOP.I_LOAD_READY を返すように構成できます。負荷電流測定割り込みは、TOP_MASK.I_LOAD_READY_MASK ビットでマスクできます。測定結果は、レジスタ I_LOAD_1 および I_LOAD_2 から読み出すことができます。レジスタ I_LOAD_1 のビット BUCK_LOAD_CURRENT[7:0] は LSB ビットを、レジスタ I_LOAD_2 のビット BUCK_LOAD_CURRENT[9:8] は MSB ビットを提供します。測定結果 BUCK_LOAD_CURRENT[9:0] の LSB は 20mA で、測定の最大値は 20.46A です。

7.3.1.3 拡散スペクトラム モード

周期的スイッチング信号を持つシステムは、一連の狭帯域周波数で大量のスイッチングノイズを生じることがあります (スイッチング周波数とその高調波)。ノイズ結合を低減する通常のソリューションは、EMI フィルタとシールドを基板に追加することです。デバイスの、レジスタで選択可能なスペクトラム拡散モードにより、出力フィルタ、フェライトビーズ、またはチョークの必要性を最小限に抑えられます。スペクトラム拡散モードでは、スイッチング周波数は中心周波数に対して ±5% ランダムに変化するため、コンバータおよび関連する受動部品と PCB パターンから放射される EMI 放射が低減されます (図 7-3 を参照)。この機能は、CONFIG.EN_SPREAD_SPEC ビットで有効化され、すべての降圧コンバータのコアに影響します。



固定周波数コンバータがスイッチング周波数で大量のスペクトラムエネルギーを発生させるのに対して、v の拡散スペクトラム アーキテクチャは、そのエネルギーを広い帯域に拡散させます。

図 7-3. 拡散スペクトラム変調

7.3.2 起動

LP8758-EA の起動シーケンスは次のとおりです。

- VANA (および VIN_Bx) が、最小推奨レベル ($V_{(VANA)} > V_{ANA_{UVLO}}$) に達します。
- NRST は High レベルに設定されます。これにより、パワーオンリセット (POR)、OTP 読み取りが開始され、システム I/O インターフェイスが有効になります。I²C ホストは、LP8758-EA へのデータの書き込みまたは読み取りを行う前に、少なくとも 1.2ms 待つ必要があります。
- デバイスが STANDBY モードになります。

- ホストは、必要に応じて I²C でデフォルトのレジスタ設定を変更できます。
- 1つ以上の ENx ピンと I²C インターフェイスを使用して、1つ以上のコンバータのコアを有効化または無効化できます。

7.3.3 レギュレータの制御

7.3.3.1 有効化と無効化

降圧コンバータのコアは、デバイスが STANDBY または ACTIVE 状態のときに有効化できます。降圧コンバータのコアを有効化 / 無効化するには、次の 2 つの方法があります。

- BUCKx_CTRL1.EN_BUCKx レジスタビットを使用する (BUCKx_CTRL1.EN_PIN_CTRLx レジスタビットが 0 の場合)。
- EN1/2 制御ピンを使用する (BUCKx_CTRL1.EN_BUCKx レジスタビットが 1 かつ BUCKx_CTRL1.EN_PIN_CTRLx レジスタビットが 1)。

EN1/2 制御ピンを有効化と無効化に使用する場合、制御信号の立ち上がりエッジからスタートアップまでの遅延は BUCKx_DELAY.BUCKx_STARTUP_DELAY[3:0] ビットで設定され、制御信号の立ち下がりエッジからシャットダウンまでの遅延は BUCKx_DELAY.BUCKx_SHUTDOWN_DELAY[3:0] ビットで設定されます。この遅延は EN1/2 信号のみ有効で、BUCKx_CTRL1.EN_BUCKx ビットでの制御には適用されません。EN1/2 により実装される遅延時間の全体的なタイミング精度は ±10% です。

コンバータのコアの制御 (遅延 0ms) を、表 7-1 に示します。

表 7-1. レギュレータの制御

制御方式	行	EN_BUCKx	BUCKx_CTRL1 EN_PIN_CTRLx	BUCKx_CTRL1 EN_PIN_SELECTx	BUCKx_CTRL1 EN_ROOF_FLOORx	EN1 ピン	EN2 ピン	BUCKx 出力電圧
EN_BUCKx ビットによる制御の有効化または無効化	1	0	ドントケア	ドントケア	ドントケア	ドントケア	ドントケア	ディセーブル
	2	1	0	ドントケア	ドントケア	ドントケア	ドントケア	BUCKx_VOUT.BUCKx_VSET[7:0]
EN1 ピンによる有効化または無効化の制御	3	1	1	0	0	Low	ドントケア	ディセーブル
	4	1	1	0	0	High	ドントケア	BUCKx_VOUT.BUCKx_VSET[7:0]
EN2 ピンによる有効化または無効化の制御	5	1	1	1	0	ドントケア	Low	ディセーブル
	6	1	1	1	0	ドントケア	High	BUCKx_VOUT.BUCKx_VSET[7:0]
EN1 ピンによるループまたはプロアの制御	7	1	1	0	1	Low	ドントケア	BUCKx_FLOOR_VOUT.BUCKx_FLOOR_VSET[7:0]
	8	1	1	0	1	High	ドントケア	BUCKx_VOUT.BUCKx_VSET[7:0]
EN2 ピンによるループまたはプロアの制御	9	1	1	1	1	ドントケア	Low	BUCKx_FLOOR_VOUT.BUCKx_FLOOR_VSET[7:0]
	10	1	1	1	1	ドントケア	High	BUCKx_VOUT.BUCKx_VSET[7:0]

以下の降圧構成ビットの設定では、デバイスは ENx ピンを使用して、対応する降圧コンバータを有効または無効にできます。

- BUCKx_CTRL1.EN_BUCKx = 1
- BUCKx_CTRL1.EN_PIN_CTRLx = 1
- BUCKx_CTRL1.EN_ROOF_FLOORx = 0
- BUCKx_VOUT.BUCKx_VSET[7:0] = ENx ピンが High のときに必要な電圧
- 制御用のイネーブルピンは、BUCKx_CTRL1.EN_PIN_SELECTx で選択されます

ENx ピンが Low のとき、表 7-1 行 3 (または 5) が有効で、コンバータのコアは無効化されます。ENx ピンを High に設定すると、表 7-1 行 4 (または 6) が有効になり、コンバータのコアは必要な電圧で有効化されます。

コンバータのコアが常時有効で、ENx ピンが 2 つの電圧レベルの選択を制御しているとき、次の構成が使用されます。

- BUCKx_CTRL1.EN_BUCKx = 1
- BUCKx_CTRL1.EN_PIN_CTRLx = 1
- BUCKx_CTRL1.EN_ROOF_FLOORx = 1
- BUCKx_VOUT.BUCKx_VSET[7:0] = ENx ピンが High のときに必要な電圧
- 制御用のイネーブルピンは、BUCKx_CTRL1.EN_PIN_SELECTx で選択されます

ENx ピンが Low のとき、表 7-1 行 7 (または 9) が有効で、コアは BUCKx_FLOOR_VOUT.BUCKx_FLOOR_VSET[7:0] ビットにより定義された電圧で有効化されます。ENx ピンを High に設定すると、表 7-1 行 8 (または 10) が有効になり、コアは BUCKx_VOUT.BUCKx_VSET[7:0] ビットで定義された電圧で有効化されます。

コアが I²C の書き込みにより制御される場合、BUCKx_CTRL1.EN_PIN_CTRLx ビットは 0 に設定されます。有効化または無効化は BUCKx_CTRL1.EN_BUCKx ビットで制御され、レギュレータが有効なとき、出力電圧は BUCKx_VOUT.BUCKx_VSET[7:0] ビットで定義されます。表 7-1 行 1 と行 2 は、I²C 制御の動作について有効です (ENx ピンは無視されます)。

降圧コンバータのコアは、図 7-4 に示すように、ENx ピンまたは I²C の書き込みによって有効化されます。ソフトスタート回路は、起動時の突入電流を制限します。ソフトスタート時の出力電圧の上昇率は約 5mV/ μ sec です。出力電圧が約 0.3V まで上昇すると、出力電圧はスルーレート制御されるようになります。出力に短絡が発生し、出力電圧が 1ms 以内に 0.35V レベルを超えない場合、コンバータのコアが無効化され、割り込みが設定されます。出力電圧がパワーグッドスレッショルドレベルに達すると、INT_BUCK_x.BUCKx_PG_INT 割り込みフラグがセットされます。パワーグッド割り込みフラグは、BUCK_x_MASK.BUCKx_PG_MASK ビットを使用してマスクできます。

ENx 入力ピンには、内部プルダウン抵抗があります。プルダウン抵抗はデフォルトで有効なため、ホストは CONFIG.ENx_PD ビットでこれらのプルダウン抵抗を無効化できます。

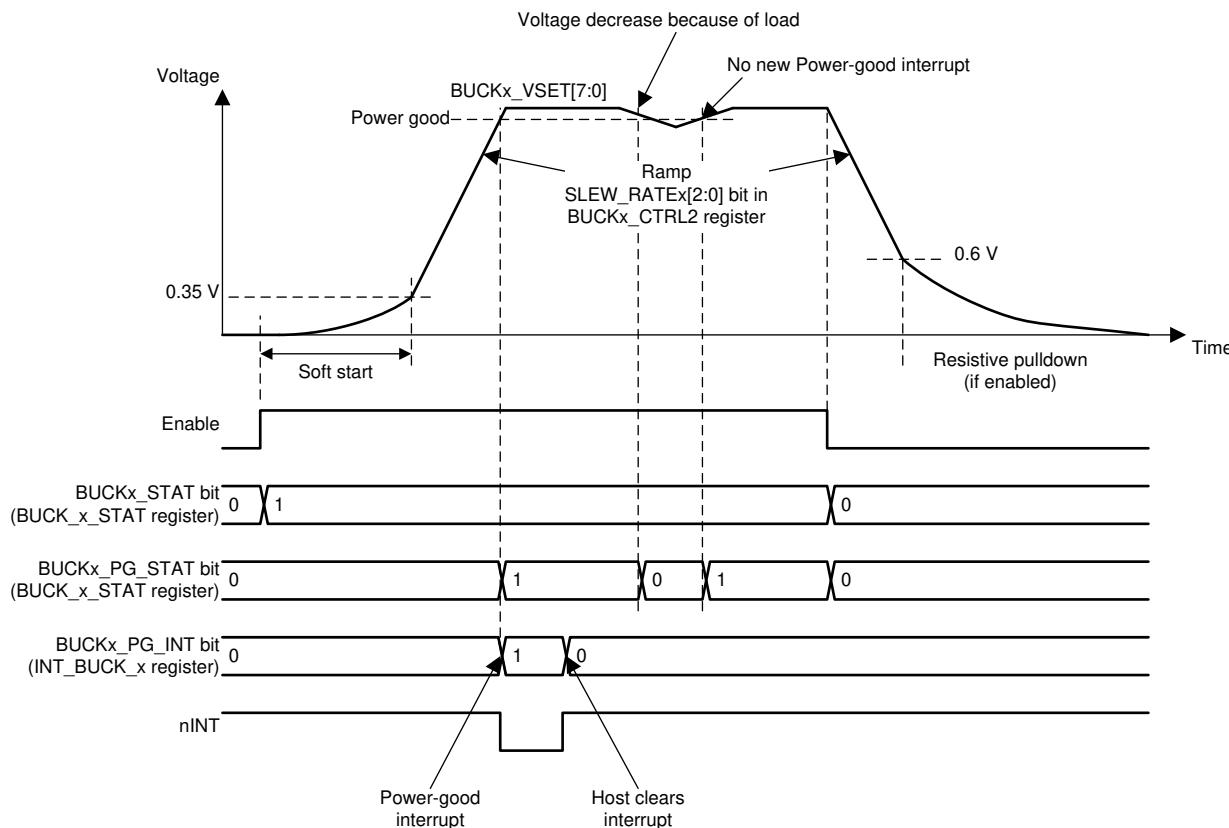


図 7-4. コンバータのコアの有効化と無効化

7.3.3.2 出力電圧の変更

コンバータのコアの出力電圧は、ENx ピン (BUCKx_VOUT および BUCKx_FLOOR_VOUT レジスタで定義された電圧レベル) か、BUCKx_VOUT および BUCKx_FLOOR_VOUT レジスタへ書き込むことにより変更できます。電圧の変更は常にスルーレート制御され、スルーレートは BUCKx_CTRL2.SLEW RATEEx[2:0] ビットによって定義されます。電

圧の変更中は、強制 PWM モードが自動的に使用されます。プログラムされた出力電圧に達すると、負荷電流および BUCKx_CTRL1.BUCKx_FPWM ビットで定義されるモードに変更されます。

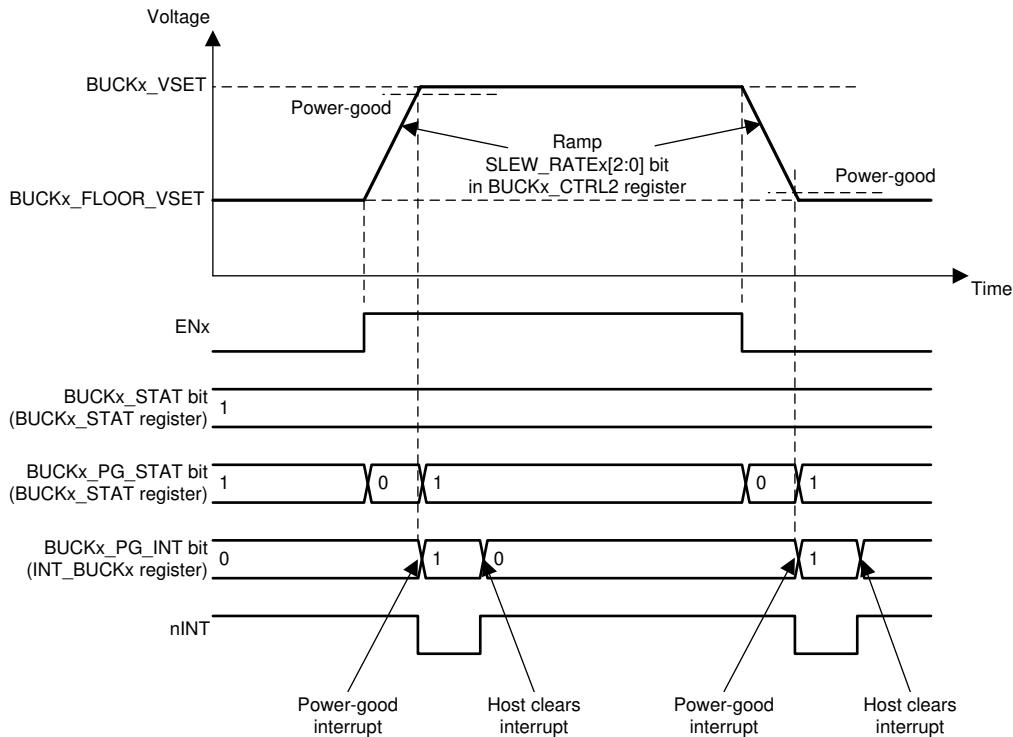


図 7-5. 出力電圧の変更

7.3.4 デバイスリセットシナリオ

LP8758-EA には、次の 3 つのリセット方法が実装されています。

- RESET.SW_RESET レジスタビットによるソフトウェアリセット
- NRST 信号の Low ロジックレベルからのリセット
- VANA 電源からの低電圧誤動作防止 (UVLO) リセット

RESET.SW_RESET ビットに 1 が書き込まれると、SW リセットが発生します。このビットは、書き込み後に自動的にクリアされます。このイベントで、すべての降圧コンバータのコアがただちに無効化され、すべてのレジスタビットがデフォルト値にリセットされて、OTP ビットがロードされます (図 7-7 を参照)。ソフトウェアリセット時に I²C インターフェイスはリセットされません。

VANA 電源電圧が UVLO スレッショルド レベルを下回った場合、または NRST 信号が Low に設定された場合、すべてのレギュレータがただちに無効化され、すべてのレジスタビットがデフォルト値にリセットされます。VANA 電源電圧が UVLO スレッショルド レベルを上回り、かつ NRST 信号がスレッショルド レベルを上回ったとき、内部パワー オンリセット (POR) が開始されます。OTP ビットがレジスタにロードされ、レジスタの設定に応じてスタートアップが開始されます。

7.3.5 診断および保護機能

LP8758-EA は、次の 3 レベルの保護機能を提供できます。

- 割り込みを設定する診断の警告
- 1 つまたは複数のコンバータのコアを無効化する保護イベント
- デバイスをシャットダウンさせる原因になる故障

デバイスが 1 つ以上の警告または保護条件を検出すると、LP8758-EA は、どの保護または警告条件が生じたかを示すフラグ ビットをセットし、nINT ピンは Low にプルされます。フラグのクリアが完了した後、nINT は再度解放されます。保留中のすべての割り込みがクリアされるまで、nINT 信号は Low のままでです。

故障が検出されると、次のスタートアップ後に INT_TOP.RESET_REG 割り込みフラグによって示されます。

表 7-2. 割り込み信号の概要

EVENT	結果	割り込みレジスタとビット	割り込みマスク	ステータス ビット	回復 / 割り込みクリア
電流制限がトリガされた (20μs デバウンス)	影響なし	INT_TOP.INT_BUCKx = 1 INT_BUCKx.BUCKx_ILIM_INT = 1	BUCKx_MASK.BUCKx_ILIM_MASK	BUCKx_STAT.BUCKx_ILIM_STAT	INT_BUCKx.BUCKx_ILIM_INT ビットに 1 を書き込む 電流制限がアクティブの場合、割り込みはクリアされません
短絡 (イネーブル後 1ms で $V_{OUT} < 0.35V$ または過負荷 (動作中に V_{OUT} が 0.35V 未満に低下、1ms のデバウンス)	コンバータのコアの無効化	INT_TOP.INT_BUCKx = 1 INT_BUCK_0_1.BUCKx_SC_INT = 1 または INT_BUCK_2_3.BUCKx_SC_INT = 1	該当なし	該当なし	INT_BUCK_0_1.BUCKx_SC_INT または INT_BUCK_2_3.BUCKx_SC_INT ビットに 1 を書き込む
過熱警告	影響なし	INT_TOP.TDIE_WARN = 1	TOP_MASK.TDIE_WARN_MASK	TOP_STAT.TDIE_WARN_STAT	INT_TOP.TDIE_WARN ビットに 1 を書き込む 温度がサーマル警告レベルを上回っている場合、割り込みはクリアされない
サーマル シャットダウン	すべてのコンバータのコアが無効	INT_TOP.TDIE_SD = 1	該当なし	TOP_STAT.TDIE_SD_STAT	INT_TOP.TDIE_SD ビットに 1 を書き込む 温度がサーマル シャットダウン レベルを上回っている場合、割り込みはクリアされない
パワーグッド、出力電圧がプログラムされた値に達している	影響なし	INT_TOP.INT_BUCKx = 1 INT_BUCK_0_1.BUCKx_PG_INT = 1 または INT_BUCK_2_3.BUCKx_PG_INT = 1	BUCK_0_1_MASK.BUCKx_PG_MASK BUCK_2_3_MASK.BUCKx_PG_MASK	BUCK_0_1_STAT.BUCKx_PG_STAT BUCK_2_3_STAT.BUCKx_PG_STAT	INT_BUCK_0_1.BUCKx_PG_INT ビットまたは INT_BUCK_2_3.BUCKx_PG_INT ビットに 1 を書き込む
負荷電流の測定準備完了	影響なし	INT_TOP.I_LOAD_READY = 1	TOP_MASK.I_LOAD_READY_MASK	該当なし	INT_TOP.I_LOAD_READY ビットに 1 を書き込む
スタートアップ (NRST 立ち上がりエッジ)	デバイスの動作準備完了後に、レジスタはデフォルト値にリセットされる	INT_TOP.RESET_REG = 1	TOP_MASK.RESET_REG_MASK	該当なし	INT_TOP.RESET_REG ビットに 1 を書き込む
電源電圧のグリッチと UVLO トリガ (VANA 立ち下がりおよび立ち上がり)	シャットダウンの直後に電源を投入、レジスタはデフォルト値にリセットされる	INT_TOP.RESET_REG = 1	TOP_MASK.RESET_REG_MASK	該当なし	INT_TOP.RESET_REG ビットに 1 を書き込む
ソフトウェアがリセットを要求した	シャットダウンの直後に電源を投入、レジスタはデフォルト値にリセットされる	INT_TOP.RESET_REG = 1	TOP_MASK.RESET_REG_MASK	該当なし	INT_TOP.RESET_REG ビットに 1 を書き込む

7.3.5.1 診断の警告 (割り込み)

7.3.5.1.1 出力電流制限

コンバータのコアは、プログラム可能な出力ピーク電流制限を備えています。これらの制限値は、BUCKx_CTRL2.ILIMx[2:0] ビットを使用して、すべての降圧コンバータのコアに対して個別にプログラムされます。負荷電流が増加して電流制限がトリガされても、レギュレータは引き続き制限電流レベルへのレギュレーションを行います (電流ピーク レギュレーション)。負荷電流が制限電流よりも大きくなると、電圧が低下する可能性があります。電流レギュレーションが 20μs にわたって継続すると、LP8758-EA デバイスは INT_BUCKx.BUCKx_ILIM_INT ビットをセットし、nINT ピンを Low にプルします。ホスト プロセッサは BUCKx_STAT.BUCKx_ILIM_STAT ビットを読み出して、コンバータのコアが依然としてピーク電流レギュレーション モードかどうかを確認できます。

たとえば、Buck0 出力の負荷が非常に大きく、出力電圧 V_{OUT} が 350mV のレベルを下回ると、LP8758-EA デバイスはコンバータのコア Buck0 を無効化して `INT_BUCK_0_1.BUCK0_SC_INT` ビットをセットします。さらに、`BUCK_0_1_STAT.BUCK0_STAT` ビットが 0 にセットされます。ホスト プロセッサが `INT_BUCK_0_1.BUCK0_SC_INT` ビットに 1 を書き込むと、割り込みがクリアされます。過負荷の状況を、図 7-6 に示します。

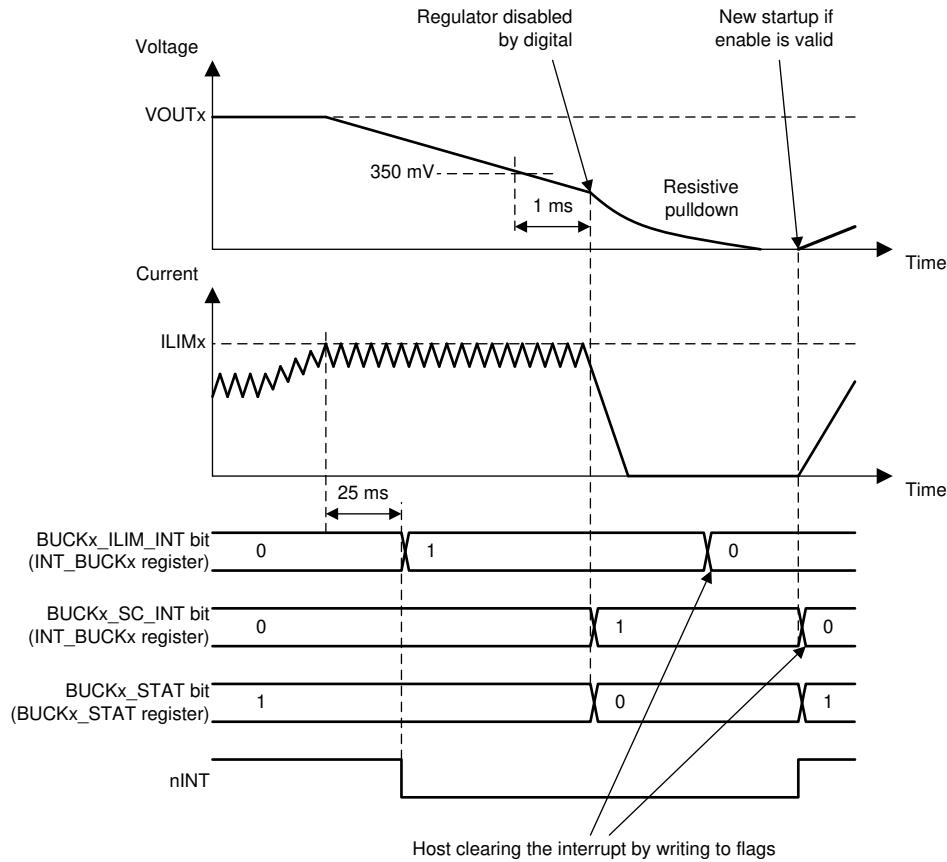


図 7-6. 過負荷の状況

7.3.5.1.2 過熱警告

LP8758-EA は、ホスト プロセッサに対して割り込みを設定し、過熱に対処する保護機能を備えています。過熱警告のスレッショルド レベルは、`CONFIG.TDIE_WARN_LEVEL` ビットで選択します。

LP8758-EA デバイスの温度が過熱警告レベルを上回ると、デバイスは `INT_TOP.TDIE_WARN` ビットをセットし、`nINT` ピンを Low にプルします。過熱警告のステータスは `TOP_STAT.TDIE_WARN_STAT` ビットから読み出しでき、`INT_TOP.TDIE_WARN` ビットに 1 を書き込むことで割り込みがクリアされます。

7.3.5.2 保護（レギュレータ ディセーブル）

保護またはフォルト（短絡保護、過負荷保護、サーマル シャットダウン、または低電圧誤動作防止）が原因でレギュレータが無効化された場合、出力パワー FET は高インピーダンス モードに設定され、出力プルダウン抵抗が有効化されます（`BUCKx_CTRL1` レジスタの `EN_RDISx` ビットで有効化されていれば）。出力電圧のターンオフ時間は、出力容量、負荷電流、内蔵プルダウン抵抗の抵抗値によって定義されます。

7.3.5.2.1 短絡および過負荷保護

短絡保護機能により、LP8758-EA は出力の短絡やスタートアップ時の過負荷から、自身および外付け部品を保護できます。フォルト スレッショルドは 350mV で、コンバータのコアが有効化されてから 1ms 後に出力電圧が依然としてスレッショルド レベルを下回っていると、保護がトリガされ、コンバータのコアが無効化されます。

同様に、通常動作時の過負荷状態からも保護されます。帰還ピンの電圧が 0.35V を下回り、1ms にわたってスレッショルドレベルを下回ると、対応するコンバータのコアが無効化されます。

たとえば、Buck コア 0 の出力が過負荷となると、INT_BUCK_0_1.BUCK0_SC_INT および INT_TOP.INT_BUCK0 ビットが 1 にセットされ、BUCK_0_1_STAT.BUCK0_STAT ビットは 0 にセットされ、nINT 信号が Low にプルされます。ホストプロセッサは、INT_BUCK_0_1.BUCK0_SC_INT ビットに 1 を書き込んで割り込みをクリアします。レジスタのイネーブルビット、ENx 制御信号、またはその両方が有効な場合、レギュレータは(割り込みクリア時に)新たな起動を試みます。

7.3.5.2.2 サーマルシャットダウン

LP8758-EA には過熱保護機能があり、短時間の誤使用や過負荷状態からデバイス自体を保護します。接合部温度が約 150°C を超えると、コアが無効化され、INT_TOP.TDIE_SD ビットが 1 にセットされて、nINT 信号が Low にプルされ、デバイスはスタンバイに移行します。INT_TOP.TDIE_SD ビットに 1 を書き込むと、nINT がクリアされます。温度がサーマルシャットダウン レベルを上回っていると、割り込みはクリアされません。ホストは TOP_STAT.TDIE_SD_STAT ビットからサーマルシャットダウン ステータスを読み出すことができます。接合部温度がサーマルシャットダウン レベルを上回っているか、サーマルシャットダウン割り込みが保留中のときは、コンバータのコアを有効にできません。

7.3.5.3 フォルト(パワーダウン)

7.3.5.3.1 低電圧誤動作防止

入力電圧が VANA ピンで VANA_{UVLO} を下回ると、コンバータのコアがただちに無効化され、出力コンデンサがプルダウン抵抗を使用して放電されて、LP8758-EA デバイスはシャットダウンに移行します。VANA 電圧が UVLO スレッショルドレベルを上回り、NRST 信号が High になると、デバイスは起動して STANDBY 状態に入ります。

デフォルトでリセット割り込みがマスクされていない場合 (TOP_MASK.RESET_REG_MASK = 0)、INT_TOP.RESET_REG 割り込みは、デバイスがシャットダウン中であることを示します。ホストプロセッサは、INT_TOP.RESET_REG ビットに 1 を書き込んで割り込みをクリアする必要があります。ホストプロセッサが nINT Low 信号を検出した後で INT_TOP.RESET_REG フラグを読み出した場合、ホストプロセッサは入力電源電圧が UVLO レベルを下回っていた(またはホストがリセットを要求していた)ことを認識し、レジスタがデフォルト値にリセットされます。

7.3.6 デジタル信号のフィルタリング

デジタル信号にはデバウンス フィルタリングがあります。信号または電源は、クロック信号とカウンタを使用してサンプリングされます。その結果、デバウンス ウィンドウの精度は 1 クロック周期となります。

表 7-3. デジタル信号のフィルタリング

EVENT	信号 / 電源	立ち上がりエッジの長さ	立ち下がりエッジの長さ
BUCKx の有効化、無効化、または電圧選択	ENx	3μs ⁽¹⁾	3μs ⁽¹⁾
VANA 低電圧誤動作防止	VANA	即時	即時
過熱警告	TDIE_WARN	20μs	20μs
サーマルシャットダウン	TDIE_SD	20μs	20μs
電流制限	VOUTx_ILIM	20μs	20μs
過負荷	FB_B0, FB_B1, FB_B2, FB_F3	1ms	1ms
パワー グッド	FB_B0, FB_B1, FB_B2, FB_F3	20μs	20μs

(1) グリッチ フィルタリングなし、同期のみ。

7.4 デバイスの機能モード

7.4.1 動作モード

SHUTDOWN: $V_{(NRST)}$ 電圧がスレッショルド レベルを下回っています。LP8758-EA デバイスのすべてのスイッチ、基準電圧、制御回路、バイアス回路がオフになります。

WAIT-ON: $V_{(NRST)}$ 電圧がスレッショルド レベルを上回っています。基準電圧およびバイアス回路が有効化されます。LP8758-EA デバイスのコンバータのコアはオフになります。

READ-OTP: メイン電源電圧 $V_{(VANA)}$ が $V_{ANA_{UVLO}}$ レベルを上回り、 $V_{(NRST)}$ 電圧がスレッショルド レベルを上回っています。コンバータのコアは無効化され、LP8758-EA の基準電圧およびバイアス回路が有効化されます。OTP ビットはレジスタにロードされます。

STANDBY: メイン電源電圧 $V_{(VANA)}$ が $V_{ANA_{UVLO}}$ レベルを上回り、 $V_{(NRST)}$ 電圧がスレッショルド レベルを上回っています。コンバータのコアは無効化され、LP8758-EA の基準電圧、制御、およびバイアス回路が有効化されます。システムのシリアル インターフェイスを介して、ホスト プロセッサがすべてのレジスタの読み出しありまたは書き込みを行うことができます。コンバータのコアは、必要に応じて有効化できます。

アクティブ: メイン電源電圧 $V_{(VANA)}$ が $V_{ANA_{UVLO}}$ レベルを上回り、 $V_{(NRST)}$ 電圧がスレッショルド レベルを上回っています。少なくとも 1 つのコンバータのコアが有効になります。システムのシリアル インターフェイスを介して、ホスト プロセッサがすべてのレジスタの読み出しありまたは書き込みを行うことができます。

動作モードとモード間の遷移を、図 7-7 に示します。

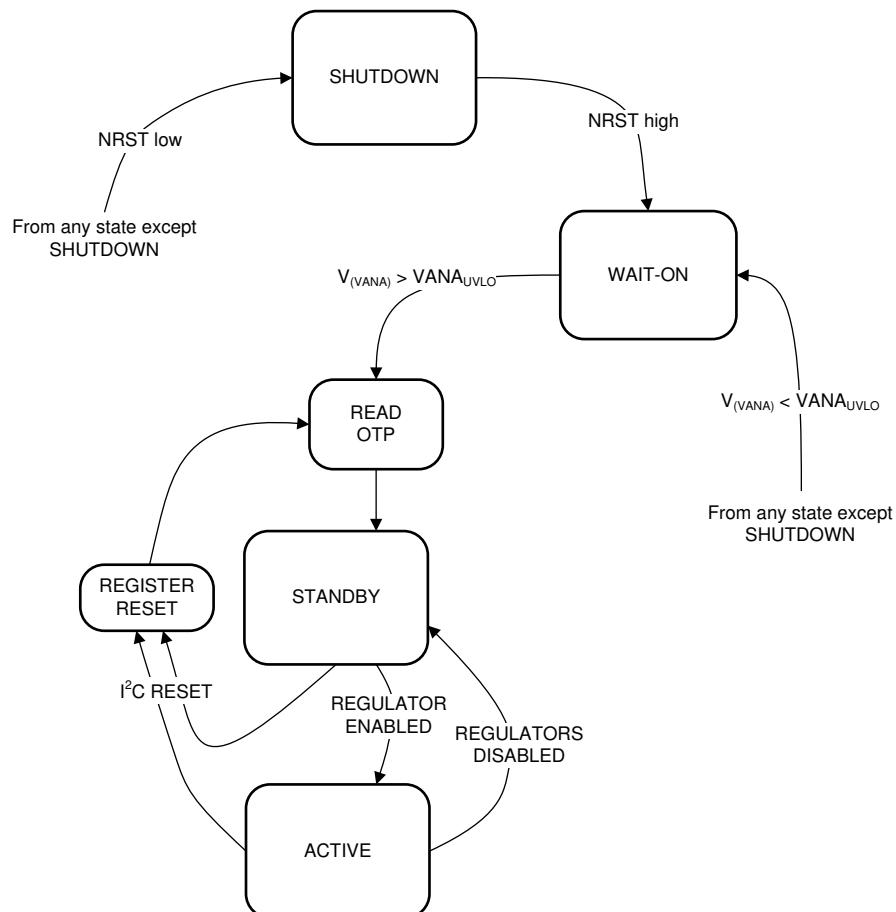


図 7-7. デバイスの動作モード

7.5 プログラミング

7.5.1 I²C 互換インターフェイス

I²C 互換の同期シリアルインターフェイスにより、デバイスのプログラム可能な機能とレジスタにアクセスできます。このプロトコルは、2線式インターフェイスにより、バスに接続されたデバイス間の双方向通信を実現します。インターフェイスラインは、シリアルデータライン (SDA) とシリアルクロックライン (SCL) の2つです。バス上の各デバイスは、固有のアドレスを割り当てられ、シリアルクロック SCL を生成するか受信するかに応じて、マスターまたはスレーブとして動作します。SCL および SDA ラインは、それぞれライン上にプルアップ抵抗を配置して、バスがアイドル状態でも HIGH に維持する必要があります。LP8758-EA は、スタンダードモード (100kHz)、ファストモード (400kHz)、ファストモードプラス (1MHz)、高速モード (3.4MHz) をサポートしています。

7.5.1.1 データの有効性

SDA ラインのデータは、クロック信号 (SCL) の HIGH 期間中は安定している必要があります。言い換えれば、データラインの状態は、クロック信号が LOW のときにしか変更できません。

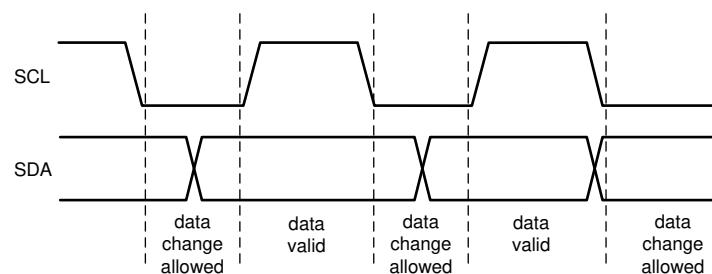


図 7-8. データ有効性を示す図

7.5.1.2 START 条件と STOP 条件

LP8758-EA は、I²C 互換のインターフェイス経由で制御されます。START 条件と STOP 条件により、I²C セッションの開始と終了を規定します。START 条件は、SCL が HIGH の間に、SDA が HIGH から LOW へ遷移することと定義されています。STOP 条件は、SCL が HIGH の間に、SDA が LOW から HIGH へ遷移することと定義されています。I²C マスターは、常に START 条件と STOP 条件を生成します。

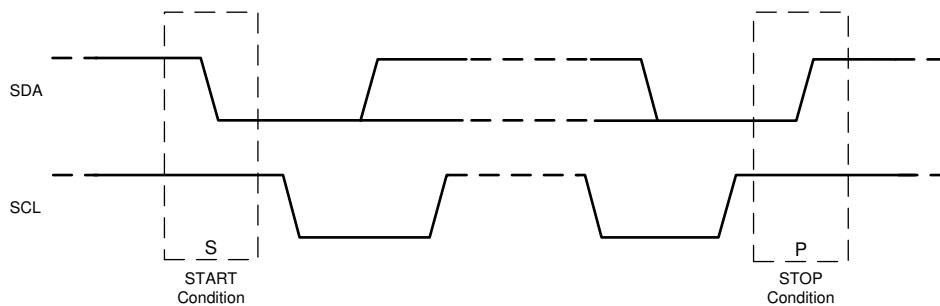
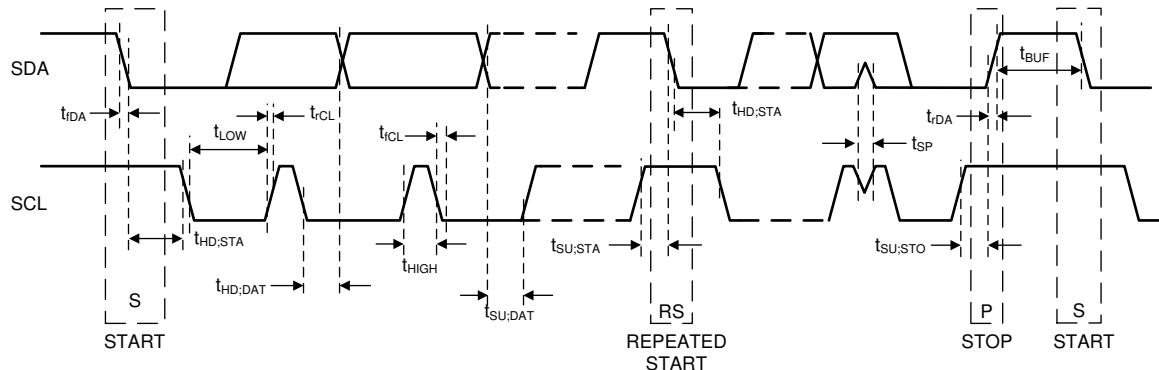


図 7-9. 開始と停止のシーケンシング

I²C バスは、START 条件の後はビジー状態とみなされ、STOP 条件の後はフリーとみなされます。データ転送中、I²C マスターは、繰り返し START 条件を生成できます。START 条件と REPEAT-START 条件は、機能的には同じです。SDA のデータは、クロック信号 (SCL) の HIGH 期間中は安定している必要があります。言い換えれば、SDA の状態は、SCL が LOW のときにしか変更できません。図 7-10 は、I²C 互換バスにおける SDA と SCL の信号タイミングを示しています。タイミング値については、セクション 6.6 を参照してください。

図 7-10. I²C 互換タイミング

7.5.1.3 データの転送

SDA ライン上の各バイトは 8 ビット長にする必要があります。最上位ビット(MSB)が最初に転送されます。データの各バイトには、アクノリッジ・ビットが続きます。アクノリッジ関連のクロック パルスはマスタにより生成されます。アクノリッジ クロック パルスの間に、マスタは SDA ラインを解放します(HIGH)。LP8758-EA は、9 回目のクロック パルスの間に SDA ラインをプルダウンして、アクノリッジを通知します。LP8758-EA は、各バイトが受信された後、アクノリッジを生成します。

各バイトの後というアクノリッジの規則には、例外が 1 つあります。マスタがレシーバのときには、スレーブからクロックされた最後のバイトを否定応答すること(ネガティブ アクノリッジ)により、トランシミッタにデータの終了を通知する必要があります。このネガティブ アクノリッジは、アクノリッジ クロック パルス(マスタにより生成)も含んでいますが、SDA ラインはプルダウンされません。

注

I²C 通信中に NRST 信号が Low の場合、LP8758-EA デバイスは SDA ラインを駆動しません。この時点で、ACK 信号およびマスタへのデータ転送は無効化されます。

START 条件の後、バス マスタはチップ アドレスを送信します。このアドレスは 7 ビット長で、8 番目のビットがデータ方向ビット(読み取りまたは書き込み)として続けます。8 番目のビットについては、「0」が WRITE、「1」が READ を示します。2 番目のバイトで、データが書き込まれるレジスタを選択します。3 番目のバイトには、選択したレジスタに書き込むデータが含まれます。

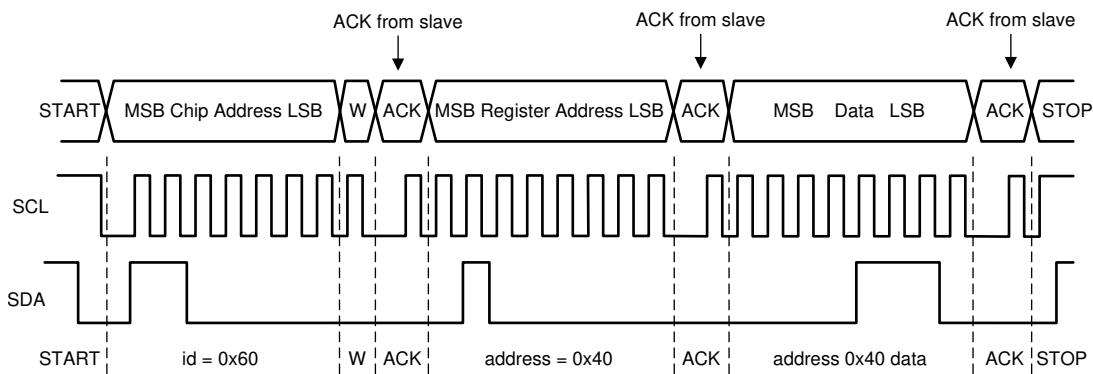
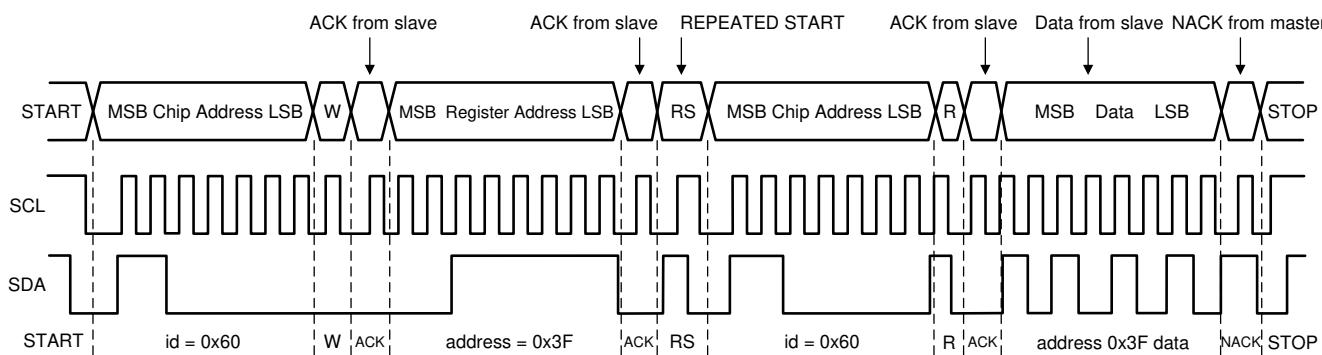


図 7-11. 書き込みサイクル (w = 書き込み、SDA = 0)、id = デバイス アドレス = 60Hex、LP8758-EA

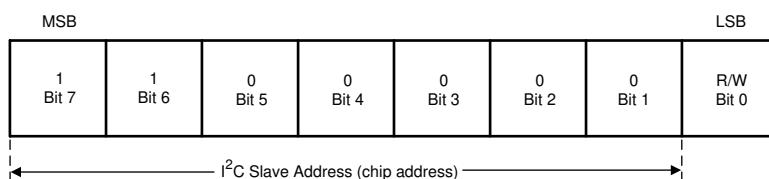


READ 機能を実行するためには、上記のように、READ 機能に先立って WRITE 機能を実行する必要があります。

図 7-12. 読み出しサイクル (r = 読み出し、SDA = 1)、id = デバイス アドレス = 60Hex、LP8758-EA

7.5.1.4 I²C 互換チップアドレス

LP8758-EA のデバイスアドレスは 0x60 です。START 条件の後で、I²C マスターは 7 ビットのアドレスに続けて、8 番目のビットとして読み出しありは書き込み (R/W) を送信します。R/W = 0 は書き込みを示し、R/W = 1 は読み取りを示します。デバイスアドレスに続く 2 番目のバイトで、データを書き込むレジスタアドレスを選択します。3 番目のバイトには、選択したレジスタのデータが含まれます。



ここで、デバイスアドレスは 110 0000Bin = です。

図 7-13. デバイスアドレス

7.5.1.5 自動インクリメント機能

自動インクリメント機能により、1 つの転送で複数の連続レジスタへの書き込みが可能です。8 ビットワードが LP8758-EA に送信されるたびに、内部アドレスインデックスカウンタが 1 ずつ増えて、次のレジスタが書き込まれます。下の表 7-4 に、連続する 2 つのレジスタへの書き込みシーケンスを示します。注：自動インクリメント機能は読み取りでは機能しません。

表 7-4. 自動インクリメントの例

マスターのアクション	START	デバイスアドレス = 60H	書き込み		レジスタ・アドレス		データ		データ		ストップ
LP8758-EA のアクション				ACK		ACK		ACK		ACK	

7.6 レジスタ マップ

7.6.1 レジスタの説明

LP8758-EA は、シリアル インターフェイス ポート経由で一連のレジスタにより制御されます。デバイスのレジスタ、レジスタのアドレス、および略語を、表 7-5 に示します。詳細な説明については、セクション 7.6.1.1 からセクション 7.6.1.35 までのセクションを参照してください。

アスタリスク (*) のマーキングは、READ OTP 状態で OTP メモリから更新されるレジスタ ビットを示します。

表 7-5. LP8758-EA の制御レジスタの概要

アドレス	登録	読み出し/書き込み	D7	D6	D5	D4	D3	D2	D1	D0					
0x01	OTP_REV	R	OTP_ID[7:0]												
0x02	BUCK0_CTRL1	R/W	EN_BUCK0	EN_PIN_CTRL0	EN_PIN_SELECT0	EN_ROOF_FLOOR0	EN_RDIS0	予約済み	BUCK0_FPWM	予約済み					
0x03	BUCK0_CTRL2	R/W	予約済み			ILIM0[2:0]			SLEW_RATE0[2:0]						
0x04	BUCK1_CTRL1	R/W	EN_BUCK1	EN_PIN_CTRL1	EN_PIN_SELECT1	EN_ROOF_FLOOR1	EN_RDIS1	予約済み	BUCK1_FPWM	予約済み					
0x05	BUCK1_CTRL2	R/W	予約済み			ILIM1[2:0]			SLEW_RATE1[2:0]						
0x06	BUCK2_CTRL1	R/W	EN_BUCK2	EN_PIN_CTRL2	EN_PIN_SELECT2	EN_ROOF_FLOOR2	EN_RDIS2	予約済み	BUCK2_FPWM	予約済み					
0x07	BUCK2_CTRL2	R/W	予約済み			ILIM2[2:0]			SLEW_RATE2[2:0]						
0x08	BUCK3_CTRL1	R/W	EN_BUCK3	EN_PIN_CTRL3	EN_PIN_SELECT3	EN_ROOF_FLOOR3	EN_RDIS3	予約済み	BUCK3_FPWM	予約済み					
0x09	BUCK3_CTRL2	R/W	予約済み			ILIM3[2:0]			SLEW_RATE3[2:0]						
0x0A	BUCK0_VOUT	R/W	BUCK0_VSET[7:0]												
0x0B	BUCK0_FLOOR_VOUT	R/W	BUCK0_FLOOR_VSET[7:0]												
0x0C	BUCK1_VOUT	R/W	BUCK1_VSET[7:0]												
0x0D	BUCK1_FLOOR_VOUT	R/W	BUCK1_FLOOR_VSET[7:0]												
0x0E	BUCK2_VOUT	R/W	BUCK2_VSET[7:0]												
0x0F	BUCK2_FLOOR_VOUT	R/W	BUCK2_FLOOR_VSET[7:0]												
0x10	BUCK3_VOUT	R/W	BUCK3_VSET[7:0]												
0x11	BUCK3_FLOOR_VOUT	R/W	BUCK3_FLOOR_VSET[7:0]												
0x12	BUCK0_DELAY	R/W	BUCK0_SHUTDOWN_DELAY[3:0]				BUCK0_STARTUP_DELAY[3:0]								
0x13	BUCK1_DELAY	R/W	BUCK1_SHUTDOWN_DELAY[3:0]				BUCK1_STARTUP_DELAY[3:0]								
0x14	BUCK2_DELAY	R/W	BUCK2_SHUTDOWN_DELAY[3:0]				BUCK2_STARTUP_DELAY[3:0]								
0x15	BUCK3_DELAY	R/W	BUCK3_SHUTDOWN_DELAY[3:0]				BUCK3_STARTUP_DELAY[3:0]								
0x16	リセット	R/W	予約済み												
										SW_RESET					

表 7-5. LP8758-EA の制御レジスタの概要 (続き)

アドレス	登録	読み出し / 書き込み	D7	D6	D5	D4	D3	D2	D1	D0	
0x17	CONFIG	R/W	予約済み					TDIE_WARN_LEVEL	EN2_PD	EN1_PD	EN_SPREAD_SPEC
0x18	INT_TOP	R/W	INT_BUCK3	INT_BUCK2	INT_BUCK1	INT_BUCK0	TDIE_SD	TDIE_WARN	RESET_REG	I_LOAD_READY	
0x19	INT_BUCK_0_1	R/W	予約済み	BUCK1_PG_INT	BUCK1_SC_INT	BUCK1_ILIM_INT	予約済み	BUCK0_PG_INT	BUCK0_SC_INT	BUCK0_ILIM_INT	
0x1A	INT_BUCK_2_3	R/W	予約済み	BUCK3_PG_INT	BUCK3_SC_INT	BUCK3_ILIM_INT	予約済み	BUCK2_PG_INT	BUCK2_SC_INT	BUCK2_ILIM_INT	
0x1B	TOP_STAT	R	予約済み					TDIE_SD_STAT	TDIE_WARN_STAT	予約済み	
0x1C	BUCK_0_1_STAT	R	BUCK1_STAT	BUCK1_PG_STAT	予約済み	BUCK1_ILIM_STAT	BUCK0_STAT	BUCK0_PG_STAT	予約済み	BUCK0_ILIM_STAT	
0x1D	BUCK_2_3_STAT	R	BUCK3_STAT	BUCK3_PG_STAT	予約済み	BUCK3_ILIM_STAT	BUCK2_STAT	BUCK2_PG_STAT	予約済み	BUCK2_ILIM_STAT	
0x1E	TOP_MASK	R/W	予約済み					TDIE_WARN_MASK	RESET_REG_MASK	I_LOAD_READY_MASK	
0x1F	BUCK_0_1_MASK	R/W	予約済み	BUCK1_PG_MASK	予約済み	BUCK1_ILIM_MASK	予約済み	BUCK0_PG_MASK	予約済み	BUCK0_ILIM_MASK	
0x20	BUCK_2_3_MASK	R/W	予約済み	BUCK3_PG_MASK	予約済み	BUCK3_ILIM_MASK	予約済み	BUCK2_PG_MASK	予約済み	BUCK2_ILIM_MASK	
0x21	SEL_I_LOAD	R/W	予約済み						LOAD_CURRENT_BUCK_SELECT[1:0]		
0x22	I_LOAD_2	R/W	予約済み						BUCK_LOAD_CURRENT[9:8]		
0x23	I_LOAD_1	R/W	BUCK_LOAD_CURRENT[7:0]								

7.6.1.1 OTP_REV

アドレス: 0x01

D7	D6	D5	D4	D3	D2	D1	D0
OTP_ID[7:0]							
ビット	フィールド	タイプ	デフォルト	説明			
7:0	OTP_ID[7:0]	R	0xEA *	OTP EEPROM バージョンの識別コード。			

7.6.1.2 BUCK0_CTRL1

アドレス: 0x02

D7	D6	D5	D4	D3	D2	D1	D0
EN_BUCK0	EN_PIN_CTRL0	EN_PIN_SELECT0	EN_ROOF_FLOOR0	EN_RDIS0	予約済み	BUCK0_FPWM	予約済み
説明							
7	EN_BUCK0	R/W	1 *	BUCK0 コンバータのコアの有効化: 0 - BUCK0 コンバータのコアは無効化されています。 1 - BUCK0 コンバータのコアは有効化されています。			
6	EN_PIN_CTRL0	R/W	1 *	BUCK0 の EN1/2 ピン制御の有効化: 0 - EN_BUCK0 ビットのみが BUCK0 を制御します。 1 - EN_BUCK0 ビットおよび EN1/2 ピンが BUCK0 を制御します。			
5	EN_PIN_SELECT0	R/W	0 *	EN_PIN_CTRL0 = 1 の場合、BUCK0 を制御する ENx ピンの選択: 0 - EN1 ピン。 1 - EN2 ピン。			
4	EN_ROOF_FLOOR0	R/W	0	EN_PIN_CTRL0 = 1 の場合、EN1/2 ピンのループ / フロア制御の有効化: 0 - 有効化 / 無効化 (1/0) 制御。 1 - ループ / フロア (1/0) 制御。			
3	EN_RDIS0	R/W	1	BUCK0 が無効化されているときの出力放電抵抗の有効化: 0 - 放電抵抗は無効化されています。 1 - 放電抵抗は有効化されています。			
2	予約済み	R/W	0				
1	BUCK0_FPWM	R/W	0 *	BUCK0 コンバータのコアを強制的に PWM モードで動作: 0 - PFM モードと PWM モードの間の自動遷移 (自動モード)。 1 - 強制 PWM 動作。			
0	予約済み	R/W	0				

7.6.1.3 BUCK0_CTRL2

アドレス: 0x03

D7	D6	D5	D4	D3	D2	D1	D0			
予約済み		ILIM0[2:0]			SLEW_RATE0[2:0]					
説明										
7:6	予約済み	R/W	00							

ビット	フィールド	タイプ	デフォルト	説明
5:3	ILIMO[2:0]	R/W	0x6 *	BUCK0 のスイッチ電流制限を設定します。動作中はいつでもプログラム可能です: 0x2 - 2.5A 0x3 - 3.0A 0x4 - 3.5A 0x5 - 4.0A 0x6 - 4.5A 0x7 - 5.0A
2:0	SLEW_RATE0[2:0]	R/W	0x4 *	BUCK0 コンバータのコアの出力電圧スルーレートを設定します (立ち上がりおよび立ち下がりエッジ): 0x0 - 30mV/μs 0x1 - 15mV/μs 0x2 - 10mV/μs 0x3 - 7.5mV/μs 0x4 - 3.8mV/μs 0x5 - 1.9mV/μs 0x6 - 0.94mV/μs 0x7 - 0.4mV/μs

7.6.1.4 BUCK1_CTRL1

アドレス: 0x04

D7	D6	D5	D4	D3	D2	D1	D0
EN_BUCK1	EN_PIN_CTRL1	EN_PIN_SELECT1	EN_ROOF_FLOOR1	EN_RDIS1	予約済み	BUCK1_FPWM	予約済み

ビット	フィールド	タイプ	デフォルト	説明
7	EN_BUCK1	R/W	1 *	BUCK1 コンバータのコアの有効化: 0 - BUCK1 コンバータのコアは無効化されています。 1 - BUCK1 コンバータのコアは有効化されています。
6	EN_PIN_CTRL1	R/W	1 *	BUCK1 の EN1/2 ピン制御の有効化: 0 - EN_BUCK1 ビットのみが BUCK1 を制御します。 1 - EN_BUCK1 ビットおよび EN1/2 ピンが BUCK1 を制御します。
5	EN_PIN_SELECT1	R/W	0 *	EN_PIN_CTRL1 = 1 の場合、BUCK1 を制御する ENx ピンの選択: 0 - EN1 ピン 1 - EN2 ピン。
4	EN_ROOF_FLOOR1	R/W	0	EN_PIN_CTRL1 = 1 の場合、EN1/2 ピンのループ / フロア制御の有効化: 0 - 有効化 / 無効化 (1/0) 制御。 1 - ループ / フロア (1/0) 制御。
3	EN_RDIS1	R/W	1	BUCK1 が無効化されているときの出力放電抵抗の有効化: 0 - 放電抵抗は無効化されています。 1 - 放電抵抗は有効化されています。
2	予約済み	R/W	0	
1	BUCK1_FPWM	R/W	0 *	BUCK1 コンバータのコアを強制的に PWM モードで動作: 0 - PFM モードと PWM モードの間の自動遷移 (自動モード)。 1 - 強制 PWM 動作。
0	予約済み	R/W	0	

7.6.1.5 BUCK1_CTRL2

アドレス:0x05

D7	D6	D5	D4	D3	D2	D1	D0
予約済み	ILIM1[2:0]						SLEW_RATE1[2:0]
ビット	フィールド	タイプ	デフォルト	説明			
7:6	予約済み	R/W	00				
5:3	ILIM1[2:0]	R/W	0x6 *	BUCK1 のスイッチ電流制限を設定します。動作中はいつでもプログラム可能です: 0x2 - 2.5A 0x3 - 3.0A 0x4 - 3.5A 0x5 - 4.0A 0x6 - 4.5A 0x7 - 5.0A			
2:0	SLEW_RATE1[2:0]	R/W	0x4 *	BUCK1 コンバータのコアの出力電圧スルーレートを設定します (立ち上がりおよび立ち下がりエッジ): 0x0 - 30mV/us 0x1 - 15mV/us 0x2 - 10mV/us 0x3 - 7.5mV/us 0x4 - 3.8mV/us 0x5 - 1.9mV/us 0x6 - 0.94mV/us 0x7 - 0.4mV/us			

7.6.1.6 BUCK2_CTRL1

アドレス:0x06

D7	D6	D5	D4	D3	D2	D1	D0
EN_BUCK2	EN_PIN_CTRL2	EN_PIN_SELECT2	EN_ROOF_FLOOR2	EN_RDIS2	予約済み	BUCK2_PWM	予約済み
ビット	フィールド	タイプ	デフォルト	説明			
7	EN_BUCK2	R/W	1 *	BUCK2 コンバータのコアの有効化: 0 - BUCK2 コンバータのコアは無効化されています。 1 - BUCK2 コンバータのコアは有効化されています。			
6	EN_PIN_CTRL2	R/W	1 *	BUCK2 の EN1/2 ピン制御の有効化: 0 - EN_BUCK2 ビットのみが BUCK2 を制御します。 1 - EN_BUCK2 ビットおよび EN1/2 ピンが BUCK2 を制御します。			
5	EN_PIN_SELECT2	R/W	1 *	EN_PIN_CTRL2 = 1 の場合、BUCK2 を制御する ENx ピンの選択: 0 - EN1 ピン 1 - EN2 ピン。			
4	EN_ROOF_FLOOR2	R/W	0	EN_PIN_CTRL2 = 1 の場合、EN1/2 ピンのループ / フロア制御の有効化: 0 - 有効化 / 無効化 (1/0) 制御。 1 - ループ / フロア (1/0) 制御。			
3	EN_RDIS2	R/W	1	BUCK2 が無効化されているときの出力放電抵抗の有効化: 0 - 放電抵抗は無効化されています。 1 - 放電抵抗は有効化されています。			
2	予約済み	R/W	0				
1	BUCK2_PWM	R/W	0 *	BUCK2 コンバータのコアを強制的に PWM モードで動作: 0 - PFM モードと PWM モードの間の自動遷移 (自動モード)。 1 - 強制 PWM 動作。			
0	予約済み	R/W	0				

7.6.1.7 BUCK2_CTRL2

アドレス:0x07

D7	D6	D5	D4	D3	D2	D1	D0
予約済み	ILIM2[2:0]						SLEW_RATE2[2:0]
ビット	フィールド	タイプ	デフォルト	説明			
7:6	予約済み	R/W	00				
5:3	ILIM2[2:0]	R/W	0x6 *	BUCK2 のスイッチ電流制限を設定します。動作中はいつでもプログラム可能です: 0x2 - 2.5A 0x3 - 3.0A 0x4 - 3.5A 0x5 - 4.0A 0x6 - 4.5A 0x7 - 5.0A			
2:0	SLEW_RATE2[2:0]	R/W	0x4 *	BUCK2 コンバータのコアの出力電圧スルーレートを設定します (立ち上がりおよび立ち下がりエッジ): 0x0 - 30mV/μs 0x1 - 15mV/μs 0x2 - 10mV/μs 0x3 - 7.5mV/μs 0x4 - 3.8mV/μs 0x5 - 1.9mV/μs 0x6 - 0.94mV/μs 0x7 - 0.4mV/μs			

7.6.1.8 BUCK3_CTRL1

アドレス:0x08

D7	D6	D5	D4	D3	D2	D1	D0
EN_BUCK3	EN_PIN_CTRL3	EN_PIN_SELECT3	EN_ROOF_FLOOR3	EN_RDIS3	予約済み	BUCK3_PWM	予約済み
ビット	フィールド	タイプ	デフォルト	説明			
7	EN_BUCK3	R/W	1 *	BUCK3 コンバータのコアの有効化: 0 - BUCK3 コンバータのコアは無効化されています。 1 - BUCK3 コンバータのコアは有効化されています。			
6	EN_PIN_CTRL3	R/W	1 *	BUCK3 の EN1/2 ピン制御の有効化: 0 - EN_BUCK3 ビットのみが BUCK3 を制御します 1 - EN_BUCK3 ビットおよび EN1/2 ピンが BUCK3 を制御します。			
5	EN_PIN_SELECT3	R/W	1 *	EN_PIN_CTRL3 = 1 の場合、BUCK3 を制御する ENx ピンの選択: 0 - EN1 ピン 1 - EN2 ピン。			
4	EN_ROOF_FLOOR3	R/W	0	EN_PIN_CTRL3 = 1 の場合、EN1/2 ピンのループ / フロア制御の有効化: 0 - 有効化 / 無効化 (1/0) 制御 1 - ループ / フロア (1/0) 制御。			
3	EN_RDIS3	R/W	1	BUCK3 が無効化されているときの出力放電抵抗の有効化: 0 - 放電抵抗は無効化されています。 1 - 放電抵抗は有効化されています。			
2	予約済み	R/W	0				
1	BUCK3_PWM	R/W	0 *	BUCK3 コンバータのコアを強制的に PWM モードで動作: 0 - PFM モードと PWM モードの間の自動遷移 (自動モード) 1 - 強制 PWM 動作。			
0	予約済み	R/W	0				

7.6.1.9 BUCK3_CTRL2

アドレス:0x09

D7	D6	D5	D4	D3	D2	D1	D0	
予約済み		ILIM3[2:0]				SLEW_RATE3[2:0]		
ピット							説明	
7:6	予約済み	R/W	00					
5:3	ILIM3[2:0]	R/W	0x6 *	BUCK3 のスイッチ電流制限を設定します。動作中はいつでもプログラム可能です: 0x2 - 2.5A 0x3 - 3.0A 0x4 - 3.5A 0x5 - 4.0A 0x6 - 4.5A 0x7 - 5.0A				
2:0	SLEW_RATE3[2:0]	R/W	0x4 *	BUCK3 コンバータのコアの出力電圧スルーレートを設定します (立ち上がりおよび立ち下がりエッジ): 0x0 - 30mV/μs 0x1 - 15mV/μs 0x2 - 10mV/μs 0x3 - 7.5mV/μs 0x4 - 3.8mV/μs 0x5 - 1.9mV/μs 0x6 - 0.94mV/μs 0x7 - 0.4mV/μs				

7.6.1.10 BUCK0_VOUT

アドレス:0x0A

D7	D6	D5	D4	D3	D2	D1	D0	
BUCK0_VSET[7:0]								
ピット							説明	
7:0	BUCK0_VSET[7:0]	R/W	0x25 *	BUCK0 コンバータのコアの出力電圧を設定します (デフォルトは 800 mV)。 0.5V ~ 0.73V、10mV 刻み 0x00 - 0.5V ... 0x17 - 0.73V 0.73V ~ 1.4V、5mV 刻み 0x18 - 0.735V ... 0x9D - 1.4V 1.4V ~ 3.36V、20mV 刻み 0x9E - 1.42V ... 0xFF - 3.36V				

7.6.1.11 BUCK0_FLOOR_VOUT

アドレス:0x0B

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

BUCK0_FLOOR_VSET[7:0]

ビット	フィールド	タイプ	デフォルト	説明
7:0	BUCK0_FLOOR_VSET[7:0]	R/W	0x00	<p>フロア状態が使用されているとき、BUCK0 コンバータのコアの出力電圧を設定します:</p> <p>0.5V ~ 0.73V、10mV 刻み 0x00 - 0.5V ... 0x17 - 0.73V</p> <p>0.73V ~ 1.4V、5mV 刻み 0x18 - 0.735V ... 0x9D - 1.4V</p> <p>1.4V ~ 3.36V、20mV 刻み 0x9E - 1.42V ... 0xFF - 3.36V</p>

7.6.1.12 BUCK1_VOUT

アドレス:0x0C

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

BUCK1_VSET[7:0]

ビット	フィールド	タイプ	デフォルト	説明
7:0	BUCK1_VSET[7:0]	R/W	0x25 *	<p>BUCK1 コンバータのコアの出力電圧を設定します (デフォルトは 800 mV)。</p> <p>0.5V ~ 0.73V、10mV 刻み 0x00 - 0.5V ... 0x17 - 0.73V</p> <p>0.73V ~ 1.4V、5mV 刻み 0x18 - 0.735V ... 0x9D - 1.4V</p> <p>1.4V ~ 3.36V、20mV 刻み 0x9E - 1.42V ... 0xFF - 3.36V</p>

7.6.1.13 BUCK1_FLOOR_VOUT

アドレス:0x0D

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

BUCK1_FLOOR_VSET[7:0]

ビット	フィールド	タイプ	デフォルト	説明
7:0	BUCK1_FLOOR_VSET[7:0]	R/W	0x00	<p>フロア状態が使用されているとき、BUCK1 コンバータのコアの出力電圧を設定します：</p> <p>0.5V ~ 0.73V、10mV 刻み 0x00 - 0.5V ... 0x17 - 0.73V 0.73V ~ 1.4V、5mV 刻み 0x18 - 0.735V ... 0x9D - 1.4V 1.4V ~ 3.36V、20mV 刻み 0x9E - 1.42V ... 0xFF - 3.36V</p>

7.6.1.14 BUCK2_VOUT

アドレス: 0x0E

D7	D6	D5	D4	D3	D2	D1	D0
BUCK2_VSET[7:0]							
ビット	フィールド	タイプ	デフォルト	説明			
7:0	BUCK2_VSET[7:0]	R/W	0x25 *	<p>BUCK2 コンバータのコアの出力電圧を設定します (デフォルトは 800 mV)。</p> <p>0.5V ~ 0.73V、10mV 刻み 0x00 - 0.5V ... 0x17 - 0.73V 0.73V ~ 1.4V、5mV 刻み 0x18 - 0.735V ... 0x9D - 1.4V 1.4V ~ 3.36V、20mV 刻み 0x9E - 1.42V ... 0xFF - 3.36V</p>			

7.6.1.15 BUCK2_FLOOR_VOUT

アドレス: 0x0F

D7	D6	D5	D4	D3	D2	D1	D0
BUCK2_FLOOR_VSET[7:0]							
ビット	フィールド	タイプ	デフォルト	説明			
7:0	BUCK2_FLOOR_VSET[7:0]	R/W	0x00	<p>フロア状態が使用されているとき、BUCK2 コンバータのコアの出力電圧を設定します：</p> <p>0.5V ~ 0.73V、10mV 刻み 0x00 - 0.5V ... 0x17 - 0.73V 0.73V ~ 1.4V、5mV 刻み 0x18 - 0.735V ... 0x9D - 1.4V 1.4V ~ 3.36V、20mV 刻み 0x9E - 1.42V ... 0xFF - 3.36V</p>			

7.6.1.16 BUCK3_VOUT

アドレス:0x10

D7	D6	D5	D4	D3	D2	D1	D0										
BUCK3_VSET[7:0]																	
<table border="1"> <thead> <tr> <th>ビット</th><th>フィールド</th><th>タイプ</th><th>デフォルト</th><th>説明</th></tr> </thead> <tbody> <tr> <td>7:0</td><td>BUCK3_VSET[7:0]</td><td>R/W</td><td>0x25 *</td><td> BUCK3 コンバータのコアの出力電圧を設定します (デフォルトは 800 mV)。 0.5V ~ 0.73V, 10mV 刻み 0x00 - 0.5V ... 0x17 - 0.73V 0.73V ~ 1.4V, 5mV 刻み 0x18 - 0.735V ... 0x9D - 1.4V 1.4V ~ 3.36V, 20mV 刻み 0x9E - 1.42V ... 0xFF - 3.36V </td></tr> </tbody> </table>								ビット	フィールド	タイプ	デフォルト	説明	7:0	BUCK3_VSET[7:0]	R/W	0x25 *	BUCK3 コンバータのコアの出力電圧を設定します (デフォルトは 800 mV)。 0.5V ~ 0.73V, 10mV 刻み 0x00 - 0.5V ... 0x17 - 0.73V 0.73V ~ 1.4V, 5mV 刻み 0x18 - 0.735V ... 0x9D - 1.4V 1.4V ~ 3.36V, 20mV 刻み 0x9E - 1.42V ... 0xFF - 3.36V
ビット	フィールド	タイプ	デフォルト	説明													
7:0	BUCK3_VSET[7:0]	R/W	0x25 *	BUCK3 コンバータのコアの出力電圧を設定します (デフォルトは 800 mV)。 0.5V ~ 0.73V, 10mV 刻み 0x00 - 0.5V ... 0x17 - 0.73V 0.73V ~ 1.4V, 5mV 刻み 0x18 - 0.735V ... 0x9D - 1.4V 1.4V ~ 3.36V, 20mV 刻み 0x9E - 1.42V ... 0xFF - 3.36V													

7.6.1.17 BUCK3_FLOOR_VOUT

アドレス:0x11

D7	D6	D5	D4	D3	D2	D1	D0										
BUCK3_FLOOR_VSET[7:0]																	
<table border="1"> <thead> <tr> <th>ビット</th><th>フィールド</th><th>タイプ</th><th>デフォルト</th><th>説明</th></tr> </thead> <tbody> <tr> <td>7:0</td><td>BUCK3_FLOOR_VSET[7:0]</td><td>R/W</td><td>0x00</td><td> フロア状態が使用されているとき、BUCK3 コンバータのコアの出力電圧を設定します: 0.5V ~ 0.73V, 10mV 刻み 0x00 - 0.5V ... 0x17 - 0.73V 0.73V ~ 1.4V, 5mV 刻み 0x18 - 0.735V ... 0x9D - 1.4V 1.4V ~ 3.36V, 20mV 刻み 0x9E - 1.42V ... 0xFF - 3.36V </td></tr> </tbody> </table>								ビット	フィールド	タイプ	デフォルト	説明	7:0	BUCK3_FLOOR_VSET[7:0]	R/W	0x00	フロア状態が使用されているとき、BUCK3 コンバータのコアの出力電圧を設定します: 0.5V ~ 0.73V, 10mV 刻み 0x00 - 0.5V ... 0x17 - 0.73V 0.73V ~ 1.4V, 5mV 刻み 0x18 - 0.735V ... 0x9D - 1.4V 1.4V ~ 3.36V, 20mV 刻み 0x9E - 1.42V ... 0xFF - 3.36V
ビット	フィールド	タイプ	デフォルト	説明													
7:0	BUCK3_FLOOR_VSET[7:0]	R/W	0x00	フロア状態が使用されているとき、BUCK3 コンバータのコアの出力電圧を設定します: 0.5V ~ 0.73V, 10mV 刻み 0x00 - 0.5V ... 0x17 - 0.73V 0.73V ~ 1.4V, 5mV 刻み 0x18 - 0.735V ... 0x9D - 1.4V 1.4V ~ 3.36V, 20mV 刻み 0x9E - 1.42V ... 0xFF - 3.36V													

7.6.1.18 BUCK0_DELAY

アドレス:0x12

D7	D6	D5	D4	D3	D2	D1	D0										
BUCK0_SHUTDOWN_DELAY[3:0]				BUCK0_STARTUP_DELAY[3:0]													
<table border="1"> <thead> <tr> <th>ビット</th><th>フィールド</th><th>タイプ</th><th>デフォルト</th><th>説明</th></tr> </thead> <tbody> <tr> <td>7:4</td><td>BUCK0_SHUTDOWN_DELAY[3:0]</td><td>R/W</td><td>0x0 *</td><td> BUCK0 のシャットダウン遅延、ENx 信号の立ち下がりエッジから: 0x0 - 0ms 0x1 - 1ms ... 0xF - 15ms </td></tr> </tbody> </table>								ビット	フィールド	タイプ	デフォルト	説明	7:4	BUCK0_SHUTDOWN_DELAY[3:0]	R/W	0x0 *	BUCK0 のシャットダウン遅延、ENx 信号の立ち下がりエッジから: 0x0 - 0ms 0x1 - 1ms ... 0xF - 15ms
ビット	フィールド	タイプ	デフォルト	説明													
7:4	BUCK0_SHUTDOWN_DELAY[3:0]	R/W	0x0 *	BUCK0 のシャットダウン遅延、ENx 信号の立ち下がりエッジから: 0x0 - 0ms 0x1 - 1ms ... 0xF - 15ms													

ビット	フィールド	タイプ	デフォルト	説明
3:0	BUCK0_STARTUP_DELAY[3:0]	R/W	0x0 *	BUCK0 のスタートアップ遅延、ENx 信号の立ち上がりエッジから: 0x0 - 0ms 0x1 - 1ms ... 0xF - 15ms

7.6.1.19 BUCK1_DELAY

アドレス:0x13

D7	D6	D5	D4	D3	D2	D1	D0
BUCK1_SHUTDOWN_DELAY[3:0]						BUCK1_STARTUP_DELAY[3:0]	

ビット	フィールド	タイプ	デフォルト	説明
7:4	BUCK1_SHUTDOWN_DELAY[3:0]	R/W	0x0 *	BUCK1 のシャットダウン遅延、ENx 信号の立ち下がりエッジから: 0x0 - 0ms 0x1 - 1ms ... 0xF - 15ms
3:0	BUCK1_STARTUP_DELAY[3:0]	R/W	0x0 *	BUCK1 のスタートアップ遅延、ENx 信号の立ち上がりエッジから: 0x0 - 0ms 0x1 - 1ms ... 0xF - 15ms

7.6.1.20 BUCK2_DELAY

アドレス:0x14

D7	D6	D5	D4	D3	D2	D1	D0
BUCK2_SHUTDOWN_DELAY[3:0]						BUCK2_STARTUP_DELAY[3:0]	

ビット	フィールド	タイプ	デフォルト	説明
7:4	BUCK2_SHUTDOWN_DELAY[3:0]	R/W	0x0 *	BUCK2 のシャットダウン遅延、ENx 信号の立ち下がりエッジから: 0x0 - 0ms 0x1 - 1ms ... 0xF - 15ms
3:0	BUCK2_STARTUP_DELAY[3:0]	R/W	0x0 *	BUCK2 のスタートアップ遅延、ENx 信号の立ち上がりエッジから: 0x0 - 0ms 0x1 - 1ms ... 0xF - 15ms

7.6.1.21 BUCK3_DELAY

アドレス:0x15

D7	D6	D5	D4	D3	D2	D1	D0
BUCK3_SHUTDOWN_DELAY[3:0]						BUCK3_STARTUP_DELAY[3:0]	

ビット	フィールド	タイプ	デフォルト	説明
7:4	BUCK3_SHUTDOWN_DELAY[3:0]	R/W	0x0 *	BUCK3 のシャットダウン遅延、ENx 信号の立ち下がりエッジから: 0x0 - 0ms 0x1 - 1ms ... 0xF - 15ms

ビット	フィールド	タイプ	デフォルト	説明
3:0	BUCK3_ STARTUP_ DELAY[3:0]	R/W	0x0 *	BUCK3 のスタートアップ遅延、ENx 信号の立ち上がりエッジから: 0x0 - 0ms 0x1 - 1ms ... 0xF - 15ms

7.6.1.22 リセット

アドレス:0x16

D7	D6	D5	D4	D3	D2	D1	D0
予約済み							SW_RESET

ビット	フィールド	タイプ	デフォルト	説明
7:1	予約済み	R/W	0000 000	
0	SW_RESET	R/W	0	ソフトウェアがリセットを命令しました。1 に書き込むと、レジスタはデフォルト値にリセットされ、OTP メモリが読み取られて、I ² C インターフェイスがリセットされます。 このビットは自動的にクリアされます。

7.6.1.23 CONFIG

アドレス:0x17

D7	D6	D5	D4	D3	D2	D1	D0
予約済み			TDIE_WARN_LEVEL		EN2_PD	EN1_PD	EN_SPREAD_SPEC
ビット			フィールド	タイプ	デフォルト	説明	
7:4			予約済み	R/W	0000		
3			TDIE_WARN_LEVEL	R/W	0	過熱警告スレッショルド レベル。 0 - 125°C 1 - 105°C	
2			EN2_PD	R/W	1	EN2 入力ピンのプルダウン抵抗を選択します。 0 - プルダウン抵抗は無効化されています。 1 - プルダウン抵抗は有効化されています。	
1			EN1_PD	R/W	1	EN1 入力ピンのプルダウン抵抗を選択します。 0 - プルダウン抵抗は無効化されています。 1 - プルダウン抵抗は有効化されています。	
0			EN_SPREAD_SPEC	R/W	0	スペクトラム拡散機能を有効化します: 0 = 無効 1 = 有効	

7.6.1.24 INT_TOP

アドレス:0x18

D7	D6	D5	D4	D3	D2	D1	D0
INT_BUCK3	INT_BUCK2	INT_BUCK1	INT_BUCK0	TDIE_SD	TDIE_WARN	RESET_REG	I_LOAD_READY
ビット			フィールド	タイプ	デフォルト	説明	
7			INT_BUCK3	R	0	出力 BUCK3 に保留中の割り込みがあることを示す割り込み。割り込みの理由は、INT_BUCK3 レジスタに示されます。 INT_BUCK3 レジスタが 0x00 にクリアされても、このビットは自動的にクリアされません。	
6			INT_BUCK2	R	0	出力 BUCK2 に保留中の割り込みがあることを示す割り込み。割り込みの理由は、INT_BUCK2 レジスタに示されます。 INT_BUCK2 レジスタが 0x00 にクリアされても、このビットは自動的にクリアされません。	
5			INT_BUCK1	R	0	出力 BUCK1 に保留中の割り込みがあることを示す割り込み。割り込みの理由は、INT_BUCK1 レジスタに示されます。 INT_BUCK1 レジスタが 0x00 にクリアされても、このビットは自動的にクリアされません。	
4			INT_BUCK0	R	0	出力 BUCK0 に保留中の割り込みがあることを示す割り込み。割り込みの理由は、INT_BUCK0 レジスタに示されます。 INT_BUCK0 レジスタが 0x00 にクリアされても、このビットは自動的にクリアされません。	
3			TDIE_SD	R/W	0	ダイの接合部温度がサーマル シャットダウン レベルを超えたことを示すラッチ ステータス ビット。コンバータのコアが有効化されていたなら、それらは無効化されています。このビットがアクティブな場合、コンバータのコアは有効化できません。過熱警告の実際のステータスは、TOP_STAT.TDIE_SD_STAT ビットによって示されます。 割り込みをクリアするには 1 を書き込みます。	
2			TDIE_WARN	R/W	0	ダイの接合部温度がサーマル警告レベルを超えたことを示すラッチ ステータス ビット。過熱警告の実際のステータスは、TOP_STAT.TDIE_WARN_STAT ビットによって示されます。 割り込みをクリアするには 1 を書き込みます。	

ビット	フィールド	タイプ	デフォルト	説明
1	RESET_REG	R/W	0	ラッチ ステータス ビットで、スタートアップ (NRST 立ち上がりエッジ) が完了した、VANA 電源電圧が低電圧スレッショルド レベルを下回った、またはホストがリセットを要求した (RESET_SW_RESET) ことを示します。コンバータのコアは無効化され、レジスタがデフォルト値にリセットされて、通常の起動手順が実行されます。 割り込みをクリアするには 1 を書き込みます。
0	I_LOAD_READY	R/W	0	ラッチ ステータス ビットで、負荷電流測定結果が I_LOAD_1 および I_LOAD_2 レジスタで利用可能であることを示します。 割り込みをクリアするには 1 を書き込みます。

7.6.1.25 INT_BUCK_0_1

アドレス:0x19

D7	D6	D5	D4	D3	D2	D1	D0
予約済み	BUCK1_PG_INT	BUCK1_SC_INT	BUCK1_ILIM_INT	予約済み	BUCK0_PG_INT	BUCK0_SC_INT	BUCK0_ILIM_INT

ビット	フィールド	タイプ	デフォルト	説明
7	予約済み	R/W	0	
6	BUCK1_PG_INT	R/W	0	ラッチステータスビットは、BUCK1の出力電圧がパワーグッドスレッショルドレベルに達したことを示します。 W1C(1を書き込むことでビットをクリア)でクリアされます。
5	BUCK1_SC_INT	R/W	0	ラッチステータスビットは、動作中にBUCK1出力電圧が0.35Vレベルを下回ったこと、またはBUCK1出力が有効化から1ms以内に0.35Vレベルに達しなかったことを示します。 W1C(1を書き込むことでビットをクリア)でクリアされます。
4	BUCK1_ILIM_INT	R/W	0	ラッチステータスビットは、出力電流制限がアクティブであることを示します。 W1C(1を書き込むことでビットをクリア)でクリアされます。
3	予約済み	R/W	0	
2	BUCK0_PG_INT	R/W	0	ラッチステータスビットは、BUCK0の出力電圧がパワーグッドスレッショルドレベルに達したことを示します。 W1C(1を書き込むことでビットをクリア)でクリアされます。
1	BUCK0_SC_INT	R/W	0	ラッチステータスビットは、動作中にBUCK0出力電圧が0.35Vレベルを下回ったこと、またはBUCK0出力が有効化から1ms以内に0.35Vレベルに達しなかったことを示します。 W1C(1を書き込むことでビットをクリア)でクリアされます。
0	BUCK0_ILIM_INT	R/W	0	ラッチステータスビットは、出力電流制限がアクティブであることを示します。 W1C(1を書き込むことでビットをクリア)でクリアされます。

7.6.1.26 INT_BUCK_2_3

アドレス:0x1A

D7	D6	D5	D4	D3	D2	D1	D0
予約済み	BUCK3_PG_INT	BUCK3_SC_INT	BUCK3_ILIM_INT	予約済み	BUCK2_PG_INT	BUCK2_SC_INT	BUCK2_ILIM_INT

ビット	フィールド	タイプ	デフォルト	説明
7	予約済み	R/W	0	
6	BUCK3_PG_INT	R/W	0	ラッチステータスビットは、BUCK3の出力電圧がパワーグッドスレッショルドレベルに達したことを示します。 W1C(1を書き込むことでビットをクリア)でクリアされます。
5	BUCK3_SC_INT	R/W	0	ラッチステータスビットは、動作中にBUCK3出力電圧が0.35Vレベルを下回ったこと、またはBUCK3出力が有効化から1ms以内に0.35Vレベルに達しなかったことを示します。 W1C(1を書き込むことでビットをクリア)でクリアされます。
4	BUCK3_ILIM_INT	R/W	0	ラッチステータスビットは、出力電流制限がアクティブであることを示します。 W1C(1を書き込むことでビットをクリア)でクリアされます。
3	予約済み	R/W	0	
2	BUCK2_PG_INT	R/W	0	ラッチステータスビットは、BUCK2の出力電圧がパワーグッドスレッショルドレベルに達したことを示します。 W1C(1を書き込むことでビットをクリア)でクリアされます。
1	BUCK2_SC_INT	R/W	0	ラッチステータスビットは、動作中にBUCK2出力電圧が0.35Vレベルを下回ったこと、またはBUCK2出力が有効化から1msで0.35Vレベルに達しなかったことを示します。 W1C(1を書き込むことでビットをクリア)でクリアされます。

ビット	フィールド	タイプ	デフォルト	説明
0	BUCK2_ILIM_INT	R/W	0	ラッチ ステータス ビットは、出力電流制限がアクティブであることを示します。 W1C (1 を書き込むことでビットをクリア) でクリアされます。

7.6.1.27 TOP_STAT

アドレス:0x1B

D7	D6	D5	D4	D3	D2	D1	D0
予約済み				TDIE_SD_STAT	TDIE_WARN_STAT	予約済み	
ビット	フィールド	タイプ	デフォルト	説明			
7:4	予約済み	R	0000				
3	TDIE_SD_STAT	R	0	サーマルシャットダウンのステータスを示すステータスビット: 0 - ダイ温度はサーマルシャットダウンレベルを下回っています。 1 - ダイ温度はサーマルシャットダウンレベルを上回っています。			
2	TDIE_WARN_STAT	R	0	過熱警告のステータスを示すステータスビット: 0 - ダイ温度は過熱警告レベルを下回っています。 1 - ダイ温度は過熱警告レベルを上回っています。			
1:0	予約済み	R	00				

7.6.1.28 BUCK_0_1_STAT

アドレス:0x1C

D7	D6	D5	D4	D3	D2	D1	D0
BUCK1_STAT	BUCK1_PG_STAT	予約済み	BUCK1_ILIM_STAT	BUCK0_STAT	BUCK0_PG_STAT	予約済み	BUCK0_ILIM_STAT
ビット	フィールド	タイプ	デフォルト	説明			
7	BUCK1_STAT	R	0	BUCK1 の有効化または無効化ステータスを示すステータスビット: 0 - BUCK1 コンバータのコアは無効化されています。 1 - BUCK1 コンバータのコアは有効化されています。			
6	BUCK1_PG_STAT	R	0	BUCK1 出力電圧の有効性を示すステータスビット (raw ステータス): 0 - BUCK1 出力はパワーグッドスレッショルドレベルを上回っています。 1 - BUCK1 出力はパワーグッドスレッショルドレベルを下回っています。			
5	予約済み	R	0				
4	BUCK1_ILIM_STAT	R	0	BUCK1 の電流制限ステータスを示すステータスビット (raw ステータス): 0 - BUCK1 の出力電流は電流制限レベルを下回っています。 1 - BUCK1 の出力電流制限がアクティブです。			
3	BUCK0_STAT	R	0	BUCK0 の有効化または無効化ステータスを示すステータスビット: 0 - BUCK0 コンバータのコアは無効化されています。 1 - BUCK0 コンバータのコアは有効化されています。			
2	BUCK0_PG_STAT	R	0	BUCK0 出力電圧の有効性を示すステータスビット (raw ステータス): 0 - BUCK0 出力はパワーグッドスレッショルドレベルを上回っています。 1 - BUCK0 出力はパワーグッドスレッショルドレベルを下回っています。			
1	予約済み	R	0				
0	BUCK0_ILIM_STAT	R	0	BUCK0 の電流制限ステータスを示すステータスビット (raw ステータス): 0 - BUCK0 の出力電流は電流制限レベルを下回っています。 1 - BUCK0 の出力電流制限がアクティブです。			

7.6.1.29 BUCK_2_3_STAT

アドレス:0x1D

D7	D6	D5	D4	D3	D2	D1	D0
BUCK3_STAT	BUCK3_PG_STAT	予約済み	BUCK3_ILIM_STAT	BUCK2_STAT	BUCK2_PG_STAT	予約済み	BUCK2_ILIM_STAT
ピット フィールド タイプ デフォルト 説明							
7	BUCK3_STAT	R	0	BUCK3 の有効化または無効化ステータスを示すステータス ビット: 0 - BUCK3 コンバータのコアは無効化されています。 1 - BUCK3 コンバータのコアは有効化されています。			
6	BUCK3_PG_STAT	R	0	BUCK3 出力電圧の有効性を示すステータス ビット (raw ステータス): 0 - BUCK3 出力はパワーグッド スレッショルド レベルを上回っています。 1 - BUCK3 出力はパワーグッド スレッショルド レベルを下回っています。			
5	予約済み	R	0				
4	BUCK3_ILIM_STAT	R	0	BUCK3 の電流制限ステータスを示すステータス ビット (raw ステータス): 0 - BUCK3 の出力電流は電流制限レベルを下回っています。 1 - BUCK3 の出力電流制限がアクティブです。			
3	BUCK2_STAT	R	0	BUCK2 の有効化または無効化ステータスを示すステータス ビット: 0 - BUCK2 コンバータのコアは無効化されています。 1 - BUCK2 コンバータのコアは有効化されています。			
2	BUCK2_PG_STAT	R	0	BUCK2 出力電圧の有効性を示すステータス ビット (raw ステータス): 0 - BUCK2 出力はパワーグッド スレッショルド レベルを上回っています。 1 - BUCK2 出力はパワーグッド スレッショルド レベルを下回っています。			
1	予約済み	R	0				
0	BUCK2_ILIM_STAT	R	0	BUCK2 の電流制限ステータスを示すステータス ビット (raw ステータス): 0 - BUCK2 の出力電流は電流制限レベルを下回っています。 1 - BUCK2 の出力電流制限がアクティブです。			

7.6.1.30 TOP_MASK

アドレス:0x1E

D7	D6	D5	D4	D3	D2	D1	D0
予約済み				TDIE_WARN_MASK		RESET_REG_MASK	I_LOAD_READY_MASK
ピット フィールド タイプ デフォルト 説明							
7:3	予約済み	R/W	0000 0				
2	TDIE_WARN_MASK	R/W	0 *	過熱警告割り込み INT_TOP.TDIE_WARN のマスキング: 0 - 割り込みが生成されます。 1 - 割り込みは生成されません。 このビットは、TOP_STAT.TDIE_WARN_STAT ステータス ビットには影響しません。			
1	RESET_REG_MASK	R/W	1 *	レジスタリセット割り込み INT_TOP.RESET_REG のマスキング: 0 - 割り込みが生成されます。 1 - 割り込みは生成されません。			
0	I_LOAD_READY_MASK	R/W	1 *	負荷電流の測定準備完了割り込み INT_TOP.I_LOAD_READY のマスキング: 0 - 割り込みが生成されます。 1 - 割り込みは生成されません。			

7.6.1.31 BUCK_0_1_MASK

アドレス:0x1F

D7	D6	D5	D4	D3	D2	D1	D0
予約済み	BUCK1_PG_MASK	予約済み	BUCK1_ILIM_MASK	予約済み	BUCK0_PG_MASK	予約済み	BUCK0_ILIM_MASK
ビット フィールド タイプ デフォルト 説明							
7	予約済み	R/W	0				
6	BUCK1_PG_MASK	R/W	1 *	BUCK1 パワーグッド割り込み INT_BUCK_0_1.BUCK1_PG_INT のマスキング: 0 - 割り込みが生成されます。 1 - 割り込みは生成されません。 このビットは、BUCK_0_1_STAT.BUCK1_PG_STAT ステータスビットには影響しません。			
5	予約済み	R	0				
4	BUCK1_ILIM_MASK	R/W	1 *	BUCK1 電流制限検出割り込み INT_BUCK_0_1.BUCK1_ILIM_INT のマスキング: 0 - 割り込みが生成されます。 1 - 割り込みは生成されません。 このビットは、BUCK_0_1_STAT.BUCK1_ILIM_STAT ステータスビットには影響しません。			
3	予約済み	R/W	0				
2	BUCK0_PG_MASK	R/W	1 *	BUCK0 パワーグッド割り込み INT_BUCK_0_1.BUCK0_PG_INT のマスキング: 0 - 割り込みが生成されます。 1 - 割り込みは生成されません。 このビットは、BUCK_0_1_STAT.BUCK1_PG_STAT ステータスビットには影響しません。			
1	予約済み	R	0				
0	BUCK0_ILIM_MASK	R/W	1 *	BUCK0 電流制限検出割り込み INT_BUCK_0_1.BUCK0_ILIM_INT のマスキング: 0 - 割り込みが生成されます。 1 - 割り込みは生成されません。 このビットは、BUCK_0_1_STAT.BUCK1_ILIM_STAT ステータスビットには影響しません。			

7.6.1.32 BUCK_2_3_MASK

アドレス:0x20

D7	D6	D5	D4	D3	D2	D1	D0
予約済み	BUCK3_PG_MASK	予約済み	BUCK3_ILIM_MASK	予約済み	BUCK2_PG_MASK	予約済み	BUCK2_ILIM_MASK
ビット フィールド タイプ デフォルト 説明							
7	予約済み	R/W	0				
6	BUCK3_PG_MASK	R/W	1 *	BUCK3 のパワーグッド割り込み INT_BUCK_2_3.BUCK3_PG_INT のマスキング: 0 - 割り込みが生成されます。 1 - 割り込みは生成されません。 このビットは、BUCK_2_3_STAT.BUCK3_PG_STAT ステータスビットには影響しません。			
5	予約済み	R	0				
4	BUCK3_ILIM_MASK	R/W	1 *	BUCK3 電流制限検出割り込み INT_BUCK_2_3.BUCK3_ILIM_INT のマスキング: 0 - 割り込みが生成されます。 1 - 割り込みは生成されません。 このビットは、BUCK_2_3_STAT.BUCK3_ILIM_STAT ステータスビットには影響しません。			
3	予約済み	R/W	0				
2	BUCK2_PG_MASK	R/W	1 *	BUCK2 のパワーグッド割り込み INT_BUCK_2_3.BUCK2_PG_INT のマスキング: 0 - 割り込みが生成されます。 1 - 割り込みは生成されません。 このビットは、BUCK_2_3_STAT.BUCK1_PG_STAT ステータスビットには影響しません。			

ビット	フィールド	タイプ	デフォルト	説明
1	予約済み	R	0	
0	BUCK2_ILIM _MASK	R/W	1 *	BUCK2 電流制限検出割り込み INT_BUCK_2_3.BUCK2_ILIM_INT のマスキング: 0 - 割り込みが生成されます。 1 - 割り込みは生成されません。 このビットは、BUCK_2_3_STAT.BUCK1_ILIM_STAT ステータス ビットには影響しません。

7.6.1.33 SEL_I_LOAD

アドレス:0x21

D7	D6	D5	D4	D3	D2	D1	D0
予約済み						LOAD_CURRENT_BUCK_SELECT[1:0]	

ビット	フィールド	タイプ	デフォルト	説明
7:2	予約済み	R/W	00 0000	
1:0	LOAD_CURRENT_BUCK_SELECT [1:0]	R/W	0x0	選択したコンバータのコアで電流測定を開始します: 0x0 - BUCK0 0x1 - BUCK1 0x2 - BUCK2 0x3 - BUCK3 このレジスタが書き込まれたときに測定が開始されます。

7.6.1.34 I_LOAD_2

アドレス:0x22

D7	D6	D5	D4	D3	D2	D1	D0
予約済み						BUCK_LOAD_CURRENT[9:8]	

ビット	フィールド	タイプ	デフォルト	説明
7:2	予約済み	R	00 0000	
1:0	BUCK_LOAD_CURRENT[9:8]	R	0x0	このレジスタは、選択したコンバータのコアの平均負荷電流の 2 MSB ビットを記述します。 LSB ごとに 20mA の分解能、最大電流は 20A です。

7.6.1.35 I_LOAD_1

アドレス:0x23

D7	D6	D5	D4	D3	D2	D1	D0
BUCK_LOAD_CURRENT[7:0]							

ビット	フィールド	タイプ	デフォルト	説明
7:0	BUCK_LOAD_CURRENT[7:0]	R	0x0	このレジスタは、選択したコンバータのコアの平均負荷電流の 8 LSB ビットを記述します。 LSB ごとに 20mA の分解能、最大電流は 20A です。

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

LP8758-EA は、2.5V ~ 5.5V の入力電源から給電され、複数の電源レールを必要とするアプリケーション向けに設計されています。このデバイスには、4 つの降圧コンバータがあります。すべての降圧コンバータは、I²C インターフェイスによる動的電圧スケーリングをサポートしており、最適な電力削減を実現します。4 つの出力電圧レールの電源シーケンスはプログラム可能です。

8.2 代表的なアプリケーション

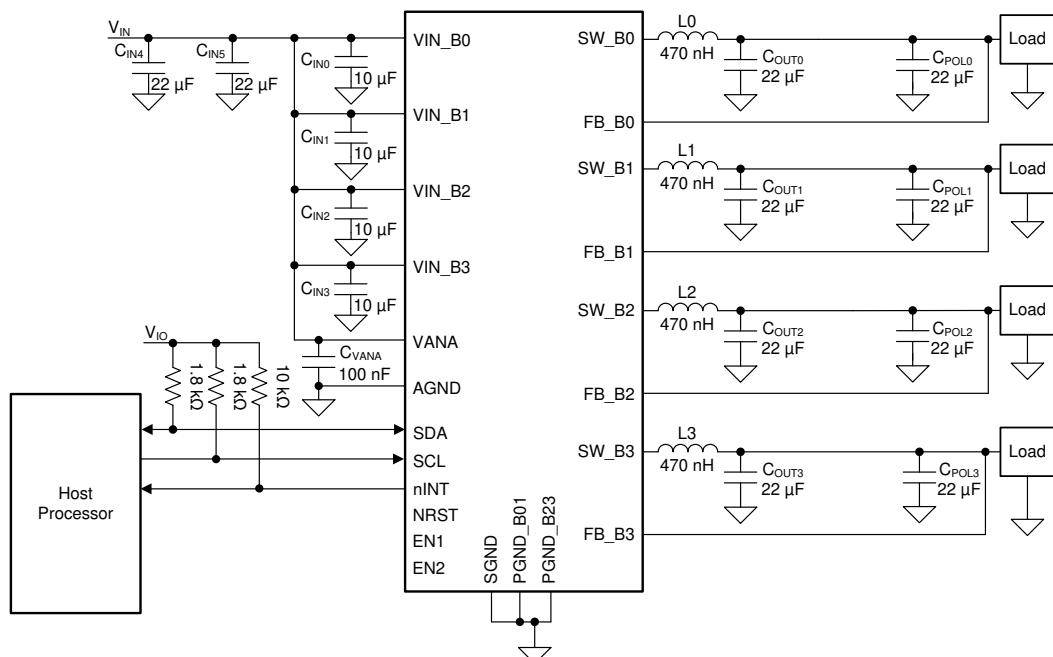


図 8-1. LP8758-EA の代表的なアプリケーションの回路

8.2.1 設計要件

表 8-1. 設計パラメータ

設計パラメータ	数値の例
入力電圧	3.3V
出力電圧	1000mV、1200mV、1800mV、2500mV
コンバータの動作モード	自動モード (PWM-PFM)
最大負荷電流	1.5A、2.25A、3A、および 3A
インダクタ電流制限	2.5A、3.5A、4.5A、および 4.5A

8.2.2 詳細な設計手順

LP8758-EA デバイスの性能は、プリント基板 (PCB) の設計に注意を払うかどうかで大きく変化します。インダクタンスが小さく、直列抵抗も小さいセラミックコンデンサを使うことを強く推奨しますが、適切な接地が極めて重要です。電源のデカップリングに注意が必要です。デカップリングコンデンサは、スイッチング MOSFET のターンオン時にシステム電源レールから引き込まれる高いピーク電流に対応するため、電源ピンとグランドピンの間にデバイスに近づけて接続する必要があります。パターンのインダクタンス、抵抗、および容量は、性能を制限する要素になりやすいため、入力および出力のパターンはできるだけ短くします。別々の電源ピン VIN_Bx は、内部で相互に接続されではありません。VIN_Bx 電源接続は、電源プレーン構造を使用して、パッケージ外部で互いに接続する必要があります。

8.2.2.1 アプリケーションの部品

8.2.2.1.1 インダクタの選択

インダクタの DC バイアス電流特性を考慮する必要があります。メーカーによって飽和電流定格仕様が異なるため、詳細部分に注意を払う必要があります。インダクタの選択プロセスの一部として、DC バイアス曲線をメーカーに請求する必要があります。優れた性能を確保するためのインダクタンスの最小実効値は、インダクタの動作温度範囲全体にわたり、最大負荷時に $0.33\mu\text{H}$ です。大電流の状態で良好な効率を得るには、インダクタの DC 抵抗を 0.05Ω 未満にする必要があります。インダクタの AC 損失 (抵抗) も変換効率に影響を及ぼします。スイッチング周波数で Q 係数が大きいほど、通常は軽負荷から中負荷までの効率が向上します。[表 8-2](#) を参照してください。ノイズ放射が少ないシールドインダクタを推奨します。

表 8-2. 推奨するインダクタ

製造元	部品番号	値 (μH)	寸法 L × W × H (mm)	DCR (mΩ)
MURATA (村田製作所)	DFE201610E-R47M = P2	0.47	2 × 1.6 × 1	26 (代表値)、32 (最大値)
TDK	VLS252010HBX-R47M	0.47	2.5 × 2 × 1	29 (代表値)、35 (最大値)
TDK	TFM2016GHM-0R47M	0.47	2 × 1.6 × 1	46 (最大値)
TOKO	DFE322512C R47	0.47	3.2 × 2.5 × 1.2	21 (代表値)、31 (最大値)

8.2.2.1.2 入力コンデンサの選択

ほとんどのアプリケーションでは、 $10\mu\text{F}$ 、 6.3V のセラミック入力コンデンサで十分です。電源入力コンデンサは、デバイスの VIN_Bx ピンと PGND_Bx ピンのできるだけ近くに配置します。入力電圧のフィルタリングを改善するため、これより大きな値または高い電圧定格も使用できます。X7R または X5R タイプを使用します。Y5V または F を使用しないでください。**0402** などのケースサイズを選択するときは、セラミックコンデンサの DC バイアス特性を考慮する必要があります。優れた性能を確保するための最小実効入力容量は、許容誤差を含めた最大入力電圧の DC バイアスにおいて、環境温度の全範囲にわたり、降圧入力ごとに $1.9\mu\text{F}$ です。ここでは、システム電源レールのすべての電源入力ピンに共通で、少なくとも $22\mu\text{F}$ の追加容量があると想定しています。[表 8-3](#) を参照してください。

この入力フィルタコンデンサは、各サイクルの前半でハイサイド FET スイッチに電流を供給して、入力電源に生じる電圧リップルを低減します。セラミックコンデンサは低 ESR なので、この電流の急変に起因する入力電圧スパイクに関して最高水準のノイズフィルタリングを実現します。十分なリップル電流定格を持つ入力フィルタコンデンサを選定してください。

VANA 入力は、デバイスのアナログ回路およびデジタル回路に電源を供給するために使用されます。VANA 入力電源のフィルタリングについては、[表 8-4](#) の推奨部品を参照してください。

表 8-3. 推奨される電源入力コンデンサ (X5R 誘電体)

製造元	部品番号	値	ケースサイズ	寸法 L × W × H (mm)	定格電圧(V)
Murata (村田製作所)	GRM188R60J106ME47	$10\mu\text{F}$ (20%)	0603	$1.6 \times 0.8 \times 0.8$	6.3

表 8-4. 推奨される VANA 電源フィルタリング部品

製造元	部品番号	値	ケースサイズ	寸法 L × W × H (mm)	定格電圧(V)
Samsung	CL03A104KP3NNNC	100nF (10%)	0201	$0.6 \times 0.3 \times 0.3$	10

表 8-4. 推奨される VANA 電源フィルタリング部品 (続き)

製造元	部品番号	値	ケース サイズ	寸法 L × W × H (mm)	定格電圧(V)
Murata (村田製作所)	GRM033R61A104KE84	100nF (10%)	0201	0.6 × 0.3 × 0.3	6.3

8.2.2.1.3 出力コンデンサの選択

(Y5V または F ではなく) X7R または X5R タイプのセラミック コンデンサを使用します。セラミック コンデンサの DC バイアス電圧特性を考慮する必要があります。DC バイアス特性はメーカーによって異なるため、コンデンサ選択プロセスの一部として DC バイアス曲線をメーカーに請求してください。出力フィルタ コンデンサは、インダクタから負荷への電流の流れを滑らかにし、過渡負荷が変動したときに安定した出力電圧を維持して、出力電圧リップルを低減するのに役立ちます。これらの機能を実行するには、十分な容量を持ち、ESR と ESL が十分に低いコンデンサを選択する必要があります。優れた性能を確保するための最小実効出力容量は、許容誤差を含め、周囲温度範囲全体にわたる、出力電圧の DC バイアスにおいて出力電圧レールごとに $10\mu\text{F}$ です。

出力電圧リップルは、出力コンデンサの充電と放電、および R_{ESR} から発生します。 R_{ESR} は周波数 (および温度) によって変化するため、選択プロセスで使用する値が、部品のスイッチング周波数と等しいことを確認します。[表 8-5](#) を参照してください。

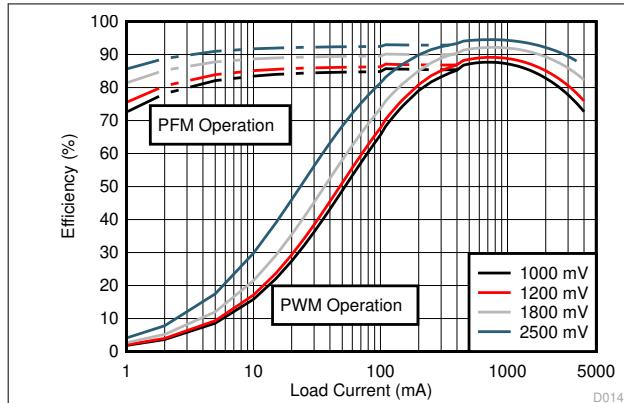
出力容量が大きいほど、負荷ステップの動作が改善され、出力電圧リップルが減少し、PFM スイッチング周波数が低下します。ほとんどのアプリケーションには、電圧レールごとに C_{OUT} として 1 つの $22\mu\text{F}$ 0603 コンデンサを使用するのが適切です。[図 8-1](#) に示すように、ポイントオブロード (POL) 容量 C_{POL} を追加できます。コンバータのループ補償は、実質的には数百マイクロアラッド C_{OUT} に適応するようにプログラムできますが、 C_{OUT} が $50\mu\text{F}$ 未満になることが推奨されます。これより大きい値を選択しても、何も利益が得られない可能性があります。注:特に、非常に大きい ($100\mu\text{F}$ を超える) 出力コンデンサの場合、出力コンデンサが出力電圧ランプの制限因子となる可能性があります。大容量の出力コンデンサの場合、出力容量に蓄積されるエネルギーが大きくなるため、電圧遷移時に出力電圧がプログラムされたランプレートよりも遅くなる場合があります。また、スタートアップ時に、出力コンデンサを目標値まで充電するために必要な時間が長くなる場合があります。シャットダウン時に出力コンデンサが内部放電抵抗によって放電される場合は、時定数の増加により、 V_{OUT} をセトリングするのにさらに多くの時間が必要です。

表 8-5. 推奨される出力コンデンサ (X5R 誘電体)

製造元	部品番号	値	ケース サイズ	寸法 L × W × H (mm)	定格電圧(V)
Samsung	CL10A226MP8NUNE	$22\mu\text{F}$ (20%)	0603	$1.6 \times 0.8 \times 0.8$	10
Murata (村田製作所)	GRM188R60J226MEA0	$22\mu\text{F}$ (20%)	0603	$1.6 \times 0.8 \times 0.8$	6.3

8.2.3 アプリケーション曲線

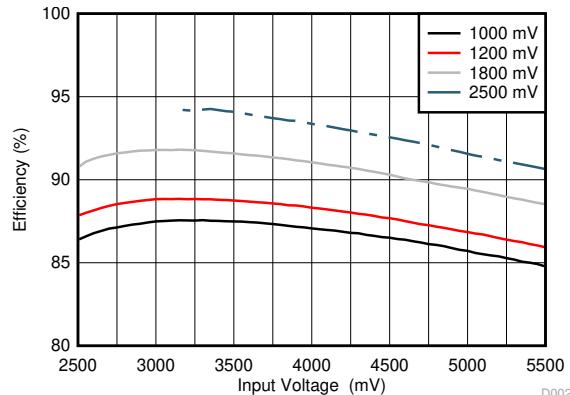
測定は、図 8-1 に示す接続で、代表的なアプリケーション設定を使用して行われます。グラフは OTP のデフォルト設定を反映していない可能性があります。特に記述のない限り: $V_{IN} = 3.7V$, $V_{(NRST)} = 1.8V$, $T_A = 25^\circ C$, $f_{SW} = 3MHz$, $L = 470nH$ (TDK VLS252010HBX-R47M), $I_{LIM\ FWD}$ を最大 5A に設定。



$V_{IN} = 3.7V$

V_{OUT} 設定 = 1000mV, 1200mV, 1800mV, 2500mV

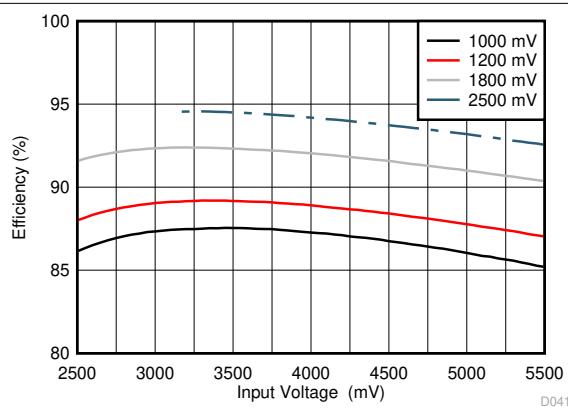
図 8-2. 効率と負荷電流との関係



負荷 = 100mA

V_{OUT} 設定 = 1000mV, 1200mV, 1800mV, 2500mV

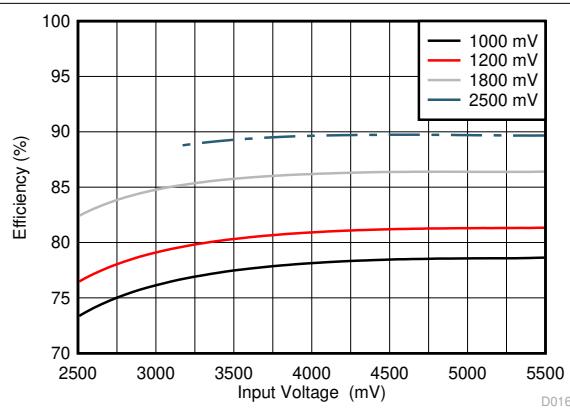
図 8-3. PFM モードでの効率と入力電圧との関係



負荷 = 1A

V_{OUT} 設定 = 1000mV, 1200mV, 1800mV, 2500mV

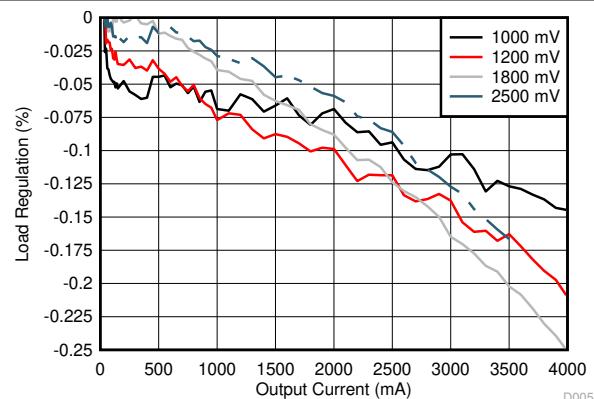
図 8-4. PWM モードでの効率と入力電圧との関係



負荷 = 3A

V_{OUT} 設定 = 1000mV, 1200mV, 1800mV, 2500mV

図 8-5. PWM モードでの効率と入力電圧との関係



ゼロ負荷からの出力電圧の変化 (%)

V_{OUT} 設定 = 1000mV、1200mV、1800mV、2500mV

図 8-6. PWM モードでの DC 負荷レギュレーション

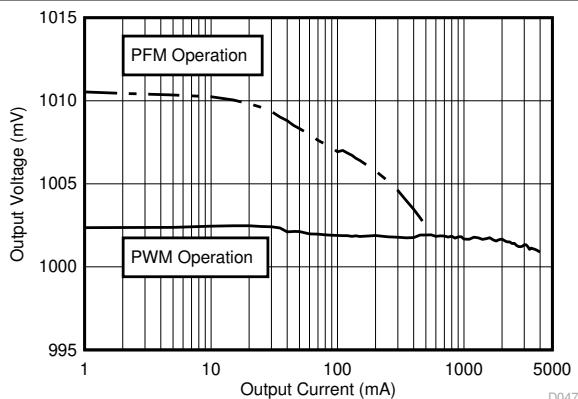


図 8-7. PWM-PFM モードにおける出力電圧と負荷電流との関係

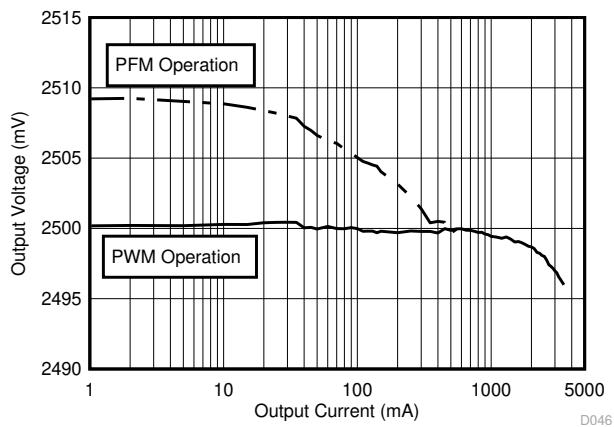
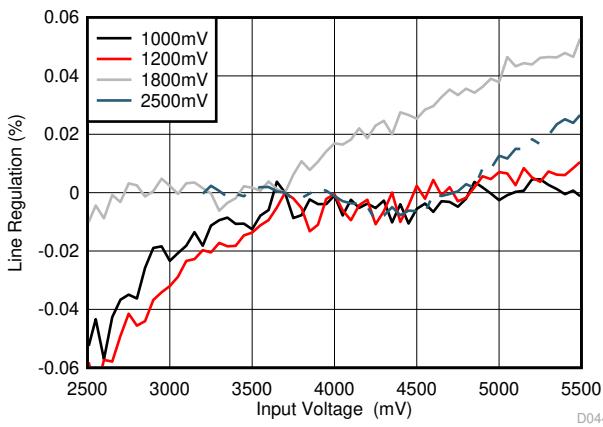


図 8-8. PWM-PFM モードにおける出力電圧と負荷電流との関係

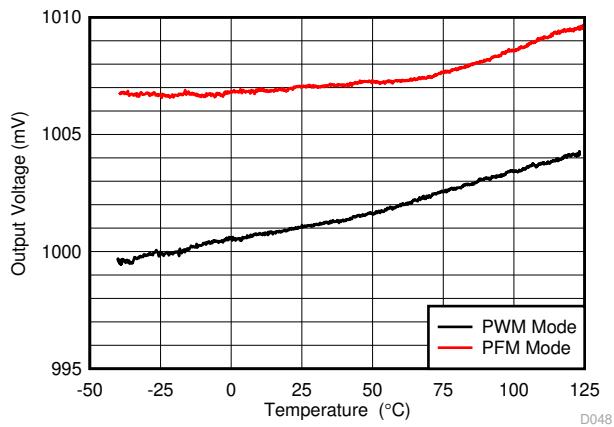


V_{IN} = 3.7V からの出力電圧の変化 (%)

負荷 = 1A

V_{OUT} 設定 = 1000mV、1200mV、1800mV、2500mV

図 8-9. PWM モードでの DC ライン レギュレーション



V_{OUT} 設定 = 1000mV

負荷 = 1A (PWM モード) および 100mA (PFM モード)

図 8-10. 出力電圧と温度との関係

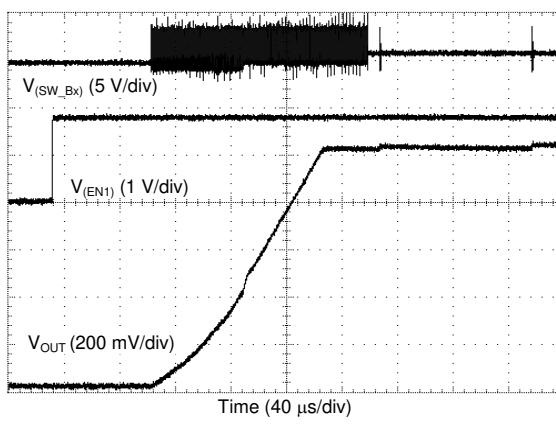


図 8-11. EN1 によるスタートアップ

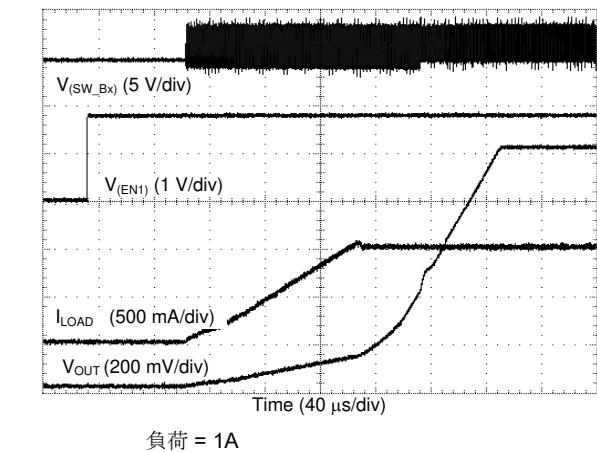


図 8-12. EN1 によるスタートアップ

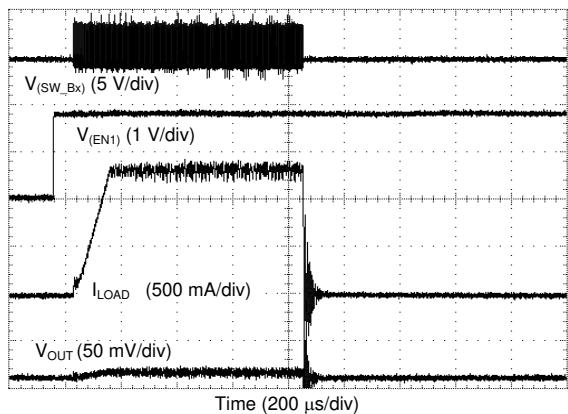


図 8-13. 出力短絡時のスタートアップ

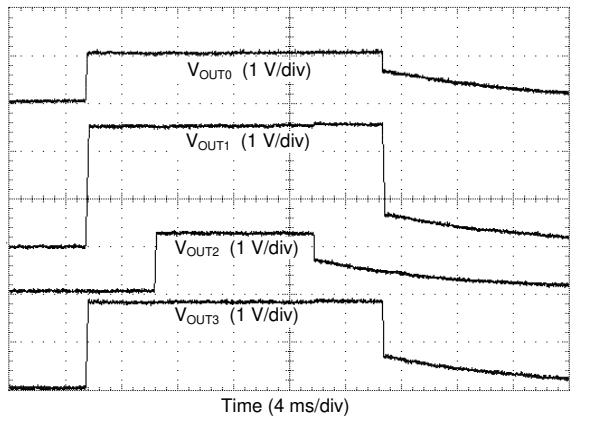
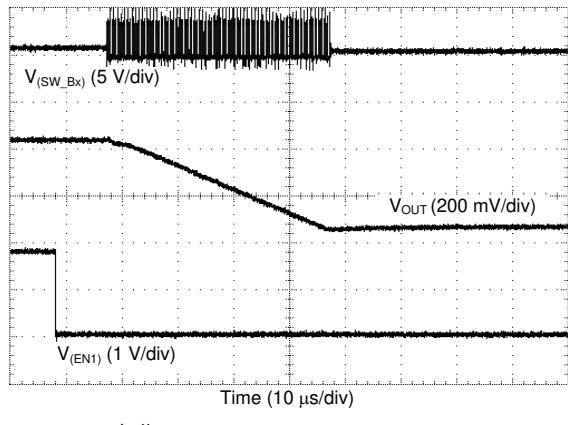
図 8-14. V_{OUT0,1,2,3}: EN1 によってトリガされる、デフォルトのレジスタ設定によるスタートアップとシャットダウン。

図 8-15. EN1 によるシャットダウン

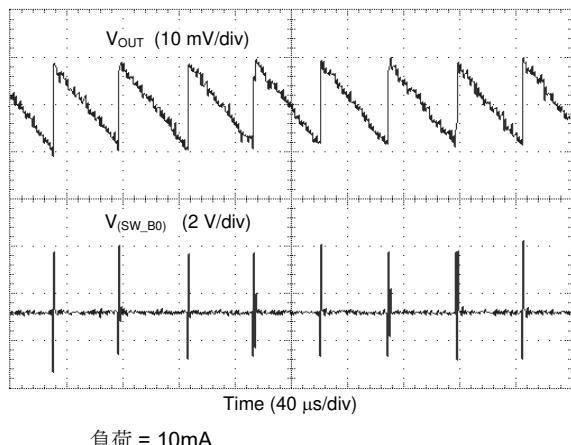


図 8-16. 出力電圧リップル、PFM モード

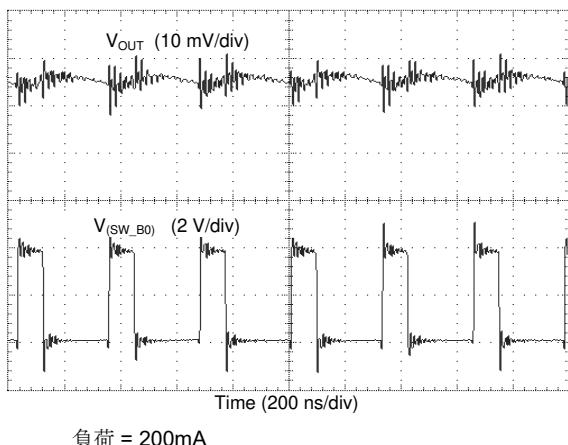


図 8-17. 出力電圧リップル、強制 PWM モード

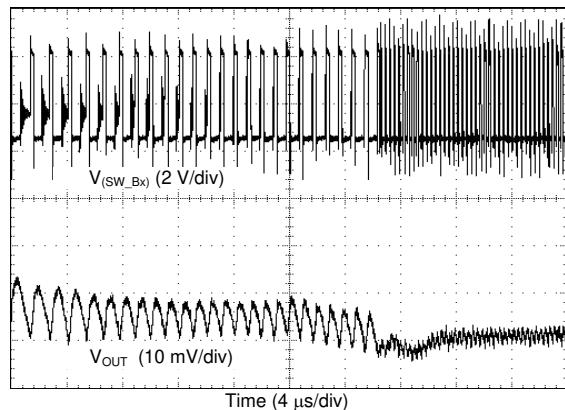


図 8-18. PFM モードから PWM モードへの移行

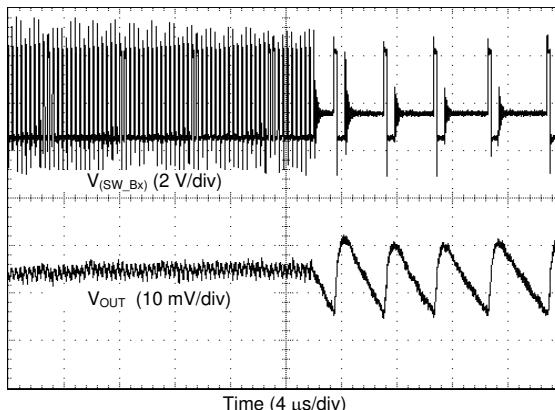
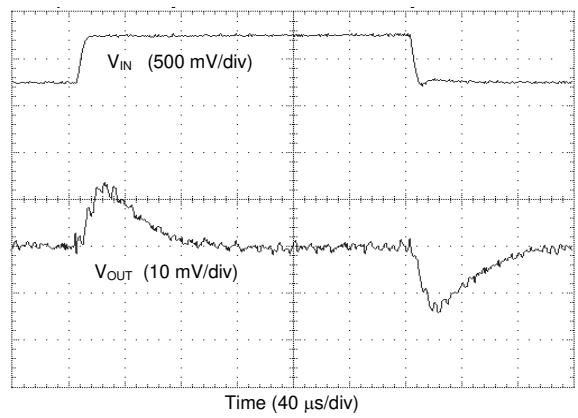
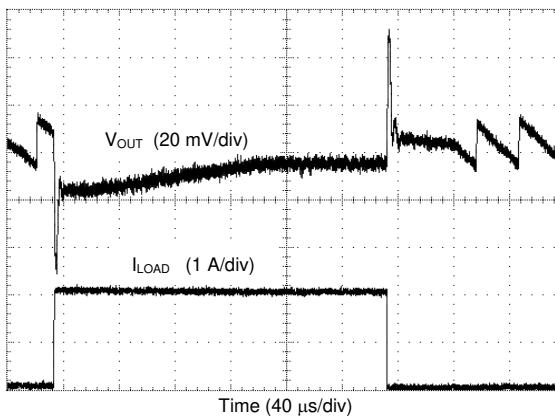


図 8-19. PWM モードから PFM モードへの移行



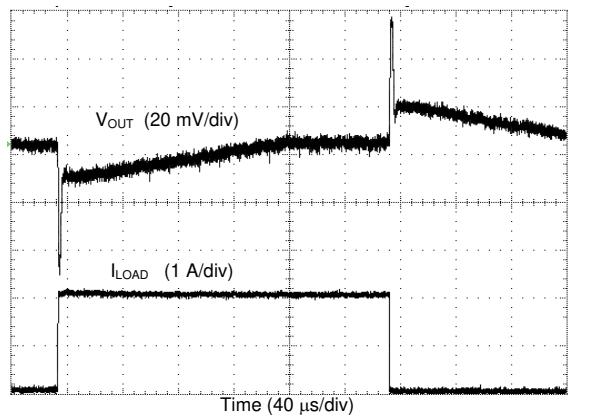
$$V_{IN} \text{ ステッピング } 3.3V \leftrightarrow 3.8V, T_R = T_F = 10\mu s$$

図 8-20. 過渡ライン応答



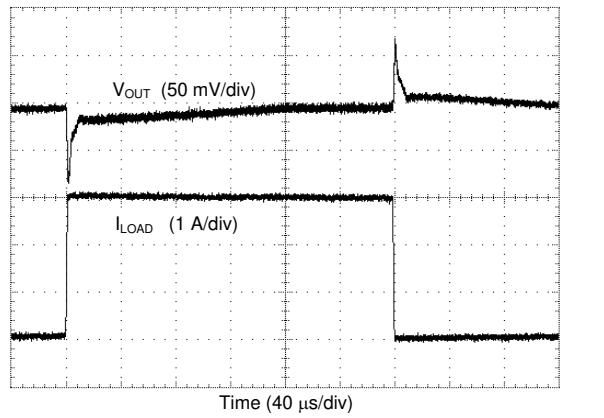
$$\text{負荷} = 0A \rightarrow 2A \rightarrow 0A \quad T_R = T_F = 400\text{ns} \quad V_{OUT} = 1V$$

図 8-21. 過渡負荷ステップ応答、自動モード



$$\text{負荷} = 0A \rightarrow 2A \rightarrow 0A \quad T_R = T_F = 400\text{ns} \quad V_{OUT} = 1V$$

図 8-22. 過渡負荷ステップ応答、強制 PWM モード



$$\text{負荷} = 1\text{A} \rightarrow 4\text{A} \rightarrow 1\text{A} \quad T_R = T_F = 1\mu\text{s} \quad V_{OUT} = 1\text{V}$$

図 8-23. 過渡負荷ステップ応答、強制 PWM モード

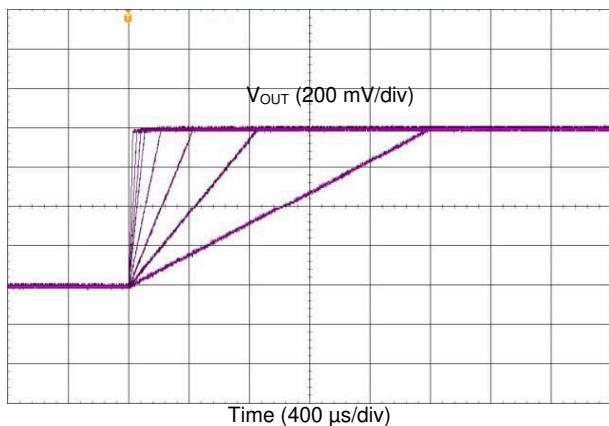


図 8-24. V_{OUT} が 0.6V から 1.4V へ、異なるスルーレート設定で遷移

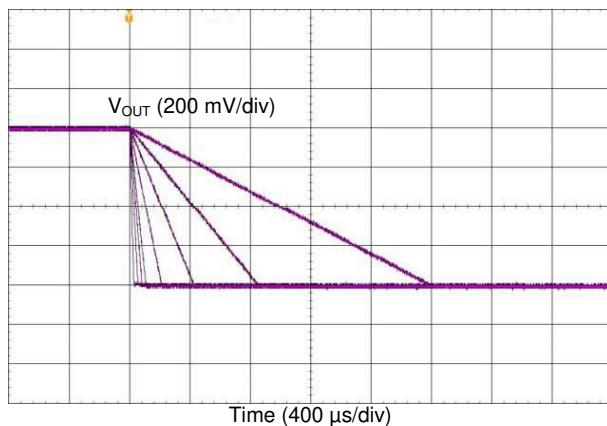


図 8-25. V_{OUT} が 1.4V から 0.6V へ、異なるスルーレート設定で遷移

8.3 電源に関する推奨事項

本デバイスは、2.5V ~ 5.5V の入力電源電圧範囲で動作するよう設計されています。この入力電源は、適切にレギュレーションされるとともに、最大入力電流に耐えられ、安定した電圧を保持し、負荷過渡状況でも電圧降下が発生せず安定した電圧を維持できる必要があります。入力電源レールの抵抗は、入力過渡電流によって LP8758-EA の電源電圧が大きく降り下り、UVLO の誤作動が生じることのないように、十分小さくする必要があります。入力電源が LP8758-EA から数インチ以上離れている場合、セラミックバイパスコンデンサに加えてバルク容量の追加が必要になることがあります。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

LP8758-EA は周波数が高くスイッチング電流が大きいため、レイアウトの選択が重要です。適切な設計とレイアウトに注意を払って、はじめて良好な電源結果が得られます。レイアウトは、ノイズの受容や生成に影響を及ぼすため、適切な設計を行っても、期待したほどの性能が得られない可能性があります。コンバータのコアごとの出力電流には数ミリアンペアから 4A までの範囲があるため、電源の適切なレイアウトを作成するのは、ほとんどの一般的な PCB 設計よりもはるかに困難です。デバイスを安定させ、意図した動作電圧と電流の範囲全体で適切な電圧と電流のレギュレーションを維持できるよう、以下の手順に従ってください。

1. C_{IN} は、 VIN_Bx ピンと $PGND_Bxx$ ピンにできるだけ近づけて配置します。IR の電圧降下を避けるため、 V_{IN} のパターンは広く太く配線します。入力コンデンサの正ノードと LP8758-EA VIN_Bx ピンの間のパターン、および入力コンデンサの負ノードとパワー $PGND_Bxx$ ピンの間のパターンは、できるだけ短くする必要があります。入力容量は、スイッチングコンバータにとっては低インピーダンス電圧源となります。接続のインダクタンスは、ローカルデカップリングコンデンサの最も重要なパラメータであり、適切なデバイス動作を実現するには、これらのパターンの寄生インダクタンスをできるだけ小さくする必要があります。
2. L_x と C_{OUTx} で構成される出力フィルタは、 SW_Bx のスイッチング信号をノイズのない出力電圧に変換します。最高水準の EMI 性能を実現するには、出力フィルタをできるだけデバイスの近くに配置して、スイッチノードを小さくする必要があります。IR の電圧降下による損失を避けるため、デバイスの出力コンデンサと負荷（または負荷の入力コンデンサ）との間のパターンは、直線的で幅広いものになります。
3. アナログブロック ($VANA$ および $AGND$) の入力は、ノイズの多い信号から離す必要があります。 $VANA$ はノイズのないシステム電圧ノードに直接接続し、 $AGND$ は IR 降下が生じないノイズのないグランドポイントに接続します。デカップリングコンデンサは、可能な限り $VANA$ ピンの近くに配置します。 $VANA$ は、 VIN_Bx ピンと同じ電源ノードに接続する必要があります。
4. 負荷がリモート電圧センシングをサポートしている場合、デバイスの帰還ピン FB_Bx を、プロセッサの対応するセンスピンに接続します。センスラインはノイズの影響を受けやすいため、 $PGND_Bxx$ 、 VIN_Bx 、 SW_Bx などのノイズの多い信号や、 I^2C などの高帯域幅信号から遠ざけておく必要があります。センスラインは短く直線的に保ち、容量結

合や誘導結合を回避します。センス ラインは、ノイズが少ない層で配線します。可能な場合、電源またはグランド プレーンで、ノイズの多い信号からセンス ラインを分離します。

5. PGND_Bxx、VIN_Bx、SW_Bx は、厚い層で配線する必要があります。これらが、ノイズの多い PGND_Bxx、VIN_Bx、SW_Bx からの干渉に耐えることができない内部信号層の周囲にあってはいけません。

このコンバータはパッケージが小さく、ソリューション全体のサイズも小さいため、PCB レイアウトの放熱性能が重要になります。熱結合、エアフロー、追加ヒートシンク、対流面、他の発熱部品の存在など、システムに依存する多くの問題により、所定の部品の消費電力の限界が左右されます。放熱性能に注目して正しい PCB レイアウトを作成することで、ダイの温度を低く保つことができます。幅広の電力パターンは、放散された熱をシンクする機能もあります。多層の PCB 設計で、異なるプレーンとの間をビアで接続すると、さらに放熱を改善できます。その結果、接合部から周囲へ ($R_{\theta JA}$) と接合部から基板へ $R_{\theta JB}$ の熱抵抗が減少し、デバイスの接合部温度 T_J が低下します。製品の設計プロセスの開始時に、熱モーリング解析ソフトウェアを使用して、システム レベルの 2D または完全 3D の動的熱解析を慎重に実行することを強くお勧めします。

8.4.2 レイアウト例

- Via to GND plane
- Via to V_{IN} plane

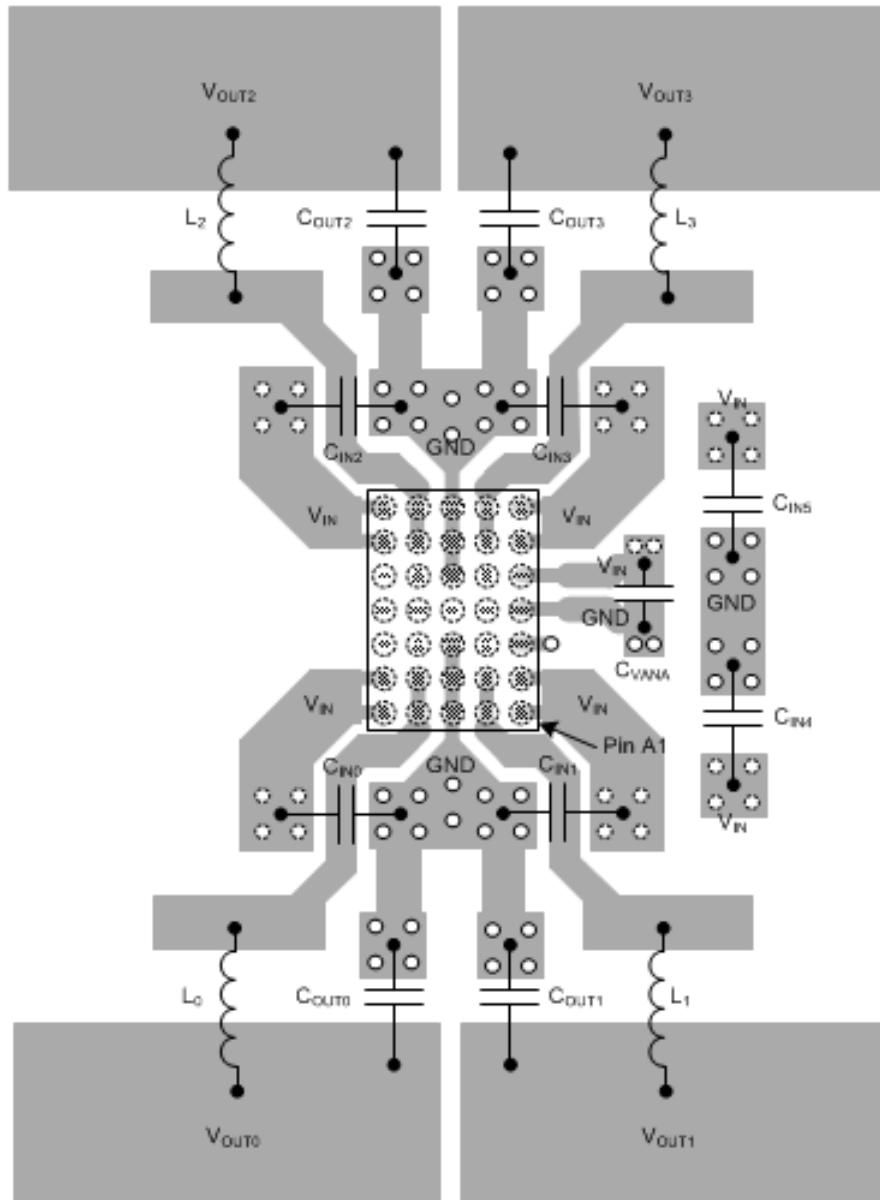


図 8-26. LP8758-EA の基板レイアウト

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、[『DSBGA Wafer Level Chip Scale Package』アプリケーション レポート](#)
- テキサス・インスツルメンツ、[『Using the LP8758EVM Evaluation Module』ユーザー ガイド](#)

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (April 2021) to Revision A (November 2025)	Page
• デバイス比較表を追加.....	3
• BUCK1_VSET のデフォルト値を訂正.....	35
• BUCK2_VSET のデフォルト値を訂正.....	36
• BUCK3_VSET のデフォルト値を訂正.....	37

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LP8758A2EAYFFR	Active	Production	DSBGA (YFF) 35	3000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 105	LP8758A2EA
LP8758A2EAYFFR.A	Active	Production	DSBGA (YFF) 35	3000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 105	LP8758A2EA

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

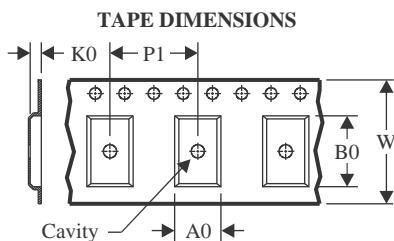
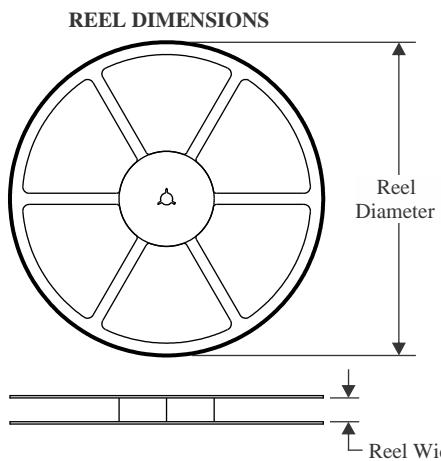
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

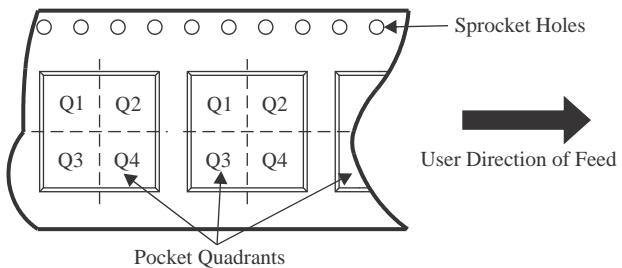
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



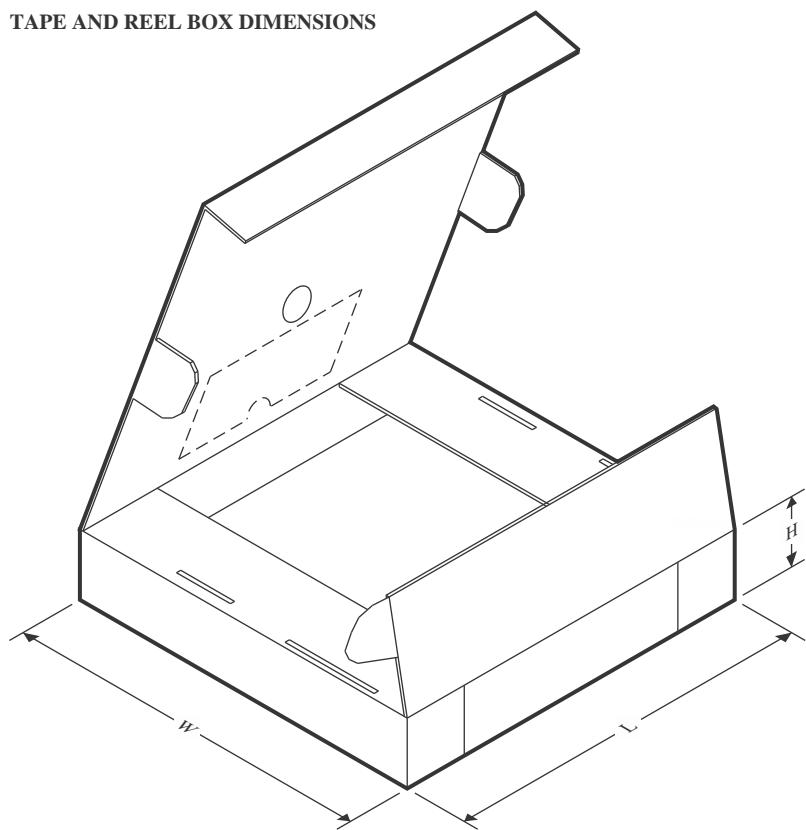
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LP8758A2EAYFFR	DSBGA	YFF	35	3000	180.0	8.4	2.28	3.03	0.74	4.0	8.0	Q1

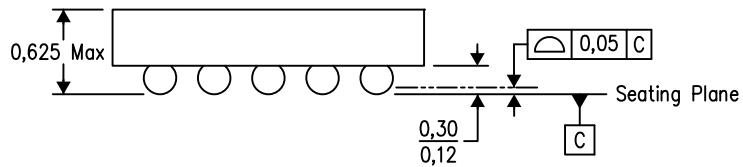
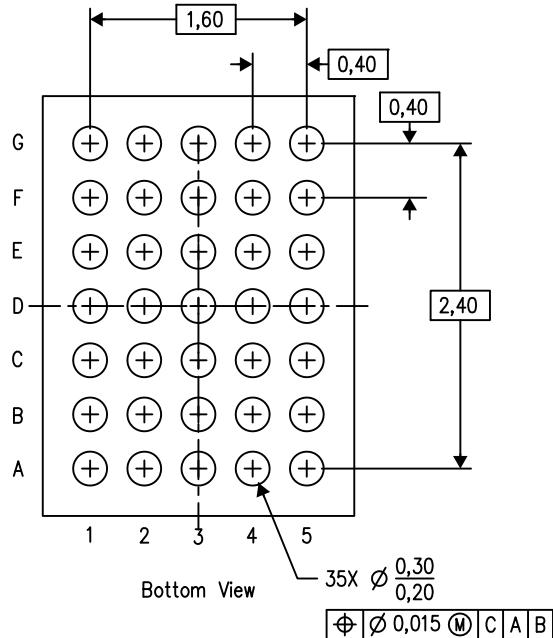
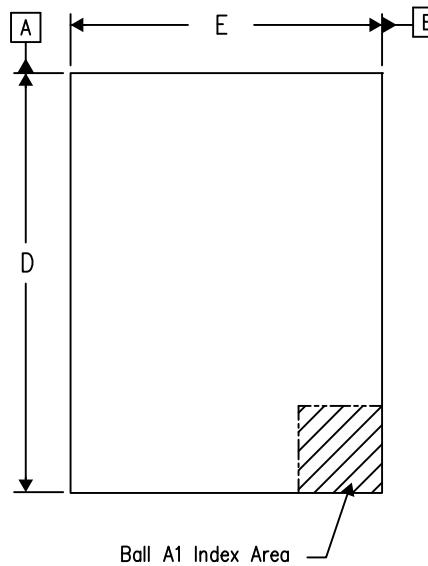
TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LP8758A2EAYFFR	DSBGA	YFF	35	3000	182.0	182.0	20.0

YFF (R-XBGA-N35)

DIE-SIZE BALL GRID ARRAY



D: Max = 2.91 mm, Min = 2.85 mm
E: Max = 2.16 mm, Min = 2.1 mm

4207625-36/A0 12/13

NOTES: A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
B. This drawing is subject to change without notice.
C. NanoFree™ package configuration.

NanoFree is a trademark of Texas Instruments.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月